

Université de Limoges
ED 653 - Sciences et ingénierie
XLIM UMR CNRS 7252

Thèse pour obtenir le grade de
Docteur de l'Université de Limoges
Sciences et ingénierie pour information - Electronique des Hautes Fréquences,
Photonique et systèmes

Présentée et soutenue par
N'Doua Luc Arnaud Kakou

Le 19 décembre 2024

**Mesures et modélisations multi-physiques des dispositifs GaN pour
la co-intégration SiP en technologie FOWLP**

Thèse dirigée par M. Raphaël SOMMET et M. Jean-Christophe NALLATAMBY

JURY :

Président du jury

M. Pierre BLONDY, Professeur, XLIM, Université de Limoges

Rapporteurs

M. Jean-Luc BATTAGLIA, Professeur, I2M, Université de Bordeaux

M. Patrick TOUNSI, Professeur, LAAS-CNRS, INSA Toulouse

Examineurs

M. Benoit LAMBERT, Coordinateur R&D, UMS

M. Raphaël SOMMET, Chargé de recherche CNRS, XLIM, Université de Limoges

M. Jean-Christophe NALLATAMBY, Professeur, XLIM, Université de Limoges

M. Jean Marc TANGUY, ingénieur expert, DGA



Dédicace

À ma chère famille en Côte d'Ivoire (mon père, ma mère, mes frères et ma sœur), je vous exprime toute ma gratitude pour votre amour, votre soutien indéfectible, vos innombrables sacrifices, et vos prières sans relâche, qui ont été le socle de cette réussite.

À ma compagne, je te remercie pour ton soutien inébranlable, tes prières constantes et ta patience, en ayant assumé avec tant de dévouement les lourdes responsabilités que je t'ai confiées durant ces six dernières années. J'entrevois avec toi un avenir radieux, car tout cela a été mené pour une cause noble. À ma fille, ma précieuse princesse, tu es ma source d'inspiration quotidienne et celle qui me donne la force d'avancer.

À la famille N'Guessan de Bordeaux Lac, je vous suis infiniment reconnaissant pour votre soutien indéfectible tout au long de mon parcours en France. Vous m'avez accueilli avec chaleur, m'avez traité comme l'un des vôtres et fait sentir chez moi à chaque instant.

À la famille Chemarin, à Mercurol près de Valence (France), je vous adresse mes plus sincères remerciements pour votre bienveillance, votre soutien précieux et vos conseils avisés depuis mon arrivée en France. Vous avez été d'un grand secours dans cette aventure.

À mes amis et collègues, je vous remercie pour votre camaraderie et votre soutien constant. Vous avez fait de cette expérience une aventure aussi inoubliable qu'enrichissante.

Enfin, je remercie toutes celles et ceux qui, comme moi, croient fermement que la recherche et l'éducation sont des piliers essentiels pour construire un monde meilleur.

" Le travail et après le travail l'indépendance mon enfant, n'être à la charge de personne telle doit être la devise de votre génération. Et il faut toujours fuir l'homme qui n'aime pas le travail. "

Bernard Binlin Dadié

Remerciements

Cette thèse a été préparée entre 2021 et 2024 à l'institut de recherche XLIM, UMR (Unité Mixte de Recherche) n°7252 du CNRS (Centre National de la Recherche Scientifique) au sein du département C2SNL (Composants Circuits Systèmes Non Linéaires) de l'université de Limoges, plus précisément sur le site de Brive-la-Gaillarde. Cette équipe fait partie du pôle électronique des systèmes radiofréquence (RF). Cette thèse s'inscrit dans le cadre du projet SMART3 du plan Nano2022.

Réaliser une thèse est une aventure exceptionnelle, parfois longue et complexe, mais qui en vaut la peine. Je tiens à exprimer ma gratitude envers toutes les personnes qui ont contribué et m'ont accompagné tout au long de ce parcours. Ces travaux n'auraient pas pu voir le jour sans votre aide et votre soutien.

Je tiens à remercier les partenaires du consortium : UMS, Thales Recherche & Technologie, III-V Lab, le laboratoire XLIM rattaché à l'université de Limoges, Université Claude Bernard Lyon 1 (UCBL), CEA Leti, l'institut Fraunhofer IZM, la Région Nouvelle Aquitaine, Thales DMS ainsi que l'Agence de l'Innovation et de la Défense (AID) pour le financement de ces travaux dans le cadre du projet SMART3 issu du plan nano 2022 permettant ainsi la réalisation de ces travaux.

Je tiens également à remercier mes directeurs de thèse M. Raphaël SOMMET et M. Jean-Christophe NALLATAMBY de m'avoir accueilli au sein du laboratoire XLIM, dans l'équipe C2SNL, d'avoir dirigé cette thèse au cours de ces trois années, pour leur disponibilité, pour les différents échanges qui ont eu lieu durant ce cheminement, pour leurs conseils avisés, leur expertise inestimable et leur patience sans faille tout au long de cette thèse.

Je tiens à remercier M. Jean-Luc BATTAGLIA, professeur à l'Université de Bordeaux, ainsi que M. Patrick TOUNSI, enseignant-chercheur au LAAS-CNRS, INSA Toulouse, d'avoir accepté la lourde charge de rapporter cette thèse. Je remercie M. Benoit LAMBERT, coordinateur R&D à UMS, M. Pierre BLONDY, professeur à l'université de Limoges et M. Jean Marc TANGUY, ingénieur expert à la DGA d'avoir accepté d'examiner ce mémoire.

Je souhaite également exprimer ma profonde gratitude à l'ensemble du personnel de l'IUT GEII de Brive-la-Gaillarde, avec qui j'ai eu la chance de collaborer. Je tiens à remercier tout particulièrement les doctorants, anciens doctorants et stagiaires de Brive : Khalil Karrame, Souhail El Maqri, Jose Anderson Da Silva Dos Santos, Sébastien Rousseau, Alexandre Santos, Julien Alleman, Yohann Cornillère, Abdel, Anass Jakani et Julien Frédéric. Un merci spécial à Florent Gaillard, assistant ingénieur, pour nos échanges aussi bien sur le plan professionnel que sportif.

Enfin, un immense merci à Mme Marie Celerier pour sa bienveillance, sa patience sans égal, ainsi que son aide.

Droits d'auteurs

Cette création est mise à disposition selon le Contrat :

« **Attribution-Pas d'Utilisation Commerciale-Pas de modification 3.0 France** »

disponible en ligne : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>



Table des matières

Introduction générale.....	20
Chapitre I. Introduction à la technologie Fan Out Wafer Level Package (FOWLP)	26
I.1. Introduction	26
I.2. Avantages et inconvénients du FOWLP	33
I.3. Problématiques de conception d'un SiP en technologie FOWLP	34
I.3.1. Problématique thermique	35
I.3.1.1. Dissipation thermique.....	36
I.3.1.2. Coefficient de dilatation thermique	36
I.3.1.3. Influence thermique sur la conductivité thermique du GaN, SiC et AsGa	36
I.3.2. Problématique thermomécanique.....	37
I.3.2.1. Contraintes thermomécaniques	37
I.3.2.2. Déformation et warpage.....	37
I.3.2.3. Mécanisme de défaillance	38
I.3.2.3.1. La corrosion.....	38
I.3.2.3.2. La fatigue thermomécanique	38
I.3.2.3.3. Les délaminations.....	39
I.3.3. Méthode de DMA pour la caractérisation des propriétés de la résine époxy EMC	39
I.3.4. Problématique électromagnétique (rapports internes SMART3)	40
I.3.5. Mécanisme de dégradations.....	42
I.4. Conclusion	44
Chapitre II. Les outils multiphysiques pour la caractérisation et la simulation thermiques.....	46
II.1. Introduction	46
II.2. Les méthodes de mesure.....	46
II.2.1. Mesure thermoréfectance (TR).....	47
II.2.2. Mesure infrarouge (IR)	50
II.2.3. Mesure électrique dite « gate end to end ».....	51
II.2.4. Mesure thermomécanique	53
II.2.4.1. Principe de la mesure TDM.....	53
II.2.4.2. Mesure TDM INSIDIX	54
II.3. Simulation numérique	55
II.3.1. Simulation numérique : modélisation thermique et thermomécanique	56
II.3.1.1. Simulation thermique	57
II.3.1.1.1. Définitions des grandeurs physiques thermiques.....	57
II.3.1.1.1.1. Chaleur.....	57
II.3.1.1.1.2. Champ de température	57
II.3.1.1.1.3. Gradient de température	58
II.3.1.1.1.4. Puissance dissipée	58
II.3.1.1.1.5. Résistance thermique	59
II.3.1.1.2. Les modes de transfert de chaleur.....	60
II.3.1.1.2.1. Transfert de chaleur par conduction.....	60
II.3.1.1.2.2. Transfert de chaleur par convection	62
II.3.1.1.2.2.1. Convection naturelle	62
II.3.1.1.2.2.2. Convection forcée.....	62
II.3.1.1.2.2.3. Convection mixte	63
II.3.1.1.2.2.4. Transfert de chaleur par rayonnement.....	64

II.3.1.1.3. Équation de la chaleur	65
II.3.1.1.4. Conditions initiales et conditions aux limites thermiques	67
II.3.1.1.4.1. Condition initiale.....	67
II.3.1.1.4.2. Conditions limites thermiques	68
II.3.1.2. Modèle thermomécanique.....	69
II.3.1.2.1. Approche théorique de la thermomécanique	69
II.3.1.2.1.1. Équations générales de la mécanique des solides	70
II.3.1.2.1.1.1. Principe fondamental de la dynamique	70
II.3.1.2.1.1.2. Déplacement et déformation.....	71
II.3.1.2.1.2. Conditions aux limites	72
II.3.1.2.2. Loi de comportement.....	73
II.3.1.2.2.1. Loi de Hooke.....	73
II.3.1.2.3. Contraintes principales	76
II.3.1.2.4. Critère de Von Mises	77
II.3.1.2.5. Thermoélasticité	77
II.3.1.2.5.1. Dilatation thermique	77
II.3.1.2.5.2. Loi de Hooke en thermoélasticité	78
II.4. Mise en application sur le transistor spécifique GH15 2x150 µm.....	80
II.4.1. Mesure électrique dite gate end to end.....	80
II.4.1.1. Première étape : Calibration.....	80
II.4.1.2. Résultat de l'étape de la calibration.....	82
II.4.1.3. Deuxième étape : mesure en polarisant le transistor en mode continu.....	83
II.4.1.4. Résultat de l'étape de la mesure	85
II.4.1.5. Résistance thermique du transistor GH15 2x150 µm	86
II.4.2. Mesure thermoréfectance	87
II.4.3. Simulation numérique thermique	88
II.5. Conclusion.....	91
Chapitre III. Analyse thermique et thermomécanique des SiP FOWLIP Intégrant des Amplificateurs de Puissance GaN et HPA GaN/Driver AsGa.....	93
III.1. Analyse thermique du SiP FOWLIP intégrant des amplificateurs HPA GaN/Driver AsGa	93
III.1.1. Description de la structure du démonstrateur télécom 5G	93
III.1.2. Les caractéristiques du dispositif	95
III.1.3. Simulation thermique du démonstrateur télécom 5G	97
III.1.3.1. Géométrie, maillage et conditions aux limites.....	97
III.1.3.2. Résultats de la simulation thermique.....	98
III.1.3.3. Propositions envisageables pour dissiper la chaleur au niveau de la puce AsGa Driver	99
III.1.4. Mesure de la température du démonstrateur télécom 5G.....	101
III.1.5. Résultats des mesures et comparaison avec les résultats de simulation numérique côté HPA GaN étage 1 et étage 2.....	104
III.1.6. Conclusion	106
III.2. Analyse thermique et thermomécanique du SiP FOWLIP intégrant un amplificateur de puissance GaN.	108
III.2.1. Construction et description du véhicule de test (VT) multi-échelle	108
III.2.1.1. Description du véhicule de test.....	108
III.2.1.2. Construction du véhicule de test	108
III.2.2. Étude thermique et thermomécanique	112

III.2.2.1. Validation du modèle d'assemblage	112
III.2.2.1.1. Structure du transistor HEMT GaN GH15 8x60 μm	112
III.2.2.1.2. Maillage et propriétés des matériaux	113
III.2.2.1.3. Condition initiale et conditions aux limites	114
III.2.2.1.4. Résultats de la simulation thermique	115
III.2.2.1.4.1. Température maximale de la structure en régime stationnaire	115
III.2.2.1.4.2. Validation du modèle numérique	117
III.2.2.1.4.3. Régime transitoire	118
III.2.2.1.4.4. Étude thermomécanique du transistor GH15 8x60 μm	118
III.2.3. Étude thermique du RIC	121
III.2.3.1. Maillage et propriétés thermiques des matériaux	122
III.2.3.2. Conditions aux limites	122
III.2.3.3. Résultats de la simulation thermique du SiP	123
III.2.3.3.1. Puissance dissipée limite de fonctionnement	123
III.2.3.3.2. Étude thermique du couplage entre les différents étages du VT4x4 RIC	125
III.2.3.3.3. Température de référence limite pour atteindre sa température de fonctionnement maximale	126
III.2.3.3.4. Impact de l'environnement (transistor GH15 et VT4x4 RIC)	127
III.2.3.3.5. Régime transitoire du VT4x4 RIC	128
III.2.4. Étude thermomécanique du VT4x4 RIC	128
III.2.4.1. Simulation thermomécanique	132
III.2.4.2. Amélioration du résultat de la simulation thermomécanique	134
III.2.5. Simulation thermique du VT4x4 RIC assemblé sur PCB multicouche	137
III.2.5.1. Description de la structure du PCB multicouche	137
III.2.5.2. Maillage et conditions aux limites appliquées	139
III.2.5.3. Résultats	140
III.2.5.4. Impact de l'assemblage SiP et de l'assemblage sur PCB multicouche (transistor GH15 8X60 μm , VT4x4 RIC et VT4x4 RIC assemblé sur PCB multicouche) sur la température	142
III.2.5.4.1. Température maximale et résistance thermique	142
III.2.5.4.2. Temps de régime permanent	143
III.2.6. Mesures thermiques du VT4x4 RIC assemblé sur PCB avec ouverture coté PCB	144
III.2.6.1. Simulation thermique	144
III.2.6.1.1. Conditions aux limites	145
III.2.6.1.2. Résultats de la simulation thermique	145
III.2.6.2. Mesure électrique	148
III.2.6.3. Mesure infrarouge	151
III.2.7. Synthèse des résultats de mesure (infrarouge, électrique) et de simulation thermique	151
III.2.7.1. Comparaison mesure électrique et mesure infrarouge	152
III.2.7.2. Comparaison mesure électrique et simulation thermique	152
III.2.7.3. Comparaison mesure infrarouge et simulation thermique	153
III.2.7.3.1. Comparaison des résultats niveau de la trajectoire entre étage 2 et la limite de l'ouverture du PCB	153
III.2.7.3.2. Comparaison au niveau de l'étage 1 et de l'étage 2	154
III.2.8. Étude du cyclage thermique du VT4x4 RIC assemblé sur PCB multicouche	156

III.2.8.1. Simulation thermique	156
III.2.8.1.1. Conditions aux limites.....	156
III.2.8.1.2. Résultats de simulation thermique.....	157
III.2.8.2. Mesure du cyclage thermique	160
III.2.8.2.1. Comparaison des résultats de la mesure du cyclage thermique et la simulation thermique	162
III.2.9. Conclusion	164
Conclusion générale.....	166
Publications & communications	168
Références bibliographiques	170
Annexes	178

Table des illustrations

Figure 1 : Fichier GDS montrant toutes les informations sur la disposition des semi-conducteurs [5].....	23
Figure 2 : Comparaison entre la technologie de packaging Fan In WLP et Fan Out WLP [7], [13].....	26
Figure 3 : System in Package (SiP) [15].....	27
Figure 4 : Fan Out Wafer Level Packaging (FOWLP) embarquant un HPA (High Power Amplifier) GaN sur SiC et un LNA AsGa [19].....	28
Figure 5 : Le processus d'assemblage de l'un des dispositifs FOWLP issus du projet SMART3 du Plan Nano2022	29
Figure 6 : Différents types de boîtiers électroniques [21]	30
Figure 7 : Description du processus d'assemblage des boîtiers QFN (Quad Flat No-lead) à plusieurs rangées [20]	31
Figure 8 : Package BGA [22].....	31
Figure 9 : Package plastique types BGA [24]	32
Figure 10 : Composition d'un boîtier BGA [20].....	32
Figure 11 : Technologie PoP [25]	32
Figure 12 : Production mondiale de circuits intégrés par type de boîtier [20]	33
Figure 13 : Référence au nouveau paradigme de conception.....	35
Figure 14 : Variation de la conductivité thermique des semi-conducteurs : GaN, SiC et AsGa en fonction de la température	37
Figure 15 : Propriétés viscoélastiques de la résine époxy Nagase EMC 4251 obtenues par DMA effectué par le partenaire UCBL	39
Figure 16 : Modèle EM 3D sous RFpro intégrant une puce GaN et AsGa en boîtier FOWLP (Puce PK2 du DEMO2 5G-GaN2)	41
Figure 17 : Modèle EM 3D sous RFpro intégrant une puce GaN et AsGa en boîtier FOWLP (Puce PK2 du DEMO2 5G-GaN2) – Dilatation x2 suivant l'axe Z : Transition PCB/RDL/MMIC	42
Figure 18 : Les différentes mécanismes de dégradation dans les HEMT à base de GaN. (Rouge) dégradations dues aux effets thermiques, (violet) effets de piégeages et (vert) effets piézoélectriques.	43
Figure 19 : Banc de thermoréfectance : A [49], B [44]	47
Figure 20 : Réflectivité d'une couche de matériau Au d'épaisseur 100 nm [51]	48
Figure 21 : Influence de la passivation d'une épaisseur 200 nm de SiN sur la réflectivité du matériau Au [51].....	48
Figure 22 : la calibration d'un composant avec plusieurs longueurs d'onde [44].....	49
Figure 23 : Évolution du coefficient de thermoréfectance selon la longueur d'onde [52]	49

Figure 24 : Changement de la réflectance en fonction de la variation de la température [53]	50
Figure 25 : Spectre d'ondes électromagnétiques [64]	51
Figure 26 : Mise en situation de la méthode de mesure [29]	52
Figure 27 : Variation de la résistance de la grille en fonction de la température appliquée au support thermique pendant la phase de calibration	53
Figure 28 : Courbe de la température de jonction maximale du transistor en fonction de la puissance dissipée	53
Figure 29 : TDM Compact 3 [67]	54
Figure 30 : Enceinte thermique [66]	55
Figure 31 : Dispositifs posés sur la plaque en graphite de l'enceinte thermique TDM INSIDIX	55
Figure 32 : Description schématique du phénomène de conduction dans un cas 2D [75]	60
Figure 33 : Tube de flux de chaleur [75]	61
Figure 34 : Transfert de chaleur par convection [74]	62
Figure 35 : Système de refroidissement utilisant la convection forcée [76]	63
Figure 36 : Les différents modes de transferts de chaleur mise en évidence dans le cas d'une poêle contenant de l'eau [79]	64
Figure 37 : Les divers mécanismes de transfert de chaleur dans les HEMT [37] [80]	65
Figure 38 : Bilan thermique sur un élément de volume d'un matériau	67
Figure 39 : Domaine et frontière d'un solide [81]	67
Figure 40 : Vecteur déplacement	72
Figure 41 : Définition de domaine et de frontière du solide	73
Figure 42 : Courbe de contrainte-déformation [96]	76
Figure 43 : Matériau soumis à une variation de température	78
Figure 44 : Transistor spécifique GH15 2x150 μm _RTH_DC_MODULE	80
Figure 45 : Composition du banc de mesure de l'étape de calibration	81
Figure 46 : Mise sous pointe du transistor GH15 2x150 μm .	82
Figure 47 : Courbe de la résistance de la grille en fonction de la variation de température imposée au chuck thermique par rapport à la température ambiante pour $V_g = 100 \text{ mV}$	83
Figure 48 : Source d'alimentation Keithley 2450	84
Figure 49 : Illustration de l'étape de la mesure [100]	84
Figure 50 : Caractéristique I_{ds}/V_{ds} du transistor GH15 2x150 μm à V_{gs} de 100 mV	85
Figure 51 : Courbe de la résistance de la grille en fonction de la puissance dissipée	85
Figure 52 : Courbe de la résistance thermique du transistor GH15 2x150 μm en fonction de la puissance dissipée	86

Figure 53 : Résultat de la variation de la température de la mesure électrique « gate end to end » du transistor GH15 2x150 μm en fonction de la puissance dissipée	86
Figure 54 : Calibration du transistor GH15 2x150 μm [29]	87
Figure 55 : a / image issue de la mesure thermoréfectance, b / image provenant de la caméra CCD [29], [101].....	88
Figure 56 : Résultat de mesure thermoréfectance du transistor GH15 2x150 μm [29], [101]	88
Figure 57 : Géométrie et maillage de la structure du transistor GH15 2x150 μm	89
Figure 58 : Résultat de simulation numérique thermique	90
Figure 59 : Résultat de la simulation numérique du transistor GH15 2x150 μm	90
Figure 60 : Comparaison des résultats de résistance thermique issues de la thermoréfectance (noir), la mesure électrique dite gate end to end (rouge) et la simulation numérique (vert) [29], [101]	91
Figure 61 : Démonstrateur télécom 5G.....	93
Figure 62 : Démonstrateur télécom 5G assemblé sur PCB de la fonderie UMS	94
Figure 63 : Démonstrateur télécom 5G assemblé sur PCB de la fonderie UMS, face arrière et face avant.....	95
Figure 64 : Empilement des couches du démonstrateur télécom 5G	96
Figure 65 : Conductivité thermique non linéaire du GaN, SiC et AsGa	97
Figure 66 : Géométrie simplifiée du dispositif sous ANSYS Workbench dans le cadre de la simulation numérique.	97
Figure 67 : Température maximale de la puce GaN/SiC et de la puce AsGa Driver en fonction de la température face arrière du SiP	98
Figure 68 : Différentes propositions pour dissiper la chaleur côté AsGa Driver.....	99
Figure 69 : Températures de fonctionnement maximales du l'étage 2 de la puce AsGa Driver MPA pour les différentes solutions proposées à différentes températures de face arrière du SiP.	100
Figure 70 : Zone de mesure thermoréfectance du composant B45 côté GaN HPA.....	102
Figure 71 : Étape de la calibration de l'étage 1 et 2 du composant B45 lors de la mesure thermoréfectance côté GaN HPA	102
Figure 72 : État de surface des étages 1 & 2 du composant E26	103
Figure 73 : Tentative de calibration du composant E26	103
Figure 74 : Zone de prise de température lors de la simulation côté HPA GaN : a) la trajectoire prise au-dessus et sous le pont, juste au-dessus de la grille (référence à la mesure thermoréfectance), b) la température moyenne du pont (référence à la mesure infrarouge), c) la température moyenne de la grille.....	104
Figure 75 : Assemblage finale et le fichier GDS du véhicule de test 4x4 RIC	108
Figure 76 : Les étapes de conception de la structure du VT4x4 RIC	109
Figure 77 : Coupe transversale de l'assemblage attendu du VT4x4 RIC	110

Figure 78 : Structure détaillée du VT4x4 RIC sous ANSYS Workbench	111
Figure 79 : Zone active de l'amplificateur contenant les étages du véhicule de test.	111
Figure 80 : Zone active du RIC et compositions du transistor	112
Figure 81 : Structure du transistor GH15 8x60 μm	113
Figure 82 : Maillage de la structure du transistor GH15 8x60 μm	114
Figure 83 : Non linéarité de la conductivité thermique du SiC et du GaN.....	114
Figure 84 : Illustration des conditions aux limites de l'étude	115
Figure 85 : Résultat thermique en régime permanent du transistor GH15	116
Figure 86 : Effet de la conductance de contact thermique (CCT) sur le résultat de la simulation thermique du transistor GH15 8x60 μm à $T_{\text{ref}} = 25 \text{ }^\circ\text{C}$	116
Figure 87 : Résultats thermiques d'un transistor obtenus par Amar [37], [107]	117
Figure 88 : Courbe transitoire du transistor GH15 8x60 μm	118
Figure 89 : Conditions aux limites de l'étude thermomécanique du transistor GH15 8x60 μm	119
Figure 90 : Contrainte équivalente de Von Mises du transistor GH15 8x60 μm	120
Figure 91 : Déplacement suivant l'axe Z du transistor GH15 8x60 μm	121
Figure 92 : Maillage du véhicule de test VT4x4 RIC	122
Figure 93 : Illustration des conditions aux limites appliquées pour la simulation thermique	123
Figure 94 : Détermination de la puissance dissipée critique du VT4x4 RIC à la température de référence de 25 $^\circ\text{C}$	124
Figure 95 : illustration de l'éloignement du capteur 1 et du rapprochement du capteur 2 de la zone active de l'amplificateur GaN	124
Figure 96 : Illustration du couplage entre les étages.....	125
Figure 97 : Température de référence limite du VT4x4 RIC pour atteindre la température maximale de fonctionnement de 200 $^\circ\text{C}$. A/ puissance dissipée de 2 W, B/ puissance dissipée de 2.5 W	127
Figure 98 : Courbe transitoire du VT4x4 RIC ainsi que des capteurs intégrés	128
Figure 99 : Cyclage thermique utilisé pour la mesure thermomécanique	129
Figure 100 : Déformation (« warpage ») du VT4x4 RIC lors de la mesure TDM d'INSIDIX.	129
Figure 101 : « Warpage » suivant l'axe Z du VT4x4 RIC provenant de la mesure TDM d'INSIDIX	130
Figure 102 : Évolution du coefficient de dilatation thermique (CTE) initial de la résine époxy EMC 4251 en fonction de la température	131
Figure 103 : Évolution du module de Young de la résine époxy EMC 4251 en fonction de la température.....	131
Figure 104 : Conditions aux limites de la simulation thermomécanique	132

Figure 105 : Message d'avertissement provenant de la simulation thermomécanique pour une température différente de la température de déformation thermique zéro définie	133
Figure 106 : Comparaison du déplacement (« warpage ») suivant l'axe Z du VT4x4 RIC obtenue en mesure TDM et en simulation thermomécanique	133
Figure 107 : État du déplacement (« warpage ») suivant l'axe Z du VT4x4 RIC lors de la simulation thermomécanique sur un cycle thermique	134
Figure 108 : Superposition des courbes initiale et améliorée du coefficient de dilatation de la résine époxy EMC 4251.	135
Figure 109 : Nouvelle courbe de « warpage » en fonction de la température, à la température de déformation thermique zéro de 165 °C, provenant d'une succession d'états stationnaires pour les diverses températures présentes dans le cycle thermique.....	135
Figure 110 : Nouvelle courbe de déplacement (« warpage ») en fonction de la température, à la température de déformation thermique zéro de 165 °C et avec l'application du cycle thermique	136
Figure 111 : Gauche : Données des couches du PCB, Droite : VT4x4 RIC assemblé sur PCB	138
Figure 112 : Structure du PCB multicouche sous ANSYS Workbench.....	138
Figure 113 : Géométrie du VT4x4 RIC assemblé sur PCB multicouche sous ANSYS Workbench.....	139
Figure 114 : Maillage du VT4x4 RIC assemblé sur PCB multicouche.....	139
Figure 115 : Résultat de la simulation thermique stationnaire du VT4x4 RIC assemblé sur PCB multicouche.....	140
Figure 116 : Résultat de l'étude thermique stationnaire du VT4x4 assemblé sur PCB, puissance dissipé 2 W, température de référence 100 °C et de la convection forcée $h = 200 \text{ W/m}^2/\text{°C}$	141
Figure 117 : Température de référence limite du VT4x4 RIC assemblé sur PCB.....	141
Figure 118 : Courbe transitoire du VT4x4 RIC assemblé sur PCB et capteurs intégrés à 2 W	142
Figure 119 : Dispositif utilisé pour la mesure thermique.....	144
Figure 120 : Maillage de la structure du dispositif servant à la mesure thermique	144
Figure 121 : Structure sous ANSYS du dispositif servant à la mesure thermique	145
Figure 122 : Température de jonction maximale du VT4x4 RIC assemblé sur PCB multicouche avec ouverture lors de la simulation thermique.....	146
Figure 123 : Température de jonction moyenne du VT4x4 RIC assemblé sur PCB multicouche avec ouverture lors de la simulation thermique.....	146
Figure 124 : Température maximale et moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 60 °C	147
Figure 125 : Zone de mesure infrarouge	147

Figure 126 : Résultat de la simulation thermique de la distance entre l'étape 2 et approximativement le capteur 1 (limite d'ouverture du PCB) à une température de référence de 100 °C et des puissances dissipées à 1.9 W et 2.6 W	148
Figure 127 : Support de bloc de cuivre sur lequel est posé le dispositif pour appliquer la température de référence	149
Figure 128 : Plan de câblage du dispositif	149
Figure 129 : Banc de mesure pour calibration des sondes (III-V Lab & LATPI & Thalès RT)	150
Figure 130 : Résistance ohmique ou électrique des capteurs en fonction de leur température maximale	150
Figure 131 : Comparaison de la température de la mesure électrique et de la température moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 60 °C	152
Figure 132 : Courbe de comparaison des résultats infrarouges et de la simulation thermique de la distance entre l'étape 2 et la limite de l'ouverture du PCB à une température de référence de 100 °C et puissance dissipée à 1.9 W et 2.6 W	153
Figure 133 : Zone de mesure infrarouge de l'étage 1 et de l'étage 2	154
Figure 134 : Émissivité des étage 1 et 2 du VT4x4 RIC assemblé sur PCB.....	154
Figure 135 : Comparaison de la température moyenne de la mesure infrarouge et de la simulation thermique à l'étage 1 (étage 21) du HPA GaN.....	155
Figure 136 : Comparaison de la température moyenne de la mesure infrarouge et de la simulation thermique à l'étage 2 (étage 21) du HPA GaN.....	155
Figure 137 : Comparaison de la température moyenne de l'étage 1 et de l'étage 2, entre la simulation thermique et la mesure infrarouge à la température de référence de 60 °C.....	156
Figure 138 : Évolution de la température de jonction maximale du VT4x4 RIC assemblé sur PCB multicouche en fonction de la puissance dissipée pour différentes températures extérieures d'une convection naturelle $h = 25 \text{ W/m}^2/\text{°C}$	157
Figure 139 : Évolution de la température maximale du capteur 2 en fonction de la puissance dissipée pour différentes température extérieure d'une convection naturelle avec $h = 25 \text{ W/m}^2/\text{°C}$	158
Figure 140 : Température maximale du capteur 2 dans le cas 2 avec une température extérieure de 40 °C et une puissance dissipée de 1.6 W.....	159
Figure 141 : Température de jonction maximale du dispositif et la température maximale du capteur 2 en fonction de la puissance dissipée	159
Figure 142 : Courbe de la température de jonction maximale du dispositif en fonction de la température maximale du capteur 2	160
Figure 143 : VT4x4 RIC sur PCB multicouche sans ouverture côté PCB.....	160
Figure 144 : Résistance ohmique ou électrique du capteur 2 en fonction de la température du capteur 2 à la température extérieure de 40 °C	161

Figure 145 : Évolution de la température du capteur 2 en fonction de la puissance dissipée de la mesure de cyclage thermique à température extérieure de 40 °C.....	161
Figure 146 : Température maximale du capteur 2 au premier cycle thermique de la mesure à la température extérieure à 40 °C et la puissance dissipée à 1.6 W	162
Figure 147 : Comparaison de la température maximale de jonction du dispositif obtenue par la mesure du cyclage thermique et par la simulation thermique à la température extérieure de 40 °C.....	163
Figure 148 : Température du capteur 2 dans le cas 2 avec une température extérieure de 40 °C à la puissance dissipée de 1.6 W	163
Figure 149 : Température maximale et moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 80 °C.....	186
Figure 150 : Température maximale et moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 100 °C.....	186
Figure 151 : Comparaison de la température de la mesure électrique et de la température moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 80 °C	187
Figure 152 : Comparaison de la température de la mesure électrique et de la température moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 100 °C	187
Figure 153 : Comparaison de la température moyenne de l'étage 1 et de l'étage 2, entre la simulation thermique et la mesure infrarouge à la température de référence de 80 °C.....	188
Figure 154 : Comparaison de la température moyenne de l'étage 1 et de l'étage 2, entre la simulation thermique et la mesure infrarouge à la température de référence de 100 °C.....	188

Table des tableaux

Tableau 1 : La conductivité thermique, le coefficient n des matériaux GaN, SiC et AsGa [30]	36
Tableau 2 : Analogie thermique et électrique [74].....	59
Tableau 3 : Quelques valeurs types du coefficient de transfert thermique par convection [77]	63
Tableau 4 : Le quart des dimensions de la structure du transistor spécifique 2x150 μm	89
Tableau 5 : Propriétés thermiques des matériaux utilisées pour la simulation thermique du transistor spécifique 2x150 μm	89
Tableau 6 : Caractéristiques de la puce GaN/SiC.....	96
Tableau 7 : Caractéristiques de la puce AsGa Driver	96
Tableau 8 : Propriétés des matériaux utilisées pour la simulation thermique du démonstrateur télécom 5G	96
Tableau 9 : Températures de fonctionnement maximales de l'étage 2 de la puce AsGa Driver à puissance dissipée nominale de 0.2184 W et à la température de face arrière du SiP de 95 $^{\circ}\text{C}$	101
Tableau 10 : Résultats de mesure thermoréfectance, infrarouge et de simulation numérique thermique avec les valeurs moyennes de température en simulation du composant B45 du démonstrateur 5G côté HPA GaN	105
Tableau 11 : Épaisseurs des couches de matériaux constituant le VT4x4 RIC.....	109
Tableau 12 : Propriétés thermiques des matériaux utilisées pour la simulation thermique du transistor GH15 HEMT GaN 860 μm	113
Tableau 13 : Comparaison résultat de simulation et mesure d'un transistor GH15 8x60 μm	117
Tableau 14 : Propriétés thermiques des matériaux des composants du transistor HEMT GaN 8x60 μm pour l'étude thermomécanique.....	119
Tableau 15 : Propriétés thermiques des composants du VT4x4 RIC.....	122
Tableau 16 : Température maximale du couplage interétage du VT4x4 RIC pour une puissance dissipée nominale de 2 W et une température de référence de 25 $^{\circ}\text{C}$	125
Tableau 17 : Température moyenne du couplage interétage du VT4x4 RIC pour une puissance dissipée nominale de 2 W et une température de référence de 25 $^{\circ}\text{C}$	126
Tableau 18 : Impact du l'environnement (transistor isolé et VT4x4 RIC).....	127
Tableau 19 : Propriétés mécaniques et thermiques des composants du VT4x4 RIC pour l'étude thermomécanique	130
Tableau 20 : Coefficient de dilatation thermique (CTE) initial et module de Young initial de la résine époxy EMC 4251	130
Tableau 21 : Amélioration du coefficient de dilatation de la résine époxy EMC 4251.....	135

Tableau 22 : Données de déplacement (« warpage ») de mesure TDM et de simulation numérique améliorée.....	137
Tableau 23 : Propriétés thermiques du diélectrique FR4	138
Tableau 24 : Résultat de l'étude thermique stationnaire du VT4x4 RIC assemblé sur PCB multicouche pour une puissance dissipée nominale de 2 W et une température de référence de 25 °C	140
Tableau 25 : Impact du rapport d'échelle géométrique entre le transistor isolé, le transistor dans le SiP et le transistor dans le SiP assemblé sur PCB multicouche	143
Tableau 26 : Temps de régime permanent des différents dispositifs	143
Tableau 27 : Résultat de la température moyenne de la simulation thermique entre l'étage 2 et la limite d'ouverture du PCB	148
Tableau 28 : Résultat de la température maximale et moyenne de la simulation thermique du capteur 1	148
Tableau 29 : Résultat de la température du capteur 1 obtenue par la mesure électrique....	151
Tableau 30 : Résultat de la température obtenue par la mesure infrarouge entre l'étage 2 et la limite d'ouverture du PCB.	151
Tableau 31 : Comparaison des résultats de mesure et de simulation du capteur 1 à une température de référence de 100 °C	152
Tableau 32 : Comparaison du profil de température le long de la trajectoire entre la mesure infrarouge et la simulation thermique.....	153
Tableau 33 : Température du capteur 2 et du RIC obtenue lors de la mesure de cyclage thermique et de la simulation thermique pour plusieurs puissances dissipées. Température extérieure de 40 °C	162

Introduction générale

Le packaging n'est pas qu'un simple assemblage ou procédé d'encapsulation des puces électroniques. Il est l'étape de fabrication ultime qui transforme les dispositifs électroniques en produits fonctionnels pour l'utilisateur final. En effet, il doit fournir des connexions électriques, photoniques et/ou radiofréquence (RF) pour l'entrée et la sortie des signaux, l'alimentation électrique et le contrôle de la tension. Il assure également une part de la dissipation thermique et la protection physique nécessaire à la fiabilité.

Les architectures des circuits, celles des packagings, les types de dispositifs intégrés, les matériaux utilisés (GaN, SiC, SiGe, InP, Si, ...), les processus de fabrication et les « process » d'intégration des systèmes d'équipement évoluent tous très rapidement. Ces innovations ont entraîné le développement de plusieurs nouvelles technologies ainsi que l'expansion et l'accélération de technologies introduites au cours de ces dernières années.

L'intégration hétérogène de dispositifs sans fil et à signaux mixtes, de biopuces, de dispositifs de puissance, d'optoélectronique, de MEMS et de capteurs dans un seul boîtier impose de nouvelles exigences à la fabrication industrielle et aux communautés de recherche, car ces divers composants sont introduits en tant qu'éléments de systèmes en boîtier ou « System in Package » (SiP), d'architectures basées sur des « chiplets » [1] et d'autres architectures émergentes. La feuille de route pour l'intégration hétérogène présente les technologies de packaging les plus récentes, souvent appelées « packaging avancé ».

Le packaging avancé fait référence à des combinaisons de technologies distinctes conçues, traitées, assemblées et testées pour permettre une interconnexion optimisée en termes de coût, de performance, de puissance et de taille des circuits intégrés et des éléments de support entre eux et avec le système.

Nous allons nous intéresser dans cette thèse aux SiP en technologie « Fan Out Wafer Level Packaging » [2].

La co-intégration SiP vise à regrouper différentes puces ou dispositifs, basés sur diverses technologies de semi-conducteurs, chacun optimisé pour une fonction spécifique, dans un seul boîtier compact. En intégrant de manière efficace différentes fonctionnalités dans un seul système, on peut ainsi garantir de très bonnes performances.

Le sujet de ma thèse intitulé « mesures et de modélisations multi-physiques des dispositifs GaN pour la cointégration SiP en technologie FOWLP » est donc crucial pour comprendre et améliorer les performances de ces composants avancés lorsqu'ils sont intégrés dans des systèmes complexes. Cette approche nécessite notamment une compréhension approfondie des caractéristiques électriques, thermiques et mécaniques des dispositifs GaN. Les travaux menés dans cette thèse sont issus du projet SMART3 du plan Nano2022.

Le projet SMART3 a pour but d'évaluer et développer de nouvelles technologies de packaging 2D et 3D pour répondre à l'intégration hétérogène de différentes technologies de semi-conducteurs afin de concevoir des systèmes entièrement intégrés. Les améliorations des performances des dispositifs électroniques, la diminution de leur consommation d'énergie et

l'augmentation de leur fiabilité sont les objectifs des technologies développées dans le cadre du projet SMART3

Ce projet se fait avec la collaboration de plusieurs partenaires. Les partenaires sont de types :

- Académiques avec le laboratoire IMS rattaché à l'Université de Bordeaux (UB), l'Université Claude Bernard Lyon 1 (UCBL), ainsi que le laboratoire XLIM rattaché à l'université de Limoges (UL) où cette thèse est effectuée ;
- Industriels avec III-V Lab, UMS, Thalès Recherche & Technologie (TRT), CEA Leti ;
- Régionaux de la Nouvelle Aquitaine avec AMCAD, SAFRAN, SERMA Technologies ;
- Internationaux avec le Fraunhofer Institute IZM qui a rejoint le projet en cours de route.

La fabrication de SiP constitue un défi majeur en matière d'intégration et d'interconnexion de circuits utilisant différentes technologies, telles que des circuits à base de HEMT GaN, de pHEMT AsGa, ou d'autres composants en silicium (Si). La réussite de cette entreprise exige de surmonter de nombreux obstacles technologiques, bien au-delà du simple fait de placer et de connecter des circuits hétérogènes les uns à côté des autres.

Il est en effet nécessaire, entre autres, de garantir que le SiP pourra fonctionner à des fréquences allant jusqu'à plusieurs dizaines de GHz, que son fonctionnement ne sera pas compromis par des températures internes trop élevées, que sa fiabilité sera suffisante pour assurer son bon fonctionnement pendant toute sa durée de vie opérationnelle, et qu'il sera suffisamment hermétique pour résister aux dégradations liées à son environnement d'utilisation, étant donné que la caractéristique principale d'un SiP est sa grande interaction des phénomènes physiques qui imposent une conception basée sur la co-ingénierie et des méthodologies de développement impliquant beaucoup de compromis et des simulations multi-physiques.

Tous ces enjeux montrent que de nombreux phénomènes physiques sont au croisement pour la réussite de ce projet et qu'il est nécessaire de mettre en jeu des techniques de modélisation et de simulations physiques variées cherchant dans certains cas à exploiter un couplage entre les effets physiques (électrique, thermique, mécanique, électromagnétique, etc...).

Les activités identifiées lors de ce projet sont :

1. Mesures et modélisations physico-chimiques, électriques, petit signal des matériaux polymères ;
2. Modélisations, simulations thermiques et thermomécaniques des cas représentatifs des empilements envisagés (estimation des contraintes, points chauds). Ceux-ci permettront d'optimiser les cas et choix de certains matériaux dans un but de diminution de risques au niveau de la fiabilité ;

3. Modélisations et simulation électromagnétique permettant de modéliser et d'optimiser des structures d'interconnexion internes au SiP mais également d'apprécier l'impact et les modifications à apporter lors de la phase de conception ;
4. Modélisations des phénomènes de pénétration de l'humidité (vitesse, capacité) dans les structures d'empilement afin de contrôler la dégradation des circuits à l'intérieur de l'EMC (Epoxy Molding Compounds). L'EMC est un matériau composite de faible conductivité thermique, le plus couramment utilisé pour l'encapsulation des puces dans l'industrie des semi-conducteurs.
5. Modélisation des structures passives en vue de définir les modèles d'interconnexions lors de la phase de conception du SiP. Modélisations des transistors optimisés dans le cadre de l'étude afin de tenir compte des modifications (Procédé) mis en œuvre pour une meilleure intégration dans le procédé WLP (Wafer Level Packaging).

Mes travaux de thèse sont quant à eux axés sur les activités 2 et 5.

En effet, dans cette thèse, nous nous intéressons à l'étude des dispositifs GaN en se concentrant sur leur modélisation multi-physique et les tests de mesure (thermo-réfectance, électrique et infrarouge). Nous visons à explorer les propriétés électriques, thermiques et mécaniques de ces dispositifs pour mieux comprendre leur comportement dans le contexte de l'interconnexion de différentes puces (GaN, AsGa, Si, SiC, etc..) dans un boîtier. Les principales étapes de notre recherche comprennent :

1. La mesure thermique (thermoréfectance, électrique et infrarouge) : Les dispositifs à base de GaN issus de ce projet seront soumis à des mesures de types thermoréfectance, électrique et infrarouge pour les caractériser et comprendre leur comportement expérimentalement.

2. La simulation thermique : Compte tenu de la forte densité de puissance de ces dispositifs à base de GaN, ou de la faible conductivité thermique des composants en AsGa, leur comportement thermique est d'une importance cruciale. Nous procéderons à une étude thermique par la méthode des éléments finis (FEM) à l'aide du logiciel ANSYS afin de caractériser ces dispositifs au niveau package (circuit intégré - SiP) et/ou au niveau du composant (transistor) du point de vue numérique avant de confronter les résultats de simulation aux résultats de mesures pour la validation du bon fonctionnement de ces dispositifs.

3. La simulation thermomécanique : L'intégration de dispositifs hétérogènes dans un SiP peut entraîner des contraintes mécaniques susceptibles d'en affecter les performances. A l'aide d'une simulation numérique sous ANSYS, et d'un fichier GDS [3], nous reconstruirons le SiP et mettrons en place une étude thermique multi-échelle allant du niveau composant (transistor extrait du SiP) jusqu'au SiP et pour valider l'assemblage de ce dernier en comparant les résultats numériques (simulations) et expérimentaux (mesures).

Le GDS (Graphic Design System) est un format de fichier binaire qui sert à représenter le schéma physique d'un circuit intégré, appelé le « layout ». Ce fichier stocke une base de

données composée de formes géométriques en deux dimensions, de labels textuels et d'informations sur la structure hiérarchique du dessin. Au fil du temps, ce format est devenu un standard presque universel pour la représentation et l'échange de « layout », que ce soit entre différents outils de conception et de vérification physique, ou pour l'envoi des circuits à l'étape de fabrication [4].

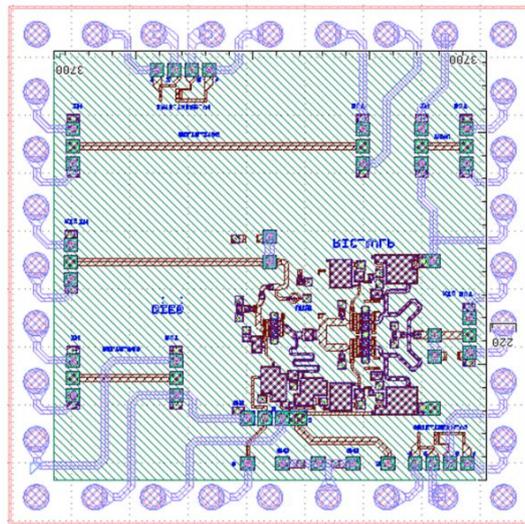


Figure 1 : Fichier GDS montrant toutes les informations sur la disposition des semi-conducteurs [5]

Une fois la validation approuvée, une étude (mesure, simulation thermique et thermomécanique) du SiP sera faite. Nous étudierons la déformation mécanique et les contraintes pour optimiser la conception du SiP et garantir la durabilité du système. Nous développerons des simulations pour prédire le comportement des dispositifs GaN dans différentes conditions de fonctionnement. Ces modèles contribuent à une meilleure conception et à une optimisation du SiP pour améliorer ses performances. En combinant ces approches de mesure et de modélisation multi-physique, notre recherche contribuera à renforcer la compréhension fondamentale des dispositifs GaN et à ouvrir la voie à des systèmes électroniques avancés et plus performants dans le contexte de la co-intégration SiP. Cette technologie avancée est essentielle pour répondre aux besoins croissants de l'industrie électronique moderne et de ses applications innovantes.

Le chapitre 1 abordera l'introduction aux « System In Packages » (SiP) utilisant la technologie Fan Out Wafer Level Packaging (FOWLP). Les avantages et inconvénients de cette technologie seront mis en évidence. Il mettra aussi l'accent sur les semi-conducteurs à même d'être utilisés avec cette technologie en l'occurrence le GaN, le SiC et l'AsGa compte tenu de leur utilisation dans les véhicules de test utilisés pour cette thèse. D'autre part, les problématiques multi-physiques comme la thermique, la thermomécanique et l'électromagnétique abordées au sein de cette technologie seront évoquées.

Le chapitre 2 abordera la description des différentes techniques de mesures et de simulation qui seront mises en œuvre ou utilisées au cours de ces travaux. Nous présenterons ainsi la mesure thermoréfectance (TR), la mesure infrarouge (IR) ou la mesure électrique dite « gate end to end ». Concernant les techniques de simulation numérique, nous aborderons la

modélisation du modèle thermique et thermomécanique. Nous effectuerons quelques rappels sur les lois de base du transfert de chaleur, les lois de déformations et de contraintes permettant ainsi de décrire le comportement thermique et mécanique d'un système. La validation et la maîtrise de ces diverses techniques seront mises en lumière autour de l'étude d'un transistor spécifique de la technologie UMS GH15 2x150 μm ayant deux accès de grilles.

Dans le dernier chapitre nous aborderons les résultats et la comparaison entre mesures et simulation thermique et thermomécanique. Nous commencerons par présenter des résultats sur un démonstrateur « télécom » destiné aux applications 5G en bande Ka, fourni par notre partenaire UMS maître d'œuvre du projet SMART3. Ce véhicule de test est issu d'un programme de recherche précédent intitulé 5G GaN. Il comprend une intégration hétérogène SiP FOWLP comprenant un amplificateur de puissance GaN et un « driver » en technologie AsGa fonctionnant entre 24 et 30 GHz, dissipant une puissance inférieure à 3.5 W.

Dans la seconde partie de ce chapitre, nous aborderons l'étude d'un véhicule de test que nous appellerons VT4x4 RIC. Il sera question de le reconstruire à partir du fichier GDS (2D) en circuit 3D avec le logiciel ANSYS et de mettre en place une simulation numérique afin de déterminer ses conditions de fonctionnement et de fiabilité. Dans un premier temps nous allons construire ce circuit complet dans ANSYS, nous assurer que l'assemblage et toutes les données introduites permettent de valider le modèle d'éléments finis. Pour ce fait, Il s'agira notamment d'extraire un transistor élémentaire de ce circuit, de procéder à une étude thermique numérique et de comparer les résultats obtenus avec les mesures connues sur ce type de technologie de transistor. Dans un second temps, une fois le modèle validé, nous appliquerons le procédé sur l'ensemble du circuit pour déterminer ces conditions de fonctionnement et de fiabilité.

La dernière étape consistera à étudier le SiP assemblé sur un PCB (Printer Circuit Board). Ce dernier fera également l'objet d'étude thermique pour déterminer ses conditions de fonctionnement et de fiabilités. Il sera soumis à des tests de mesures (infrarouge, thermoréfectance) afin d'effectuer une corrélation entre les résultats de simulation et de mesures (expérimentales). Pour conclure, le dispositif SiP, fera l'objet d'une étude thermomécanique afin de s'assurer de sa tenue mécanique et de contrôler notamment son "warping".

Chapitre I. Introduction à la technologie Fan Out Wafer Level Package (FOWLP)

I.1. Introduction

L'industrie des semi-conducteurs connaît une progression de manière exponentielle, répondant à une demande croissante pour des appareils électroniques toujours plus puissants, compacts et économes en énergie. Cette évolution a conduit à l'émergence de nouvelles technologies packaging, telles que le System in Package (SiP) [6] et le Fan Out Wafer Level Packaging (FOWLP), qui sont désormais cruciales dans l'industrie de l'électronique.

Le passage aux technologies FOWLP (Fan Out Wafer Level Packaging) a commencé à être largement utilisé dans le secteur des semi-conducteurs au milieu des années 2010. Cette technologie est une amélioration des techniques d'encapsulation en Wafer Level (WLP) et a permis de pallier certaines des limites liées au Fan-In WLP [7], comme la densité des interconnexions et la dissipation de chaleur.

La paternité du FOWLP est difficile à établir et d'ailleurs si nous consultons la littérature [2] intitulée « histoire de la propriété intellectuelle du FOWLP, nous pouvons découvrir que Freescale/Motorola a déposé un brevet sur le FOWLP en 1988 en proposant du verre basse température à la place de la résine époxy, et que la société EPIC a lancé une ligne pilote FOWLP 100 mm en 1996 ».

Au début des années 2000, les premières recherches sur le FOWLP continuent et prennent de l'ampleur [8] avec des prototypes élaborés par différentes entreprises et instituts de recherche. Les entreprises telles que TSMC et Infineon ont été parmi les pionniers dans le développement de cette technologie. TSMC développe les packages de technologie InFO-WLP [9], tandis que Infineon développe des packages de technologie eWLB « embedded Wafer Level Ball grid array » [10], [11], [12] voir la Figure 2.

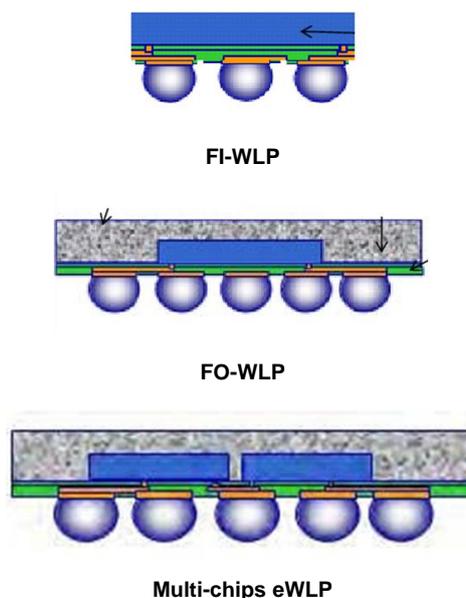


Figure 2 : Comparaison entre la technologie de packaging Fan In WLP et Fan Out WLP [7], [13]

Les premières applications commerciales ont commencé à émerger vers 2010-2012, notamment pour les dispositifs à faible consommation d'énergie et les applications mobiles. Les gains en réduction de taille et en performance thermique ont joué un rôle prépondérant dans cette évolution.

Depuis 2015, les fabricants ont adopté le FOWLP, en particulier pour les smartphones et les appareils électroniques portables, en raison de la demande de solutions plus compactes et plus performantes. Apple a largement utilisé cette technologie pour populariser le FOWLP dans ses puces pour iPhone [14].

La Figure 3 montre un System in Package (SiP). Le SiP [15] est une méthode d'encapsulation qui consiste à assembler plusieurs circuits intégrés (CI) et composants passifs dans un boîtier. Cette technologie offre la possibilité d'intégrer différentes fonctionnalités : circuits intégrés numériques et analogiques, composants passifs (résistances, condensateurs, inductances), composants radiofréquences (RF), module de gestion de l'énergie, puces de mémoire (DRAM, Flash), capteurs et systèmes micro-électromécaniques (MEMS). Il est possible d'améliorer la performance et l'efficacité énergétique des dispositifs grâce à cette technologie.

Contrairement à l'approche SoC « System on Chip » [16], présentant un avantage d'une grande efficacité spatiale, puisqu'il regroupe l'intégralité du système sur une seule puce, cette intégration permet de réduire le nombre de connexions et le câblage nécessaires entre les différents composants.

Un des inconvénients de la technologie SoC est sa capacité d'évolution restreinte ; en effet, pour mettre à jour le système, il peut être nécessaire de remplacer l'intégralité de la puce [16]. Le SiP, quant à lui, utilise plusieurs puces interconnectées. Cela offre une flexibilité accrue, car les composants intégrés peuvent être choisis et optimisés individuellement, réduisant ainsi les coûts de développement et les délais de mise sur le marché.



Figure 3 : System in Package (SiP) [15]

Les SiP sont particulièrement adaptés aux applications où l'espace est restreint, comme dans les smartphones, les dispositifs IoT (Internet des objets), et les dispositifs

portables [17]. En outre, ils offrent une grande flexibilité de conception, permettant de personnaliser les systèmes en fonction des besoins spécifiques de son application.

Quant au Fan Out Wafer Level Packaging (FOWLP) [18], présente sur la Figure 4, est une technique de packaging poussant encore plus loin l'intégration des circuits électroniques. Elle permet d'étendre les interconnexions au-delà des limites de la puce, d'où le terme "Fan Out". Cette méthode repose sur la redistribution des couches de circuits (Redistribution Layer ou RDL) à l'extérieur des dimensions de la puce, permettant ainsi d'augmenter le nombre de connexions tout en réduisant l'épaisseur et la taille du package final.

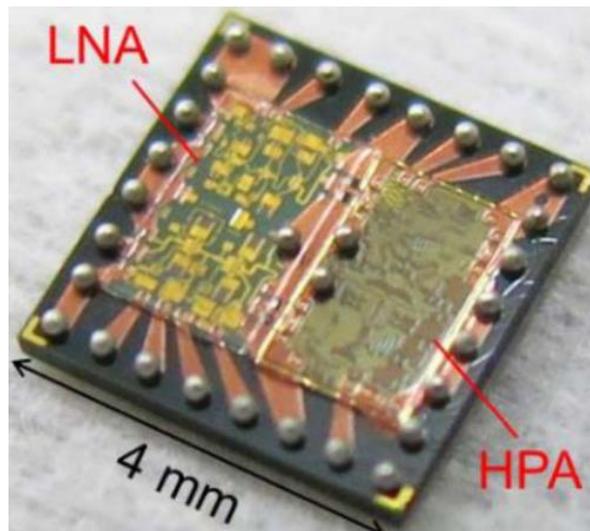


Figure 4 : Fan Out Wafer Level Packaging (FOWLP) embarquant un HPA (High Power Amplifier) GaN sur SiC et un LNA AsGa [19]

Le FOWLP permet d'obtenir des packages extrêmement minces et compacts, idéaux pour les dispositifs où la miniaturisation est cruciale, la réduction de la longueur des interconnexions rend les performances électriques meilleures, avec une diminution des pertes de signal et des interférences. Pour clôturer le tout, elle offre une possibilité économique par la réduction du coût, notamment pour les volumes de production élevés. Ce dernier est utilisé dans des applications variées, allant des smartphones aux composants pour l'automobile, où les exigences en termes de performances et de fiabilité sont particulièrement élevées.

Les technologies SiP et FOWLP représentent des avancées majeures dans le domaine de l'intégration des systèmes électroniques. Alors que le SiP permet de combiner plusieurs composants en un seul module compact, le FOWLP offre des solutions encore plus miniaturisées avec des performances électriques optimisées. Ces innovations répondent aux besoins croissants du marché pour des dispositifs plus petits, plus puissants et plus efficaces, tout en ouvrant de nouvelles perspectives pour l'avenir de l'électronique. D'où le choix porté sur cette technologie utilisée pour les activités de ma thèse en lien avec le projet SMART3 du plan nano2022.

Dans le cadre du projet SMART3, plus précisément dans cette thèse, nous aurons deux SiP FOWLP à étudier. Le premier est constitué de deux puces GaN/SiC et AsGa Driver (Figure

4), le second est un véhicule de test de 4mmx4mm RIC, constitué d'un amplificateur à 2 étages à base de HEMT GaN que nous évoquerons dans le chapitre III de ce manuscrit.

Le Nitrure de Gallium (GaN), le Carbure de Silicium (SiC) et l'Arséniure de Gallium (AsGa) sont des matériaux semi-conducteurs avancés utilisés dans divers domaines de l'électronique, en particulier pour des applications de haute performance. Chacune possède une propriété spécifique :

Le GaN est un semi-conducteur à large bande interdite (3.4 eV) qui offre une haute efficacité énergétique, une excellente résistance aux hautes températures et une capacité à fonctionner à des fréquences très élevées.

Le SiC est également un matériau à large bande interdite (2.3 eV - 3.3 eV) avec une grande dureté et une haute résistance thermique. Il a une mobilité des électrons plus faible que le GaN, mais une résistance de décomposition plus élevée, ce qui le rend idéal pour des applications exigeant une grande robustesse.

L'AsGa est un semi-conducteur à bande interdite directe (1.42 eV), utilisé comme un MPA « Medium Power Amplifier ». Il présente également une haute mobilité des électrons, ce qui est favorable aux dispositifs à haute fréquence et faible bruit.

La Figure 5 ci-dessous montre le processus de conception du FOWLP constitué de puces GaN/SiC et AsGa Driver avec une ouverture au niveau de la puce GaN/SiC pour l'emplacement d'un dissipateur thermique en configuration « face down ».

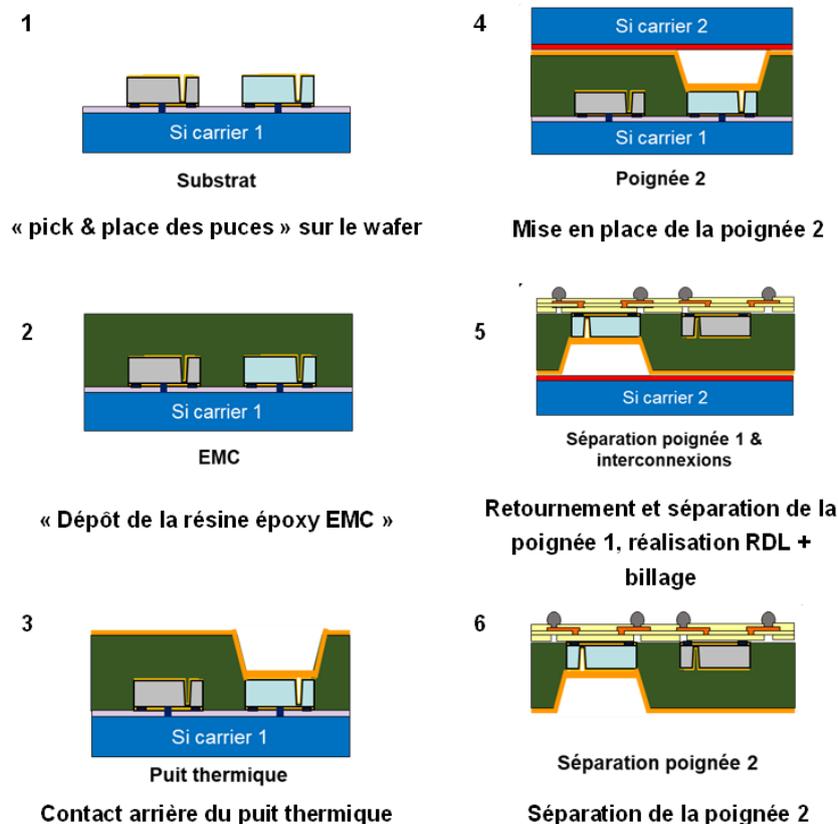


Figure 5 : Le processus d'assemblage de l'un des dispositifs FOWLP issus du projet SMART3 du Plan Nano2022

Nous avons abordé la technologie FOWLP ainsi que la technologie Fan In, qui sont deux technologies appartenant à une même famille que nous évoquerons par la suite. Cependant il existe plusieurs concurrents de technologies FOWLP dans l'électronique. La liste est exhaustive, nous pouvons citer : les boîtiers par insertion expliqués dans la littérature suivante [20], les boîtiers pour montage en surface [21] que l'on peut voir sur la Figure 6 : tels que SOP, SOT23 et 223 etc...



Figure 6 : Différents types de boîtiers électroniques [21]

Nous pouvons notamment citer les boîtiers QFN très utilisés dans l'industrie électronique ces dernières années. Les boîtiers QFN (Quad Flat No-lead) de la Figure 6 et Figure 7 sont apparus vers les années 2000 dans un contexte de miniaturisation accrue. Ils reprennent le principe des boîtiers QFP, avec une épaisseur initiale de 1 mm, des connexions sur les 4 côtés sans dépassement ni cambrage. Ils offrent de bonnes performances électriques et thermiques, avec une plateforme centrale soudable sur le circuit imprimé. En 2023, ils représentent plus de 25% des boîtiers microélectroniques. Initialement moulés individuellement, ils sont désormais produits en nappe. Leur pas de connexion est généralement limité à 0,5 mm, réduisant le nombre de sorties. Depuis les années 2010, des QFN à plusieurs rangées de connexions périphériques sont apparus. Leur principal inconvénient est l'absence de connexions externes jouant un rôle d'amortisseur mécanique, ce qui peut réduire la durée de vie des composants.

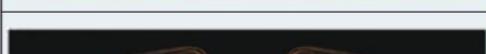
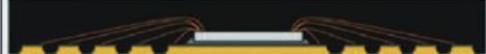
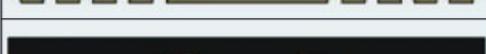
	ÉTAPES	
	grille métallique	demi-découpe et métallisation localisées
	report puce	colle
	câblage filaire	fil Au (ou Cu)
	moulage	-
	gravure face arrière	déconnexion électrique du pad et des contacts
	test électrique	possibilité de réaliser un test parallèle
	sciage boîtiers	boîtiers finaux

Figure 7 : Description du processus d'assemblage des boîtiers QFN (Quad Flat No-lead) à plusieurs rangées [20]

Nous retrouvons des boîtiers matriciels (de type BGA) tels que : « Stacked dice » [17], « Package on Package » (PoP) (Figure 11), « System in Package » (SiP). À la fin des années 1980, les boîtiers QFP (Figure 6 et Figure 8) avec sorties périphériques ont vu leur espacement diminuer, rendant leur fabrication et utilisation plus complexes, avec un taux de rejet accru. Cela a conduit à l'adoption de boîtiers avec des connexions non périphériques, comme les BGA « Ball Grid Array », introduits dans les années 1990. Ces boîtiers étaient initialement grands, mais leur adoption a été lente en raison de la difficulté d'inspecter visuellement les joints brasés. Les progrès dans les matériaux ont permis le développement de BGA surmoulés, miniaturisés et plus fiables. À partir des années 2000, différents formats de BGA (Figure 9) et LGA [22], [23], permettant une réduction de la taille et de l'épaisseur.

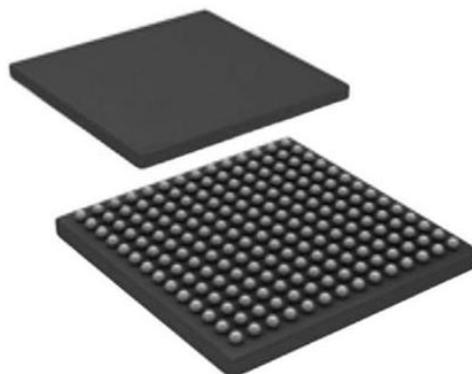


Figure 8 : Package BGA [22]

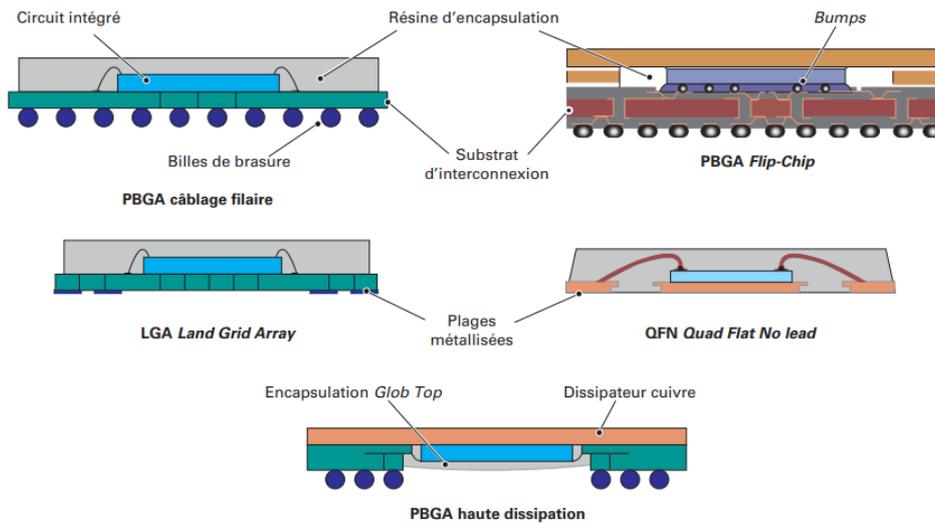


Figure 9 : Package plastique types BGA [24]

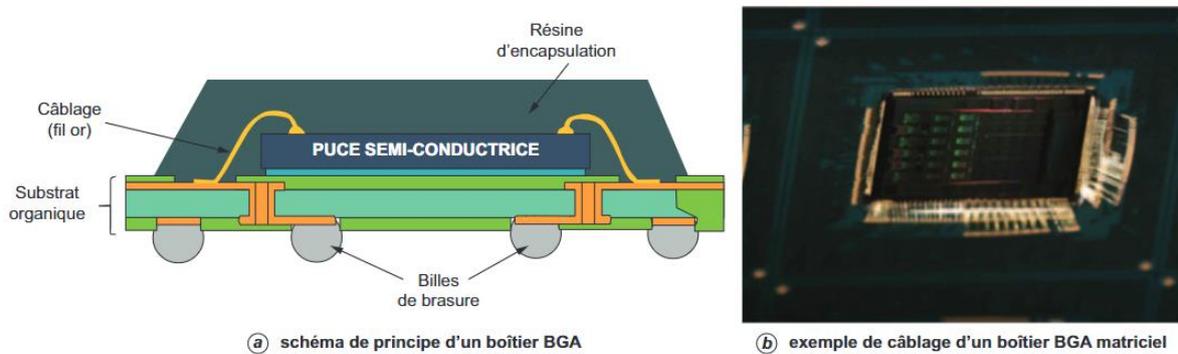


Figure 10 : Composition d'un boîtier BGA [20]



Figure 11 : Technologie PoP [25]

Cependant, il existe une famille de boîtier connue sous le nom de CSP « Chip Scale Package ». Le CSP « Chip Scale Package » est un boîtier dont la surface totale ne dépasse pas 1.2 fois celle de la puce. La notion de CSP a évolué, et on considère ici uniquement les boîtiers sans support d'interconnexion pour la puce, appelés WLCSP « Wafer Level Chip Scale Package ». Dans cette famille de boîtiers, nous avons le Fan-in, le Fan Out présenté plus haut dans cette introduction et les packages 3D. Les années d'évolution des différents boîtiers sont illustrées sur la Figure 12.

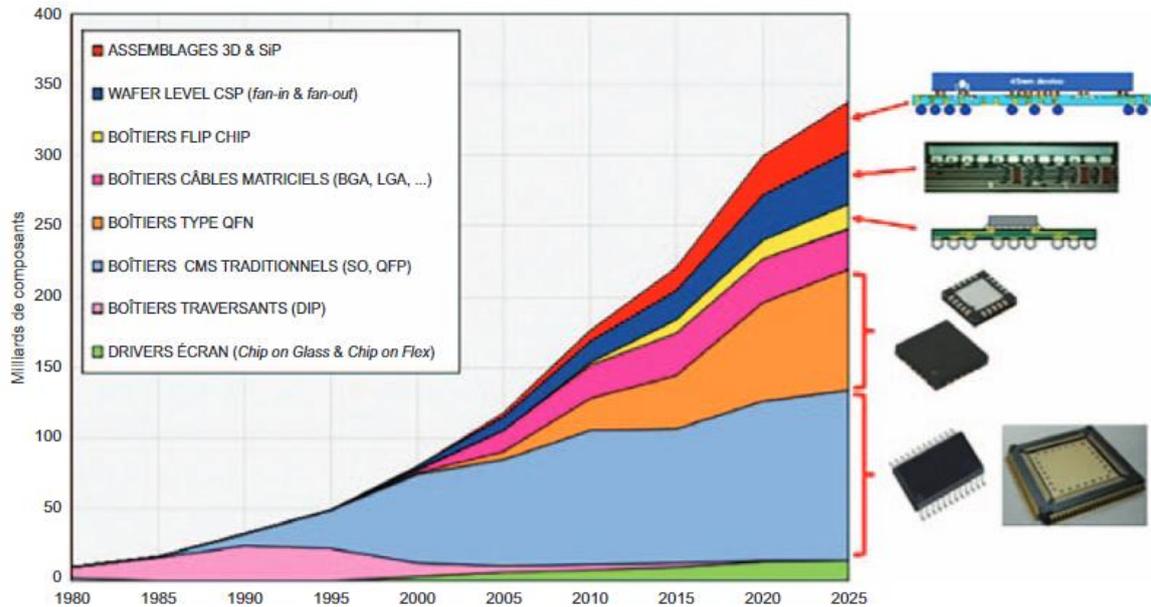


Figure 12 : Production mondiale de circuits intégrés par type de boîtier [20]

I.2. Avantages et inconvénients du FOWLP

Le Fan Out Wafer Level Packaging (FOWLP) est une technique avancée d'encapsulation des semi-conducteurs qui permet d'augmenter la densité des interconnexions tout en améliorant les performances globales des circuits intégrés. Cette technologie présente plusieurs avantages et inconvénients.

Les avantages d'un SiP en technologie FOWLP sont de permettent [26]

- Intégrer plus de connexions sur une même puce, ce qui est crucial pour répondre aux exigences des systèmes complexes modernes.
- Fabriquer des puces plus petites et plus fines, un facteur de forme compact, un boîtier de profil bas, avec un espacement entre la puce et le bord du boîtier ($\leq 700 \mu\text{m}$) dans le cas des deux dispositifs du projet mentionnés dans cette thèse. L'augmentation de la densité d'Entrée/Sortie (E/S) permet d'utiliser un WLP avec une réduction de la taille des puces, à mesure que les entreprises adoptent des technologies de semi-conducteurs avancées.
- Améliorer des performances électriques en réduisant la longueur des interconnexions, ce qui diminue la résistance et l'inductance parasites. Cela améliore les performances électriques globales du circuit, notamment en termes de vitesse et de consommation d'énergie. D'excellentes performances électriques (faible inductance parasite, faible perte d'insertion et bonne intégrité du signal) grâce à la courte distance du signal entre la puce, le boîtier et la carte.
- Dissiper plus efficacement la chaleur, réduisant ainsi le risque de surchauffe des composants. En particulier lorsque des billes thermiques sont placées directement sous la puce, et un chemin thermique direct vers le PCB en raison de l'absence de substrat.

- Combiner plusieurs types de puces (hétérogénéité) dans un seul package, ouvrant la voie à des solutions plus flexibles et intégrées. Le conditionnement de puces divisées ou multi puce / système dans un boîtier (SiP), tout ceci contribue à une flexibilité de sa conception.
- Protéger les parois latérales sur tous les côtés grâce à l'utilisation de résine de moulage, avantageuse par rapport à l'encapsulation de niveau tranche avec redistribution en éventail (WLP), qui laisse les parois latérales d'une puce non protégées.

Les inconvénients d'un FOWLP sont :

- Le processus de fabrication du FOWLP, qui reste plus complexe et nécessite des équipements spécialisés, ce qui entraîne un coût de production plus élevé par rapport aux technologies traditionnelles.
- Défis de fabrication car la production en grande série peut poser des défis techniques, notamment en matière de gestion des tensions internes et des déformations des substrats, ce qui peut affecter le rendement et la fiabilité des puces.
- Limites en termes de taille de puce compte tenu que les puces de très grandes tailles peuvent être difficiles à encapsuler en FOWLP en raison des contraintes liées à la taille des interconnexions et des substrats s'ils en existent sur ces composants.
- L'intégration de FOWLP dans une chaîne de production existante peut nécessiter des ajustements importants, ce qui peut être un frein pour certaines entreprises « compatibilité avec les processus existants »
- Bien que les performances thermiques soient améliorées, le FOWLP peut être plus susceptible à certains types de défaillances mécaniques, telles que les craquements dans les couches de redistribution (Redistribution Layer, RDL).

I.3. Problématiques de conception d'un SiP en technologie FOWLP

La fabrication de SiP est un formidable challenge dans l'intégration et l'interconnexion de circuits basés sur des technologies différentes comme des circuits à base de HEMT GaN, de pHEMT AsGa, ou d'autres composants Silicium.

La réussite d'une telle entreprise demande de relever de nombreux défis technologiques qui vont au-delà de savoir placer côte à côte et de connecter entre eux des circuits hétérogènes. En effet, il s'agit entre autres de s'assurer que le SiP pourra fonctionner jusqu'à plusieurs dizaines de GHz, que son fonctionnement ne sera pas altéré par des températures internes trop élevées, que sa fiabilité sera suffisante pour assurer son bon fonctionnement pendant sa durée opérationnelle et qu'il sera suffisamment hermétique pour résister aux dégradations liées à son environnement d'utilisation.

Il est important de souligner que la caractéristique principale d'un « System-in-Package » est la grande interaction des phénomènes physiques qui imposent une conception

basée sur la co-ingénierie et des méthodologies de développement impliquant beaucoup de compromis « trade-off » et des simulations multi-physiques.

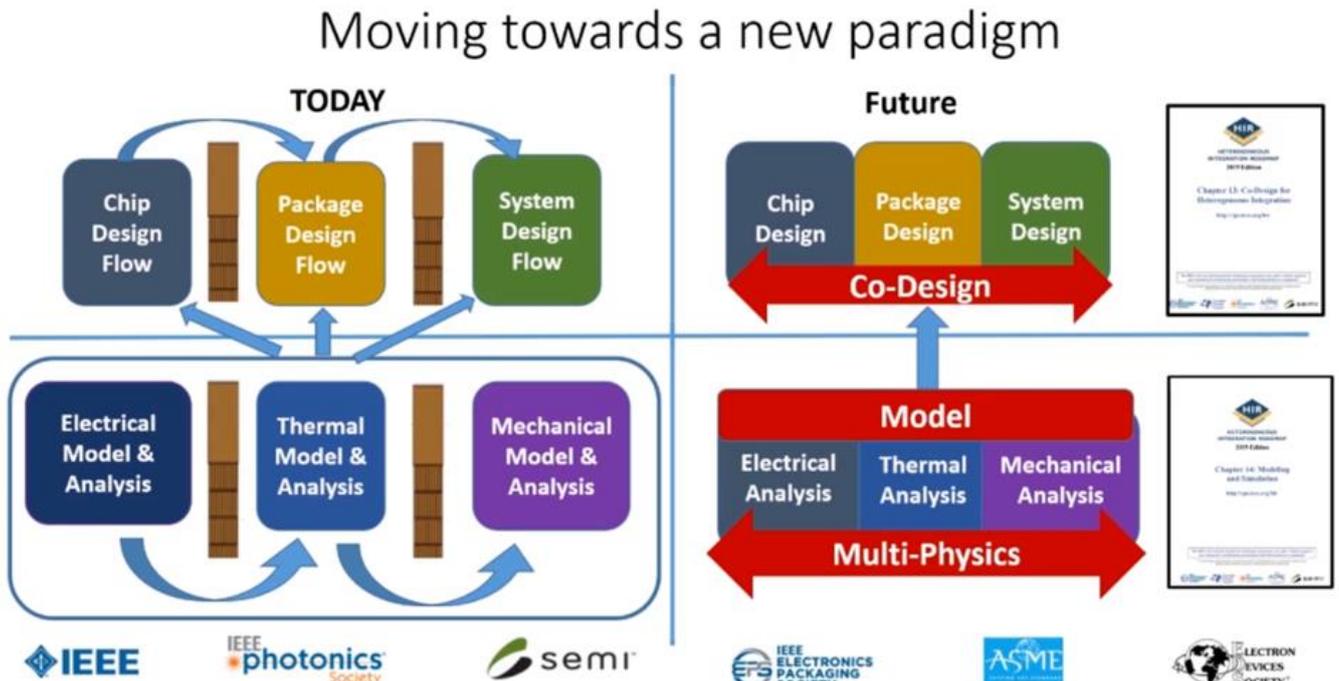


Figure 3: Chip-Package-System Design Methodology Today and in Future
 (Source: ECTC 2020, Special Session HIR, Presentation by Chris Bailey, University of Greenwich and Chair of HIR Chapter 14)

Figure 13 : Référence au nouveau paradigme de conception

Tous ces enjeux montrent que de nombreux phénomènes physiques sont au croisement de cette réussite et qu'il est nécessaire de mettre en jeu des techniques de modélisation et de simulations physiques variées, comme montrés dans la Figure 13, cherchant dans certains cas à exploiter un couplage entre les effets physiques (Électrique, thermique, thermomécanique).

Les clés de la réussite reposent essentiellement sur les mesures, modélisations physico-chimiques, électriques, de pénétration de l'humidité dans les structures d'empilement, des structures passives des modèles d'interconnexions et de simulations électromagnétiques, thermiques et thermomécaniques.

Nous voyons clairement que les choix de matériaux et les décisions dans la construction d'un SiP nécessitent une réelle approche multi-physique. Nous proposons de détailler quelques points clés.

I.3.1. Problématique thermique

Le Fan Out Wafer Level Packaging (FOWLP) est une technologie avancée d'encapsulation de semi-conducteurs qui offre plusieurs avantages en termes de miniaturisation, performances électriques et coûts. Cependant, la problématique thermique reste une des principales préoccupations dans la conception de ces dispositifs. En effet il faut avoir à l'esprit que la résine époxy est un mauvais conducteur thermique.

I.3.1.1. Dissipation thermique

L'un des défis majeurs du FOWLP est la dissipation thermique en raison de la densité de puissance élevée et de l'absence de boîtier métallique traditionnel qui aide à la dissipation thermique dans les autres technologies d'emballage. La gestion de la chaleur est critique pour prévenir les défaillances thermiques et assurer la fiabilité des dispositifs. Des méthodes telles que l'intégration de matériaux à haute conductivité thermique et l'utilisation de structures de dissipation thermique avancées, comme les vias thermiques, sont souvent explorées pour améliorer la gestion thermique dans de tels dispositifs.

I.3.1.2. Coefficient de dilatation thermique

Un autre aspect important est la gestion des contraintes thermomécaniques dues aux différences de coefficient de dilatation thermique (CTE) entre les différentes couches et matériaux utilisés dans le FOWLP. Les variations de température peuvent entraîner des déformations et des fissurations dans les structures, ce qui pourrait réduire la fiabilité du dispositif. Le choix des matériaux et la gestion des interfaces sont donc cruciaux pour minimiser ces effets.

I.3.1.3. Influence thermique sur la conductivité thermique du GaN, SiC et AsGa

La température a une influence sur certaines propriétés physiques des matériaux semi-conducteurs qui composent les puces. Nous pouvons citer notamment l'énergie de gap, la mobilité ainsi que la vitesse des porteurs, la conductivité thermique. Dans cette section, seule la conductivité thermique est abordée car notre travail porte essentiellement sur les aspects de simulation thermique [27], [28], [29].

La conductivité thermique, notée k ou λ selon la littérature, est une caractéristique intrinsèque des matériaux qui lie le gradient de température au flux de chaleur. Elle indique la capacité d'un matériau à conduire la chaleur et est exprimée en $W/m/^\circ C$ ou $W/m/K$. Un matériau est considéré comme conducteur s'il permet facilement la diffusion de la chaleur, ce qui est typique des métaux dotés d'une conductivité thermique élevée. La conductivité thermique de certains semiconducteurs (GaN, SiC, AsGa) est dépendante de la température. Elle est régie par l'équation suivante :

$$k(T) = k_{300} \cdot \left(\frac{T(K)}{300}\right)^{-n} = k_{300} \cdot \left(\frac{T(^{\circ}C) + 273.15}{300}\right)^{-n} \quad (1)$$

Avec n dépendant du matériau, k_{300} la conductivité thermique de référence du matériau à 300 Kelvin (K) et T la température en Kelvin (K). Le facteur de multiplication de la conductivité thermique de référence du matériau dans l'équation (1) est sans unité.

Matériau	k_{300} (W/m/°C)	n
SiC	390	1.5
GaN	160	1.45
AsGa	45.5	1.25

Tableau 1 : La conductivité thermique, le coefficient n des matériaux GaN, SiC et AsGa [30]

La Figure 14 illustre la variation de la conductivité thermique de certains semi-conducteurs tels que le GaN, SiC et AsGa en fonction de la température. Ces courbes montrent une diminution de la conductivité thermique à mesure que la température augmente, ce qui entraîne une détérioration de la dissipation thermique des composants. Ce phénomène doit être pris en compte lors des simulations thermiques des transistors, notamment pour évaluer leur comportement à différentes températures de fonctionnement.

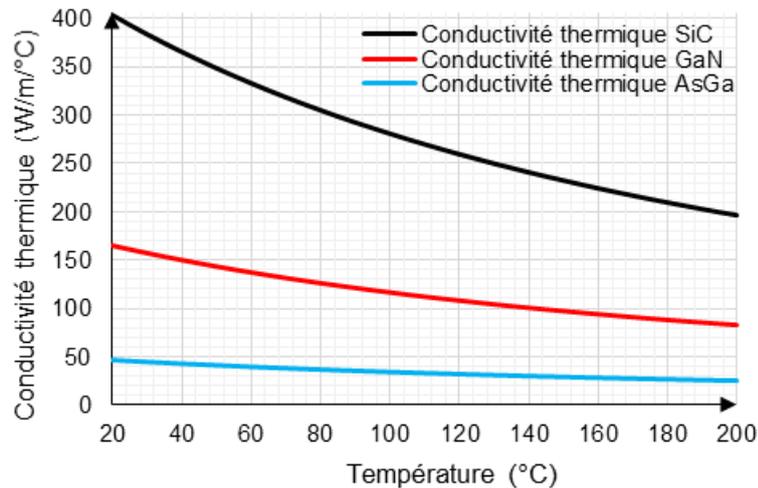


Figure 14 : Variation de la conductivité thermique des semi-conducteurs : GaN, SiC et AsGa en fonction de la température

I.3.2. Problématique thermomécanique

La problématique thermomécanique dans le contexte du Fan Out Wafer Level Packaging (FOWLP) est cruciale pour garantir la fiabilité et la performance des dispositifs électroniques miniaturisés. Le FOWLP est une technologie de packaging avancée qui permet de réaliser des circuits intégrés avec une densité plus élevée, tout en réduisant la taille et en améliorant les performances. Cependant, cette technologie introduit des défis thermomécaniques significatifs qui doivent être abordés pour éviter la défaillance des dispositifs.

I.3.2.1. Contraintes thermomécaniques

Les contraintes thermomécaniques dans le SiP FOWLP proviennent principalement des différences de coefficients de dilatation thermique (CTE) entre les matériaux utilisés, comme le carbure de silicium, le GaN, les matériaux polymères et les interconnexions métalliques. Lors des cycles thermiques (chauffage et refroidissement), ces différents CTE peuvent entraîner des déformations, des contraintes résiduelles, et éventuellement des fissures dans le dispositif.

I.3.2.2. Déformation et warpage

Une des problématiques principales est le « warpage » (déformation) du SiP, qui peut survenir pendant les processus de fabrication ou lors du fonctionnement du dispositif. Le « warpage » est dû aux contraintes thermomécaniques accumulées, et il peut entraîner des

erreurs d'alignement, des ruptures des interconnexions, ou même une défaillance totale du dispositif. Les déformations peuvent engendrer plusieurs problèmes de fiabilité dans les produits finis, particulièrement dans les composants électroniques tels que :

- Défaillances mécaniques : Le « warpage » peut affaiblir les liaisons mécaniques entre les composants, provoquant des fissures, des ruptures ou des délaminages.
- Problèmes de connexion électrique : Dans les circuits imprimés, une déformation excessive peut entraîner des défauts d'alignement des composants, ce qui pourrait mener à des courts-circuits, des circuits ouverts ou des connexions intermittentes.
- Stabilité thermique : Les composants déformés peuvent avoir des performances thermiques altérées, augmentant les risques de surchauffe et de défaillances thermiques.
- Dégradation des performances : Les déformations peuvent modifier les propriétés mécaniques ou électriques d'un produit, compromettant ainsi ses performances globales.

Pour mieux comprendre et atténuer ces problèmes, des simulations thermomécaniques avancées sont utilisées. Ces modèles permettent de simuler le comportement des matériaux et des structures sous des conditions thermiques variées, offrant ainsi des prévisions sur les déformations, les contraintes et les points de défaillance potentiels.

I.3.2.3. Mécanisme de défaillance

Il existe de nombreux mécanismes de défaillance, donc cette description ne sera pas exhaustive. Les principaux mécanismes observés lors d'essais en ambiances humides ou thermomécaniques peuvent être regroupés en trois familles.

- La corrosion
- La fatigue thermomécanique
- Les délaminations

I.3.2.3.1. La corrosion

La corrosion est une attaque destructive des métaux par réaction chimique ou électrochimique avec l'environnement. Contrairement aux métaux, les matériaux non-métalliques, comme les plastiques et résines, ne se corrodent pas. La corrosion modifie la microstructure des matériaux, altérant leurs propriétés mécaniques et électriques, ce qui peut entraîner des fissures, des délaminations et des pertes de signal. Elle provoque également des résistances, capacités et inductances parasites, réduisant les fonctionnalités des composants. Il existe deux types de corrosion : humide et sèche, avec des causes distinctes.

I.3.2.3.2. La fatigue thermomécanique

Un composant électronique est constitué de matériaux aux propriétés thermomécaniques variées, notamment des coefficients de dilatation thermique (CTE) très

différents, créant des contraintes et déformations lors des variations de température. Ces contraintes, pouvant être normales ou de cisaillement, provoquent des déformations élastiques ou plastiques. Le comportement des matériaux peut être plus complexe avec des effets viscoélastiques et élastoplastiques. Les contraintes thermomécaniques sont une cause majeure de défaillances dans la microélectronique, avec des fissures superficielles ou critiques, affectant la durée de vie et les performances des composants.

I.3.2.3.3. Les délaminations

Un produit SiP est composé de plusieurs matériaux qui, bien que bien ajustés, réagissent différemment aux variations de température en raison de leurs différents coefficients de dilatation thermique (CTE) et de Poisson (ν). Cela provoque des déformations et des contraintes mécaniques qui peuvent entraîner une délamination, un défaut fréquent dans les composants électroniques multicouches. L'humidité absorbée par le boîtier affaiblit les adhésions entre matériaux et entraîne des contraintes supplémentaires. La délamination fragilise les interfaces, affecte la dissipation thermique et peut mener à des fissures, des destructions de fils ou des défaillances liées à la fatigue des joints brasés.

I.3.3. Méthode de DMA pour la caractérisation des propriétés de la résine époxy EMC

Les propriétés viscoélastiques du matériau sont caractérisées par l'analyse mécanique dynamique (DMA), où un balayage en fréquence est utilisé pour extraire la réponse du matériau sous une charge dynamique (sinusoïdale) à différentes fréquences pour une plage de températures donnée [31], [32]. Le module de conservation (ou module de stockage) et le facteur d'amortissement ou de perte sont extraits de la mesure, comme illustré à la Figure 15.

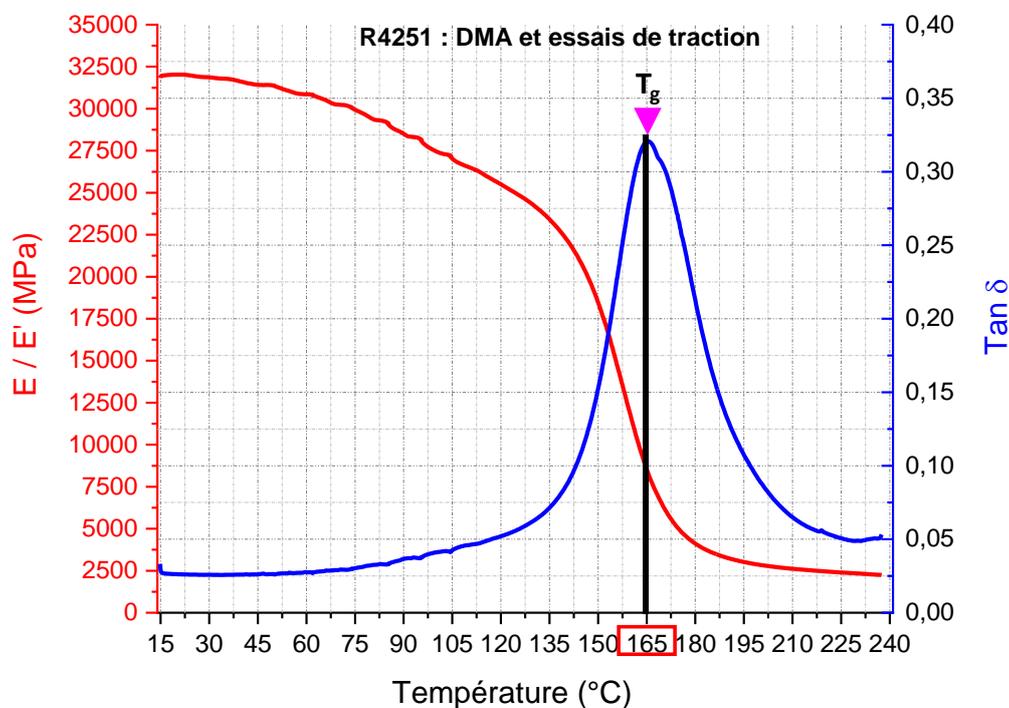


Figure 15 : Propriétés viscoélastiques de la résine époxy Nagase EMC 4251 obtenues par DMA effectué par le partenaire UCBL

Le graphique de la Figure 15 montre un résultat de l'analyse mécanique dynamique (DMA) où sont représentées les variations du module (E') et du facteur de perte ($\tan \delta$) en fonction de la température.

L'axe des abscisses (horizontal) indique la température en ($^{\circ}\text{C}$), allant de 15°C à environ 240°C . L'axe des ordonnées à gauche est celui du module de conservation (E'), exprimé en MPa. Ce module représente la rigidité du matériau ou sa capacité à stocker de l'énergie élastique. L'axe des ordonnées à droite, représente le facteur de perte ($\tan \delta$), qui mesure l'amortissement viscoélastique, c'est-à-dire la dissipation d'énergie sous forme de chaleur dans le matériau.

La courbe rouge est la courbe du module de conservation (E'). Elle montre comment la rigidité du matériau change en fonction de la température. Nous pouvons observer que le module de conservation (E') diminue progressivement avec l'augmentation de la température. Cela signifie que le matériau devient de plus en plus mou et moins rigide à mesure que la température augmente. La chute rapide du module E' vers 165°C correspond à la transition vitreuse (T_g), où le matériau passe de l'état rigide à l'état caoutchouteux.

La courbe bleue est la courbe du facteur de perte ($\tan \delta$), qui représente la dissipation d'énergie. Cette courbe présente un pic autour de 165°C (comme indiqué par la Figure 15). Ce pic correspond à la température de transition vitreuse (T_g) du matériau (ligne noire verticale). À cette température, le matériau présente un maximum d'amortissement, ce qui signifie qu'il dissipe plus d'énergie. C'est typique du comportement d'un matériau polymère qui passe de l'état rigide à un état plus souple ou viscoélastique.

La température de transition vitreuse T_g est marquée par un pic dans la courbe du $\tan \delta$ à 165°C . À cette température, les chaînes polymères commencent à gagner suffisamment de mobilité pour passer de l'état vitreux (rigide) à un état caoutchouteux (plus flexible). La rigidité chute, et le matériau devient plus souple et moins résistant mécaniquement. En dessous de la T_g (environ 165°C) : Le matériau est dans un état vitreux, rigide et cassant, comme indiqué par la haute valeur du module de conservation (E'). Au-dessus de la T_g , le matériau passe dans un état caoutchouteux, où il est plus flexible mais moins rigide, comme le montre la baisse du module E' .

I.3.4. Problématique électromagnétique (rapports internes SMART3)

La technologie Fan Out Wafer Level Packaging (FOWLP) est une méthode avancée d'encapsulation de semi-conducteurs qui permet d'obtenir une densité de composants plus élevée tout en réduisant la taille globale du package. Cependant, cette technologie présente plusieurs défis électromagnétiques (EM) qui doivent être abordés pour garantir des performances optimales. Ces défis sont principalement liés

- Aux interférences électromagnétiques (EMI) ;
- Aux pertes de signal ;
- À l'intégrité des signaux à haute fréquence, et aux couplages parasites.

Cette section exposée brièvement, n'est pas le cœur de cette thèse, mais elle est importante car l'analyse électromagnétique reste le critère primordial pour la performance électrique du SiP FOWLP.

La performance électrique du SiP en technologie FOWLP passe l'optimisation de la propagation du signal hyperfréquence au travers les interfaces entre le PCB, le niveau RDL du boîtier FOWLP et les puces MMIC intégrées. Pour simuler et optimiser l'impact de ces différentes transitions, il est nécessaire d'utiliser un outil de simulation électromagnétiques 3D (puces avec substrats différents). Différents simulateurs électromagnétiques 3D existent comme RFpro/EMpro de Keysight, CST de Microwave Studio, HFSS d'Ansys, COMSOL. RFpro/EMpro possède l'avantage de rester dans la suite « Pathwave » (ADS) Keysight ce qui facilite l'intégration des puces MMIC dans cet environnement en utilisant directement l'empilement des matériaux constituant les puces MMIC fournies dans les designs Kits. Il s'agit alors d'effectuer les simulations des transitions hyperfréquences PCB/RDL/puce MMIC.

En effet, l'objectif suivi est de prédire le comportement du signal hyperfréquence à travers les différentes interfaces constituant le PCB, le boîtier FOWLP (niveau RDL) jusqu'aux « pad RF » situés sur la puce MMIC.

A titre d'exemple, la Figure 16 et la Figure 17 illustrent l'intégration d'une puce sur substrat AsGa et une puce sur substrat GaN dans un boîtier type FOWLP reporté sur un PCB. Les puces AsGa et GaN possèdent des lignes de transmission afin de réaliser une transmission complète comportant deux transitions PCB/RDL et 4 transitions RDL / puces AsGa ou GaN. Le modèle EM 3D a été construit par le partenaire III-V Lab qui traite des aspects électromagnétiques à partir des designs Kit PH15 et GH15 d'UMS avec l'outil RFPro.

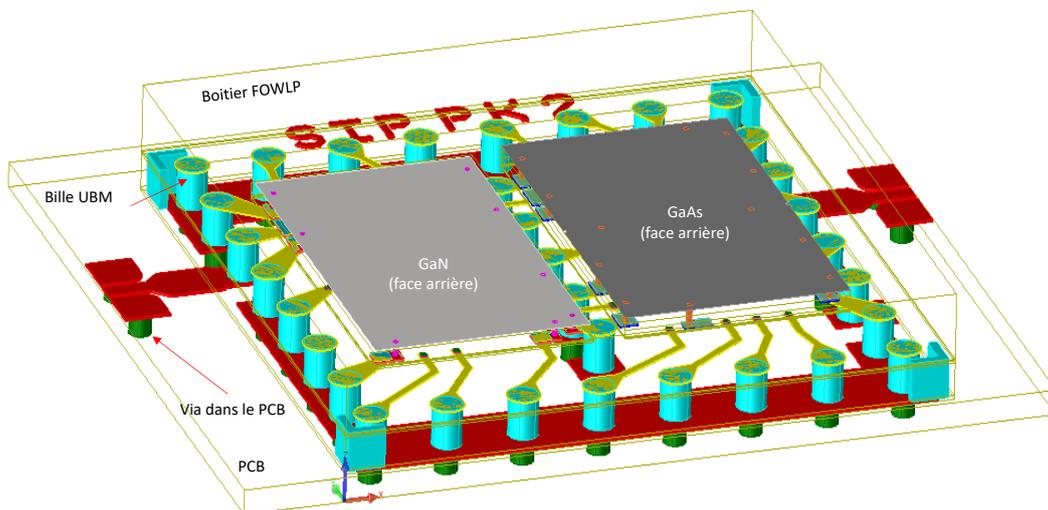


Figure 16 : Modèle EM 3D sous RFpro intégrant une puce GaN et AsGa en boîtier FOWLP (Puce PK2 du DEMO2 5G-GaN2)

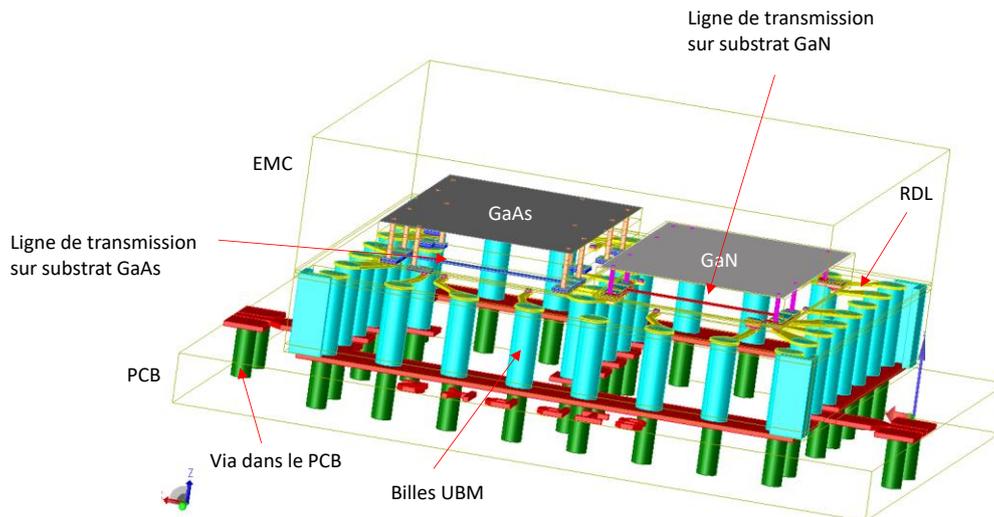


Figure 17 : Modèle EM 3D sous RFpro intégrant une puce GaN et AsGa en boîtier FOWLP (Puce PK2 du DEMO2 5G-GaN2) – Dilatation x2 suivant l'axe Z : Transition PCB/RDL/MMIC

Les paramètres d'entrée du simulateur sont les propriétés des matériaux utilisés dans chacune des technologies présentes. Dans cet exemple, 4 technologies sont présentes : AsGa PH15, GaN GH15, FOWLP et PCB. Pour chaque technologie, il est nécessaire de décrire chacune des couches la constituant. Pour les couches de matériaux diélectriques, il s'agit de son épaisseur, sa constante diélectrique et de son angle de perte. Pour les technologies PH15 et GH15, ces données sont fournies avec le design kit et utilisées pour réaliser les simulations électromagnétiques des circuits en phase de conception. Pour le PCB, ces données sont accessibles chez le fournisseur. Pour les matériaux diélectriques constituant le boîtier FOWLP, les premières données ont été fournies par le CEA LETI dans le cadre d'un précédent projet (5G-GaN2).

Les travaux réalisés par le partenaire III-V Lab dans le cadre du projet SMART3 ont permis d'optimiser les transitions en configuration "face down" jusqu'à des fréquences proches de 90 GHz. Cette optimisation passe notamment par la position des billes par rapport au PAD-RF, leur dimension, la position et le nombre de vias [33]. Ceci permet de réduire au minimum le chemin électrique entre la face arrière du MMIC et le PCB, à proximité de la discontinuité que constitue la transition sur la puce MMIC. Bien entendu, ces optimisations doivent être faites en fonction des règles de dessin de la plateforme qui fabrique le SiP (CEA LETI ou IZM).

I.3.5. Mécanisme de dégradations

Les mécanismes de dégradation sont nombreux et sont dus notamment aux problèmes thermiques, l'humidité, les vibrations et les chocs mécaniques, les champs électriques importants, l'électromigration, etc.

Nous pouvons noter, par exemple, que la délamination entre le polyimide et le RDL est une préoccupation majeure en raison de son impact direct sur les performances des connexions électriques [34].

Ici nous n'allons pas faire d'analyse détaillée de tous les phénomènes capables d'impacter la fiabilité des SiP FOWLP, nous allons simplement examiner quelques impacts sur les transistors qui peuvent composer le SiP, notamment les transistors HEMT GaN.

Comme nous pouvons le voir sur la Figure 18, suivant un transistor, est un empilement de plusieurs couches de matériaux (semi-conducteurs), chacune assurant une fonction bien définie.

Les dégradations peuvent être dues aux effets thermiques, aux effets de pièges et aux effets piézo-électriques. La Figure 18 illustre les différentes couches du transistor constituant le FOWLP où peuvent apparaître les dégradations. Ces dégradations se situent du côté des électrodes de grille et de drain, dans la passivation, dans les couches AlGaN et GaN, comme le montre la figure.

Les différentes couleurs sont représentatives des effets causant des dégradations. La couleur rouge correspond aux mécanismes de dégradation induits par la thermique. Le mécanisme en violet est la cause des effets des électrons chauds communs à tous transistors à base de GaN à effet de champ fonctionnant à haute tension. Enfin, ceux mentionnés en vert sont de nature piézoélectrique inverse due au champ intense en sortie de grille, conduisant une surcontrainte mécanique sur le matériau, entraînant des défauts cristallins appelés communément pièges.

Parmi ces dégradations évoquées, nous mettrons plus l'accent sur la dégradation due aux effets thermiques. Pour les lecteurs désireux d'en savoir plus sur la dégradation due aux effets de pièges et piézo-électriques, les références suivantes [35], [28], [36], [37], [38] sont disponibles.

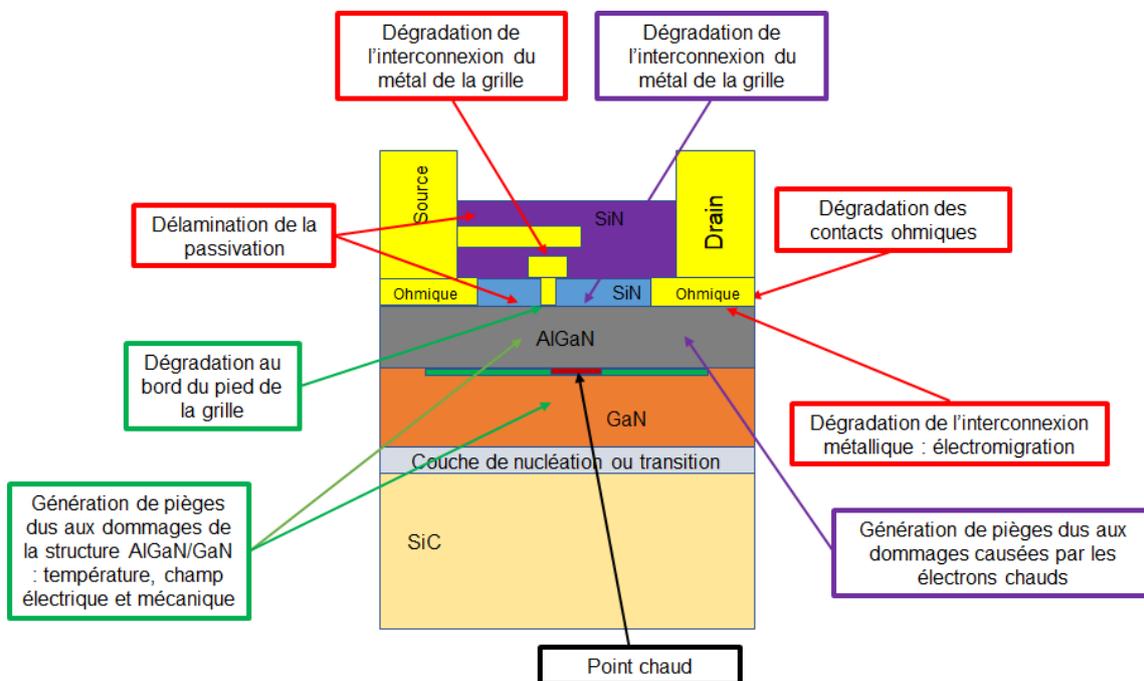


Figure 18 : Les différents mécanismes de dégradation dans les HEMT à base de GaN. (Rouge) dégradations dues aux effets thermiques, (violet) effets de piégeages et (vert) effets piézoélectriques.

La grille est enterrée par la diffusion du métal dans le semi-conducteur. Nous avons également remarqué une détérioration du contact Schottky. À des températures de 200 °C, il est observé une augmentation de la hauteur de la barrière de la diode Schottky sur ces contacts [37]. L'augmentation est due à l'existence d'une couche d'interface entre le contact Schottky et la couche d'AlGaIn [37]. Cela entraîne un changement de la tension de seuil et, par conséquent, une diminution du courant de drain. Pour les contacts ohmiques, il est observé l'électromigration et une dégradation de leurs performances électriques à partir de 600 °C, ce qui se traduit par une diminution du courant de drain maximal [37].

I.4. Conclusion

Dans ce chapitre intitulé introduction aux Fan Out Wafer Level Packaging (FOWLP), nous avons tout d'abord évoqué la genèse et le développement de cette technologie dans l'industrie des composants électroniques.

Nous avons ainsi pu voir que cette technologie est apparue dans l'industrie des composants électroniques pour permettre de surmonter certaines des limitations associées notamment au Fan-In WLP ou aux autres technologies comme les Quad Flat No-lead (QFN) [32], telles que la densité d'interconnexions, câblage filaire, la dissipation thermique. Une fois ces limitations surmontées, cette technologie a gagné des parts de marché, mais elle est aussi confrontée à des difficultés propres, compte tenu de sa compacité. En effet, elle est soumise à des fortes densités d'énergies et des contraintes mécaniques qu'elle subit sous l'effet de cette densité d'énergie. En plus des problématiques thermiques et mécaniques, il faut rajouter les problèmes électromagnétiques qui peuvent survenir au cours du « design » des SiP FOWLP. Dompter tous ses phénomènes au sein de cette technologie s'avère un défi auquel sont confrontés les concepteurs qui doivent très souvent redoubler d'ingéniosité pour « co-designer » leur SiP FOWLP.

Chapitre II. Les outils multiphysiques pour la caractérisation et la simulation thermiques

II.1. Introduction

La densité de puissance augmente généralement en même temps que la fréquence croît car les composants hyperfréquences ont des dimensions de plus en plus petites. Cette problématique est particulièrement importante dans les transistors HEMT GaN dont les longueurs de grille sont inférieures ou égales à $0.5 \mu\text{m}$. La zone où les températures sont les plus élevées est inférieure au micromètre (Figure 18) du Chapitre I. Si l'on se réfère aux études TCAD, cette zone possède une dimension latérale proche de la longueur de grille [39].

Ces dimensions sont bien en dessous de ce que les méthodes de mesure thermique classiques peuvent offrir en termes de résolution. Pour surmonter cette difficulté, plusieurs techniques expérimentales ont été mises au point et mises en œuvre [40].

Cette section présentera différentes méthodes de caractérisation thermique et thermomécanique qui permettront d'obtenir des résolutions spatiales suffisantes pour estimer les champs de température et de déformation des circuits électroniques, et notamment les transistors HEMT.

II.2. Les méthodes de mesure

La recherche bibliographique nous amène à considérer qu'il existe des méthodes de mesure optiques, mesures électriques et mesure thermomécanique.

Les mesures optiques, en particulier, demandent une visibilité directe sur la surface supérieure du transistor HEMT. Contrairement aux mesures électriques, elles nécessitent un équipement spécifique qui est souvent coûteux. De plus, leur utilisation demande des compétences particulières. Pour ces raisons, il est plus complexe pour des industriels comme UMS d'adopter systématiquement ce genre de solutions. Cependant, elles offrent l'avantage de mesurer la température avec une grande précision, tout en proposant une résolution spatiale qui varie entre $3 \mu\text{m}$ (pour l'infrarouge) et $0.5 \mu\text{m}$ (pour la spectroscopie micro-Raman) [41].

Ces méthodes permettent ainsi de cartographier la température d'un composant et de cibler précisément la zone à mesurer. De plus, elles permettent d'identifier la température maximale de n'importe quelle structure. La spectrométrie Raman et la thermographie infrarouge (ou mesure infrarouge) sont les techniques optiques les plus couramment utilisées. Dans le cadre de cette thèse, nous nous concentrerons que sur la mesure infrarouge.

Les méthodes basées sur des mesures électriques s'intéressent à l'influence de la température sur les performances des transistors. Les principaux avantages de ces méthodes sont qu'elles ne nécessitent pas beaucoup d'équipements et sont plus simples à mettre en œuvre que les méthodes optiques. Cependant, elles présentent un inconvénient important : la température mesurée au niveau du canal du transistor n'est pas la valeur maximale, mais une moyenne sur l'ensemble de la structure. Il y a des problèmes d'incertitude, notamment lors de

l'extraction de la température, où des effets thermiques inévitables viennent interférer avec les mesures. Ces difficultés sont particulièrement présentes dans le cas des composants comme ceux en GaN, qui sont soumis aux effets de piégeage importants.

Les méthodes de mesure électrique sont multiples. Nous distinguons entre autres la méthode 3ω ou encore mesure électrique basse fréquence à la troisième harmonique, la méthode Low RF « output conductance measurement », la méthode du I_{ds} / R_{ON} pulsé, la méthode des coïncidences et la méthode électrique dite gate end to end [29], [41]. Nous ne parlerons que de la méthode électrique dite « gate end to end » [42], car elle sera appliquée sur les dispositifs du projet.

II.2.1. Mesure thermoréflectance (TR)

Nous nous appuyerons sur les littératures suivantes [43], [44], [45], [46], [47] pour expliquer la mesure de thermoréflectance.

L'image A de la Figure 19 donne un aperçu du banc de thermoréflectance Microsanj [48], dont dispose le laboratoire XLIM.

Ce système comprend une source lumineuse capable de produire quatre signaux optiques à différentes longueurs d'onde : 365 nm, 470 nm, 530 nm et 780 nm. Il est équipé de quatre objectifs (x5, x20, x50 adaptés au proche UV, et x100) qui laissent passer ces différentes longueurs d'onde. Un dispositif piézoélectrique est intégré pour compenser les mouvements causés par la dilatation des matériaux lorsqu'ils sont soumis à une excitation thermique. Une caméra CCD est utilisée pour analyser le signal optique réfléchi, et une source d'excitation électrique permet d'appliquer la puissance dissipée au sein des composants [44].

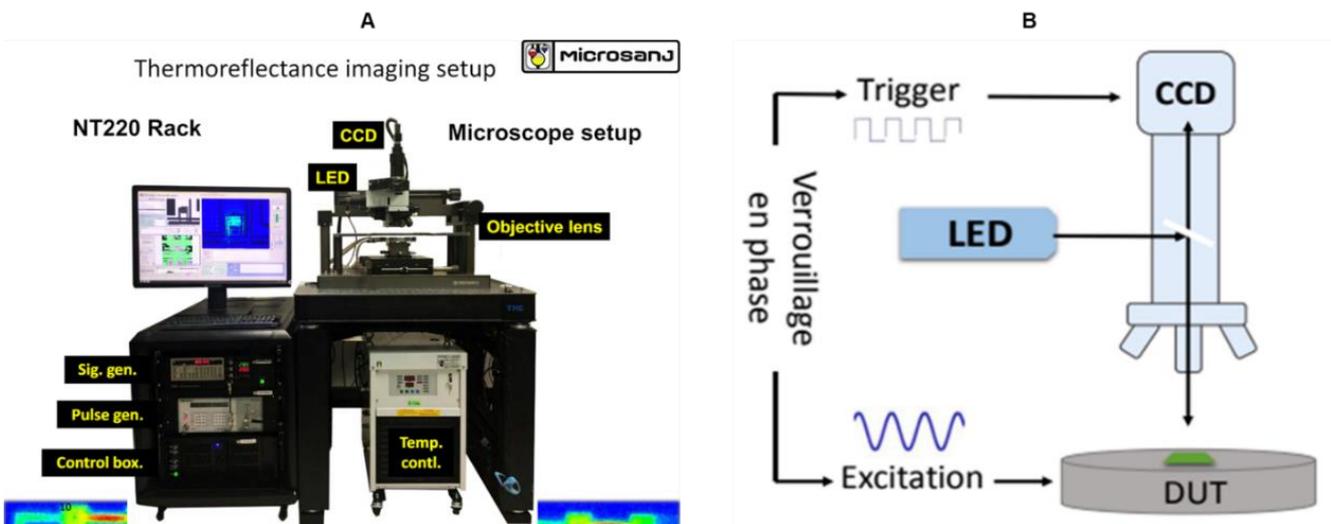


Figure 19 : Banc de thermoréflectance : A [49], B [44]

Il est possible d'évaluer la relation entre la variation relative de la réflectance $\frac{\Delta R}{R}$ et la variation de température ΔT de surface en exprimant la réflectivité du matériau par [44], [45], [50] :

$$\frac{\Delta R}{R} = \left(\frac{1}{R} \cdot \frac{\partial R}{\partial T} \right) \cdot \Delta T = C_{th}(x, \lambda) \cdot \Delta T \quad (2)$$

Le coefficient $C_{th}(x, \lambda)$ correspond au coefficient de thermorélectance. Il varie en fonction du matériau, de l'état de surface de ce dernier et de la longueur d'onde de la source utilisée pour l'excitation, ainsi que de l'objectif de grossissement. Ce coefficient est obtenu à l'étape de calibration (Figure 22) en posant le dispositif sous test sur un support thermique [44].

On peut souligner que la thermorélectance est une mesure qui se fait sur la surface. Cela signifie que le signal lumineux est réfléchi à la surface du composant, à condition que cette surface soit réfléchissante. La Figure 20 présente la réflectance d'une couche de matériau Au d'épaisseur 100 nm en fonction de la longueur d'onde. Cependant, si une couche quelconque (exemple : couche de passivation SiN) transparente est présente, elle atténue le signal lumineux et entraîne des réflexions successives, ce qui modifie la réflectance en fonction de la longueur d'onde. Ceci est illustré par la Figure 21.

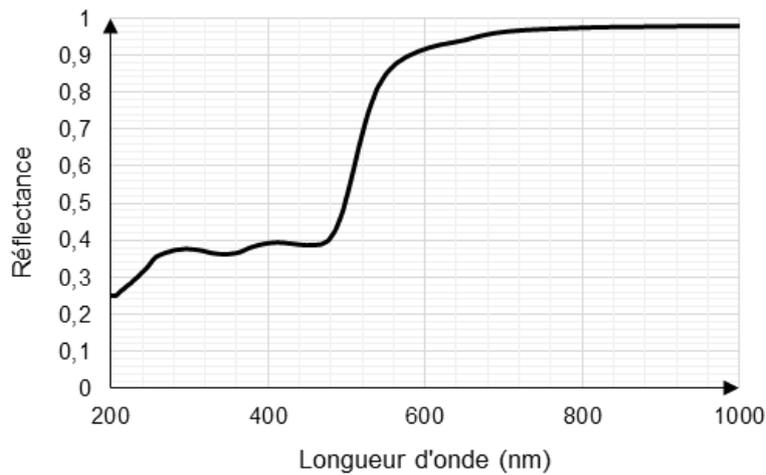


Figure 20 : Réflectivité d'une couche de matériau Au d'épaisseur 100 nm [51]

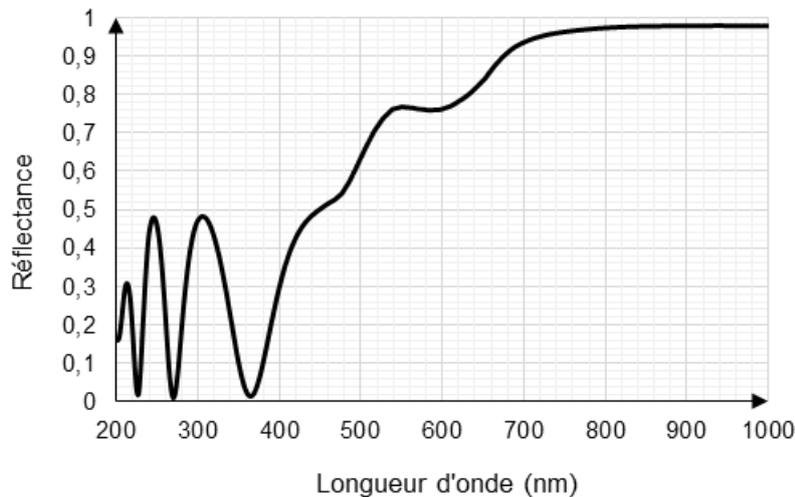


Figure 21 : Influence de la passivation d'une épaisseur 200 nm de SiN sur la réflectivité du matériau Au [51]

Revenons maintenant au coefficient de thermoréfectance. La variation relative de réflectance est alors mesurée pour une variation de températures données [44]. Il est essentiel de choisir la longueur d'onde adaptée au matériau à analyser pour maximiser le coefficient $C_{th}(x, \lambda)$ ce qui permet d'améliorer la sensibilité et la précision des mesures.

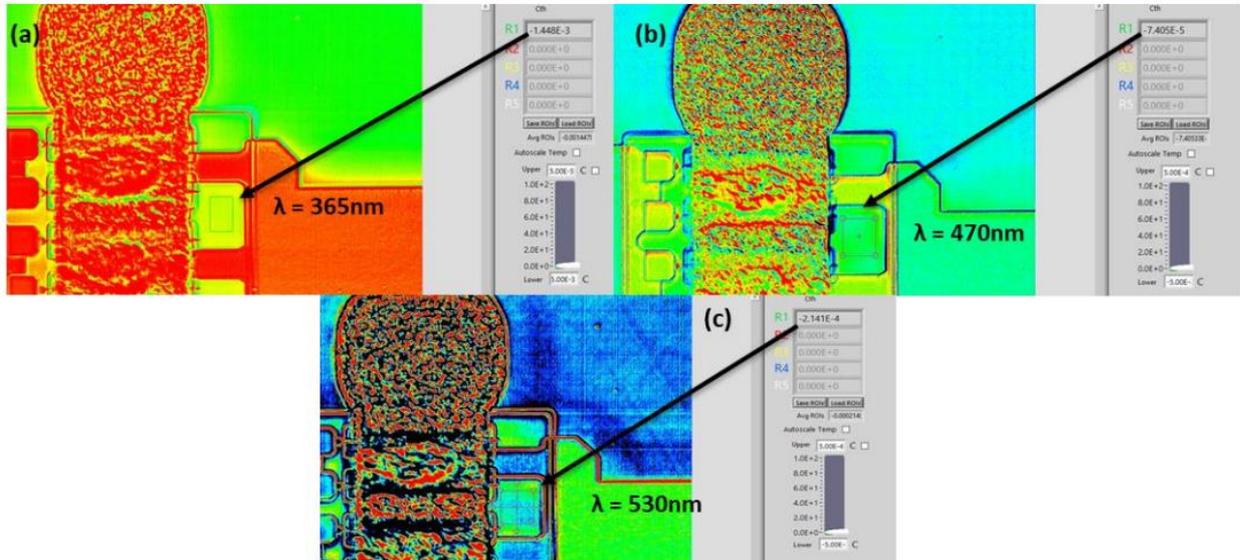


Figure 22 : la calibration d'un composant avec plusieurs longueurs d'onde [44]

La courbe montrée sur la Figure 23 montre la variation du coefficient de thermoréfectance en fonction de la longueur d'onde pour divers matériaux. Un coefficient plus élevé indique que la mesure sera plus facile à réaliser. En pratique, pour effectuer une mesure sur de l'or, nous choisirons 470 nm ou 530 nm.

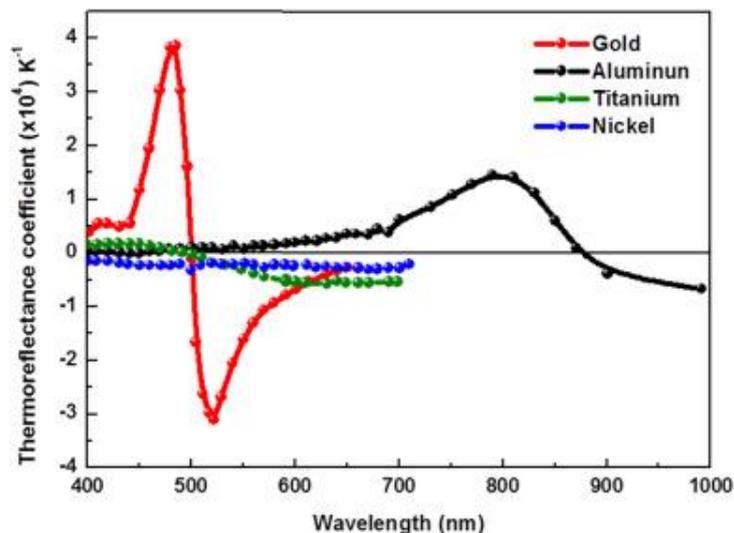


Figure 23 : Évolution du coefficient de thermoréfectance selon la longueur d'onde [52]

Remarque : avec le banc de thermoréfectance, nous pouvons réaliser deux types de mesures : la mesure en transitoire et la mesure en régime permanent. Pour la mesure transitoire, le retard du signal optique est ajusté par rapport au signal électrique d'excitation. En contrôlant ce retard, la durée du signal électrique peut être analysée. La réalisation de la mesure thermoréfectance nécessite deux étapes :

- Étape de la calibration

Le principe de la mesure thermorélectance se base sur l'équation (2). Pour connaître le troisième paramètre, il est essentiel de connaître deux paramètres. Une caméra CCD est utilisée pour mesurer le paramètre $\frac{\Delta R}{R}$, ensuite déterminer le coefficient de thermorélectance C_{th} en ajustant la température du transistor à l'aide d'un support thermique, à deux températures spécifiques. Une calibration à deux températures est suffisante car la réflectance thermique relative, varie linéairement avec la température relative comme présenté sur la Figure 24. Ainsi, ce coefficient de thermorélectance est constant, représentant le coefficient directeur de cette fonction [44].

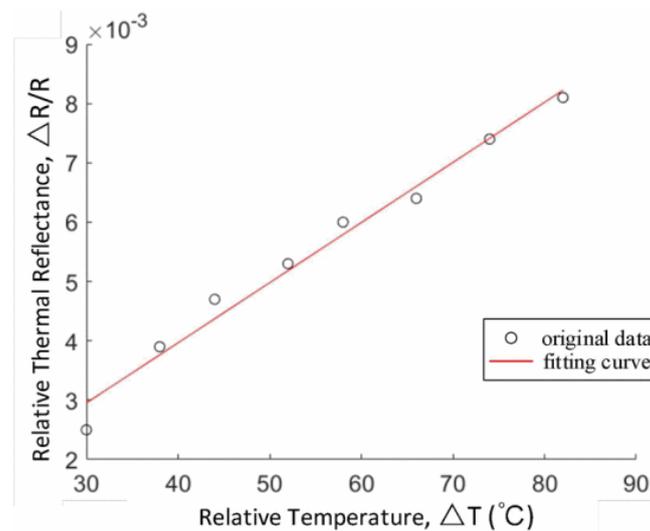


Figure 24 : Changement de la réflectance en fonction de la variation de la température [53]

- Étape de la mesure

Lors de l'étape de calibration, la caméra CCD évalue le paramètre $\frac{\Delta R}{R}$ à deux températures différentes. Avec le coefficient de thermorélectance $C_{th}(x, \lambda)$ maintenant connu, il est possible de déterminer ΔT qui indique le changement de température du transistor lorsque ce dernier est soumis à une excitation électrique par rapport à sa température de repos [44].

II.2.2. Mesure infrarouge (IR)

Les références suivantes [54], [55], [56], [57], [58], [59], [60], [61], [62], [63] sont à disposition pour les lecteurs désireux d'approfondir cette thématique.

La thermométrie infrarouge (IR) est une technique qui permet de mesurer la température sans avoir besoin de contact direct avec l'objet. Elle fonctionne en détectant le rayonnement infrarouge émis par l'objet. Cette méthode est très prisée car elle permet d'obtenir des mesures de température rapides et précises sans contact. Le rayonnement infrarouge est un type de rayonnement électromagnétique, tout comme la lumière visible. Cependant, les longueurs d'ondes de l'infrarouges sont trop grandes pour être perçu par l'œil humain [62].

Notre vision ne perçoit qu'une très petite partie du spectre électromagnétique, tandis que l'énergie thermique, qui a une longueur d'onde plus longue que celle de la lumière visible, est différente. Cela signifie que nous pouvons détecter tous les objets ayant une température au-dessus du zéro absolu, car ils émettent naturellement de la chaleur. Grâce à la détection infrarouge, nous pouvons voir au-delà de ce que l'œil humain perçoit, en créant des images même lorsque la lumière visible est faible ou inexistante [62] l'illustration par la Figure 25.

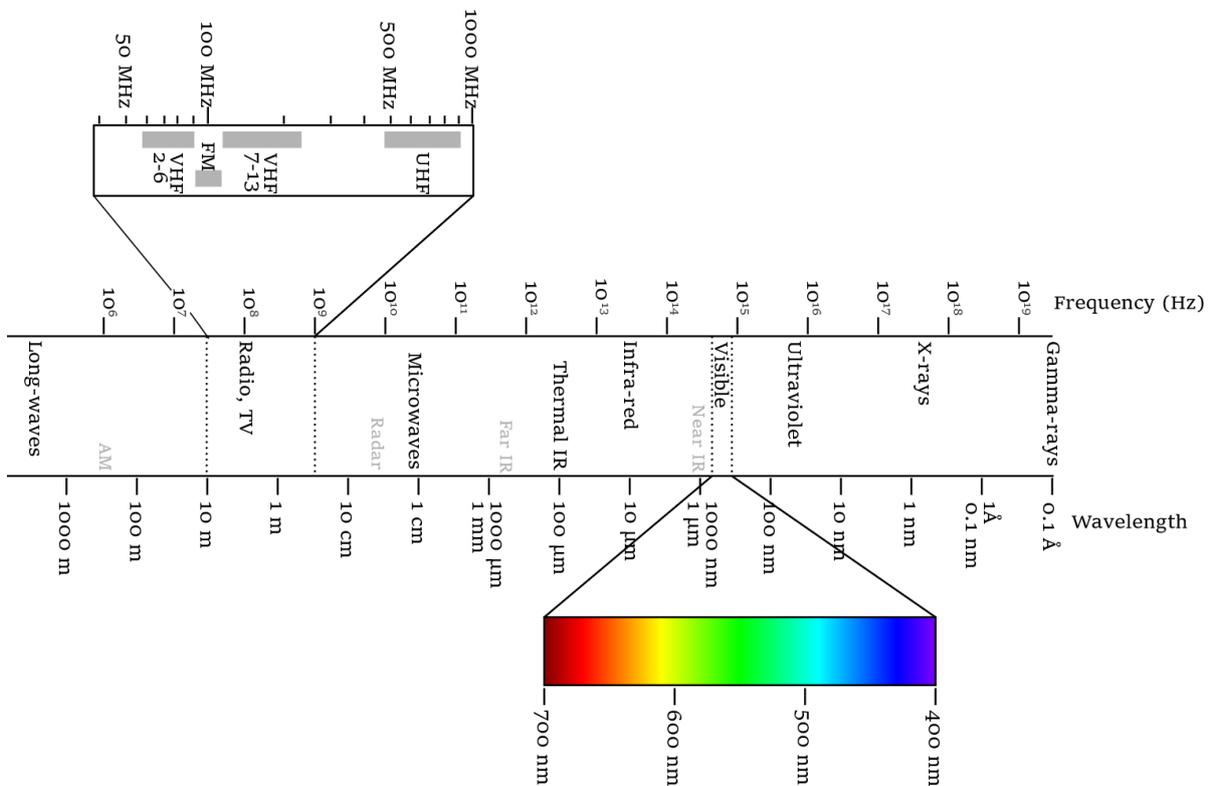


Figure 25 : Spectre d'ondes électromagnétiques [64]

Une remarque faite, est que l'or métallique en surface possède une faible émissivité (0.2 ou 0.3). Le BCB, quant à lui, a plutôt tendance à augmenter l'émissivité. Cela rend difficile la mesure par infrarouge tout en augmentant l'incertitude de mesure. L'infrarouge est régi par l'équation ci-dessous permettant de mettre l'accent sur l'émissivité de la surface du matériau grâce aux symbole ϵ .

$$q = \epsilon \sigma S (T_p^4 - T_\infty^4)$$

II.2.3. Mesure électrique dite « gate end to end »

Nous expliquerons ici le principe de cette mesure. Des détails seront donnés plus loin lors de la mise en application sur un dispositif similaire.

Cette méthode permet de mesurer la température moyenne sur les transistors HEMT GaN avec une très bonne précision [65]. La précision est assurée par le fait que la grille est placée près du point chaud. Cela nécessite cependant une conception spéciale du transistor. Grâce à cette approche, nous pouvons utiliser des équipements de mesure simples fonctionnant en

DC. La technique implique de faire passer un courant continu (DC) à travers la grille pour contrôler la température du canal. Le processus se déroule en deux étapes :

- Calibration de la résistance de la grille en fonction de la température ;
- Mesure de la résistance de grille à plusieurs puissances en courant DC, permettant de déterminer la température pour chaque réglage de puissance.

Une faible différence de potentiel ($V_{g1} - V_{g2}$) est imposée aux extrémités de la grille afin de réduire les perturbations du champ électrique et minimiser l'auto-échauffement causé par le passage du courant de grille. (Figure 26).

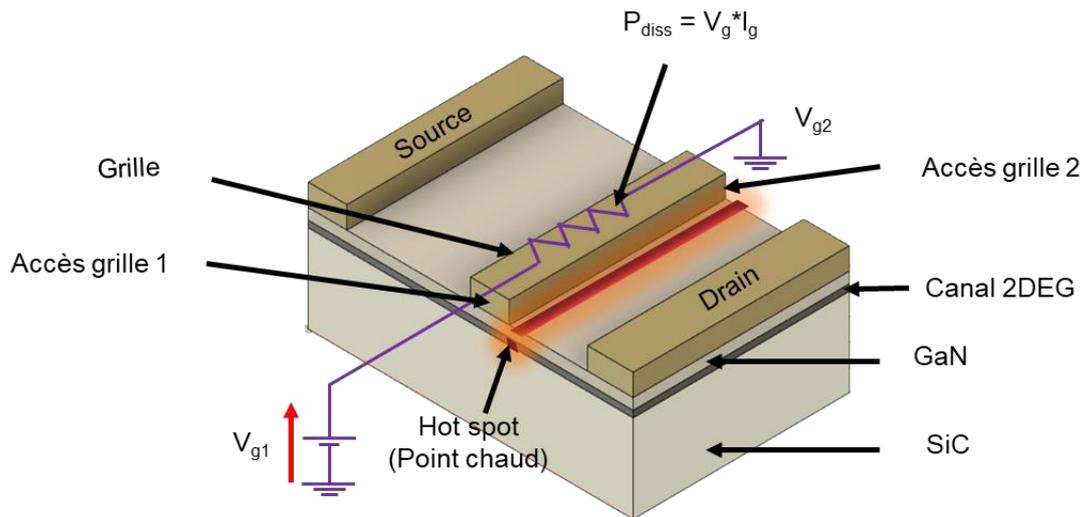


Figure 26 : Mise en situation de la méthode de mesure [29]

- Étape de calibration

L'étape de la calibration est utilisée pour convertir les mesures de la résistance de grille à la température de grille actuelle, ainsi la source et le drain sont mis à la masse. La méthode de calibration nécessite d'appliquer deux tensions V_{g1} et V_{g2} respectivement à l'accès 1 et 2 des doigts de grille, et ainsi calculer R_g par le biais de la formule suivante :

$$R_g = \frac{(V_{g1} - V_{g2})}{I_g} \quad (3)$$

La Figure 27 illustre le graphique de la résistance de la grille en fonction de la température appliquée au support thermique.

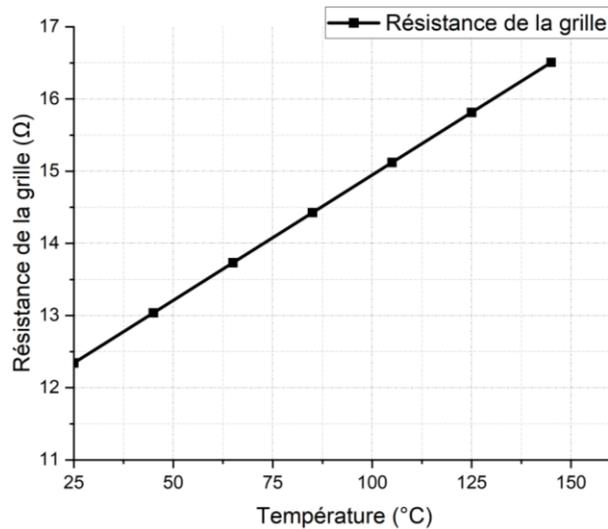


Figure 27 : Variation de la résistance de la grille en fonction de la température appliquée au support thermique pendant la phase de calibration

- **Mesure en mode continu**

Cette étape consiste à mesurer la résistance de grille à chaque point de la caractéristique en fonction des différentes puissances dissipées injectées dans le dispositif. Pour ce faire, nous fixons la tension V_g et faisons varier la tension de drain V_d . Les valeurs de résistance de grille obtenue à l'étape de la calibration seront comparées à celle obtenue à l'étape de la mesure. Il est alors possible d'extraire la température de jonction du transistor en fonction de la puissance dissipée comme cela est présenté Figure 28.

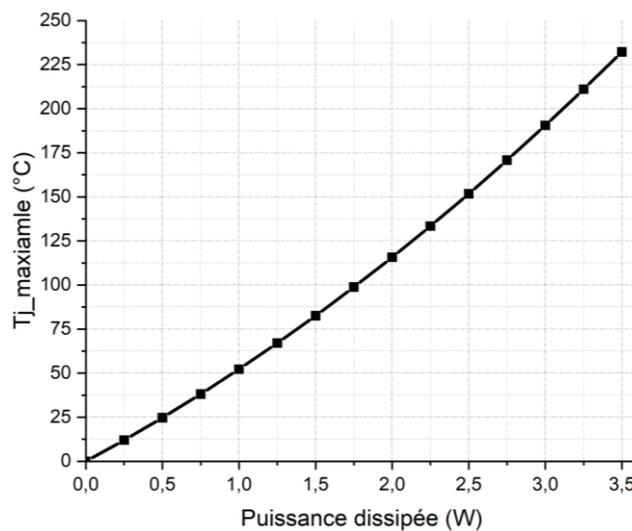


Figure 28 : Courbe de la température de jonction maximale du transistor en fonction de la puissance dissipée

II.2.4. Mesure thermomécanique

II.2.4.1. Principe de la mesure TDM

La TDM (Topography and Deformation Measurement) conçue par INSIDIX est une mesure thermomécanique et une gamme brevetée d'instruments de mesure de déformation

ou « warpage ». Elle utilise une technologie optique de projection de franges (projection moirée) pour une acquisition de données topographiques 3D en plein champ de surfaces de 10x10 mm² à 400x400 mm². Cette méthode propose un système de mesure de déformation ou de gauchissement de pointe lorsque les appareils en cours d'évaluation subissent des contraintes thermiques. La technologie utilise une projection moirée à déphasage, des capteurs 3D avancés et des chambres thermiques capables de résister à des températures comprises entre - 65 °C et 400 °C [66].

Elle permet d'étudier des problématiques d'assemblage, de conception ou d'analyse de défaillance d'un vaste panel de pièces allant tels que des petits composants électroniques, des pièces résinées ou des corps assemblés métalliques.

II.2.4.2. Mesure TDM INSIDIX

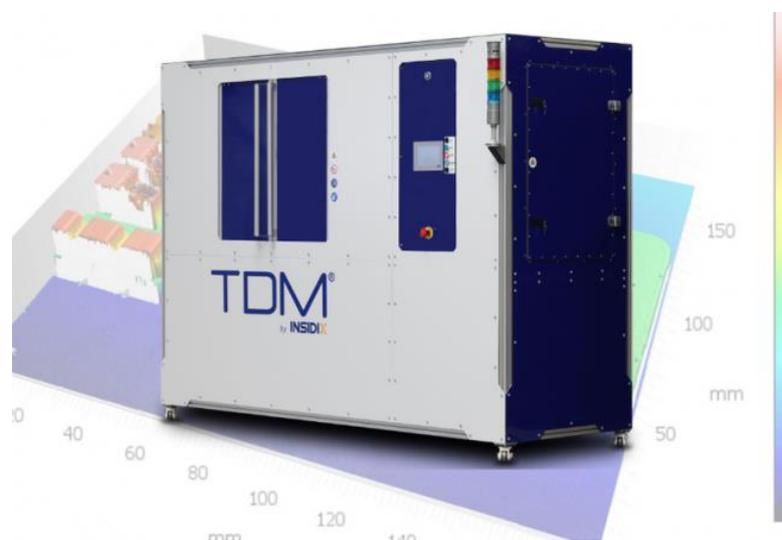


Figure 29 : TDM Compact 3 [67]

Pour la mesure TDM, INSIDIX dispose d'un équipement TDM Compact 3 (Figure 29). Le TDM Compact 3 est un instrument polyvalent destiné à un large éventail d'applications dans les domaines du développement de processus, de l'analyse des défaillances, de la fiabilité et du contrôle qualité. Le TDM Compact acquiert une cartographie 3D complète et absolue d'appareils de dimensions allant jusqu'à 300x375 mm². Simultanément, ses puissantes capacités de chauffage et de refroidissement permettent de réaliser pratiquement n'importe quel profil de température sur l'échantillon testé. Avec l'option de numérisation et multi-échelle [67]. En son sein, il contient une enceinte thermique (Figure 30) avec une plaque en graphite. Sur cette plaque sont placés les dispositifs (Figure 31). La Figure 30 montre que la mesure faite est une mesure optique en plein champ de surface en parallèle à une sollicitation thermique (cycle thermique appliqué).

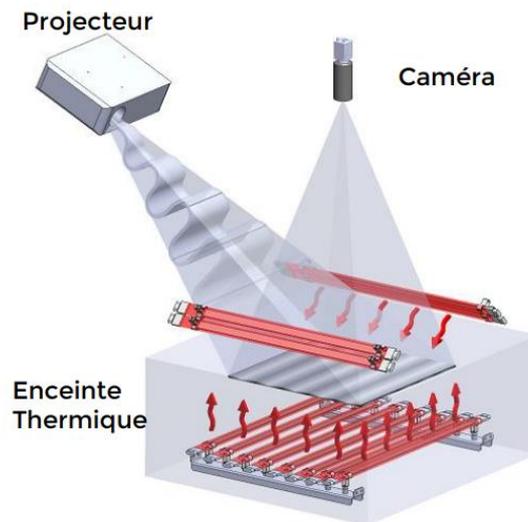


Figure 30 : Enceinte thermique [66]

Un thermocouple est utilisé au sein de cette enceinte thermique pour réguler la température (chauffé par rayonnement infrarouge). La localisation de ce thermocouple est visible sur la Figure 31. Le chauffage est effectué par rayonnement infrarouge, comme représenté sur la Figure 30, par le projecteur.

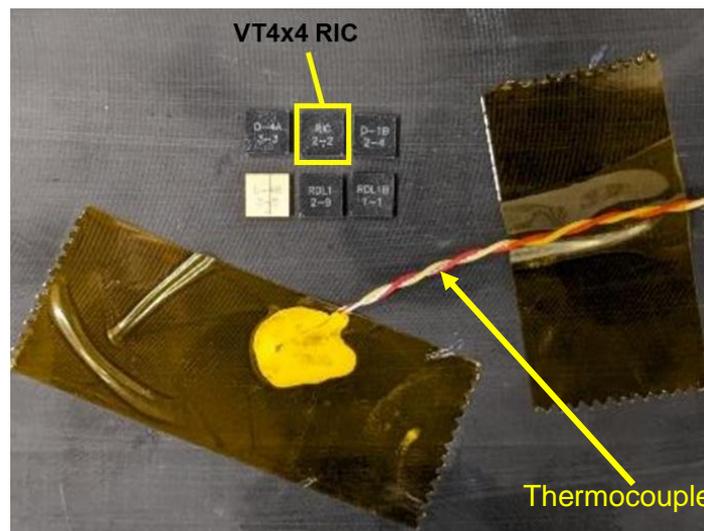


Figure 31 : Dispositifs posés sur la plaque en graphite de l'enceinte thermique TDM INSIDIX

II.3. Simulation numérique

La simulation numérique est un outil qui permet de modéliser des phénomènes physiques complexes grâce à des calculs et à des équations mathématiques spécifiques. Parmi les méthodes de simulation, on distingue la méthode des différences finies [68], la méthode des volumes finis [69], [70] et la méthode des éléments finis. Dans ce document, nous nous concentrerons sur la méthode des éléments finis, qui est la plus couramment utilisée.

Cette méthode permet de créer une simulation virtuelle d'un produit dans son environnement final, offrant ainsi des solutions aux défis industriels tels que l'anticipation des

problèmes de conception, la réduction du nombre de prototypes et la stimulation de l'innovation. En effet, la simulation numérique accélère le processus de création et d'optimisation en offrant un outil de prototypage virtuel.

Contrairement aux tests physiques, qui sont coûteux, nécessitant des prototypes finis et devant être réalisés dans des laboratoires spécialisés, la simulation est une alternative plus économique. Elle permet d'utiliser un prototype virtuel, facile à modifier, et dont la procédure de mise en place est rapide (en quelques heures). En outre, la simulation peut être réalisée en tout lieu et à tout moment, offrant ainsi une meilleure compréhension et une interprétation plus précise du comportement du produit. La simulation numérique facilite également la prise en compte des besoins et des contraintes, tout en permettant des ajustements rapides à moindre coût. Cela rend les tests de concepts innovants plus accessibles. De plus, certaines techniques d'optimisation permettent de réduire la consommation de matériaux, d'améliorer la qualité et la durabilité des produits, ainsi que d'optimiser les processus de production. Un des principaux avantages de la simulation est sa capacité à valider des conceptions avant de passer aux tests physiques, réduisant ainsi le nombre de prototypes nécessaires et permettant des économies de temps et d'argent [71].

Les étapes de la simulation passent par la connaissance réelle de la géométrie qui permettra de construire le dispositif sous un logiciel de CAO (Conception Assistée par Ordinateur). Il est nécessaire de connaître également les propriétés des matériaux qui constituent le modèle. Une fois cela réalisé, une discrétisation (maillage) de la géométrie est générée de manière automatique par le logiciel. L'utilisateur peut lui-même implémenter cette discrétisation en fonction de son étude voulue. Le choix de l'étude physique peut être fait car les logiciels en disposent d'une panoplie de physique qui leur est intégrée (mécanique, électrique, électromagnétique, thermique, thermomécanique etc...).

Enfin, un post traitement de l'étude peut être mis en place par l'extraction des grandeurs physiques dans le but de les interpréter. Il ne faut pas perdre de vue que notre monde est rempli de phénomènes complexes et non linéaires, qu'il est parfois nécessaire de considérer.

Pour créer des produits et des procédés à la fois fiables et économiques, il est essentiel que les concepteurs analysent d'abord le comportement thermique et thermomécanique des packages électroniques. Bien que la caractérisation expérimentale soit faisable, elle requiert un investissement financier important, notamment lorsque l'on utilise des plans d'expérience. Pour éviter cette contrainte, on peut envisager l'utilisation de la modélisation numérique de ces packages électroniques. Cette méthode repose sur des modèles mathématiques qui décrivent le comportement mécanique des structures comme l'équation de mouvement, pour le comportement thermomécanique, et l'équation de la chaleur pour le comportement thermique [72].

II.3.1. Simulation numérique : modélisation thermique et thermomécanique

L'intégration analytique de ces équations pour des géométries complexes est délicate. Une solution numérique peut être envisagée, notamment grâce à la méthode des éléments

finis (FEM). Cette approche est couramment utilisée pour résoudre efficacement les équations aux dérivées partielles linéaires décrivant le comportement de certains phénomènes physiques. La maîtrise de cette méthodologie est essentielle pour appliquer cette méthode, la programmer ou l'utiliser via des logiciels commerciaux de simulation par la méthode des éléments finis tels que : ANSYS, COMSOL Multiphysics, ABAQUS, Salomé Méca, SolidWorks, etc. Dans le cadre de mon travail, le logiciel utilisé pour effectuer les simulations numériques des différentes structures présentées est le logiciel commercial ANSYS.

Dans ce chapitre, l'objectif est de présenter les équations induisant localement le comportement thermomécanique et thermique des structures. Nous allons détailler la manière dont les équations sont discrétisées à l'aide de la méthode des éléments finis.

Nous présenterons dans les chapitres suivants pour des cas d'application, deux tests se rapportant à une structure multicouche de transistor de la technologie GH15 avec un développement de 480 μm (8x60 μm) : Le premier test porte sur une structure multicouche soumise à des contraintes thermiques, tandis que le deuxième test concerne une structure multicouche exposée à des contraintes thermomécaniques.

II.3.1.1. Simulation thermique

La thermique est une branche de la physique qui étudie les phénomènes liés à la chaleur et à ses transferts. Elle s'intéresse aux processus thermodynamiques, aux propriétés thermiques des matériaux, aux mécanismes de transfert de chaleur, et à la manière dont la chaleur influence le comportement des systèmes physiques. Elle a de nombreuses applications pratiques, comme la conception de systèmes de chauffage, de climatisation, de réfrigération et de moteurs thermiques. Elle est essentielle pour comprendre les processus naturels et industriels impliquant des transferts de chaleur, et joue un rôle clé dans de nombreux domaines de l'ingénierie et des sciences physiques.

Avant de se lancer dans un modèle thermique par la méthode des éléments finis, certaines grandeurs physiques thermiques doivent être spécifiées afin que les lecteurs puissent se repérer.

II.3.1.1.1. Définitions des grandeurs physiques thermiques

II.3.1.1.1.1. Chaleur

La chaleur se réfère à l'énergie thermique transférée entre des objets ou des systèmes en raison de différences de température. C'est une forme d'énergie qui se déplace spontanément d'un objet plus chaud vers un objet plus froid jusqu'à ce qu'un équilibre thermique soit atteint. Cette énergie peut être mesurée en joules (J) ou en calories et est essentielle à de nombreux processus naturels et industriels.

II.3.1.1.1.2. Champ de température

Le champ de température fait référence à la distribution spatiale de la température dans un système physique ou un milieu. Cela signifie que la température peut varier d'un point à un

autre à l'intérieur de ce système. On peut représenter le champ de température en attribuant une valeur de température à chaque point dans l'espace.

Ce champ de température peut être analysé et décrit à l'aide d'équations thermiques, telles que l'équation de la chaleur (ou l'équation de la diffusion de la chaleur), qui permettent de prédire l'évolution de la température dans l'espace en fonction des conditions initiales et des propriétés du matériau. Lorsque ce champ est indépendant du temps, le régime est dit stationnaire ou permanent. Dans le cas contraire, il est qualifié de transitoire.

Dans la suite de ce manuscrit, le champ de température au point le plus chaud d'un composant électronique sera noté T_{\max} ou $T_{j_{\max}}$. Comme la température maximale dans les transistors HEMT se situe dans le canal où il existe un fort gradient de température entre la grille et le drain, comme vu au Chapitre I, cette température maximale du canal sera représentée par la notation T_{\max} . Le champ de température de référence sera noté T_{ref} correspondant ainsi à l'une des conditions aux limites imposées dans nos modèles de simulation thermique. Dans le Chapitre III, celle-ci correspondra à la température face arrière du SiP, plus précisément à la température face arrière de la résine époxy EMC, ou soit à la température face arrière du PCB. Pour les mesures infrarouge et thermorélectance, il sera noté T_{socle} . Les équations thermiques seront décrites plus loin à la suite de ce chapitre.

II.3.1.1.1.3. Gradient de température

Le gradient de température est une mesure de la variation de la température dans l'espace. Il représente la variation spatiale de la température et est défini comme le taux de variation de la température par unité de distance.

Mathématiquement, le gradient de température $\vec{\nabla}T$ est représenté comme un vecteur qui pointe dans la direction de la plus forte augmentation de température, avec une magnitude égale au taux de cette variation. Plus précisément :

$$\vec{\nabla}T = \frac{\partial T}{\partial x} \vec{e}_x + \frac{\partial T}{\partial y} \vec{e}_y + \frac{\partial T}{\partial z} \vec{e}_z \quad (4)$$

où T est la température et $\frac{\partial T}{\partial x}$, $\frac{\partial T}{\partial y}$, $\frac{\partial T}{\partial z}$ représentent les dérivées partielles de T par rapport aux coordonnées spatiales x , y et z respectivement.

De manière explicite, si le gradient de température est élevé dans une certaine direction, cela signifie que la température change rapidement dans cette direction. Par exemple, si vous avez un gradient de température élevé entre deux points dans un matériau, cela indique qu'il existe une forte variation de température sur une courte distance dans cette direction. Ce gradient de température est lié au flux de chaleur et aux phénomènes de transfert thermique, car la chaleur se propage d'une région à haute température vers une région à basse température en suivant le gradient de température.

II.3.1.1.1.4. Puissance dissipée

La puissance dissipée, dans le domaine de la thermique ou l'électrique, fait référence à l'énergie qui est transformée en chaleur ou en toute autre forme d'énergie non utile lorsqu'un

système transporte du courant. Cette puissance représente généralement l'énergie qui est perdue sous forme de chaleur ou d'autres formes d'énergies indésirables pendant le fonctionnement d'un dispositif.

Dans le domaine de la mécanique, cette grandeur se réfère à l'énergie perdue sous forme de chaleur due aux frottements ou aux forces de résistance lorsqu'un objet se déplace à travers un fluide ou sur une surface.

En mode de fonctionnement DC, elle s'exprime comme le produit du courant de drain I_{ds} et de la tension de drain V_{ds} . Elle sera notée P_{diss} .

Pour un transistor, la puissance dissipée est habituellement exprimée en termes de densité linéaire de puissance que nous noterons $D_{P_{diss}}$, en fonction des dimensions totales du transistor [37], [73], z représente ici le développement du transistor, calculé en multipliant le nombre de doigts de grilles par la largeur du doigt de grille.

$$D_{P_{diss}} = \frac{P_{diss}}{z} = \frac{[W]}{[\text{mm ou } \mu\text{m}]} \quad (5)$$

II.3.1.1.1.5. Résistance thermique

La résistance thermique, notée R_{th} , est une mesure de la capacité d'un matériau ou d'un composant à résister au flux de chaleur ou puissance dissipée. Elle représente la propriété d'un matériau à ralentir ou à limiter le transfert de chaleur à travers lui. La résistance thermique est proportionnelle au gradient de température (ΔT). Elle est calculée à l'aide de la formule suivante :

$$R_{th} = \frac{\Delta T}{P_{diss}} = \frac{T_{max} - T_0}{P_{diss}} \quad (6)$$

Où T_0 est la température ambiante. Elle s'exprime en $^{\circ}\text{C/W}$. Elle peut aussi s'exprimer en $\text{mm} \cdot ^{\circ}\text{C/W}$ ou $\mu\text{m} \cdot ^{\circ}\text{C/W}$ en se référant à l'équation (5) que l'on remplace dans d'équation (6). Une analogie est faite entre la thermique et l'électrique. Celle-ci est illustrée dans le Tableau 2.

Grandeurs	Électrique	Thermique
Flux	Intensité : I	Flux thermique : ϕ_{th}
Grandeur transportée	Charge : q	Transfert thermique : Q
Résistance	$R = \frac{U}{I}$	$R_{th} = \frac{\Delta T}{\phi_{th}}$
Gradient	$U = V_1 - V_2$	$\Delta T = T_1 - T_2$
Conductivité	γ	λ
Densité	\vec{J}_e	\vec{J}_{th}
Loi de la conduction	$\vec{J}_e = \gamma \vec{E} = -\gamma \vec{\nabla} V$	$\vec{J}_{th} = -\lambda \vec{\nabla} T$

Tableau 2 : Analogie thermique et électrique [74]

II.3.1.1.2. Les modes de transfert de chaleur

Nous allons examiner la cinétique qui régit les échanges de chaleur entre deux corps placés dans une enceinte isolée, illustrant ainsi le concept d'équilibre thermique. Au cours de ce processus, les deux corps échangent de la chaleur jusqu'à ce que la différence initiale de température entre eux disparaisse. Ces échanges thermiques suivent trois types distincts d'échanges et sont régis par des lois phénoménologiques déduites à partir d'observations expérimentales.

Les échanges d'énergie thermique entre deux systèmes (ou sous-systèmes), à deux températures différentes, s'effectuent suivant trois modes de transfert de chaleur :

- La conduction ;
- La convection ;
- Le rayonnement.

II.3.1.1.2.1. Transfert de chaleur par conduction

La conduction thermique est le processus par lequel la chaleur est transférée à travers un matériau sans déplacement apparent de matière. Ce mode de transfert thermique se produit principalement dans les solides, bien que la conduction puisse également se produire dans les fluides (liquides ou gaz) sous certaines conditions.

Le mécanisme de conduction repose sur le transfert d'énergie cinétique des particules (atomes ou molécules) les unes aux autres à l'intérieur du matériau. Lorsqu'une partie du matériau est chauffée, les particules à proximité absorbent cette énergie thermique et commencent à vibrer plus rapidement. Ces particules à haute énergie transfèrent ensuite cette énergie aux particules voisines avec lesquelles elles entrent en collision, et ainsi de suite. Ce processus se propage à travers le matériau, permettant à la chaleur de se déplacer de la zone chaude vers la zone froide jusqu'à ce qu'un équilibre thermique soit atteint (Figure 32)

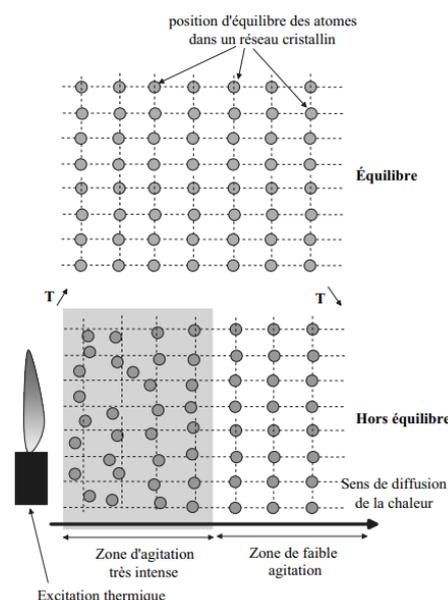


Figure 32 : Description schématique du phénomène de conduction dans un cas 2D [75]

L'image du haut de la Figure 32 représente le réseau cristallin solide à l'équilibre à une température uniforme. Les atomes oscillent autour des positions des nœuds du réseau correspondant à la température 0 K. À l'équilibre, il n'existe pas de phénomène de diffusion. Sur l'image du bas, nous approchons une source de chaleur d'une frontière du réseau. Les atomes situés au plus proche de la source voient leur énergie s'accroître fortement et donc la mobilité autour de la position d'équilibre est forte. Cette vibration se propage aux atomes voisins et définit le sens de diffusion de la chaleur [75].

- Loi de Fourier

Lorsqu'il existe une différence de température dans un environnement donné, un transfert de chaleur se produit entre deux points. D'après le deuxième principe de la thermodynamique, la chaleur se déplace toujours d'une zone plus chaude vers une zone plus froide. Cette densité de flux de chaleur, noté ϕ_{th} , qui traverse une surface dS de manière perpendiculaire, est directement liée au gradient de température dans la direction perpendiculaire à la surface S. Cette direction perpendiculaire à la section S est notée \vec{n} [75].

Pour mieux saisir la signification de cette relation, référons-nous à la Figure 33. Celle-ci illustre un matériau homogène et isotrope sous forme de tube, dont la périphérie est supposée parfaitement isolée (adiabatique). La section du tube est notée S et sa longueur L. Les températures aux deux extrémités, T_1 et T_2 , sont imposées et restent constantes au fil du temps. Un flux de chaleur se manifeste dans la direction allant des zones chaudes vers les zones froides.

$$d\phi_{th} = \vec{n} \cdot \vec{J}_{th} dS = \vec{n} \cdot (-k \vec{\nabla} T) dS \quad (7)$$

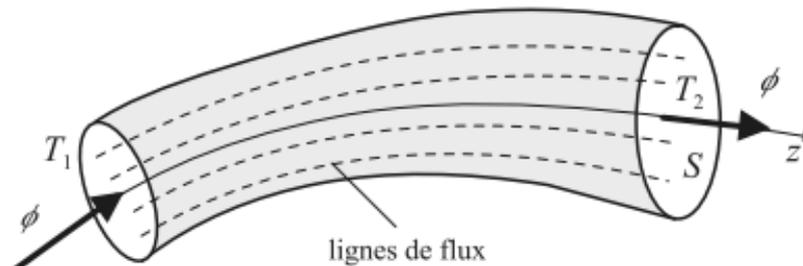


Figure 33 : Tube de flux de chaleur [75]

La densité de flux est exprimée en utilisant l'expression du gradient définie plus haut.

$$\vec{J}_{th} = -k \left(\frac{\partial T}{\partial x} \vec{x} + \frac{\partial T}{\partial y} \vec{y} + \frac{\partial T}{\partial z} \vec{z} \right)$$

La normale à la section S est \vec{z} , alors l'expression (7) devient :

$$d\phi_{th} = \vec{n} \cdot \vec{J}_{th} dS = \vec{z} \cdot (-k \vec{\nabla} T) dS$$

$$d\phi_{th} = \vec{n} \cdot \vec{J}_{th} dS = \vec{z} \cdot \left(-k \left(\frac{\partial T}{\partial x} \vec{x} + \frac{\partial T}{\partial y} \vec{y} + \frac{\partial T}{\partial z} \vec{z} \right) \right) dS \quad (8)$$

Le développement, de l'expression au-dessus nous donne :

$$d\phi_{th} = \left(-k \left(\frac{\partial T}{\partial z} \right) \right) dS = \left(-k \left(\frac{T_2 - T_1}{L} \right) \right) dS \quad (9)$$

On définit la densité de flux comme le rapport du flux à la section de passage :

$$J_{th} = \frac{d\phi_{th}}{dS} = -k \frac{\partial T}{\partial n} \quad (10)$$

II.3.1.1.2.2. Transfert de chaleur par convection

Le transfert de chaleur par convection est un processus de transfert d'énergie thermique qui implique le déplacement de fluides (liquides ou gaz) chauds ou froids. Contrairement à la conduction thermique qui se produit à travers des matériaux stationnaires, la convection implique le déplacement réel du fluide lui-même, ce qui permet un transfert plus efficace de chaleur. Elle provient de l'association du transfert de chaleur par conduction, où la chaleur se diffuse à travers les matériaux, et du transport d'énergie dû au mouvement des particules fluides, appelé advection.

Les différents types de convection varient en fonction du type de fluide et de la manière dont il s'écoule :

- Convection naturelle ou libre ;
- Convection forcée ;
- Convection mixte.

II.3.1.1.2.2.1. Convection naturelle

La convection naturelle (ou libre), provoquée par les forces massiques dans le fluide dues aux différences de température et donc de masse volumique du fluide. La Figure 34 permet de mettre en exergue ce phénomène.

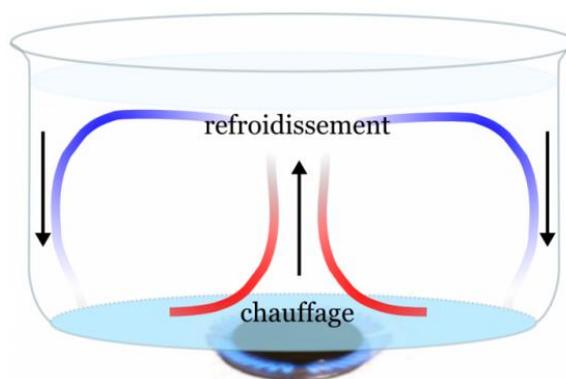


Figure 34 : Transfert de chaleur par convection [74]

II.3.1.1.2.2.2. Convection forcée

La convection forcée, quand le mouvement du fluide est créé par une différence de pression (pompe, soufflerie : ventilateur). Certains dispositifs servant à créer de la convection forcée sont présentés sur la Figure 35.

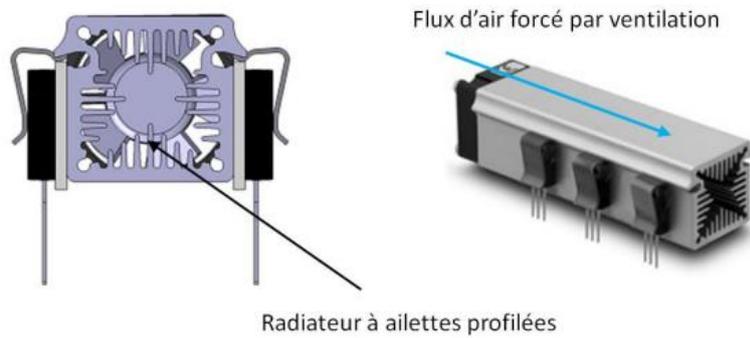


Figure 35 : Système de refroidissement utilisant la convection forcée [76]

II.3.1.1.2.2.3. Convection mixte

La convection mixte est la combinaison de la convection naturelle et de la convection forcée.

Le transfert de chaleur par convection se produit lorsque la chaleur est transférée d'un solide à un fluide, avec l'énergie se déplaçant grâce au mouvement du fluide. Ce processus est régi par la loi de Newton :

$$q = h S (T_p - T_\infty) \quad (11)$$

avec :

q : Flux de chaleur transmis par convection (W) ;

h : Coefficient de transfert thermique ($W/m^2/^\circ C$) ;

S : Section de la surface de contact fluide/solide (m^2) ;

T_p : Température de surface du solide ($^\circ C$) ;

T_∞ : température du fluide loin de la surface du solide ($^\circ C$)

Dans le Tableau 3 sont mentionnées quelques valeurs de coefficients de transfert thermique de certains fluides et gaz qui sont couramment utilisées dans l'ingénierie par Dassault systèmes :

Fluide ou gaz	Coefficient de transfert thermique ($W/m^2/^\circ C$)
Air (convection naturelle)	[5 ; 25]
Air / vapeur surchauffée (convection forcée)	[20 ; 300]
Huile (convection forcée)	[60 ; 1800]
Eau (convection forcée)	[300 ; 6000]
Eau (bouillante)	[3000 ; 60000]
Vapeur (en condensation)	[6000 ; 120000]

Tableau 3 : Quelques valeurs types du coefficient de transfert thermique par convection [77]

II.3.1.1.2.2.4. Transfert de chaleur par rayonnement

Le rayonnement correspond à un mode de transfert de chaleur où l'énergie se propage sous forme d'ondes électromagnétiques entre deux objets qui ne sont pas en contact direct. Il est catégorisé en fonction de la longueur d'onde des ondes émises. Plus la température d'un objet est élevée, plus l'énergie qu'il émet sous forme de rayonnement sera importante [37], [78] :

$$q = \varepsilon \sigma S (T_p^4 - T_\infty^4) \quad (12)$$

avec :

q : Flux de chaleur par rayonnement (W) ;

ε : Émissivité de la surface (sans unité) et $\varepsilon \leq 1$;

σ : Constante de Stefan-Boltzmann dont la valeur est de 5.67×10^{-8} et s'exprime en $W/m^2/K^4$. Il ne peut pas s'exprimer en $W/m^2/^\circ C^4$ car la température dans ce mécanisme n'est pas linéaire.

S : Section de la surface rayonnée (m^2) ;

T_p : Température de la surface rayonnée (K) ;

T_∞ : Température du milieu environnant la surface (K).

La Figure 36 résume bien les différents modes de transferts de chaleur dans le cas d'une poêle contenant de l'eau.

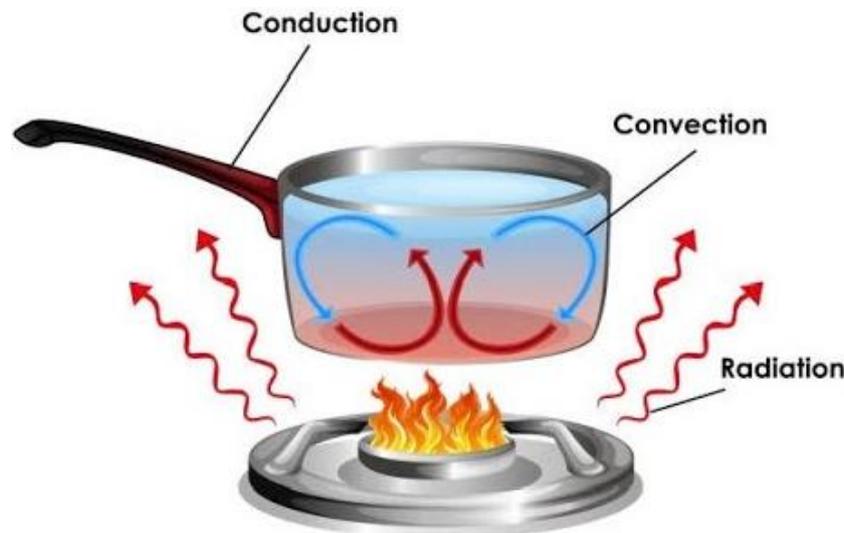


Figure 36 : Les différents modes de transferts de chaleur mise en évidence dans le cas d'une poêle contenant de l'eau [79]

R. Mehandru et ses collègues [80] ont réalisé une étude sur la dissipation thermique dans les transistors HEMT, examinant la manière dont la puissance dissipée varie selon les trois modes de transfert de chaleur en fonction de la température du composant. La Figure 37 illustre les résultats de cette étude [37] [80].

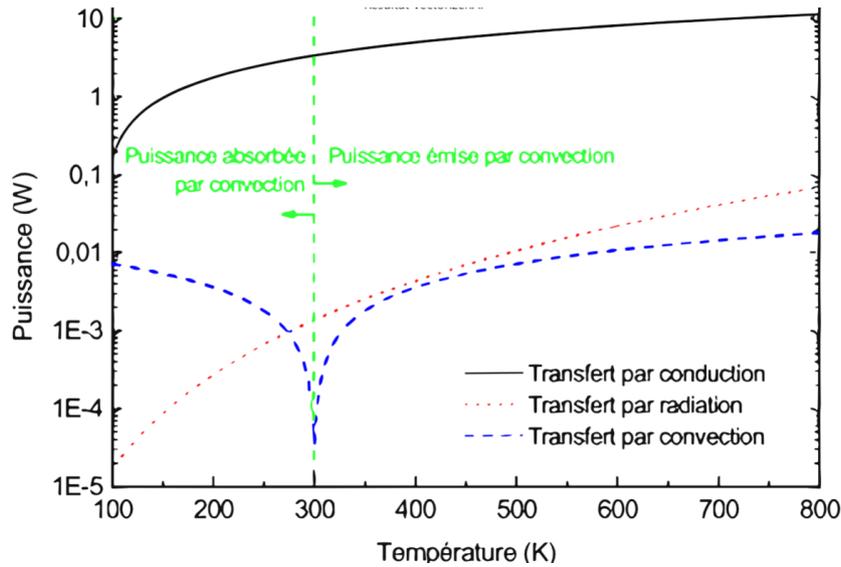


Figure 37 : Les divers mécanismes de transfert de chaleur dans les HEMT [37] [80]

Lorsque la température dépasse celle de la température ambiante, l'on constate que la radiation et la convection ne contribuent qu'à 1.5%, par rapport à la conduction. C'est pourquoi, dans cette thèse, nous avons choisi de négliger le transfert de chaleur par rayonnement et par convection dans la simulation numérique, en tout cas à l'échelle des transistors. Toutefois, si nécessaire, nous pourrions prendre en compte la convection dans la simulation pour se mettre dans les conditions des tests des mesures thermiques [37].

II.3.1.1.3. Équation de la chaleur

Désormais, nous pouvons formuler l'équation de la chaleur qui décrit mathématiquement comment la température évolue en chaque point du système à tout moment. Pour y arriver, nous réalisons un bilan thermique sur un petit volume de matériau. Pour simplifier, prenons le cas d'un transfert de chaleur unidirectionnel par conduction le long de l'axe x dans le matériau comme illustré par la Figure 38. Ce matériau a une conductivité thermique k (W/m/°C), une masse volumique ρ (Kg/m³) et une capacité thermique à pression constante C_p (J/Kg/°C). Les propriétés thermiques du matériau sont supposées indépendantes de la température. Un élément de largeur dx est isolé et nous effectuons un bilan des flux entrant et sortant de cet élément. On désigne par S la section de passage du flux et par V le volume compris entre x et $x + dx$. $V = S \delta x$

Le flux entrant a pour expression :

$$\phi_e = -k S \frac{\partial T(x, t)}{\partial x} \quad (13)$$

De même le flux sortant s'écrit :

$$\phi_s = -k S \frac{\partial T(x + \delta x, t)}{\partial x} \quad (14)$$

Le bilan thermique s'exprime en écrivant que la somme des flux, comptés positivement dans le sens de la normale dirigée vers l'intérieur du volume élémentaire, est égale au terme

d'accumulation de chaleur. Si une source volumique de chaleur Q (W) est présente dans l'élément, ce bilan devient [75] :

$$\phi_e - \phi_s + Q = \rho C_p S \delta x \frac{\partial T}{\partial t} \quad (15)$$

En remplaçant les équations (13) et (14) dans l'équation (15), nous obtenons :

$$-k S \frac{\partial T(x, t)}{\partial x} + k S \frac{\partial T(x + \delta x, t)}{\partial x} + Q = \rho C_p S \delta x \frac{\partial T(x, t)}{\partial t} \quad (16)$$

Sachant que par définition, la dérivée d'une fonction f quand δx tend vers 0 est :

$$\frac{df(x)}{dx} = \frac{f(x + \delta x) - f(x)}{\Delta x}$$

Par conséquent, nous aurons :

$$\frac{\partial}{\partial x} \left(k \frac{\partial T}{\partial x} \right) + \frac{Q}{S \delta x} = \rho C_p \frac{\partial T(x, t)}{\partial t} \quad (17)$$

Finalement le résultat donne :

$$\frac{\partial}{\partial x} \left(k \frac{\partial T}{\partial x} \right) + \frac{Q}{V} = \rho C_p \frac{\partial T(x, t)}{\partial t} \quad (18)$$

Cette façon de considérer les dérivées partielles, à la fois dans le temps et dans l'espace, s'étend à l'espace tridimensionnel sous la forme suivante et si la conductivité thermique est indépendante de la température, nous avons :

$$\rho C_p \frac{\partial T}{\partial t} = k \frac{\partial}{\partial x} \left(\frac{\partial T}{\partial x} \right) + \dot{Q} \quad (19)$$

Ou encore :

$$\rho C_p \frac{\partial T}{\partial t} = k \frac{\partial^2 T}{\partial x^2} + \dot{Q} \quad (20)$$

$$C_p \frac{\partial T}{\partial t} = k \Delta T + \dot{Q}$$

\dot{Q} est la source de chaleur volumique exprimée en W/m^3 . Son expression est : $\dot{Q} = \frac{Q}{V}$

Nous pouvons avoir une autre expression de cette équation de chaleur faisant intervenir un paramètre thermique :

$$\frac{\partial T}{\partial t} = \frac{k}{\rho C_p} \Delta T + \frac{\dot{Q}}{\rho C_p} \quad (21)$$

Avec :

$$\alpha = \frac{k}{\rho C_p} \quad (22)$$

représentant la diffusivité thermique du milieu, qui quantifie la vitesse à laquelle la chaleur diffuse à l'intérieur du milieu. Elle s'exprime en m^2/s .

Lorsque la conductivité thermique du matériau dépend de la température la relation s'écrit :

$$\rho C_p \frac{\partial T}{\partial t} = \vec{\nabla} \cdot (k(T) \vec{\nabla} T) + \dot{Q} \quad (23)$$

Les paramètres tels que la masse et la capacité thermique du matériau peuvent aussi dépendre de la température. Dans ce cas, nous avons une équation de diffusion non linéaire :

$$\rho(T) C_p(T) \frac{\partial T}{\partial t} = \vec{\nabla} \cdot (k(T) \vec{\nabla} T) + \dot{Q} \quad (24)$$

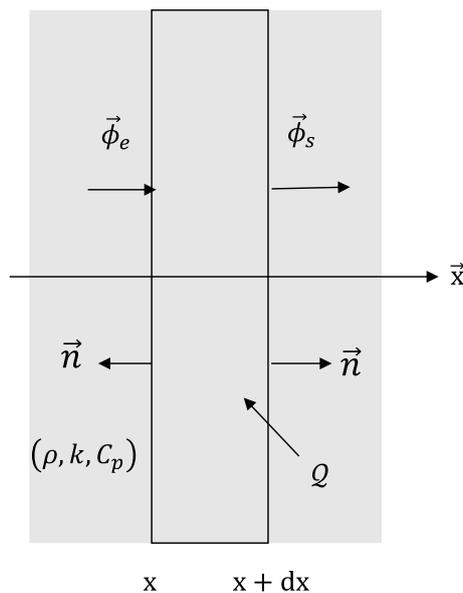


Figure 38 : Bilan thermique sur un élément de volume d'un matériau

II.3.1.1.4. Conditions initiales et conditions aux limites thermiques

L'équation de la chaleur est une équation aux dérivées partielles, qui, en l'absence de conditions initiales en temps ou de conditions aux limites aux frontières du domaine considéré, peut théoriquement admettre une infinité de solutions comme représenté sur la Figure 39.

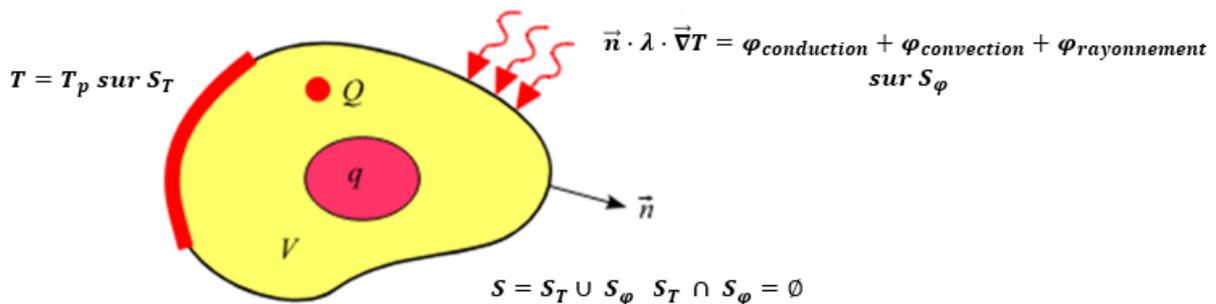


Figure 39 : Domaine et frontière d'un solide [81]

II.3.1.1.4.1. Condition initiale

Lorsque l'on s'intéresse à la modélisation thermique du transfert de chaleur on doit connaître l'état thermique initial en tout point du domaine. Il est important de noter que l'état

initial peut varier en fonction de l'emplacement dans le domaine. En se référant au domaine illustré à la Figure 39, cette condition initiale pourra être formulée ainsi :

À l'instant $t = t_0$

$$T(M, t_0) = T_{init}(M) \quad (25)$$

II.3.1.1.4.2. Conditions limites thermiques

Elles sont au nombre de trois, les conditions limites thermiques. Nous avons :

- Condition de température imposée :

Une température T_0 est imposée sur la frontière. La température peut dépendre du temps et même varier le long de la frontière. La température peut être imposée en un point.

Le cas le plus simple est $T = T_0 = \text{constante}$ sur toute la frontière.

Cette condition est de type « Dirichlet » [82]. Comme exemple : on impose une température constante T_0 sur une surface (fond de puce pour les systèmes électroniques par exemple). La condition dans ce cas s'écrit :

$$T(M, t) = T_0$$

- Condition de flux imposé :

C'est une condition que l'on retrouve lorsque l'on chauffe la surface du matériau avec une source résistive ou radiative. Cette condition est de type « Neumann » [83]. Comme exemple, on impose un flux de puissance sur une surface (condition dite hétérogène). Si le flux imposé est nul, on a une condition de paroi adiabatique (condition homogène). Les conditions limites de flux imposées sont donc :

- Source de chaleur ponctuelle

Une source de chaleur ponctuelle Q est définie par la puissance thermique reçue par le système. Elle s'exprime en W.

- Source de chaleur volumique

Une source de chaleur volumique q est définie par la puissance thermique générée par unité de volume. Elle s'exprime en W/m³

Échange de chaleur par convection sur une surface S_φ

$$-k \left(\frac{\partial T}{\partial n} \right)_p = h (T_p - T_{amb}) \quad (26)$$

Échange de chaleur par radiation en milieu infini sur une surface S_φ

$$-k \left(\frac{\partial T}{\partial n} \right)_p = \varepsilon \sigma (T_p^4 - T_\infty^4) \quad (27)$$

- Condition mixte

Cette dernière condition est plus complexe à appréhender. Elle concerne généralement la situation où une paroi solide est en contact avec un fluide, mais ce fluide ne détermine pas la température de la surface solide. Comme le montre la Figure 38, cette condition découle en réalité du bilan thermique à l'interface entre les deux milieux. En l'absence de termes sources, le flux de chaleur par conduction dans le matériau solide doit être équivalent au flux par diffusion et convection dans le fluide, auquel peut se rajouter un flux rayonné si le fluide est transparent. En d'autres termes, on peut exprimer cela en termes de densités de flux comme suit :

$$\varphi_{conduction} = \phi_{convectif} + \phi_{radiatif} \quad (28)$$

soit :

$$-k \left(\frac{\partial T}{\partial n} \right)_p = h (T_p - T_{amb}) + \sigma \varepsilon (T_p^4 - T_{\infty}^4) \quad (29)$$

Dans cette relation k est la conductivité thermique de la paroi solide à la température T_p , $\phi_{convectif}$ désigne la densité de flux évacuée par convection à la surface avec le fluide et $\phi_{radiatif}$ désigne la densité de flux rayonnée. Le coefficient d'échange par convection h est introduit dans cette relation. Sa définition est généralement assez compliquée car elle prend en compte des phénomènes complexes au niveau de l'interface entre la paroi solide et le fluide en écoulement.

II.3.1.2. Modèle thermomécanique

La thermomécanique est une branche de la physique et de l'ingénierie qui étudie les interactions entre les phénomènes thermiques (chaleur) et mécaniques (déformations) au sein des matériaux. Cette discipline explore comment les variations de température affectent les propriétés mécaniques des matériaux, et réciproquement, comment les contraintes mécaniques influent sur la température et les changements thermiques dans les matériaux.

Les phénomènes étudiés incluent les déformations, les contraintes, les changements de forme, les propriétés de fluage (déformation lente sous charge constante), et d'autres comportements mécaniques qui sont influencés par la température. Les principaux objectifs de cette discipline sont de comprendre et de modéliser ces interactions pour prédire le comportement des matériaux dans des conditions thermiques et mécaniques variées, ce qui est crucial dans de nombreux domaines tels que l'aérospatiale, l'ingénierie des matériaux, et la conception de machines.

II.3.1.2.1. Approche théorique de la thermomécanique

Pour assurer la fiabilité des composants électroniques, il est nécessaire de maîtriser les contraintes thermiques, mécaniques et à la fois thermomécaniques. Les contraintes mécaniques sont liées aux accélérations, aux vibrations, à la masse, aux chocs mécaniques et thermiques. Les contraintes thermiques se résument par la variation de la température qui induit des effets de dilatation et de compression. Cela entraîne des effets de changement sur le comportement des matériaux ou des dispositifs.

Il existe trois plages de températures pour les composants électroniques, à savoir industriel avec une température allant de 0 °C à 70°C, pour le civil la variation de température sera de -20 °C à 85 °C et militaire évoluant dans la plage de -55°C à 125°C [84].

Le couplage des contraintes thermomécaniques est le phénomène le plus délicat des assemblages. Un choc mécanique suivi d'un choc thermique peut entraîner une ouverture ou une délamination. Dans le cas de deux matériaux assemblés, cela peut conduire à un état de rupture par fatigue. Les phénomènes thermomécaniques sont régis par des lois mécaniques qui traduisent le comportement des matériaux par rapport au facteur environnemental (température et pression) [85].

Le modèle thermique est décrit dans la section précédente, nous allons maintenant décrire le modèle mécanique et les lois de comportement dans les sections à venir.

II.3.1.2.1.1. Équations générales de la mécanique des solides

Dans cette section, nous nous appuyerons sur les littératures suivantes : [48], [86], [87], [88], [89], [90], [91], [92], [93]. Il s'agit essentiellement de rappeler quelques principes et grandeurs.

II.3.1.2.1.1.1. Principe fondamental de la dynamique

Le principe de base de la dynamique est une loi physique qui relie la masse d'un objet à l'accélération qu'il subit lorsque des forces sont exercées sur lui. Cette loi est généralement appelée la deuxième loi de Newton, ou la relation fondamentale de la dynamique. Elle s'énonce comme suit :

$$\rho \cdot \frac{d\vec{v}}{dt} = \vec{\nabla} \cdot \underline{\underline{\sigma}} + \vec{f}_{ext} \quad (30)$$

Où :

ρ : masse volumique (kg/m³)

\vec{f}_{ext} : vecteurs des forces volumiques (exemple : force de la pesanteur)

$\underline{\underline{\sigma}}$: tenseur des contraintes (Pa)

\vec{v} : vecteur vitesse (m/s)

$\frac{d\vec{v}}{dt}$: dérivée particulaire du vecteur vitesse, équivalent au vecteur accélération \vec{a} (m/s²).

La dérivée particulaire est un outil mathématique utilisé en mécanique des milieux continus (MMC). Avec l'expression (30) nous pouvons dire qu'elle exprime la variation de la vitesse lorsque l'on suit une particule dans son mouvement, elle comporte plusieurs notations telles que :

$$\frac{d\vec{v}}{dt} \text{ ou } \frac{D\vec{v}}{Dt}$$

L'accélération est la variation de la vitesse d'une particule suivie dans son mouvement. Sa dérivée particulaire est de la forme :

$$\frac{d\vec{v}}{dt} = \frac{\partial \vec{v}}{\partial t} + (\vec{v} \cdot \vec{\nabla}) \vec{v} \quad (31)$$

En mécanique des fluides, le terme $(\vec{v} \cdot \vec{\nabla}) \vec{v}$ désigne le terme d'advection ou terme convectif. Nous avons donc :

$$\rho \cdot \left(\frac{\partial \vec{v}}{\partial t} + (\vec{v} \cdot \vec{\nabla}) \vec{v} \right) = \vec{\nabla} \cdot \underline{\underline{\sigma}} + \vec{f}_{ext} \quad (32)$$

En mécanique à l'équilibre statique nous avons le vecteur vitesse \vec{v} qui est nul, ainsi le terme de gauche de l'équation (32) devient nul. L'équation (32) devient donc :

$$\vec{\nabla} \cdot \underline{\underline{\sigma}} + \vec{f}_{ext} = \vec{0}$$

II.3.1.2.1.1.2. Déplacement et déformation

Considérons le domaine Ω_0 occupé par un solide. Notons \vec{X}_0 le vecteur position à l'instant initial d'un point matériel du domaine Ω_0 et \vec{X} le vecteur position du même point matériel à un instant t (Figure 40).

Le déplacement \vec{u} de ce point matériel est défini par :

$$\vec{u}(\vec{X}_0, t) = \vec{X} - \vec{X}_0 \quad (33)$$

Le gradient de la transformation permet le passage de la configuration initiale à la configuration déformée. Le tenseur gradient de transformation noté $\underline{\underline{F}}$ se définit comme suit [86] :

$$\underline{\underline{F}} = \frac{\partial \vec{X}(\vec{X}_0, t)}{\partial \vec{X}_0} \quad (34)$$

En remplaçant (33) dans (34) il en résulte :

$$\underline{\underline{F}} = \underline{\underline{I}} + \vec{\nabla} \vec{u} \quad (35)$$

avec $\underline{\underline{I}}$ tenseur identité dont les termes diagonaux sont égaux à 1 et les autres termes sont nuls.

$$\underline{\underline{I}} = \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{pmatrix}$$

Le tenseur de déformation de Green-Lagrange $\underline{\underline{E}}$ est défini par la relation suivante :

$$\underline{\underline{E}} = \frac{1}{2} \left(\underline{\underline{F}}^t \underline{\underline{F}} - \underline{\underline{I}} \right) = \frac{1}{2} \left(\underline{\underline{C}} - \underline{\underline{I}} \right) \quad (36)$$

$\underline{\underline{C}} = \underline{\underline{F}}^t \underline{\underline{F}}$ est le tenseur des dilatations et $\underline{\underline{F}}^t$ est la transposée de $\underline{\underline{F}}$. En notation matricielle, le tenseur de déformation de Green-Lagrange s'écrit :

$$\underline{\underline{\mathbb{E}}} = \begin{pmatrix} \mathbb{E}_{11} & \mathbb{E}_{12} & \mathbb{E}_{13} \\ \mathbb{E}_{21} & \mathbb{E}_{22} & \mathbb{E}_{23} \\ \mathbb{E}_{31} & \mathbb{E}_{32} & \mathbb{E}_{33} \end{pmatrix}$$

Le tenseur de déformation de Green-Lagrange est symétrique $\mathbb{E}_{ij} = \mathbb{E}_{ji}$, pour $i \neq j$ et vaut 0 si le solide est indéformable. Les éléments de la diagonale \mathbb{E}_{ii} traduisent les variations de longueur alors que les éléments \mathbb{E}_{ij} pour $i \neq j$ traduisent les variations d'angles.

Il s'agit d'un tenseur symétrique réel, donc diagonalisable dans une base orthonormée. Les directions propres sont appelées directions principales de déformation. Le domaine des petites déformations est celui où la longueur des segments varie peu lors de la transformation [94].

En introduisant (35) dans (36) nous avons :

$$\underline{\underline{\mathbb{E}}} = \frac{1}{2} \left(\vec{\nabla} \vec{u} + (\vec{\nabla} \vec{u})^t - (\vec{\nabla} \vec{u})^t \vec{\nabla} \vec{u} \right) \quad (37)$$

Dans le cas de faibles gradients de déplacement, le tenseur $\underline{\underline{\mathbb{E}}}$ est approximé par $\underline{\underline{\varepsilon_e}}$, appelé tenseur de déformation élastique sous l'hypothèse de petites perturbations (HPP) [95]. Ce tenseur est sans unité et s'écrit :

$$\underline{\underline{\varepsilon_e}} = \frac{1}{2} \left(\vec{\nabla} \vec{u} + (\vec{\nabla} \vec{u})^t \right) \quad (38)$$

Sous forme matricielle, il s'écrit :

$$\underline{\underline{\varepsilon_e}} = \begin{pmatrix} \varepsilon_{11} & \varepsilon_{12} & \varepsilon_{13} \\ \varepsilon_{12} & \varepsilon_{22} & \varepsilon_{23} \\ \varepsilon_{13} & \varepsilon_{23} & \varepsilon_{33} \end{pmatrix}$$

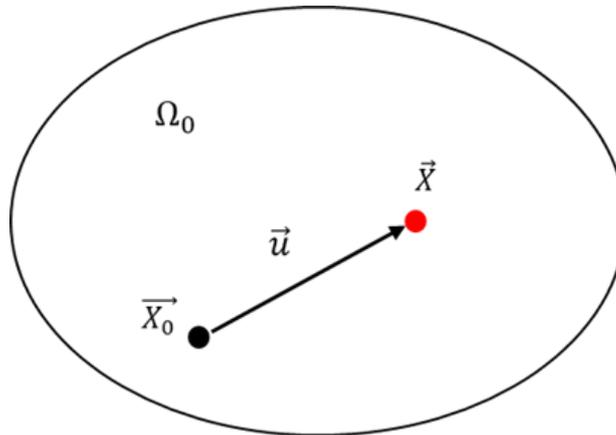


Figure 40 : Vecteur déplacement

II.3.1.2.1.2. Conditions aux limites

Les conditions aux limites d'une étude mécanique sont de trois types soit en imposant un déplacement, un effort surfacique et pour finir le couplage les deux, ie déplacement et effort surfacique. Dans ce cas, la condition est dite mixte. Considérons un solide défini par son domaine Ω_0 et ses frontières Γ_d et Γ_u (Figure 41) :

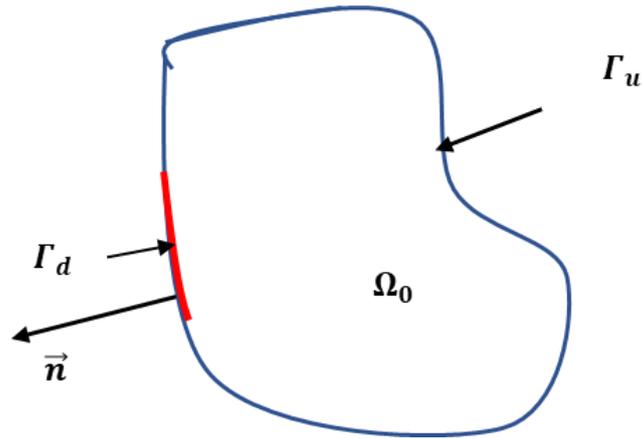


Figure 41 : Définition de domaine et de frontière du solide

Sur la frontière Γ_u , un déplacement est imposé :

$$\vec{u}(\vec{X}) = \vec{u}_0, \quad \vec{X} \in \Gamma_u$$

Sur la frontière Γ_d , un effort surfacique est imposé :

$$\underline{\underline{\sigma}} \cdot \vec{n} = \vec{T}_s, \quad \vec{X} \in \Gamma_d$$

où \vec{T}_s représente le vecteur des forces surfaciques appliquées et \vec{n} est la normale extérieure à la frontière Γ_d .

II.3.1.2.2. Loi de comportement

II.3.1.2.2.1. Loi de Hooke

Le comportement relie la contrainte $\underline{\underline{\sigma}}$ à la déformation élastique $\underline{\underline{\varepsilon}}_e$ en chaque point du domaine nous avons donc :

$$\underline{\underline{\sigma}} = f(\underline{\underline{\varepsilon}}_e)$$

sur le domaine ou volume Ω_0 .

Un comportement élastique isotrope est caractérisé par deux paramètres matériaux scalaires : les deux coefficients de Lamé λ et μ . Le comportement élastique isotrope s'écrit :

$$\underline{\underline{\sigma}} = \lambda \text{tr}(\underline{\underline{\varepsilon}}_e) \mathbb{I} + 2 \mu \underline{\underline{\varepsilon}}_e \quad (39)$$

L'expression $\text{tr}(\underline{\underline{\varepsilon}}_e)$ est la trace du tenseur de déformation, représentant ainsi la somme des termes diagonaux du tenseur de déformation. $\text{tr}(\underline{\underline{\varepsilon}}_e) = \varepsilon_{11} + \varepsilon_{22} + \varepsilon_{33} = \varepsilon_{kk}$.

Sous la forme indicielle cette loi s'écrit :

$$\sigma_{ij} = \lambda \varepsilon_{kk} \delta_{ij} + 2 \mu \varepsilon_{ij}$$

avec δ_{ij} symbole de Kronecker. La forme matricielle du tenseur de contrainte est :

$$\underline{\underline{\sigma}} = \begin{pmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{22} & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \sigma_{33} \end{pmatrix}$$

Le tenseur de contrainte est également symétrique et s'exprime en MPa ou GPa.

Cette loi peut aussi s'exprimer avec les propriétés de matériau isotrope (propriétés identiques dans toutes les directions du plan) ou anisotrope (propriétés identiques dans deux directions du plan et différentes dans la troisième direction du plan) à savoir le module de Young E et le coefficient de Poisson ν . Le module de Young s'exprime en MPa ou GPa et le coefficient de Poisson est sans unité. Le coefficient de Poisson est une mesure de la déformation latérale d'une matière lorsqu'elle est contrainte axialement.

$$\sigma_{ij} = \frac{\nu E}{(1 + \nu)(1 - 2\nu)} \varepsilon_{kk} \delta_{ij} + \frac{E}{(1 + \nu)} \varepsilon_{ij} \quad (40)$$

Ainsi nous pouvons écrire sous forme matricielle le tenseur des contraintes en fonction du tenseur de déformation.

$$\underline{\underline{\sigma}} = \underline{\underline{C}} \underline{\underline{\varepsilon_e}} \quad (41)$$

$\underline{\underline{C}}$ est le tenseur de rigidité ou matrice de rigidité, s'exprime en MPa ou GPa et sa forme s'écrit :

$$\begin{pmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{23} \\ \sigma_{31} \\ \sigma_{12} \end{pmatrix} = \frac{E}{(1 + \nu)(1 - 2\nu)} \begin{pmatrix} 1 - \nu & \nu & \nu & 0 & 0 & 0 \\ \nu & 1 - \nu & \nu & 0 & 0 & 0 \\ \nu & \nu & 1 - \nu & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 - 2\nu & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 - 2\nu & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 - 2\nu \end{pmatrix} \begin{pmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ \varepsilon_{23} \\ \varepsilon_{31} \\ \varepsilon_{12} \end{pmatrix}$$

Ou encore :

$$\begin{pmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{23} \\ \sigma_{31} \\ \sigma_{12} \end{pmatrix} = \begin{pmatrix} \lambda + 2\mu & \lambda & \lambda & 0 & 0 & 0 \\ \lambda & \lambda + 2\mu & \lambda & 0 & 0 & 0 \\ \lambda & \lambda & \lambda + 2\mu & 0 & 0 & 0 \\ 0 & 0 & 0 & 2\mu & 0 & 0 \\ 0 & 0 & 0 & 0 & 2\mu & 0 \\ 0 & 0 & 0 & 0 & 0 & 2\mu \end{pmatrix} \begin{pmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ \varepsilon_{23} \\ \varepsilon_{31} \\ \varepsilon_{12} \end{pmatrix}$$

Cependant nous avons :

$$\lambda = \frac{\nu E}{(1 + \nu)(1 - 2\nu)} \quad \text{et} \quad \mu = G = \frac{E}{2(1 + \nu)}$$

$$E = \frac{\mu(3\lambda + 2\mu)}{\lambda + \mu} \quad \text{et} \quad \nu = \frac{\lambda}{2(\lambda + \mu)}$$

$\mu = G$ est le module de rigidité de cisaillement, s'exprimant en MPa ou GPa.

$$[\underline{\underline{C}}] = \begin{pmatrix} \lambda + 2\mu & \lambda & \lambda & 0 & 0 & 0 \\ \lambda & \lambda + 2\mu & \nu & 0 & 0 & 0 \\ \lambda & \lambda & \lambda + 2\mu & 0 & 0 & 0 \\ 0 & 0 & 0 & 2\mu & 0 & 0 \\ 0 & 0 & 0 & 0 & 2\mu & 0 \\ 0 & 0 & 0 & 0 & 0 & 2\mu \end{pmatrix}$$

La relation peut être inversée donnant ainsi une relation $\underline{\underline{\varepsilon}}_e = g(\underline{\underline{\sigma}})$

$$\varepsilon_{ij} = -\frac{\nu}{E} \sigma_{kk} \delta_{ij} + \frac{(1+\nu)}{E} \sigma_{ij}$$

$$\underline{\underline{\varepsilon}}_e = -\frac{\nu}{E} \text{tr}(\underline{\underline{\sigma}}) \underline{\underline{I}} + \frac{(1+\nu)}{E} \underline{\underline{\sigma}} \quad (42)$$

Sa forme matricielle est :

$$[\underline{\underline{\varepsilon}}_e] = [\underline{\underline{S}}][\underline{\underline{\sigma}}] \quad (43)$$

où $[\underline{\underline{S}}]$ est la matrice de souplesse ou tenseur de souplesse. Elle s'exprime en MPa ou GPa et sa forme s'écrit comme suit :

$$\begin{pmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ \varepsilon_{23} \\ \varepsilon_{31} \\ \varepsilon_{12} \end{pmatrix} = \frac{1}{E} \begin{pmatrix} 1 & -\nu & -\nu & 0 & 0 & 0 \\ -\nu & 1 & -\nu & 0 & 0 & 0 \\ -\nu & -\nu & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1+\nu & 0 & 0 \\ 0 & 0 & 0 & 0 & 1+\nu & 0 \\ 0 & 0 & 0 & 0 & 0 & 1+\nu \end{pmatrix} \begin{pmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{23} \\ \sigma_{31} \\ \sigma_{12} \end{pmatrix}$$

La Figure 42 montre comment un matériau réagit sous différentes contraintes, représentée par une courbe contrainte-déformation. Par hypothèse de petites déformations (HPP), le matériau d'abord suit un comportement élastique linéaire. Lorsque la contrainte dépasse la limite élastique, le matériau entre alors dans une phase de plasticité. Si les contraintes augmentent encore, il peut finalement atteindre sa limite de rupture

$$[\underline{\underline{S}}] = \frac{1}{E} \begin{pmatrix} 1 & -\nu & -\nu & 0 & 0 & 0 \\ -\nu & 1 & -\nu & 0 & 0 & 0 \\ -\nu & -\nu & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1+\nu & 0 & 0 \\ 0 & 0 & 0 & 0 & 1+\nu & 0 \\ 0 & 0 & 0 & 0 & 0 & 1+\nu \end{pmatrix}$$

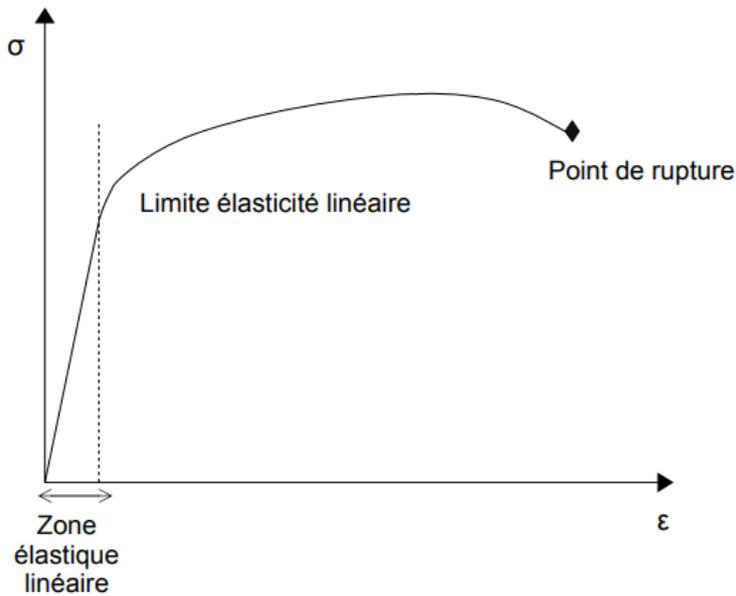


Figure 42 : Courbe de contrainte-déformation [96]

II.3.1.2.3. Contraintes principales

Le tenseur des contraintes permet de décrire les efforts internes agissant sur chaque petite unité de matière. Il fournit une représentation détaillée de l'état de contrainte à chaque point et se note :

$$\underline{\underline{\sigma}} = \begin{pmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{22} & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \sigma_{33} \end{pmatrix}$$

Puisque les éléments hors de la diagonale représentent du cisaillement et sont souvent associés à la base vectorielle (x, y, z), on peut aussi les exprimer ainsi :

$$\underline{\underline{\sigma}} = \begin{pmatrix} \sigma_{xx} & \tau_{xy} & \tau_{xz} \\ \tau_{xy} & \sigma_{yy} & \tau_{yz} \\ \tau_{xz} & \tau_{yz} & \sigma_{zz} \end{pmatrix}$$

Les contraintes peuvent être représentées dans un cadre où le tenseur des contraintes prend la forme d'une matrice diagonale. On appelle cela des contraintes principales :

$$\underline{\underline{\sigma}} = \begin{pmatrix} \sigma_I & 0 & 0 \\ 0 & \sigma_{II} & 0 \\ 0 & 0 & \sigma_{III} \end{pmatrix}$$

Les contraintes principales nous aident à identifier rapidement les différents types de sollicitations que le corps subit, qu'il s'agisse de traction, compression ou cisaillement.

Sollicitation en traction (+) ou en compression (-), la matrice s'écrit :

$$\underline{\underline{\sigma}} = \begin{pmatrix} \pm\sigma & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix}$$

Sollicitation en torsion, la matrice s'écrit :

$$\underline{\underline{\sigma}} = \begin{pmatrix} 0 & 0 & \tau \\ 0 & 0 & 0 \\ \tau & 0 & 0 \end{pmatrix}$$

Cela contraste avec les critères de Von Mises et Tresca, qui seront expliqués plus en détail par la suite. La détermination de ces contraintes principales sera détaillée en annexe.

II.3.1.2.4. Critère de Von Mises

Il existe plusieurs critères tels que le critère de : Von Mises, Tresca, Rankine, Mohr et Coulomb. Le plus couramment utilisé est le critère de Von Mises pour la simplicité de sa formule ; il est aussi intégré aux logiciels de simulation numérique. La contrainte équivalente de Von Mises est de plus notée σ_e .

Le critère de plasticité aide à déterminer comment se situe un matériau par rapport à sa limite d'élasticité R_e :

- Si $\sigma_e \leq R_e$: nous demeurons dans le domaine élastique, il y a une existence d'une tenue en fatigue ;
- Si $\sigma_e > R_e$: nous sommes dans le domaine plastique, la tenue en fatigue est réduite, voire inexistante.

L'expression de la contrainte équivalente de Von Mises peut s'exprimer soit avec les contraintes principales ou avec l'état de contrainte en chaque point. Elle s'exprime comme suit :

$$\sigma_e = \frac{1}{\sqrt{2}} \sqrt{(\sigma_I - \sigma_{II})^2 + (\sigma_I - \sigma_{III})^2 + (\sigma_{II} - \sigma_{III})^2} \quad (44)$$

$$\sigma_e = \frac{1}{\sqrt{2}} \sqrt{(\sigma_{11} - \sigma_{22})^2 + (\sigma_{11} - \sigma_{33})^2 + (\sigma_{22} - \sigma_{33})^2 + 6(\sigma_{12}^2 + \sigma_{13}^2 + \sigma_{23}^2)} \quad (45)$$

II.3.1.2.5. Thermoélasticité

Nous nous référons aux références [97], [98], [99] qui nous donnent une explication claire et nette sur le couplage thermomécanique en mettant l'accent sur la thermoélasticité.

II.3.1.2.5.1. Dilatation thermique

Lorsqu'un matériau est exposé à un changement de température ΔT , il se dilate (voir Figure 43). Si le matériau peut se déformer sans contrainte, sa longueur passe de ℓ_0 à $\ell_0 + \Delta \ell$. Cette variation de longueur est proportionnelle à la variation de température [97].

$$\frac{\Delta \ell}{\ell} = \alpha(T) \Delta T \quad (46)$$

Avec $\alpha(T)$ coefficient de dilatation thermique linéique que l'on considérera par la suite indépendant de T pour certains matériaux et dépendant pour d'autres. Aussi connu sous le nom de coefficient d'expansion thermique (CTE) s'exprimant en ppm/°C ou ppm/K soit encore en $10^{-6}/^\circ\text{C}$ ou $10^{-6}/\text{K}$.

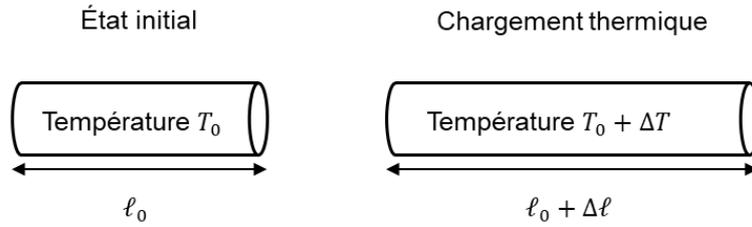


Figure 43 : Matériau soumis à une variation de température

La Figure 43 aide à comprendre pourquoi les matériaux solides se dilatent lorsque la température change. En comparant deux températures, T_0 et $T_0 + \Delta T$, on observe que la distance entre les atomes varie en fonction des énergies potentielles liées à l'agitation thermique. Étant donné que la force entre les atomes n'est pas linéaire, la distance moyenne entre eux (calculée entre les valeurs extrêmes) augmente. Dans les matériaux solides, les variations de longueur causées par la dilatation sont généralement assez faibles, ce qui permet de supposer que l'on peut considérer ℓ comme équivalent à ℓ_0 . On définit alors la déformation thermique ε_{th} comme la différence entre les températures $\Delta T = T - T_0$ [97].

$$\varepsilon_{th} = \frac{\Delta \ell}{\ell_0} = \alpha (T - T_0) \quad (47)$$

Avec : T_0 température initiale ou de référence de déformation thermique zéro et $\Delta \ell$ variation de longueur. Cette loi de dilatation peut être généralisée au cas tridimensionnel pour un matériau isotrope. On obtient :

$$\underline{\underline{\varepsilon_{th}}} = \alpha (T - T_0) \underline{\underline{\mathbb{I}}}$$

$$\underline{\underline{\varepsilon_{th}}} = \begin{pmatrix} \alpha (T - T_0) & 0 & 0 \\ 0 & \alpha (T - T_0) & 0 \\ 0 & 0 & \alpha (T - T_0) \end{pmatrix}$$

II.3.1.2.5.2. Loi de Hooke en thermoélasticité

La loi de comportement thermoélastique s'obtient à partir de la loi de Hooke vue plus haut à laquelle il faut rajouter l'expression de la déformation thermique. Dans ce cas, la déformation totale est égale à la différence entre la déformation élastique et la déformation thermique :

$$\underline{\underline{\varepsilon}} = \underline{\underline{\varepsilon_e}} - \underline{\underline{\varepsilon_{th}}} \quad (48)$$

$$\underline{\underline{\varepsilon}} = -\frac{\nu}{E} \text{tr}(\underline{\underline{\sigma}}) \underline{\underline{\mathbb{I}}} + \frac{(1 + \nu)}{E} \underline{\underline{\sigma}} - \alpha (T - T_0) \underline{\underline{\mathbb{I}}}$$

La notation indicielle nous donne :

$$\varepsilon_{ij} = -\frac{\nu}{E} \sigma_{kk} \delta_{ij} + \frac{(1 + \nu)}{E} \sigma_{ij} - \alpha (T - T_0) \delta_{ij} \quad (49)$$

Pour $i = j$ nous avons : $\delta_{ii} = 3$, ce qui nous donne l'expression de la trace des contraintes en fonction de la trace des déformations :

$$\begin{aligned}\varepsilon_{ii} &= -\frac{3\nu}{E} \sigma_{kk} + \frac{(1+\nu)}{E} \sigma_{ii} - 3\alpha (T - T_0) \\ \sigma_{kk} &= \frac{E}{(1-2\nu)} (\varepsilon_{kk} + 3\alpha (T - T_0))\end{aligned}\quad (50)$$

Remplaçant cette nouvelle expression (50) dans la précédente (49) nous aurons :

$$\begin{aligned}\varepsilon_{ij} &= \frac{-\nu}{(1-2\nu)} (\varepsilon_{kk} + 3\alpha (T - T_0)) \delta_{ij} + \frac{(1+\nu)}{E} \sigma_{ij} - \alpha (T - T_0) \delta_{ij} \\ \sigma_{ij} &= \frac{E}{(1+\nu)} \left[\frac{\nu}{(1-2\nu)} \varepsilon_{kk} \delta_{ij} + \varepsilon_{ij} + \alpha (T - T_0) \delta_{ij} + \frac{\nu}{(1-2\nu)} 3\alpha (T - T_0) \delta_{ij} \right] \\ \sigma_{ij} &= \frac{E}{(1+\nu)} \frac{\nu}{(1-2\nu)} \varepsilon_{kk} \delta_{ij} + \frac{E}{(1+\nu)} \varepsilon_{ij} + \frac{E}{(1+\nu)} \alpha (T - T_0) \delta_{ij} \\ &\quad + \frac{E}{(1+\nu)} \frac{\nu}{(1-2\nu)} 3\alpha (T - T_0) \delta_{ij} \\ \sigma_{ij} &= \lambda \varepsilon_{kk} \delta_{ij} + 2\mu \varepsilon_{ij} + 2\mu \alpha (T - T_0) \delta_{ij} + \lambda 3\alpha (T - T_0) \delta_{ij} \\ \sigma_{ij} &= \lambda \varepsilon_{kk} \delta_{ij} + 2\mu \varepsilon_{ij} + (2\mu + 3\lambda) \alpha (T - T_0) \delta_{ij}\end{aligned}\quad (51)$$

Cette loi est telle que si nous imposons une déformation élastique nulle (nous empêchons les déplacements), la contrainte thermique est :

$$\underline{\underline{\sigma}} = -E \underline{\underline{\varepsilon}}_{th} = -E \alpha (T - T_0) \underline{\underline{\mathbb{I}}}\quad (52)$$

Cette loi de Hooke en thermoélasticité peut être généralisée au cas tridimensionnel pour un matériau isotrope :

$$\underline{\underline{\sigma}} = \underline{\underline{\mathbb{C}}} : \left[\underline{\underline{\varepsilon}}_e - \underline{\underline{\varepsilon}}_{th} \right]\quad (53)$$

$\underline{\underline{\mathbb{C}}}$ est le tenseur de complaisance différente de l'équation (41).

II.4. Mise en application sur le transistor spécifique GH15 2x150 μm

Le composant 2x150_RTH_DC_MODULE (Figure 44) est une structure de transistor HEMT de technologie GaN constituée de 2 doigts de grille de largeur 150 μm , spécifiquement développée pour extraire la résistance thermique. Cette structure a deux accès aux grilles différentes des transistors que nous avons pour coutume de voir.

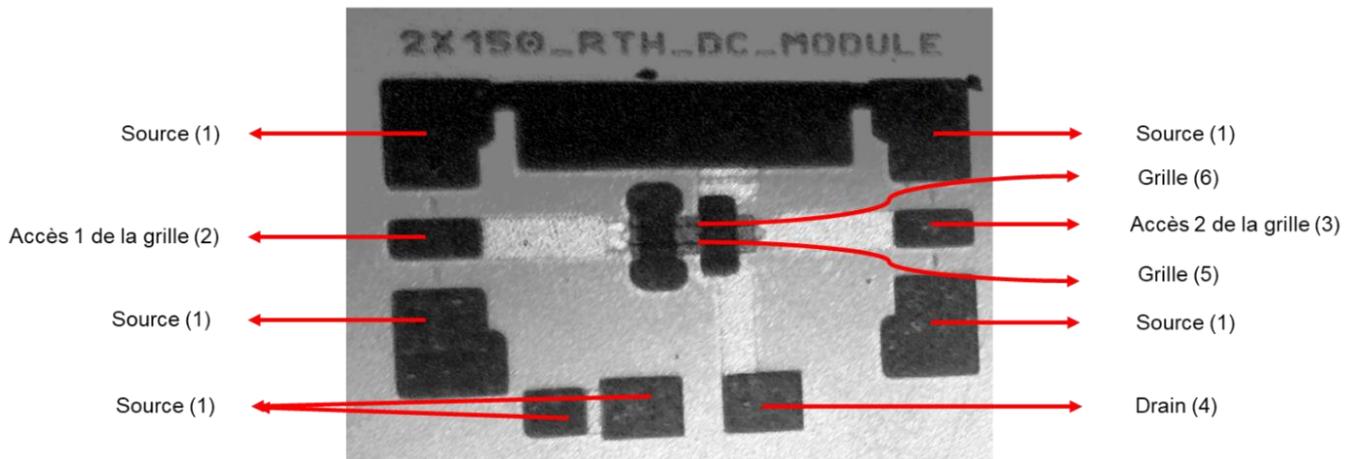


Figure 44 : Transistor spécifique GH15 2x150 μm _RTH_DC_MODULE

Sur ce dispositif, une mesure thermoréfectance, une mesure électrique dite gate end to end que nous appellerons par moment mesure R_g , ainsi qu'une simulation thermique ont été faites dans le but de confronter les différentes méthodes pour la caractérisation de ce dernier.

II.4.1. Mesure électrique dite gate end to end

L'utilisation des méthodes d'évaluation de la température basées sur des mesures électriques présente l'avantage d'être facilement mises en place au sein du laboratoire et permettront d'être complémentaires aux outils de simulations thermiques disponibles à XLIM. Ces techniques peuvent être utilisées pour valider les résultats de simulations ou se substituer à celles-ci dans le cas de composants issus de technologies extérieures à celles de la fonderie UMS.

Cette phase d'étalonnage est réalisée en plaçant une source de tension appliquée à la grille variant entre 10 mV et 200 mV, alors que les accès drain et source du transistor seront placés à la masse.

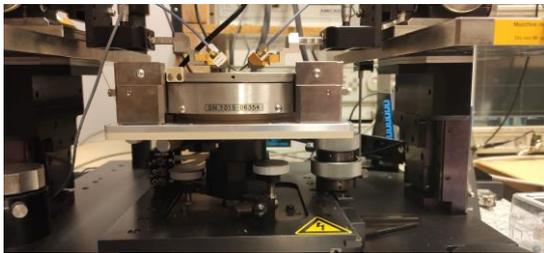
II.4.1.1. Première étape : Calibration

Le banc de mesure utilisé pour réaliser l'étape de la calibration est constitué de (Figure 45) :

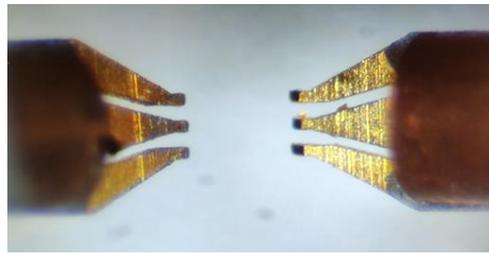
- Le Chuck thermique permet de contrôler la température imposée sous le wafer dans une plage de valeurs comprises entre 25 $^{\circ}\text{C}$ et 200 $^{\circ}\text{C}$;
- Une caméra pointant vers le Chuck thermique afin de positionner les pointes sur les accès du transistor ;



- 2 pointes RF supportant une température allant jusqu'à 200 °C, permettant d'obtenir de très bons résultats de mesure ;
- Appareil Agilent Technologies B1500A qui permet d'effectuer les mesures électriques.



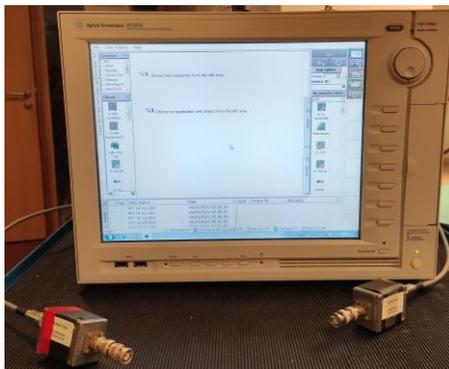
Chuck thermique



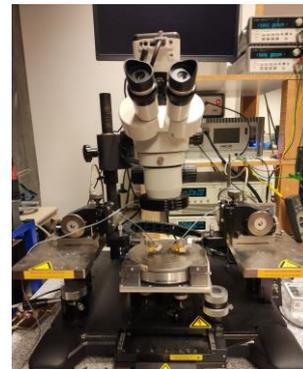
Doigts des 2 pointes RF



Dispositif relié au chuck thermique permettant de le chauffer



Appareil Agilent Technologies B1500A avec ses deux sondes



Caméra pointant vers le Chuck & les 2 pointes RF

Figure 45 : Composition du banc de mesure de l'étape de calibration.

La Figure 46 (image de droite) présente une structure de transistor HEMT de technologie GaN constituée de 2 doigts de grille de largeur 150 μm , spécifiquement développée pour extraire la résistance thermique. L'image de gauche illustre la mise sous pointe du transistor GH15 2x150 μm .

La source est mise à la masse. La pointe RF est une pointe avec trois doigts, dont le doigt du milieu est connecté à l'accès de la grille tandis que les deux doigts aux extrémités sont connectés à la source.

La pointe de gauche est reliée à l'accès 1 de grille, branchée directement à une sonde de l'appareil Agilent Technologies B1500A permettant de faire varier V_g de 20 mV à 200 mV. La pointe de droite reliée à l'accès 2 de grille est court-circuitée. Aucune pointe posée sur le drain, la tension de drain V_d est en circuit ouvert.

Les mesures de calibration se sont limitées à une température de Chuck thermique ne dépassant pas les 150 °C.

Afin d'obtenir des résultats d'étalonnage plus précis, il est possible de réaliser une mesure de la résistance d'une ligne microstrip (faible perte) à différente température, qui permettra d'extraire la résistance d'accès du transistor (contact pointe - plot + ligne microstrip) pour au final obtenir une valeur corrigée de R_g [41].

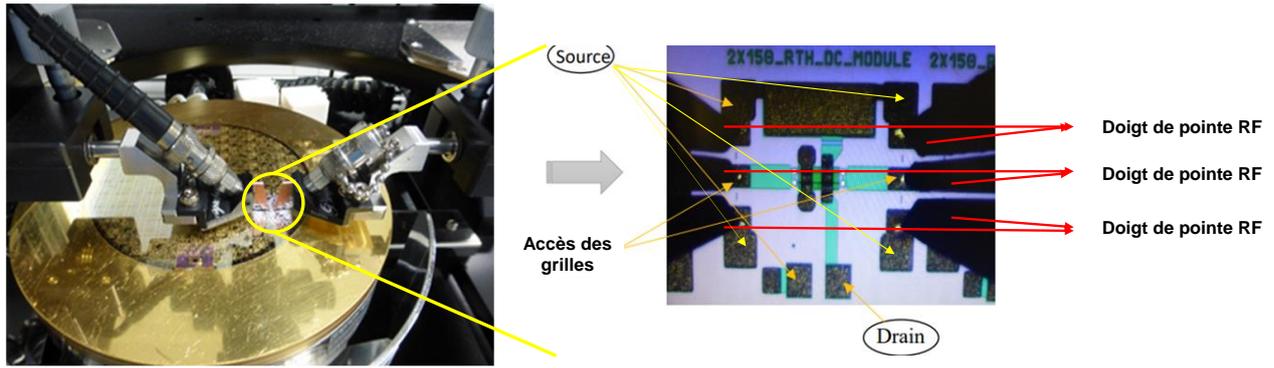


Figure 46 : Mise sous pointe du transistor GH15 2x150 µm.

II.4.1.2. Résultat de l'étape de la calibration

Le résultat de l'étape de calibration du transistor GH15 2x150 µm a été obtenu pour $V_g = 100$ mV, car pour une tension faible nous constatons des anomalies qui peuvent s'expliquer par la sensibilité des appareils de mesure à faible courant ou par une fuite du courant au niveau de la grille.

La Figure 47 présente la courbe de l'étape de calibration de la résistance de grille pour différentes températures imposées au Chuck thermique par rapport à la température ambiante pour laquelle la mesure a été effectuée. Nous remarquons que la courbe présente une évolution linéaire de la résistance de grille en fonction de la variation de température. Cette courbe est représentative d'une fonction affine qui peut s'écrire comme suit :

$$\begin{aligned}
 R_g(T) &= a \cdot (T - T_0 + T_0) + b \\
 R_g(T) &= a \cdot (T - T_0) + b + a \cdot T_0 \\
 R_g(T) &= a \cdot (T - T_0) + R_{g0} \\
 R_g(T) &= a \cdot \Delta T + R_{g0}
 \end{aligned}
 \tag{54}$$

Avec : $a = 0.03$ est le coefficient directeur de cette droite, $R_{g0} = b + a \cdot T_0$ correspondant à la résistance de la grille initiale mesurée à la température ambiante T_0 . Dans notre cas, cette température ambiante est de 25 °C. La valeur de $R_{g0} = 12.34 \Omega$.

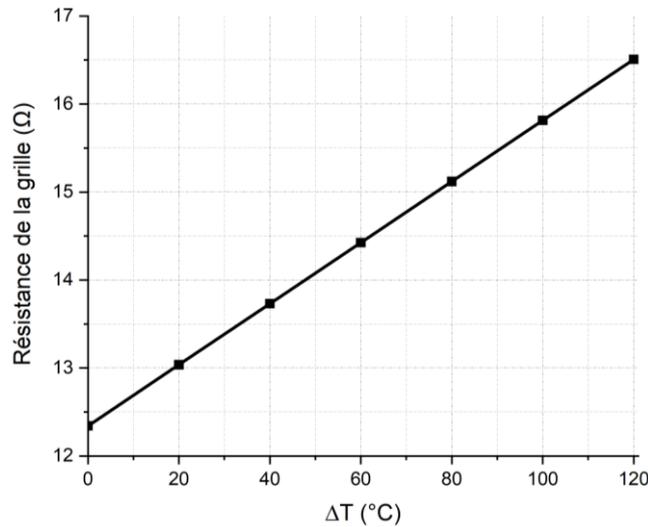


Figure 47 : Courbe de la résistance de la grille en fonction de la variation de température imposée au chuck thermique par rapport à la température ambiante pour $V_g = 100$ mV

II.4.1.3. Deuxième étape : mesure en polarisant le transistor en mode continu

Après avoir réalisé les mesures d'étalonnage de la résistance de grille en fonction de la température, nous allons effectuer les mesures en polarisant le transistor en mode de fonctionnement continu. Ces mesures ont été réalisées sur le même banc de mesure pour une configuration différente de la première étape, dans des conditions de température fixées à 25 °C et à différentes puissances dissipées.

L'objectif est de mesurer la température du point chaud en chaque point de la caractéristique (I_{ds}/V_{ds}) à V_{gs} proche de 0 V. Pour ce faire, nous utilisons deux sources d'alimentation à 2 voies, la première permet de monitorer le courant de grille et donc de mesurer la résistance de grille qui sert de thermomètre. La seconde voie permet de commander la puissance dissipée du transistor qui est le produit de la tension de cette voie (V_{ds}) et le courant généré I_{ds} (V_{gs} proche de 0 V, V_{ds}) par le transistor.

Pour extraire la résistance de grille, nous appliquons une différence de potentiel entre l'entrée et la sortie de la grille, cette dernière est dans notre cas reliée à un court-circuit. La valeur de la différence de potentiel est suffisamment élevée pour obtenir une précision suffisante de la mesure du courant et à la fois assez basse afin de limiter l'auto-échauffement de la grille. Pour une tension V_{gs} fixe, le courant de grille I_{gs} et donc la résistance de grille seront mesurés pour chaque variation de tension de drain V_d entre 0 V et 10 V. Ainsi, la température pourra être extraite en chacun de ces points par extrapolation de la courbe de calibration.

Les éléments du banc de mesure utilisés pour la réalisation de cette étape sont constitués de :

- Chuck thermique permettant de contrôler la température imposée sous le wafer dans une plage de valeurs comprises entre 25 °C et 200 °C ;

- Caméra pointant vers le Chuck thermique afin de positionner les pointes sur les accès du transistor ;
- 3 pointes RF supportant une température allant jusqu'à 200 °C, permettant d'obtenir de bons résultats de mesure ;
- 2 sources d'alimentation Keithley 2450 (Figure 48)



Figure 48 : Source d'alimentation Keithley 2450

La source est mise à la masse. Le Chuck thermique est mis à une température fixe de 25 °C pour la mesure. La pointe de gauche est reliée à l'accès 1 de grille puis branchée à la première source d'alimentation Keithley 2450 en faisant varier V_{gs} de 20 mV à 200 mV. La pointe de droite reliée à l'accès 2 de grille est court-circuitée. Une troisième pointe posée sur le drain est reliée à la seconde source d'alimentation Keithley 2450, ainsi la tension du drain V_{ds} est variée de 0 V à 10 V. Ces conditions de mesure sont visibles sur la Figure 49.

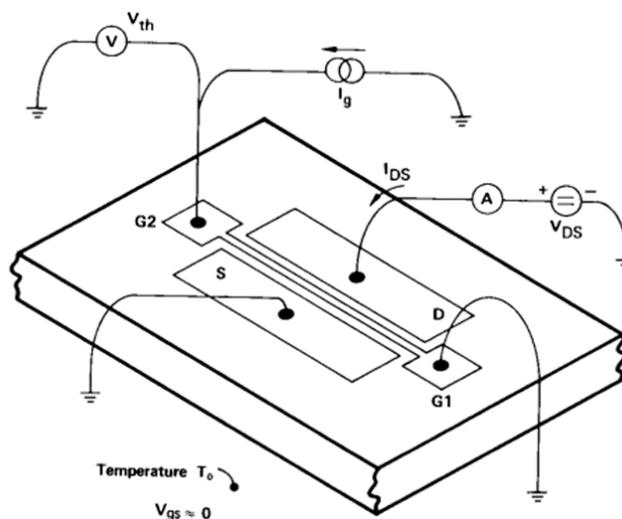


Figure 49 : Illustration de l'étape de la mesure [100]

II.4.1.4. Résultat de l'étape de la mesure

Nous traçons la caractéristique $I(V)$ ainsi que la courbe qui lie la résistance de grille à la puissance dissipée. La caractéristique I_{ds}/V_{ds} de cette technologie GH15 2x150 μm est représentée par la Figure 50. Cette caractéristique nous permet d'obtenir les puissances de fonctionnement de ce transistor.

Ainsi, la courbe liant la puissance dissipée et la résistance de la grille est présentée par la Figure 51. Cette courbe montre que la résistance de la grille a une évolution quadratique par rapport à la puissance dissipée. Cependant, la résistance de la grille peut être exprimée analytiquement en fonction de la puissance dissipée. Les valeurs sont arrondies à 10^{-2} près.

$$R_g(P_{diss}) = \alpha_1 \cdot P_{diss}^2 + \alpha_2 \cdot P_{diss} + R_{g0} \quad (55)$$

Avec : $\alpha_1 = 0.20$, $\alpha_2 = 1.62$ et $\alpha_3 = R_{g0} = 12.34 \Omega$

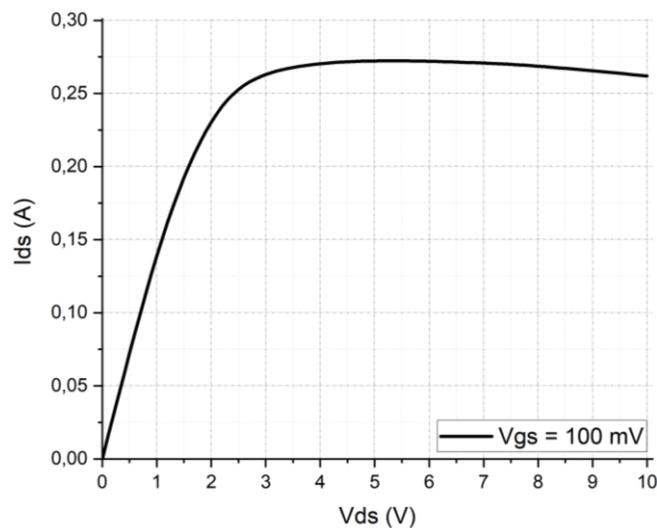


Figure 50 : Caractéristique I_{ds}/V_{ds} du transistor GH15 2x150 μm à V_{gs} de 100 mV

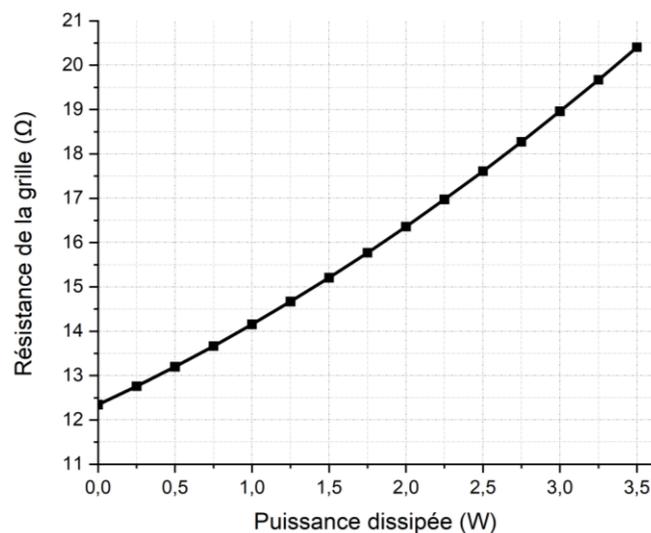


Figure 51 : Courbe de la résistance de la grille en fonction de la puissance dissipée

II.4.1.5. Resistance thermique du transistor GH15 2x150 μm

Une fois l'étape de calibration et l'étape de mesure effectuées, nous nous retrouvons avec deux expressions de la résistance de la grille du transistor GH15 2x150 μm . L'équation présentant la formule de la résistance thermique de ce transistor est déduite en combinant les équations (54) et (55). Cette combinaison aboutit à :

$$R_{th} = \frac{\Delta T}{P_{diss}} = \frac{\alpha_1}{a} \cdot P_{diss} + \frac{\alpha_2}{a} \quad (56)$$

Cette résistance thermique est représentée sur la Figure 52. Elle est une fonction affine, par déduction cette résistance thermique n'est pas constante. Cette résistance thermique est une moyenne de la température des doigts de grilles. Les valeurs sont arrondies à 10^{-2} près donc $\beta_1 = \frac{\alpha_1}{a} = 5.66$ et $\beta_2 = \frac{\alpha_2}{a} = 46.55 = R_{th0}$

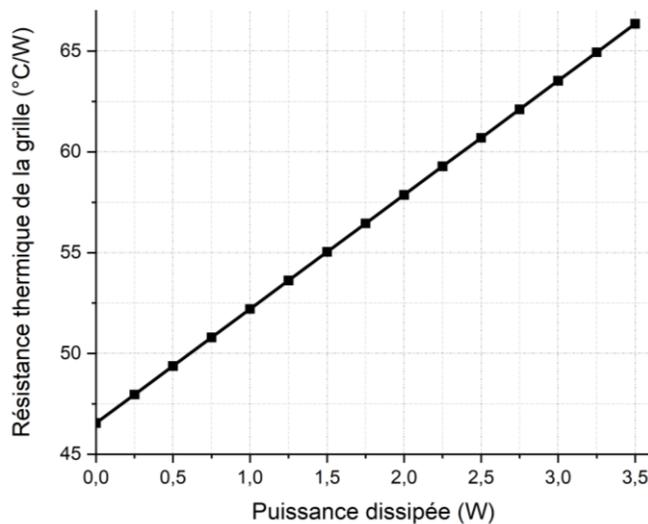


Figure 52 : Courbe de la résistance thermique du transistor GH15 2x150 μm en fonction de la puissance dissipée

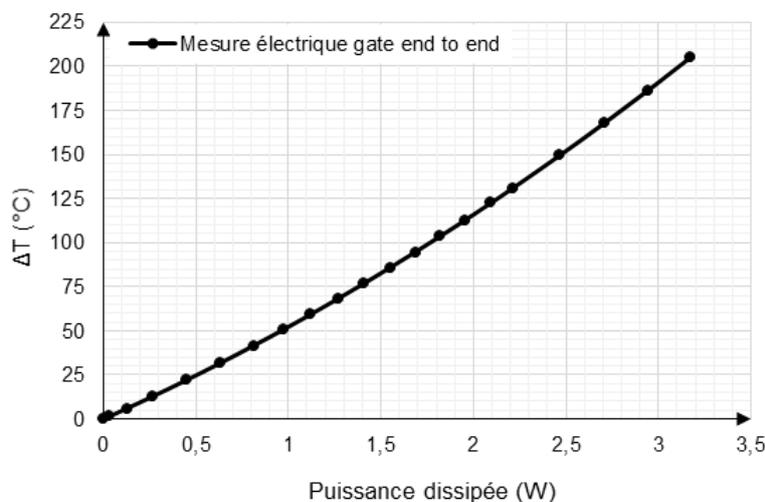


Figure 53 : Résultat de la variation de la température de la mesure électrique « gate end to end » du transistor GH15 2x150 μm en fonction de la puissance dissipée

II.4.2. Mesure thermoréflectance

- Étape de la calibration

Comme mentionné plus haut dans la description de la mesure thermoréflectance, l'étape de calibration permet de déterminer la meilleure longueur d'onde sur la zone choisie pour effectuer la mesure donnant une valeur optimale du C_{th} . Nous posons le dispositif sur un chuck thermique qui est chauffé entre deux températures 25 °C et 50 °C. Nous mesurons alors le coefficient de thermoréflectance pour différentes longueurs d'ondes utilisées. La zone de mesure étant sur la grille, la longueur d'onde produisant un coefficient maximal est de 470 nm, et le coefficient $C_{th} = -2.37 \times 10^{-4} \pm 2 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ (Figure 54).

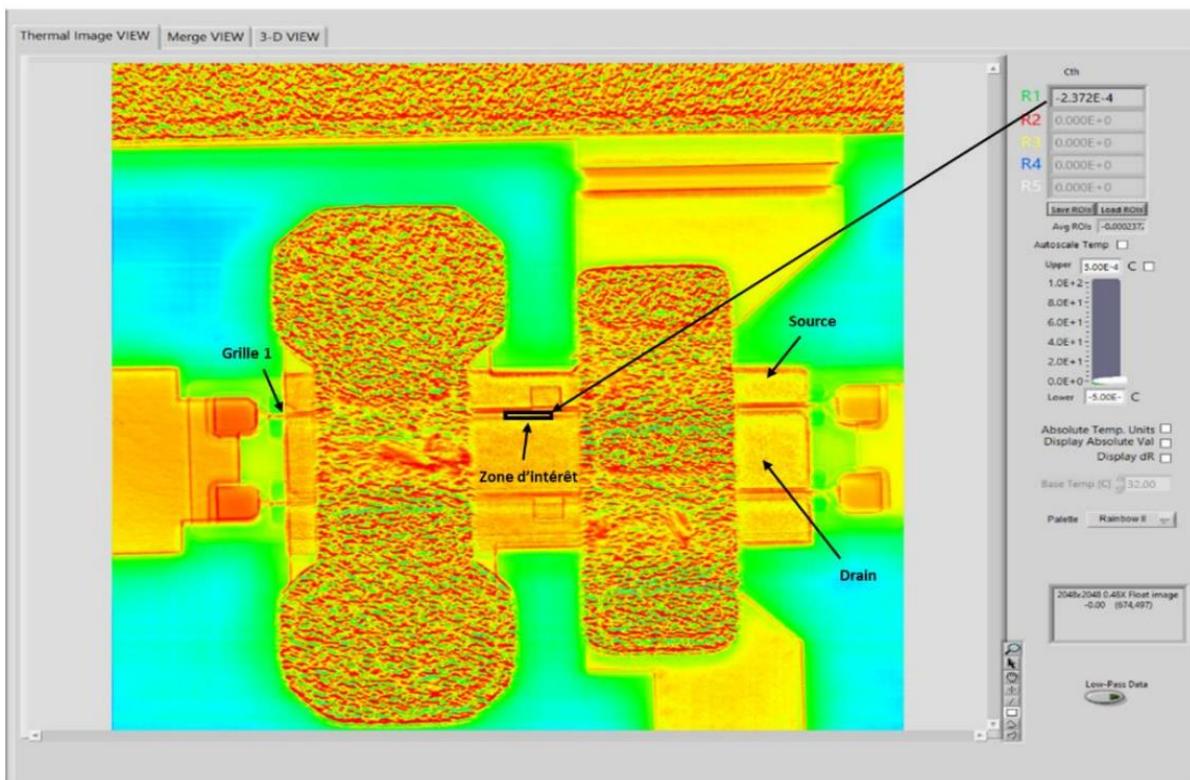


Figure 54 : Calibration du transistor GH15 2x150 µm [29]

- Étape de la mesure

Le coefficient C_{th} étant choisi pour la meilleure des longueurs d'onde, à savoir la longueur d'onde de 470 nm, nous appliquons plusieurs ensuite puissances dissipées au dispositif en modifiant la tension de drain qui vont induire la variation de température. En se basant sur l'équation ci-dessous, nous déduisons la variation de température. L'image sur la Figure 55 montre la zone de mesure de la mesure thermoréflectance et l'état thermique des doigts de grilles, la couleur blanche montrant les doigts de grilles chauffés. La mesure de thermoréflectance est une mesure surfacique. Tout comme la méthode électrique dite « gate end to end », le résultat de la mesure de cette méthode du transistor GH15 2x150 µm (Figure 53) et le résultat de la mesure thermoréflectance du transistor GH15 2x150 µm (Figure 56) montrent que la variation de la température a une évolution quadratique en fonction de la puissance dissipée.

$$\frac{\Delta R}{R} = \left(\frac{1}{R} \cdot \frac{\partial R}{\partial T} \right) \cdot \Delta T = C_{th}(x, \lambda) \cdot \Delta T$$

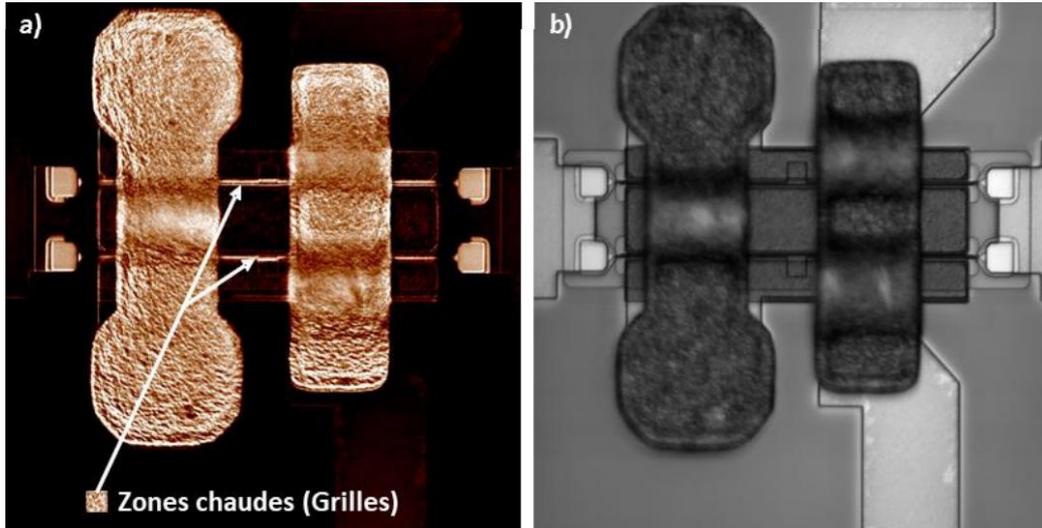


Figure 55 : a / image issue de la mesure thermoréfectance, b / image provenant de la caméra CCD [29], [101]

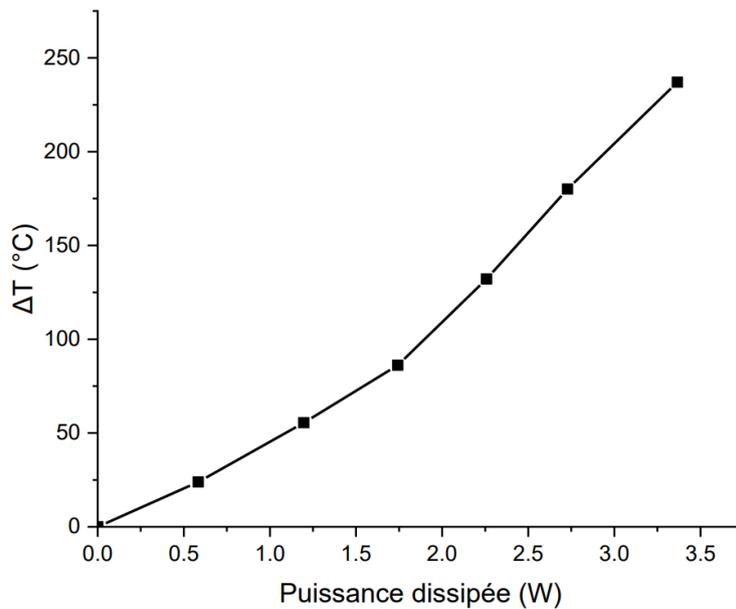


Figure 56 : Résultat de mesure thermoréfectance du transistor GH15 2x150 μm [29], [101]

II.4.3. Simulation numérique thermique

La simulation numérique thermique vient en appui des méthodes de mesures effectuées dans le but d'apporter une information complémentaire aux méthodes expérimentales. Pour effectuer la simulation numérique thermique, la géométrie de la structure du transistor GH15 2x150 μm (Figure 57) est faite au quart de sa structure pour optimiser le calcul. Sa composition est visible sur la Figure 57. Les conditions aux limites utilisées pour la simulation sont : La température initiale à 25 °C, une température référence de 25 °C est imposée à la face arrière du transistor côté SiC, un flux volumique est appliqué à la zone de hot spot. Celui-ci est considéré comme étant la zone la plus chaude, comme vu à la Figure 18

du Chapitre I. Le résultat est illustré par la Figure 58. Cette simulation est effectuée pour plusieurs puissances dissipées, les résultats obtenus sont présentés sur la Figure 59. Tout comme les résultats de mesures électriques et thermoréfectance, le résultat de la simulation numérique thermique du transistor GH15 2x150 μm a également une évolution quadratique à la variation de la température en fonction de la puissance dissipée.

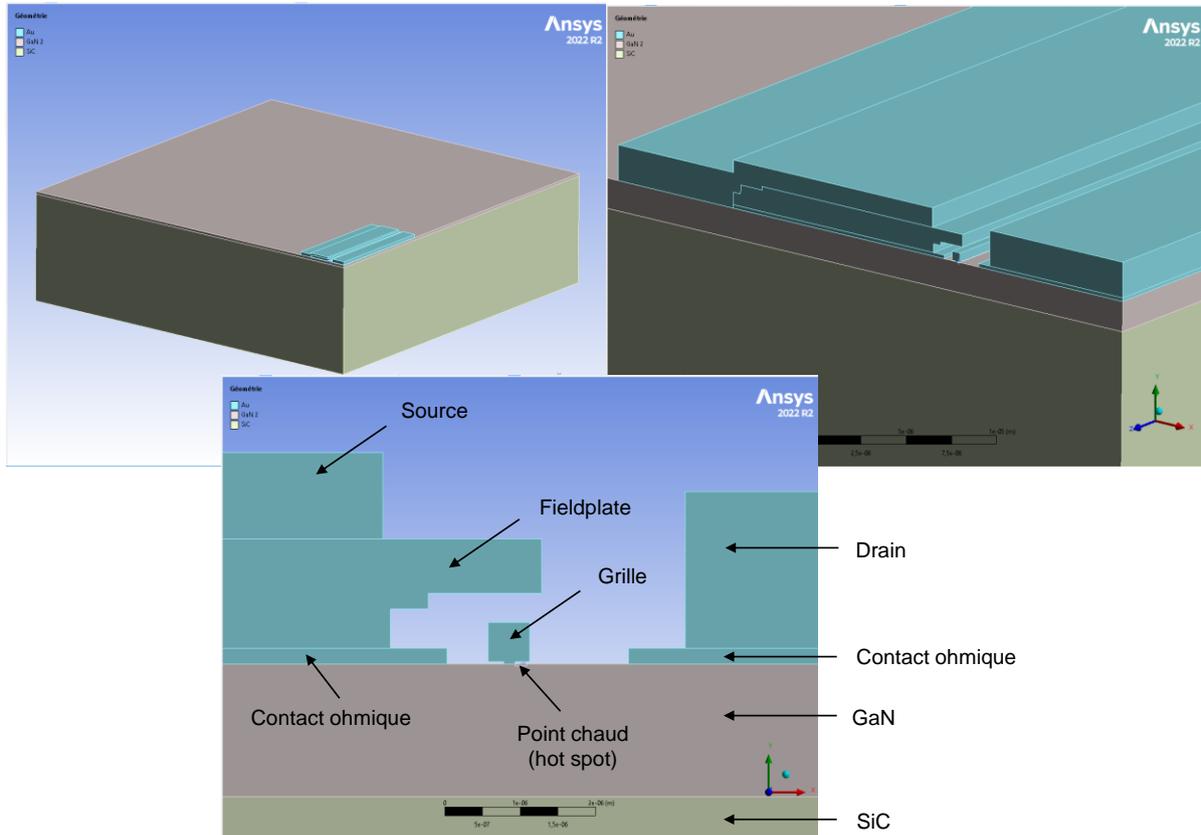


Figure 57 : Géométrie et maillage de la structure du transistor GH15 2x150 μm

Matériaux	Dimension suivant X (μm)	Dimension suivant Y (μm)	Dimension suivant Z (μm)
Grille	0.15	75	0.53
GaN	250	250	1.7
SiC	250	250	70
Hot spot	0.15	75	0.03

Tableau 4 : Le quart des dimensions de la structure du transistor spécifique 2x150 μm

Matériaux	k_0 (W/m $^{\circ}\text{C}$)	ρ (Kg/m 3)	C_p (J/Kg $^{\circ}\text{C}$)
Au	315	19300	137
GaN	130 [102]	6100	490
SiC	390	3220	690

Tableau 5 : Propriétés thermiques des matériaux utilisées pour la simulation thermique du transistor spécifique 2x150 μm

Les matériaux utilisés pour la simulation thermique sont listés dans le Tableau 5. Le point chaud est une partie intégrante du GaN, donc le GaN lui est assigné. Le matériau (Au)

est assigné aux contacts ohmiques, la source, la grille ainsi que le drain. Le substrat est à base de SiC.

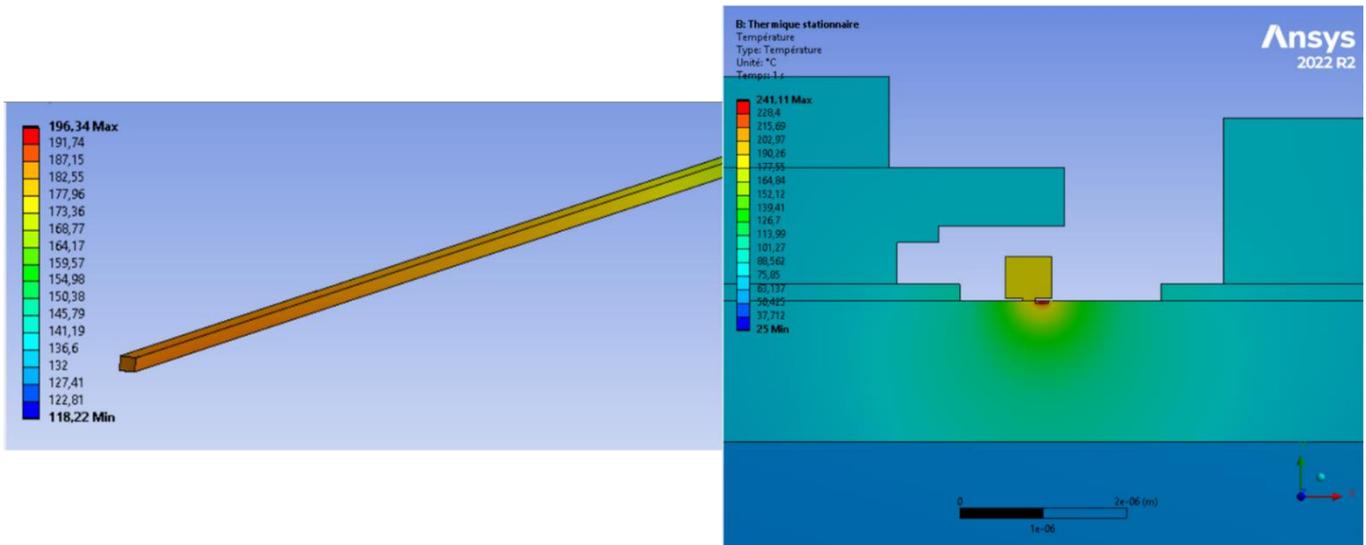


Figure 58 : Résultat de simulation numérique thermique

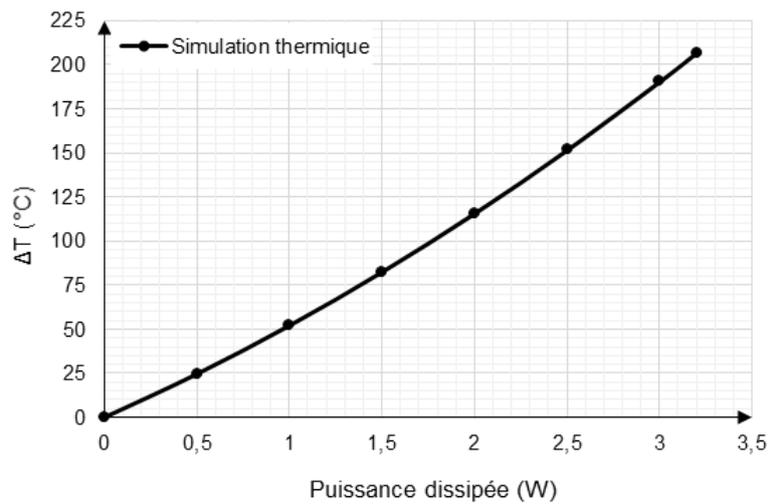


Figure 59 : Résultat de la simulation numérique du transistor GH15 2x150 µm

Nous allons maintenant effectuer la synthèse des résultats des différentes méthodes (thermoréflectance, mesure R_{θ} et simulation numérique thermique)

La Figure 60 regroupe les différentes courbes des différentes méthodes appliquées sur le transistor GH15 2x150 µm. Nous observons la courbe de la variation de température en fonction de la puissance dissipée. La courbe montre une concordance entre les différentes méthodes sur ce transistor spécifique GH15 2x150 µm.

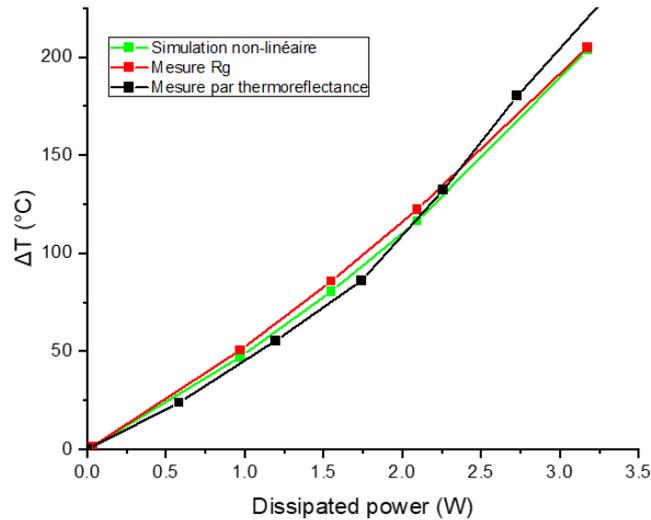


Figure 60 : Comparaison des résultats de résistance thermique issues de la thermoréfectance (noir), la mesure électrique dite gate end to end (rouge) et la simulation numérique (vert) [29], [101]

II.5. Conclusion

Dans le Chapitre II, nous avons exposé les différentes méthodes de mesure qui seront utilisées pour la caractérisation des dispositifs issus du projet SMART3. Ces mesures sont de types optique et électrique. Les mesures de types optiques évoquées sont : la mesure infrarouge et la mesure thermoréfectance. La mesure de type électrique est une mesure dite « gate end to end ». En parallèle à ces mesures, nous avons exposé la simulation numérique sur des modèles de types thermique et thermomécanique. Les fondamentaux théoriques de ses deux modèles ont été vus avec une description allant des grandeurs physiques jusqu'aux équations régissant la thermique et le principe fondamentale de la dynamique, les conditions aux limites existantes pour ces équations ainsi que les lois de comportement telles que la loi de Hooke, le coefficient de dilatation thermique mettant respectivement en évidence la relation entre la contrainte et la déformation (thermique, élastique) et la déformation d'un corps subit lorsqu'il est sollicité thermiquement. Nous avons également montré sur un composant de type HEMT GaN que les mesures électriques, optiques et simulations convergent vers un même résultat. Une mise en application de ces différents outils dans le cadre du projet SMART3 sera présentée dans le chapitre suivant.

Chapitre III. Analyse thermique et thermomécanique des SiP FOWLP Intégrant des Amplificateurs de Puissance GaN et HPA GaN/Driver AsGa

Ce chapitre est divisé en deux parties. Il est consacré à deux dispositifs du projet SMART3. La première partie portera sur de l'analyse thermique du SiP FOWLP intégrant des amplificateurs HPA GaN/Driver AsGa, la seconde partie sera consacrée à l'analyse thermique et thermomécanique du SiP FOWLP intégrant un amplificateur de puissance GaN.

III.1. Analyse thermique du SiP FOWLP intégrant des amplificateurs HPA GaN/Driver AsGa

Dans cette première partie du Chapitre III, nous effectuerons l'étude thermique du SiP que nous nommerons démonstrateur télécom 5G. Cette étude thermique permettra d'obtenir des informations sur l'interaction entre différents amplificateurs dans un SiP. L'étude sera accompagnée par des mesures qui ont été définies dans le Chapitre II (mesure infrarouge et la mesure thermoréfectance) et la comparaison sera effectuée.

III.1.1. Description de la structure du démonstrateur télécom 5G

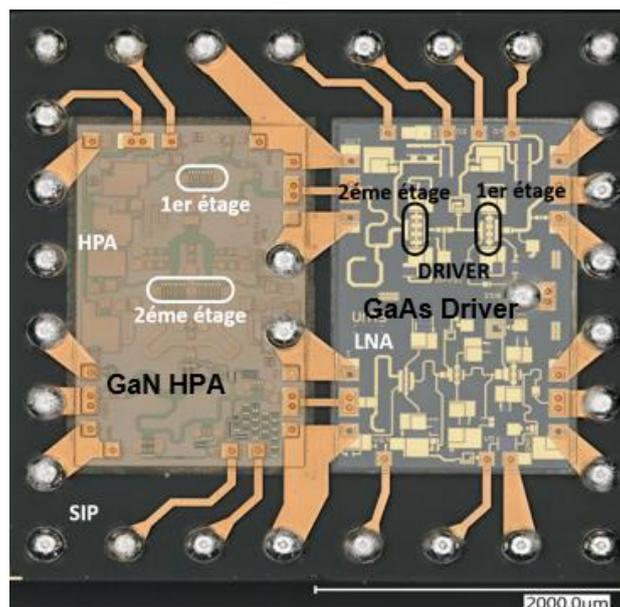


Figure 61 : Démonstrateur télécom 5G

L'étude se fera sur un démonstrateur télécom 5G qui est l'un des dispositifs du projet SMART3. La Figure 61 présente le circuit du démonstrateur télécom 5G avant l'assemblage sur PCB. Il est constitué de deux amplificateurs : GaN sur SiC à gauche et AsGa Driver à droite.

La puce GaN sur SiC dispose d'une partie 'GaN HPA' et d'une partie 'GaN switch' ou encore 'interrupteur GaN' sous son deuxième étage (voir Figure 62). La partie « GaN switch » est utilisée dans l'amplificateur de signaux radiofréquence (RF) grâce à sa faible résistance à l'état passant, ses pertes réduites ainsi qu'à sa capacité à fonctionner à des fréquences élevées.

La puce AsGa Driver a une partie 'AsGa LNA' et une partie MPA (voir Figure 62). La partie 'AsGa LNA' permet d'amplifier les signaux faibles avec une très faible perte de qualité, grâce aux propriétés de l'AsGa, notamment en termes de haute fréquence et de faible bruit.

Les sigles HPA et MPA ont pour significations respectives « High Power Amplifier » et « Medium Power Amplifier ».

Le tout est encapsulé dans une résine époxy : EMC (Epoxy Molding Compound). Les différents amplificateurs sont composés des transistors de la technologie GH15 et PH15 ; ils ont chacun deux étages. Pour ce qui est de l'amplificateur GaN HPA son premier étage a un transistor GH15 de développement $440\ \mu\text{m}$ ($8 \times 55\ \mu\text{m}$), le deuxième étage a deux transistors GH15 chacun de développement $400\ \mu\text{m}$ ($8 \times 50\ \mu\text{m}$). Quant au driver AsGa, son premier étage possède un transistor PH15 de développement $270\ \mu\text{m}$ ($6 \times 45\ \mu\text{m}$) et un transistor PH15 de développement $420\ \mu\text{m}$ ($6 \times 70\ \mu\text{m}$) pour son deuxième étage.

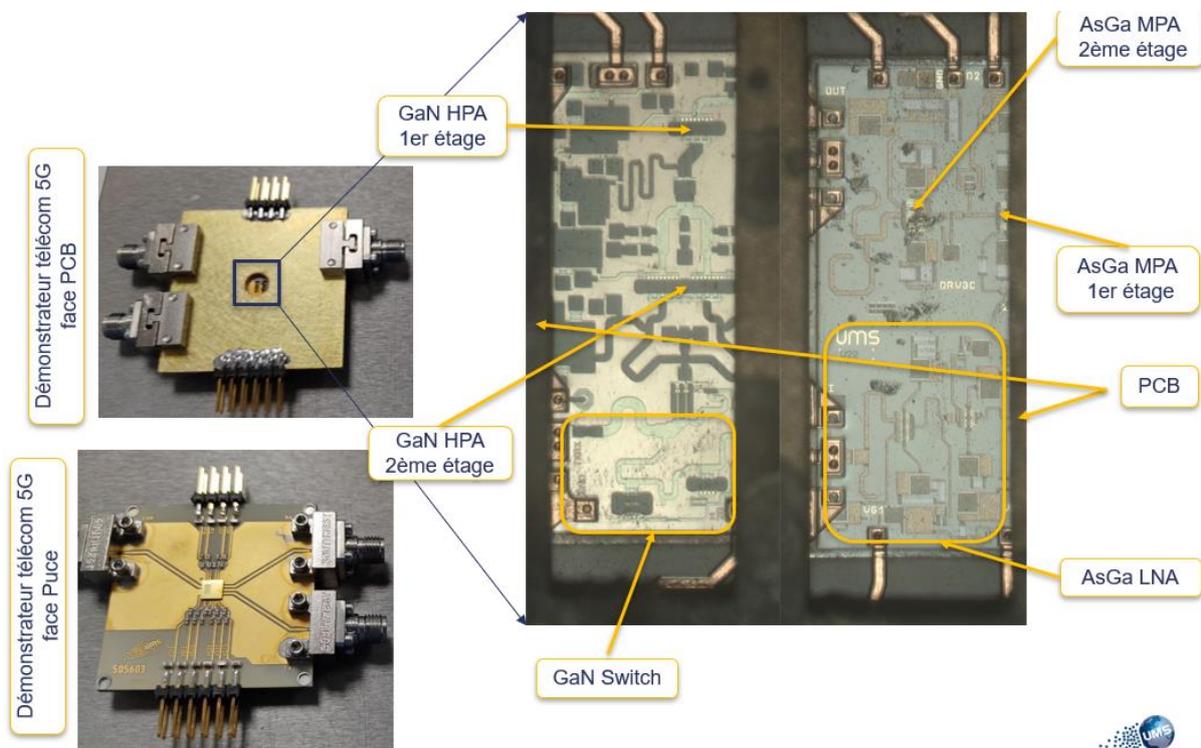


Figure 62 : Démonstrateur télécom 5G assemblé sur PCB de la fonderie UMS

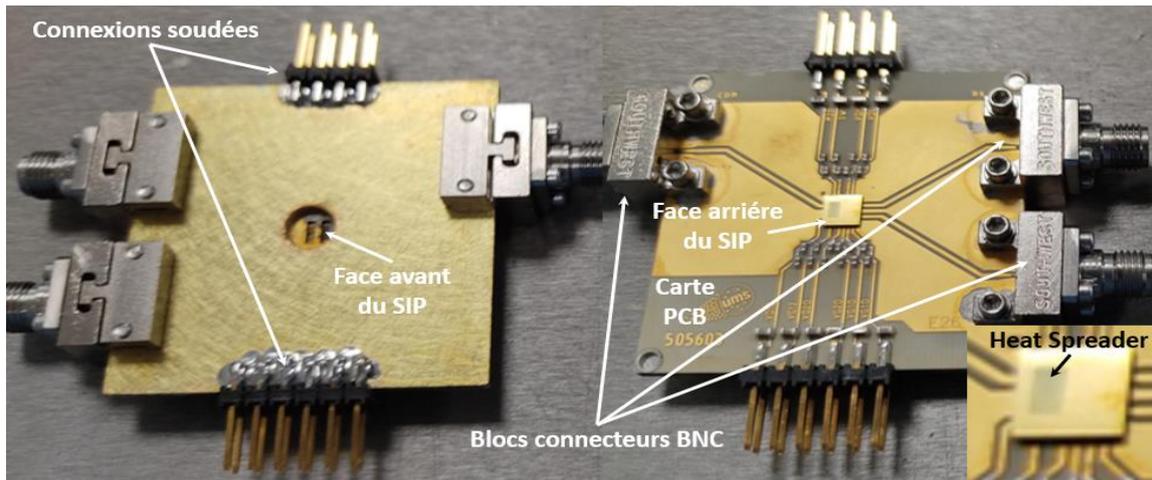


Figure 63 : Démonstrateur télécom 5G assemblé sur PCB de la fonderie UMS, face arrière et face avant

La Figure 62 et la Figure 63 présentent le démonstrateur assemblé sur PCB qui sera mesuré thermiquement en infrarouge et par thermoréfectance. Le PCB contient les pistes de connexion soudées reliant l'amplificateur ainsi que les 3 connectiques radiofréquences (RF).

III.1.2. Les caractéristiques du dispositif

Les informations du dispositif sont représentées dans le Tableau 6, le Tableau 7 et par la Figure 64. Le Tableau 6 et le Tableau 7 présentent les caractéristiques des différentes puces du circuit. Elle donne les dimensions suivant X et Y des puces, ainsi que l'intervalle de température ambiante minimale et maximale qui peut être applicable sous sa face arrière. Le rapport de puissances dissipées entre la puce GaN/SiC côté HPA et la puce AsGa côté AsGa MPA étant de l'ordre de 5, on peut s'attendre à ce que la puce GaN/SiC soit significativement plus chaude que la puce AsGa Driver. C'est ce que met en évidence les Tableau 6 et Tableau 7 où sont représentées les températures maximales de fonctionnement pour la puce GaN/SiC côté HPA et la puce AsGa Driver côté AsGa MPA en fonction de la température du fond du SiP pour des puissances dissipées en mode continu (proche de 2 W et de 0.4 W respectivement).

Quant à la Figure 64, elle donne les différentes épaisseurs des constituants du dispositif. L'empilement utilisé est décrit sur la Figure 64. Le haut de la figure correspond à la partie active du dispositif, le bas est la face arrière du SiP où la température de référence est imposée (puits thermique). Pour ce cas, pris comme référence, un « heat spreader » en SiC de conductivité thermique égale à $320 \text{ W/m}^\circ\text{C}$ (à 20°C) est reporté sur la face arrière de la puce GaN sur SiC qui est celle dissipant le plus de puissance. Il n'y a aucun « heat spreader » placé sur la face arrière de la puce AsGa Driver dans la structure initiale. L'épaisseur du SiP étant de $350 \mu\text{m}$, $245 \mu\text{m}$ d'EMC résine époxy de conductivité thermique égale à $0.65 \text{ W/m}^\circ\text{C}$, se trouve entre le fond du driver AsGa et le puit thermique, ce qui constitue un très mauvais chemin thermique. Ce chemin thermique est près de 500 fois moins efficace que celui passant par le « heat spreader SiC » (rapport des conductivités thermiques).

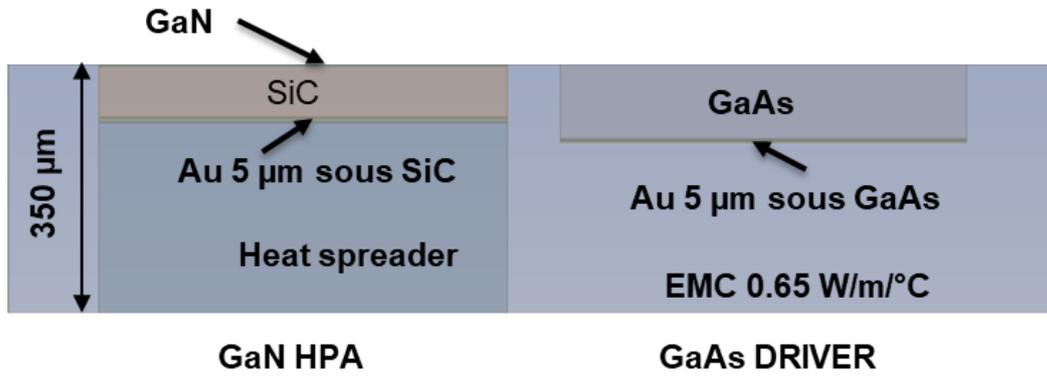


Figure 64 : Empilement des couches du démonstrateur télécom 5G

Puce GaN/SiC : CHC6060-WLP	
Filière - technologie	GH15
Dimensions de la puce X*Y	1.56mm x 2.51mm
Epaisseur GaN	1.7 µm
Epaisseur SiC	70 µm
Nombre d'étage du HPA	2
Tc : Température top du boîtier [Min-Max]	[-40 °C ; 95 °C]
Puissance dissipée (à Pout nominale)	< 2 W

Tableau 6 : Caractéristiques de la puce GaN/SiC

Puce AsGa Driver : CHC6060-WLP	
Filière - technologie	PH15
Dimensions de la puce X*Y	1.55mm x 2.5mm
Epaisseur AsGa	100 µm
Nombre d'étage du HPA	2
Tc : Température top du boîtier [Min-Max]	[-40 °C ; 95 °C]
Puissance dissipée (à Pout nominale)	< 0.4 W

Tableau 7 : Caractéristiques de la puce AsGa Driver

Les propriétés thermiques utilisées pour effectuer la simulation thermique dans le cas du démonstrateur télécom 5G sont mentionnées dans le Tableau 8. Le GaN, le SiC ainsi que la AsGa sont les seuls matériaux dont leur conductivité thermique est non linéaire et suivent la loi :

$$k(T) = k_0 \cdot \left(\frac{T(K)}{300} \right)^{-n} = k_0 \cdot \left(\frac{T(^{\circ}C) + 273.15}{300} \right)^{-n}$$

Matériaux	k_0 (W/m/°C)	ρ (Kg/m ³)	C_p (J/Kg/°C)	n
Au	315	19300	137	
GaN	130 [102]	6100	490	1.45
SiC	320	3220	690	1.5
AsGa	45.5	2330	712	1.25
Résine époxy EMC	0.65	1820	236	
Heat spreader (SiC)	320	3220	690	1.5

Tableau 8 : Propriétés des matériaux utilisées pour la simulation thermique du démonstrateur télécom 5G

La loi définie ci-dessus permet d'obtenir les courbes présentes sur la Figure 65 pour les semi-conducteurs GaN, SiC et AsGa montrant ainsi cet aspect de non linéarité évoquée. Entre 20 °C et 200 °C, la conductivité thermique de l'AsGa est passée de 45 W/m°C à 24 W/m°C montrant qu'il n'est pas un bon conducteur de la chaleur.

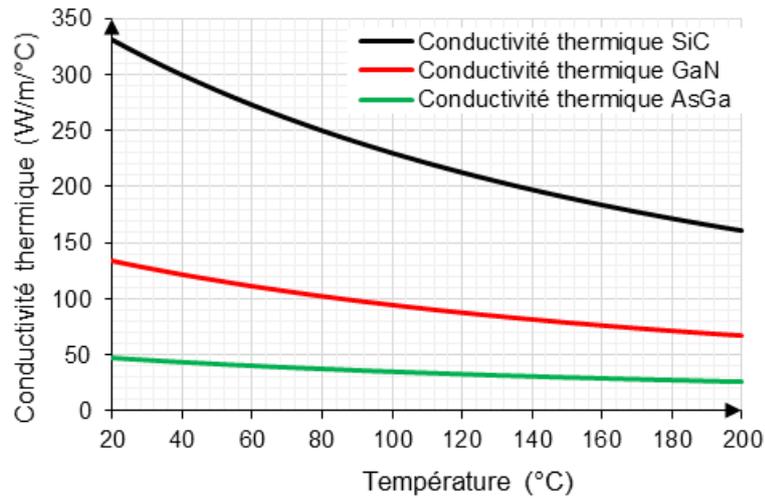


Figure 65 : Conductivité thermique non linéaire du GaN, SiC et AsGa

III.1.3. Simulation thermique du démonstrateur télécom 5G

III.1.3.1. Géométrie, maillage et conditions aux limites

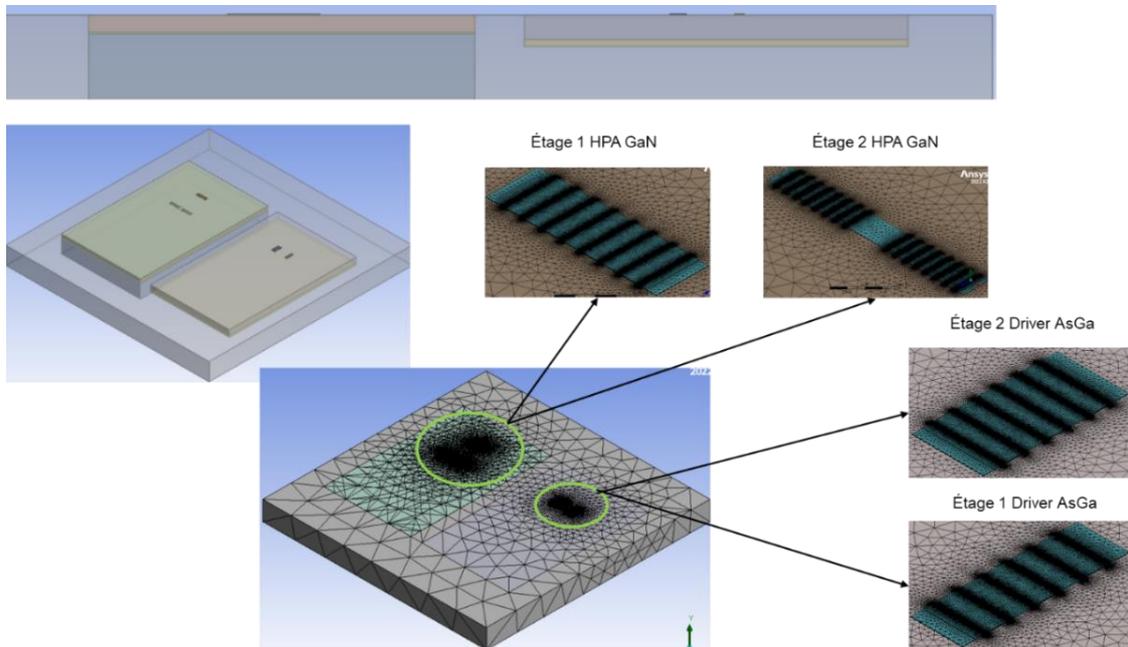


Figure 66 : Géométrie simplifiée du dispositif sous ANSYS Workbench dans le cadre de la simulation numérique.

Le maillage de cette structure de démonstrateur télécom 5G (Figure 66) est constitué de 14012608 éléments et de 2710145 nœuds. Les conditions limites appliquées pour cette étude thermique sont : différents flux surfaciques appliqués au pied des doigts de grilles de chacun des transistors du dispositif.

- Pour la puce GaN/SiC côté GaN HPA : un flux surfacique de $8.93 \times 10^{-3} \text{ W}/\mu\text{m}^2$ correspondant à une puissance dissipée de 0.5896 W est appliqué à l'étage 1. A l'étage 2, un flux de $0.01 \text{ W}/\mu\text{m}^2$ soit une puissance dissipée de 0.6 W, est appliquée dans les deux transistors de l'étage 2.
- Pour la puce AsGa Driver côté AsGa MPA : un flux surfacique de $2.2 \times 10^{-3} \text{ W}/\mu\text{m}^2$ correspondant à une puissance dissipée de 0.0891 W est appliqué à l'étage 1. A l'étage 2, un flux de $3.47 \times 10^{-3} \text{ W}/\mu\text{m}^2$ soit une puissance dissipée de 0.2184 W, est appliquée.
- Une température est appliquée à la face arrière du SiP, prenant les valeurs suivantes : 25 °C, 60 °C et 95 °C, et pour finir le dispositif est mis à température initiale de 25 °C.

III.1.3.2. Résultats de la simulation thermique

Les résultats de simulation montrent que pour une température nominale imposée sous la face arrière du SiP de 95 °C, les 2 étages de la puce GaN/SiC côté HPA demeurent en-dessous ou égale à 125 °C, conforme à ce qui était attendu. Cela montre aussi que l'amplificateur GaN sur SiC est le moins chaud. Ceci est dû à la présence du « heat spreader » sous la puce effectuant le rôle de dissipateur thermique, chose contraire à l'information du rapport des puissances dissipées. La température du driver AsGa atteint 185 °C (Figure 67). La température maximale de fonctionnement des composants à base d'AsGa de la fonderie UMS garantissant une durée de vie importante est de 175 °C [40], une augmentation de 10 °C par rapport à ce qui est attendu, remettrait ainsi en cause la fiabilité de ce dispositif. L'absence du PCB ainsi que des billes de soudure de l'assemblage du dispositif sur PCB dans la simulation numérique ainsi que la simplification de la structure du dispositif, ont en effet leur importance sur cette élévation de température car ces éléments se comporteront comme un chemin de dissipation de température.

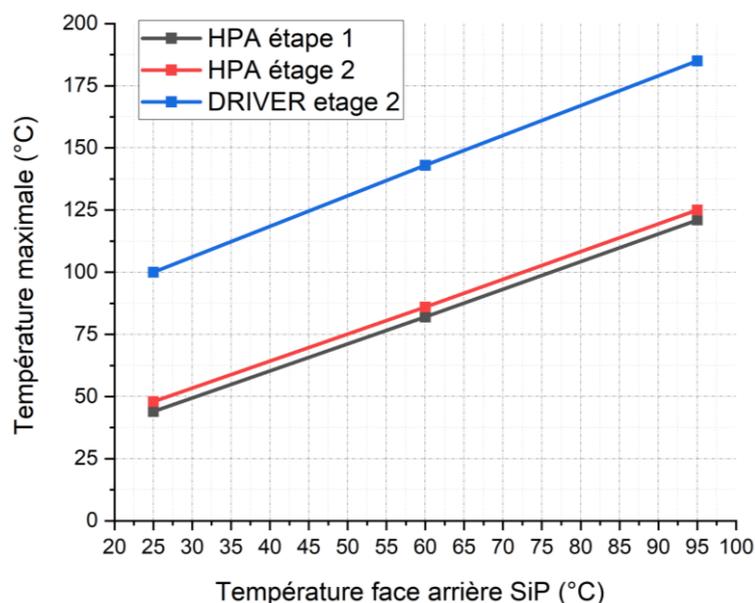


Figure 67 : Température maximale de la puce GaN/SiC et de la puce AsGa Driver en fonction de la température face arrière du SiP

III.1.3.3. Propositions envisageables pour dissiper la chaleur au niveau de la puce AsGa Driver

Compte tenu de la température maximale atteinte pour les composants à base d'AsGa, il est nécessaire, si l'on souhaite avoir un peu plus de marge sur la température de fonctionnement de ces derniers, d'améliorer la leur dissipation thermique. Différentes propositions sont envisagées et représentées sur la Figure 68.

Les températures simulées pour ces différentes propositions sont reportées sur la Figure 69. Il est à noter que pour l'option « heat spreader » (proposition E de la Figure 68), tout matériau de conductivité thermique au moins 10 fois meilleure que l'EMC ($0.65 \text{ W/m}^\circ\text{C}$) permettrait de réduire considérablement la température maximale de fonctionnement de la puce AsGa Driver. De même pour la proposition B, la cavité peut être remplie avec un matériau autre que la résine époxy EMC, ayant une meilleure conductivité thermique.

Les résultats obtenus indiquent qu'une réduction de près de 41.2°C est possible avec l'ajout du « heat spreader » en SiC sous la puce AsGa Driver. Des réductions de température significatives sont également possibles avec un liner à base d'Or de $30 \mu\text{m}$ d'épaisseur où encore avec une résine époxy de meilleure conductivité thermique.

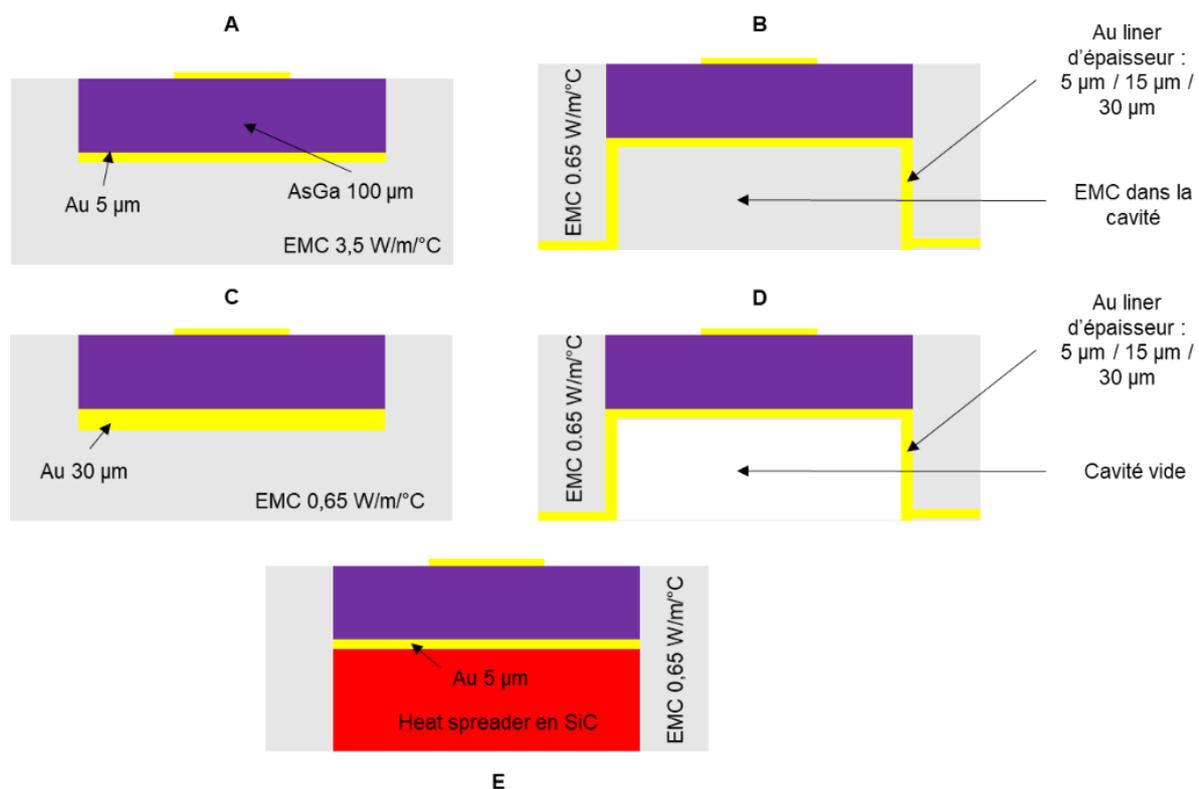


Figure 68 : Différentes propositions pour dissiper la chaleur côté AsGa Driver

Les différentes propositions pour dissiper la chaleur du Driver sont présentées sur la Figure 68. Les propositions envisageables sont les suivantes :

- A : Utilisation d'une résine époxy EMC avec une meilleure conductivité thermique $3.5 \text{ W/m}^\circ\text{C}$;

- B : Dépôt de couche d'or en face arrière de la puce AsGa Driver et du SiP d'une épaisseur de 5 μm , 15 μm et 30 μm avec la cavité remplie de résine époxy ;
- C : Épaissement de la couche d'or en face arrière de la puce AsGa Driver passant de 5 μm à 30 μm ;
- D : Dépôt de couche d'or en face arrière de la puce AsGa Driver et du SiP d'une épaisseur de 5 μm , 15 μm et 30 μm avec une cavité vide ;
- E : Ajout d'un « heat spreader » sur la face arrière de la puce AsGa Driver.

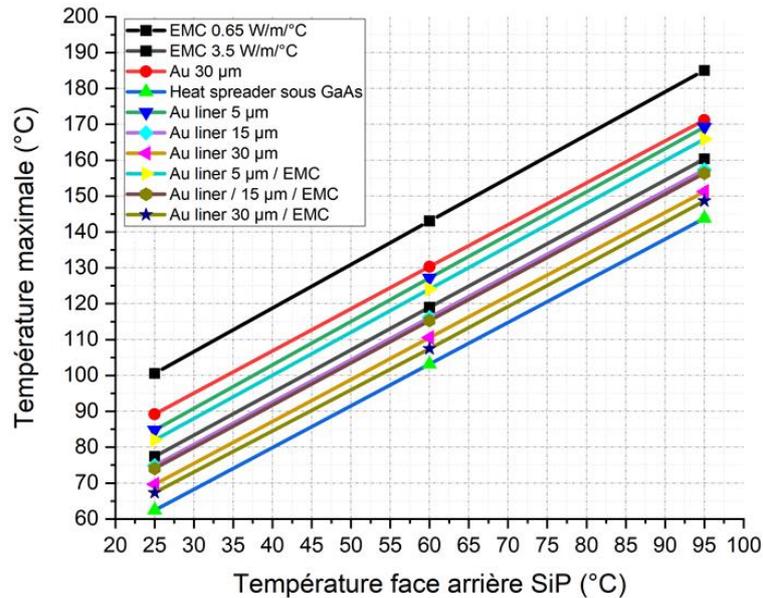


Figure 69 : Températures de fonctionnement maximales du l'étage 2 de la puce AsGa Driver MPA pour les différentes solutions proposées à différentes températures de face arrière du SiP.

Un compromis entre le coût de fabrication, la difficulté de réalisation, la disponibilité des matériaux et les températures maximales acceptables doit être trouvé pour sélectionner la meilleure des options.

Les légendes illustrées sur la Figure 69 ont pour correspondance les différentes propositions de la Figure 68. La version liner Or 5 μm , 15 μm et 30 μm correspondent à la proposition D, la version liner Or 5 μm / EMC, 15 μm / EMC et 30 μm / EMC correspondent à la proposition B. La version liner Or 30 μm correspond à la proposition C, « heat spreader » sous la puce AsGa Driver fait correspondre à la proposition E, et enfin l'EMC à 3.5 W/m²°C correspond à la proposition A. La courbe de l'EMC à 0.65 W/m²°C correspond à la version initiale de référence.

Propositions envisageables	Étage 2 AsGa Driver	Température maximale à la puissance dissipée nominale @ 0.2184 W et à la température face arrière du SiP @ 95 °C
	EMC 0.65 W/m/°C	185.04 °C
A	EMC 3.5 W/m/°C	160.37 °C
C	Au 30 µm sous AsGa	171.19 °C
E	Heat spreader sous AsGa	143.84 °C
D	Au liner 5 µm sous AsGa	169.27 °C
D	Au liner 15 µm sous AsGa	157.32 °C
D	Au liner 30 µm sous AsGa	151.29 °C
B	Au liner 5 µm sous AsGa / EMC	165.94 °C
B	Au liner 15 µm sous AsGa / EMC	156.4 °C
B	Au liner 30 µm sous AsGa / EMC	148.66 °C

Tableau 9 : Températures de fonctionnement maximales de l'étage 2 de la puce AsGa Driver à puissance dissipée nominale de 0.2184 W et à la température de face arrière du SiP de 95 °C

Dans le Tableau 9, sont répertoriées les valeurs maximales de températures des différentes propositions à la puissance dissipée nominale 0.2184 W et à une température de référence de 95 °C sur la face arrière du SiP.

La simulation thermique étant réalisée, les campagnes de mesures (infrarouge et thermoréfectance) ont été effectuées pour comparer le fonctionnement des dispositifs aux résultats de simulation numérique.

III.1.4. Mesure de la température du démonstrateur télécom 5G

Pour la campagne de mesure, deux dispositifs sont mis à disposition : B45 et E26 référencés. La Figure 70 présente le composant B45 visualisé par la caméra CCD du banc de thermoréfectance. Il n'est pas possible de mesurer directement le point le plus chaud des transistors compte tenu de la présence des ponts à air. La température est mesurée sur les rectangles verts qui sont à la verticale des grilles (Figure 70). L'étape de la calibration des étages du composant B45 est illustrée par la Figure 71.

Concernant les mesures effectuées, nous distinguons des mesures infrarouges (IR) réalisées par III-V Lab et à XLIM, des mesures thermoréfectances (TR) réalisées à XLIM

Pour ce qui est de la mesure infrarouge, une moyenne au niveau des étages est réalisée pour obtenir la valeur de la température.



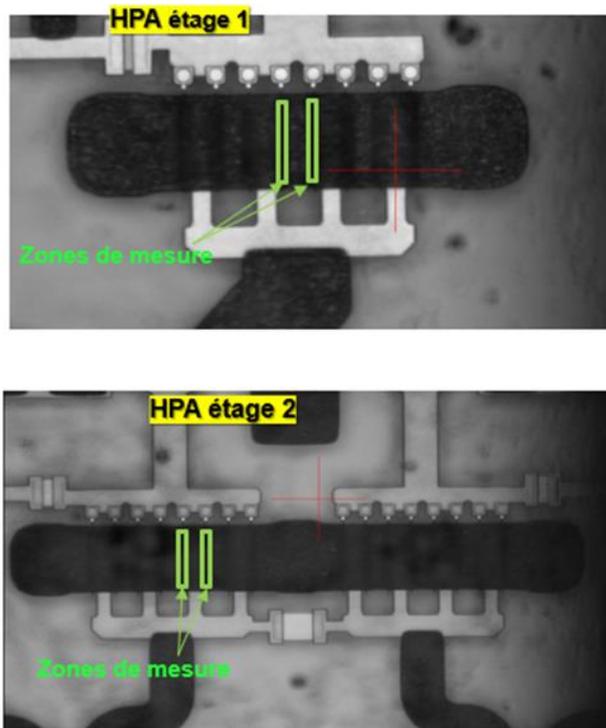


Figure 70 : Zone de mesure thermoréfectance du composant B45 côté GaN HPA

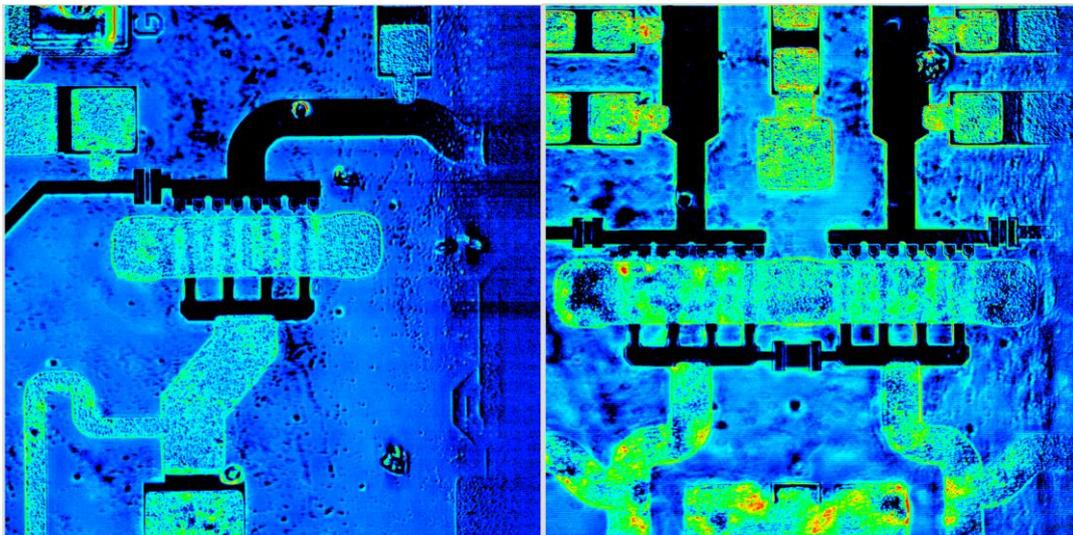


Figure 71 : Étape de la calibration de l'étage 1 et 2 du composant B45 lors de la mesure thermoréfectance côté GaN HPA

La Figure 72 présente les images de l'étage 1 et 2 du composant E26. Nous pouvons voir un état de surface inacceptable dû aux impuretés ou à la présence de la couche de BCB dégradée à sa surface, empêchant de mettre en place la mesure thermoréfectance. Cela est confirmé par la tentative de calibration présentée sur la Figure 73, sur laquelle nous ne distinguons même pas les contours du transistor.

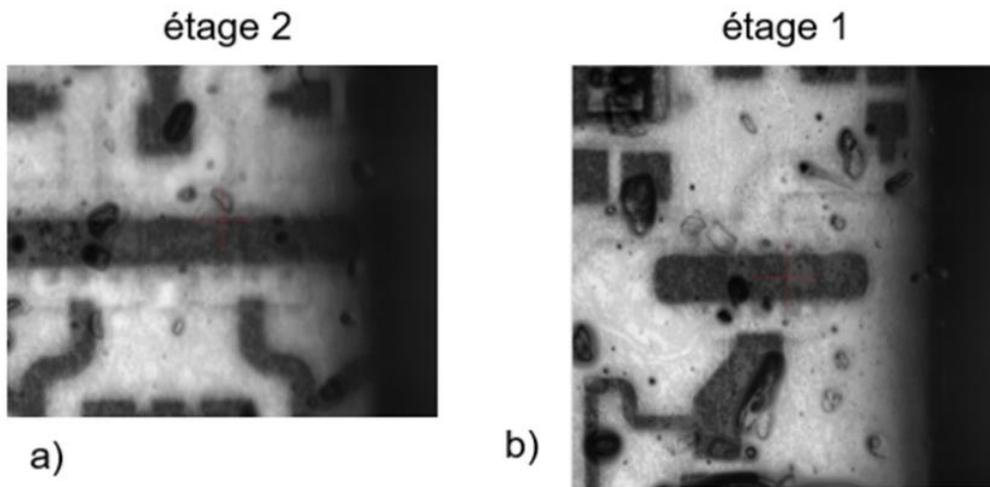


Figure 72 : État de surface des étages 1 & 2 du composant E26

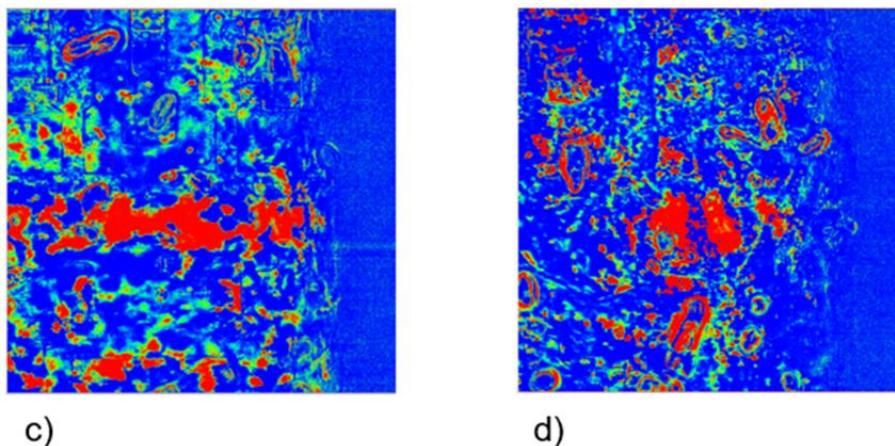


Figure 73 : Tentative de calibration du composant E26

La Figure 74 illustre les zones choisies pour obtenir les résultats de simulation faites au sein du laboratoire XLIM. Pour les simulations, nous avons trois zones de prise de température : zone TR (Thermoréfectance) sur le pont (Figure 74a) (la prise de température s'effectue sur zone définie sur l'étage 1 et 2 en référence de la mesure thermoréfectance. La température moyenne sur l'intégralité du pont de l'étage 1 et 2 (Figure 74b) en référence de la mesure infrarouge. Pour finir, les doigts de grilles (Figure 74c), qui donnent une température plus proche de la zone la plus chaude.

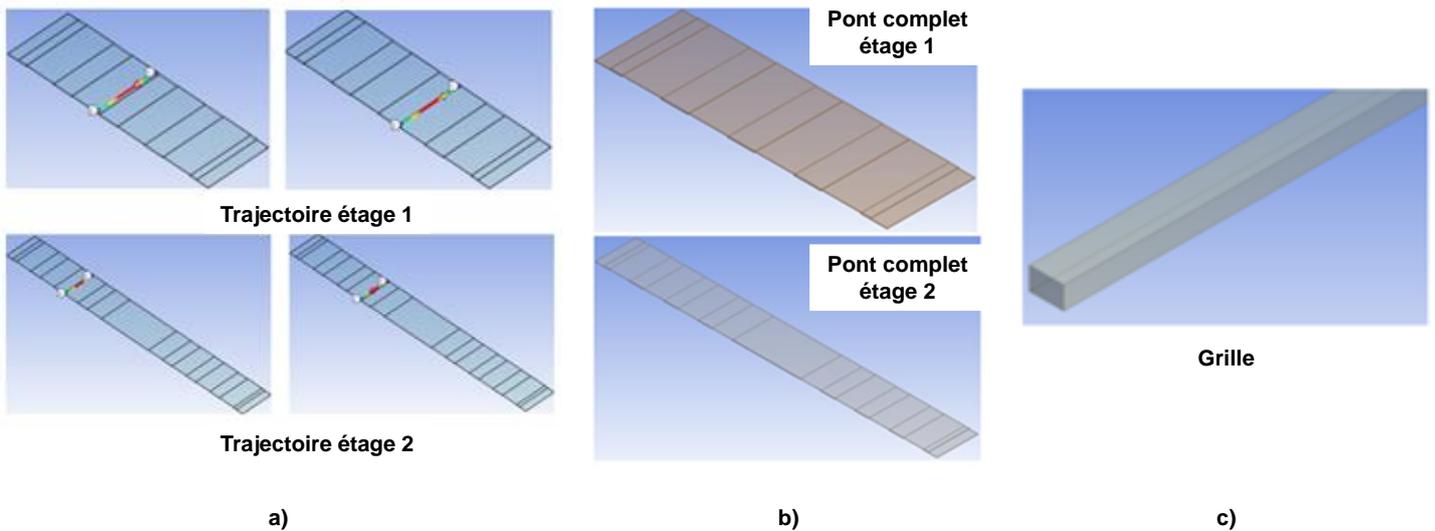


Figure 74 : Zone de prise de température lors de la simulation côté HPA GaN : a) la trajectoire prise au-dessus et sous le pont, juste au-dessus de la grille (référence à la mesure thermoréfectance), b) la température moyenne du pont (référence à la mesure infrarouge), c) la température moyenne de la grille

III.1.5. Résultats des mesures et comparaison avec les résultats de simulation numérique côté HPA GaN étage 1 et étage 2

Pour les mesures de thermoréfectance, des températures de consigne (T_{consigne}) sous le socle ou la face arrière de la structure à 50 °C et 79 °C sont recommandées. Les températures de sonde (T_{sonde}) sont les températures obtenues lors des mesures par le thermocouple. Pour les simulations numériques thermiques, nous utiliserons les températures de sonde obtenues par le thermocouple pour être dans les conditions de mesure.

Le Tableau 10 présente les résultats de mesure par thermoréfectance, infrarouge et de simulation faite au sein du laboratoire XLIM, et par la collaboration des partenaires III-V Lab & Thalès RT.

Les simulations sont à entêtes jaunes, les mesures à entêtes vertes.

Concernant les simulations, nous pouvons voir les résultats sur les trois zones que nous avons décrites sur la Figure 74. Ses résultats montrent que la température sur le pont complet ou sur la zone de mesure par thermoréfectance est assez proche. Ce résultat semble logique compte tenu du fait que le pont est en or avec une excellente conductivité thermique et que de plus la puissance dissipée est relativement bien répartie sous la surface du pont.

La température moyenne de grille est présentée dans les deux dernières colonnes du Tableau 10 car elle est proche de la température de la zone la plus chaude dans le composant. Elle reste inaccessible en mesure sur les transistors de ce circuit. Nous voyons clairement que cette température est nettement supérieure à la température mesurée.

Conditions Limites des simulations				Mesures		Simulation XLIM					
T consigne (°C)	T sonde (°C)	Pdis (W)		Etage 1	Etage 2	Etage 1	Etage 2	Etage 1	Etage 2	Etage 1	Etage 2
				Tmoy (°C)	Tmoy (°C)	Tmoy (°C)	Tmoy (°C)	Tmoy (°C)	Tmoy (°C)	Tmoy (°C)	Tmoy (°C)
				XLIM							
				MESURE THERMOREFLECTANCE							
50	50	0.918		59.5	62.1						
50	50	1.188		63.4	65.2						
50	50	1.566		66	67.2						
50	50	2.124		71.5	73.95	86	91	83	87	135	146
79	80.5	0.918		87.5	88.5						
79	80.5	1.188		90.5	91.5						
79	80.5	1.566		94.5	95.5						
79	80.5	2.016		99	100.78	116	120	112	123	181	
				MESURE INFRAROUGE							
50	50	0.936		71.3	68.3	65	67	64	66	84	88
50	50	1.17		77.4	73.7	69	71	68	70	93	98
50	50	1.548		88.3	84	76	79	74	77	109	116
50	50	2.142		105.5	100.3	87	91	83	88	136	147
79	80.5	0.9		95.9	92.3	97	99	96	98	118	122
79	80.5	1.188		103.8	100.1	103	105	101	104	131	137
79	80.5	1.566		114.5	110.7	110	114	108	111	149	157
79	80.5	2.106		129.8	125.2	122	126	118	123	177	190
				III-V/LAB / TRT							
				MESURE INFRAROUGE							
50	48	2.124		[136 ; 158]	[136 ; 158]	84	88	81	85	132	143
79	75	2.016		[153.5 ; 178.5]	[153.5 ; 178.5]	113	118	110	114	164	176
				MESURE INFRAROUGE							
50	48	0.9		[66.6 ; 77.4]	[66.6 ; 77.4]	63	64	61	63	80	84
50	48	1.512		[74 ; 86]	[74 ; 86]	73	76	71	74	105	112
50	48	1.98		[83.2 ; 96.8]	[83.2 ; 96.8]	81	85	78	82	126	135
79	75	1.998		[103.6 ; 120.4]	[103.6 ; 120.4]	113	118	110	114	164	175
79	75	2.466		[113.8 ; 132.2]	[113.8 ; 132.2]	123	129	118	124	189	205

Tableau 10 : Résultats de mesure thermoréfectance, infrarouge et de simulation numérique thermique avec les valeurs moyennes de température en simulation du composant B45 du démonstrateur 5G côté HPA GaN

Comparons maintenant les résultats de la mesure par thermoréfectance avec la simulation.

Les informations recueillies sur le composant B45 en simulation dans le Tableau 10 montrent que les températures mesurées par thermoréfectance sont inférieures à celles obtenues par simulation numérique, de l'ordre de 20%. Ces différences peuvent s'expliquer par plusieurs éléments incluant les pertes par effet Joule dans les éléments résistifs d'accès aux transistors. Dans la simulation, la puissance dissipée est supposée appliquée au pied de grilles, tandis qu'en mesure, une partie de cette puissance est perdue dans les pistes RDL avant d'atteindre les grilles lorsque le courant est appliqué. Ainsi, la puissance dissipée en simulation est plus élevée que celle dissipée dans le cas réel. D'autre part, dans la simulation, la puissance appliquée se dissipe dans les transistors à part égale.

Il existe ensuite les éléments liés à la simulation numérique elle-même, comme :

- La simplification sur de la structure simulée, comme nous pouvons le voir sur la Figure 66 ;
- Les propriétés des matériaux erronées ;
- Le maillage...

Les résultats de simulations faites au laboratoire XLIM donnent des résultats proches des résultats de mesure infrarouge sur le composant E26 faits par III-V Lab/Thalès RT. Les mesures infrarouges sur le dispositif B45 effectuées à XLIM donnent des résultats analogues.

Si nous comparons désormais les mesures infrarouges et celles obtenues par thermoréfectances, nous pouvons voir que les mesures par thermoréfectance sont plus faibles que celles obtenues par la méthode infrarouge.

L'incrément de consignes sur la température de socle se retrouve à peu près sur la température mesurée pour deux puissances identiques. Nous pouvons, par exemple, regarder pour la mesure par thermoréfectance le résultat pour $P_{\text{diss}} = 1.566 \text{ W}$ pour $T_{\text{ref}} = 50 \text{ °C}$ et 80.5 °C .

Nous trouvons (94.5 - 66) soit 28.5 °C , ce qui reste proche de l'écart de consignes. Pour la mesure par infrarouge, nous trouvons également un écart de l'ordre de 25 °C .

III.1.6. Conclusion

Cette première partie du Chapitre III met en évidence les différentes méthodes mesures (infrarouge, thermoréfectance, électrique) et de simulation numérique thermique permettant d'extraire des informations sur des composants du démonstrateur de l'application télécom 5G (composant B45 et E26) ainsi que sur le transistor du projet SMART3 à double accès de grille conçu par UMS.

Dans le cas du transistor spécifique, nous avons montré une cohérence entre les méthodes de mesure (thermoréfectance, électrique) et de la simulation numérique thermique, ce qui permet d'attester la fiabilité et le bon fonctionnement de ce dernier.

Un aperçu des méthodes qui ont servi à faire une étude sur le démonstrateur télécom 5G a été évoqué, et par la suite une discussion sur les résultats des méthodes a été exposé afin de les confronter les uns aux autres.

Il est difficile d'apporter réellement une conclusion à ce stade du côté du démonstrateur télécom 5G. En effet, sur les deux véhicules de test mesurés, les résultats sont très différents en mesures infrarouge et l'un des véhicules de test, en l'occurrence le composant E26, n'est pas mesurable par la thermoréfectance due à la présence d'une couche de BCB rendant difficile l'étape de la calibration de la mesure thermoréfectance. Le BCB semble assez perturbateur dans la mesure par thermoréfectance. Il est très étonnant que nous ayons dû effectuer les mesures avec une longueur d'onde de 780 nm. Nous pouvons toutefois noter un accord intéressant entre les mesures infrarouges B45 XLIM et E26 III-V Lab & Thalès RT. Peut-être serait-il souhaitable de disposer de dispositifs complémentaires. Les simulations donnent des résultats différents. Cette ambiguïté pourrait être levée par échange des conductivités thermiques utilisées lors des simulations ainsi que le processus de moyennage. Nous n'avons pas eu le temps d'aller plus loin sur ce point dans le cadre de la thèse.

III.2. Analyse thermique et thermomécanique du SiP FOWLP intégrant un amplificateur de puissance GaN.

Dans cette deuxième partie du Chapitre III, nous allons effectuer l'étude thermique et thermomécanique du SiP que nous allons nommer VT4x4 RIC. Cette étude thermique est en lien avec le « Work Package » du projet SMART3 intitulé « Évaluation de la fiabilité environnementale et opérationnelle ». Il s'agit entre autres ici d'obtenir les puissances d'essais pour le cyclage thermique qui sera décrit en fin de cette seconde partie de ce chapitre. L'étude thermomécanique permettra de s'assurer que le « warpage » reste dans les limites acceptables. Les deux études seront accompagnées par des mesures qui ont été définies dans le Chapitre II, et la comparaison sera effectuée. Le SiP est fourni sous format d'un fichier GDS en collaboration avec le partenaire UMS.

III.2.1. Construction et description du véhicule de test (VT) multi-échelle

III.2.1.1. Description du véhicule de test

Tout le long de ce chapitre, nous mentionnerons VT4x4 RIC pour le véhicule de test. Le VT4x4 RIC est de la technologie FOWLP (Fan Out Wafer Level Packaging) [18], embarquant un HPA GaN. Ce dispositif a une dimension de 4x4 mm² d'où le 4x4 dans son appellation VT4x4 RIC (Figure 75). Le véhicule de test est constitué d'un amplificateur GaN, cet amplificateur possède 2 étages avec des transistors de la technologie GH15. Le premier étage contient un transistor avec 8 doigts de grille, le second étage est constitué de deux transistors, tous deux disposent également de 8 doigts de grilles, cette région constitue la zone active de l'amplificateur. Deux capteurs de température sont intégrés. Il y a également des pistes RDL permettant de connecter l'amplificateur aux billes qui serviront de chemin d'évacuation de la chaleur car le véhicule de test ne possède pas de radiateur en son sein.

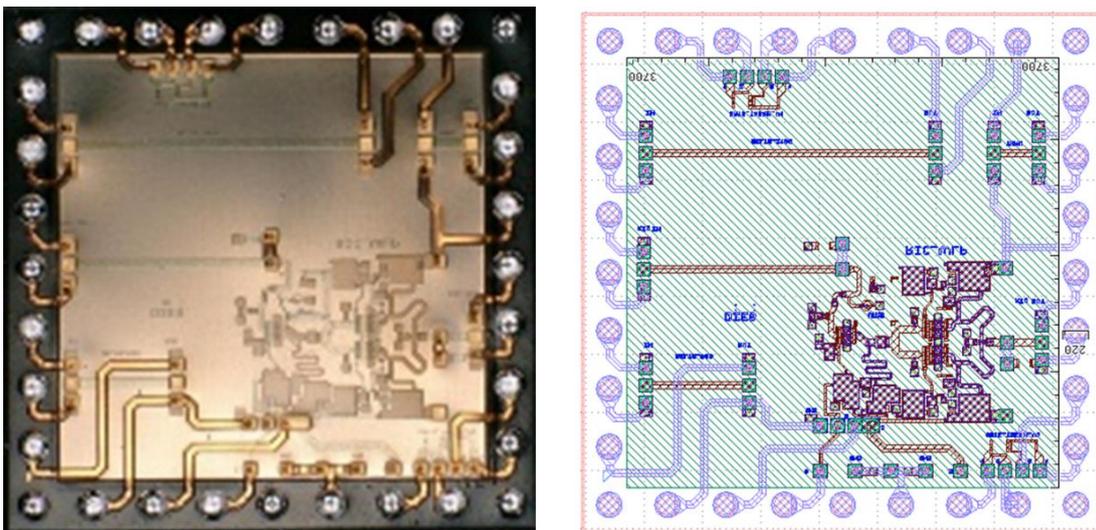


Figure 75 : Assemblage finale et le fichier GDS du véhicule de test 4x4 RIC

III.2.1.2. Construction du véhicule de test

Le fichier GDS est le point de départ sur lequel se base le fabricant, ce fichier est fourni par le concepteur. La conception et les études de simulation se feront grâce au logiciel

commercial numérique ANSYS qui est capable de résoudre l'équation de la chaleur et la mécanique à l'aide de la méthode des éléments finis. Ce dernier possède plusieurs composantes telles que SpaceClaim, Workbench, Fluent, HFSS, etc. Nous travaillerons qu'avec les composantes SpaceClaim et Workbench. SpaceClaim [103] permettra d'assigner les différentes épaisseurs des couches de matériaux du GDS constituant le VT4x4 RIC. Les étapes effectuées pour aboutir à la conception du véhicule de test sont illustrées sur la Figure 76 et les différentes épaisseurs utilisées sont mentionnées dans le Tableau 11 ci-dessous.

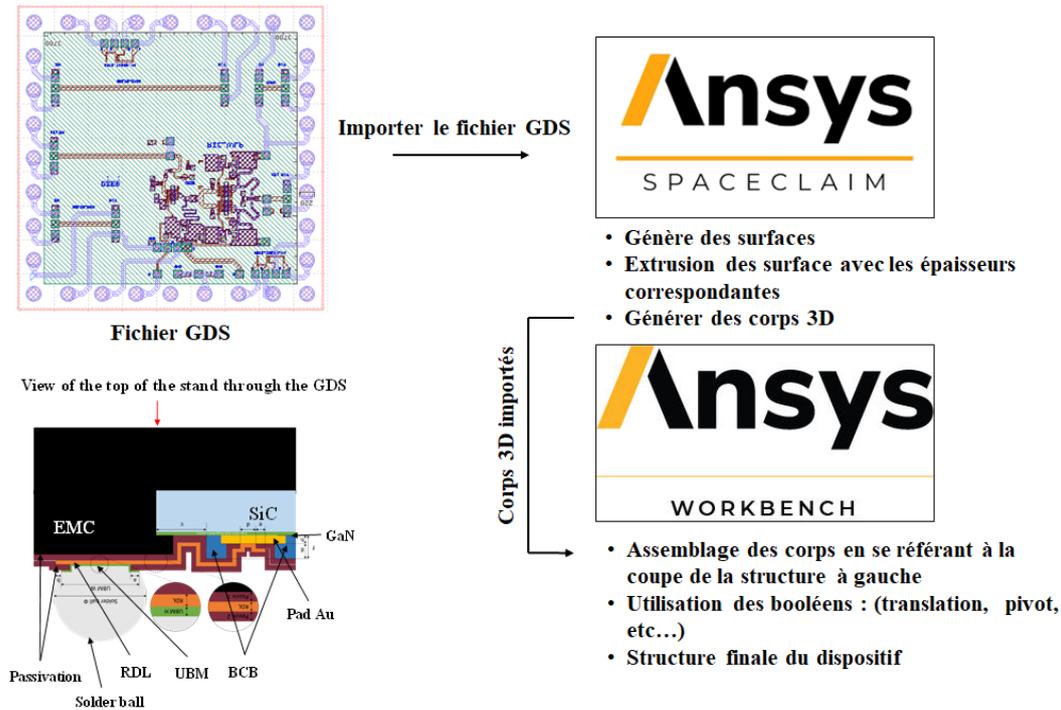


Figure 76 : Les étapes de conception de la structure du VT4x4 RIC

Matériaux	Épaisseur (µm)
SiC (Carbure de Silicium)	70
GaN (Nitrate de Galium)	1.7
UBM (Under Bump Metallization)	6.3
Or sous SiC	4.5
Contact ohmique	0.2
RDL (Redistribution Layer)	05
BCB (Benzocyclobutene)	18.8
Résine époxy EMC 4251	400
Solder ball (Sn3AgCu5) (billes)	264 (diamètre)
SiN (Nitrure de Silicium)	1.53
Grille	0.53
Field plate	0.7
Métallisation	02
Pont à air	07
Passivation (bas)	5.6
Passivation (haut)	17.6
Pad	14

Tableau 11 : Épaisseurs des couches de matériaux constituant le VT4x4 RIC

Les épaisseurs des couches de matériaux sont assignées et des corps 3D sont générés par la suite. Ces corps 3D sont importés sous Ansys Workbench pour effectuer l'assemblage à l'aide des transformations (booléens, translation, pivot, etc...) et obtenir la reconstitution finale du dispositif de la Figure 77. Pour des raisons de rapport d'échelle, des hypothèses de simplification ont été supposées (suppression de certaines singularités, du champignon de grille, et aussi comme nous pouvons le voir sur la Figure 18, la couche de nucléation ou de transitions entre GaN/SiC).

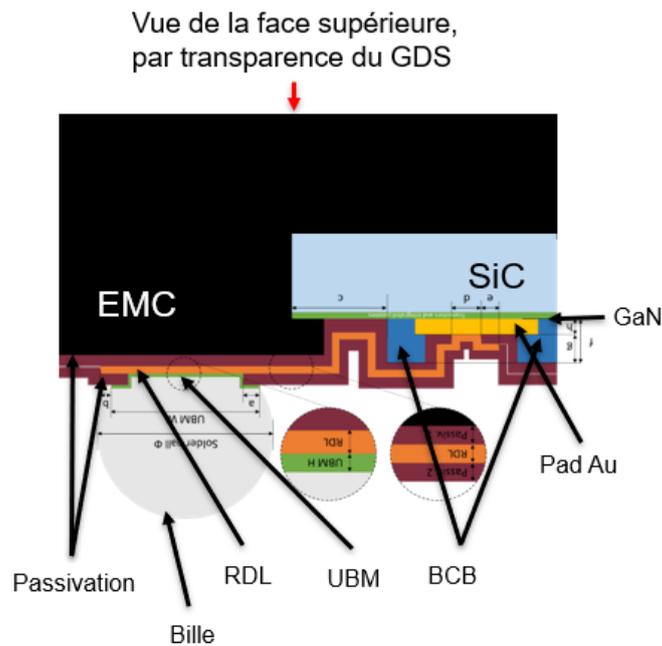


Figure 77 : Coupe transversale de l'assemblage attendu du VT4x4 RIC

Lorsque l'épaisseur de la couche de passivation est faible elle n'a qu'un impact limité sur l'aspect thermique mais par contre dans l'aspect de la fiabilité du dispositif elle a son importance ainsi que sur l'aspect du fonctionnement des transistors puisqu'elle minimise les effets de pièges de types « gatelag ». Dans la conception, une couche de BCB (BenzoCycloButène) recouvrira la puce GaN/SiC. Par la suite, une première couche de passivation recouvrira le dispositif, les RDL et les pads en or, les UBM posées sur cette première passivation et pour finir la deuxième couche de passivation. Le BCB joue un rôle important dans la tenue mécanique des dispositifs électroniques.

La Figure 77 illustre la conception 3D de l'assemblage final souhaité. La structure finale du VT4x4 RIC obtenue avec le logiciel ANSYS Workbench est présentée par la Figure 78. Sur cette figure la couche de nucléation de l'ordre de la dizaine de nanomètres n'est pas prise en compte lors de la conception de la structure. En effet, compte tenu du rapport d'échelle qu'il y a entre les différentes couches, il est nécessaire de simplifier la structure afin de limiter le nombre de mailles. Une des raisons est que le maillage de cette couche demandera plus de ressources et de temps lors de la résolution du problème avec le logiciel.

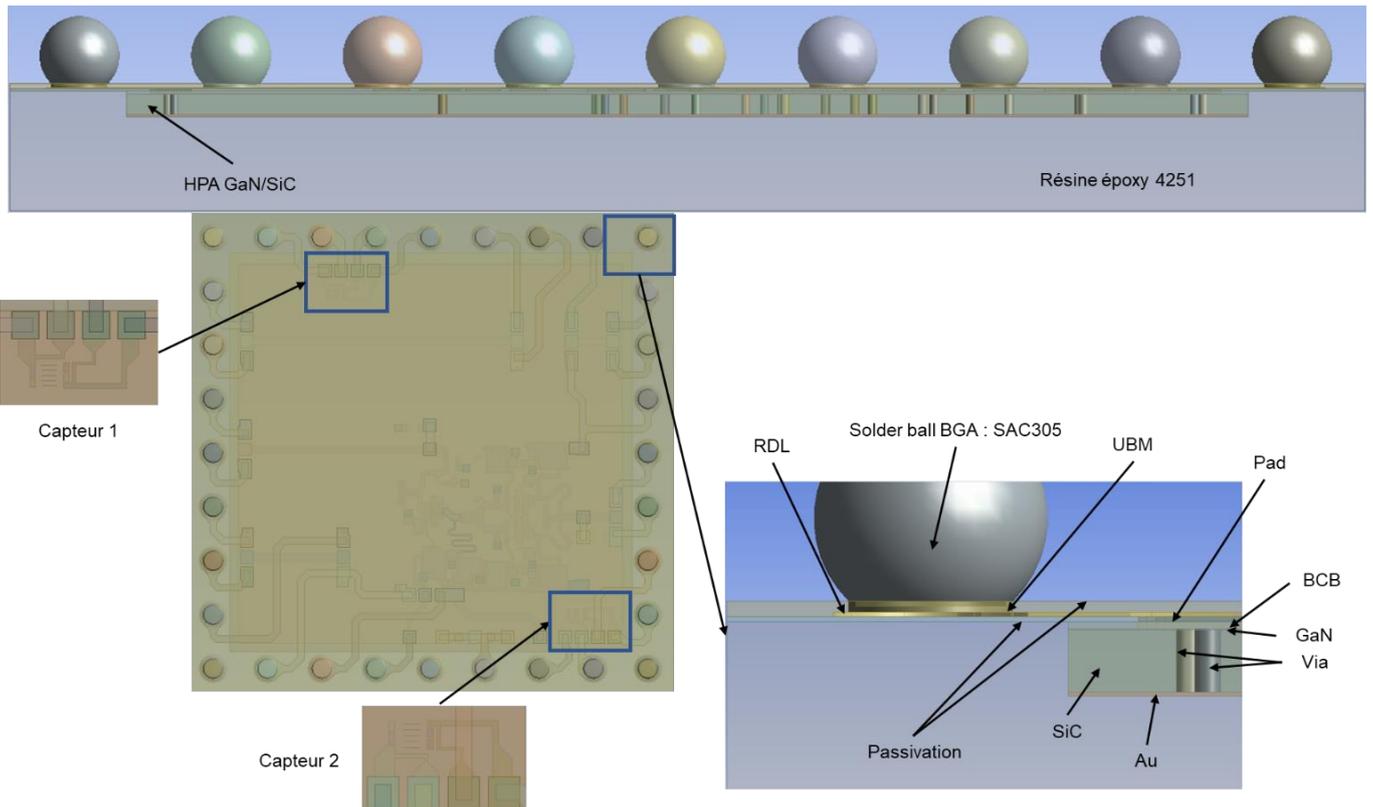


Figure 78 : Structure détaillée du VT4x4 RIC sous ANSYS Workbench

Ce circuit est constitué de deux capteurs de température (Figure 78) ainsi que les éléments évoqués dans le Tableau 11. La zone active (Figure 79) de cette structure comportant les deux étages servira d'élément chauffant pour les tests de cyclages thermiques des SiP, zone par laquelle sera injectée la puissance. Les capteurs de température serviront à l'évaluation in-situ de la température au bord de l'amplificateur dissipant de la puissance et permettra d'avoir une température dite de référence à partir de laquelle il sera possible, par simulation, d'évaluer l'état thermique de l'amplificateur.

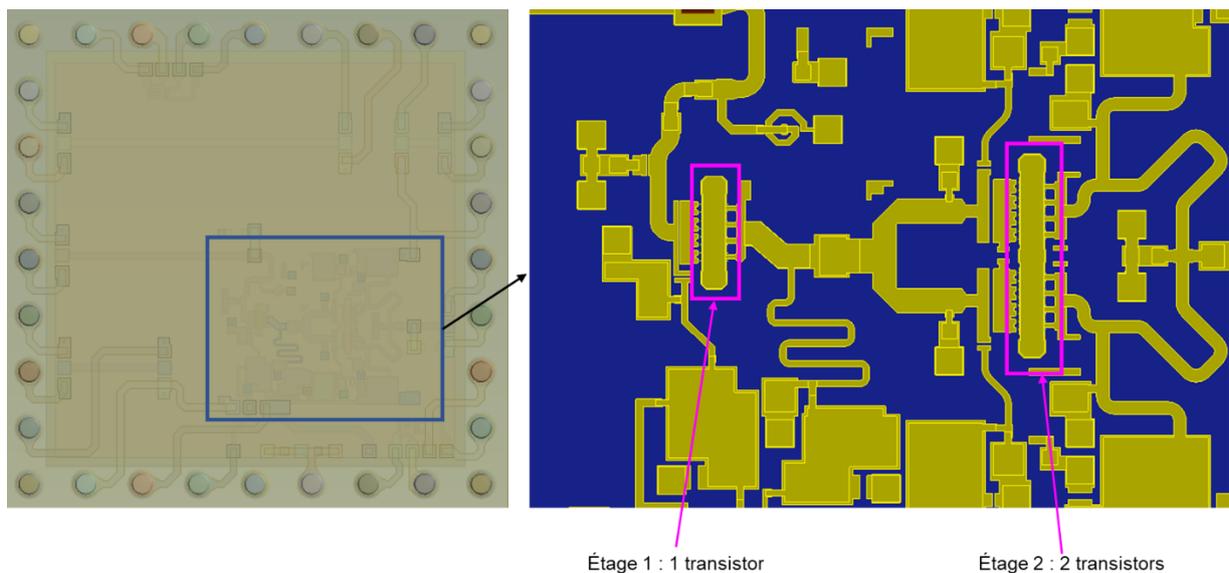


Figure 79 : Zone active de l'amplificateur contenant les étages du véhicule de test.

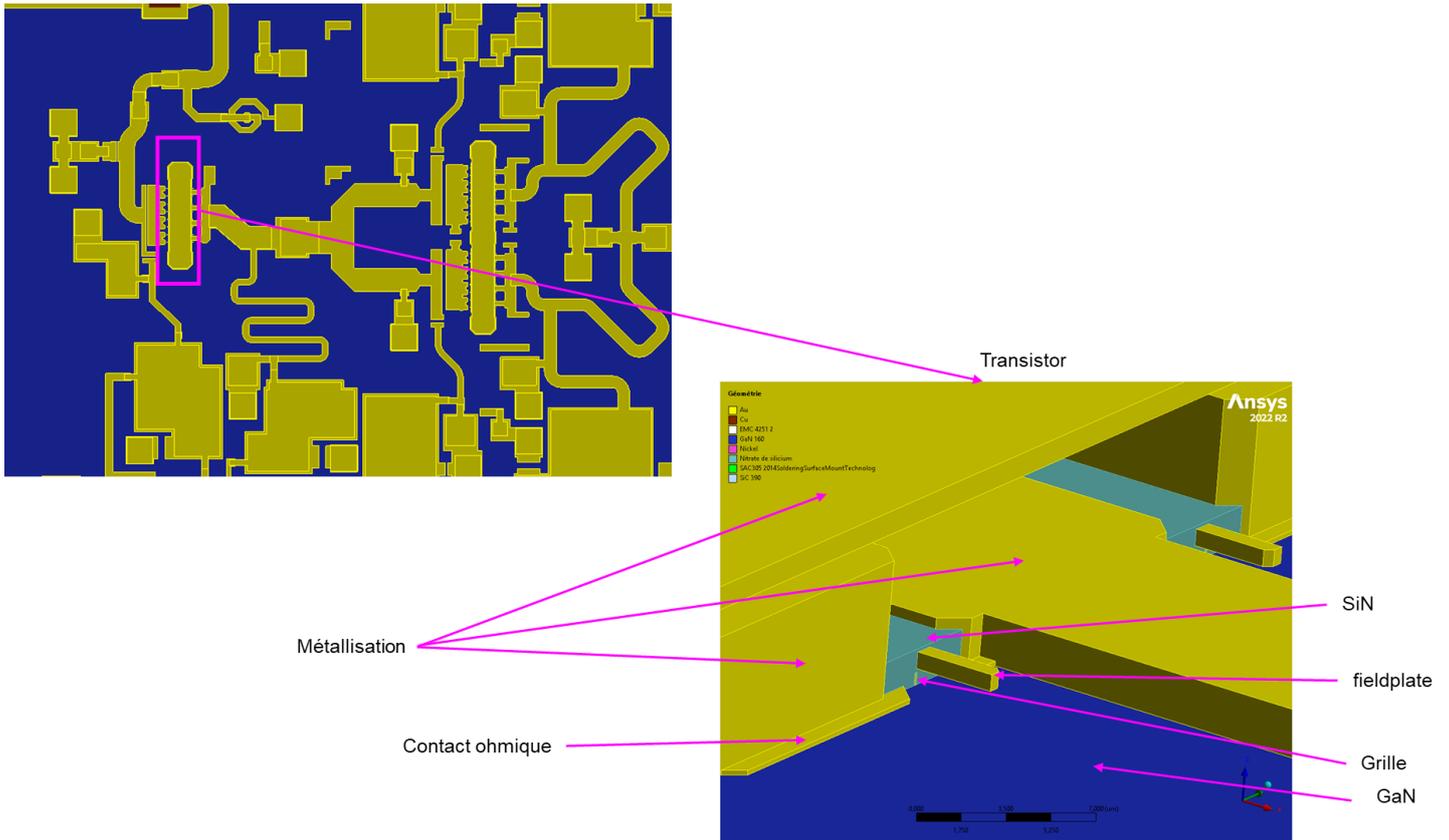


Figure 80 : Zone active du RIC et compositions du transistor

III.2.2. Étude thermique et thermomécanique

III.2.2.1. Validation du modèle d'assemblage

III.2.2.1.1. Structure du transistor HEMT GaN GH15 8x60 μm

La géométrie pour la validation du modèle de l'assemblage est un transistor GH15 8x60 μm présent sur la Figure 80 et la Figure 81 extrait de la structure du VT4x4 RIC. Ce transistor est composé d'une couche d'or, d'un substrat SiC sur laquelle repose la couche de GaN. Ensuite sur cette couche de GaN est posée la partie active du transistor c'est-à-dire grille, contact ohmique, SiN, métallisation, pont à air et « fieldplate ». La couche barrière en AlGaN n'est pas prise en compte car inférieure à 25 nm. Enfin, une couche de BCB et une couche de passivation sont posées pour protéger cette partie active (Figure 81).

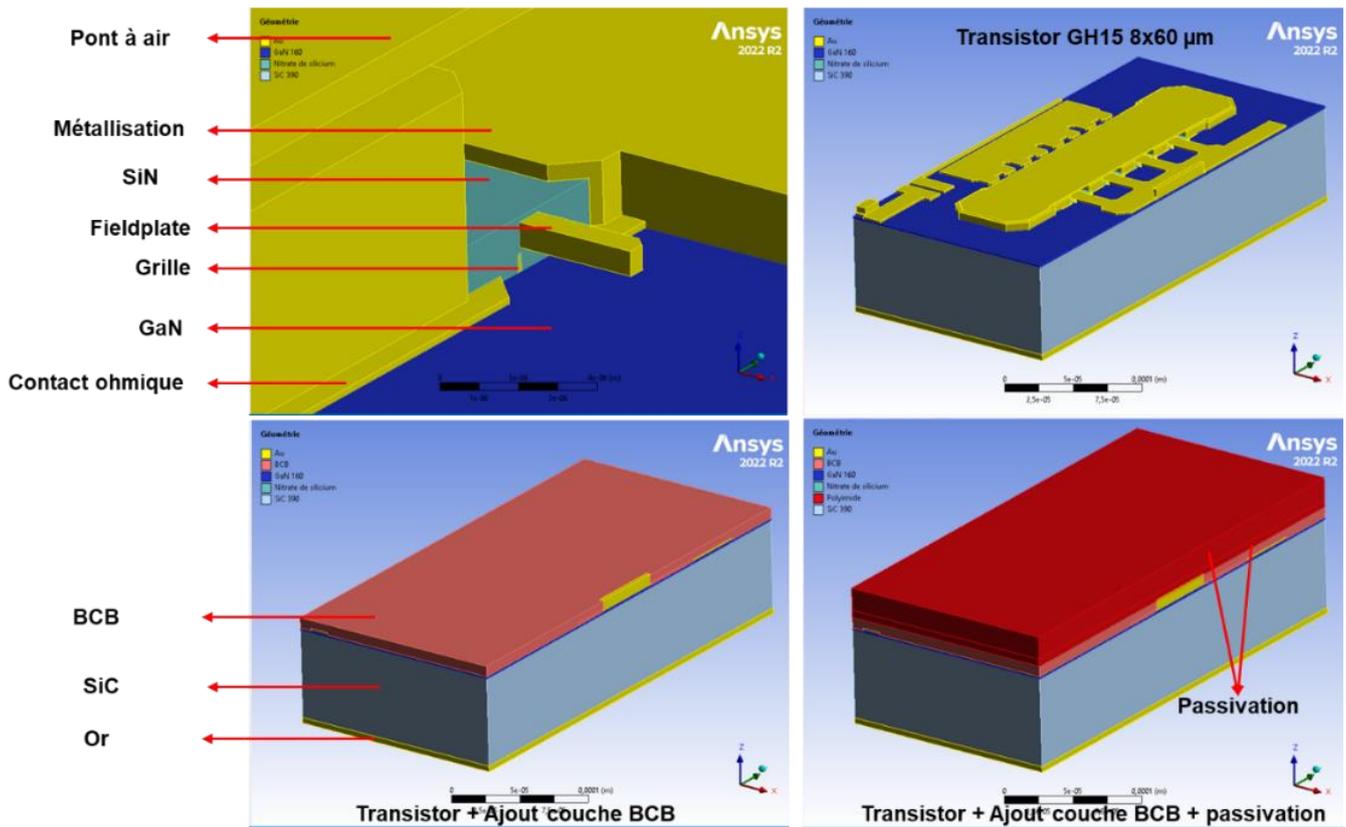


Figure 81 : Structure du transistor GH15 8x60 μm

Sur la Figure 18 du Chapitre I, il y a la couche de transition située entre la couche GaN et la couche SiC. Dans notre cas, en raison du rapport d'échelle qu'il y a entre les différents éléments de la structure et de son épaisseur qui est d'une dizaine de nanomètres, celle-ci sera négligée et remplacée par une conductance de contact thermique (CCT) [104] sous le logiciel ANSYS. Ce coefficient s'exprime en $W/m^2/°C$ ou $W/m^2/K$ qui est l'inverse de la TBR (Thermal Boundary Resistance) connue en français sous le nom de la résistance de contact thermique surfacique s'exprimant en $m^2.°C/W$ ou $m^2.K/W$ [105], [106].

III.2.2.1.2. Maillage et propriétés des matériaux

Le maillage de la structure du transistor est composé de 897468 éléments et de 198652 nœuds (Figure 82). Les propriétés thermiques des matériaux des composants du transistor GH15 HEMT GaN 8x60 μm sont mentionnées dans le Tableau 12.

Matériaux	k_0 (W/m/°C)	ρ (Kg/m ³)	C_p (J/Kg/°C)
BCB	0.4	8300	500
Au	315	19300	137
SiN	16	2400	691
GaN	160 [27]	6100	490
SiC	390	3220	690
Polyimide	0.25	1400	1150

Tableau 12 : Propriétés thermiques des matériaux utilisées pour la simulation thermique du transistor GH15 HEMT GaN 860 μm

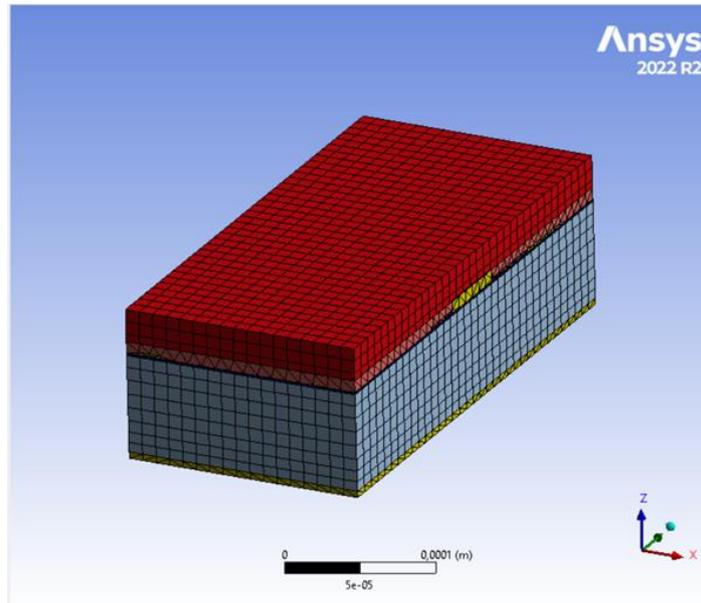


Figure 82 : Maillage de la structure du transistor GH15 8x60 μm

L'illustration de la non linéarité de la conductivité thermique des semi-conducteurs GaN et SiC est présentée par la Figure 83.

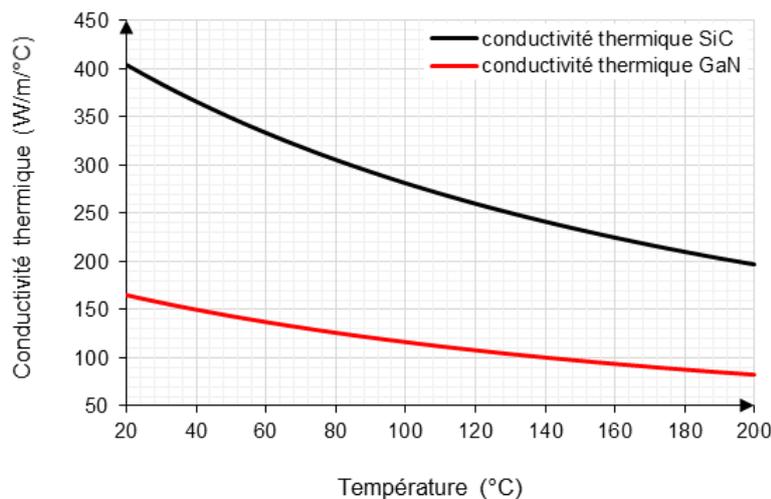


Figure 83 : Non linéarité de la conductivité thermique du SiC et du GaN

III.2.2.1.3. Condition initiale et conditions aux limites

Pour la résolution de l'étude thermique du transistor GH15, les conditions aux limites appliquées à la structure sont : le transistor est mis à température initiale de 25 °C, une température de 25 °C est imposée sur la face arrière de la couche d'Or et une puissance dissipée approximative de 1.17 W est appliquée au pied des doigts de grilles du transistor GH15. Ce transistor possède 8 doigts de grilles. Le résultat obtenu est présenté dans la section suivante. Il n'y a pas de convection compte tenu de la taille du transistor. Ces conditions aux limites sont illustrées sur la Figure 84 ci-dessous.

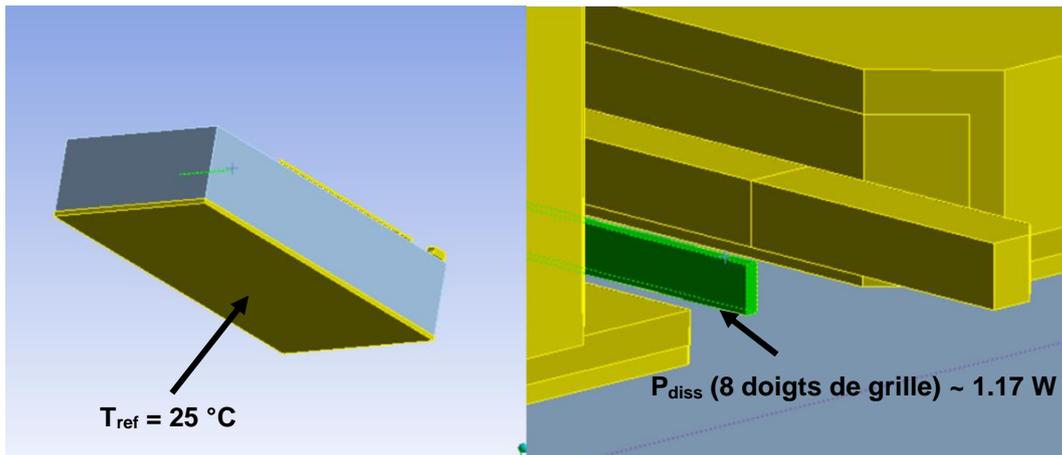


Figure 84 : Illustration des conditions aux limites de l'étude

III.2.2.1.4. Résultats de la simulation thermique

III.2.2.1.4.1. Température maximale de la structure en régime stationnaire

Le résultat de la simulation numérique en régime stationnaire nous donne une température de 54.47 °C (Figure 85) sous les conditions aux limites définies ci-dessus. Les isothermes sont bien visibles, montrant ainsi la propagation de la chaleur dans le transistor. Nous pouvons aussi nous assurer qu'il n'y a pas de discontinuité de maillage dans la structure.

Nous avons évoqué la conductance de contact thermique un peu plus haut dans la section III.2.2.1.1. Sur la Figure 86, nous pouvons voir son effet lors de la simulation. Nous constatons également pour des puissances dissipées faibles, l'écart est inexistant entre le résultat lorsque ce coefficient est pris en compte et le résultat lorsqu'il n'est pas pris en compte (exemple d'une puissance dissipée approximative de 0.17 W). Plus la puissance dissipée est importante, plus cet écart est important. Ce paramètre est donc important dans la simulation numérique et sera pris en compte lors des différentes simulations thermiques de ce manuscrit. Avec une puissance dissipée d'environ 1.17 W, l'écart de résultat est de 3.26 °C (51.21 °C sans CCT et 54.48 °C avec CCT). La conductance de contact thermique utilisée lors de cette étude est de $6.717 \times 10^7 \text{ W/m}^2/\text{°C}$.

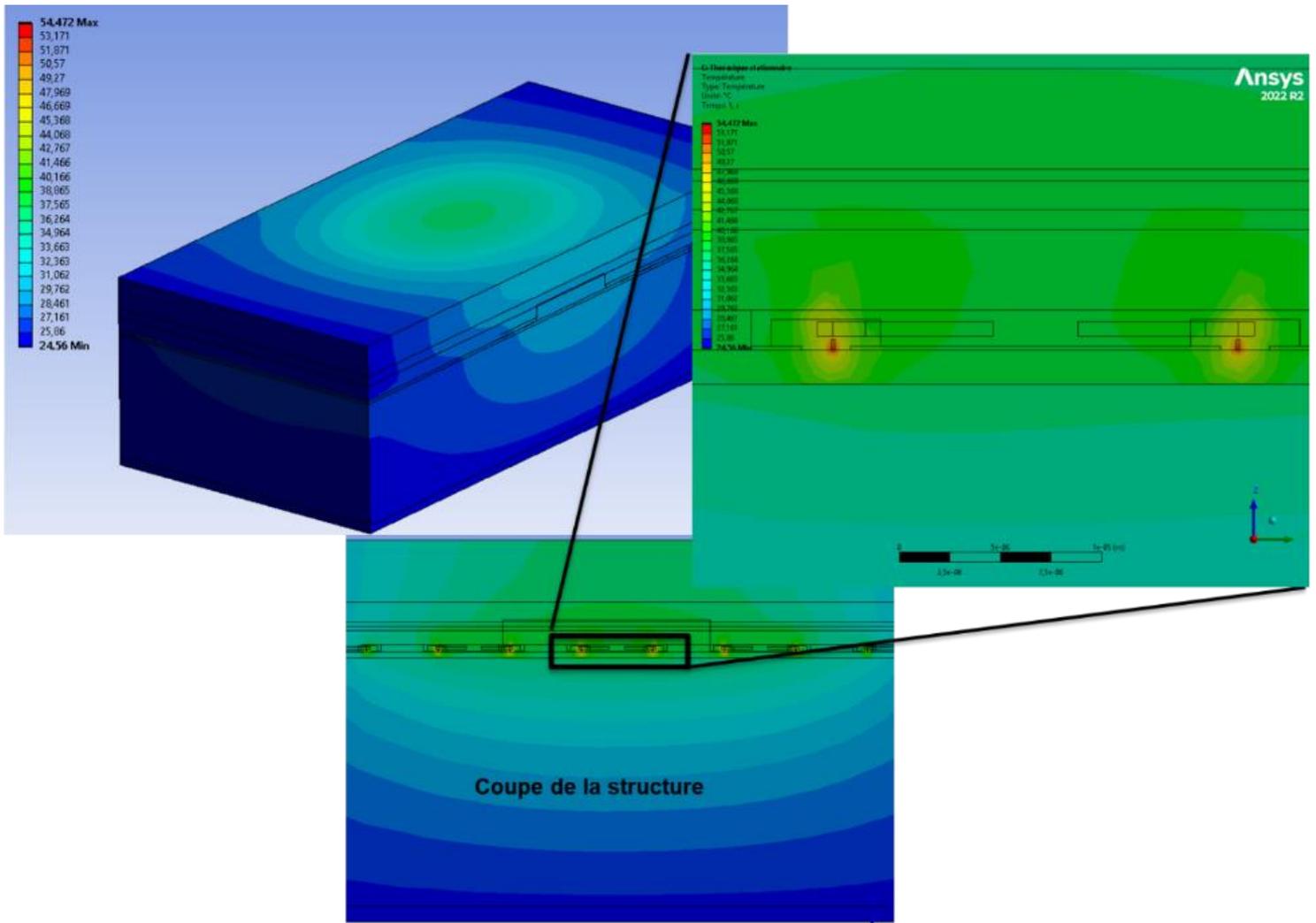


Figure 85 : Résultat thermique en régime permanent du transistor GH15

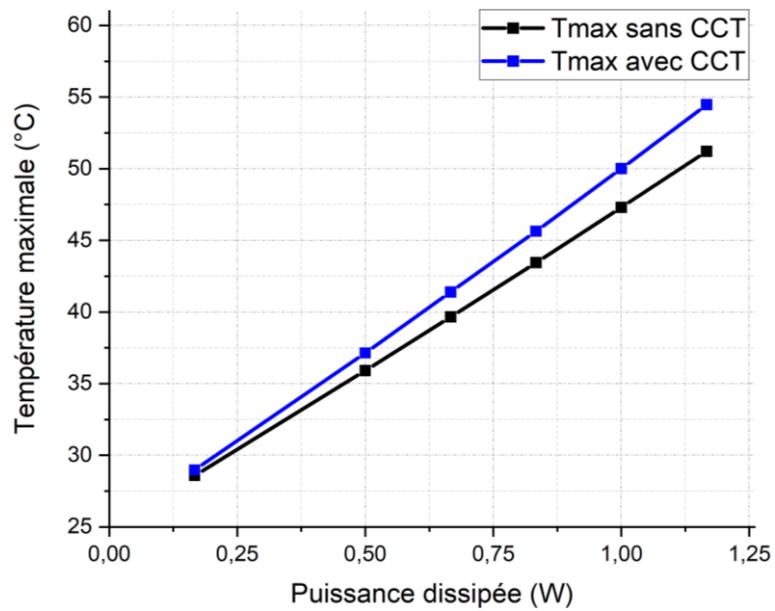


Figure 86 : Effet de la conductance de contact thermique (CCT) sur le résultat de la simulation thermique du transistor GH15 8x60 μm à $T_{\text{ref}} = 25\text{ }^{\circ}\text{C}$

Les références [37], [107] nous montrent également que nous sommes dans l'ordre de grandeur de la température maximale du transistor. L'auteur présente dans la Figure 87 les courbes expérimentales obtenues par micro-spectrométrie Raman optique, ainsi que les résultats de la simulation thermique de la température maximale en fonction de la densité linéique de puissance dissipée, pour une température de référence de 25 °C (Figure 87 A). La courbe représentant la résistance thermique du transistor en fonction de cette même densité est également fournie (Figure 87 B). Cependant, l'auteur ne précise pas la technologie ni les caractéristiques de développement du transistor utilisé. Dans notre étude, le transistor a un développement de $8 \times 60 = 480 \mu\text{m}$, soit 0.48 mm, et la puissance dissipée est de 1.17 W, ce qui correspond à une densité linéique de puissance dissipée de 2.44 W/mm. En lisant la température maximale associée à cette densité de puissance sur la Figure 87A, nous obtenons un ordre de grandeur de la température maximale pour le transistor étudié, ce qui valide également notre modèle thermique.

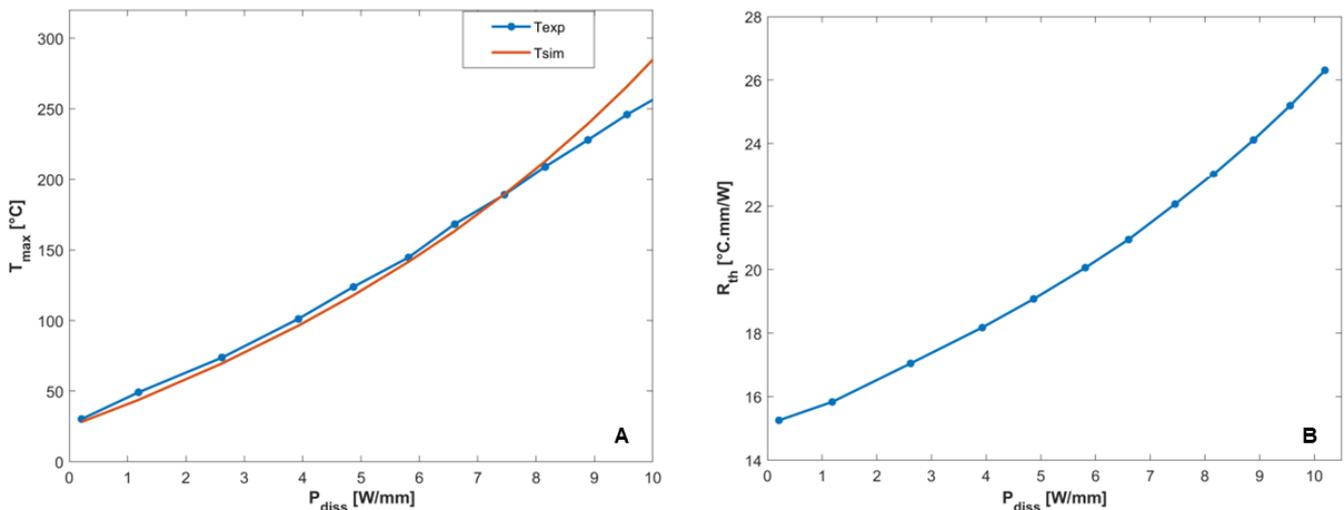


Figure 87 : Résultats thermiques d'un transistor obtenus par Amar [37], [107] Validation du modèle numérique

Le résultat du modèle numérique est obtenu. Ce dernier est comparé avec le résultat de mesure effectué par le partenaire UMS sur des technologies du même type. Cette comparaison est illustrée dans le Tableau 13. Le résultat de simulation est du même ordre de grandeur que le résultat de mesure. Il y a bien une corrélation entre le résultat expérimental et le résultat numérique, ce qui permet de valider le modèle de la simulation thermique mis en place ainsi que l'assemblage du dispositif.

Caractéristiques	Données du projet [108]	Résultat de simulation
Nombre de grille	8	8
Largeur de grille (W_u)	60 μm	60 μm
Température face arrière de la puce (T_o)	25 °C	25 °C
Puissance dissipée appliquée (P_{diss})	~ 1.17 W	~ 1.17 W
Température maximale (T_{max})	57 °C	~ 54 °C
Résistance thermique (R_{th})	~ 27 °C/W	~ 25 °C/W

Tableau 13 : Comparaison résultat de simulation et mesure d'un transistor GH15 8x60 μm

III.2.2.1.4.2. Régime transitoire

La Figure 88 représente la courbe de l'étude thermique transitoire du transistor GH15 8x60 μm . Comme dans les circuits électriques du premier ordre, ayant un signal d'entrée $e(t)$ fixé, les réponses en tension et en courant des circuits RC et RL ne dépendent que des paramètres respectifs RC et L/R (constantes de temps des circuits). La sortie atteint 99.3 % de sa valeur en régime permanent après 5τ . Dans l'industrie, le temps de régime permanent le plus souvent utilisé est à 95 % du temps de réponse correspondant à une durée de 3τ [109]. En se basant sur cette référence, nous pouvons dire que le régime permanent du transistor GH15 8x60 μm est atteint à 95 % de sa température maximale, soit 51.75 °C, faisant correspondre à un temps de régime permanent autour de 10 μs et 20 μs soit 10^{-5} s et 2×10^{-5} s. C'est également l'ordre de grandeur des mesures que l'on retrouve dans [29].

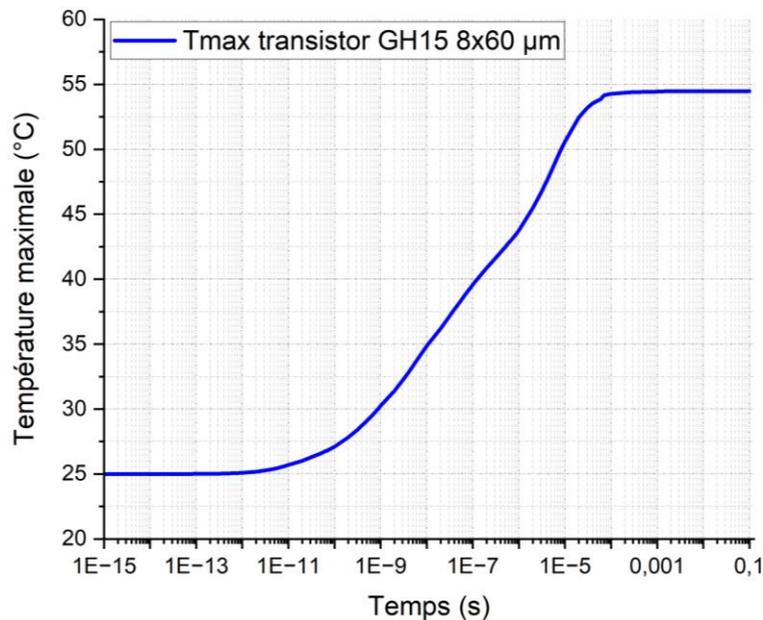


Figure 88 : Courbe transitoire du transistor GH15 8x60 μm

III.2.2.1.4.3. Étude thermomécanique du transistor GH15 8x60 μm

Gil Sharon et al. [110], dans leur article présenté sous forme de guide montrant étape par étape la création d'une simulation de la fatigue des soudures due aux cycles de température sur différents modèles sous Ansys Sherlock et Ansys Workbench. Nous nous servons de cette démarche pour la mise en place de notre étude thermomécanique.

L'étude thermomécanique passe par la définition des propriétés mécaniques (module de Young, le coefficient de Poisson, le coefficient de dilatation thermique) et thermiques (conductivité thermique, la masse volumique et la capacité thermique) des matériaux comme évoqué dans le chapitre 2 de ce manuscrit. Il faut aussi définir des conditions aux limites. Pour notre étude les conditions aux limites et d'étude sont :

- La température par défaut de tous les matériaux présents dans la structure du transistor est mise à 25 °C. La température de déformation thermique zéro est à 25 °C

et la condition thermique appliquée provient du résultat de l'étude thermique stationnaire du transistor GH15 8x60 μm comme nous pouvons le voir sur la Figure 89.

- Les propriétés des matériaux sont répertoriées dans le Tableau 19. Ces derniers ont leur propriété thermique constante, à l'exception du GaN et du SiC qui ont leur conductivité thermique fonction de la température (Figure 14). Leur conductivité thermique est définie par l'équation (1). La résine époxy EMC 4251 a son module de Young et son coefficient de dilatation thermique qui dépendent de la température (Tableau 20).

Matériaux	k_0 (W/m/°C)	ρ (Kg/m ³)	C_p (J/Kg/°C)	E (Pa)	ν	α (1/°C)
BCB	0.4	8300	500	3×10^9	0.34	5.50×10^{-5}
Au	315	19300	137	7.85×10^{10}	0.42	1.40×10^{-5}
SiN	16	2400	691	4.60×10^{10}	0.26	3.40×10^{-6}
GaN	160	6100	490	1.81×10^{11}	0.352	8.60×10^{-6}
SiC	390	3220	690	4×10^{11}	0.17	2.75×10^{-6}
Polyimide (Passivation)	0.25	1400	1150	6.5×10^9	0.35	5.5×10^{-5}

Tableau 14 : Propriétés thermiques des matériaux des composants du transistor HEMT GaN 8x60 μm pour l'étude thermomécanique

Les résultats obtenus de cette étude thermomécanique sont présentés sur la Figure 90 et la Figure 91. Dans ces conditions, nous visualisons une contrainte maximale équivalente de Von Mises de 62.04 MPa pour une puissance dissipée approximative de 1.17 W et une température de référence de 25 °C, produisant un « warpage » suivant l'axe Z de 4.87×10^{-2} μm .

Le « warpage » de la structure joue un rôle crucial pour les trois électrodes du transistor HEMT (grille, source et drain), et il est particulièrement important pour la grille. Ces électrodes se distinguent par un coefficient de dilatation thermique beaucoup plus élevé que celui des autres couches, ce qui peut entraîner des défaillances à ce niveau [37], (Figure 90 et Figure 18 du Chapitre I). Nous pouvons aussi voir que la couche de BCB, ainsi que celles des passivations, permettent d'atténuer le « warpage » et les contraintes. Lorsque ces couches sont retirées, l'impact est beaucoup plus visible sur la métallisation du transistor.

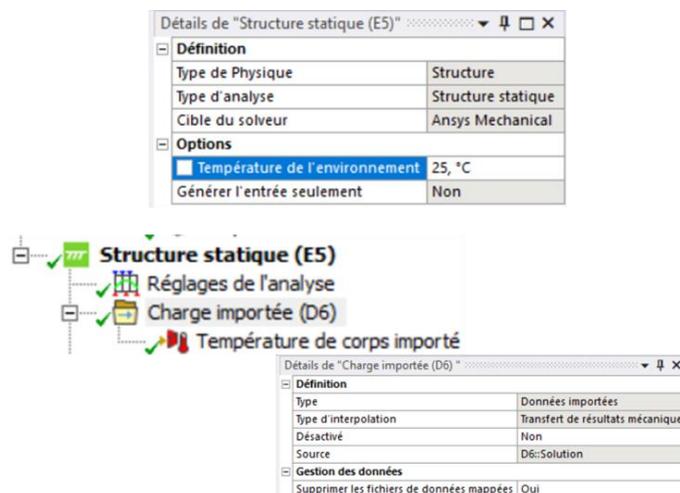


Figure 89 : Conditions aux limites de l'étude thermomécanique du transistor GH15 8x60 μm

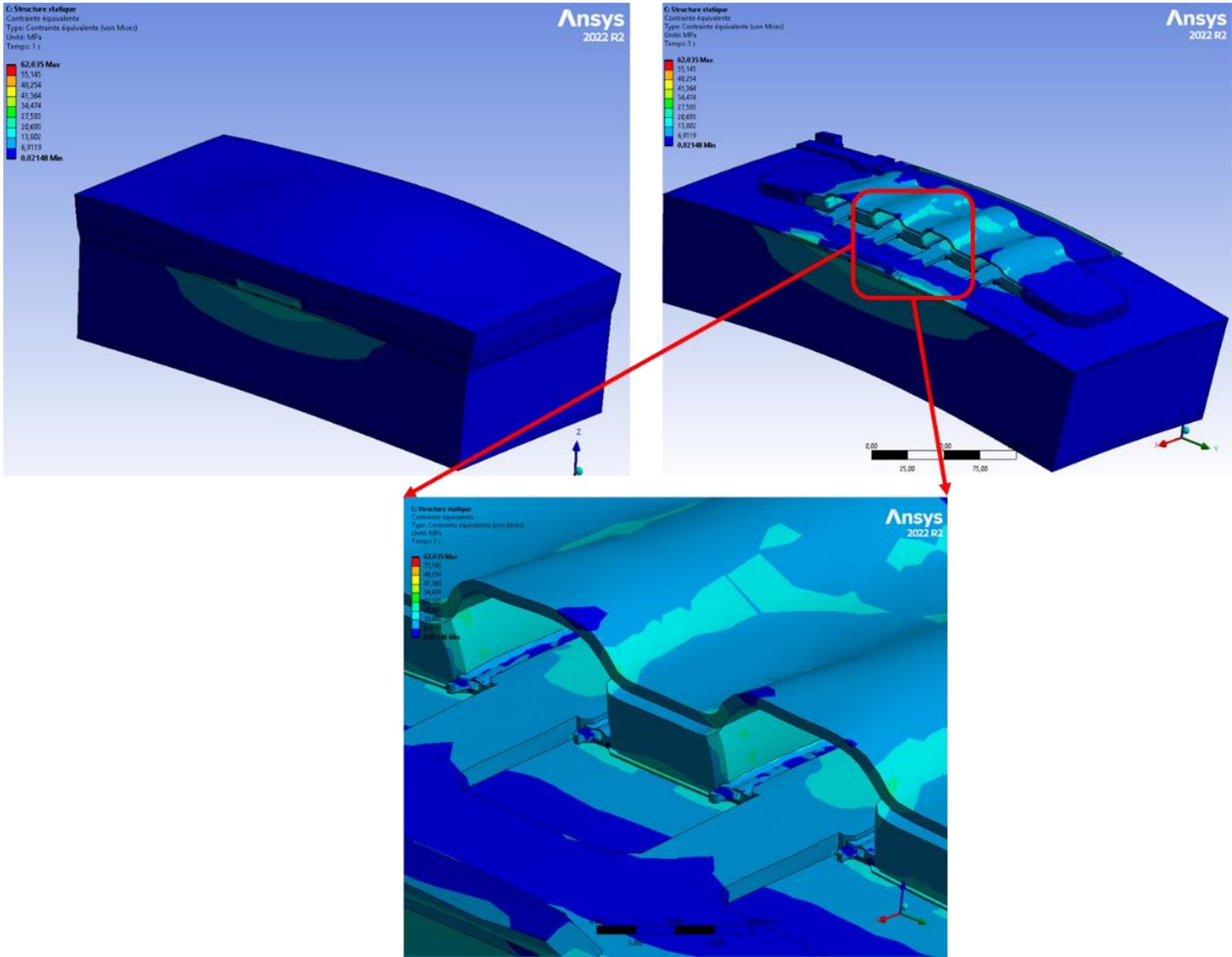


Figure 90 : Contrainte équivalente de Von Mises du transistor GH15 8x60 μm

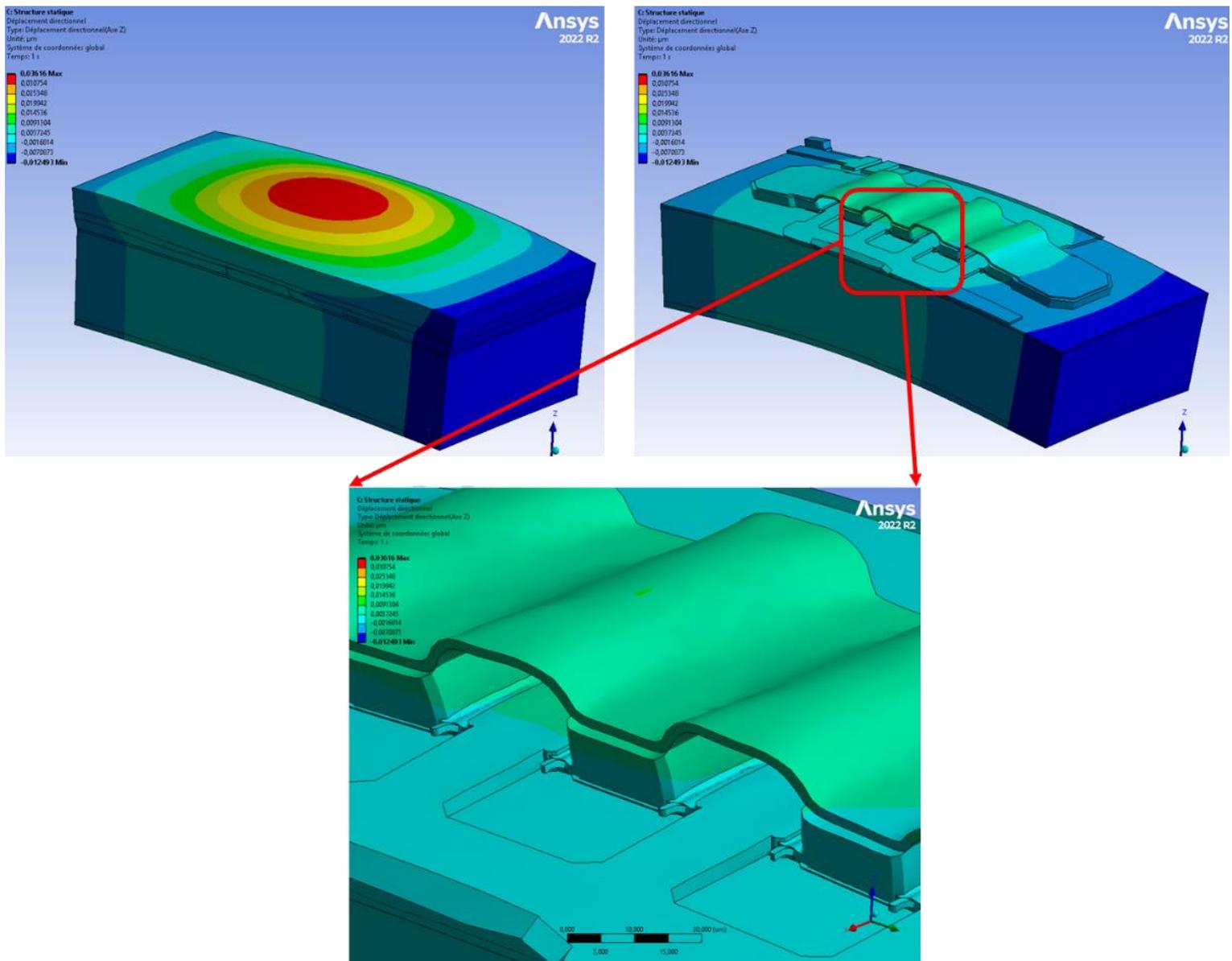


Figure 91 : Déplacement suivant l'axe Z du transistor GH15 8x60 μm

Le transistor GH15 8x60 μm a été extrait de la structure RIC. L'assemblage du transistor GH15 est donc identique à l'assemblage du RIC. Le résultat de simulation thermique du transistor GH15 8x60 μm est validé par un résultat expérimental, ce qui traduit logiquement que la méthodologie est transportable sur celle du VT4x4 RIC.

III.2.3. Étude thermique du RIC

Nous allons maintenant aborder l'étude thermique du SiP. L'objectif de cette analyse thermique est d'évaluer la fiabilité et les conditions thermiques maximales admissibles de fonctionnement (puissance dissipée et température de référence) du SiP pour représenter ses conditions réelles de fonctionnement, c'est-à-dire qu'il faut déterminer la puissance dissipée limitée ainsi que la température limite de l'environnement, pour lesquels le bon fonctionnement et la fiabilité dans lequel il fonctionnera, pour que le RIC ait toujours un bon fonctionnement et soit toujours fiable. Cette analyse est en lien avec le « Work Package » du projet SMART3

dédié à la mesure de fiabilité. En effet, la température maximale (T_{max}) du RIC doit rester inférieur à 200 °C. Pour procéder à cette analyse, la géométrie déjà définie sera maillée, les propriétés thermiques des matériaux ainsi que les conditions aux limites seront spécifiées, et la simulation sera effectuée.

III.2.3.1. Maillage et propriétés thermiques des matériaux

Le maillage du véhicule de test VT4x4 RIC (Figure 92) est constitué de 9036577 éléments et de 2086830 nœuds.

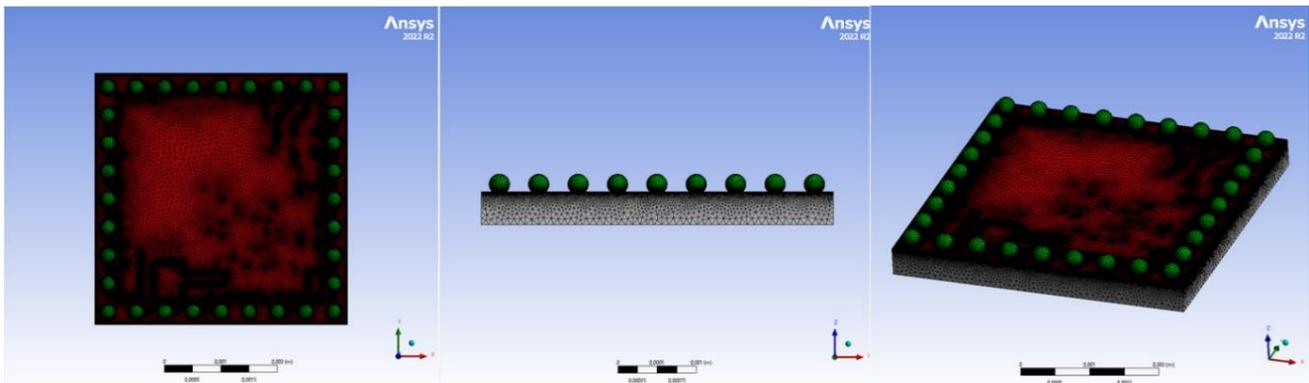


Figure 92 : Maillage du véhicule de test VT4x4 RIC

Matériaux	k_0 (W/m/°C)	ρ (Kg/m ³)	C_p (J/Kg/°C)
BCB	0.4	8300	500
Au	315	19300	137
SiN	16	2400	691
Résine époxy EMC 4251	0.65	1820	236
GaN	160	6100	490
SiC	390	3220	690
Cuivre	390	8300	500
Nickel	90	8900	444
Billes BGA SAC305	62	7370	232
Polyimide	0.25	1400	1150

Tableau 15 : Propriétés thermiques des composants du VT4x4 RIC

Les propriétés thermiques des matériaux illustrées du Tableau 15 sont celles utilisées pour effectuer la simulation thermique du RIC. Les propriétés du matériau SiN sont déjà préconfigurées dans le logiciel Ansys, bien que différentes sources de la littérature rapportent des valeurs variées de la conductivité thermique de celui-ci.

III.2.3.2. Conditions aux limites

Le véhicule de test est mis à une température initiale de 25 °C. Au début du projet, nous nous attendions à ce que le véhicule de test soit alimenté par une tension nominale $V_d = 25$ V et une intensité $I_d = 140$ mA, produisant ainsi une puissance dissipée nominale globale égale à 3.5 W. Ce dernier ayant trois transistors en son sein, cette puissance nominale sera distribuée dans chaque transistor. Cela revient à imposer une puissance dissipée approximative de 1.17 W dans chaque transistor. Cette puissance est appliquée au pied des

doigts de grilles de chaque transistor. Une température de 25 °C est imposée sur la face arrière du VT4x4 RIC, plus précisément sous la face la résine époxy EMC. Tout ceci est illustré sur la Figure 93. La convection n'est pas prise en compte dans cette étude thermique.

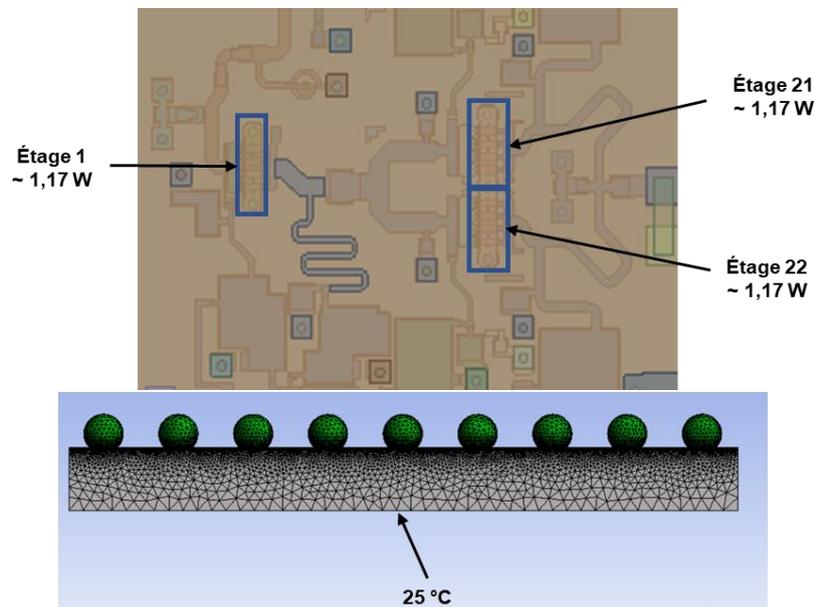


Figure 93 : Illustration des conditions aux limites appliquées pour la simulation thermique

III.2.3.3. Résultats de la simulation thermique du SiP

Les résultats de simulation thermiques du SiP obtenus sont présentés ci-dessous.

III.2.3.3.1. Puissance dissipée limite de fonctionnement

La puissance dissipée nominale injectée dans le dispositif est de 3.5 W. Les courbes bleue (capteur 2) et verte (capteur 1) de la Figure 94 montrent l'évolution de la température maximale des capteurs en fonction de la puissance dissipée. La Figure 94 montre aussi qu'à cette puissance dissipée nominale, le dispositif est hors de la zone de fonctionnement en température maximale de 200 °C. Pour s'assurer que le véhicule est fonctionnel, il faut donc une puissance dissipée en dessous de 3.5 W en l'occurrence 3 W. Cependant, si le véhicule est mis dans son environnement d'utilisation, certains paramètres peuvent conduire le dispositif à être hors de sa zone de fonctionnement. Comme nous pouvons le voir sur la Figure 94, pour une dissipation totale de 3 W, la température maximale du RIC est de 190.93 °C, à 10 °C proche de 200 °C. Pour plus de sécurité et de marge sur la température maximale de fonctionnement du VT4x4 RIC, nous pouvons envisager d'utiliser une puissance dissipée nominale critique soit de 2 W, soit de 2.5 W, où les températures de fonctionnement respectives sont de 128.28 °C et 158.57 °C. Une relation peut être déduite entre la température maximale du RIC et la température maximale des capteurs en utilisant la courbe de tendance pour obtenir les différentes expressions des températures en fonction de la puissance dissipée appliquée. Ensuite, par une combinaison des expressions, cette relation sera obtenue. Il sera évoqué plus loin dans ce chapitre.

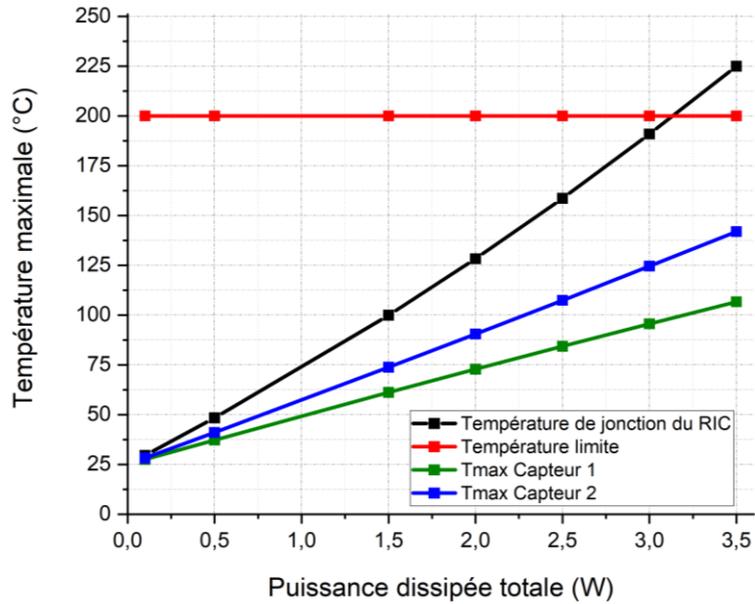


Figure 94 : Détermination de la puissance dissipée critique du VT4x4 RIC à la température de référence de 25 °C.

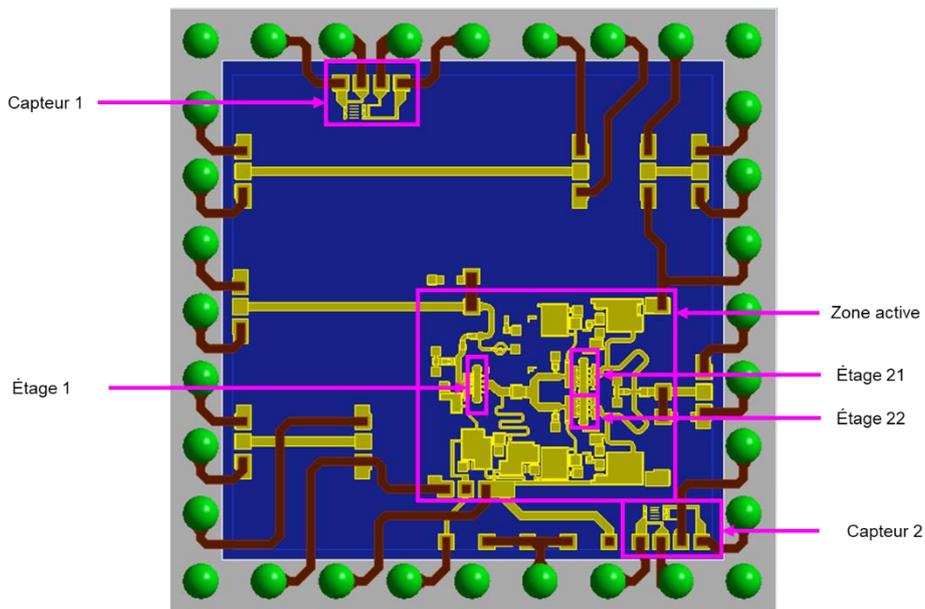


Figure 95 : illustration de l'éloignement du capteur 1 et du rapprochement du capteur 2 de la zone active de l'amplificateur GaN

III.2.3.3.2. Étude thermique du couplage entre les différents étages du VT4x4 RIC

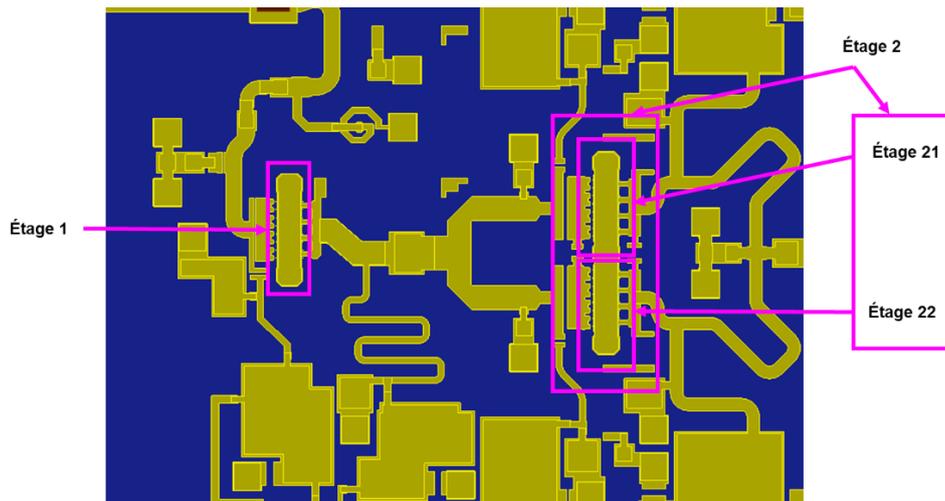


Figure 96 : Illustration du couplage entre les étages

Pour étudier le couplage entre les différents étages du circuit, nous examinons comment chaque étage interagit avec les autres lorsqu'ils sont alimentés les uns après les autres simultanément. Pour ce fait, nous allumons l'étage 1 tandis que l'étage 2 (composé des sous-étages 21 et 22) reste éteint (Figure 96). Nous répétons cette opération pour chaque transistor du dispositif, comme illustré par le Tableau 16 et le Tableau 17 représentant respectivement la température maximale et la température moyenne du couplage entre les différents étages du VT4x4 RIC. La température maximale et la température moyenne seront déterminées par simulation pour une sélection volumique de l'objet donné. La température maximale de jonction, ainsi que la température moyenne, sont calculées pour l'ensemble du RIC. Une sélection volumique au niveau des capteurs est faite pour obtenir les informations de température maximale et moyenne. Concernant les étages comprenant des transistors, les 8 doigts de grilles qui sont sélectionnés.

	Etage 1 ON	Etage 21 ON	Etage 22 ON	Etage 21 & 22 ON	Etage 1 & 21 & 22 ON
	Etage 21 & 22 OFF	Etage 1 & 22 OFF	Etage 1 & 21 OFF	Etage 1 OFF	
Température de jonction maximale (°C)	71.8	72.5	73.12	103.9	128.3
Température maximale capteur 1 (°C)	41.8	41.2	40.8	56.6	72.8
Température maximale capteur 2 (°C)	44.2	46.9	48.3	70.7	90.5
Température maximale étage 1 (°C)	71.8	45.7	45.9	66.9	118.7
Température maximale étage 21 (°C)	45.7	72.5	53.4	103.6	127.9
Température maximale étage 22 (°C)	45.8	53.2	73.2	103.9	128.3

Tableau 16 : Température maximale du couplage interétage du VT4x4 RIC pour une puissance dissipée nominale de 2 W et une température de référence de 25 °C

	Etage 1 ON	Etage 21 ON	Etage 22 ON	Etage 21 & 22 ON	Etage 1 & 21 & 22 ON
	Etage 21 & 22 OFF	Etage 1 & 22 OFF	Etage 1 & 21 OFF	Etage 1 OFF	
Température de jonction moyenne (°C)	44.04	44.77	44.87	65.24	85.2
Température moyenne capteur 1 (°C)	41.50	40.83	40.51	55.93	71.74
Température moyenne capteur 2 (°C)	43.87	46.52	47.80	69.81	89.17
Température moyenne étage 1 (°C)	68.18	45.54	45.63	66.45	114.53
Température moyenne étage 21 (°C)	45.55	69.18	51.6	99.43	123.39
Température moyenne étage 22 (°C)	45.65	51.61	69.73	100.02	124.15

Tableau 17 : Température moyenne du couplage interétage du VT4x4 RIC pour une puissance dissipée nominale de 2 W et une température de référence de 25 °C

L'analyse du couplage entre les différents étages montre que le capteur 1 n'est pas en mesure de fournir les informations pour prédire quel transistor (étage 1 ou étage 2) est alimenté, car les températures de ce dernier sont constantes quel que soit l'étage. Le capteur 2, en revanche, présente des variations de température, permettant de prédire ces informations, répertoriées dans les Tableau 16 et Tableau 17, en cadrées rouge. Dans le cadran vert de la température maximale comme la température moyenne, nous observons une matrice quasi-symétrique montrant aucune interférence d'un étage vis-à-vis des autres étages.

III.2.3.3.3. Température de référence limite pour atteindre sa température de fonctionnement maximale

La puissance dissipée limite est ainsi obtenue pour le bon fonctionnement du dispositif. Jusqu'à quelle température de référence ce dispositif peut-il fonctionner correctement avec cette puissance dissipée limite ?

La Figure 97 met en exergue la limite de température de référence pour laquelle le dispositif est toujours fonctionnel. Pour une puissance dissipée nominale de 2 W, la température de référence limite est de 85 °C et la température maximale de fonctionnement est de 199.11 °C. Tandis que pour une puissance dissipée de 2.5 W, la température de référence limite est de 58 °C pour une température maximale de fonctionnement proche de 200 °C voire l'image B de la Figure 97.

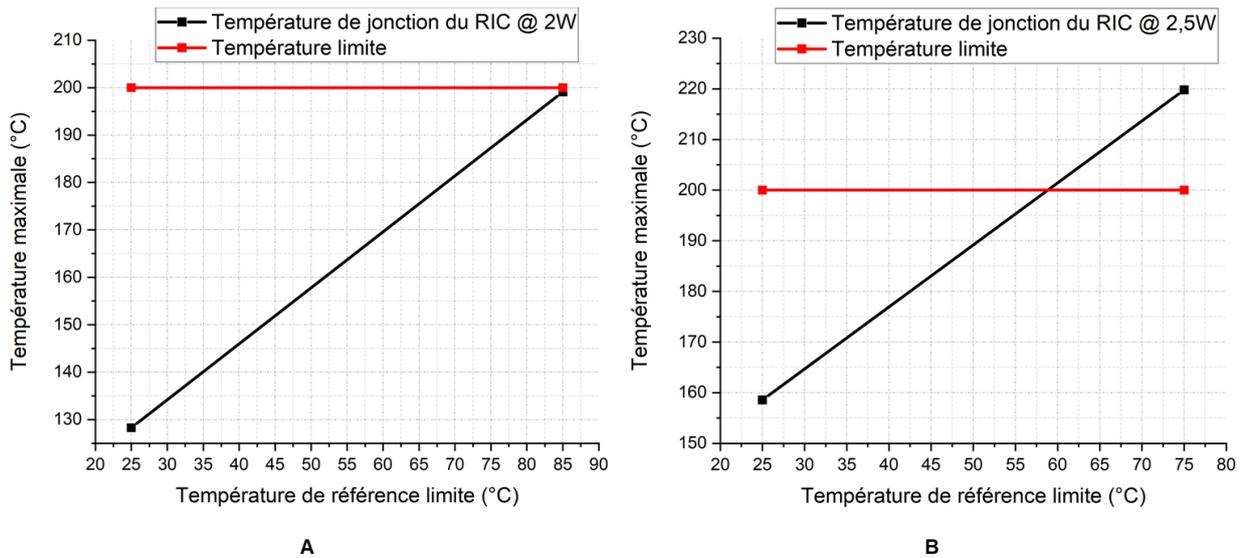


Figure 97 : Température de référence limite du VT4x4 RIC pour atteindre la température maximale de fonctionnement de 200 °C. A/ puissance dissipée de 2 W, B/ puissance dissipée de 2.5 W

III.2.3.3.4. Impact de l'environnement (transistor GH15 et VT4x4 RIC)

Caractéristiques	Transistor GH15 8x60 μm	VT4x4 RIC avec un seul transistor alimenté
Nombre de grille	8	8
Largeur de grille (Wu)	60 μm	60 μm
Température imposée $T_{ref} = 25 \text{ °C}$	Face arrière transistor	Face arrière EMC
Puissance dissipée appliquée (P_{diss})	~ 1.17 W	~ 1.17 W
Température maximale (T_{max})	~ 54 °C	~ 112 °C
Résistance thermique (R_{th})	~ 25 °C/W	~ 75 °C/W

Tableau 18 : Impact de l'environnement (transistor isolé et VT4x4 RIC)

Dans le Tableau 18, nous observons l'impact que peut avoir le rapport d'échelle de la géométrie mettant en avant le concept multi-échelle. En se référant aux résultats du transistor isolé et celui tout seul alimenté dans le SiP, ces deux cas de figure sont alimentés avec la même puissance dissipée, approximativement de 1.17 W. Nous observons une variation de température passant de 54 °C pour le transistor isolé à 112 °C pour le transistor dans le SiP.

La valeur de la variation de température maximale du transistor dans le SiP est le triple de celle du transistor isolé. Nous observons une différence de 58 °C entre les deux températures de jonction maximales. Bien entendu, cette forte différence est due à l'environnement dans lequel se trouve le transistor et pour beaucoup aux conditions limites qui lui sont appliquées. Un transistor seul performant thermiquement, lorsqu'il est dans son environnement SiP, sa température est dégradée. Le concept multi-échelle prend toute son importance dans cette étude.

III.2.3.3.5. Régime transitoire du VT4x4 RIC

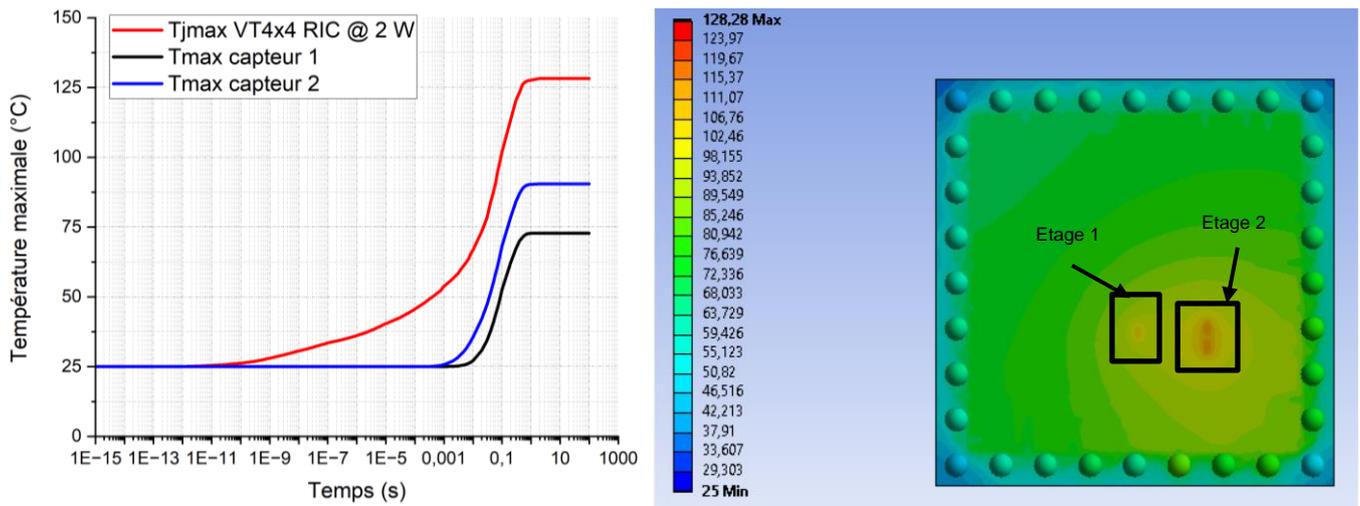


Figure 98 : Courbe transitoire du VT4x4 RIC ainsi que des capteurs intégrés

Sur la Figure 98, nous pouvons voir la courbe de l'étude thermique transitoire du VT4x4 RIC pour la puissance dissipée nominale de 2 W et une température de référence de 25 °C. Sur la cartographie du RIC, l'on voit que la zone la plus chaude correspond à l'étage 2 de l'amplificateur. L'échelle en abscisse de la courbe de cette figure est une échelle logarithmique. Toujours en se référant à 95 % de la température maximale, le dispositif atteint son régime permanent à partir de 0.4 s, sa courbe représentative est celle en rouge. Le capteur 2 (courbe bleue) et le capteur 1 (courbe noire) atteignent également leur régime permanent au bout de 0.4 s, comparé au temps de régime permanent du transistor GH15 8x60 μm , un facteur 2×10^4 est observé. Ce qui révèle également les différences de fonctionnement multi-échelle.

III.2.4. Étude thermomécanique du VT4x4 RIC

Il s'agit ici de comparer les résultats de simulation aux résultats de mesures. Nous allons tout d'abord présenter les mesures réalisées pour cette étude thermomécanique, ensuite présenter la simulation thermomécanique pour aboutir à cette comparaison des résultats. Dans le cadre du projet SMART3, les mesures thermomécaniques ont été confiées à l'entreprise INSIDIX. L'objectif de cette mesure est de caractériser les déformations des dispositifs côté résine époxy entre -55 °C et 125 °C.

Les informations fournies par INSIDIX : Pour l'analyse de la mesure, un champ de vue de 18x14 mm² a été utilisé sur les dispositifs, la profondeur du champ considéré est de 5 mm, une résolution de $\pm 1 \mu\text{m}$ de la mesure de « warpage » est faite suivant l'axe Z et pour finir la taille des pixels est de 4.8 μm produite par la caméra. Le résultat découlant de cette mesure est présenté sur la Figure 100 et la Figure 101.

La Figure 100 illustre l'état de déformation du VT4x4 RIC durant le processus du cyclage thermique (Figure 99). L'importance du cycle thermique (Figure 99) est d'évaluer les déplacements, la contrainte de rupture et la contrainte sur l'interface des matériaux entraînant la rupture par fatigue, la délamination et le phénomène de cisaillement. Nous appliquons un

cycle thermique ON/OFF variant entre -55 °C et 125 °C avec une pente de ± 10 °C/min, la durée de palier est de 15 min. Cette étude permet de prédire les défauts d'assemblage.

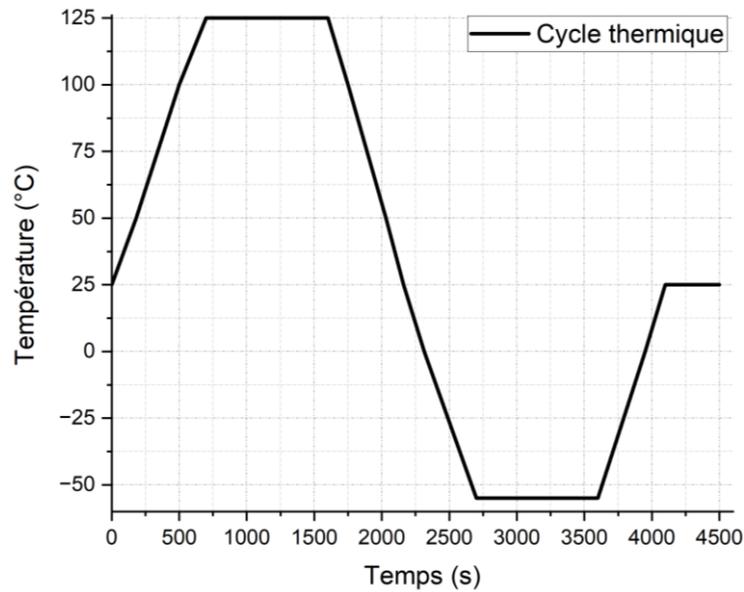


Figure 99 : Cyclage thermique utilisé pour la mesure thermomécanique

La Figure 101 est la courbe de cet état de déformation en fonction du cyclage thermique suivant l'axe Z. Les pavés blancs sur la Figure 100 correspondent aux indications ou écritures reportées sur le VT4x4 RIC visibles sur la Figure 100.

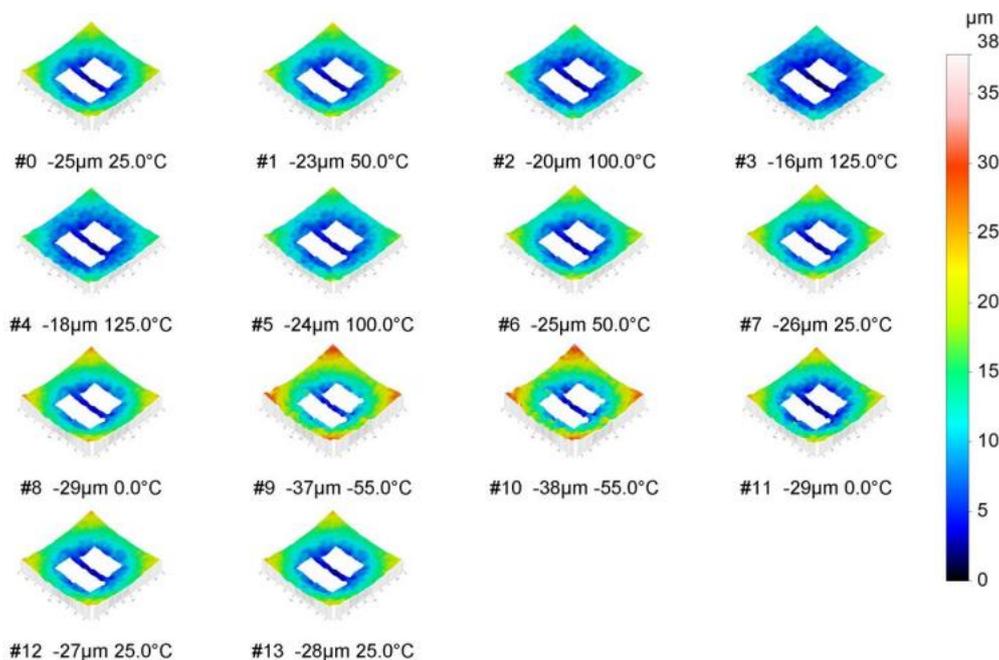


Figure 100 : Déformation (« warpage ») du VT4x4 RIC lors de la mesure TDM d'INSIDIX

Sur la Figure 101, nous observons que sur le front montant de température entre 25 °C et 125 °C, le « warpage » de la structure lors de la mesure atteint sa valeur minimale qui est de 16 µm à 125 °C ; un retour à son état initial est observé lorsque ce dernier est refroidi, le passage de 125 °C à 25 °C. Lorsque la température est appliquée entre 25 °C et -55 °C, le

« warpage » atteint sa valeur maximale de 38 μm à $-55\text{ }^\circ\text{C}$, un retour à l'état initial est aussi observé dans la phase de refroidissement. Pour un cycle, le dispositif revient quasiment à son état initial.

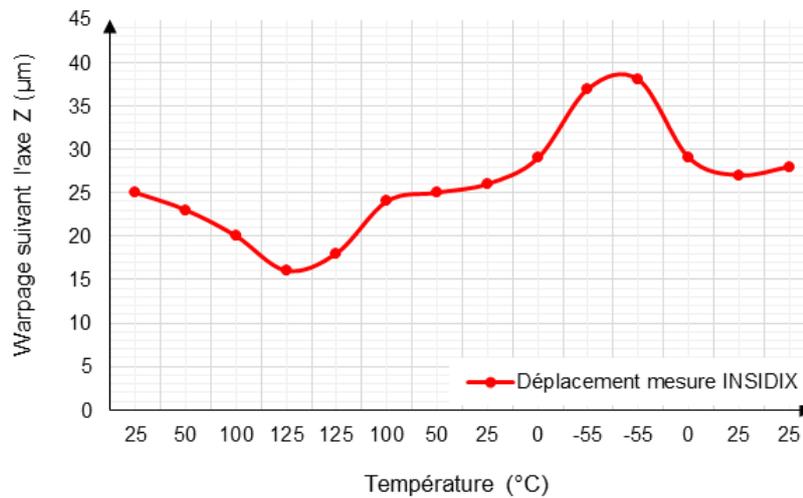


Figure 101 : « Warpage » suivant l'axe Z du VT4x4 RIC provenant de la mesure TDM d'INSIDIX

Les propriétés thermiques et mécaniques des matériaux utilisées pour cette mesure sont illustrées dans le Tableau 19 et le Tableau 20. La caractérisation des propriétés mécaniques de la résine époxy a été déterminée par le partenaire UCBL par essais mécaniques. La résine époxy EMC 4251 ainsi appelée dans cette thèse est une résine époxy Nagase 4251 [111] que Fraunhofer IZM utilise.

Matériaux	k_o (W/m/°C)	ρ (Kg/m ³)	C_p (J/Kg/°C)	E (Pa)	ν	α (1/°C)	T_g (°C)
BCB	0.4	8300	500	3×10^9	0.34	5.50×10^{-5}	
Au	315	19300	137	7.85×10^{10}	0.42	1.40×10^{-5}	
SiN	16	2400	691	4.60×10^{10}	0.26	3.40×10^{-6}	
Résine époxy EMC 4251	0.65	1820	236		0.3		165
GaN	160	6100	490	1.81×10^{11}	0.352	8.60×10^{-6}	
SiC	390	3220	690	4×10^{11}	0.17	2.75×10^{-6}	
Cuivre	390	8300	500	1.22×10^{11}	0.33	1.70×10^{-5}	
Nickel	90	8900	444	2.07×10^{11}	0.31	1.40×10^{-5}	
Billes BGA SAC305	62	7370	232	2.20×10^{10}	0.35	2.50×10^{-5}	
Polyimide	0.25	1400	1150	6.5×10^9	0.35	5.5×10^{-5}	

Tableau 19 : Propriétés mécaniques et thermiques des composants du VT4x4 RIC pour l'étude thermomécanique

Température (°C)	α (1/°C)	E (Pa)
-55	1.2×10^{-5}	3.5×10^{10}
25	1.2×10^{-5}	3.2×10^{10}
50	1.2×10^{-5}	3.1×10^{10}
100	1.6×10^{-5}	2.7×10^{10}
125	1.83×10^{-5}	2.4×10^{10}
150	6×10^{-5}	1.7×10^{10}

Tableau 20 : Coefficient de dilatation thermique (CTE) initial et module de Young initial de la résine époxy EMC 4251

La Figure 102 et la Figure 103 viennent en appui du Tableau 20 pour rendre compte de l'évolution de ces paramètres physiques vis-à-vis de la température. Nous constatons une évolution croissante du coefficient de dilatation thermique de la résine à mesure que la température augmente (Figure 102), tandis que son module de Young a une évolution décroissante à mesure que la température évolue. N'ayant pas les valeurs exactes des propriétés thermomécaniques de la résine obtenues par la mesure DMA et l'essai de traction présentes sur la Figure 15, les Figure 102 et Figure 103 ont été obtenues en considérant les valeurs présentées sur la Figure 15. La température de transition vitreuse est de 165 °C (Figure 15), pour la simulation thermomécanique nous nous limiterons qu'à la température de 150 °C pour les propriétés thermomécanique de la résine.

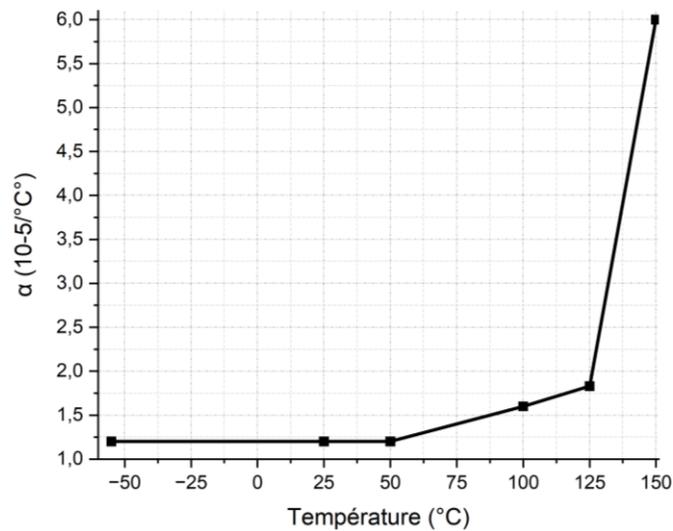


Figure 102 : Évolution du coefficient de dilatation thermique (CTE) initial de la résine époxy EMC 4251 en fonction de la température

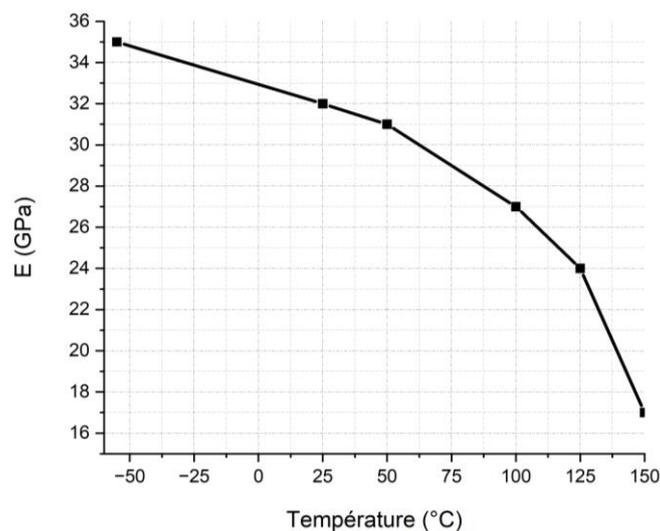


Figure 103 : Évolution du module de Young de la résine époxy EMC 4251 en fonction de la température

III.2.4.1. Simulation thermomécanique

La mise en place de cette simulation a consisté à définir les conditions aux limites présentées sur la Figure 104. Le dispositif est soumis au même cycle thermique défini lors de la mesure thermomécanique observé sur la Figure 99 que nous définissons dans la section conditions thermiques de la Figure 104 plus précisément dans l'intensité les cadres en rouge.

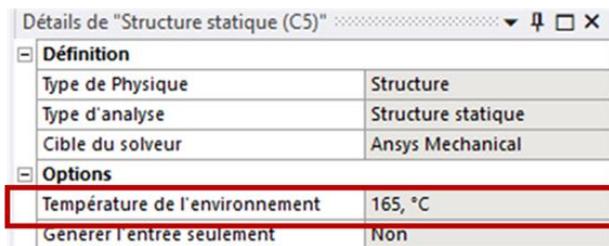
Comme évoqué plus haut, l'objectif de la mesure TDM d'INSIDIX est de caractériser les déformations des dispositifs côté résine époxy EMC, d'où la définition de sa température de déformation thermique zéro dans la section température d'environnement, comme indiqué sur la Figure 104. Cette température de l'environnement est égale à la température de référence de la déformation thermique zéro dans ANSYS.

La résine époxy EMC 4251 est le seul matériau dont le coefficient de dilatation thermique (CTE) évolue en fonction de la température. Nous avons utilisé pour cette première simulation les données issues de la caractérisation faite par l'UCBL (Tableau 19 et Tableau 20).

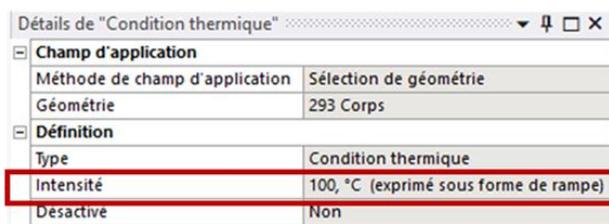
En plus, lorsque cette donnée est différente de la température de référence de la déformation thermique zéro, la simulation nous donne un avertissement que nous pouvons voir sur la Figure 105.

$$\varepsilon_{th} = \frac{\Delta \ell}{\ell_0} = \alpha (T - T_0)$$

En récapitulant d'après l'équation ci-dessus, nous avons la température de référence ou T_0 qui est égale à la température de déformation thermique zéro de la résine époxy EMC 4251 donc 165 °C. Le terme T de cette équation est, dans notre cas, la température du cycle thermique défini. La référence [112] nous montre comment implémenter le coefficient d'expansion thermique ou de dilatation thermique dans ANSYS.



Température de l'environnement = température de référence de déformation thermique zéro



Condition thermique

Figure 104 : Conditions aux limites de la simulation thermomécanique

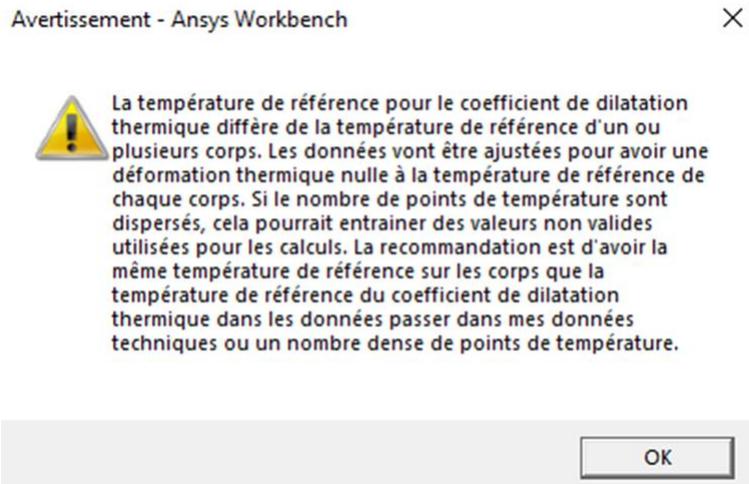


Figure 105 : Message d'avertissement provenant de la simulation thermomécanique pour une température différente de la température de déformation thermique zéro définie

Nous démarrons à 25 °C et le résultat de la simulation thermomécanique obtenu est comparé au résultat de mesure thermomécanique obtenu par la mesure TDM d'INSIDIX. Cette comparaison est illustrée sur la Figure 106. En s'appuyant sur les résultats présentés dans la Figure 106, la Figure 107 donne le « warpage » suivant l'axe Z du dispositif, avec les propriétés mécaniques déterminées par l'UCBL lors d'essais mécaniques.

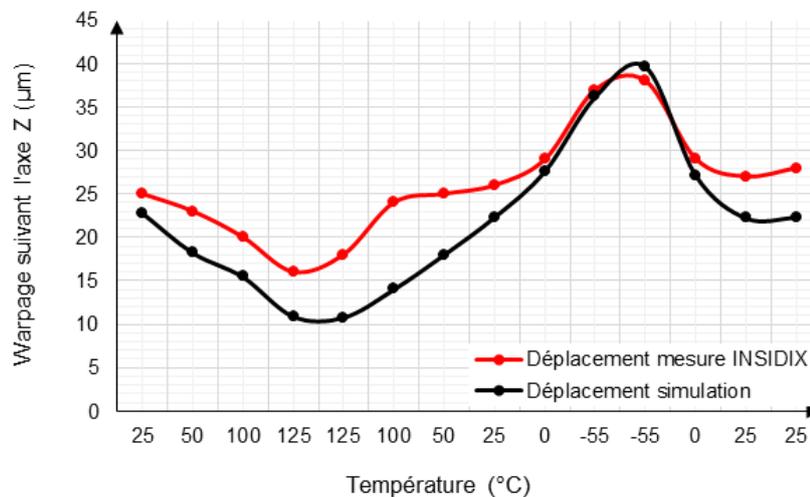


Figure 106 : Comparaison du déplacement (« warpage ») suivant l'axe Z du VT4x4 RIC obtenue en mesure TDM et en simulation thermomécanique

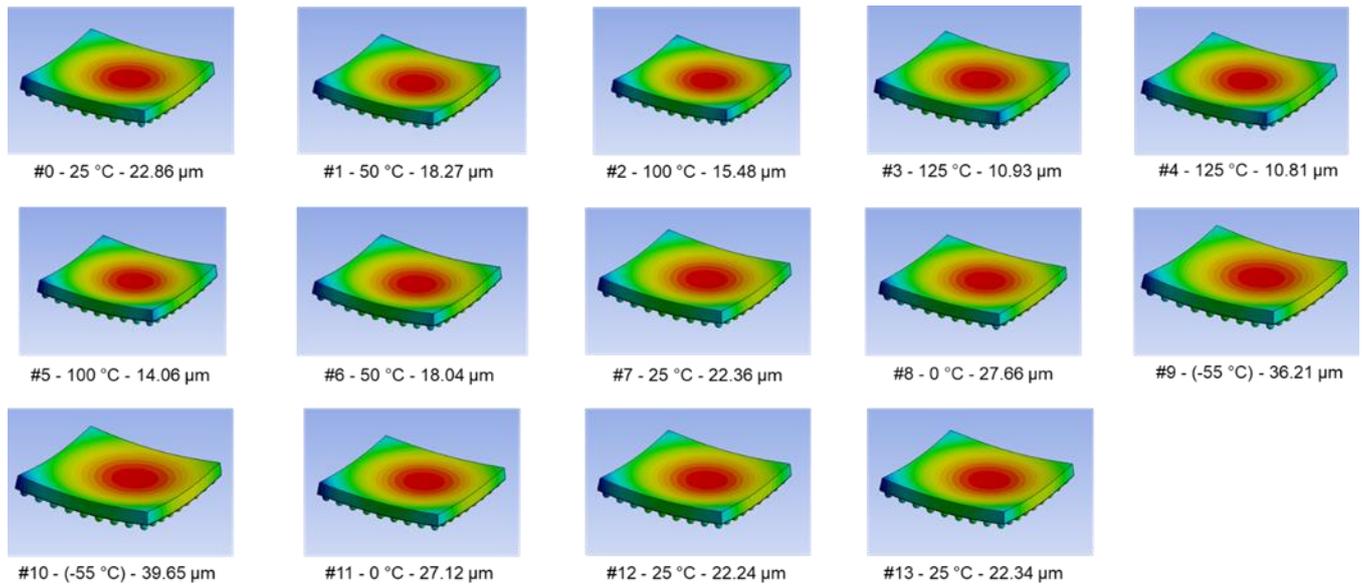


Figure 107 : État du déplacement (« warpage ») suivant l'axe Z du VT4x4 RIC lors de la simulation thermomécanique sur un cycle thermique

Le VT4x4 RIC est concave [113] tout au long du profil, ceci est confirmé en simulation (Figure 107) et en mesure TDM (Figure 100). Son déplacement s'accroît à basse température en atteignant 39.65 μm à -55 °C dans le cas de la simulation et 38 μm dans le cas de la mesure. Le résultat de simulation à basse température est proche de celui de la mesure. À haute température 125 °C, le déplacement atteint 16 μm dans le cas de la mesure TDM contre 10.81 μm dans le cas de la simulation. Le delta déplacement absolu est de 22 μm pour la mesure TDM contre 28.44 μm pour la simulation. Soit un écart de 6.84 μm relativement conséquent. Les résultats de simulation ne reproduisent pas textuellement les déplacements obtenus en mesure TDM. Nous allons essayer de voir par la suite comment minimiser cette incertitude.

En revanche, la pièce retrouve sa forme initiale en fin de profil en simulation, comme en mesure. L'écart moyen de déplacement entre les deux résultats est d'environ 4 μm . Nous remarquons aussi que les deux méthodes mettent en évidence un comportement plus marqué à basse et haute température du dispositif. Le VT4x4 RIC reste concave tout le long du cycle thermique. Les propriétés ne dépendent pas du temps, il serait nécessaire de modifier les modèles des matériaux si l'on veut voir une évolution au cours du temps mais cela est difficilement réalisable en simulation.

III.2.4.2. Amélioration du résultat de la simulation thermomécanique

En raison d'un écart important entre la simulation thermomécanique et la mesure TDM d'INSIDIX qui est de 4 μm . Nous avons investigué une étude paramétrique sur le paramètre du coefficient de dilatation thermique (CTE) de la résine époxy EMC 4251. Cette analyse paramétrique nous a permis de trouver les valeurs de ce paramètre réduisant considérablement cet écart. Le coefficient de dilatation thermique amélioré de la résine époxy EMC 4251 est répertorié dans le Tableau 21. La Figure 108, en utilisant les données du Tableau 21, montre l'amélioration apportée à ces paramètres physiques.

Température (°C)	Coefficient de dilatation thermique initial (°C ⁻¹)	Coefficient de dilatation thermique amélioré (°C ⁻¹)
-55	1.2x10 ⁻⁵	1.2x10 ⁻⁵
25	1.2x10 ⁻⁵	1.3x10 ⁻⁵
50	1.2x10 ⁻⁵	1.4x10 ⁻⁵
100	1.6x10 ⁻⁵	2x10 ⁻⁵
125	1.83x10 ⁻⁵	2.5x10 ⁻⁵
150	6x10 ⁻⁵	6x10 ⁻⁵

Tableau 21 : Amélioration du coefficient de dilatation de la résine époxy EMC 4251

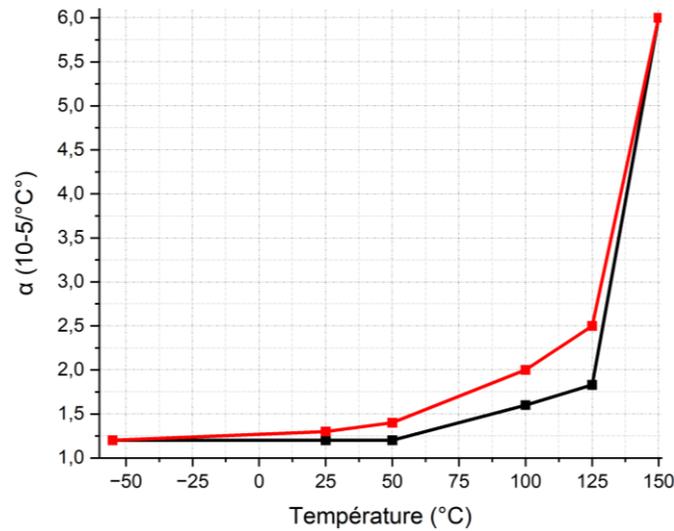


Figure 108 : Superposition des courbes initiale et améliorée du coefficient de dilatation de la résine époxy EMC 4251.

La courbe noire est la courbe initiale du coefficient de dilatation thermique de la résine époxy, la courbe rouge est la courbe améliorée du coefficient de dilatation thermique de la résine époxy. Ainsi, avec ce coefficient amélioré sur la Figure 108, nous obtenons la nouvelle courbe de déplacement suivant l'axe Z illustrée sur la Figure 109 et la Figure 110.

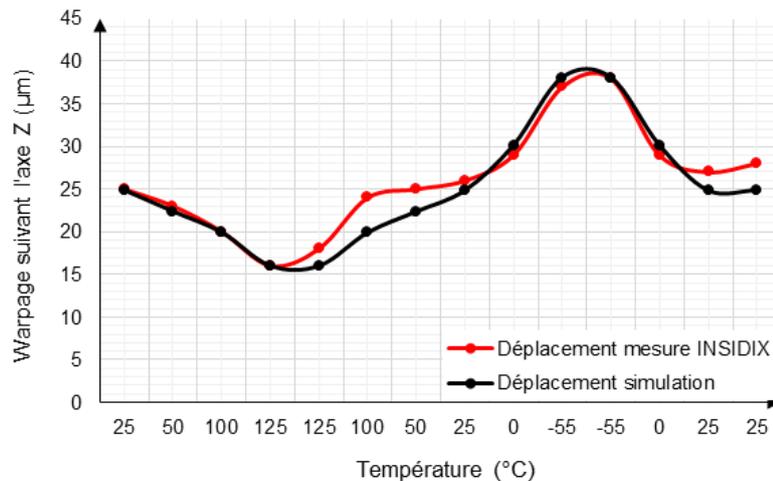


Figure 109 : Nouvelle courbe de « warpage » en fonction de la température, à la température de déformation thermique zéro de 165 °C, provenant d'une succession d'états stationnaires pour les diverses températures présentes dans le cycle thermique

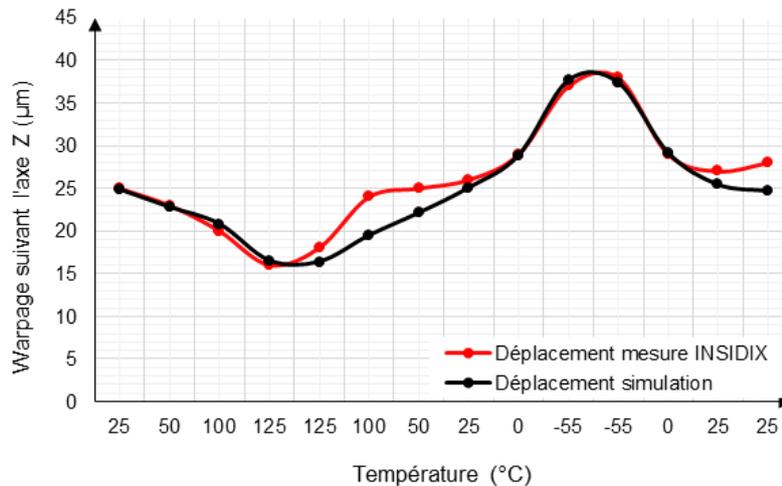


Figure 110 : Nouvelle courbe de déplacement (« warpage ») en fonction de la température, à la température de déformation thermique zéro de 165 °C et avec l'application du cycle thermique

La Figure 109 présente la courbe de comparaison du « warpage » obtenue lors de la mesure et de la simulation thermomécanique. Celle de simulation thermomécanique est une succession d'états stationnaires pour les diverses températures présentes dans le cycle thermique. Quant à la Figure 110, elle représente la courbe du « warpage » lorsque nous appliquons le cycle thermique, qui consiste en une simulation dynamique, temporelle. Nous pouvons voir qu'il y a peu de différence entre la simulation stationnaire et la simulation dynamique, temporelle.

Sur la Figure 109, le profil de température tend vers le profil de la mesure lorsque la température passe de l'état haut (125 °C) à l'état bas (0 °C) avec un léger décalage de -1,07 µm et -0,07 µm à basse température (-55 °C). Tandis que sur la Figure 110, le profil de « warpage » est linéaire en simulation lorsque la température passe de l'état haut (125 °C) à l'état bas (0 °C). Cela peut être dû à la dégradation de ses propriétés mécaniques en l'occurrence le module de Young lorsque le dispositif tend à refroidir en passant de l'état haute température vers l'état basse température ou de l'état basse température à son état initial comme nous pouvons le voir sur les Figure 109 et Figure 110.

Le VT4x4 RIC reste toujours concave tout au long du cycle thermique, comme confirmé plus haut. La forme du dispositif s'accroît à basse température en atteignant 37,69 µm de déplacement à -55 °C dans le cas de la simulation et 38 µm dans le cas de la mesure.

À haute température 125 °C, le déplacement atteint 16 µm dans le cas de la mesure TDM contre 16,38 µm dans le cas de la simulation. Le delta déplacement absolu est de 22 µm pour la mesure TDM contre 21,31 µm pour la simulation. Soit un écart de 0,69 µm. L'écart moyen de déplacement obtenu entre les deux résultats est de 0,07 µm. Nous sommes bien dans l'intervalle de résolution de ± 1 µm fourni par INSIDIX lors de la mesure de « warpage ».

Cette amélioration sous-entend qu'il faut accorder de l'intérêt à bien caractériser les propriétés thermomécaniques de la résine époxy afin de permettre une meilleure corrélation entre le résultat expérimental et le résultat numérique. Nous avons pu voir qu'elle joue un rôle prépondérant.

Température constituant le cycle thermique (°C)	Déplacement suivant l'axe Z issu de la simulation (µm)	Déplacement suivant l'axe Z issu de la mesure TDM INSIDIX (µm)
25	24.86	25
50	22.80	23
100	20.82	20
125	16.53	16
125	16,38	18
100	19.49	24
50	22.13	25
25	25.07	26
0	28.88	29
-55	37.69	37
-55	37.39	38
0	29.16	29
25	25.43	27
25	24.67	28

Tableau 22 : Données de déplacement (« warpage ») de mesure TDM et de simulation numérique améliorée

III.2.5. Simulation thermique du VT4x4 RIC assemblé sur PCB multicouche

La conception, certaines données du PCB, ainsi que l'assemblage du RIC sur PCB sont fournies par UMS. Dans cette étape, il s'agira de vérifier si les hypothèses émises lors de l'étude thermique du RIC, à savoir la température de référence limite associée à la puissance dissipée limite, sont-elles valables pour le VT4x4 RIC assemblé sur PCB ? Dans le cas contraire, il faudra trouver les conditions pour toujours assurer son bon fonctionnement ainsi que sa fiabilité.

III.2.5.1. Description de la structure du PCB multicouche

L'image de droite de la Figure 111 présente le véhicule de test assemblé sur PCB multicouche [114], [115]. Les différentes couches de ce PCB sont sur l'image de gauche de la Figure 111. Le PCB multicouche possède 12 couches de cuivre et 11 couches de diélectrique FR 4. Les couches de cuivre ont une épaisseur de 0.0175 mm soit 17.5 µm et les couches de FR 4 à l'exception de la couche du milieu de la figure de gauche (voir Figure 111) qui a une épaisseur de 0.327 mm soit 327 µm, les autres ont une épaisseur de 0.127 mm soit 127 µm. Le PCB a une dimension de 40x40 mm² avec une épaisseur de 1.807 mm, soit 1807 µm. La structure du PCB multicouche sous Ansys Workbench est représentée par la Figure 112.



Figure 111 : Gauche : Données des couches du PCB, Droite : VT4x4 RIC assemblé sur PCB

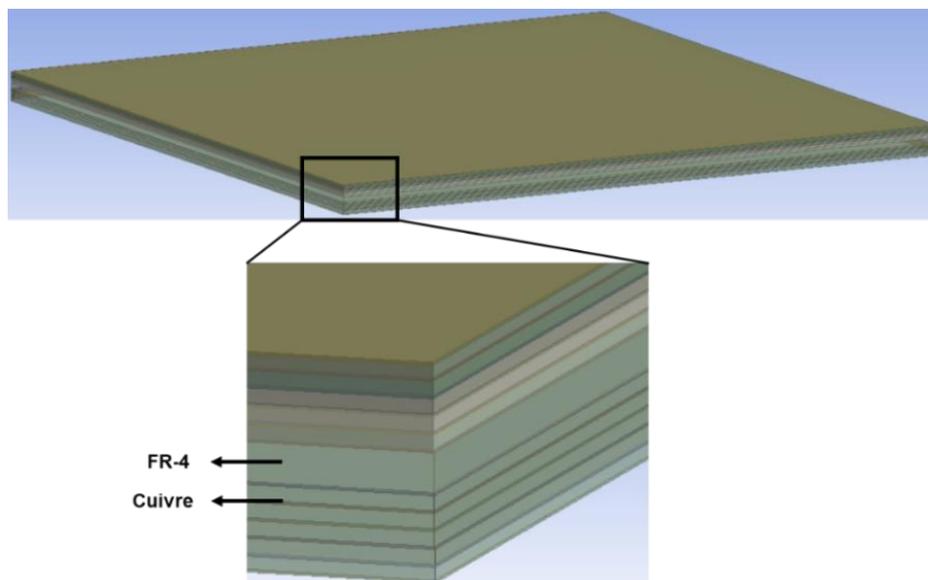


Figure 112 : Structure du PCB multicouche sous ANSYS Workbench

La structure de l'assemblage du VT4x4 RIC monté sur PCB multicouche sur Ansys est illustrée par la Figure 113. Aux matériaux présentés dans le Tableau 19, il faut rajouter le matériau diélectrique FR4 dont les propriétés sont mentionnées dans le Tableau 23 :

Matériau		FR4
k_o (W/m ² °C)	k_{ox}	0.38
	k_{oy}	0.38
	k_{oz}	0.3
ρ (Kg/m ³)		1840
C_p (J/Kg/°C)		1200

Tableau 23 : Propriétés thermiques du diélectrique FR4

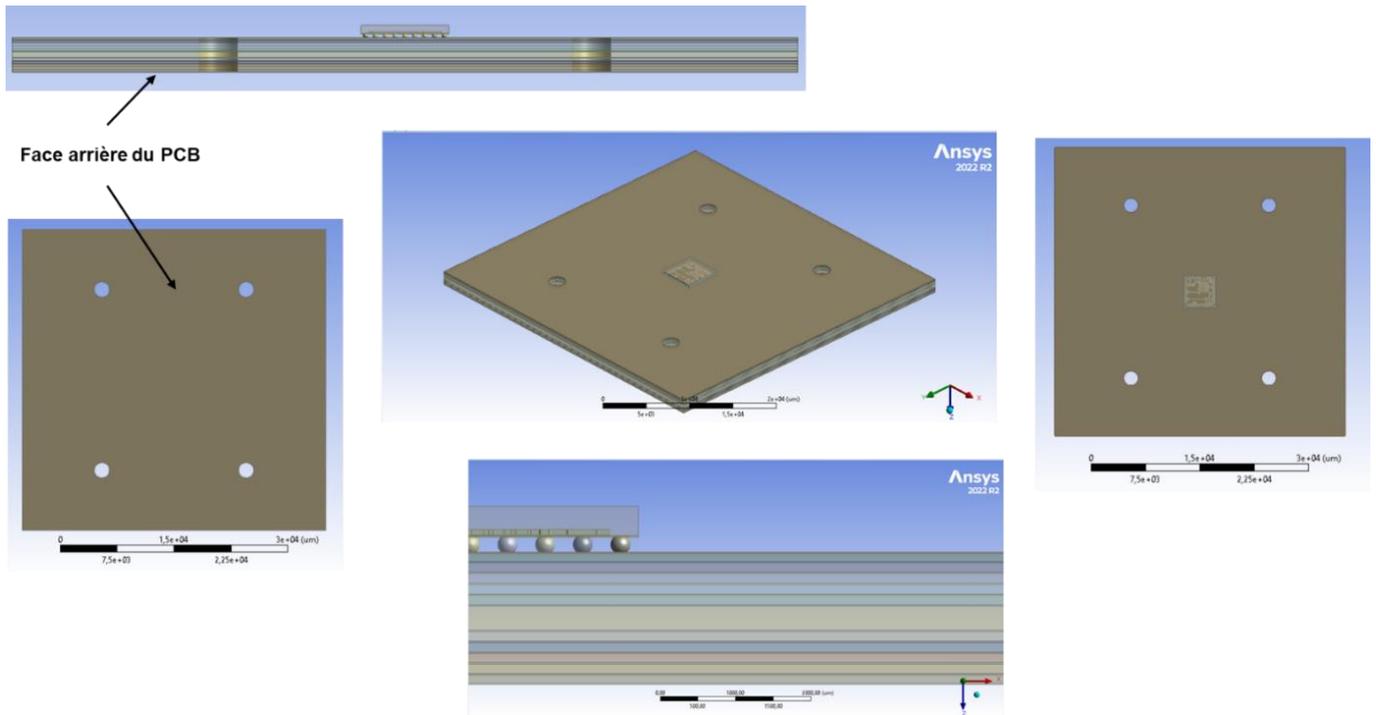


Figure 113 : Géométrie du VT4x4 RIC assemblé sur PCB multicouche sous ANSYS Workbench

III.2.5.2. Maillage et conditions aux limites appliquées

La discrétisation de la structure en éléments de maillage pour la résolution du problème thermique présentée sur la Figure 114 est constituée de 21673251 éléments et de 4494125 nœuds. L'étude thermique du VT4x4 RIC nous a donné une puissance dissipée limite de 2 W ou 2.5 W. Pour la suite, nous considérerons le cas de la puissance dissipée limite de 2 W donnant plus de marge pour atteindre la température maximale de jonction du dispositif. Cette puissance dissipée nominale totale de 2 W est appliquée au pied des doigts de grilles des trois transistors, soit 0.67 W par transistor. Ensuite nous imposons cette fois-ci une température de 25 °C sur la face arrière du PCB en supposant qu'il est posé sur un support dont la température imposée est de 25 °C. La température initiale reste toujours à 25 °C. La chaleur emmagasinée par le dispositif pour la puissance dissipée nominale totale de 2 W ne peut s'évacuer que par les billes ou grâce à de la convection car le dispositif n'a pas de dissipateur en son sein.

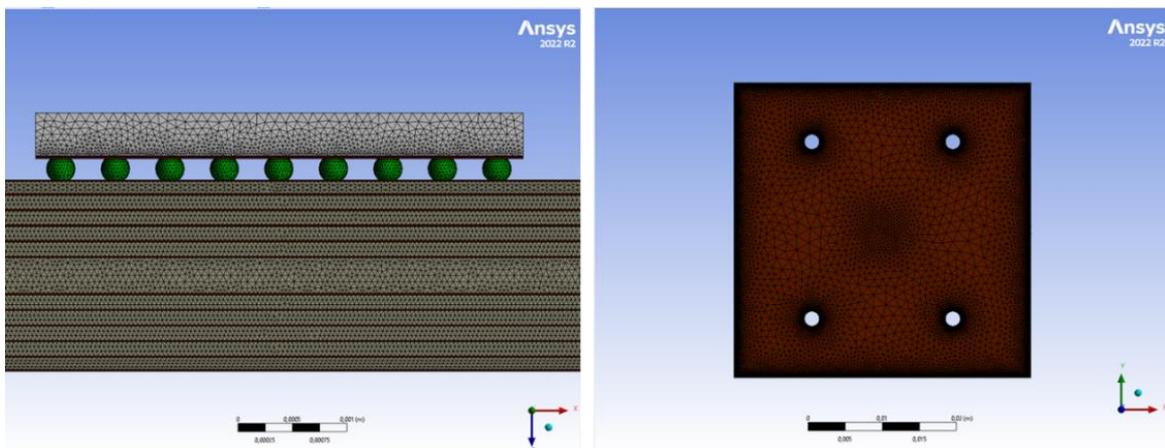


Figure 114 : Maillage du VT4x4 RIC assemblé sur PCB multicouche

III.2.5.3. Résultats

Le résultat thermique (Figure 115) montre que dans ces conditions aux limites appliquées sans la convection, la température limite de 200 °C attendue est largement dépassée.

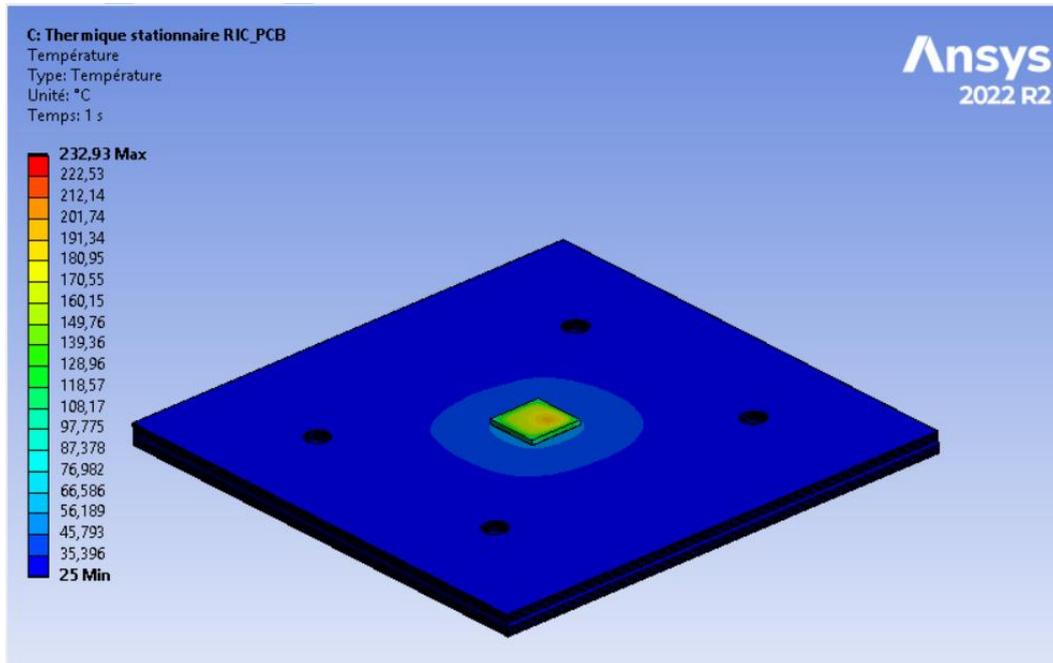


Figure 115 : Résultat de la simulation thermique stationnaire du VT4x4 RIC assemblé sur PCB multicouche

Pour dissiper la chaleur et en tenant compte du résultat de la Figure 115 obtenue avec les précédentes conditions aux limites, nous avons considéré que le dispositif est exposé à l'atmosphère ambiante en utilisant la convection naturelle, ou à l'aide d'un dispositif de ventilation pour effectuer de la convection forcée. Cette nouvelle condition aux limites vient en complément aux conditions limites précédemment définies. Les différents résultats obtenus sont répertoriés dans le Tableau 24.

Pour optimiser la dissipation de chaleur, nous optons pour une convection forcée avec un coefficient de transfert thermique $h = 200 \text{ W/m}^2/\text{°C}$, afin de disposer d'une marge suffisante pour ajuster la température de référence du PCB et atteindre une température maximale de 200 °C, ainsi que la Figure 116 donne la cartographie de ce résultat de simulation du VT4x4 RIC avec ces conditions aux limites définies. Nous aurions pu choisir $h = 100 \text{ W/m}^2/\text{°C}$, mais cela limiterait la température de référence limite à environ 30 °C.

	Température maximale (°C)
Simulation sans convection	232.93
Simulation avec convection naturelle $h = 5 \text{ W/m}^2/\text{°C}$ [77]	230.66
Simulation avec convection naturelle $h = 25 \text{ W/m}^2/\text{°C}$ [77]	222.24
Simulation avec convection naturelle $h = 100 \text{ W/m}^2/\text{°C}$ [77]	197.74
Simulation avec convection naturelle $h = 200 \text{ W/m}^2/\text{°C}$ [77]	176.25

Tableau 24 : Résultat de l'étude thermique stationnaire du VT4x4 RIC assemblé sur PCB multicouche pour une puissance dissipée nominale de 2 W et une température de référence de 25 °C

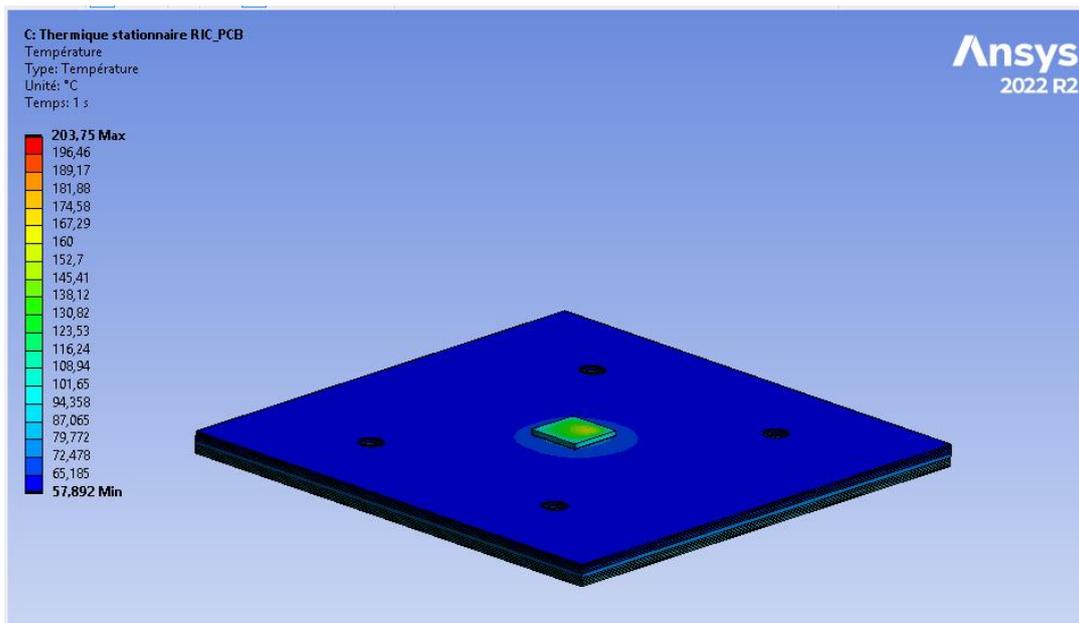


Figure 116 : Résultat de l'étude thermique stationnaire du VT4x4 assemblé sur PCB, puissance dissipé 2 W, température de référence 100 °C et de la convection forcée $h = 200 \text{ W/m}^2/\text{°C}$

Pour le coefficient de transfert thermique à $200 \text{ W/m}^2/\text{°C}$ et une température de référence limite de 100 °C , une température maximale de 203.75 °C est atteinte. Pour atteindre une température de 200 °C , il est nécessaire de choisir une température de référence de 90 °C , qui correspond au point d'intersection entre la courbe de température maximale de l'assemblage du VT4x4 RIC sur PCB et la courbe de température limite (voir Figure 117).

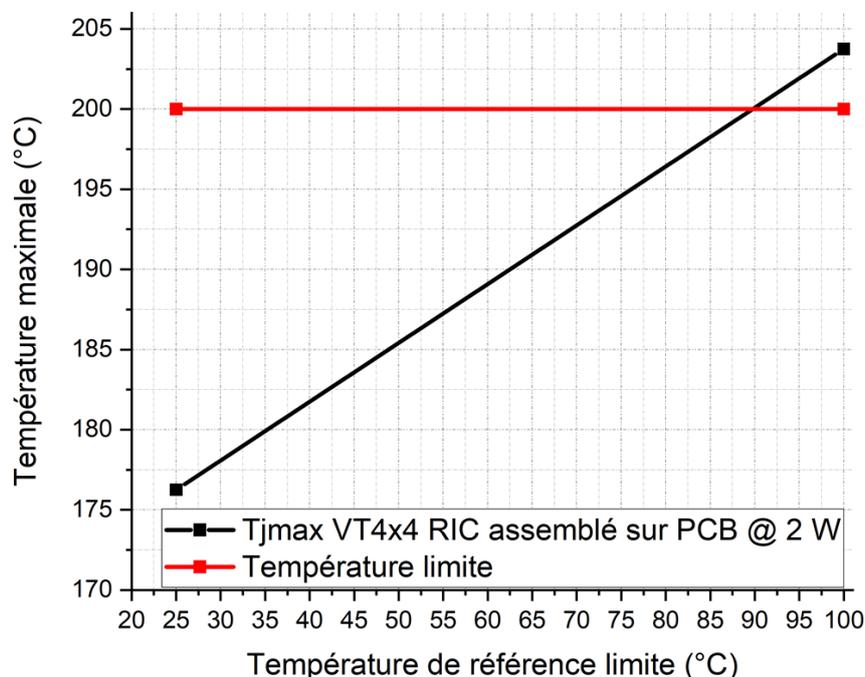


Figure 117 : Température de référence limite du VT4x4 RIC assemblé sur PCB

La Figure 118 montre également l'analyse thermique transitoire du VT4x4 RIC assemblé sur un PCB multicouche, l'abscisse est à l'échelle logarithmique. Le dispositif VT4x4 RIC, assemblé sur PCB, ainsi que les capteur 1 et 2, atteignent leur état stationnaire autour

de 0.8 s et 0.9 s lorsque nous prenons comme critère celui des 95 % du temps de la température maximale du dispositif. Nous voyons également que les transistors s'échauffent plus vite et que les capteurs s'échauffent avec une dynamique liée à leur éloignement de la source de chaleur.

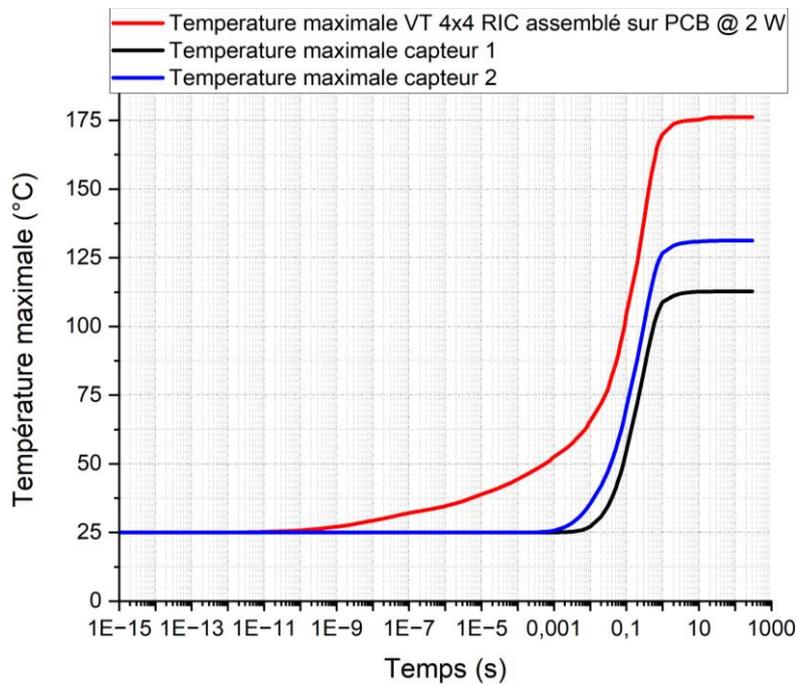


Figure 118 : Courbe transitoire du VT4x4 RIC assemblé sur PCB et capteurs intégrés à 2 W

III.2.5.4. Impact de l'assemblage SiP et de l'assemblage sur PCB multicouche (transistor GH15 8X60 μm , VT4x4 RIC et VT4x4 RIC assemblé sur PCB multicouche) sur la température

Nous allons examiner ici l'impact que peut avoir le rapport d'échelle sur les paramètres tels que la température et le temps de régime permanent. La comparaison s'effectuera entre le composant (transistor GH15 8x60 μm) et les packages (VT4x4 RIC et de son assemblage sur PCB).

III.2.5.4.1. Température maximale et résistance thermique

Cette étude d'impact des divers assemblages a été faite entre le transistor GH15 8x60 μm et le VT4x4 RIC avec un seul transistor alimenté. Dans la continuité de cette étude, celle du VT4x4 RIC assemblé sur PCB avec un seul transistor alimenté est mise en place.

Deux études de cas ont été menées :

- Cas 1 : une température de 25 °C est imposée face arrière de la résine époxy EMC et le transistor est alimenté d'une puissance de 1.17 W.
- Cas 2 : une température imposée sous la face arrière du PCB et le transistor est alimenté d'une puissance de 1.17 W.

Les résultats de l'étude sont répertoriés dans le Tableau 25.

	Transistor GH15 8x60 μm	VT4x4 RIC avec un seul transistor alimenté	VT4x4 assemblé sur PCB avec un seul transistor alimenté	
			Cas 1	Cas 2
Nombre de grille	8	8	8	8
Largeur de grille	60 μm	60 μm	60 μm	60 μm
Température imposée $T_{\text{ref}} = 25\text{ }^{\circ}\text{C}$	Face arrière transistor	Face arrière résine époxy EMC	Face arrière résine époxy EMC	Face arrière PCB
Puissance dissipée appliquée (P_{diss})	$\sim 1.17\text{ W}$	$\sim 1.17\text{ W}$	$\sim 1.17\text{ W}$	$\sim 1.17\text{ W}$
Température maximale (T_{max})	$\sim 54\text{ }^{\circ}\text{C}$	$\sim 112\text{ }^{\circ}\text{C}$	$\sim 107\text{ }^{\circ}\text{C}$	$\sim 173\text{ }^{\circ}\text{C}$
Resistance thermique (R_{th})	$\sim 25\text{ }^{\circ}\text{C/W}$	$\sim 75\text{ }^{\circ}\text{C/W}$	$\sim 70\text{ }^{\circ}\text{C/W}$	$\sim 126\text{ }^{\circ}\text{C/W}$

Tableau 25 : Impact du rapport d'échelle géométrique entre le transistor isolé, le transistor dans le SiP et le transistor dans le SiP assemblé sur PCB multicouche

Nous observons dans ce tableau que le cas 1 est le cas le plus favorable pour dissiper la chaleur du VT4x4 RIC. Le PCB joue le rôle de chemin de dissipation peu efficace dans le cas 2. Pour une même condition aux limites, avec et sans PCB, la résistance thermique est réduite dans le cas avec PCB. Le PCB joue le rôle d'un radiateur même si celui-ci n'est pas très performant compte tenu de l'échange par les billes. Pour des conditions aux limites différentes, cas 2 par rapport au transistor GH15 isolé, nous observons un facteur 5 de la résistance thermique par rapport au transistor seul.

III.2.5.4.2. Temps de régime permanent

Dans cette section, nous présentons le temps de régime permanent des différentes études thermiques transitoires au niveau du composant (transistor GH15 8x60 μm) et au niveau du package (VT4x4 RIC et de son assemblage sur PCB).

	Transistor GH15 8x60 μm	VT4x4 RIC	VT4x4 assemblé sur PCB multicouche
Temps de régime permanent	[10 μs ou 10^{-5} s ; 20 μs ou $2 \times 10^{-5}\text{ s}$]	0.4 s	0.8 s

Tableau 26 : Temps de régime permanent des différents dispositifs

Le Tableau 26 fait référence au temps mis par chaque dispositif pour atteindre son régime permanent. Le facteur de temps de régime permanent est de 4×10^5 entre le transistor GH15 8x60 μm et celui du VT4x4 RIC assemblé sur PCB multicouche. Entre le VT4x4 RIC et le VT4x4 RIC assemblé sur PCB multicouche, le facteur est de 2. Ces informations mettent en évidence le concept de multi-échelle du passage d'un transistor à un SiP sur PCB.

Toutes les informations obtenues de cette étude permettront d'aider lors de l'étape des mesures pour s'assurer que le dispositif ne soit pas endommagé lors des premiers tests de mesures qui seront investiguées. La première étape consistera à effectuer des mesures thermiques (électrique et infrarouge, si possible thermoréfectance) et de comparer avec les informations utiles obtenues par la simulation thermique dans les conditions expérimentales.

III.2.6. Mesures thermiques du VT4x4 RIC assemblé sur PCB avec ouverture coté PCB

Pour effectuer les mesures thermiques, une ouverture est faite sur le PCB, donnant ainsi accès à la partie active de la puce. Sur ce dispositif, une mesure électrique et une mesure infrarouge seront mises en place. Une fois les résultats obtenus, une comparaison sera faite avec les résultats de simulation thermique. Cette comparaison a pour but d'obtenir une corrélation de ces différentes méthodes pour la validation du bon fonctionnement et de la fiabilité du dispositif.

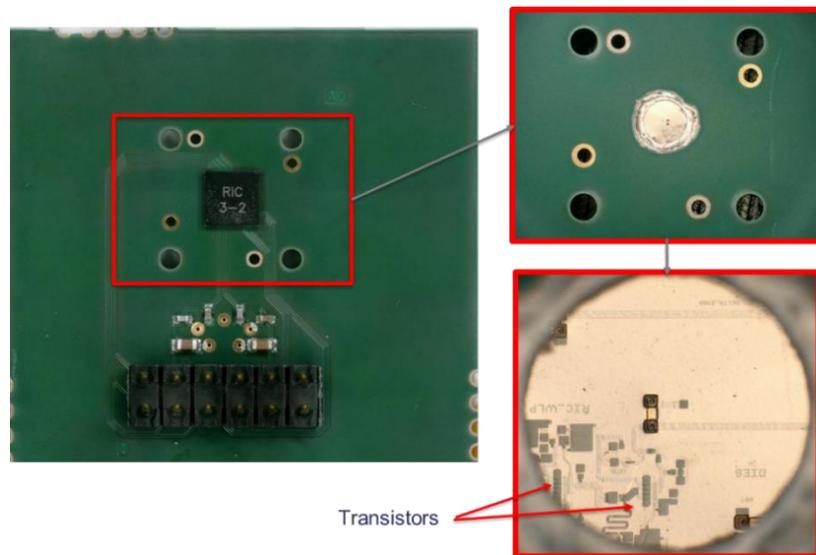


Figure 119 : Dispositif utilisé pour la mesure thermique

La Figure 119 montre le circuit utilisé pour effectuer les mesures infrarouges et électriques.

III.2.6.1. Simulation thermique

Une simulation thermique est effectuée sur le dispositif avec ouverture côté PCB. Cette simulation est faite avec les conditions dans lesquelles les mesures seront mises en place. La Figure 121 est la géométrie utilisée pour la simulation thermique. Le maillage de cette structure Figure 120 est composé de 21866612 éléments et de 4530779 nœuds.

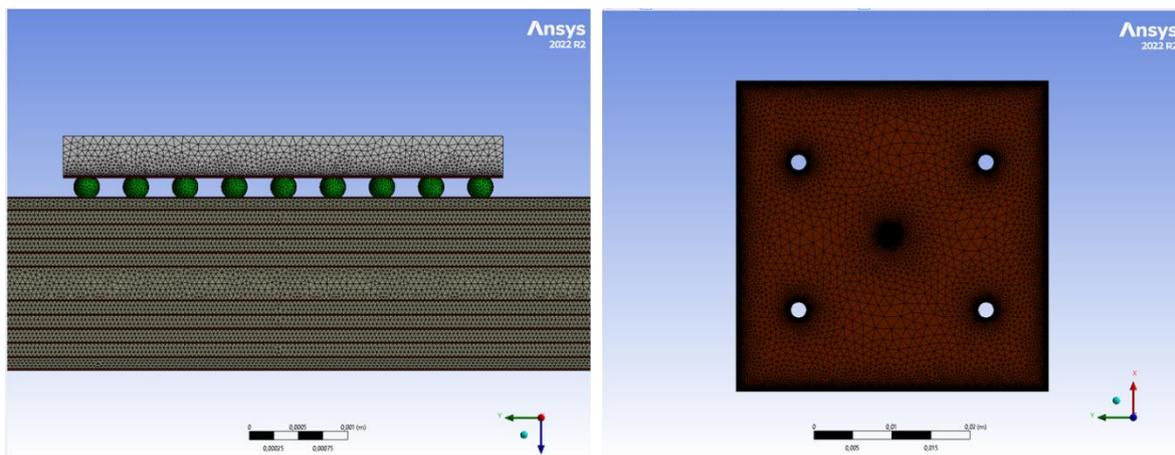


Figure 120 : Maillage de la structure du dispositif servant à la mesure thermique

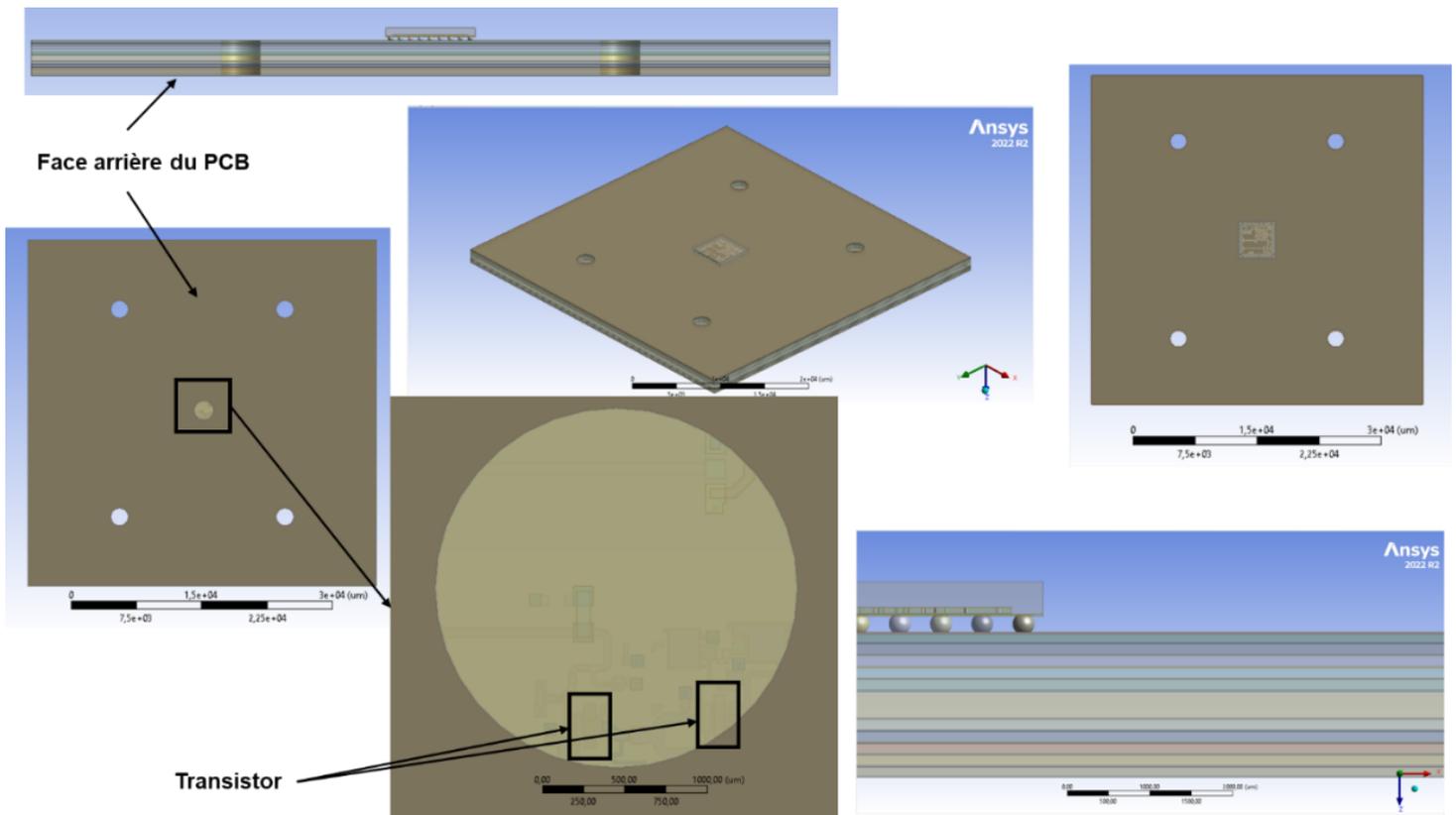


Figure 121 : Structure sous ANSYS du dispositif servant à la mesure thermique

III.2.6.1.1. Conditions aux limites

Nous imposons une température de référence qui prendra plusieurs valeurs (60 °C, 80 °C et 100 °C) sous la face arrière de la résine époxy. Ensuite seront appliquées la convection naturelle avec un coefficient $h = 25 \text{ W/m}^2/\text{°C}$ appliqué sur toutes les surfaces du dispositif sauf la face arrière côté EMC, ainsi que la température extérieure à 25 °C. La température initiale est de 25 °C. Plusieurs puissances dissipées sont appliquées sous le pied des 8 doigts de grilles pour extraire la température de jonction maximale.

III.2.6.1.2. Résultats de la simulation thermique

Le but de cette simulation reste toujours l'obtention d'une température maximale du dispositif n'excédant pas les 200 °C.

La Figure 122 montre l'évolution de la température de jonction maximale du VT4x4 RIC assemblé sur PCB multicouche avec ouverture côté PCB en fonction de la puissance dissipée pour différentes températures de référence avec une convection naturelle de coefficient de transfert thermique $h = 25 \text{ W/m}^2/\text{°C}$. Nous constatons, en simulation, que nous obtenons des droites parallèles dont l'ordonnée à l'origine reflète l'écart de la température de référence. Le même constat est fait sur la température moyenne (Figure 123). Nous remarquons aussi que le dispositif atteint sa température de jonction maximale de 200 °C pour une température de référence de 60 °C et une puissance dissipée de 3 W (Figure 122). Pour les températures de référence à 80 °C et 100 °C, la température de jonction maximale est atteinte pour des puissances dissipées respectives autour de 2.6 W et 2.3 W.

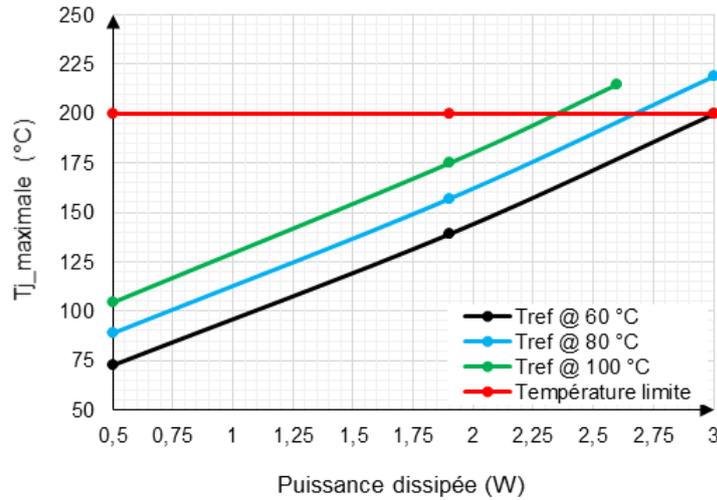


Figure 122 : Température de jonction maximale du VT4x4 RIC assemblé sur PCB multicouche avec ouverture lors de la simulation thermique

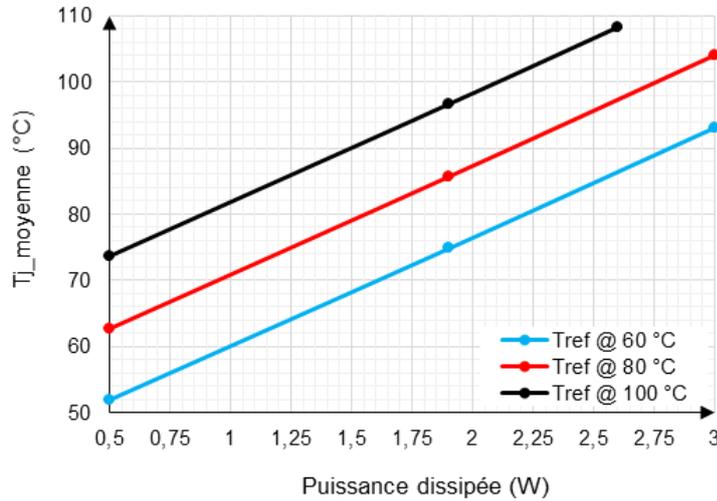


Figure 123 : Température de jonction moyenne du VT4x4 RIC assemblé sur PCB multicouche avec ouverture lors de la simulation thermique

La Figure 124 donnée ci-dessous et celles de Figure 149 et Figure 150 données en Annexe 3, présentent la température maximale et moyenne du capteur 1 et capteur 2 en fonction de la puissance dissipée, pour trois températures de référence, obtenues par la simulation thermique. Nous remarquons aussi que l'écart est faible entre la température et la température moyenne pour les températures de référence de 60 °C et 80 °C, tandis que pour la température de référence de 100 °C, les courbes de température maximale et moyenne sont parallèles. Avec des puissances dissipées faibles, la température des capteurs est à quelque degré près identique à la température de référence. Cette information est utile pour l'étape de la calibration des capteurs lors de la mesure électrique.

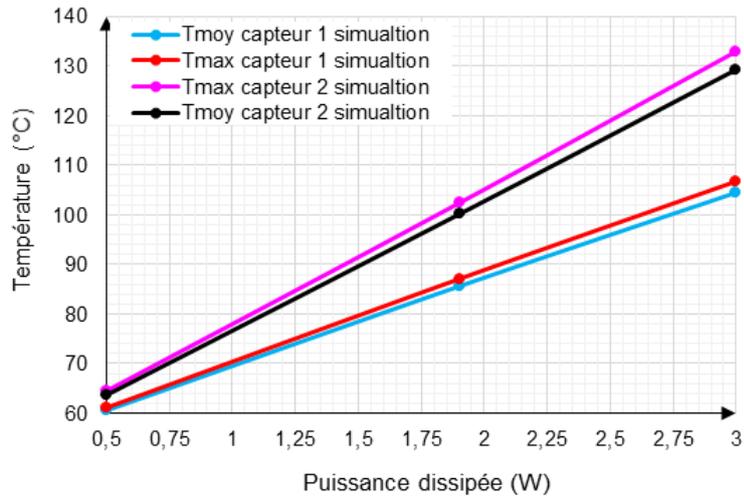


Figure 124 : Température maximale et moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 60 °C

L'accès direct aux différents capteurs est impossible (Figure 119), rendant la mesure infrarouge impossible. A défaut d'effectuer la mesure infrarouge sur les capteurs, la mesure infrarouge sera effectuée le long d'une trajectoire allant de l'étage 2 à la limite de l'ouverture (Figure 125). La distance entre l'étage 2 (étage 21) et la limite de l'ouverture est connue et vaut 1100 μm . Cependant, il est donc possible d'avoir une température par la méthode de mesure infrarouge par conjecture ou extrapolation. Dans ce registre, la simulation thermique nous donne le résultat suivant pour différentes puissances dissipées à une température de référence de 100 °C, avec les conditions aux limites précédemment définies.

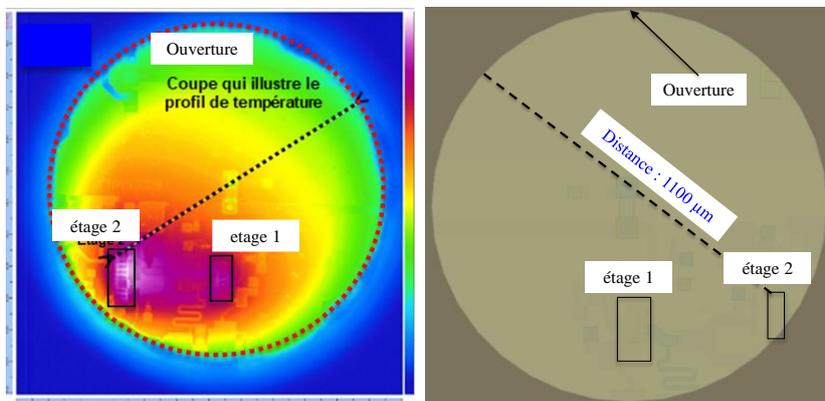


Figure 125 : Zone de mesure infrarouge

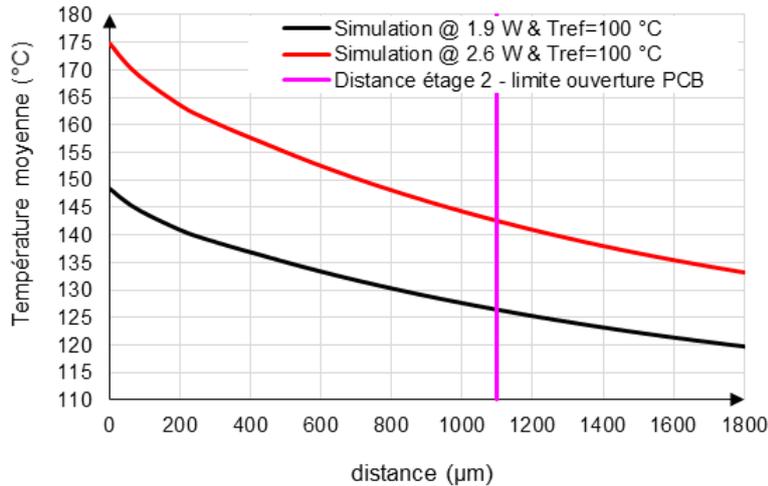


Figure 126 : Résultat de la simulation thermique de la distance entre l'étape 2 et approximativement le capteur 1 (limite d'ouverture du PCB) à une température de référence de 100 °C et des puissances dissipées à 1.9 W et 2.6 W

Les valeurs relevées sont dans le Tableau 27

Puissance dissipée appliquée (W)	Température moyenne Étage 2 - limite ouverture du PCB
	Simulation thermique
1.9	126.46 °C
2.6	142.58 °C

Tableau 27 : Résultat de la température moyenne de la simulation thermique entre l'étage 2 et la limite d'ouverture du PCB

Puissance dissipée appliquée (W)	Température moyenne Capteur1	Température maximale Capteur1
	Simulation thermique	Simulation thermique
1.9	114.87	116.86
2.6	126.65	129.21

Tableau 28 : Résultat de la température maximale et moyenne de la simulation thermique du capteur 1

III.2.6.2. Mesure électrique

Dans la mesure électrique, seuls les capteurs sont en mesure de nous fournir des informations. Pour avoir des informations sur le RIC, à savoir sa température maximale de jonction, une interpolation sera faite avec les résultats de la simulation thermique. Ces capteurs permettent de surveiller la température grâce aux connexions visibles sur la Figure 119. La mesure électrique est effectuée en collaboration avec le partenaire III-V Lab et LATPI/Thalès RT.

Le dispositif est mis sur un bloc de cuivre (Figure 127) permettant de stabiliser ce dernier, et aussi d'imposer la température sous le dispositif côté résine époxy EMC. Ce bloc de cuivre dispose d'un orifice assez proche du VT4x4 RIC permettant d'insérer un thermocouple pour mesurer la bonne température souhaitée du bloc de cuivre, il faut s'assurer

que la température que donne le thermocouple soit à son régime permanent. La Figure 128 présente le plan de câblage du dispositif.

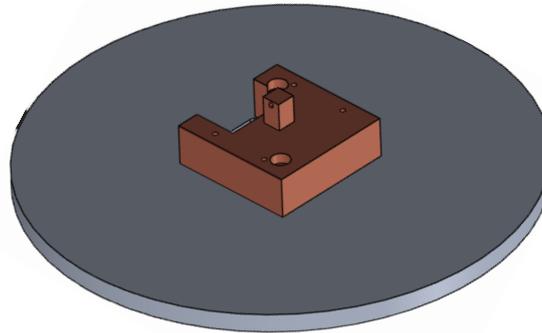


Figure 127 : Support de bloc de cuivre sur lequel est posé le dispositif pour appliquer la température de référence

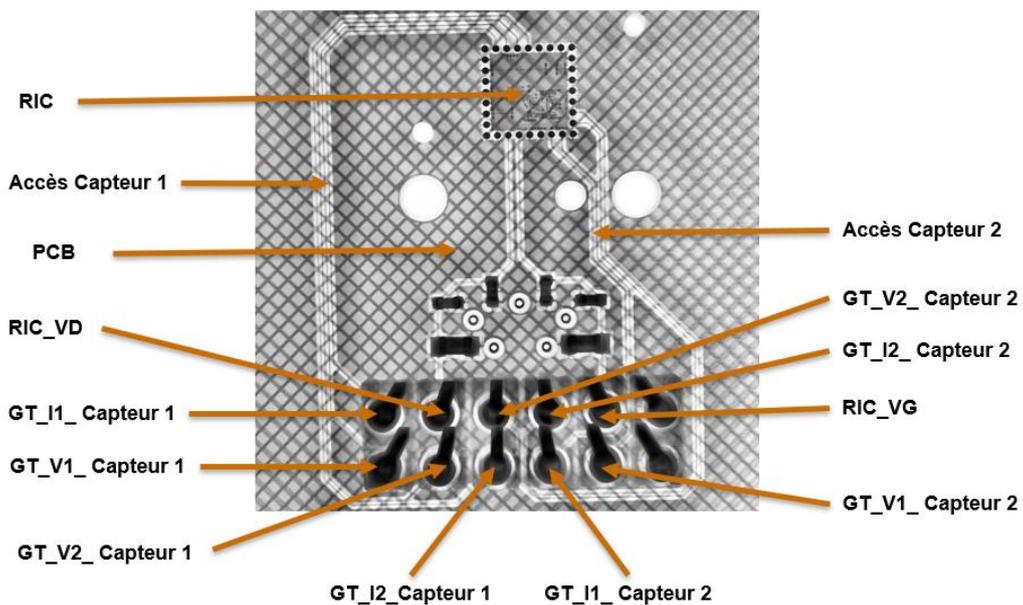


Figure 128 : Plan de câblage du dispositif

Pour la mesure électrique, une étape de calibration est réalisée au niveau des capteurs dans un premier temps pour obtenir l'information de la résistance électrique des capteurs intégrés en fonction de la température imposée sur la face arrière de l'EMC qui est supposée correspondre à la température du capteur.

La Figure 129 présente le banc de mesure électrique mis en place par III-V Lab & LATPI/Thalès RT permettant de faire la calibration des sondes. Il permet l'acquisition des données en temps réel via un code Python.

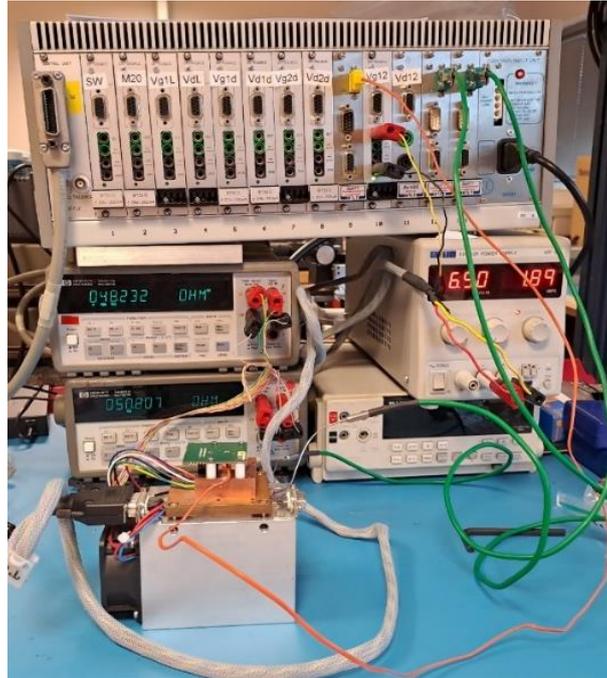


Figure 129 : Banc de mesure pour calibration des sondes (III-V Lab & LATPI & Thalès RT)

Par exemple, nous souhaitons calibrer le capteur 1. Le dispositif côté résine époxy EMC est posé sur le bloc de cuivre qui est maintenu par des vis à ressort pour le maintenir au bloc de cuivre. Ce bloc de cuivre est ensuite posé sur un chuck thermique. Ce chuck thermique est chauffé afin d'obtenir la température souhaitée sous le VT4x4 RIC par le biais du thermocouple introduit dans l'orifice du bloc de cuivre.

Une valeur d'intensité fixe et assez faible à GT_I1_Capteur 1 est appliquée. Nous mesurons la tension GT_V1_Capteur 1 à chaque température imposée. GT_I2_Capteur 2 et GT_V2_Capteur 2 sont mis à la masse. Cette étape permet d'observer la courbe de l'évolution de la température appliquée sous le dispositif en fonction de la résistance du capteur 1. Pour une valeur de GT_I1_Capteur 1 égale à 10 mA fixe et pour plusieurs températures imposées au VT4x4 RIC. Nous obtenons le résultat présenté sur la Figure 130.

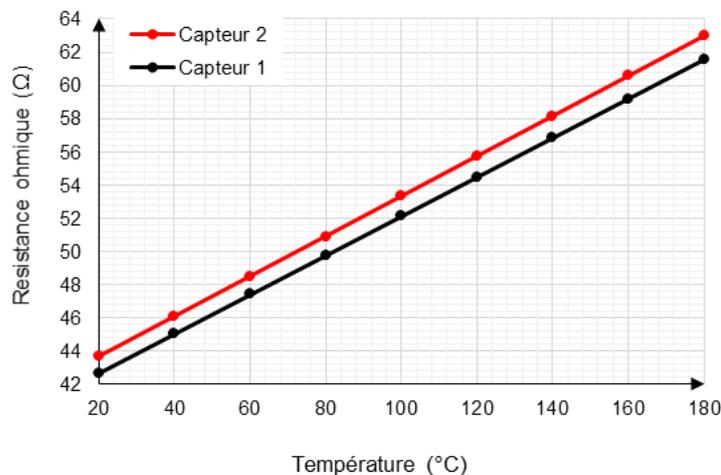


Figure 130 : Résistance ohmique ou électrique des capteurs en fonction de leur température maximale

Cette courbe de la Figure 130 présente une évolution linéaire de la résistance du capteur 1 en fonction de la température du thermocouple. A l'état initial, la résistance ohmique du capteur est autour de 40 Ω . Ceci montre une bonne corrélation car ce même constat est fait au niveau du capteur 2 avec le même coefficient directeur de 0.12 $\Omega/^{\circ}\text{C}$.

Deuxième étape, nous injectons de la puissance dans le RIC en fixant RIC_VD à une valeur donnée fixe ainsi que GT_I1_Capteur 1. En faisant varier RIC_VG et l'intensité ID dans le RIC donc RIC_ID, nous relevons la tension GT_V1_Capteur 1. Ainsi, à la puissance dissipée donnée dans le dispositif, nous associons une résistance du capteur 1. Cette résistance du capteur 1 est lue sur la courbe et permet d'obtenir la température du capteur 1. Le résultat lors de la mesure électrique pour une température de référence de 100 $^{\circ}\text{C}$ avec des puissances dissipées de 1.9 W et 2.6 W est illustré dans le Tableau 29 :

Puissance dissipée appliquée (W)	Température capteur 1
	Mesure électrique
1.9	122 $^{\circ}\text{C}$
2.6	138 $^{\circ}\text{C}$

Tableau 29 : Résultat de la température du capteur 1 obtenue par la mesure électrique.

III.2.6.3. Mesure infrarouge

La mesure infrarouge est effectuée en collaboration avec le partenaire III-V Lab et LATPI/Thalès RT. La mesure infrarouge sera effectuée le long d'une trajectoire allant de l'étage 2 à la limite de l'ouverture, ainsi que sur les étages du dispositif. La mesure électrique est effectuée en collaboration avec le partenaire III-V Lab et LATPI & Thalès RT. La mesure infrarouge fut effectuée en variant la température de référence de 60 $^{\circ}\text{C}$, 80 $^{\circ}\text{C}$ et 100 $^{\circ}\text{C}$, ainsi que la puissance dissipée. La méthodologie de cette mesure est déjà expliquée dans le Chapitre II. Ces résultats permettront d'effectuer la comparaison avec ceux obtenus par la simulation thermique et la mesure électrique. Les résultats obtenus sont répertoriés dans le Tableau 30 :

Puissance dissipée appliquée (W)	Température
	Étage 2 - limite de l'ouverture du PCB
	Extrapolation mesure infrarouge
1.9	122 $^{\circ}\text{C}$
2.6	135 $^{\circ}\text{C}$

Tableau 30 : Résultat de la température obtenue par la mesure infrarouge entre l'étage 2 et la limite d'ouverture du PCB.

III.2.7. Synthèse des résultats de mesure (infrarouge, électrique) et de simulation thermique

Cette section présentera les divers résultats issus de la mesure infrarouge, de la mesure électrique et de la simulation thermique. Une comparaison des données similaires sera réalisée entre les différentes méthodes.

III.2.7.1. Comparaison mesure électrique et mesure infrarouge

La comparaison entre la mesure infrarouge (température extrapolée ou conjecturée) et la mesure électrique est présentée dans le Tableau 31. Les résultats sont identiques, permettant l'assurance de la fiabilité du dispositif. Même si l'ouverture empêche d'avoir une température réelle sur le capteur 1 avec son éloignement de la zone active, les deux mesures sont proches.

Puissance dissipée appliquée (W)	Température Étage 2 – limite ouverture PCB (~ capteur 1)	Température capteur 1
	Extrapolation mesure infrarouge	Mesure électrique
1.9	122 °C	122 °C
2.6	135 °C	138 °C

Tableau 31 : Comparaison des résultats de mesure et de simulation du capteur 1 à une température de référence de 100 °C

III.2.7.2. Comparaison mesure électrique et simulation thermique

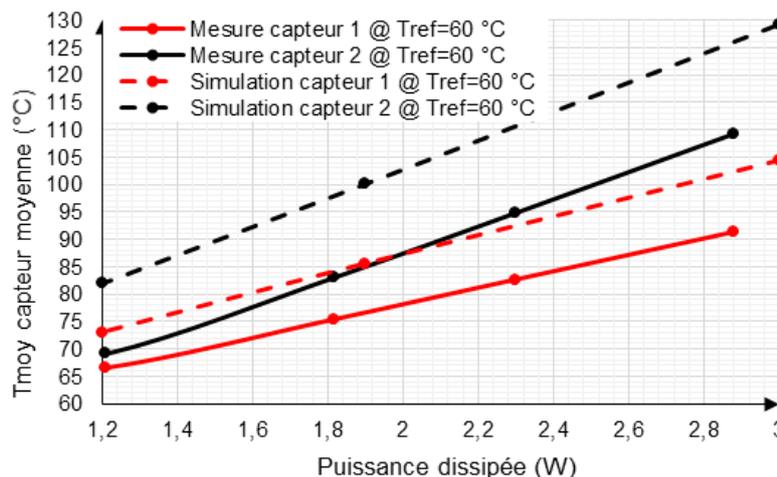


Figure 131 : Comparaison de la température de la mesure électrique et de la température moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 60 °C

La comparaison est effectuée entre les résultats de la mesure électrique et de la simulation thermique au niveau des deux capteurs thermiques intégrés pour différentes températures de référence. Les courbes en trait plein sont celles de la mesure électrique et les courbes en pointillés sont celles de la simulation thermique.

Nous observons sur la Figure 131 ci-dessus, la Figure 151 et la Figure 152 données en Annexe 4 que quel que soit le capteur, le coefficient directeur des courbes de la mesure et celles de la simulation thermique semblent identiques indépendamment de la valeur de la température de référence appliquée. À l'exception de celui du capteur 1 avec une température de référence de 100 °C où les courbes se croisent.

Des écarts existent entre la mesure et la simulation. Ils restent inférieurs à 15 °C. L'écart le plus important est sur le capteur 1. Les écarts observés entre la mesure électrique et la simulation thermique diminuent à mesure que la température de référence augmente.

Plusieurs hypothèses peuvent être émises. Au niveau de la simulation, l'écart peut s'expliquer soit par les hypothèses de simplifications émises pour la géométrie modélisée ou des paramètres physiques. D'un point de vue de la mesure électrique, les pertes dans les accès jusqu'aux transistors peuvent également expliquer celle de la simulation qui considère que toute la puissance est utilisée dans les transistors

III.2.7.3. Comparaison mesure infrarouge et simulation thermique

III.2.7.3.1. Comparaison des résultats niveau de la trajectoire entre étage 2 et la limite de l'ouverture du PCB

La Figure 132 montre une comparaison du profil de température le long de la trajectoire défini sur Figure 125 entre la mesure infrarouge et la simulation thermique pour deux puissances dissipées s'appuyant sur les données du Tableau 32. Cette différence peut s'expliquer, d'une part, par la difficulté à déterminer la température mesurée en infrarouge, qui est une valeur moyenne, et d'autre part, par l'influence du BCB sur la température relevée. Pour une puissance dissipée de 1,9 W, l'écart est de 4 °C, tandis qu'à 2,6 W, un écart de 7 °C est observé. Ces deux écarts entraînent une erreur par rapport à la mesure, bien que les résultats restent relativement proches.

Puissance dissipée appliquée (W)	Température moyenne Étage 2 - limite d'ouverture du PCB	Température moyenne Étage 2 - limite d'ouverture du PCB
	Simulation thermique	Extrapolation mesure infrarouge
1.9	126.46 °C	122 °C
2.6	142.58 °C	135 °C

Tableau 32 : Comparaison du profil de température le long de la trajectoire entre la mesure infrarouge et la simulation thermique

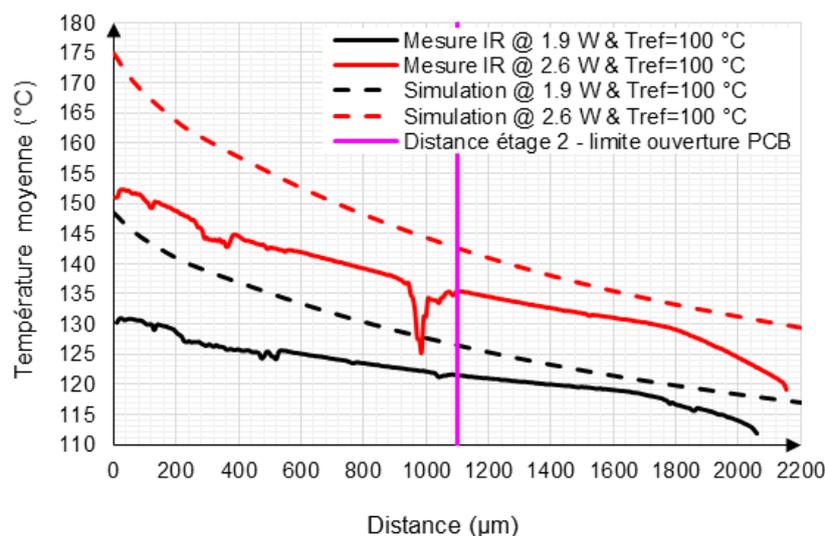


Figure 132 : Courbe de comparaison des résultats infrarouges et de la simulation thermique de la distance entre l'étage 2 et la limite de l'ouverture du PCB à une température de référence de 100 °C et puissance dissipée à 1.9 W et 2.6 W

III.2.7.3.2. Comparaison au niveau de l'étage 1 et de l'étage 2

Ensuite, la Figure 133 montre la zone de référence choisie (entre les bus de drain) pour la mesure infrarouge. Cette zone est choisie pour son homogénéité et son émissivité élevée (Figure 134). La zone d'identification est choisie est la zone du semi-conducteur au milieu du bus de drain. La zone est homogène avec une émissivité supérieure ou égale à 0.5.

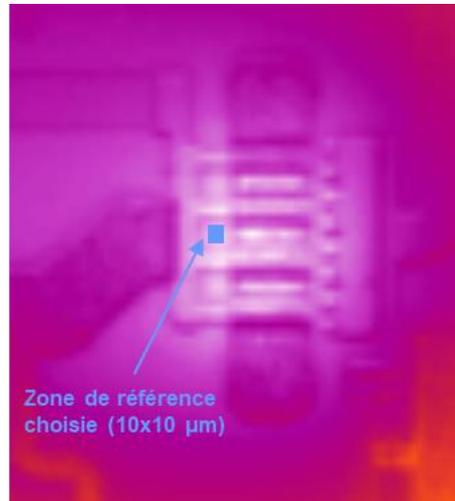


Figure 133 : Zone de mesure infrarouge de l'étage 1 et de l'étage 2

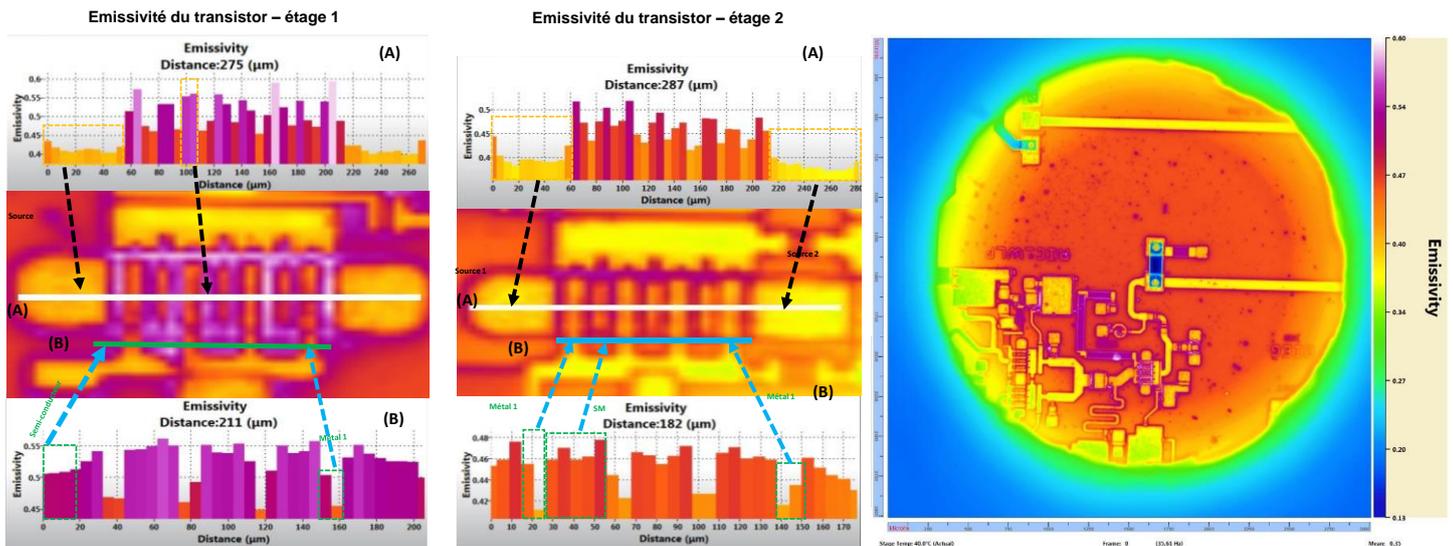


Figure 134 : Émissivité des étage 1 et 2 du VT4x4 RIC assemblé sur PCB

La Figure 135 et la Figure 136 présentent respectivement la comparaison des résultats de mesure infrarouge et de la simulation thermique sur l'étage 1 et sur l'étage 2 du HPA GaN pour différentes températures de référence. Les résultats de simulations sont en pointillés et les résultats de la mesure sont en trait plein. Nous remarquons qu'en dessous de 1.5 W de puissance dissipée, la mesure infrarouge en début est proche de la simulation, suivie d'un écart brusque entraînant une différence très importante entre la mesure infrarouge et la simulation thermique au niveau des étages du RIC. Cet intervalle de puissance laisse entendre qu'un phénomène ou quelque chose d'inconnue se produit dans le dispositif perturbant la

mesure. Nous observons également sur ces figures que plus la température de référence augmente, plus l'écart se réduit.

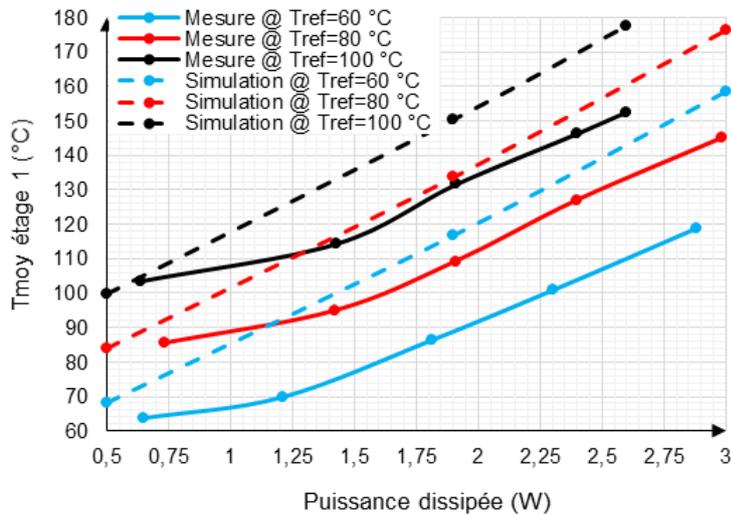


Figure 135 : Comparaison de la température moyenne de la mesure infrarouge et de la simulation thermique à l'étage 1 (étage 21) du HPA GaN

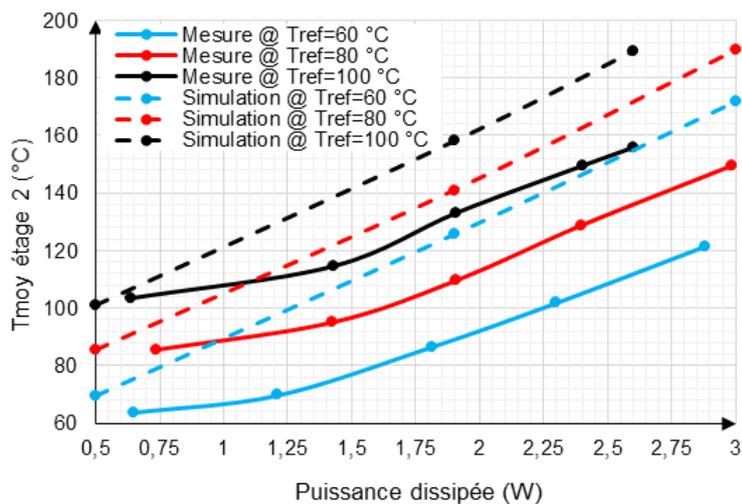


Figure 136 : Comparaison de la température moyenne de la mesure infrarouge et de la simulation thermique à l'étage 2 (étage 21) du HPA GaN

Ensuite, nous effectuons la comparaison de la mesure infrarouge et de la simulation thermique pour différentes températures de référence sur les deux étages du HPA GaN.

La Figure 137 présente la comparaison de la température moyenne de la mesure infrarouge et de la simulation thermique à différentes températures de référence. Elle montre qu'en mesure infrarouge, la température moyenne des étages se valent quel que soit la puissance dissipée et la température de références. La simulation thermique, quant à elle, prouve le contraire en montrant qu'il y a bien une différence de température entre les deux étages du HPA GaN. Le constat est fait également pour les autres températures de référence sur la Figure 153 et la Figure 154 référencées en Annexe 5.

Lors de l'étude thermique du VT4x4 RIC, pour la détermination des conditions pour son bon fonctionnement et sa fiabilité dans la section III.2.3.3.2, nous avons présenté le résultat du couplage interétage entre les deux étages, en l'occurrence entre les trois transistors (Tableau 16 et Tableau 17).

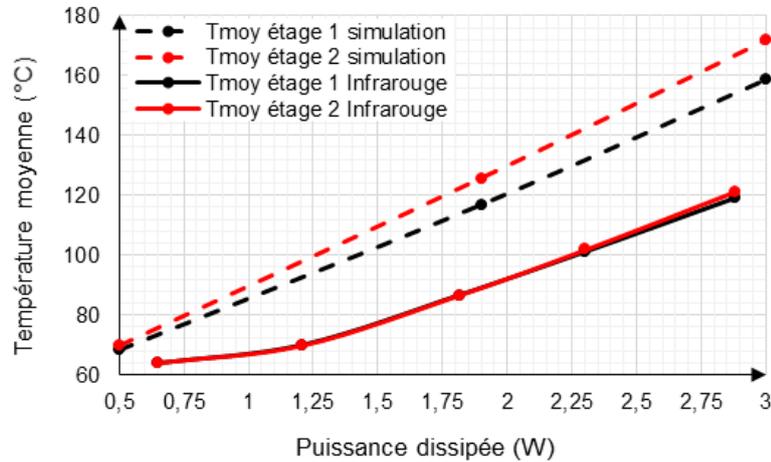


Figure 137 : Comparaison de la température moyenne de l'étage 1 et de l'étage 2, entre la simulation thermique et la mesure infrarouge à la température de référence de 60 °C

III.2.8. Étude du cyclage thermique du VT4x4 RIC assemblé sur PCB multicouche

Il s'agit de déterminer les conditions électriques permettant d'avoir une température maximale du dispositif s'excédant pas 200 °C en soumettant le dispositif dans un état ON (chauffer)/OFF (refroidir) en puissance dans le cadre de la mesure du cyclage thermique et de la simulation thermique. Le PCB dans cette étude est sans ouverture.

III.2.8.1. Simulation thermique

Avec les informations que nous fournissent le Tableau 24, la Figure 116 ainsi que la Figure 117 de l'étude thermique de la section III.2.5, nous savons qu'il faut de la convection forcée avec un coefficient plus élevé possible. Pour mener cette étude, il est convenu de rester en convection naturelle et de varier la température extérieure de la convection. Le coefficient h sera fixé à $25 \text{ W/m}^2/\text{°C}$ pour se placer dans les conditions de l'expérience. Dans cette partie, la condition de température imposée sera sur la face arrière de la résine époxy et non la face arrière du PCB.

III.2.8.1.1. Conditions aux limites

- Cas 1 : La première condition consiste à poser le VT4x4 RIC assemblé sur PCB sur un support chauffé à température 25 °C, à température ambiante (hypothèse de convection naturelle avec un coefficient de transfert thermique $h = 25 \text{ W/m}^2/\text{°C}$), en appliquant plusieurs puissances dissipées et ainsi déterminer le régime transitoire.
- Cas 2 : La seconde condition consiste à mettre le dispositif dans une étuve. Le dispositif n'est en contact avec aucune des parois de l'étuve. Cette étuve est chauffée à des

températures de 40 °C et 60 °C correspondant à la température extérieure par convection, avec un coefficient de transfert thermique $h = 25 \text{ W/m}^2/\text{°C}$.

Pour comparer les résultats de la simulation thermique et de la mesure du cyclage thermique, seul le cas à la température extérieure de 40 °C sera exposé.

III.2.8.1.2. Résultats de simulation thermique

Les résultats de la simulation numérique sont présentés sur les figures suivantes :

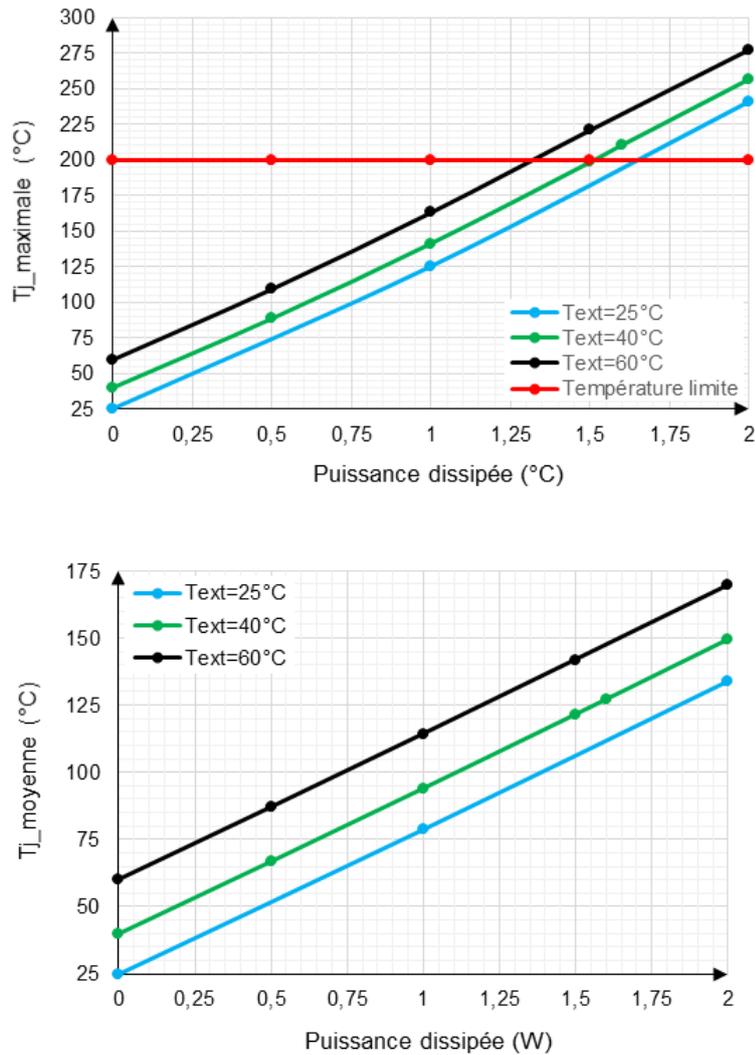


Figure 138 : Évolution de la température de jonction maximale du VT4x4 RIC assemblé sur PCB multicouche en fonction de la puissance dissipée pour différentes températures extérieures d'une convection naturelle $h = 25 \text{ W/m}^2/\text{°C}$

La Figure 138 montre l'évolution de la température de jonction maximale du VT4x4 RIC assemblé sur PCB multicouche en fonction de la puissance dissipée pour différentes températures extérieures et une convection naturelle de coefficient de transfert thermique $h = 25 \text{ W/m}^2/\text{°C}$. Les courbes obtenues sont des droites parallèles dont l'ordonnée à l'origine reflète l'écart de la température extérieure.

Les résultats de la Figure 139 donnent les informations sur le capteur 2 du dispositif pour cette étude thermique. Les courbes sont également parallèles avec leur ordonnée à l'origine montrant l'écart de la température extérieure.

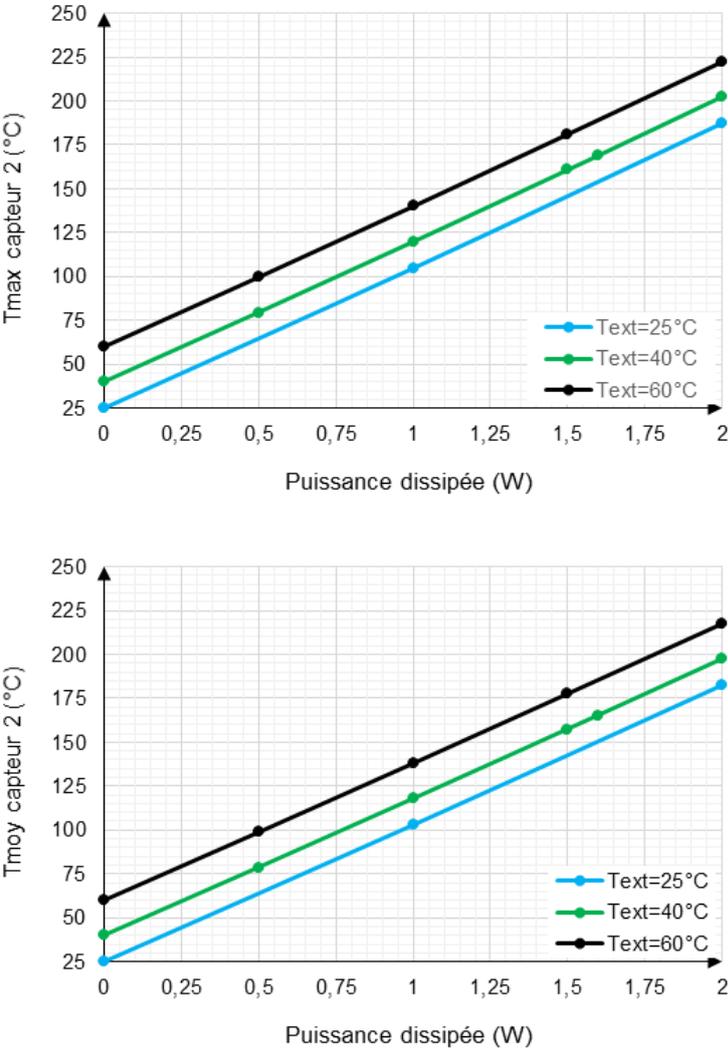


Figure 139 : Évolution de la température maximale du capteur 2 en fonction de la puissance dissipée pour différentes température extérieure d'une convection naturelle avec $h = 25 \text{ W/m}^2/\text{°C}$

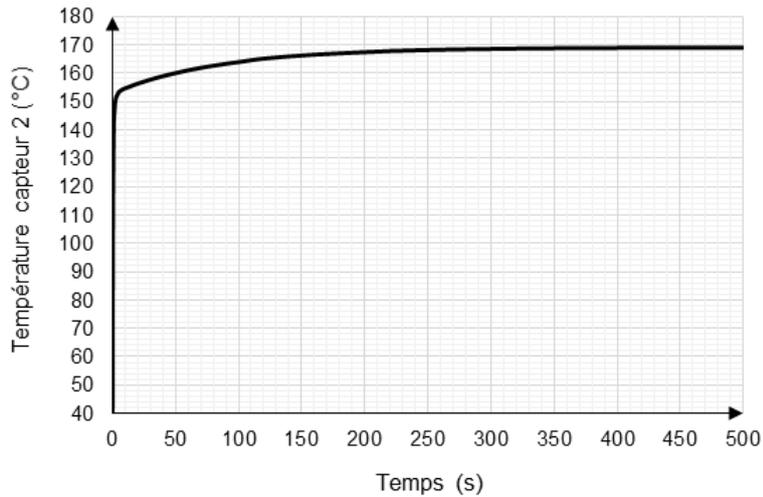


Figure 140 : Température maximale du capteur 2 dans le cas 2 avec une température extérieure de 40 °C et une puissance dissipée de 1.6 W

La Figure 140 présente l'évolution de la température maximale du capteur 2 au cours du temps pour une durée de 500 s. Cela permet d'avoir le temps auquel la température du capteur se stabilise. Le temps du régime permanent observé est pris à 95 % de la température maximale du capteur 2. Sachant que la température maximale est de 168.84 °C, 95% de cette température correspond à 160.43 °C soit un temps stationnaire autour de 50 s et 60 s.

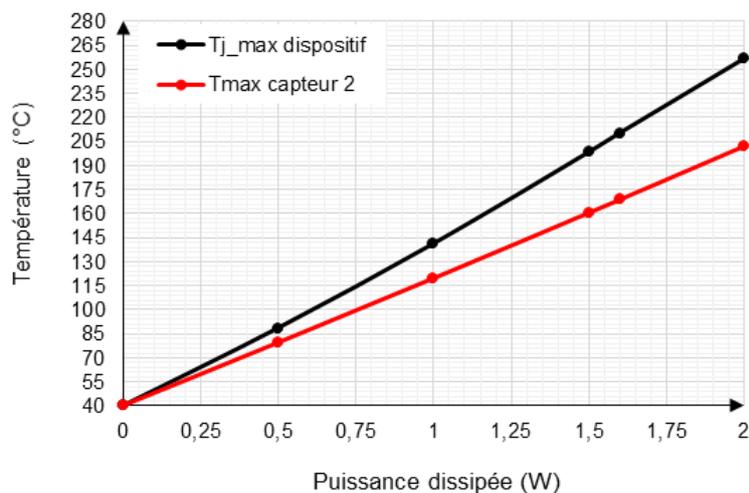


Figure 141 : Température de jonction maximale du dispositif et la température maximale du capteur 2 en fonction de la puissance dissipée

La courbe de la température de jonction maximale du dispositif a une forme quadratique en fonction de la puissance dissipée (Figure 141). Son expression est de la forme suivante avec des valeurs arrondies à 10^{-2} près.

$$T_{j_max}(P_{diss}) = 6.70 \cdot P_{diss}^2 + 95.40 \cdot P_{diss} + 39.67$$

Celle de la température maximale du capteur 2 est linéaire (Figure 141) et son expression est la suivante :

$$T_{\max_capteur2}(P_{diss}) = 81.12 \cdot P_{diss} + 39.28$$

La puissance dissipée étant la même dans les deux expressions, l'expression de la température de jonction maximale du dispositif en fonction de la température maximale du capteur 2 peut être déduite en effectuant une combinaison de l'une dans l'autre. L'expression finale s'écrit sous la forme :

$$T_{j_max}(T_{\max_capteur2}) = 0.001 \cdot T_{\max_capteur2}^2 + 1.1 \cdot T_{\max_capteur2} - 6.49$$

Cette expression permet d'obtenir la courbe de la Figure 142, permettant ainsi pour une température de capteur 2 connue, nous pouvons en déduire la température maximale de jonction de ce dispositif.

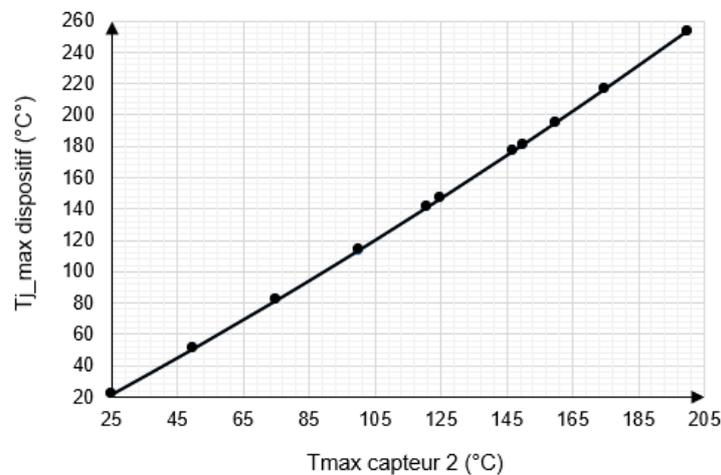


Figure 142 : Courbe de la température de jonction maximale du dispositif en fonction de la température maximale du capteur 2

III.2.8.2. Mesure du cyclage thermique

La mesure du cyclage thermique est effectuée en collaboration avec le partenaire III-V Lab. Le dispositif utilisé à cet effet pour cette mesure ne possède pas d'ouverture côté PCB (Figure 143). La mesure est toujours effectuée en collaboration avec le partenaire III-V Lab et LAPTI/Thalès RT. Le dispositif est mis en étuve. Nous optons pour la température extérieure de 40 °C.



Figure 143 : VT4x4 RIC sur PCB multicouche sans ouverture côté PCB

Pour effectuer cette mesure, une première étape est faite. Cette étape est l'étape de la calibration. Cette fois-ci nous travaillerons que sur le capteur 2 car proche de zone active et souhaitons déterminer la température du dispositif à l'aide de ce dernier. La calibration est semblable à celle qui est faite dans la section III.2.6.2. Elle nous permet d'obtenir la courbe de la résistance ohmique du capteur 2 présente sur la Figure 144.

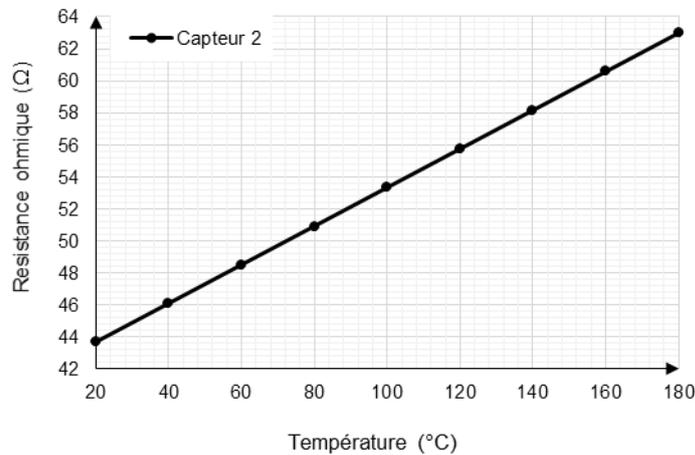


Figure 144 : Résistance ohmique ou électrique du capteur 2 en fonction de la température du capteur 2 à la température extérieure de 40 °C

La deuxième étape consiste à appliquer un cycle de puissance ON/OFF par pas de 500 s. La mesure est faite à la température extérieure de 40 °C c'est-à-dire que l'étuve est mise à 40 °C. Cette impulsion dans le temps permet d'obtenir plusieurs valeurs de la tension du capteur 2, l'intensité appliquée au capteur 2 est maintenue constante.

Le post-traitement de cette analyse permet d'avoir la résistance ohmique du capteur 2. Cette résistance ohmique lue sur la courbe de la Figure 144 permet de retrouver la température du capteur 2 correspondante à cette résistance ohmique. Ce procédé est fait pour plusieurs puissances dissipées permettant ainsi d'obtenir l'évolution de la température du capteur 2 en fonction de la puissance dissipée observée sur la Figure 145.

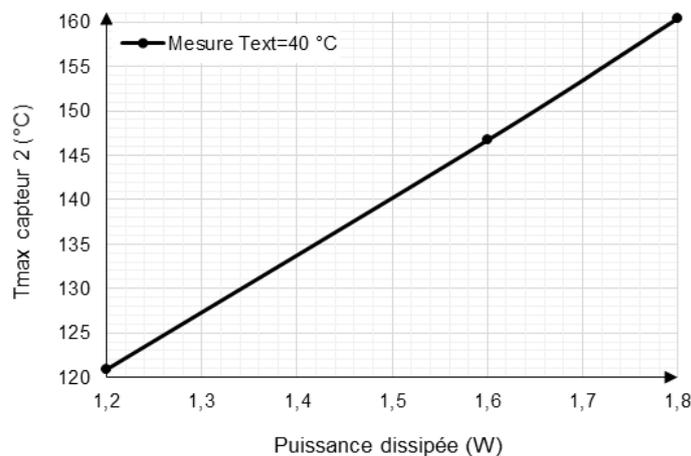


Figure 145 : Évolution de la température du capteur 2 en fonction de la puissance dissipée de la mesure de cyclage thermique à température extérieure de 40 °C.

La mesure a été faite sur plusieurs cycles thermiques par pas de 500 s, pour une puissance dissipée de 1.6 W et une température extérieure de 40 °C. La comparaison de cette mesure avec la simulation thermique se fera sur le premier cycle thermique. La température maximale du capteur 2 lors de la mesure est de 147 °C (Figure 146), son régime permanent est atteint au bout de 95 % de sa température maximale, faisant correspondre à la température de 139.65 °C soit un temps stationnaire autour de 6 s à 7 s. Nous observons également que la température extérieure de 40 °C reste constante durant la mesure (courbe rouge).

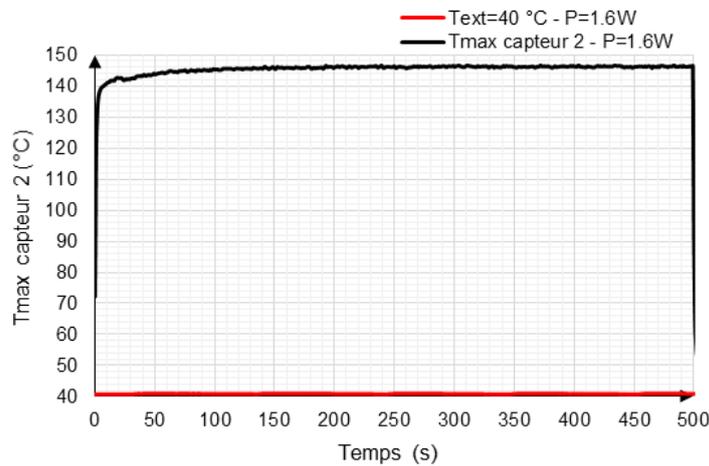


Figure 146 : Température maximale du capteur 2 au premier cycle thermique de la mesure à la température extérieure à 40 °C et la puissance dissipée à 1.6 W

III.2.8.2.1. Comparaison des résultats de la mesure du cyclage thermique et la simulation thermique

La température maximale du dispositif lors de la mesure du cyclage thermique est obtenue par interpolation sur les résultats de la simulation thermique. Une fois la température du capteur 2 obtenue par la mesure de cyclage thermique, sachant qu'en simulation thermique une température du capteur 2 fait correspondre une température maximale de jonction du dispositif. C'est dans cette logique que la température de jonction maximale du dispositif lors de la mesure de cyclage thermique fut obtenue. Pour une température extérieure fixe de 40 °C, les températures du capteur 2 obtenues lors de la mesure de cyclage thermique pour plusieurs puissances dissipées sont mentionnées dans le Tableau 33.

Puissance dissipée appliquée (W)	Température Capteur 2	Température maximale de jonction du RIC mesure	Température capteur2	Température maximale de jonction du RIC
	Mesure cyclage thermique	Interpolation sur le résultat de la simulation thermique	Simulation thermique	Simulation thermique
1.2	121 °C	141 °C	136.63	163.79
1.6	147 °C	177 °C	169.08	209,46
1.8	160 °C	195 °C	185.30	233.09

Tableau 33 : Température du capteur 2 et du RIC obtenue lors de la mesure de cyclage thermique et de la simulation thermique pour plusieurs puissances dissipées. Température extérieure de 40 °C

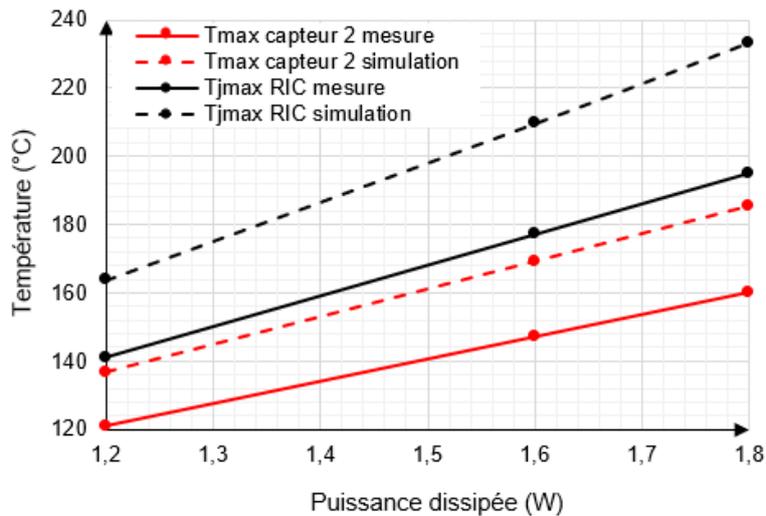


Figure 147 : Comparaison de la température maximale de jonction du dispositif obtenue par la mesure du cyclage thermique et par la simulation thermique à la température extérieure de 40 °C

Le résultat de la mesure du cyclage thermique du capteur 2 est donné par la Figure 146. Sur la base de ces conditions, la simulation numérique fut appliquée. Ainsi, nous avons pu obtenir la comparaison de l'étude thermique transitoire de la simulation numérique et de la mesure à 500 s. La comparaison mesure et simulation est présentée par la Figure 148.

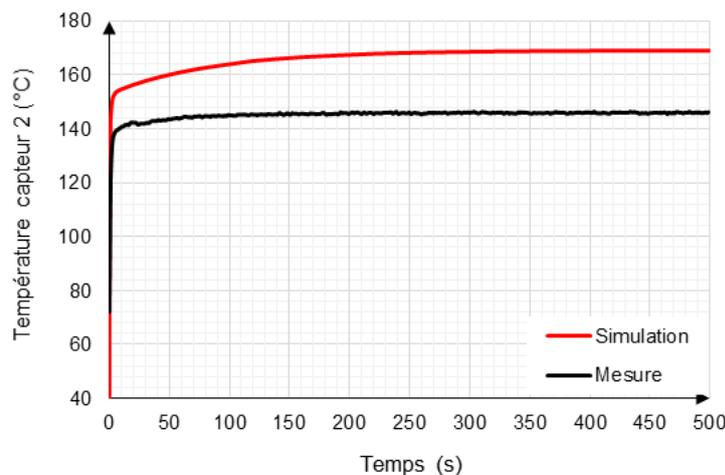


Figure 148 : Température du capteur 2 dans le cas 2 avec une température extérieure de 40 °C à la puissance dissipée de 1.6 W

Un écart de l'ordre de 20 °C entre la mesure et la simulation thermique est observé sur la température maximale du capteur 2 voir la Figure 148. Le temps de régime permanent de la mesure est différent de celui de la simulation. Un facteur entre 8 et 10 est observé sur leur régime permanent.

Cet écart peut provenir des simplifications dans le modèle numérique, des propriétés réelles des matériaux, d'incertitudes dans la mesure ou de conditions non modélisées. L'analyse de cet écart est importante dans le but d'affiner le modèle numérique ou mieux comprendre les phénomènes expérimentaux. Une recalibration du modèle numérique ou une étude approfondie des conditions expérimentales pourrait permettre de réduire cet écart. Cet

écart peut aussi s'expliquer par le fait que dans la simulation, la puissance dissipée est supposée appliquée sous les doigts de grilles pour simplifier, tandis qu'en mesure, une partie de cette puissance est perdue dans les pistes RDL avant d'atteindre les doigts de grilles lorsque le courant est appliqué. Ainsi, la puissance dissipée en simulation est plus élevée que celle mesurée sous la grille.

III.2.9. Conclusion

Ce chapitre retrace une étude complète de l'un des dispositifs du projet SMART3 du plan Nano2022. Ce dispositif fut soumis à des tests de mesures électriques, infrarouges, thermoréfectance et de déformation (« warpage »). En parallèle de ces mesures, des simulations numériques ont été investiguées dans le but de caractériser ce dispositif pour sa fiabilité dans différentes conditions d'environnement. Les simulations ont permis d'identifier les paramètres limitatifs au bon fonctionnement du dispositif tels que la température de l'environnement que peut supporter le dispositif, la puissance nominale applicable pour rester proche de la température de jonction du véhicule de test. Tout ceci en procédant étape par étape, au niveau du composant c'est-à-dire le transistor GH15 8x60 μm , au niveau package VT4x4 RIC et de son assemblage sur PCB. Les informations reçues de la simulation numérique sont comparées avec les tests de mesures mis en place afin de valider la cohérence simulation/mesure du dispositif. Des écarts sont observés entre les résultats. Ces derniers peuvent provenir de plusieurs facteurs tels que : l'erreur sur la mesure car il peut y avoir des imprécisions dans les instruments de mesure utilisés lors de l'expérience (calibration incorrecte, précision limitée, etc.), les conditions expérimentales réelles peuvent ne pas correspondre exactement aux hypothèses idéales du modèle numérique, comme par exemple les phénomènes de pertes d'énergie non pris en compte, de la dissipation ou des imperfections dans les matériaux ou des perturbations externes pouvant influencer le résultat. Il est peut-être possible que certains paramètres utilisés dans le modèle numérique soient incorrects ou mal ajustés par rapport aux conditions expérimentales (comme les propriétés des matériaux, les constantes physiques, etc.). La simplification du modèle numérique consiste à ignorer certains phénomènes physiques présents dans la situation réelle, tels que la résistance de l'air et d'autres effets complexes. Par exemple, la simulation suppose que toute la puissance dissipée est directement appliquée sous les grilles, alors qu'en réalité, une partie de cette puissance est perdue dans les pistes RDL avant d'y parvenir. Cela pourrait expliquer pourquoi la puissance simulée est supérieure à celle mesurée au pied des doigts de grille.

Conclusion générale

Cette thèse est une partie intégrante du projet SMART3, projet du plan nano 2022, qui a pour objectifs majeurs d'évaluer et développer une nouvelle technologie de packaging 2D et 3D pour répondre à l'intégration hétérogène de différentes technologies de semi-conducteurs (GaN, AsGa, Si,...) afin de concevoir des systèmes entièrement intégrés (System In Package). La technologie utilisée est du type FO-WLP (Fan Out Wafer Level Packaging). Les défis d'intégration avec cette technologie nécessitent le plus souvent une approche multiphysique et un co-design circuit boîtier SiP pour permettre d'allier performances et fiabilité. Mon travail s'est focalisé sur les aspects thermiques et thermomécaniques qui sont traités par le biais de simulations numériques effectuées sous le logiciel commercial ANSYS Workbench. Ces dernières viennent en appui aux différentes méthodes de mesure thermique (thermoréfectance, électrique et infrarouge) et de mesure de déformation thermomécanique (moiré).

La technologie développée dans ce projet fait partie des technologies de type Fan Out Wafer Level Packaging (FOWLP). C'est dans ce sens que, dans le chapitre I de ce manuscrit, nous avons abordé cette technologie, sa genèse dans l'industrie des semi-conducteurs et l'ampleur qu'elle a prise jusqu'aujourd'hui dans les composants électroniques. Nous avons également évoqué les inconvénients et les avantages de ce type de technologie. La caractéristique principale d'un System-in-Package est la grande interaction des phénomènes physiques mis en jeu. Ceci impose une conception basée sur la co-ingénierie et des méthodologies de développement impliquant beaucoup de compromis, ainsi que des simulations multi-physiques.

Dans le Chapitre II, nous avons abordé les différentes méthodes de caractérisations thermiques à notre disposition qui permettront de mener à bien les activités de cette thèse. Les méthodes de mesure électrique dite « gate end to end », la mesure infrarouge et la mesure thermoréfectance sont détaillées. Nous introduisons également la simulation numérique thermique et thermomécanique pour lesquelles nous avons fait quelques rappels (équation de la chaleur, résistance thermique, principe de la dynamique et la loi de comportement de Hooke et la thermoélasticité...). Nous avons également proposé, dans ce chapitre, une validation croisée autour de l'étude du transistor de la filière GH15 d'UMS spécifique à double accès de grille. Nous avons ainsi montré une cohérence forte entre les méthodes de mesure (thermoréfectance, électrique) et de simulation numérique thermique.

Ces deux premiers chapitres, en l'occurrence le chapitre I et II, représentent une base sur laquelle nous nous appuyerons pour mener à bien les activités de cette thèse. Le dernier chapitre de ce manuscrit est quant à lui consacré à une mise en application des méthodes décrites dans le chapitre II sur des véhicules de test du projet. Le démonstrateur télécom, qui est un SiP hétérogène. En effet, ce dernier est constitué de deux amplificateurs, l'un en GaN sur SiC l'autre en AsGa. Nous avons construit d'une part le véhicule de test afin de le simuler, puis nous l'avons mesuré en étudiant également l'impact de plusieurs solutions de

management thermique. Une discussion sur les résultats est exposée afin de confronter les mesures sur ce démonstrateur et les résultats de simulation.

La seconde partie de ce chapitre décrit une étude complète du dispositif RIC 4x4 du projet. Cette étude complète débute grâce à un fichier GDS fourni par la fonderie UMS, conceptrice du SiP. Ce fichier GDS est utilisé dans le logiciel ANSYS afin de générer la géométrie 3D de ce dernier. Par la suite, des simulations thermiques sont mises en place afin de définir les conditions électriques des tests du RIC 4x4 qui seront utilisés pour l'évaluation de la fiabilité du dispositif. Ces conditions, une fois identifiées, seront confrontées aux résultats de mesures thermiques (électrique, infrarouge et thermoréfectance) pour valider la fiabilité et bon fonctionnement du dispositif

Le RIC 4x4 a également fait l'objet d'une mesure de TDM (Topography and Deformation Measurement) effectuée par INSIDIX afin de caractériser les déformations de ce dispositif côté résine époxy entre -55 °C et 125 °C. Un bon accord des résultats est observé entre la mesure et la simulation thermomécanique. Pour avoir cette concordance de résultat, il a fallu effectuer une étude paramétrique sur le coefficient de dilatation thermique (CTE) de la résine époxy. Ce paramètre est prépondérant dans l'étude de la déformation du SiP. La caractérisation de ce matériau afin d'obtenir des propriétés physiques fiables pour la simulation numérique est donc primordiale. L'ensemble de cette étude du chapitre III présente des résultats numériques qui sont en accord avec les résultats expérimentaux.

Les travaux futurs concernant la mesure thermoréfectance sur le dispositif VT4x4 RIC assemblé sur PCB avec ouverture côté PCB. Cette mesure est en cours de réflexion au sein du laboratoire XLIM. En effet, le bloc support de test, en cuivre, qui impose la température de référence sur le SiP, possède une inertie trop importante pour permettre la calibration avec le dispositif actuel de chauffe et de refroidissement dont nous disposons sur le banc de thermoréfectance.

Publications & communications

Conférences internationales

- [1] N'Doua Luc Arnaud Kakou, R. Sommet, A. Jakani, K. Karrame, L. Brunel, V. Bortolussi, B. Lambert, and J.-C. Nallatamby, "[Transient thermal simulation of a SiP FO-WLP embedding a GaN power amplifier](#)" THERMINIC 2024 - 30th international workshop thermal investigations of ICs and systems, September 2024, p.1-6, Toulouse, France.
- [2] N'Doua Luc Arnaud Kakou, R. Sommet, L. Brunel, V. Bortolussi, B. Lambert, and J.-C. Nallatamby, "[Thermal multiscale simulation of a FO-WLP SiP including a GaN Power Amplifier.](#)" The 25th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems, April 2024, p.1-4. doi: 10.1109/EuroSimE60745.2024.10491445.
- [3] N'Doua Luc Arnaud Kakou, Raphaël Sommet. "[Multiscale simulation of GaN power Amplifier in FOWLP \(Fan Out Wafer Level Packaging\) technology.](#)" IMAPS France, 17th European advanced technology Workshop on micropackaging and thermal management, Jan/Feb 2024, La Rochelle, France.
- [4] K. Karrame, A. Jakani, N'Doua Luc Arnaud Kakou, C. Chang, M. Colas, J. -C. Nallatamby, R. Sommet " [Thermal Simulation and Characterization of GaN HEMT using Gate Resistance thermometry and thermorefectance](#)" NEMO 2022, August 2022, Limoges, France.

Conférences nationales

- [5] N'Doua Luc Arnaud Kakou, Raphaël Sommet. "[Simulation multi-physique et multi-échelle d'un SiP en technologie FO-WLP](#)". Journée technique / Workshop : simulation multi-échelle et multi-physique, IEEE Electronics Packaging Society (section France), Décembre 2023, C2N (Centre de Nanoscience et de Nanotechnologies) Paris Saclay, France
- [6] N'Doua Luc Arnaud Kakou, JC. Nallatamby, Raphaël Sommet. "[Multi-physics measurement and modelling of GaN devices for SiP co-integration](#)". 11ème Workshop des doctorants du laboratoire XLIM, Mars 2023, ENSIL - ENSCI, Université de Limoges, France.
- [7] A. Jakani, K. Karrame, N'Doua Luc Arnaud Kakou, R. Sommet, JC. Nallatamby "[La thermique des transistors GaN en régime transitoire : Théorie et mesures.](#)" 22ème édition des Journées Nationales Microondes (JNM) 2022, Juin 2022, Limoges, France.

Références bibliographiques

- [1] G. H. Loh, S. Naffziger, and K. Lepak, 'Understanding Chiplets Today to Anticipate Future Integration Opportunities and Limits', in *2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Feb. 2021, pp. 142–145. doi: 10.23919/DATED51398.2021.9474021.
- [2] 'IFI_N50.pdf'. Accessed: Oct. 08, 2024. [Online]. Available: https://france.imapseurope.org/wp-content/uploads/sites/5/2019/04/IFI_N50.pdf
- [3] *GDS II Graphic Design System User's Operating Manual*, CALMA, Nov 1978.
- [4] 'GDSII - Wikiwand'. Accessed: Sep. 15, 2024. [Online]. Available: <https://www.wikiwand.com/fr/articles/GDSII>
- [5] N. L. A. Kakou, R. Sommet, L. Brunel, V. Bortolussi, B. Lambert, and J.-C. Nallatamby, 'Thermal multiscale simulation of a FO-WLP SiP including a GaN Power Amplifier', in *2024 25th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, Apr. 2024, pp. 1–4. doi: 10.1109/EuroSimE60745.2024.10491445.
- [6] K. M. Brown, 'System in package "the rebirth of SiP"', in *Proceedings of the IEEE 2004 Custom Integrated Circuits Conference (IEEE Cat. No.04CH37571)*, Oct. 2004, pp. 681–686. doi: 10.1109/CICC.2004.1358919.
- [7] X. Fan, 'Wafer level packaging (WLP): Fan-in, fan-out and three-dimensional integration', in *2010 11th International Thermal, Mechanical & Multi-Physics Simulation, and Experiments in Microelectronics and Microsystems (EuroSimE)*, Apr. 2010, pp. 1–7. doi: 10.1109/ESIME.2010.5464548.
- [8] J.-C. Souriau, O. Lignier, M. Charrier, and G. Poupon, *Wafer level processing of 3D System In Package for RF and data applications*, vol. 1. 2005, p. 361 Vol. 1. doi: 10.1109/ECTC.2005.1441291.
- [9] C. C. Liu *et al.*, 'High-performance integrated fan-out wafer level packaging (InFO-WLP): Technology and system integration', in *2012 International Electron Devices Meeting*, Dec. 2012, p. 14.1.1-14.1.4. doi: 10.1109/IEDM.2012.6479039.
- [10] M. Brunnbauer, E. Fürgut, G. Beer, and T. Meyer, 'Embedded wafer level ball grid array (eWLB)', in *2006 8th Electronics Packaging Technology Conference*, Dec. 2006, pp. 1–5. doi: 10.1109/EPTC.2006.342681.
- [11] J. Böck *et al.*, 'Low-cost eWLB packaging for automotive radar MMICs in the 76–81 GHz range', *Int. J. Microw. Wirel. Technol.*, vol. 5, no. 1, pp. 25–34, Feb. 2013, doi: 10.1017/S1759078712000621.
- [12] 'LA CHINE HongRuiXing (Hubei) Electronics Co.,Ltd. dernières nouvelles À propos Semi-conducteur avancé d'IC d'emballage'. Accessed: Sep. 06, 2024. [Online]. Available: <https://french.horexspcb.com/news/advanced-packaging-ic-semiconductor-88845.html>
- [13] J. A. Lim and V. Pandey, 'Innovative Integration Solutions for SiP Packages Using Fan-Out Wafer Level eWLB Technology', *IMAPSource Proc.*, vol. 2017, no. 1, pp. 263–269, Oct. 2017, doi: 10.4071/isom-2017-WA42_039.
- [14] J. Albright, 'Wafer-Level Packaging and the Mobile Revolution', Brewer Science. Accessed: Sep. 06, 2024. [Online]. Available: <https://www.brewerscience.com/wafer-level-packaging-and-the-mobile-revolution/>
- [15] 'Qu'est-ce que la technologie SiP'. Accessed: Sep. 09, 2024. [Online]. Available: <https://fr-ebyte.com/news/529>

- [16] 'What is a System on a Chip (SoC)?' Accessed: Sep. 08, 2024. [Online]. Available: <https://www.ansys.com/fr-fr/blog/what-is-system-on-a-chip>
- [17] 'ch07_mobile.pdf'. Accessed: Oct. 18, 2024. [Online]. Available: https://eps.ieee.org/images/files/HIR_2021/ch07_mobile.pdf
- [18] C. Lu, 'Overview of Fan-out Wafer Level Package (FO-WLP)', in *2014 9th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, Taipei, Taiwan: IEEE, Oct. 2014, pp. 208–208. doi: 10.1109/IMPACT.2014.7048396.
- [19] A. Garnier *et al.*, 'System in package embedding III-V chips by fan-out wafer-level packaging for RF applications', in *2021 IEEE 71st Electronic Components and Technology Conference (ECTC)*, Jun. 2021, pp. 2016–2023. doi: 10.1109/ECTC32696.2021.00318.
- [20] 'Packaging des circuits intégrés', Techniques de l'Ingénieur. Accessed: Oct. 14, 2024. [Online]. Available: <https://www-techniques-ingenieur-fr.ezproxy.unilim.fr/base-documentaire/electronique-photonique-th13/cartes-electroniques-technologies-et-conception-42287210/packaging-des-circuits-integres-e3400/>
- [21] 'Types de boîtier IC: Comment choisir le bon? - TECHNOLOGIE: Votre partenaire de confiance pour les services de fabrication électronique'. Accessed: Oct. 14, 2024. [Online]. Available: <https://www.mokotechnology.com/fr/ic-package-types/>
- [22] M. Wang, 'Types de packages BGA : tout ce que vous devez savoir en 2024', PCBMay. Accessed: Oct. 14, 2024. [Online]. Available: <https://www.pcbmay.com/fr/types-de-paquets-bga/>
- [23] 'Contact us via LiveChat!' Accessed: Oct. 15, 2024. [Online]. Available: <https://secure.livechatinc.com/>
- [24] C. Le Coz, 'Packaging plastique', *Électronique*, May 2009, doi: 10.51257/a-v1-e3405.
- [25] M. Barrier, 'Advanced packaging solutions in HPC and consumer – The chronicles by Yole SystemPlus', Yole Group. Accessed: Oct. 15, 2024. [Online]. Available: <https://www.yolegroup.com/technology-outlook/advanced-packaging-solutions-in-hpc-and-consumer-the-chronicles-by-yole-systemplus/>
- [26] E. J. Vardaman, 'FO-WLP market and technology trends', in *2017 International Conference on Electronics Packaging (ICEP)*, Apr. 2017, pp. 318–320. doi: 10.23919/ICEP.2017.7939385.
- [27] L. Baczowski, 'Modélisation et caractérisation thermique de transistors de puissance hyperfréquence GaN et conséquences sur la fiabilité de modules radars d'émission/réception en bande X', Thèse, Université de Lille, 2015. [Online]. Available: <http://www.theses.fr/2015LIL10135/document>
- [28] F. Cozette, 'Mesure de la température de transistors de type HEMT AlGaIn/GaN en régime de fonctionnement hyperfréquence', Thèse, Université de Sherbrooke, Sherbrooke, 2018.
- [29] A. Jakani, 'Développement d'un banc de mesure par thermorélectance pour les composants de puissance', Thèse, Université de Limoges, 2022. [Online]. Available: <http://www.theses.fr/2022LIMO0125/document>
- [30] N. Kakou, R. Sommet, L. Brunel, V. Bortolussi, B. Lambert, and J.-C. Nallatamby, *Thermal multiscale simulation of a FO-WLP SiP including a GaN Power Amplifier*. 2024, p. 4. doi: 10.1109/EuroSimE60745.2024.10491445.
- [31] M. Dieng, 'Evaluation des contraintes thermomécaniques dans un packaging plastique pour l'environnement spatial', 2014.

- [32] A. Tomas, 'Contribution à l'évaluation de la fiabilité des assemblages QFN et WLP: études thermo- et hydro-mécaniques des résines d'encapsulation'.
- [33] 'Via (électronique)', *Wikipédia*. May 07, 2024. Accessed: Oct. 19, 2024. [Online]. Available: [https://fr.wikipedia.org/w/index.php?title=Via_\(%C3%A9lectronique\)&oldid=214911262](https://fr.wikipedia.org/w/index.php?title=Via_(%C3%A9lectronique)&oldid=214911262)
- [34] W. Wu *et al.*, 'Quantitative evaluation of PI-RDL interfacial delamination in fan-out wafer-level packaging during unbiased highly accelerated stress test', *Eng. Fail. Anal.*, vol. 164, p. 108668, Oct. 2024, doi: 10.1016/j.engfailanal.2024.108668.
- [35] L. Brunel, 'Contribution à l'assurance fiabilité de filières HEMTs à base de GaN sur substrat SiC : caractérisation électrique approfondie et modélisation des effets parasites', Thèse, Université de Bordeaux, Bordeaux, 2014. [Online]. Available: <http://www.theses.fr/2014BORD0080/document>
- [36] M. Bouslama, 'Approche duale de modélisation TCAD et de caractérisations électriques approfondies pour la détermination de la signature et de la localisation des pièges dans les HEMT GaN sur substrat SiC', Thèse, Université de Limoges, 2020. [Online]. Available: <http://www.theses.fr/2020LIMO0076/document>
- [37] A. AMAR, 'Optimisation fiabiliste en mécatronique, application à des transistors de puissance. Mécanique des structures', Thèse, Normandie Université, Université Hassan II (Mohammed VI), Maroc, 2022.
- [38] F. Elmazova, 'Contribution à l'étude de l'amplification de puissance en technologie GaN par la technique de suivi d'enveloppe', Thèse de doctorat, Université de Limoges, Limoges, 2011. [Online]. Available: <https://aurore.unilim.fr/ori-oai-search/notice/view/unilim-ori-28583>
- [39] V. V. Painter, J.-C. Nallatamby, R. Sommet, and P. V. Raja, 'Estimation of thermal resistance (RTH) and thermal time constant for AlGaIn/GaN HEMTs using TCAD simulation', in *XXII International Workshop on Physics of Semiconductor Devices*, Madras, India: IIT Madras, Dec. 2023. Accessed: Oct. 08, 2024. [Online]. Available: <https://hal.science/hal-04351449>
- [40] C. Chang, 'Amélioration de modèles électroniques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars', Thèse de doctorat, Université de Limoges, 2004. [Online]. Available: <https://theses.fr/2004LIMO0014>
- [41] Y. FOUZI, 'Méthode de mesure électrique de la résistance thermique d'un transistor MMIC', Université de Lille, Faculté des Sciences et Technologies, Rapport de stage de fin d'études, Sep. 2021.
- [42] B. M. Paine, T. Rust, and E. A. Moore, 'Measurement of Temperature in GaN HEMTs by Gate End-to-End Resistance', *IEEE Trans. Electron Devices*, vol. 63, no. 2, pp. 590–597, Feb. 2016, doi: 10.1109/TED.2015.2510610.
- [43] S. Lozachmeur, A. Jakani, N. Richard, R. Sommet, and J.-C. Nallatamby, 'Mesure de température par une méthode de thermoréfectance multispectrale', in *XXIIèmes Journées Nationales Microondes (JNM) 2022*, in 22e Journées Nationales Microondes (JNM) 2022. Limoges, France, Jun. 2022. Accessed: May 20, 2024. [Online]. Available: <https://hal.science/hal-03745093>
- [44] A. Jakani, K. Karrame, R. Sommet, and J.-C. Nallatamby, 'Mesure temporelle de la température des dispositifs micro-ondes par thermoréfectance', in *XXIIèmes Journées Nationales Microondes*, in 22e Journées Nationales Microondes. Limoges, France, Jun. 2022. Accessed: May 20, 2024. [Online]. Available: <https://hal.science/hal-03745096>
- [45] D. Kendig, A. A. O. Tay, and A. Shakouri, 'Thermal imaging based on Thermoreflectance addresses the challenges for thermal analysis of today's advanced complex devices', in

2016 17th International Conference on Electronic Packaging Technology (ICEPT), Wuhan, China: IEEE, Aug. 2016, pp. 1517–1521. doi: 10.1109/ICEPT.2016.7583411.

- [46] K. Yazawa, D. Kendig, and A. Shakouri, 'Time-Resolved Thermoreflectance Imaging for Thermal Testing and Analysis', presented at the ISTFA 2013, San Jose, California, USA, Nov. 2013, pp. 194–202. doi: 10.31399/asm.cp.istfa2013p0194.
- [47] Microsanj, 'Comparing Thermoreflectance with Infrared Imaging for the Thermal Characterization of Electronic and Optoelectronic Devices', Apr. 2018. Accessed: Oct. 17, 2024. [Online]. Available: <https://urls.fr/OoheLB>
- [48] K. Agboka, 'Développement d'un modèle thermomécanique axisymétrique en milieu semi-transparent avec transfert radiatif : application au fluage et à la trempe des verres', 2018. [Online]. Available: <http://www.theses.fr/2018VALE0025/document>
- [49] A. K. Ziabari, 'Submicron Device Level Thermal Characterization for Photonics and Power MMICs', 2015.
- [50] K. Yazawa, D. Kendig, K. Maize, and A. Shakouri, 'Transient thermal characterization of HEMT devices', in *2014 IEEE MTT-S International Microwave Symposium (IMS2014)*, Jun. 2014, pp. 1–4. doi: 10.1109/MWSYM.2014.6848500.
- [51] 'Spectral Thin Film Reflectance Calculator for Thin-Film Stacks'. Accessed: Oct. 07, 2024. [Online]. Available: <https://urls.fr/osKxmf>
- [52] B. Abad, D.-A. Borca-Tasciuc, and M. S. Martin-Gonzalez, 'Non-contact methods for thermal properties measurement', *Renew. Sustain. Energy Rev.*, vol. 76, pp. 1348–1370, Sep. 2017, doi: 10.1016/j.rser.2017.03.027.
- [53] D. Wang, L. Zheng, W. Si, H. Yang, and Y. Gao, 'Thermal Analysis of High-Power Light-Emitting Diode Using Thermoreflectance Thermography', in *2021 22nd International Conference on Electronic Packaging Technology (ICEPT)*, Sep. 2021, pp. 1–4. doi: 10.1109/ICEPT52650.2021.9568025.
- [54] 'En quoi consiste l'infrarouge ?' Accessed: May 22, 2024. [Online]. Available: <https://www.flir.fr/discover/what-is-infrared/>
- [55] 'Mesure de la température sur des surfaces métalliques', Optris. Accessed: May 22, 2024. [Online]. Available: <https://www.optris.com/fr/support/articles-et-recits/mesure-de-la-temperature-sans-contact-sur-des-surfaces-metalliques-par-infrarouge/>
- [56] 'dat--infrarouge-fondemonts--fr.pdf'. Accessed: May 22, 2024. [Online]. Available: <https://www.micro-epsilon.fr/fileadmin/download/products/dat--infrarouge-fondemonts--fr.pdf>
- [57] L. Servant, G. Bourdon, and T. Buffeteau, 'Comprendre la spectroscopie infrarouge : principes et mise en oeuvre', *Photoniques*, pp. 68–73, May 2011, doi: 10.1051/photon/20115368.
- [58] 'Thermographie / Mesure de température par infrarouge : théorie et pratique', Labomat Essor. Accessed: May 22, 2024. [Online]. Available: <https://labomat.eu/fr/faq-temperature-hygrometrie/806-thermographie-mesure-de-temperature-par-infrarouge-theorie-et-pratique.html>
- [59] 'Principes de base de la mesure de la température par infrarouge', Optris. Accessed: May 22, 2024. [Online]. Available: <https://www.optris.com/fr/support/articles-et-recits/principes-de-linfrarouge/>
- [60] <https://www.optris.com/fr/support/articles-et-recits/principes-de-linfrarouge/>
- [61] 'Optris-PI-Series-manual.pdf'. Accessed: May 22, 2024. [Online]. Available: <https://www.instrumart.com/assets/Optris-PI-Series-manual.pdf>

- [62] 'Comment fonctionnent l'infrarouge et les caméras thermiques', Lynred.com. Accessed: May 22, 2024. [Online]. Available: <https://www.lynred.com/fr/blog/comment-fonctionnent-linfrarouge-et-les-cameras-thermiques>
- [63] 'Qu'est-ce que le rayonnement infrarouge?', ecofort. Accessed: May 28, 2024. [Online]. Available: <https://ecofort.ch/fr/content/100-quest-ce-que-le-rayonnement-infrarouge>
- [64] 'Electromagnetic spectrum', *Wikipedia*. Oct. 05, 2024. Accessed: Oct. 08, 2024. [Online]. Available: https://en.wikipedia.org/w/index.php?title=Electromagnetic_spectrum&oldid=1249458260
- [65] A. Jakani, R. Sommet, F. Gaillard, and J.-C. Nallatamby, 'Comparison of GaN HEMTs Thermal Results through different measurements methodologies: Validation with 3D simulation', in *2021 27th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, Sep. 2021, pp. 1–4. doi: 10.1109/THERMINIC52472.2021.9626486.
- [66] 'Nos réponses techniques | Insidix'. Accessed: Jun. 11, 2024. [Online]. Available: <https://www.insidix.com/control-by-insidix/technologies/>
- [67] 'TDM Products | Insidix Technologies'. Accessed: Oct. 10, 2024. [Online]. Available: <https://www.tdm-3d.com/products/>
- [68] N. Bertier, 'Introduction aux méthodes de différences finies'. Nov. 17, 2022. Accessed: Oct. 17, 2024. [Online]. Available: <https://urls.fr/1NJwTL>
- [69] N. Bertier, 'Introduction aux méthodes de volumes finis'.
- [70] 'Simulation numérique en mécanique des fluides : Principes de base et mise en oeuvre de la methode des volumes finis en CFD (2e Edition)'. Accessed: Sep. 17, 2024. [Online]. Available: <https://urls.fr/dlFFJb>
- [71] 'Simulation numérique : définition et enjeux [dossier spécial Visiativ 1/3] – Visiativ Solutions'. Accessed: May 30, 2024. [Online]. Available: <https://urls.fr/iu1eIG>
- [72] O. Bendaou, 'Caractérisation thermomécanique, modélisation et optimisation fiabiliste des packages électroniques', Thèse de doctorat, Normandie en cotutelle avec École Mohammadia d'ingénieurs (Rabat, Maroc), 2017. [Online]. Available: <https://theses.fr/2017NORMIR20>
- [73] O. Jardel *et al.*, 'InAlN/GaN HEMTs based L-band high-power packaged amplifiers', *Int. J. Microw. Wirel. Technol.*, vol. 6, no. 6, pp. 565–572, Dec. 2014, doi: 10.1017/S175907871400004X.
- [74] <https://femto-physique.fr/thermodynamique/transfert-thermique.php>, Nov. 2023.
- [75] J.-L. Battaglia, A. Kusiak, and J.-R. Puiggali, *Introduction aux transferts thermiques*, 2e édition : Cours et exercices corrigés. Paris: Dunod, 2014.
- [76] AREELIS Technologies and LUSAC (Laboratoire Universitaire des Sciences Appliquées de Cherbourg), 'Dissipation thermique dans les composants/système électroniques. Un enjeu pour la fiabilité des Composants/Systèmes électroniques Quelles solutions technologiques ?', Normandie AeroEspace, NAE-1214-01-R1A, Jul. 2015.
- [77] 'Coefficient de transfert thermique par convection - 2012 - Aide de SOLIDWORKS'. Accessed: Sep. 20, 2024. [Online]. Available: <https://urls.fr/v59QQP>
- [78] Y. Jannot and C. Moyne, *Transferts thermiques*, 2016.
- [79] 'Télécharger méthodes de transfert de chaleur avec ébullition de l'eau gratuitement', Vecteezy. Accessed: Oct. 17, 2024. [Online]. Available: <https://fr.vecteezy.com/art-vectoriel/7206899-methodes-de-transfert-de-chaleur-avec-eau-bouillante>

- [80] R. Mehandru *et al.*, 'Thermal simulations of high power, bulk GaN rectifiers', *Solid-State Electron.*, vol. 47, no. 6, pp. 1037–1043, Jun. 2003, doi: 10.1016/S0038-1101(02)00481-1.
- [81] Y. Debard, 'Méthode des éléments finis : thermique'.
- [82] '4.2. Condition de Dirichlet — Maillage et Éléments Finis'. Accessed: Sep. 17, 2024. [Online]. Available: <https://bthierry.pages.math.cnrs.fr/course-fem/lecture/boundary-conditions/dirichlet/>
- [83] '4.1. Conditions de Neumann hétérogène — Maillage et Éléments Finis'. Accessed: Sep. 17, 2024. [Online]. Available: <https://bthierry.pages.math.cnrs.fr/course-fem/lecture/boundary-conditions/neumann-heterogene/>
- [84] 'Dissipation thermique dans les systèmes électroniques', Techniques de l'Ingénieur. Accessed: Oct. 07, 2024. [Online]. Available: <https://www.techniques-ingenieur.fr/base-documentaire/electronique-photonique-th13/cartes-electroniques-technologies-et-conception-42287210/dissipation-thermique-dans-les-systemes-electroniques-e3952/>
- [85] M. DIENG, 'Évaluation des contraintes thermomécaniques dans un packaging plastique pour l'environnement spatial', 2014.
- [86] 'Cours3_SAPH111_2011_2012.pdf'. Accessed: May 16, 2024. [Online]. Available: https://perso.crans.org/deramo/m1/mmc/Cours3_SAPH111_2011_2012.pdf
- [87] G. Mollon, 'Mécanique des milieux continus'.
- [88] N. Moës, 'Mécanique des milieux continus'.
- [89] J. Coirier and C. Nadot-Martin, *Mécanique des milieux continus - 4e éd.* Dunod, 2020.
- [90] 'Déformation plastique', *Wikipédia*. Apr. 27, 2024. Accessed: May 15, 2024. [Online]. Available: <https://urls.fr/tzcxTc>
- [91] W. Benoît, 'Modèle thermomécanique 3D d'un matériau à gradient de propriétés à l'aide de techniques multigrilles. Application aux moules d'injection de polymère'.
- [92] J.-J. Marigo, 'Mécanique des Milieux Continus I'.
- [93] F. Zara, 'Un peu de Mécanique des Milieux Continus'.
- [94] 'Tenseur des déformations', *Wikipédia*. Sep. 29, 2023. Accessed: May 16, 2024. [Online]. Available: https://fr.wikipedia.org/w/index.php?title=Tenseur_des_d%C3%A9formations&oldid=208280387
- [95] 'Cours : 3-Petites déformations'. Accessed: May 16, 2024. [Online]. Available: <https://moodle.luniversitenumérique.fr/course/view.php?id=682#h5pbookid=7678§ion=top&chapter=h5p-interactive-book-chapter-f1327a23-284f-4402-9540-0814515f437e>
- [96] F. Zara, 'Un peu de Mécanique des Milieux Continus', p. 54, May 2017.
- [97] N. Ranc, 'Couplage thermomécanique', Techniques de l'Ingénieur. Accessed: May 17, 2024. [Online]. Available: <https://www.techniques-ingenieur-fr.ezproxy.unilim.fr/base-documentaire/sciences-fondamentales-th8/applications-en-mecanique-physique-42643210/couplage-thermomecanique-af5042/>
- [98] 'jpg2pdf_11.pdf'. Accessed: May 17, 2024. [Online]. Available: https://enit.rnu.tn/fr/Minds/MMC/jpg2pdf_11.pdf
- [99] Y. Chevalier, 'Comportements élastique et viscoélastique des composites - PDF Free Download'. Accessed: May 18, 2024. [Online]. Available: <https://docplayer.fr/53655670-Comportements-elastique-et-viscoelastique-des-composites.html>

- [100]D. B. Estreich, 'A DC technique for determining GaAs MESFET thermal resistance', *IEEE Trans. Compon. Hybrids Manuf. Technol.*, vol. 12, no. 4, pp. 675–679, Dec. 1989, doi: 10.1109/33.49032.
- [101]K. Karrame *et al.*, 'Thermal Simulation and Characterization of GaN HEMT using Gate Resistance Thermometry and Thermorefectance imaging', in *2022 IEEE MTT-S International Conference on Electromagnetic and Multiphysics Modeling and Optimization (NEMO2022)*, Limoges, France, Jul. 2022. Accessed: Jun. 08, 2024. [Online]. Available: <https://hal.science/hal-03746163>
- [102]'Propriétés physiques', Techniques de l'Ingénieur. Accessed: Oct. 09, 2024. [Online]. Available: <https://www.techniques-ingenieur.fr/base-documentaire/archives-th12/archives-electronique-tiaea/archive-1/materiaux-semi-conducteurs-a-grand-gap-iii-v-a-base-de-gan-e1995/proprietes-physiques-e1995niv10001.html>
- [103]'SpaceClaim_Documentation.pdf'. Accessed: May 18, 2024. [Online]. Available: https://dl.cfdexperts.net/cfd_resources/Ansys_Documentation/SpaceClaim/SpaceClaim_Documentation.pdf
- [104]L. Lavicka, 'Thermal Contact Settings in Ansys Mechanical Workbench', SimuTech Group. Accessed: May 18, 2024. [Online]. Available: <https://simutechgroup.com/thermal-contact-settings-in-mechanical/>
- [105]J. Cho, E. Bozorg-Grayeli, D. H. Altman, M. Asheghi, and K. E. Goodson, 'Low Thermal Resistances at GaN–SiC Interfaces for HEMT Technology', *IEEE Electron Device Lett.*, vol. 33, no. 3, pp. 378–380, Mar. 2012, doi: 10.1109/LED.2011.2181481.
- [106]'Setting Mechanical Contact Stiffness and Thermal Contact Conductivity Values in Ansys Workbench using Command Snippets | Mechanics and Machines'. Accessed: Jul. 08, 2024. [Online]. Available: <https://mechanicsandmachines.com/?p=258>
- [107]A. Amar, B. Radi, and A. El Hami, 'La modélisation thermique de transistor a haute puissance de type HEMT', *Incert. Fiabilité Systèmes Multiphysiques*, vol. 3, no. 2019, 2019, doi: 10.21494/ISTE.OP.2019.0431.
- [108]A. Jakani, R. Sommet, F. Gaillard, and J.-C. Nallatamby, 'Comparison of GaN HEMTs Thermal Results through different measurements methodologies: Validation with 3D simulation', in *2021 27th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, Berlin, Germany: IEEE, Sep. 2021, pp. 1–4. doi: 10.1109/THERMINIC52472.2021.9626486.
- [109]'Constante de temps', *Wikipédia*. Mar. 05, 2024. Accessed: Jul. 23, 2024. [Online]. Available: https://fr.wikipedia.org/w/index.php?title=Constante_de_temps&oldid=213076386
- [110]G. Sharon, N. Blattau, and T. Ferris, *Performing a Solder Fatigue Analysis with Sherlock and ANSYS Workbench is Fun!* 2017.
- [111]R. Trieb, 'FABRICATION TOLERANCES IN LOW COST ANTENNA SUBSTRATES AT 60 GHZ'.
- [112]'PADT-ANSYS-Secant_vs_Instantaneous_CTE-2017_07_05.pdf'. Accessed: Jun. 17, 2024. [Online]. Available: https://www.padtinc.com/wp-content/uploads/2022/03/PADT-ANSYS-Secant_vs_Instantaneous_CTE-2017_07_05.pdf
- [113]'Dictionary C | JEDEC'. Accessed: Oct. 15, 2024. [Online]. Available: <https://www.jedec.org/standards-documents/dictionary/C?title=concave+warpage>
- [114]IBE, 'Multi-layer PCB - benefits, applications, and differences from other PCB types', IBE Electronics. Accessed: May 19, 2024. [Online]. Available: <https://www.pcbaaa.com/multi-layer-pcb/>

- [115] Ruth, 'Package substrate - A comprehensive exploration', IBE Electronics. Accessed: May 28, 2024. [Online]. Available: <https://www.pcbaaa.com/package-substrate-a-comprehensive-exploration/>
- [116] https://fr.wikipedia.org/wiki/Analyse_vectorielle.
- [117] <https://femto-physique.fr/omp/operateurs-differentiels.php>.
- [118] '🔍 Analyse vectorielle : définition et explications', Techno-Science.net. Accessed: Jun. 05, 2024. [Online]. Available: <https://www.techno-science.net/definition/1286.html>

Annexes

Annexe 1. Operateurs différentiels linéaires.....	179
Annexe 2. Détermination des contraintes principales.....	182
Annexe 3. Suite des résultats de la simulation thermique de la section III.2.6.1.2.....	186
Annexe 4. Suite de la comparaison de la mesure électrique et simulation thermique	187
Annexe 5. Suite de la comparaison de la mesure infrarouge et de la simulation thermique	188

Annexe 1. Operateurs différentiels linéaires

- Opérateur nabla

Cet opérateur différentiel de symbole ∇ a les caractéristiques d'un vecteur. Il peut aussi se noter de la sorte : $\vec{\nabla}$. Il est défini en coordonnées cartésiennes à 3 dimensions par :

$$\vec{\nabla} = \left(\frac{\partial}{\partial x}, \frac{\partial}{\partial y}, \frac{\partial}{\partial z} \right) \quad (57)$$

où :

$$\vec{\nabla} = \frac{\partial}{\partial x} \vec{e}_x + \frac{\partial}{\partial y} \vec{e}_y + \frac{\partial}{\partial z} \vec{e}_z \quad (58)$$

- Opérateur différentiel gradient

Le gradient est un outil mathématique utilisé sur un champ scalaire pour en déduire un champ de vecteurs. Ce champ de vecteurs traduit comment la valeur du champ scalaire évolue dans l'espace. Il donne à la fois la direction dans laquelle la variation est la plus importante et l'ampleur de cette variation. Prenons l'exemple du gradient appliqué à un champ de température T . Cela nous mène à la relation suivante [116] [117] :

$$\overrightarrow{\text{grad}} T = \vec{\nabla} T = \frac{\partial T}{\partial x} \vec{e}_x + \frac{\partial T}{\partial y} \vec{e}_y + \frac{\partial T}{\partial z} \vec{e}_z \quad (59)$$

- Opérateur divergence

La divergence s'applique à un champ de tenseurs d'ordre n et le convertit en un champ de tenseurs d'ordre $n-1$. En pratique, la divergence d'un champ de vecteurs reflète sa tendance à s'échapper localement d'un petit volume autour du point M où elle est calculée [116]. Prenons par exemple le cas où \vec{T} est un tenseur d'ordre 1, autrement dit un vecteur. Dans un repère à trois dimensions, ce vecteur se définira par ses coordonnées [116] [118] :

$$\vec{T} = T_x \vec{e}_x + T_y \vec{e}_y + T_z \vec{e}_z \quad (60)$$

Sa divergence se calcule comme suit :

$$\text{div } \vec{T} = \vec{\nabla} \cdot \vec{T} = \frac{\partial T_x}{\partial x} + \frac{\partial T_y}{\partial y} + \frac{\partial T_z}{\partial z} \quad (61)$$

- Opérateur rotationnel

Le rotationnel est un concept en mathématiques qui permet de transformer un champ vectoriel en un autre champ vectoriel. Pour donner un exemple concret, prenons une tornade : le vent y tourne autour de l'œil du cyclone, et le champ qui décrit la vitesse du vent montre un rotationnel non nul autour de ce centre. En d'autres termes, le champ de vorticit , aussi appel  champ tourbillon, devient plus intense   mesure que l'on se rapproche de l'œil de la tornade. Il se lit rotationnel et se note $\overrightarrow{\text{rot}} \vec{T}$ [116] [117].

$$\overrightarrow{\text{rot}} \vec{T} = \vec{\nabla} \wedge \vec{T} = \begin{vmatrix} \vec{e}_x & \vec{e}_y & \vec{e}_z \\ \frac{\partial}{\partial x} & \frac{\partial}{\partial y} & \frac{\partial}{\partial z} \\ T_x & T_y & T_z \end{vmatrix} \quad (62)$$

A l'aide du calcul de déterminant nous retrouvons le résultat suivant

$$\overrightarrow{\text{rot}} \vec{T} = \vec{\nabla} \wedge \vec{T} = \begin{pmatrix} \frac{\partial T_z}{\partial y} - \frac{\partial T_y}{\partial z} \\ \frac{\partial T_x}{\partial z} - \frac{\partial T_z}{\partial x} \\ \frac{\partial T_y}{\partial x} - \frac{\partial T_x}{\partial y} \end{pmatrix} \quad (63)$$

$$\overrightarrow{\text{rot}} \overrightarrow{\text{rot}} \vec{T} = \vec{\nabla} \wedge (\vec{\nabla} \wedge \vec{T}) = \vec{\nabla} (\vec{\nabla} \cdot \vec{T}) - \nabla^2 \vec{T} \quad (64)$$

$$\overrightarrow{\text{rot}} \overrightarrow{\text{rot}} \vec{T} = \vec{\nabla} \wedge (\vec{\nabla} \wedge \vec{T}) = \vec{\nabla} (\vec{\nabla} \cdot \vec{T}) - \Delta \vec{T} \quad (65)$$

- Opérateur Laplacien

Le Laplacien d'un champ correspond à la somme des dérivées secondes de ce champ par rapport à chaque variable. Cette notion est valable autant pour les champs scalaires que pour les champs vectoriels, et on distingue alors le Laplacien scalaire et le Laplacien vectoriel. En ce qui concerne les champs scalaires, le Laplacien scalaire donne un champ de scalaires, tandis que pour les champs vectoriels, le Laplacien vectoriel produit un champ de vecteurs. En dimension 3 et en coordonnées cartésiennes [116]. Il s'exprime ainsi :

$$\Delta = \vec{\nabla}^2 = \frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \frac{\partial^2}{\partial z^2} \quad (66)$$

Le Laplacien scalaire d'un champ de scalaires :

$$\Delta T = \vec{\nabla}^2 T = (\vec{\nabla} \cdot \vec{\nabla}) T = \vec{\nabla} \cdot (\vec{\nabla} T) = \frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} \quad (67)$$

Le Laplacien vectoriel d'un champ de vecteurs :

$$\Delta \vec{T} = \vec{\nabla}^2 \vec{T} = (\vec{\nabla} \cdot \vec{\nabla}) \vec{T} = \left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \frac{\partial^2}{\partial z^2} \right) \cdot \begin{pmatrix} T_x \\ T_y \\ T_z \end{pmatrix} = \begin{pmatrix} \frac{\partial^2 T_x}{\partial x^2} + \frac{\partial^2 T_x}{\partial y^2} + \frac{\partial^2 T_x}{\partial z^2} \\ \frac{\partial^2 T_y}{\partial x^2} + \frac{\partial^2 T_y}{\partial y^2} + \frac{\partial^2 T_y}{\partial z^2} \\ \frac{\partial^2 T_z}{\partial x^2} + \frac{\partial^2 T_z}{\partial y^2} + \frac{\partial^2 T_z}{\partial z^2} \end{pmatrix} = \begin{pmatrix} \Delta T_x \\ \Delta T_y \\ \Delta T_z \end{pmatrix} \quad (68)$$

A savoir :

La divergence d'un rotationnel est nulle.

$$\operatorname{div}(\overrightarrow{\operatorname{rot}} \vec{T}) = \vec{\nabla} \cdot (\vec{\nabla} \wedge \vec{T}) = 0 \quad (69)$$

Le rotationnel d'un gradient est nul

$$\overrightarrow{\operatorname{rot}} \overrightarrow{\operatorname{grad}} T = \vec{\nabla} \wedge (\vec{\nabla} T) = \vec{0} \quad (70)$$

Annexe 2. Détermination des contraintes principales

Le logiciel ANSYS utilisé dans cette thèse permet d'identifier ces contraintes principales, mais ces dernières peuvent être déterminées analytiquement. En considérant le tenseur des contraintes vu en chapitre II dans la section III.3.1 définis dans une base vectorielle ($\vec{e}_1, \vec{e}_2, \vec{e}_3$).

$$\underline{\underline{\sigma}} = \begin{pmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{22} & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \sigma_{33} \end{pmatrix}$$

Déterminer les contraintes principales revient à déterminer les valeurs et les vecteurs propres. Ceci revient à diagonaliser le tenseur des contraintes de sorte à passer de la matrice au-dessus à la matrice ci-dessous dans une nouvelle base vectorielle ($\vec{e}_I, \vec{e}_{II}, \vec{e}_{III}$). Cette base est constituée des vecteurs propres :

$$\underline{\underline{\sigma}} = \begin{pmatrix} \sigma_I & 0 & 0 \\ 0 & \sigma_{II} & 0 \\ 0 & 0 & \sigma_{III} \end{pmatrix}$$

Pour en arriver à la nouvelle matrice il faut effectuer l'opération suivante :

$$\det(\underline{\underline{\sigma}} - \lambda \cdot \underline{\underline{I}}) = 0$$

$$\begin{vmatrix} \sigma_{11} - \lambda & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{22} - \lambda & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \sigma_{33} - \lambda \end{vmatrix} = 0$$

Ensuite, utiliser les différentes méthodes connues en mathématiques permettant de calculer le déterminant d'une matrice : méthode de Gauss, Cramer, etc... Il faut trouver les valeurs de l'inconnue λ « nommée valeurs propres » pour que le déterminant soit nul. Une fois les valeurs propres obtenues, l'on doit rechercher les vecteurs propres associés à ces valeurs propres.

Les vecteurs propres sont obtenus en effectuant l'opération suivante :

$$(\underline{\underline{\sigma}} - \lambda \cdot \underline{\underline{I}}) \cdot X = 0$$

$X = (x_1, x_2, x_3)$ vecteur propre à trois composantes. Pour chaque valeur propre, il faut lui associer un vecteur propre.

Prenons deux exemples d'un état de contraintes :

Premier cas : État de contrainte de sollicitation en traction ou compression, le tenseur des contraintes est caractérisé par une seule composante normale constante et s'écrit de la forme suivante :

$$\underline{\underline{\sigma}} = \begin{pmatrix} \sigma & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix}$$

Ainsi le calcul du déterminant revient à calculer :

$$\det(\underline{\underline{\sigma}} - \lambda \cdot \underline{\underline{I}}) = 0$$

$$\begin{vmatrix} \sigma - \lambda & 0 & 0 \\ 0 & -\lambda & 0 \\ 0 & 0 & -\lambda \end{vmatrix} = 0$$

En utilisant les éléments de la première ligne, le premier élément est coté (+), le second coté (-) et le troisième coté (+) ainsi nous avons :

$$(\sigma - \lambda) \cdot \begin{vmatrix} -\lambda & 0 \\ 0 & -\lambda \end{vmatrix} - (0) \cdot \begin{vmatrix} 0 & 0 \\ 0 & -\lambda \end{vmatrix} + (0) \cdot \begin{vmatrix} 0 & -\lambda \\ 0 & 0 \end{vmatrix} = 0$$

$$(\sigma - \lambda) \cdot \begin{vmatrix} -\lambda & 0 \\ 0 & -\lambda \end{vmatrix} = 0$$

$$(\sigma - \lambda) \cdot ((-\lambda) \cdot (-\lambda) - (0) \cdot (0)) = 0$$

$$(\sigma - \lambda) \cdot (\lambda)^2 = 0$$

Cette équation a pour solutions : $\{\sigma \quad 0 \quad 0\}$

Ces différentes solutions sont les valeurs propres, donc les contraintes principales de cet état de contraintes.

Remarque : Nous aurions pu procéder autrement en regardant l'état de contraintes. Nous observons que cette matrice est déjà diagonalisée (les éléments hors de la diagonale sont nuls), d'où les contraintes principales (valeurs propres) sont les éléments de la diagonale de cette matrice.

Le vecteur propre associé à la valeur propre σ est déterminé par :

$$(\underline{\underline{\sigma}} - \sigma \cdot \underline{\underline{I}}) \cdot X = 0$$

$$\begin{pmatrix} 0 & 0 & 0 \\ 0 & -\sigma & 0 \\ 0 & 0 & -\sigma \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix} = \begin{pmatrix} 0 \\ 0 \\ 0 \end{pmatrix}$$

Cette opération nous donne $x_2 = x_3 = 0$, d'où le vecteur propre associé est $(1 \quad 0 \quad 0)$ correspondant au vecteur \vec{e}_1 .

Le vecteur propre associé à la valeur propre 0 est :

$$(\underline{\underline{\sigma}} - 0 \cdot \underline{\underline{I}}) \cdot X = 0$$

$$\begin{pmatrix} \sigma & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix} = \begin{pmatrix} 0 \\ 0 \\ 0 \end{pmatrix}$$

Cette opération nous donne $x_1 = 0$, d'où les vecteurs propres associés sont $(0 \quad 1 \quad 0)$ et $(0 \quad 0 \quad 1)$ correspondant aux vecteurs \vec{e}_2 et \vec{e}_3 dans la base canonique.

Ainsi la matrice des valeurs propres est identique la matrice de l'état de contrainte définie et la matrice des vecteurs propres est la matrice des éléments de la base canonique $(\vec{e}_1, \vec{e}_2, \vec{e}_3)$

$$\begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{pmatrix}$$

Cependant, nous pouvons déterminer le tenseur des déformations induits par ce type de sollicitation à l'aide de la loi de Hooke vu dans la section II.3.1.2.2.1

$$\varepsilon_{ij} = -\frac{\nu}{E} \sigma_{kk} \delta_{ij} + \frac{(1+\nu)}{E} \sigma_{ij}$$

$$\sigma_{kk} = \text{tr}(\underline{\underline{\sigma}}) = \sigma + 0 + 0 = \sigma$$

Alors nous avons :

$$\underline{\underline{\varepsilon}} = \frac{1}{E} \cdot \begin{pmatrix} \sigma & 0 & 0 \\ 0 & -\nu\sigma & 0 \\ 0 & 0 & -\nu\sigma \end{pmatrix}$$

Deuxième cas : État de contrainte de sollicitation en torsion, le tenseur des contraintes est caractérisé par une seule composante de cisaillement et s'écrit de la forme suivante

$$\underline{\underline{\sigma}} = \begin{pmatrix} 0 & 0 & \tau \\ 0 & 0 & 0 \\ \tau & 0 & 0 \end{pmatrix}$$

La détermination des contraintes principales est obtenue grâce au calcul suivant :

$$\det(\underline{\underline{\sigma}} - \lambda \cdot \underline{\underline{\mathbb{I}}}) = 0$$

$$\begin{vmatrix} -\lambda & 0 & \tau \\ 0 & -\lambda & 0 \\ \tau & 0 & -\lambda \end{vmatrix} = 0$$

En développant par rapport aux éléments de la première ligne, le premier élément est de signe (+), le second est de signe (-) et le troisième est de signe (+) ainsi nous avons :

$$(-\lambda) \cdot \begin{vmatrix} 0 & 0 \\ \tau & -\lambda \end{vmatrix} - (0) \cdot \begin{vmatrix} 0 & 0 \\ \tau & -\lambda \end{vmatrix} + (\tau) \cdot \begin{vmatrix} 0 & -\lambda \\ 0 & 0 \end{vmatrix} = 0$$

$$(-\lambda) \cdot ((-\lambda) \cdot (-\lambda) - (0) \cdot (0)) - (0) \cdot ((0) \cdot (-\lambda) - (0) \cdot (\tau)) + (\tau) \cdot ((0) \cdot (0) - (\tau) \cdot (-\lambda)) = 0$$

$$(-\lambda) \cdot ((-\lambda) \cdot (-\lambda) - (0) \cdot (0)) + (\tau) \cdot ((0) \cdot (0) - (\tau) \cdot (-\lambda)) = 0$$

$$(-\lambda) \cdot ((\lambda) \cdot (\lambda)) + (\tau) \cdot ((\tau) \cdot (\lambda)) = 0$$

$$(\lambda) \cdot (\tau^2 - \lambda^2) = 0$$

La solution de cette équation est : $\{0 \quad -\tau \quad \tau\}$

Le vecteur propre associé à la valeur propre 0 est :

$$(\underline{\underline{\sigma}} - 0 \cdot \underline{\underline{\mathbb{I}}}) \cdot X = 0$$

$$\begin{pmatrix} 0 & 0 & \tau \\ 0 & 0 & 0 \\ \tau & 0 & 0 \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix} = \begin{pmatrix} 0 \\ 0 \\ 0 \end{pmatrix}$$

Cette opération nous donne $x_1 = x_3 = 0$, d'où le vecteur propre associé est $(0 \quad 1 \quad 0)$ correspondant au vecteur \vec{e}_2

Le vecteur propre associé à la valeur propre τ est déterminé par :

$$\begin{aligned} (\underline{\underline{\sigma}} - \tau \cdot \underline{\underline{I}}) \cdot X &= 0 \\ \begin{pmatrix} -\tau & 0 & \tau \\ 0 & -\tau & 0 \\ \tau & 0 & -\tau \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix} &= \begin{pmatrix} 0 \\ 0 \\ 0 \end{pmatrix} \end{aligned}$$

Cette opération nous donne $x_2 = 0$ et $x_1 = x_3$ d'où le vecteur propre associé est $(1 \ 0 \ 1)$.

De même, le vecteur propre associé à la valeur propre $-\tau$ est :

$$\begin{aligned} (\underline{\underline{\sigma}} + \tau \cdot \underline{\underline{I}}) \cdot X &= 0 \\ \begin{pmatrix} \tau & 0 & \tau \\ 0 & \tau & 0 \\ \tau & 0 & \tau \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix} &= \begin{pmatrix} 0 \\ 0 \\ 0 \end{pmatrix} \end{aligned}$$

Cette opération nous donne $x_2 = 0$ et $x_1 = -x_3$ d'où le vecteur propre associé est $(1 \ 0 \ -1)$.

Ainsi la matrice des valeurs propres est $\begin{pmatrix} 0 & 0 & 0 \\ 0 & \tau & 0 \\ 0 & 0 & -\tau \end{pmatrix}$ et la matrice des vecteurs propres est

$$\begin{pmatrix} 0 & 1 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & -1 \end{pmatrix}$$

Cependant, nous pouvons déterminer le tenseur des déformations induit par ce type de sollicitation à l'aide de la loi de Hooke vu dans la section II.3.1.2.2.1 avec :

$$\sigma_{kk} = tr(\underline{\underline{\sigma}}) = 0 + 0 + 0 = 0$$

Alors nous avons :

$$\underline{\underline{\varepsilon}} = \frac{(1 + \nu)}{E} \cdot \begin{pmatrix} 0 & 0 & \tau \\ 0 & 0 & 0 \\ \tau & 0 & 0 \end{pmatrix}$$

Voici, en quelque sorte, comment calculer les contraintes principales théoriquement, mais qui sont déjà définies dans le logiciel de simulation numérique ANSYS.

Annexe 3. Suite des résultats de la simulation thermique de la section III.2.6.1.2

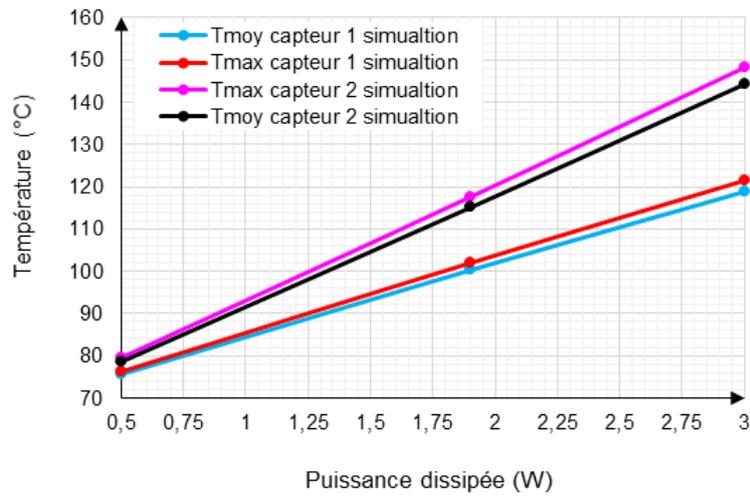


Figure 149 : Température maximale et moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 80 °C

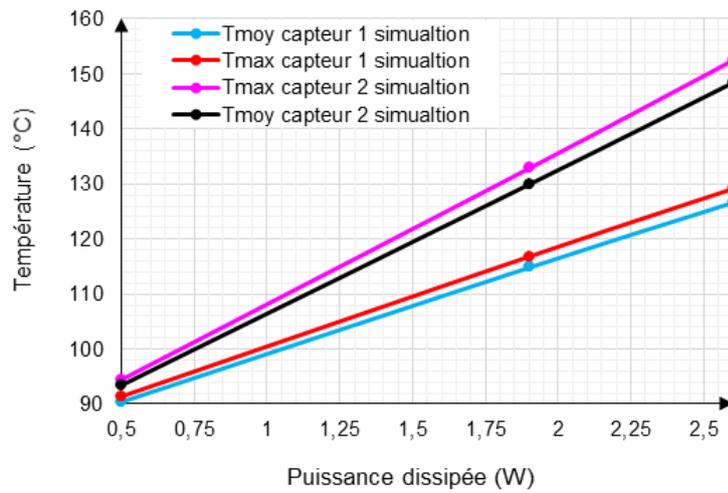


Figure 150 : Température maximale et moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 100 °C

Annexe 4. Suite de la comparaison de la mesure électrique et simulation thermique

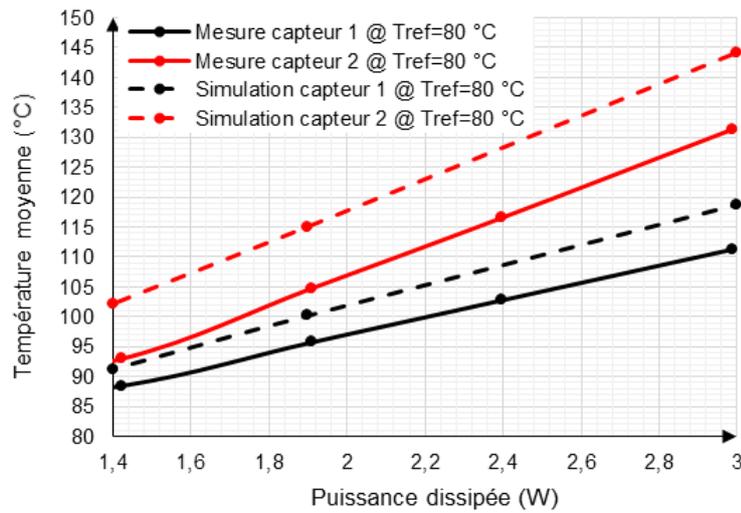


Figure 151 : Comparaison de la température de la mesure électrique et de la température moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 80 °C

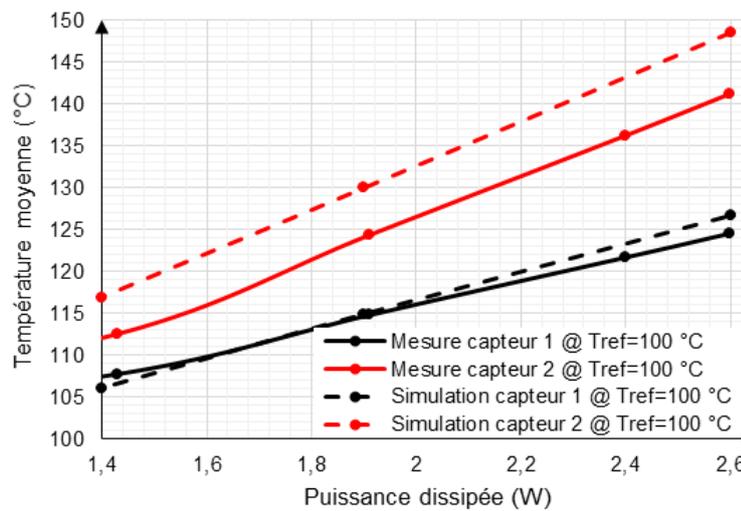


Figure 152 : Comparaison de la température de la mesure électrique et de la température moyenne de la simulation thermique du capteur 1 et du capteur 2 à la température de référence de 100 °C

Annexe 5. Suite de la comparaison de la mesure infrarouge et de la simulation thermique

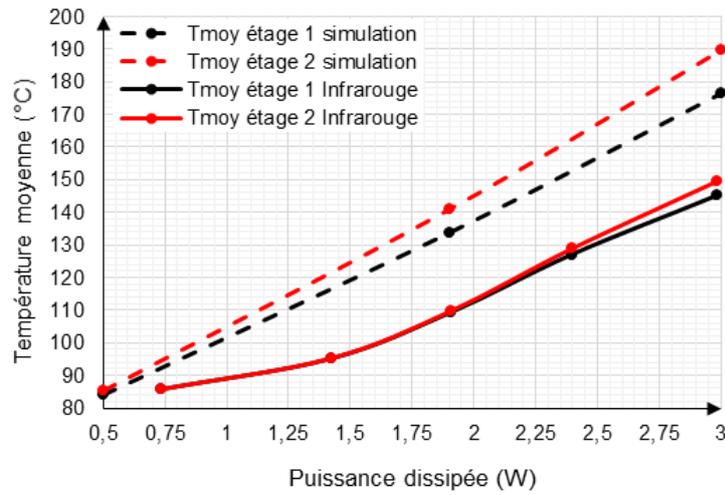


Figure 153 : Comparaison de la température moyenne de l'étage 1 et de l'étage 2, entre la simulation thermique et la mesure infrarouge à la température de référence de 80 °C

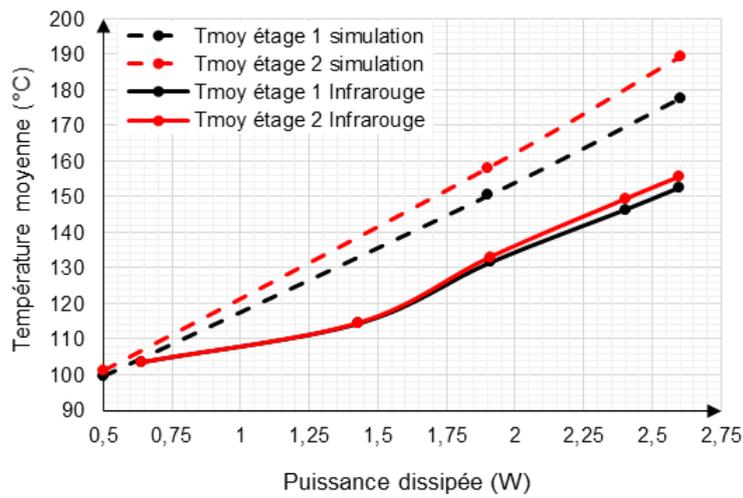


Figure 154 : Comparaison de la température moyenne de l'étage 1 et de l'étage 2, entre la simulation thermique et la mesure infrarouge à la température de référence de 100 °C



Mesures et modélisations multi-physiques des dispositifs GaN pour la co-intégration SiP en technologie FOWLIP

Cette thèse, en lien avec le projet SMART3 du plan nano 2022, a pour but d'évaluer et de développer de nouvelles technologies de packaging 2D et 3D pour répondre à l'intégration hétérogène de différentes technologies de semi-conducteurs (GaN, AsGa, Si, ...) afin de concevoir des systèmes entièrement intégrés appelés « System in Package ». La technologie utilisée est du type FO-WLP (Fan Out Wafer Level Packaging). Les défis d'intégration avec cette technologie nécessitent le plus souvent une approche multiphysique et un co-design circuits boîtier pour permettre d'allier performances et fiabilité. Mon travail s'est focalisé sur les aspects thermiques et thermomécaniques de certains véhicules de test du projet et sur la comparaison avec des mesures thermiques et thermomécaniques.

Les aspects multi-échelles ont également été abordés puisque nous avons par exemple effectué l'analyse thermique d'un dispositif en partant du transistor, en passant par le SiP et le SiP monté sur un PCB.

D'un point de vue thermomécanique, nous nous sommes intéressés au calcul de la déformation « warpage » dans les SiP. Nous avons comparé avec succès mesures et simulations sur le véhicule de test RIC 4X4

Mots-clés : Mesure thermique, simulation thermique et thermomécanique, GaN, multiphysique, multi-échelle, Fan Out Wafer Level Packaging (FOWLIP), System in Package (SiP), déformation

Multiphysics measurements and modeling of GaN devices for SiP co-integration in FOWLIP technology

The aim of this thesis, which is linked to the SMART3 project of the nano 2022 plan, is to evaluate and develop new 2D and 3D packaging technologies to address the heterogeneous integration of different semiconductor technologies (GaN, GaAs, Si, ...) in order to design fully integrated systems known as 'System in Package'. The technology used is FO-WLP (Fan Out Wafer Level Packaging). The challenges with this technology require a multiphysics approach and, very often, the co-design of the circuits with the package to combine performance and reliability. My work focused on the thermal and thermomechanical aspects of some test vehicles of the project and on their comparison with thermal and thermomechanical measurements.

Multi-scale aspects were also addressed, as we carried out the thermal analysis of a device starting from the transistor, passing through the SiP and the SiP mounted on a PCB.

From a thermomechanical point of view, we were interested in the calculation of warpage deformation in SiP. We have successfully compared measurement and simulation on the RIC 4x4 test vehicle

Keywords : Thermal measurement, thermal and thermomechanical simulation, GaN, multiphysics, multi-scale, Fan Out Wafer Level Packaging (FOWLIP), System in Package (SiP), warpage

