

Université de Limoges - Faculté des Sciences et Techniques
Ecole Doctorale n° 521 : Sciences et Ingénierie pour l'Information
XLIM - CCSNL, UMR CNRS 7252

THESE

Pour obtenir le grade de

Docteur de l'Université de Limoges

Spécialité : "Electronique des Hautes Fréquences, Photonique et Systèmes"

Présentée et soutenue publiquement par

Morgane PORTELANCE

le 14 octobre 2021

**Conception d'un amplificateur haut rendement à modulation
de charge active en technologie GaN pour application à la
radionavigation par satellite**

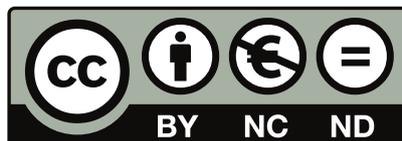
Directeurs de thèse : **Pierre MEDREL, Jean-Michel NEBUS**

Jury :

| | | |
|-----------------------------|--|-------------------|
| Michel PRIGENT, | Professeur, XLIM, Université de Limoges | Président du jury |
| Éric BERGEAULT, | Professeur, Télécom ParisTech | Rapporteur |
| Juan Mari COLLANTES, | Professeur, Universidad del País Vasco | Rapporteur |
| Anthony DISSERAND, | Ingénieur, CISTEME, Limoges | Examineur |
| Olivier JARDEL, | Ingénieur, Thalès Alenia Spaces, Toulouse | Examineur |
| Pierre MEDREL, | Maître de Conférences, XLIM, Université de Limoges | Examineur |
| Jean-Michel NEBUS, | Professeur, XLIM, Université de Limoges | Examineur |
| Tibault REVEYRAND, | Ingénieur d'Etudes CNRS, XLIM, Université de Limoges | Examineur |



Droits d'auteurs / Copyright



Cette création est mise à disposition selon le Contrat : « Paternité - Pas d'Utilisation Commerciale - Pas de modification 3.0 France » disponible en ligne à l'adresse suivante : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>.

This work is licensed under the Creative Commons Attribution - Pas d'Utilisation Commerciale - Pas de Modification 3.0 France License. To view a copy of this license, visit <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/> or send a letter to Creative Commons, PO Box 1866, Mountain View, CA 94042, USA.

A la mémoire de mon papa,

Remerciements

Ces travaux de thèse ont été menés au sein du laboratoire Xlim (UMR CNRS 7252), dans l'axe SRF et dans l'équipe CCSNL (Composants, Circuits et Systèmes Non Linéaires), sur le site de Limoges. Je tiens à remercier Monsieur Stéphane BILA d'avoir permis de réaliser ces travaux au sein du laboratoire Xlim, ainsi que Messieurs Bernard JARRY et Raphaël SOMMET de m'avoir accueillie au sein de leur équipe de recherche.

J'adresse mes plus sincères remerciements à Monsieur Michel PRIGENT de m'avoir fait l'honneur de présider ce jury thèse, mais également pour son extrême bienveillance, notamment durant le jour J. Je tiens également à remercier chaleureusement Monsieur Eric BERGEAULT, professeur à Télécom ParisTech et Monsieur Juan-Mari COLLANTES, professeur à l'université du Pays Basque de Bilbao, d'avoir consacré une partie de leur temps pour juger ces travaux en tant que rapporteurs. Je souhaite également remercier Messieurs Olivier JARDEL, ingénieur à Thalès Alénia Space, Anthony DISSERAND, ingénieur chez Cisteme, et Tibault REVEYRAND, ingénieur d'étude CNRS au laboratoire Xlim, d'avoir pris part à ce jury en qualité d'examineurs.

Je souhaite également remercier mes encadrants, qui ont sû m'accompagner durant ces trois années, que ce soit dans les bons moments, mais aussi dans les moments plus difficiles. La thèse n'a pas été un long fleuve tranquille, et je reste persuadée que si j'ai réussi à m'accrocher, c'est parce que vous ne m'avez jamais lâchée. Merci pour votre investissement, votre disponibilité. Merci pour votre bonne humeur. Merci d'avoir su me transmettre vos connaissances, qui m'ont permis d'évoluer durant ces trois années, mais aussi, d'envisager plus sereinement la nouvelle vie qui m'attend. Pierre, Jean-Michel, je vous remercie pour tout cela.

Je retiendrais aussi de ces trois années au sein du laboratoire toute cette bienveillance, cette bonne ambiance dont j'ai pu profiter. Merci à tous les permanents que j'ai côtoyé pour leur bonne humeur. Merci à Marie-Claude pour toutes ces discussions, ces récits de voyage, et pour ton soutien qui a été précieux dans les moments difficiles. Je tiens également à remercier Virginie, d'avoir su m'accompagner dans ces mêmes moments. C'est en grande partie grâce à vous que j'ai pu surmonter cette épreuve.

Clément, je tiens à te remercier pour ton aide précieuse durant les sessions mesures à Platinom. Tu es le meilleur vérificateur de polarisation que j'ai jamais vu, promis! Mais, en plus de cela, tu as été d'un soutien indéfectible pendant ces années, et je ne t'en remercierais jamais assez. Merci également à Damien pour sa disponibilité et pour m'avoir permis de réaliser ces mesures dans les meilleures conditions possibles.

En parlant de mesure, je ne peux pas oublier Friend Tibo, sans qui cette thèse n'aurait pas été la même. Merci pour ton investissement dans mon travail, et pour toutes ces heures passées sur le banc. Je pourrais également te remercier pour toutes ces sessions "coffee and fume", mais je ferais preuve d'un sacré manque d'originalité. Je n'oublierais pas toutes ces discussions animées sur des sujets divers et variés, allant de la politique à des sujets très sérieux tels que Koh Lanta et El Pueblo. Enfin, ça y est, la thèse est finie. C'est la raison pour laquelle, de façon officielle, je peux te léguer mon beau sapin rouge (et tu ne peux pas le refuser)! J'espère que tu en feras bon usage!

Dans ces remerciements, je ne peux pas oublier tous mes collègues et anciens collègues thésards pour tous les bons moments passés ensemble. Merci tout d'abord à Abhijeet, alias Friend Pchit, for all the fume sticks and all the coins you gave me during the time spent together in Xlim. Merci également à Friend Alexis, pour l'accueil que tu as fait à la petite stagiaire innocente que j'étais à l'époque! Je te remercie pour tous ces bons moments, ces fous rires, mais peut être un peu moins pour les cadeaux que tu me faisais chaque matin quand j'arrivais au bureau! Je te remercie également d'avoir fait le déplacement pour assister à ma soutenance. Un grand merci à Friend Fred pour toutes ces discussions potins que l'on a pu partager. A Friend Paul également, pour ces pauses clopes et sa bonne humeur.

Je ne peux pas oublier tous mes camarades de master, pour toutes ces soirées autour d'une bière, pour tous ces moments que j'ai eu la chance de partager avec vous. Peut-être que je vous remercie moins pour ces cadeaux très encombrants que vous m'avez fait, et surtout pour le plaisir malsain vous vous en avez tiré! Pour toutes ces raisons, Yann, Raph, Fabien, Vincent et Axel, merci. Je vous souhaite tout le meilleur pour la suite, et bon courage à ceux qui soutiennent leur thèse dans les prochaines semaines.

Un grand merci également à tous les thésards arrivés au cours de ma thèse, pour ces pauses déjeuner autour d'un tarot, et je vous souhaite également bon courage pour la suite, tout en insistant sur le fait que je suis contente de ne plus être à votre place! Bon courage à toi Rémy, à toi Loïc, et je souhaite bonne chance à Jimmy, mon co-buraliste, pour ces trois ans à venir. Et, ne t'inquiète pas, dans trois ans, le load pull n'aura plus de secret pour toi!

Enfin, je tiens à dédier cette thèse à ma famille, particulièrement à ma maman, qui je le sais, est très fière de moi, bien que j'ai souvent eu le droit à : "Tu fais une thèse en quoi déjà?". Je te remercie pour toutes ces valeurs que tu as su nous transmettre à Nico, Thomas, et à moi, et même si on ne te le dit peut être pas assez souvent, nous sommes très fier d'être tes enfants.

Ma dernière pensée va à mon papa, qui, s'il avait été encore là, aurait été tout aussi fier de moi.

Table des matières

| | |
|---|-----------|
| Liste des figures | xi |
| Liste des tableaux | xix |
| Introduction générale | 1 |
| I Outils et méthodes de CAO non-linéaires pour la conception de circuits haute fréquence | 5 |
| 1 Le transistor HEMT GaN pour les circuits haute fréquence | 6 |
| 1.1 Le transistor HEMT GaN | 6 |
| 1.1.1 Structure verticale du HEMT GaN | 6 |
| 1.1.2 Structure horizontale du HEMT GaN | 7 |
| 1.1.3 Modèle phénoménologique de la cellule HEMT GaN | 8 |
| 1.2 Analyse par le formalisme tension/courant du transistor pour l'amplification de puissance | 9 |
| 2 Outils CAO pour la conception d'amplificateur à haut rendement en hautes fréquences | 14 |
| 2.1 Synthèse des principales étapes de conception d'un amplificateur de puissance | 14 |
| 2.2 Etude DC et analyse petit signal | 15 |
| 2.2.1 Analyse DC | 15 |
| 2.2.2 Etude petit signal | 16 |
| 2.3 Analyse de Load-Pull à f_0 | 20 |
| 2.4 Analyse de Source-Pull à f_0 | 22 |
| 2.5 Analyse de Load-Pull aux harmoniques | 24 |
| 2.6 Analyse de Source-Pull aux harmoniques | 25 |
| 3 Analyse des circuits haute fréquence par le formalisme des ondes de puissance | 28 |
| 3.1 Notions d'ondes de puissance (ondes de Kurokawa) et adaptation d'impédances | 29 |
| 3.2 Analyse fort signal du transistor HEMT GaN par le formalisme des ondes de puissance | 32 |
| II Architectures d'amplificateur de puissance à modulation de charge active | 41 |
| 1 Introduction | 42 |
| 1.1 Modulation de tension de polarisation de drain | 43 |
| 1.2 Modulation de charge | 45 |
| 2 Architectures à modulation de charge active | 47 |
| 2.1 Architectures non isolées | 47 |
| 2.1.1 Technique "Outphasing" | 47 |
| 2.1.2 L'amplificateur Doherty | 51 |
| 2.2 Architecture isolée : l'amplificateur séquentiel | 56 |

| | | |
|---|--|------------|
| 3 | Le LMBA : une architecture quasi-isolée d'amplificateur de puissance à haut rendement | 57 |
| 3.1 | L'architecture LMBA à deux entrées RF | 57 |
| 3.1.1 | Principe général | 57 |
| 3.1.2 | Etude analytique du LMBA « Dual-Input » | 59 |
| 3.2 | L'architecture LMBA RF input | 62 |
| 3.2.1 | L'amplificateur LMBA « Doherty-Like » | 62 |
| 3.2.2 | Le LMBA large bande | 66 |
| 3.2.3 | Le Sequential LMBA (SLMBA) | 68 |
| 4 | Analyse théorique du LMBA "Doherty-Like" avec des sources de courant idéales et prise en compte des effets parasites | 71 |
| 4.1 | Prise en compte des effets parasites pour la réalisation de l'adaptation de sortie | 71 |
| 4.2 | Contrainte sur l'amplitude maximale de courant délivré par la source de contrôle | 74 |
| 4.3 | Prise en compte de la polarisation en classe C de l'amplificateur de contrôle | 78 |
| 4.3.1 | 1er cas : $1 < \beta \leq 2.41$ | 82 |
| 4.3.2 | 2ème cas : $\beta > 2.41$ | 83 |
| 4.4 | Conclusion de l'étude analytique | 85 |
| 5 | Comparaison LMBA « Doherty-Like » vs Doherty | 85 |
| 6 | Conclusion générale sur les amplificateurs à modulation de charge | 87 |
| 7 | Résilience au TOS | 88 |
| III Méthodologie de conception d'un LMBA 'Doherty-Like' dual input | | 89 |
| 1 | Introduction | 90 |
| 2 | Éléments de conception d'un amplificateur LMBA | 90 |
| 2.1 | Choix du transistor et du substrat | 90 |
| 2.2 | Analyse DC | 91 |
| 2.3 | Etude petit signal | 93 |
| 2.4 | Etude fort signal | 94 |
| 2.5 | Conception des coupleurs | 97 |
| 2.5.1 | Coupleur d'entrée 50Ω | 97 |
| 2.5.2 | Coupleur de sortie | 98 |
| 2.6 | Adaptation de sortie | 99 |
| 2.7 | Conception de la cellule de l'amplificateur équilibré | 103 |
| 2.7.1 | Conception des réseaux de polarisation de drain | 103 |
| 2.7.2 | Adaptation d'entrée de la cellule | 105 |
| 2.7.3 | Performances de la cellule | 106 |
| 2.8 | Assemblage du prototype d'amplificateur LMBA | 108 |
| 3 | Réalisation du démonstrateur LMBA « dual-input » | 113 |
| 4 | Mesure fort signal de l'amplificateur équilibré | 115 |
| 4.1 | Caractérisation 2 ports du LMBA « dual-input » | 116 |
| 4.1.1 | Présentation du système de mesure | 116 |
| 4.1.2 | Principe d'étalonnage du banc de mesure en mode CW | 118 |
| 4.2 | Résultats de mesures | 122 |
| 5 | Conclusion et implémentation de la voie de contrôle | 123 |
| IV Méthodologie de conception d'un LMBA avec amplificateur de contrôle polarisé en classe AB | | 129 |
| 1 | Introduction | 130 |

| | | |
|-------|---|------------|
| 2 | Cahier des charges et choix des composants | 130 |
| 3 | Méthodologie de conception d'un LMBA en bande L avec amplificateur de contrôle polarisé en classe AB | 131 |
| 3.1 | Pré-adaptation des cellules équilibrées | 131 |
| 3.2 | Réglage des temps de propagation de groupe | 134 |
| 3.3 | Loi de variation de ΔP dans la zone de modulation de charge | 137 |
| 4 | Conception du LMBA | 139 |
| 4.1 | Analyses préliminaires | 139 |
| 4.2 | Coupleur Anaren 50 Ω | 139 |
| 4.3 | Réseaux de polarisation et gestion de l'harmonique 2 | 140 |
| 4.4 | Conception d'une cellule de l'amplificateur équilibré polarisée en classe AB profonde | 143 |
| 4.5 | Conception d'un LMBA « dual-input » pour l'estimation des lois de commande | 144 |
| 4.6 | Conception de l'amplificateur de contrôle | 150 |
| 4.7 | Assemblage du LMBA | 154 |
| 5 | Réalisation et mesure du démonstrateur LMBA | 160 |
| 5.1 | Mesure petit signal des deux démonstrateurs | 161 |
| 5.1.1 | Amplificateur de contrôle | 161 |
| 5.1.2 | Démonstrateur LMBA | 162 |
| 5.2 | Mesure fort signal | 163 |
| 5.2.1 | Mesures P_s/P_e de l'amplificateur de contrôle dans la bande [1.2-1.4] GHz | 163 |
| 5.2.2 | Mesure en configuration double entrée RF sur le LMBA sans variation de la polarisation de grille de l'amplificateur de contrôle | 165 |
| 5.2.3 | Mesure en configuration double entrée RF sur le LMBA avec variation de la polarisation de grille de l'amplificateur de contrôle | 168 |
| 6 | Conclusion | 170 |
| | Conclusion générale et perspectives | 174 |
| | Bibliographie | 178 |

Table des figures

| | | |
|------|--|----|
| I.1 | Structure verticale simplifiée d'un HEMT GaN AlGa _N /Ga _N | 7 |
| I.2 | Structure horizontale de la cellule de puissance CGHV1J006D (6 x 225 μm) de Wolfspeed avec 6 doigts de grille. | 8 |
| I.3 | Modèle non-linéaire compact d'un transistor HEMT GaN [19] | 8 |
| I.4 | Cycle de charge pour un fonctionnement typique en classe AB (cellule GaN 6x225um). | 10 |
| I.5 | Extraction des éléments extrinsèques sur le modèle CGHV1J006. | 11 |
| I.6 | Modèle simplifié du transistor en sortie avec ses éléments extrinsèques et principe d'estimation des impédances de charges optimales @5 GHz. | 12 |
| I.7 | Schéma explicatif pour la simulation de Z_{optext} (a) et variation de l'impédance optimale simulée (noir) et calculée par l'équation (I.4) (rouge) dans le plan extrinsèque en fonction de la fréquence (b). | 12 |
| I.8 | Schéma de principe de simulation load-pull et contours de load-pull intrinsèques déterminés avec la méthode proposée dans [20], et les lieux de load-pull extrinsèques déterminés avec le template d'ADS à une puissance de générateur de 29 dBm à 5 GHz). | 13 |
| I.9 | Cycle de charge du CGHV1J006 pour une puissance d'entrée de 29 dBm pour une impédance de charge de $Z_{ch} = (36.4 + j48.6) \Omega$ | 14 |
| I.10 | Principales étapes de conception d'un amplificateur de puissance RF de l'analyse DC au layout | 15 |
| I.11 | Caractéristiques I/V du CGHV1006D en puce. | 16 |
| I.12 | Simulation en paramètres [S] de la puce CGHV1006D – Lieux d'impédances à présenter au transistor pour une adaptation optimale en petit signal. | 17 |
| I.13 | Cercles de stabilité en entrée (à gauche) et en sortie (à droite) du transistor. | 18 |
| I.14 | Motif RC – R de stabilisation | 18 |
| I.15 | Paramètres déterminant la stabilité inconditionnelle pour un dispositif stable et non stable – (a) Facteur de stabilité K – (b) Facteur de stabilité B – (c) Gain max | 19 |
| I.16 | Quadripôle inconditionnellement stable en entrée (à gauche) et en sortie (à droite). | 19 |
| I.17 | Schéma de principe de la simulation load-pull d'ADS à la fréquence fondamentale. | 20 |
| I.18 | Lieux de décote en PAE et P_{out} en régime non linéaire et linéaire pour $Z_S = Z_{in}^*$ (petit signal). | 21 |
| I.19 | Synthèse du circuit d'adaptation de sortie en éléments localisés. Lieux de load-pull extrinsèques en fonction de la fréquence et réponse du circuit d'adaptation. | 22 |
| I.20 | Influence quasi nulle du coefficient de réflexion de source sur le cycle de charge du transistor. La puissance disponible de la source a été modifiée à chacune de ces itérations, pour assurer une puissance injectée constante. | 23 |
| I.21 | Lieux de décote en PAE et P_{out} après simulation source-pull (à gauche) et après nouvelle itération load-pull (à droite) à un niveau de puissance disponible de 30 dBm. | 24 |

| | | |
|-------|---|----|
| I.22 | Performances en PAE en variant la phase du coefficient de réflexion en sortie à l'harmonique 2 et nouvelles performances obtenues par simulation load-pull au fondamental à un niveau de puissance disponible de 30 dBm et à $ \Gamma_{2f_0} = 0,95$. | 25 |
| I.23 | Performances en faisant varier la phase du coefficient de réflexion en entrée à l'harmonique 2 et performances induites par simulation load-pull au fondamental à 5 GHz et à un niveau de puissance disponible de 30 dBm et à $ \Gamma_{2f_0} = 0,95$. | 26 |
| I.24 | Formes d'onde en courant et cycles de charge du transistor CGHV1J00D avec maximisation de la puissance de sortie sans optimisation de l'harmonique 2 en entrée (bleu) et avec optimisation de l'harmonique 2 en entrée (rouge) | 27 |
| I.25 | Réseau deux ports | 29 |
| I.26 | Représentation du critère de Bode-Fano en sortie du FET | 31 |
| I.27 | Représentation du critère de Bode-Fano en entrée du FET | 31 |
| I.28 | Comparaison simulation en paramètres [S] (rouge) et simulation LLSP (noir) entre 4.5 et 5.5 GHz. | 33 |
| I.29 | Puissance de l'onde B_2 en mode faible signal du FET (à gauche) et en mode fort signal (à droite). | 35 |
| I.30 | Comparaison entre les lieux de load-pull avec le modèle de la puce Wolfspeed et le modèle de paramètres X de ce même transistor. | 37 |
| I.31 | Load-pull actif sans transistor (a), avec transistor (b) et coefficients de réflexion produits par la variation de P_C et de ϕ_C dans le cas (a) en rouge, et dans les plans extrinsèques (bleu) dans le cas (b). Abaque normalisée par rapport à $Z_0 = 50 \Omega$ (c). | 38 |
| II.1 | Courbes illustratives de PAE et de puissance de sortie d'un amplificateur conventionnel. | 42 |
| II.2 | Comparaison de la courbe de rendement en puissance ajoutée d'un amplificateur conventionnel (rouge) et d'un amplificateur à haut rendement (vert), avec représentation de la PDF du signal. | 42 |
| II.3 | Fonctionnement d'un amplificateur conventionnel en classe B idéale. ($0 \leq \alpha_m \leq 1$) | 43 |
| II.4 | Modulation de polarisation de drain où le cycle de charge est translaté vers la droite lorsque la puissance d'entrée augmente. | 44 |
| II.5 | Synoptique d'un amplificateur de puissance avec polarisation dynamique de drain [42] | 44 |
| II.6 | Principe de la modulation de charge. | 45 |
| II.7 | Modulation de charge représentée sur abaque de Smith et illustration de la variation des cycles de charge. | 46 |
| II.8 | Modulation de charge active et combinaison de puissance. | 47 |
| II.9 | Principe de l'Outphasing. | 48 |
| II.10 | Principe du combineur Chireix et modélisation par son circuit équivalent avec éléments localisés. | 48 |
| II.11 | Compensation de la partie imaginaire des admittances présentée par Chireix. | 50 |
| II.12 | Trajectoire des coefficients de réflexion en fonction de l'angle d'Outphasing θ sans compensation (gauche) et avec compensation (droite) | 50 |
| II.13 | Evolution des courbes de rendement pour différentes valeurs d'angle de compensation, et donc de susceptances. | 51 |
| II.14 | Représentation d'une architecture Doherty conventionnelle | 51 |
| II.15 | Combinaison en sortie du DPA avec deux transistors asymétriques. Quand $k=1$, la combinaison en sortie est symétrique. | 52 |

| | | |
|-------|---|----|
| II.16 | Caractéristiques I/V idéales d'un transistor en classe B idéal pour illustrer le fonctionnement d'un amplificateur Doherty. | 53 |
| II.17 | Evolution des tensions, courants, impédances et du rendement suivant le facteur d'asymétrie k . Z_m et Z_a sont normalisées par rapport à R_{opt} , I_a et I_m par rapport à $\frac{I_{max}}{2}$, V_a et V_m par rapport à V_{DS0} | 55 |
| II.18 | Schéma de principe de l'inverseur d'impédance. | 55 |
| II.19 | Principe de fonctionnement d'un amplificateur séquentiel [51]. | 56 |
| II.20 | Principe de fonctionnement d'un amplificateur équilibré à charge modulée : LMBA. | 57 |
| II.21 | Principe de fonctionnement du OLMBA. | 58 |
| II.22 | Représentation du circuit de sortie du LMBA avec des sources de courant à la fréquence fondamentale et matrice $[Z]$ du coupleur hybride associée. | 60 |
| II.23 | Schéma bloc de l'amplificateur LMBA avec un comportement « Doherty-Like ». | 62 |
| II.24 | Représentation des tensions au fondamental aux bornes des sources de courant équilibrées | 64 |
| II.25 | Rendement de drain et variations des impédances normalisées par rapport à R_{opt} suivant le choix de la valeur de β (R_{opt} est l'impédance optimale à la saturation). La puissance de sortie correspond à la puissance de sortie d'un LMBA composé de transistor en boîtier plastique de 25 W. | 65 |
| II.26 | Evolution des courants et tensions au niveau des trois sources de courants. Tensions (bleu) et courants (rouge) de la source de courant de contrôle normalisés par rapport à V_{DS0} et I_{DS1max} des sources de courant équilibrées intrinsèques en fonction de β | 66 |
| II.27 | Variation des coefficients de réflexion suivant l'amplitude et la phase du signal de contrôle | 67 |
| II.28 | Représentation du LMBA [61]. | 68 |
| II.29 | Schéma de principe du Sequential LMBA. | 69 |
| II.30 | Variations des coefficients de réflexion des impédances de charge des transistors équilibrés dans une architecture de type SLMBA. α_B est le coefficient lié à la quantité de courant au fondamental délivré par les amplificateurs équilibrés en classe C et α_C est celui lié à la quantité de courant au fondamental délivré par l'amplificateur de contrôle en classe AB. | 70 |
| II.31 | Conception d'un inverseur d'impédance équivalent à la fréquence centrale. | 72 |
| II.32 | Adaptation de sortie des amplificateurs équilibrés. Les impédances dans le plan du coupleur et dans le plan de la source de courant intrinsèque sont identiques. | 72 |
| II.33 | Topologie d'adaptation de sortie des amplificateurs équilibrés et convention des courants dans le plan des sources de courant intrinsèques et dans le plan du coupleur de sortie d'impédance caractéristique Z_0 | 73 |
| II.34 | Adaptation de sortie de l'amplificateur de contrôle dans le cas où $\beta > 2.41$ | 74 |
| II.35 | Topologie d'adaptation de sortie des amplificateurs équilibrés et de l'amplificateur de contrôle. Convention des courants dans le plan des sources de courant intrinsèques et dans le plan du coupleur de sortie d'impédance caractéristique Z_0 | 76 |
| II.36 | Tensions normalisées par rapport à V_{DS0} (bleu) et courants (rouge) normalisés par rapport à $\frac{I_{max}}{2}$ au fondamental vues par les sources de courant intrinsèques en fonction de β pour des valeurs de $\beta > 2.41$ (associées à une contrainte $ V_3 = V_{DS0}$) | 77 |
| II.37 | Comparaison entre le courant fourni au fondamental par un transistor équilibré et le transistor de contrôle en classe B (gauche) et la différence de courant au fondamental induite sur un transistor de contrôle polarisé en classe C. | 79 |
| II.38 | Détermination des valeurs particulières de tension et courant au fondamental des amplificateurs équilibrés au point de déclenchement de l'amplificateur de contrôle. | 80 |

| | | |
|--------|---|-----|
| II.39 | Caractéristique $I_{DS} = f(V_{GS})$ de l'amplificateur de contrôle polarisé en classe C. | 81 |
| II.40 | Comparaison, pour 3 valeurs de β , de la quantité de courant au fondamental requise pour effectuer la modulation de charge optimale attendue (en rouge) et la quantité de courant au fondamental d'un transistor de contrôle de taille identique à celle des équilibrés fournirait (en noir). | 84 |
| II.41 | Comparaison LMBA "Doherty-Like" vs Amplificateur Doherty | 86 |
| II.42 | Schéma du principe du "Double Balanced LMBA" | 88 |
| III.1 | Le transistor CGH40010F avec son boîtier céramique et sa semelle métallique. | 91 |
| III.2 | Caractéristiques I/V du transistor CGH40010F issues d'une simulation DC avec $T_{base}=65^{\circ}C$. | 92 |
| III.3 | Etude en paramètres [S] du transistor avec ses réseaux de polarisation idéaux et son réseau de stabilité. | 93 |
| III.4 | Transistor sans ajout du réseau de stabilisation (pointillés) et transistor inconditionnellement stable après ajout du motif de stabilisation (traits pleins) et cercles de stabilité associés. | 94 |
| III.5 | Simulations de load-pull et source-pull du transistor CGH40010F à 3.65 GHz ($V_{DS0} = 28$ V, $V_{GS0} = -2.95$ V). Zones intrinsèque et extrinsèque optimales à l'harmonique 2 (PAE > 60 %) | 95 |
| III.6 | Cycles de charge à la saturation et au back off à la fréquence centrale et impédances intrinsèques associées au fondamental (Fréquence centrale = 3,65 GHz) et à l'harmonique 2. | 96 |
| III.7 | Géométrie d'un coupleur de type branch-line. | 97 |
| III.8 | Performances du coupleur 50 Ω d'entrée. | 98 |
| III.9 | Dimensions physiques des lignes qui composent le coupleur d'entrée 50 Ω et le coupleur de sortie 60 Ω (Substrat Rogers 4003C). | 98 |
| III.10 | Performances du coupleur 60 Ω de sortie. | 99 |
| III.11 | Principe de la transformation double section proposé par [82] | 100 |
| III.12 | Principe de la transformation double section proposé par [80] appliqué à cette conception – Evolution des parties réelles et imaginaires de l'impédance $Z_L = Z_C$ en fonction de la fréquence | 100 |
| III.13 | Transformateur en éléments localisés (en haut) et transformateur équivalent en éléments distribués (en bas). | 101 |
| III.14 | Matrices chaînes associées à une self série et à une ligne de transmission série sans pertes | 102 |
| III.15 | Matrices chaînes associées à une capacité shunt et à une ligne de transmission série sans pertes | 102 |
| III.16 | Coefficients de réflexion intrinsèques présentés par l'adaptation en éléments distribués (droite) sur la bande de fréquence pour une charge résistive de 60 $\Omega = 2 R_{opt}$ et 30 $\Omega = R_{opt}$ | 103 |
| III.17 | Réseau de polarisation de drain implémenté sur l'adaptation de sortie et impédances présentées associées dans les plans étudiés. | 105 |
| III.18 | Réseau d'adaptation d'entrée conçu et performances associées sur la bande de fréquence. De haut en bas : pertes en retour, coefficient de réflexion d'entrée, comparaison impédances issues de l'étape de source-pull @ f_0 et @ $2f_0$ et celles présentées par le réseau d'adaptation. | 106 |
| III.19 | Amplificateur polarisé en classe AB profonde ($V_{DS0}=28V$; $V_{GS0} = -2.95$ V) | 107 |
| III.20 | PAE à la saturation et au BO – Coefficients de réflexion dans le plan de la source de courant – Cycles de charge associés. | 108 |
| III.21 | Layout de la maquette LMBA de type « dual-input » | 109 |

| | | |
|--------|---|-----|
| III.22 | Lois de commande en puissance et en phase à la fréquence centrale (3.65 GHz). | 110 |
| III.23 | Performances obtenues à la fréquence centrale (3.65 GHz) après injection des lois de commande. Coefficients de réflexion dans les plans du coupleur et intrinsèque. PAE des amplificateurs seuls et PAE globale. Comparaison des AM/PM. | 111 |
| III.24 | Loi de commande en phase en fonction de la fréquence à injecter sur la voie de contrôle. | 112 |
| III.25 | Performances obtenues après injection des lois de commande sur la bande [3.45 – 3.85] GHz. Coefficients de réflexion dans les plans du coupleur et intrinsèque. PAE des amplificateurs seuls et PAE globale à la saturation et au BO. | 113 |
| III.26 | Maquette LMBA « dual-input » mesurée (9,8 cm x 9.6 cm) après retouches et ajustement du circuit in situ (environnement VNA). | 114 |
| III.27 | Comparaison simulation et mesure (après ajout de scotch cuivre) en paramètres [S] du LMBA « dual-input » | 115 |
| III.28 | Comparaison simulation (@3.65 GHz) et mesure (@3.4 GHz) P_s/P_e de l'amplificateur présenté. Performances en PAE, en gain, courbe P_s/P_e et courants DC. | 116 |
| III.29 | Banc de mesure CW du LMBA « dual-input ». | 117 |
| III.30 | Algorithme de la procédure de mesure. | 117 |
| III.31 | Etalonnage d'une source 1-port en mode CW. | 118 |
| III.32 | Etalonnage CW d'une source multiport. | 119 |
| III.33 | Vérification de la procédure d'étalonnage en phase à 3.4 GHz. Les puissances sont en dBm. | 121 |
| III.34 | Mesure du LMBA à 3.4 GHz en configuration double entrée mettant en avant l'influence de la variation de la puissance et de la phase injectée sur la deuxième voie (port isolé du coupleur de sortie). | 122 |
| III.35 | Lois de commande en amplitude et en phase extraites pour répondre aux critères du maximum de PAE et de la linéarité. | 122 |
| III.36 | Layout du LMBA « Doherty-Like » en configuration 1 seule entrée. | 124 |
| III.37 | Performances du LMBA à entrée unique. Coefficients de réflexion dans les deux plans étudiés – PAE d'un amplificateur équilibré et PAE globale – Puissances délivrées. | 125 |
| III.38 | Tensions et courants normalisés pour le circuit « Doherty-Like » @3.65 GHz ($\beta=2$) | 126 |
| III.39 | Layout d'un LMBA « Doherty-Like » pour une modulation de $3R_{opt} \rightarrow R_{opt}$ à la fréquence centrale de 3.65 GHz avec trois transistors en boîtier Wolfspeed de taille identique. | 127 |
| III.40 | Evolution des coefficients de réflexion intrinsèques - Tensions et courants normalisés pour le circuit « Doherty-Like » @3.65 GHz ($\beta=3$) | 127 |
| IV.1 | Coupleur CMS X3C14P1-03S de chez ANAREN. | 131 |
| IV.2 | Lieux optima de PAE et de puissance de sortie issus de la simulation load-pull à 3 dB de back-off et à la saturation sur un transistor CGH0010F et zone favorable à l'harmonique 2 en extrinsèque. | 132 |
| IV.3 | Coefficients de réflexion avec circuit de pré-adaptation assurant un TOS constant en fonction de la fréquence. | 133 |
| IV.4 | Principe de variation des temps de propagation de groupe en régime linéaire (lieux de $\Gamma(f)$). | 134 |
| IV.5 | Evolution de l'argument du coefficient de réflexion en fonction de la fréquence. | 136 |
| IV.6 | Profils recherchés de compression de puissances des amplificateurs équilibrés et de contrôle | 137 |

| | | |
|-------|--|-----|
| IV.7 | Compromis atteint sur les lieux de coefficients de réflexion sans chute de la puissance de contrôle. | 138 |
| IV.8 | Compromis atteint sur les lieux de coefficients de réflexion en jouant sur la puissance de contrôle en recul de puissance notamment. | 139 |
| IV.9 | Coupleur Anaren utilisé pour la conception et performances associées. | 140 |
| IV.10 | Comparaison au fondamental et à l'harmonique 2 des réseaux de polarisation employés dans le chapitre III (stub $\frac{\lambda}{4}$ @ f_0) et dans ce chapitre (stubs $\frac{\lambda}{8}$ @ f_0) . | 141 |
| IV.11 | Coefficients de réflexion présentés dans le plan extrinsèque du DC à 300 MHz et à l'harmonique 2 (de 2.4 à 2.8 GHz). | 142 |
| IV.12 | Layout de l'amplificateur équilibré seul, avec ses adaptations d'entrée et de sortie, et ses accès de polarisation et sa puissance de sortie en fonction de la fréquence. | 144 |
| IV.13 | Implémentation de la loi de phase pour une variation optimale des coefficients de réflexion en fonction de la fréquence. | 145 |
| IV.14 | Variation de l'argument du coefficient de réflexion extrinsèque d'un amplificateur équilibré pour une variation de ceux-ci dans le sens anti-horaire | 146 |
| IV.15 | Layout de l'amplificateur de puissance LMBA de type « dual-input ». | 147 |
| IV.16 | Evolution des coefficients de réflexion dans le plan du boîtier des amplificateurs équilibrés et puissance délivrée par ces amplificateurs, et celle injectée par la source de puissance 50Ω idéale. | 147 |
| IV.17 | Performances en PAE d'un amplificateur équilibré seul avec la loi de commande en puissance déterminée, et avec les réglages de temps de propagation de groupe et de phase réalisés. | 148 |
| IV.18 | Cycles de charge des amplificateurs équilibrés à 3 dB d'OBO et à la saturation. | 149 |
| IV.19 | Amplificateur de contrôle et adaptation d'entrée | 151 |
| IV.20 | Loi de commande en V_{GS0c} et puissance de sortie associée de l'amplificateur de contrôle. On constate que la puissance de sortie fournie par cet amplificateur est relativement constante en fonction de la fréquence. | 152 |
| IV.21 | Performances en PAE de l'amplificateur de contrôle aux points de polarisation $V_{DS0} = 22$ V et $V_{GS0c} = f(P_{ave})$ et cycles de charge associés. | 153 |
| IV.22 | Evolution de l'argument du coefficient de réflexion dans le plan du boîtier d'un amplificateur équilibré et évolution de ces mêmes coefficients dans l'abaque de Smith. Les trajectoires en vert et violet traduisent l'évolution des coefficients de réflexion extrinsèques des deux amplificateurs équilibrés. | 154 |
| IV.23 | Loi de commande de la polarisation DC de grille de l'amplificateur de contrôle et puissances de sortie dans la bande [1.2 - 1.4] GHz des trois amplificateurs constituant l'architecture LMBA. | 155 |
| IV.24 | Courbes de PAE d'un amplificateur équilibré seul et du LMBA en fonction de la puissance de sortie en dBm et en fonction de la fréquence. | 156 |
| IV.25 | Cycles de charge des amplificateurs équilibrés et de l'amplificateur de contrôle en recul de puissance et à la saturation. | 157 |
| IV.26 | Caractéristiques d'AM/AM d'un amplificateur équilibré, de l'amplificateur de contrôle, et de l'architecture LMBA complète. | 158 |
| IV.27 | Caractéristiques d'AM/PM d'un amplificateur équilibré, de l'amplificateur de contrôle, et de l'architecture LMBA complète. | 159 |
| IV.28 | Tensions et courants au fondamental aux bornes de la source de courant intrinsèque d'un amplificateur équilibré et de l'amplificateur de contrôle. Ces paramètres sont normalisés par V_{DS0} et $\frac{I_{max}}{2}$ respectivement. | 160 |
| IV.29 | Circuit de contrôle réalisé. | 160 |
| IV.30 | Circuit LMBA réalisé. | 161 |

| | | |
|-------|---|-----|
| IV.31 | Comparaison simulation et mesure des paramètres [S] de l'amplificateur de contrôle. | 162 |
| IV.32 | Comparaison simulation et mesure des paramètres [S] de l'amplificateur LMBA. | 163 |
| IV.33 | Résultats de mesure et de simulation fort signal sur l'amplificateur de contrôle à 3 fréquences. | 164 |
| IV.34 | Performances de l'amplificateur de contrôle pour plusieurs points de V_{GS0c} . | 165 |
| IV.35 | Performances en PAE du LMBA sans variation de la polarisation de grille de l'amplificateur de contrôle. | 167 |
| IV.36 | Performances en PAE du LMBA avec variation de V_{GS0c} et de la puissance d'entrée | 168 |
| IV.37 | Performances en PAE du LMBA pour un sweep complet de V_{GS0c} et de puissance d'entrée. | 169 |
| IV.38 | Gain du LMBA pour un sweep complet de V_{GS0c} et de puissance d'entrée. | 170 |
| IV.39 | Amplificateur de contrôle avec une diode polarisée en inverse sur l'accès de grille. | 171 |
| IV.40 | Evolution de la tension de polarisation de grille en fonction de la puissance d'entrée (a) et puissance de sortie de l'amplificateur de contrôle avec ajout d'une diode polarisée en inverse sur son accès de polarisation de grille pour plusieurs niveaux de tension de polarisation de drain (de 18 à 21 V) (b). | 172 |
| IV.41 | LMBA à entrée unique | 173 |

Liste des tableaux

| | | |
|-------|---|-----|
| I.1 | Ratio des quantités de courants et de tensions entre les différents harmoniques, associé à la Figure I.24 | 28 |
| II.1 | Etat de l'art des LMBA dual-input. | 58 |
| II.2 | Taille du transistor de contrôle et plage de recul en puissance obtenus pour différentes valeurs de β | 65 |
| II.3 | Etat de l'art des LMBA de type SLMBA. | 70 |
| II.4 | Taille du transistor de contrôle avec respect ou non de la contrainte sur l'amplitude de la tension au fondamental aux bornes de la source de courant intrinsèque du contrôle pour différentes valeurs de β | 77 |
| II.5 | Rapport de taille entre le transistor de contrôle en classe C et un transistor équilibré (colonne 2). Comparaison entre le besoin en amplitude de courant au fondamental dans le plan intrinsèque (colonne 1) et le courant qui serait fourni par un transistor de taille identique polarisé en classe C (colonne 3). | 84 |
| II.6 | Comparaison de la théorie de la classe B entre l'amplificateur Doherty et le LMBA. | 85 |
| III.1 | Caractéristiques du substrat Rogers RO4003C utilisé. | 91 |
| III.2 | Paramètres des éléments distribués après optimisation. | 102 |

Introduction générale

Les systèmes satellitaires font suite à l'utilisation de systèmes qui employaient des émetteurs terrestres. Bien que certains de ces systèmes soient encore opérationnels, notamment dans des applications aéronautiques, de par leur précision locale et leur fiabilité (tels que le VOR : VHF Omnidirectional Range, le TACAN : TACTical Air Navigation par exemple), ces systèmes présentent des inconvénients. En effet, ces systèmes nécessitent l'emploi de réseaux de stations terrestres qui émettent un signal radio. Cependant, ces stations ont une portée limitée, et cela nécessite donc un réseau dense de stations. Généralement, leur couverture se limite donc aux zones densément peuplées, telles que les régions continentales. Cette couverture très partielle provoque donc une précision très réduite dès lors que l'on s'éloigne de ces zones.

Dans un premier temps exclusivement réservés à des applications militaires, les systèmes de géolocalisation par satellites se diversifient. Le système GPS est un réseau de satellites qui, grâce aux informations codées qu'il émet, permet de déterminer avec précision les positions géographiques sur le globe terrestre. Dorénavant, ces applications de géolocalisation sont employées dans la vie quotidienne de nombreux usagers [1]. Ce système de géo-positionnement par satellite (GPS : Global Positioning System) proposé par le gouvernement des Etats-Unis permet donc à l'utilisateur final et quelle que soit sa localisation, de connaître sa position sur la Terre.

L'Union Européenne et l'Agence Spatiale Européenne, proposent depuis plusieurs années leur propre système de radio-navigation par satellite [2]. Ce système, appelée Galiléo, permet à l'UE de s'affranchir des restrictions imposées par le service GPS américain. Galiléo, compatible avec les systèmes américain et russe, permet ainsi de fournir des services précis et sécurisés de localisation. Les applications de ce système de radio-navigation sont nombreuses : transports terrestre, maritime et aérien, usage gouvernemental, mais aussi un usage quotidien, associé à l'utilisation toujours plus massive de smartphones. A l'heure actuelle, plus de 2 milliards de smartphones compatibles avec Galileo ont été vendus. Ce système de positionnement et de navigation par système satellite (GNSS) [3]-[4]-[5], permet d'utiliser les différentes constellations de satellites pour ainsi diminuer les coûts de conception et de maintenance opérationnelle.

A terme, le système Galileo, opérationnel depuis 5 ans, sera constitué d'une constellation de 30 satellites positionnés sur une orbite à 23 222 km d'altitude [6]. Ce système, au même titre que

ses homologues américain, russe (GLONASS) ou chinois (BEIDOU), fournit à l'utilisateur, par le biais du même récepteur, la possibilité de déterminer sa position à partir de signaux envoyés par une combinaison de satellites. Galileo, en revanche, permet de déterminer la localisation au centimètre près [7], grâce à un système bi fréquence [8]. En cas de défaillance d'un des satellites, les utilisateurs sont prévenus extrêmement rapidement, rendant ainsi ce système sécurisé, notamment pour des applications telles que l'atterrissage des avions.

Le système Galiléo fonctionne sur le principe de base qu'est la triangulation. Le récepteur reçoit et décode des signaux permettant de connaître avec précision l'orbite des satellites. Ainsi, le récepteur est capable de déterminer le temps que le signal de chaque satellite a mis entre l'émission par le satellite et sa réception. En connaissant cette durée, la distance entre le satellite et l'utilisateur est donc connue. Le récepteur étant constitué d'une horloge, trois satellites sembleraient être suffisants pour connaître la localisation. Cependant, les horloges du récepteur terrestre ne sont pas aussi précises que celles contenues dans les satellites, la qualité de la synchronisation étant moindre. C'est la raison pour laquelle un quatrième satellite est nécessaire pour obtenir une précision au mètre près. Le système Galiléo, au même titre que le système GPS, n'est pas uniquement constitué de ces deux segments (spatial et récepteur). En effet, il existe également un segment « contrôle ». Celui-ci est constitué d'un réseau de stations positionnées au sol et qui permettent le suivi et le contrôle de la constellation. [9]

Les satellites Galileo transmettent des signaux dans 4 bandes de fréquence : E1 [1559 – 1591] MHz, E5a [1164 – 1191.795] MHz, E5b [1191.795 – 1215] MHz et E6 [1260 – 1300] MHz. Ainsi, la bande passante des signaux Galiléo est plus importante que celle du signal GPS (3 bandes L1, L2, L5). [10]

Le signal Galileo, au cours de son trajet, peut être soumis à des éléments qui provoquent une distorsion. Ainsi, plusieurs contraintes seront mises en jeu, dont une liée à la non linéarité de l'amplificateur de puissance. Au cours de la génération du signal, l'amplificateur de puissance génère des distorsions sur le signal, liées aux caractéristiques non linéaires propres à celui-ci [11] : l'AM/AM (caractéristique non linéaire en amplitude) et l'AM/PM (caractéristique non linéaire en phase). Dans le cas d'un signal modulé uniquement en phase comme pour l'application Galileo visée, le signal ne sera soumis qu'à des distorsions de phase.

Comme pour de nombreuses applications, telle que la télécommunication, de fortes contraintes sont donc induites sur la fonction d'amplification de puissance. En plus de la problématique de la capacité de ce dispositif non linéaire à restituer fidèlement l'information, d'autres problématiques entrent en jeu. Avec l'apparition d'amplificateur à état solide (SSPA : Solid State Power Amplifier), dont la présence reste minoritaire dans les satellites, comparé aux amplificateurs à onde progressive (TWT : Travelling Wave Tube Amplifier) [12] - [13], la problématique de rendement énergétique prend tout son sens.

En effet, la technologie TWT [14], dont le fonctionnement repose sur l'émission d'électrons

par une cathode chauffée, focalisés par des électrodes et des aimants permanents. Un faisceau électronique est alors créé et permet ainsi l'amplification du signal, par son introduction dans une structure à retard constituée d'une hélice. Ainsi, l'onde parcourt un plus long trajet, rendant sa vitesse de phase moins importante que celle du faisceau d'électrons qui lui se propage en ligne droite. Le champ électrique de l'onde permet de freiner les électrons qui cèdent alors leur énergie à l'onde électromagnétique, permettant ainsi son amplification. Cette technologie reste la plus utilisée actuellement, du fait de son fort rendement, de sa fiabilité et de son gain élevé sur des bandes passantes autour de l'octave.

Pour des plus faibles niveaux de puissance et notamment à des fréquences d'utilisation plus basses (bandes L et C), les SSPA sont plus majoritairement utilisés. La technologie HEMT GaN propose cependant des niveaux de puissance intéressants et d'excellentes potentialités en terme de bande passante, rendant les SSPA pertinents pour certains types d'applications. La problématique du rendement énergétique de ce type d'amplificateur prend alors de plus grandes proportions qu'avec les TWT : la gestion thermique, la fiabilité étant plus contraignantes.

Cette thèse a été réalisée dans le cadre d'une étude portée par Thalès Alénia Space et l'institut de recherche Xlim. Ces travaux proposent une étude concernant les potentialités d'une architecture utilisant le principe de modulation de charge active, le LMBA (Load Modulated Balanced Amplifier), pour des applications à la radionavigation par satellite. L'étude présentée propose la mise en place d'une méthodologie et d'une étude expérimentale d'un LMBA de type « Doherty-Like », mais aussi une méthodologie dont les potentialités d'un fonctionnement plus large bande seront mises en avant. Pour étayer ces propos, ce manuscrit est constitué de 4 chapitres.

Le premier chapitre présente les outils et les méthodes de CAO utiles à la conception de circuits de puissance haute fréquence. Après une présentation rapide des potentialités des transistors HEMT GaN pour la conception de ces circuits, une étude plus détaillée des étapes de conception nécessaires à la réalisation d'un amplificateur de puissance est présentée. La pertinence de l'usage de chacune de ces étapes est alors discutée. Enfin, dans un dernier temps, une analyse des circuits haute fréquence est réalisée avec le formalisme des ondes de puissance, se terminant avec une analyse d'une puce HEMT GaN par ce formalisme, permettant une conception identique dans le cas où des problèmes de convergence de simulation seraient rencontrés durant la conception.

Le deuxième chapitre présente différentes topologies d'amplificateurs de puissance à modulation de charge active relevées dans la littérature. Des architectures non isolées aux architectures quasi isolées, les avantages et inconvénients de chacune seront explicités. Un état de l'art des architectures LMBA existantes est présenté. Une étude théorique complète d'un amplificateur LMBA de type « Doherty-Like » est présentée, se terminant par une comparaison entre l'architecture LMBA et l'architecture Doherty.

Le troisième chapitre présente la méthodologie de conception d'un LMBA de type « Doherty-

Like », issue de l'étude analytique du chapitre précédent. Cette méthodologie est appliquée pour la réalisation d'un LMBA 25 W à double entrée RF, pour un fonctionnement en bande C. Une partie de ce chapitre est dédiée aux étapes de simulation, puis une autre à la caractérisation en mode CW du prototype réalisé en configuration double entrée, permettant ainsi la validation de la méthodologie. Dans cette étape de caractérisation, le banc de mesure, ainsi que la procédure employée pour permettre l'étalonnage en phase de chacune des voies RF sont présentés.

En dernier lieu, le quatrième chapitre est quant à lui dédié à une autre méthodologie de conception d'un amplificateur LMBA. Pour répondre aux besoins posés pour l'application Galiléo, un LMBA dans la bande [1.2 – 1.4] GHz sera réalisé. La méthodologie présentée s'affranchit de l'utilisation d'un amplificateur de contrôle polarisé en classe C comme pour l'étude « Doherty-Like », et met en avant l'utilisation d'un amplificateur polarisé en classe AB. En tirant partie du principe de load-pull actif, la gestion des performances en recul de puissance s'en voit facilitée, avec la potentialité de gérer le positionnement des coefficients de réflexion pour qu'ils varient dans le sens optimal issu des simulations load-pull. Cette méthodologie est dans un premier temps validée par la simulation, puis par la mesure. Pour répondre aux exigences en terme de back-off pour un signal dont le PAPR n'excède pas 4 dB, une variation de la polarisation de grille de l'amplificateur de contrôle sera nécessaire.

La dernière partie de ce manuscrit sera consacrée à une conclusion, qui sera suivie des perspectives qui pourraient être intéressantes pour poursuivre l'étude de cette architecture récente d'amplificateur à modulation de charge active.

Chapitre I

Outils et méthodes de CAO non-linéaires pour la conception de circuits haute fréquence

Sommaire

| | | |
|-----|---|-----------|
| 1 | Le transistor HEMT GaN pour les circuits haute fréquence | 6 |
| 1.1 | Le transistor HEMT GaN | 6 |
| 1.2 | Analyse par le formalisme tension/courant du transistor pour l'amplification de puissance | 9 |
| 2 | Outils CAO pour la conception d'amplificateur à haut rendement en hautes fréquences | 14 |
| 2.1 | Synthèse des principales étapes de conception d'un amplificateur de puissance | 14 |
| 2.2 | Etude DC et analyse petit signal | 15 |
| 2.3 | Analyse de Load-Pull à f_0 | 20 |
| 2.4 | Analyse de Source-Pull à f_0 | 22 |
| 2.5 | Analyse de Load-Pull aux harmoniques | 24 |
| 2.6 | Analyse de Source-Pull aux harmoniques | 25 |
| 3 | Analyse des circuits haute fréquence par le formalisme des ondes de puissance | 28 |
| 3.1 | Notions d'ondes de puissance (ondes de Kurokawa) et adaptation d'impédances | 29 |
| 3.2 | Analyse fort signal du transistor HEMT GaN par le formalisme des ondes de puissance | 32 |

1 Le transistor HEMT GaN pour les circuits haute fréquence

1.1 Le transistor HEMT GaN

Le développement de la technologie nitrure de Gallium (GaN) dans de nombreux secteurs d'application (militaire, infrastructure, commercial), avec la réalisation de nombreuses fonctions (amplificateur de puissance, amplificateur faible bruit, circuits de contrôle...) a clairement démontré les bénéfices apportés par cette technologie en termes d'intégration, et de fiabilité par rapport aux technologies concurrentes. La technologie GaN présente notamment de nombreuses caractéristiques prédisposées pour la réalisation de modules de puissance microondes [15]. On peut citer parmi celles-ci la capacité des cellules HEMT GaN à travailler sous haute tension de polarisation, la très forte densité de courant (mA/mm) obtenue, tout en présentant des performances microondes en terme de gain en puissance et de fréquence maximale d'utilisation (G_{max} , F_t , F_{max}) équivalentes aux technologies concurrentes (AsGa, InP), pour un développement de grille identique [16] - [17]. Un des leviers le plus important dans le développement technologique de la filière GaN est la fabrication de la couche active sur un substrat à très forte conductivité thermique (SiC, notamment - ou Si) proposé par les fondeurs.

L'emploi de dispositifs HEMT GaN dans des applications haute fréquence de puissance provient d'une part des caractéristiques intrinsèques du matériau GaN et d'autre part de la structure de la couche active. On distingue la structure verticale du HEMT GaN, qui est essentiellement la couche active (contenant l'hétérojonction), et la structure horizontale qui est optimisée pour répondre aux critères RF du concepteur (développement du transistor).

1.1.1 Structure verticale du HEMT GaN

Dans sa structure la plus simple, le HEMT GaN est constitué d'électrodes de grille (1 doigt de grille pour l'illustration de la Figure I.1), de drain et de source, permettant l'application des potentiels dans la structure. Un contact ohmique est assuré entre le canal et les électrodes de source et de drain, qui traversent la couche AlGa_N. L'électrode de grille, réalisant une barrière Schottky polarisée en inverse pour le contrôle de la densité électronique dans le canal, est quant à elle positionnée sur la couche AlGa_N dans une zone creusée pour améliorer les performances aux hautes-fréquences.

La structure hexagonale dans laquelle cristallise le matériau binaire GaN est de type Wurtzite. Celle-ci dispose de liaisons chimiques stables et offre ainsi à la couche active du HEMT GaN la capacité de soutenir des températures de fonctionnement élevées sans dégradations notoires. Elle doit cependant être associée à un substrat de forte conductivité thermique afin de réduire l'impact de l'auto-échauffement. Le fort Gap électronique du matériau GaN est associé à un champ de claquage élevé, autorisant un fonctionnement de la structure à très fort champ électrique pouvant donc supporter de fortes tensions d'utilisation. La création d'un gaz bidimensionnel d'électrons constituant le canal entre source et drain provient de l'existence d'une hétérostructure AlGa_N/GaN donnant naissance à un minimum d'énergie potentielle à l'interface entre les

matériaux, dans lequel les électrons thermiques sont capturés et peuvent se déplacer dans un canal non dopé. L'ajout d'une quantité d'Aluminium dans la couche supérieure (donneuse) d'AlGa_xN favorise de plus une contrainte mécanique de la couche. Cette contrainte mécanique permet la création d'un champ électrique interne dont l'origine provient de la nature piézoélectrique du GaN. La densité de charge électronique dans le canal se trouve renforcée.

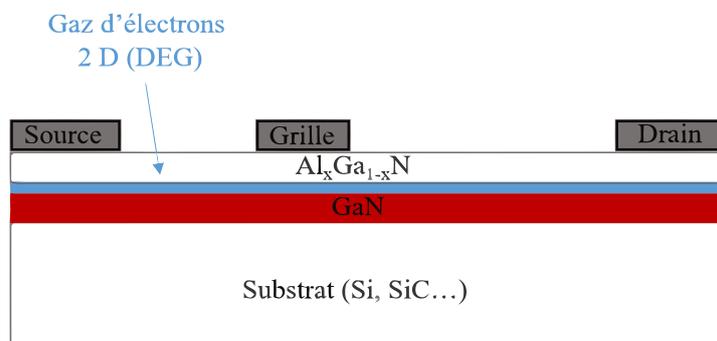


FIGURE I.1 – Structure verticale simplifiée d'un HEMT GaN AlGa_xN/GaN.

1.1.2 Structure horizontale du HEMT GaN

Une solution classiquement employée afin d'augmenter le niveau de puissance RF du transistor est d'augmenter le courant de drain maximal. Ceci peut être obtenu en augmentant la largeur physique du canal sous la grille. Cependant, une forte largeur du doigt de grille induit des effets de propagation et est associée à une augmentation de la résistance de grille totale, ce qui pénalise fortement les performances du transistor. Plusieurs doigts de grille sont alors utilisés. La structure horizontale du transistor est illustrée sur la Figure I.2. La puce de Wolfspeed utilisée dans notre étude est composée de 6 doigts de grille, soit une largeur de grille totale de $W_t = 6 \times 225\mu\text{m}$. Les doigts de grille et de drain sont interconnectés et reliés aux plots d'accès (pad) de grille et de drain respectivement. Des trous métallisés (via hole) sont également insérés dans la structure, offrant une meilleure dissipation thermique pour le composant. De forts développements sont ainsi obtenus. Cependant, bien que des règles d'échelle s'appliquent en augmentant le nombre et la longueur des doigts de grille, des effets parasites conduisent à détériorer les performances RF globales[18], rendant la combinaison de plusieurs cellules de puissance nécessaire pour atteindre de très fortes puissances.

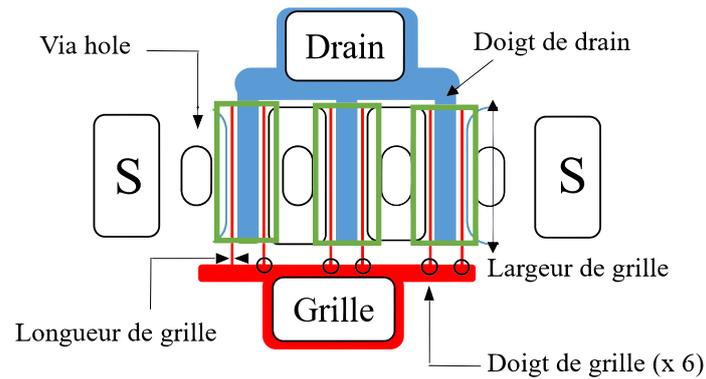


FIGURE I.2 – Structure horizontale de la cellule de puissance CGHV1J006D ($6 \times 225 \mu\text{m}$) de Wolfspeed avec 6 doigts de grille.

1.1.3 Modèle phénoménologique de la cellule HEMT GaN

La complexité et la nature multi-physique des lois régissant le fonctionnement de la structure verticale du HEMT GaN présentée précédemment fait que les modèles physiques sont difficilement intégrables dans des simulateurs de circuits de façon efficace. Des modèles compacts permettant une modélisation électrique équivalente efficace, dite phénoménologique, du transistor sont donc préférés. Un tel modèle d'un transistor HEMT est représenté sur la Figure I.3 [19].

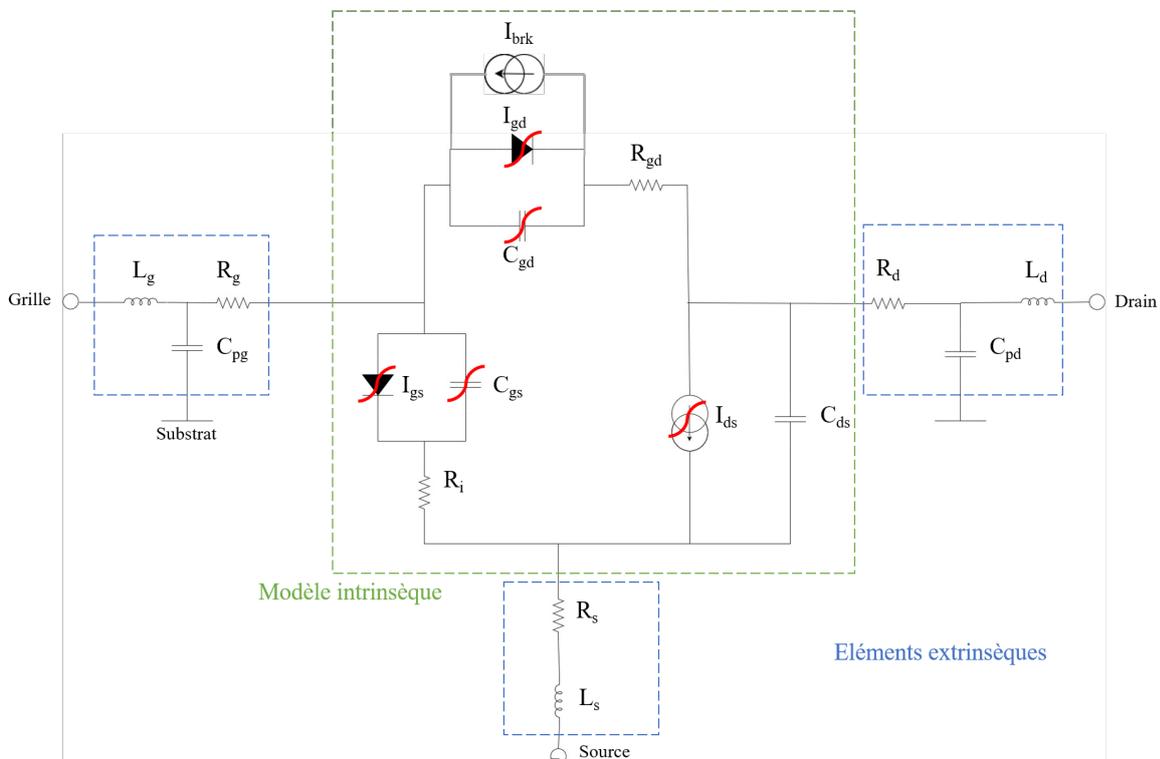


FIGURE I.3 – Modèle non-linéaire compact d'un transistor HEMT GaN [19]

Bien que le type d'éléments et leur disposition dans un circuit équivalent soit en lien avec la compréhension de la structure du composant, avec ce modèle l'obtention des réponses en

tensions/courants aux accès extrinsèques est basée sur la résolution de circuits électriques équivalents linéaires et non-linéaires phénoménologiques. Notamment, les éléments sont regroupés en sous-ensembles cohérents (éléments linéaires intrinsèques – extrinsèques, éléments non-linéaires convectifs $I(V)$, réactifs $Q(V)$). Cette approche permet également d'améliorer la précision du modèle utilisé, en permettant au concepteur d'activer par exemple des sous-circuits permettant la prise en compte d'effets complexes liés à la technologie GaN, tels que les effets de piège et d'auto échauffement. De tels modèles qui sont couramment employés lors de la conception d'amplificateurs de puissance ont démontré leurs capacités à modéliser précisément les performances fonctionnelles en régime dynamique et/ou statique fort signal du transistor HEMT GaN [20].

Le modèle de puce (CGHV1J006D) [21] sera utilisé par la suite pour illustrer et justifier toutes les étapes de simulation nécessaires à la conception optimale d'une fonction amplification de puissance. Ceci sera illustré autour d'une fréquence de 5 GHz.

1.2 Analyse par le formalisme tension/courant du transistor pour l'amplification de puissance

Une première approximation des performances en puissance du composant peut être obtenue par l'analyse préliminaire du cycle de charge [22]. La réponse DC $I(V)$ du transistor est alors tracée dans l'état représentatif du fonctionnement final (thermique et pièges) qu'il convient de définir correctement [23]. En se basant sur les limites courant/tension admissibles de la source de courant I_{DS} données Figure I.4, les conditions d'adaptation de charge optimale au fondamental peuvent être estimées dans le plan de la source de courant.

- Le courant maximal I_{max} , avant mise en conduction en direct de la diode grille-source.
- La tension V_{DSmax} qui limite l'excursion maximale avant l'avalanche inverse de la diode grille-drain.
- La tension de coude V_k , associée à la résistance R_{ON} selon $V_k = R_{ON} \cdot I_{max}$, dont la valeur est liée aux résistances d'accès au canal et aux propriétés intrinsèques de transport des porteurs dans le canal.

Ainsi, la résistance de charge optimale à présenter à la fréquence fondamentale de fonctionnement en supposant une forme d'onde de tension sinusoïdale sur le drain du transistor, et une polarisation typique en classe AB profonde, est définie comme :

$$R_{opt} = \frac{V_{DSmax}}{\frac{I_{max}}{2}} = \frac{V_{DS0} - V_k}{\frac{I_{max}}{2}} = \frac{40 - 6}{\frac{0.65}{2}} \approx 100 \Omega \quad (I.1)$$

Cette hypothèse suppose que les composantes harmoniques supérieures de courant soient refermées dans des court-circuits.

La puissance de sortie estimée est alors :

$$P_{out} = \frac{1}{2R_{opt}} \cdot (V_{DS0} - V_k)^2 \approx 5.8W \quad (I.2)$$

Cette valeur est cohérente avec les 6 W attendus typiquement pour ce développement de transistor.

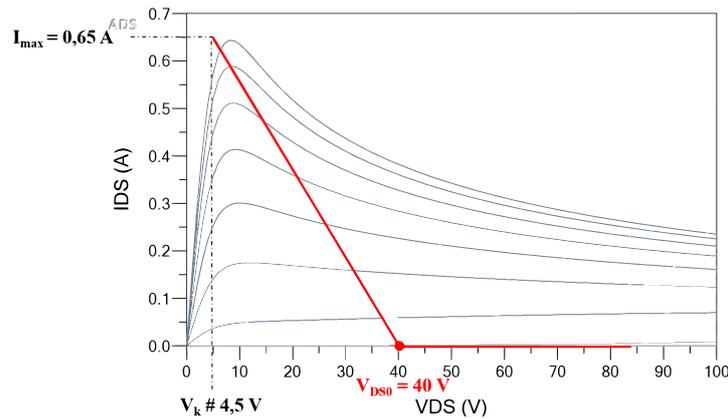


FIGURE I.4 – Cycle de charge pour un fonctionnement typique en classe AB (cellule GaN 6x225um).

Les éléments extrinsèques, tout comme les éléments réactifs intrinsèques non linéaires, jouent un rôle fondamental dans la prédiction des lieux optima de PAE et de puissance de sortie [20], et leur prise en compte dans le modèle nécessite des étapes d'extraction dédiées. D'une façon générale, le concepteur peut ne pas disposer de l'accès aux sondes de courant et tension intrinsèques. Dans ce cas il ne peut donc pas valider le mode de fonctionnement du transistor, et ainsi visualiser en parfaite connaissance ses performances. Toutefois, une solution pour le concepteur peut être d'estimer les valeurs effectives de ces éléments extrinsèques par simulation, ou bien de les extraire d'après les données fondeur. Il est ainsi possible de déterminer un modèle électrique simple en sortie du transistor (filtre équivalent présent entre le plan de la source de courant et le plan extrinsèque de la puce ou du boîtier). Dans le cas de la puce 6 W utilisée pour cette étude, la valeur de la capacité (parallèle) effective au fondamental C_{out} , typique d'un transistor à effet de champ (capacité d'accès au canal), et l'effet inductif série L_{out} équivalent modélisant le comportement des traces métalliques d'accès (circuit de combinaison des doigts de drain), suffisent à décrire de façon efficace le déplacement de l'impédance de charge optimale en fonction de la fréquence. L'extraction puis l'optimisation des valeurs de C_{out} et L_{out} s'effectue d'après la simulation de l'impédance de sortie présentée par le transistor éteint, c'est-à-dire avec sa source de courant contrôlée éteinte, comme présenté sur la Figure I.5. La partie imaginaire de l'impédance de sortie Z_{22} illustre la réponse de C_{out} et L_{out} . En général, $Z_{out} \neq Z_{22}$, mais $Z_{out} = Z_{22}$ quand la source de courant est éteinte. Un circuit LC est par la suite ajusté pour que les parties imaginaires se superposent.

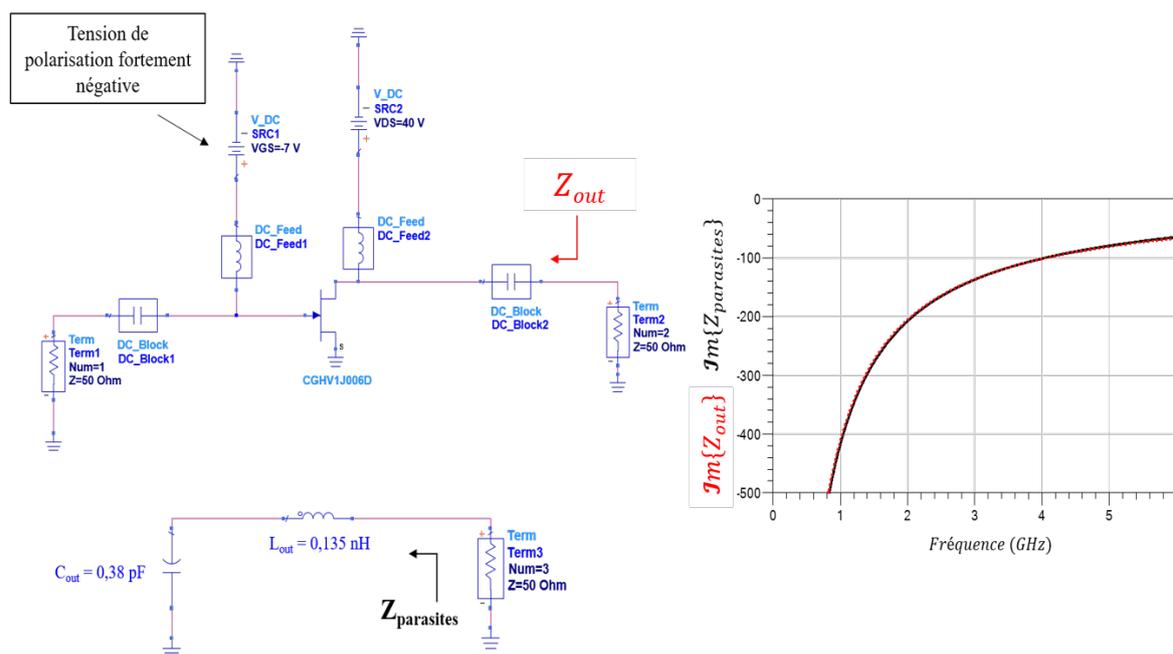


FIGURE I.5 – Extraction des éléments extrinsèques sur le modèle CGHV1J006.

Les valeurs de C_{out} et L_{out} extraites par simulation avec le logiciel ADS sont respectivement de 0.38 pF et 0.135 nH. La valeur de C_{out} fournie par la fiche technique du composant est de 0.35 pF, ce qui est très proche de la valeur extraite.

Il est alors possible, avec la valeur de ces éléments et avec celle de R_{opt} approximée, de poser une première estimation de l'impédance de charge à présenter en sortie du transistor. Par le calcul, l'impédance de charge extrinsèque nécessaire pour obtenir la puissance de sortie maximale à la fréquence de 5 GHz prise ici pour exemple est : $Z_{chext} = (42 + j45) \Omega$, conformément au schéma de principe représenté Figure I.6. La connaissance de cette valeur permet de limiter la zone de l'abaque à balayer par la suite lors de la simulation load-pull.

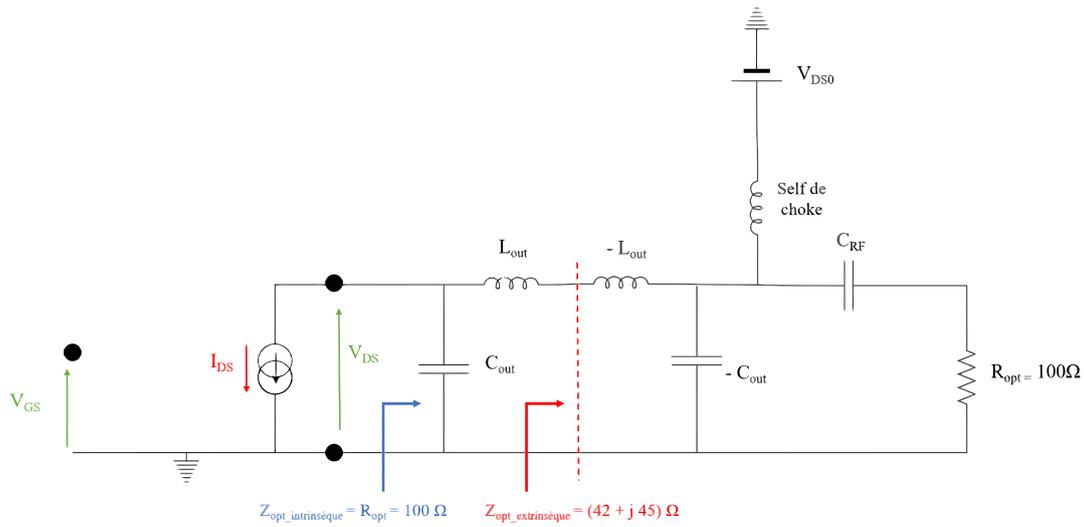


FIGURE I.6 – Modèle simplifié du transistor en sortie avec ses éléments extrinsèques et principe d'estimation des impédances de charges optimales @5 GHz.

L'impédance de charge Z_{optext} peut s'écrire :

$$Z_{optext} = \frac{R_{opt} \cdot \frac{-1}{jC_{out}\omega}}{R_{opt} - \frac{1}{jC_{out}\omega}} - jL_{out}\omega \quad (I.3)$$

$$Z_{optext} = \frac{R_{opt}}{1 - jR_{opt}C_{out}\omega} - jL_{out}\omega \quad (I.4)$$

Cette impédance varie dans un sens anti-horaire si on la représente sur Abaque de Smith pour une variation de fréquence, de 4.5 à 5.5 GHz, comme présenté sur la Figure I.7(b). Pour valider ce calcul approché initial de l'impédance optimale extrinsèque, une simulation HB avec le transistor conformément au schéma présenté sur la Figure I.7(a). est réalisée.

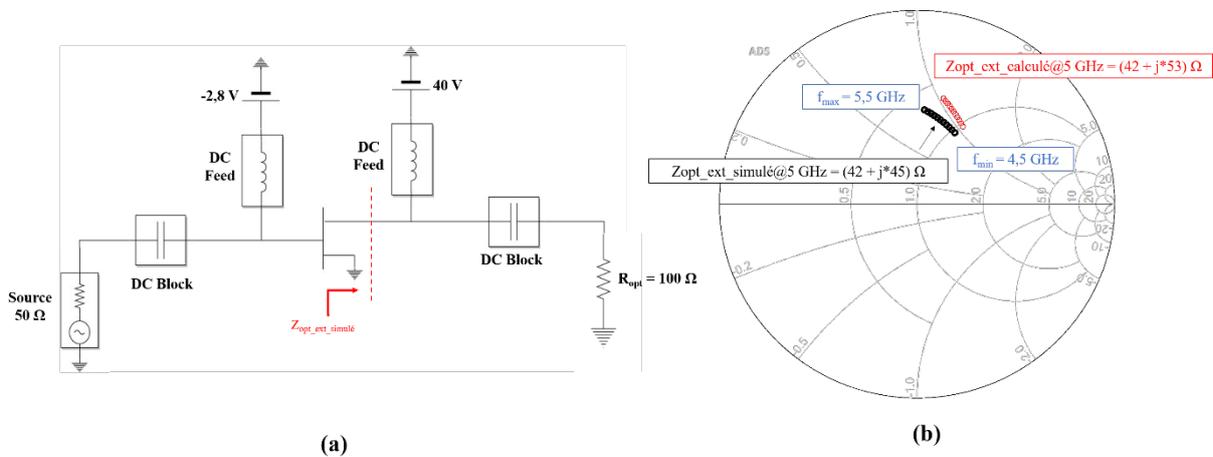


FIGURE I.7 – Schéma explicatif pour la simulation de Z_{optext} (a) et variation de l'impédance optimale simulée (noir) et calculée par l'équation (I.4) (rouge) dans le plan extrinsèque en fonction de la fréquence (b).

Ce lieu d'impédance optimal pour lequel la susceptance associée croît par valeur négative avec la fréquence ne peut pas être synthétisé en utilisant des éléments passifs puisque cela nécessiterait des capacités et des inductances négatives [24]. On pourra retenir dès à présent qu'une synthèse (dite non Foster) de ce lieu d'impédance est par contre possible si on utilise une charge active (en utilisant un générateur synchrone connecté à l'accès de drain du transistor).

Finalement, des simulations de load-pull à la fréquence fondamentale (avec harmoniques court-circuités) sont effectuées, conformément au schéma de la Figure I.8. Les résultats de simulation viennent confirmer les estimations initiales, comme le montrent les lieux d'impédance de la Figure I.8. Sur cette figure, les lieux optima de PAE et de puissance de sortie dans ces deux plans sont représentés à 5 GHz. Les lieux extrinsèques sont tracés lorsque la self ($-L_{out}$) est court-circuitée et la capacité ($-C_{out}$) en circuit ouvert. Par cette technique, le lieu optimum en intrinsèque est estimé à $R_{opt} = (98.2 + j9.9) \Omega$, soit proche de la valeur de R_{opt} estimée avec l'analyse préliminaire du cycle de charge, avec $Z_{optext} = (36.4 + j48.6) \Omega$. Cette valeur est également proche de celle estimée.

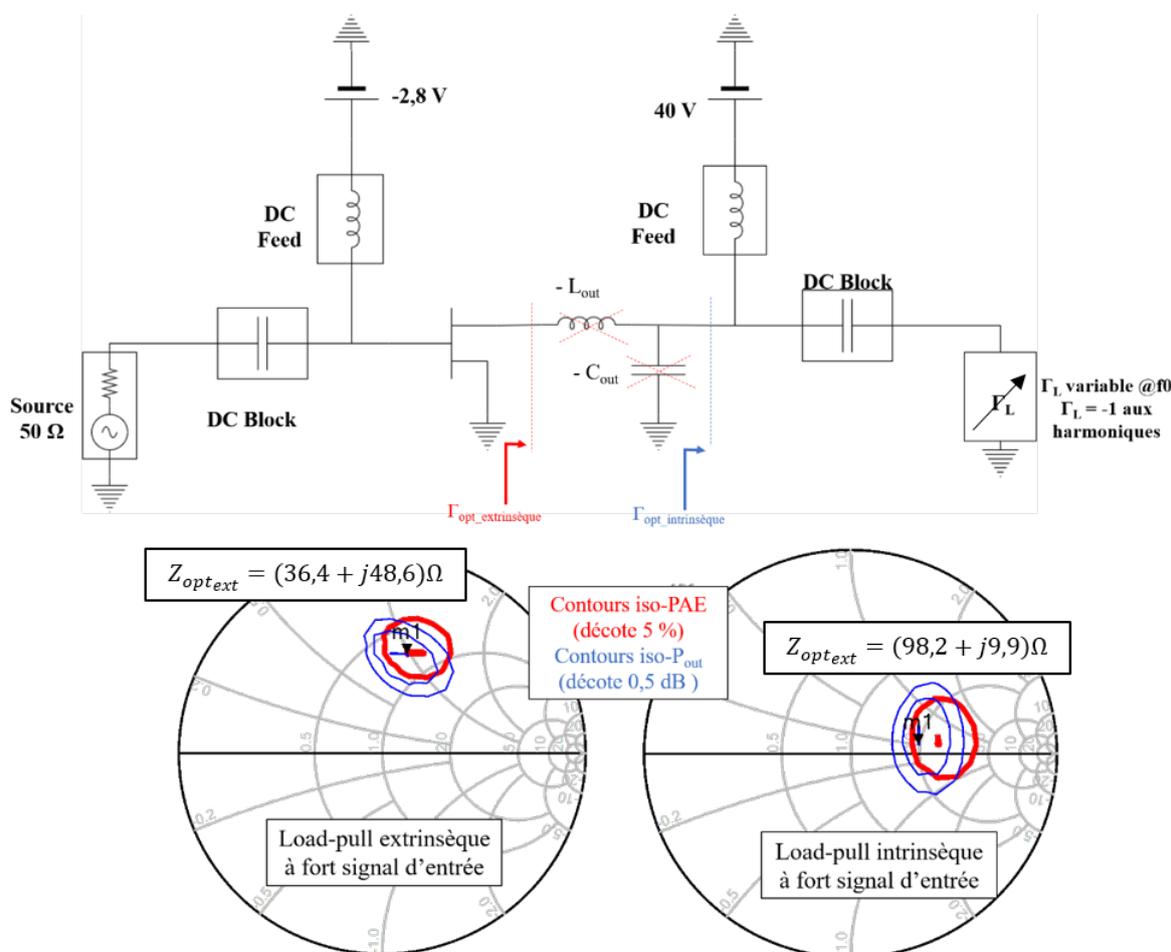


FIGURE I.8 – Schéma de principe de simulation load-pull et contours de load-pull intrinsèques déterminés avec la méthode proposée dans [20], et les lieux de load-pull extrinsèques déterminés avec le template d'ADS à une puissance de générateur de 29 dBm à 5 GHz).

L'accès aux sondes de courant et de tension de drain intrinsèques est possible dans le modèle de la puce Wolfspeed CGHV1J006 fournie par le constructeur. En connectant l'impédance de charge optimale ainsi déterminée ($Z_{ch} = (36.4 + j48.6) \Omega$) comme représenté Figure I.8, on obtient, dans le plan de la source de courant : $R_{opt} = (105.2 - j8.7) \Omega$. Le cycle de charge associé à un fonctionnement optimisé en puissance est présenté sur la Figure I.9 . Celui-ci valide bien l'estimation de la valeur d'impédance optimale explicitée précédemment pour des conditions de fermeture en court-circuit aux harmoniques supérieurs.

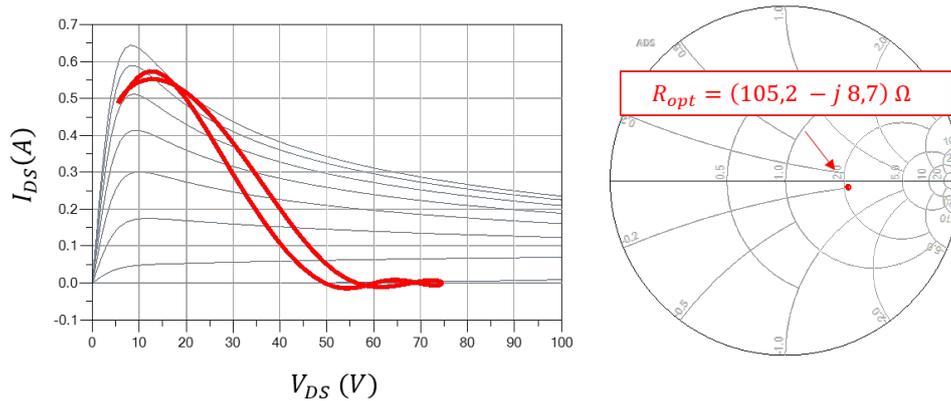


FIGURE I.9 – Cycle de charge du CGHV1J006 pour une puissance d'entrée de 29 dBm pour une impédance de charge de $Z_{ch} = (36.4 + j48.6) \Omega$.

L'estimation de L_{out} et C_{out} ainsi que la méthode d'ajout de valeurs de capacité et d'inductance négatives comme décrit précédemment permettent une bonne localisation des valeurs des impédances optimales qui doivent être présentées au transistor dans le cas où on ne dispose pas des accès intrinsèques à la source de courant de drain. C'est le cas parfois pour des transistors en boîtier disponibles commercialement.

2 Outils CAO pour la conception d'amplificateur à haut rendement en hautes fréquences

A partir de ce constat initial, le recours aux outils de simulation circuit non linéaire (ADS dans notre cas), est nécessaire pour affiner les performances optimales prédites selon les impédances de fermeture aux harmoniques ainsi que les niveaux de compression en gain du transistor [25] [26] [27] [28]. Tout ceci doit se faire sous condition de stabilité électrique [29].

2.1 Synthèse des principales étapes de conception d'un amplificateur de puissance

L'organigramme représenté Figure I.10 propose un enchaînement des différentes étapes nécessaires pour la conception d'un amplificateur de puissance.

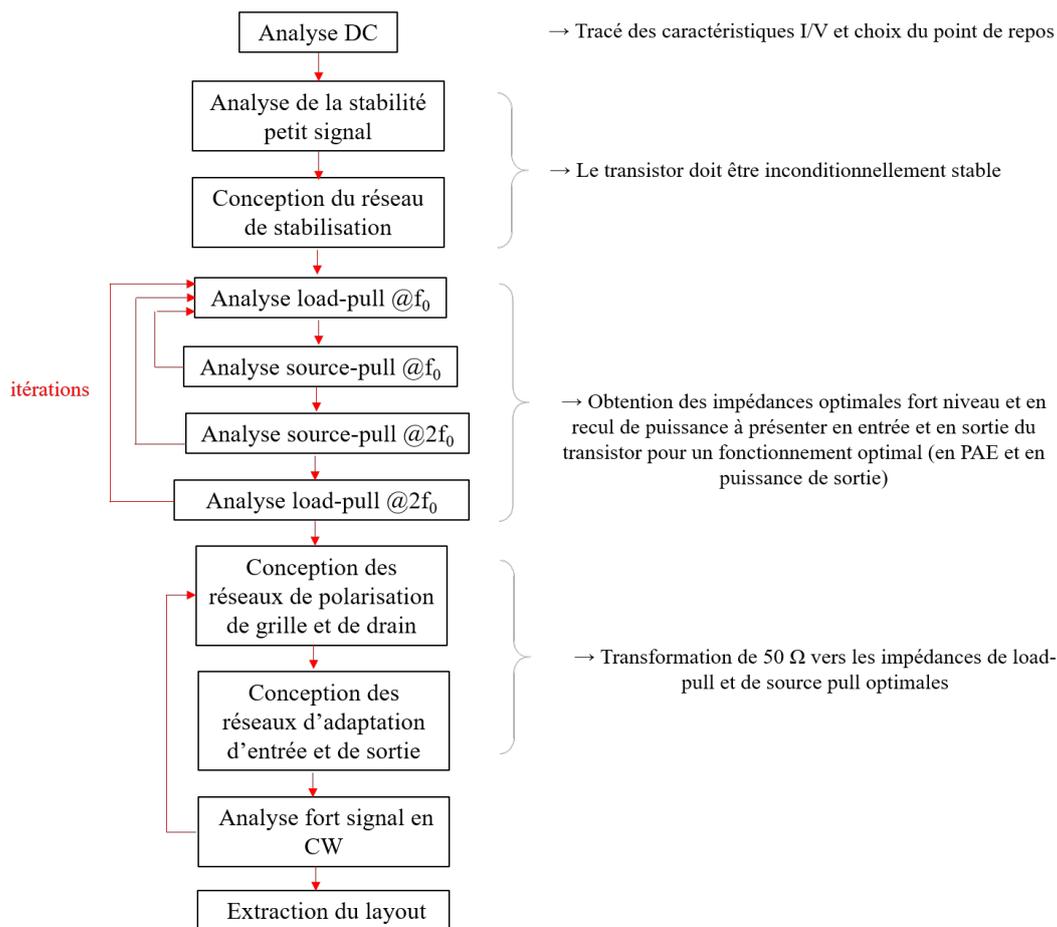


FIGURE I.10 – Principales étapes de conception d’un amplificateur de puissance RF de l’analyse DC au layout

2.2 Etude DC et analyse petit signal

2.2.1 Analyse DC

La première analyse du transistor est une analyse DC, qui permet d’obtenir les principales caractéristiques du transistor que sont le courant de drain maximal I_{max} , la tension de coude V_k et la tension de pincement. Ce dernier paramètre permettra au concepteur d’identifier les classes de fonctionnement de ce transistor, et de choisir le point de repos. L’obtention de ces paramètres s’effectue avec une simulation DC : la tension de drain V_{DS} est balayée pour différentes tensions de grille V_{GS} , comme illustré sur la Figure I.11.

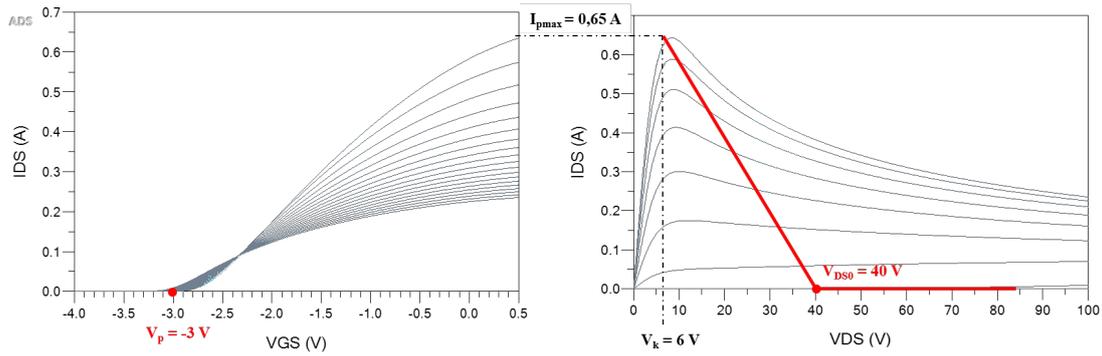


FIGURE I.11 – Caractéristiques I/V du CGHV1006D en puce.

Dans ce modèle de puce Wolfspeed sont pris en compte les effets d'auto échauffement, notamment visibles sur la caractéristique $I_{DS} = f(V_{DS})$. La simulation a été faite à une température ambiante de 25°C, et en utilisant la résistance thermique préconisée par le fondeur.

2.2.2 Etude petit signal

Bien que la problématique d'adaptation optimale en mode fort signal nécessite des outils spécifiques que nous allons détailler par la suite, il est possible avec une étude des paramètres [S], et en s'appuyant sur une analyse des courbes IV du transistor de déterminer des valeurs initiales des impédances Z_{in} et Z_{out} (courbes rouges de la Figure I.12) respectivement les impédances d'entrée et de sortie dans les plans extrinsèques du transistor. La première étape consiste à déterminer l'impédance d'entrée Z_{in} lorsque le drain du transistor est chargé par une impédance Z_{ch} constituée typiquement d'une résistance R_{ch} en parallèle avec une self L_{ch} , correspondant à l'impédance de charge optimale en puissance en fonctionnement fort signal. Z_{ch} peut être estimée a priori d'après les données constructeur du composant ou en supposant une classe de fonctionnement typique AB, comme expliqué précédemment.

- R_{ch} est déterminée d'après le courant I_{max} , la tension de polarisation et la tension de coude par la relation : $R_{ch} = \frac{(V_{DS0} - V_k)}{I_{max}/2}$
- L_{ch} est calculée selon $L_{ch} = \frac{1}{C_{out}\omega_0^2}$, avec C_{out} la capacité de sortie au transistor, donnée par la densité de capacité de la technologie utilisée. ω_0 est la pulsation de travail.

Dans un second temps, la valeur de Z_{out} est déterminée d'après le coefficient de réflexion de sortie du transistor, lorsque celui-ci est chargé côté grille par Z_{in}^* .

Les lieux obtenus sont cohérents avec les valeurs présentées dans la fiche technique des transistors, et permettent d'identifier des conditions initiales pour l'analyse non linéaire de type load-pull et source-pull.

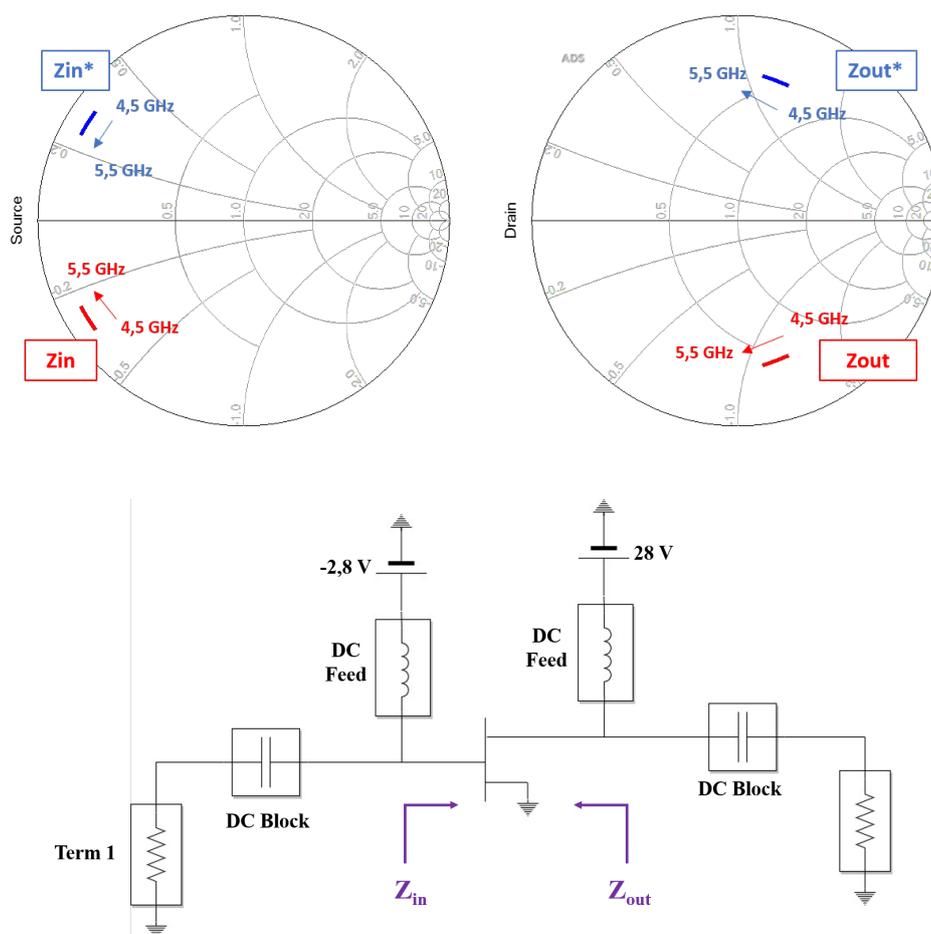


FIGURE I.12 – Simulation en paramètres $[S]$ de la puce CGHV1006D – Lieux d'impédances à présenter au transistor pour une adaptation optimale en petit signal.

La prise en compte de la stabilité petit signal est un point important qu'il convient d'associer dès cette étape, afin de s'assurer que les coefficients de réflexion visés correspondent à des impédances assurant la stabilité du transistor. Ce n'est d'une façon générale pas le cas, et il convient alors d'ajouter des éléments résistifs judicieusement choisis et placés pour stabiliser le transistor.

La correction de la stabilité côté source détaillée ici suffit en général à rendre stables toutes les terminaisons passives côté drain. Le processus de stabilisation du transistor est typiquement géré par le circuit d'entrée connecté sur la grille car d'une part l'insertion d'éléments résistifs dans le drain du transistor est très néfaste pour les performances en rendement finales, et d'autre part, il est d'expérience constaté que cela allège très fortement les conditions de stabilité côté charge.

En analysant les cercles de stabilité côté source du transistor HEMT GaN sur une large bande de fréquence (quelques MHz à 2 fois la fréquence fondamentale typiquement), on observe que les coefficients de réflexion instables dans la zone basse fréquence (bande d'enveloppe) sont typiquement associés à des impédances fortes (côté circuit ouvert). L'augmentation de la marge de stabilité requiert donc l'ajout d'une résistance en parallèle (shunt) (52Ω dans notre cas), qui est

typiquement connectée dans le circuit de polarisation de grille. De la même façon, les coefficients de réflexion de source instables dans la zone haute fréquence sont typiquement associés à des impédances faibles (côté court-circuit). Ainsi l'augmentation de la marge de stabilité requiert l'ajout d'un circuit résistif (54Ω dans notre cas) en série dans la grille.

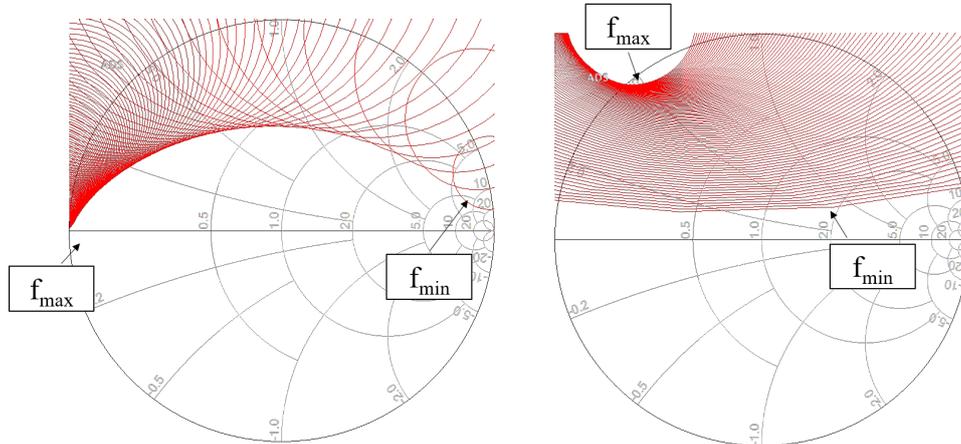


FIGURE I.13 – Cercles de stabilité en entrée (à gauche) et en sortie (à droite) du transistor.

L'optimisation de la marge de stabilité doit être menée sur la base d'un compromis avec le gain en puissance, et il convient pour cela d'associer un circuit filtrant permettant d'assurer une valeur de gain disponible forte dans la bande de fonctionnement visée (typiquement de l'ordre de 13 dB à 17 dB). Ceci permettra de ne pas compromettre les performances finales en PAE. On ajoute pour cela en parallèle avec la résistance série une capacité (dans le cas présent 2.5pF). Finalement, la visualisation des coefficients de stabilité (de Rollet) K et B_{\min} nous assure de la stabilité linéaire du transistor.

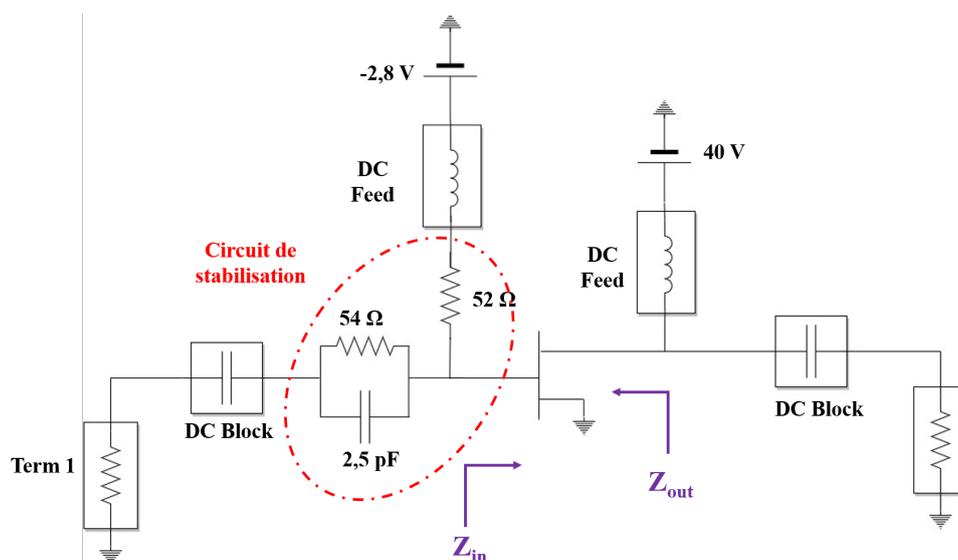


FIGURE I.14 – Motif RC – R de stabilisation

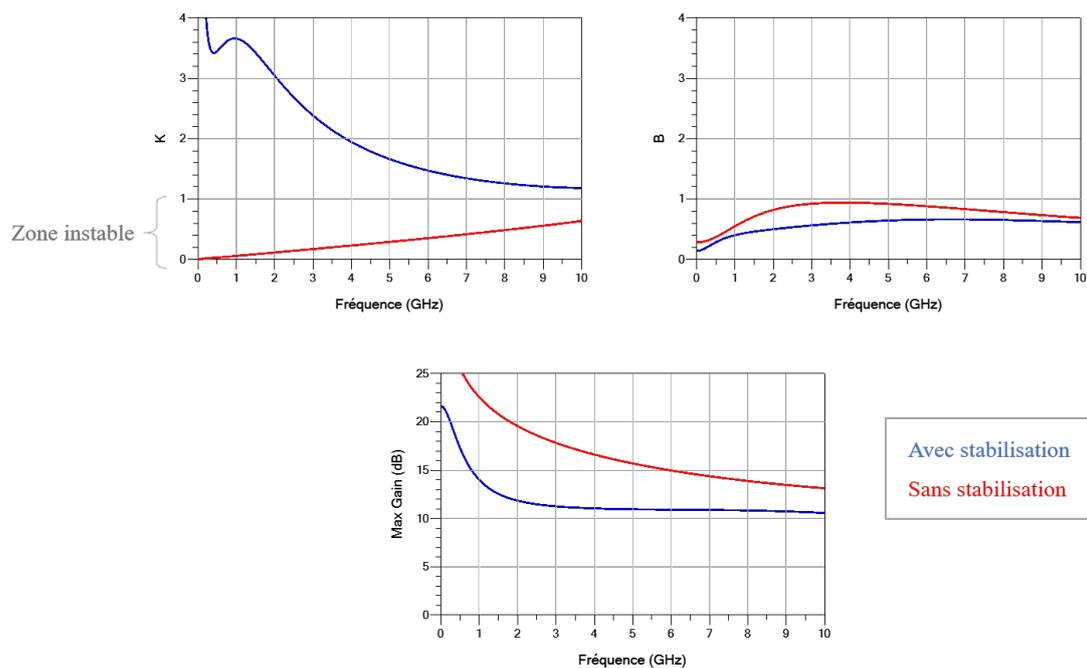


FIGURE I.15 – Paramètres déterminant la stabilité inconditionnelle pour un dispositif stable et non stable – (a) Facteur de stabilité K – (b) Facteur de stabilité B – (c) Gain max

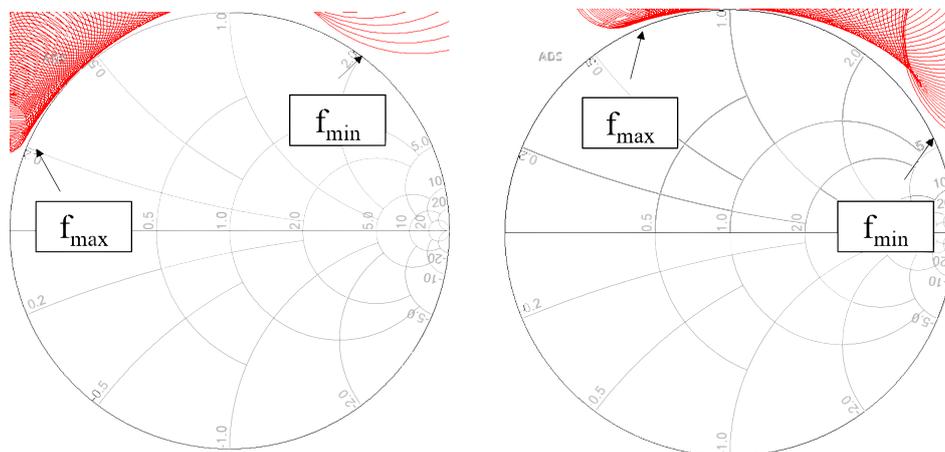


FIGURE I.16 – Quadripôle inconditionnellement stable en entrée (à gauche) et en sortie (à droite).

Il est bien sûr à noter que cette étude petit signal de la stabilité ne présage pas directement de la stabilité inconditionnelle de l'amplificateur en mode fort signal, et que la superposition sur un même abaque de Smith des coefficients de stabilité précédents et des lieux optima de load pull et source n'est pas consistante. Cela constitue cependant un point de sécurité assurant le début de la conception.

2.3 Analyse de Load-Pull à f_0

La détermination des impédances optimales de fermeture (au fondamental et aux harmoniques) à présenter en entrée et en sortie du transistor en mode fort signal est la base du travail de conception de l'amplificateur de puissance. Celle-ci se fait à l'aide des outils de simulation de load-pull et source-pull. Sur la base des impédances estimées préalablement, le concepteur détermine alors les zones d'impédances optimales à synthétiser (à puissance disponible de source constante, et pour des conditions d'adaptation et de polarisation fixes) pour répondre à la problématique de maximisation de puissance délivrée P_{out} , ou de rendement en puissance ajouté (PAE), par exemple.

Cette première partie se concentre sur l'étude du fondamental à la fréquence centrale de 5 GHz et l'harmonique 2 sera court-circuité dans le plan extrinsèque. Cette étude se fait pour une impédance de source au fondamental estimée d'après la Figure I.12, soit $Z_S = Z_{in}^*$ (petit signal), une impédance de source à l'harmonique 2 haute impédance, et une puissance disponible de source suffisante pour amener le transistor à délivrer un niveau de puissance de sortie donné (Figure I.17).

Le positionnement d'un coefficient de réflexion Γ_L de l'impédance de charge de notre transistor, accompagné de son réseau de stabilité, permet d'obtenir des lieux d'impédances présentés sous forme de lieux de décote de PAE ou de P_{out} .

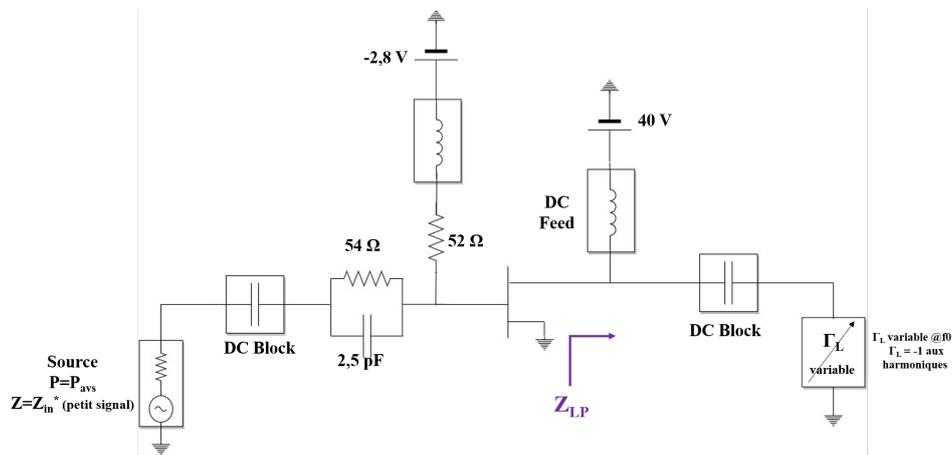


FIGURE I.17 – Schéma de principe de la simulation load-pull d'ADS à la fréquence fondamentale.

Sur cette base, comme observé sur la Figure I.18, lorsque la puissance de source est faible (transistor en mode petit signal), les coefficients de réflexion à puissance délivrée maximale et PAE maximale décrivent des contours circulaires, et correspondent aux lieux de décote de gain transductique qui peuvent être obtenus d'après une analyse linéaire de type paramètres [S] [20]. Dans ce cas $\Gamma_{LPopt} = \Gamma_{out}^*$, comme décrit précédemment au paragraphe I.2.2.2.

En revanche, lorsque l'on augmente la puissance disponible de la source, on observe que ces

contours se déforment, que les coefficients de réflexion optima en puissance ou en rendement ne sont plus confondus, et que leurs positions s'écartent de celles à bas niveau.

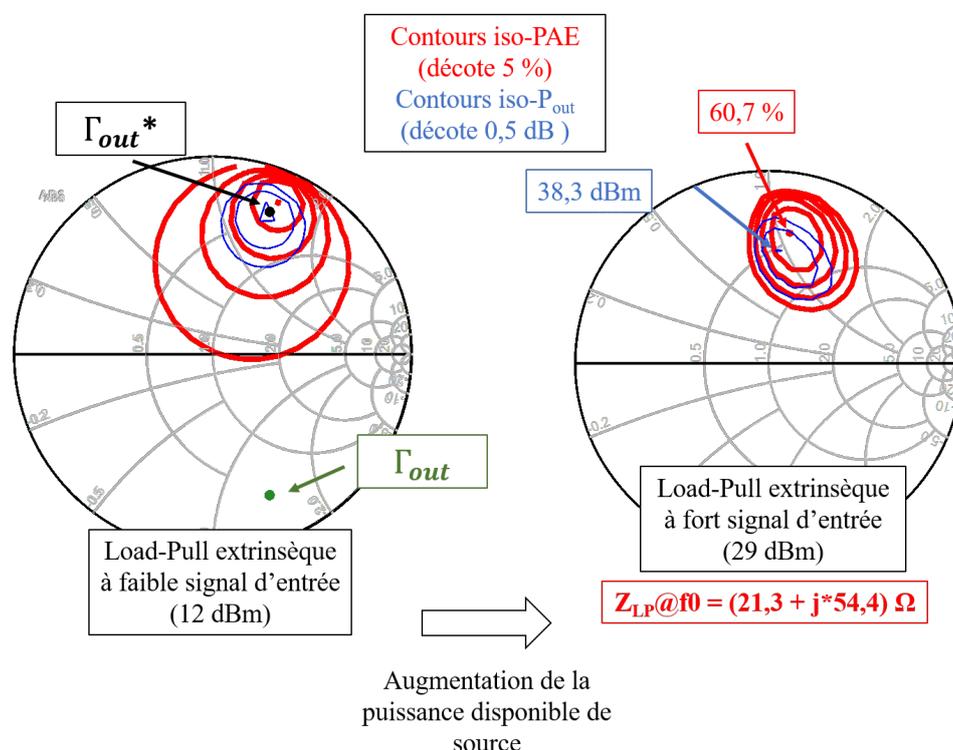


FIGURE I.18 – Lieux de décote en PAE et Pout en régime non linéaire et linéaire pour $Z_S = Z_{in}^*$ (petit signal).

Une problématique bien connue des concepteurs de circuits de puissance est liée à la limite de Bode-Fano qui concerne l'adaptation d'impédance. Celle-ci définit une limite fondamentale entre la qualité d'adaptation (TOS), le facteur de qualité de la charge à adapter et la bande passante accessible. Une conséquence est l'impossibilité d'adapter le drain du transistor à TOS unitaire sur plusieurs fréquences de la bande passante.

La conséquence de cette limitation peut être visualisée sur l'abaque de Smith. Cela peut être observé d'après les analyses des impédances de load-pull associées à plusieurs fréquences, pour lesquelles on observe que les lieux d'optimum de PAE (ou de puissance de sortie) se déplacent dans le sens trigonométrique quand la fréquence croît. Ce constat découle directement de la nécessité d'un transfert de puissance optimal entre la source de puissance de substitution au fondamental associée au drain du transistor (dont l'impédance interne est modélisée par un circuit parallèle (R_{out}, C_{out} , donnée par la valeur de Z_{LP}^*), et la charge.

L'abaque sur la Figure I.19. permet d'illustrer le sens de variation des coefficients de réflexion lorsqu'un quadripôle d'adaptation typique est ajouté. Comme attendu, tout circuit Foster constitué de composants passifs (L- C – lignes) synthétise un coefficient de réflexion à variations dans le sens horaire en fonction de la fréquence. Dans le cas illustré ici, l'outil « Impedance Matching

» d'ADS a été utilisé, basé sur la synthèse proposée de type Tchebycheff [30]. Le lieu optimum visé par les données load-pull ne sera pas atteint. L'objectif du concepteur sera alors de viser des décotes judicieuses par rapport à ces optima théoriques afin de produire une adaptation plus large bande et haut rendement.

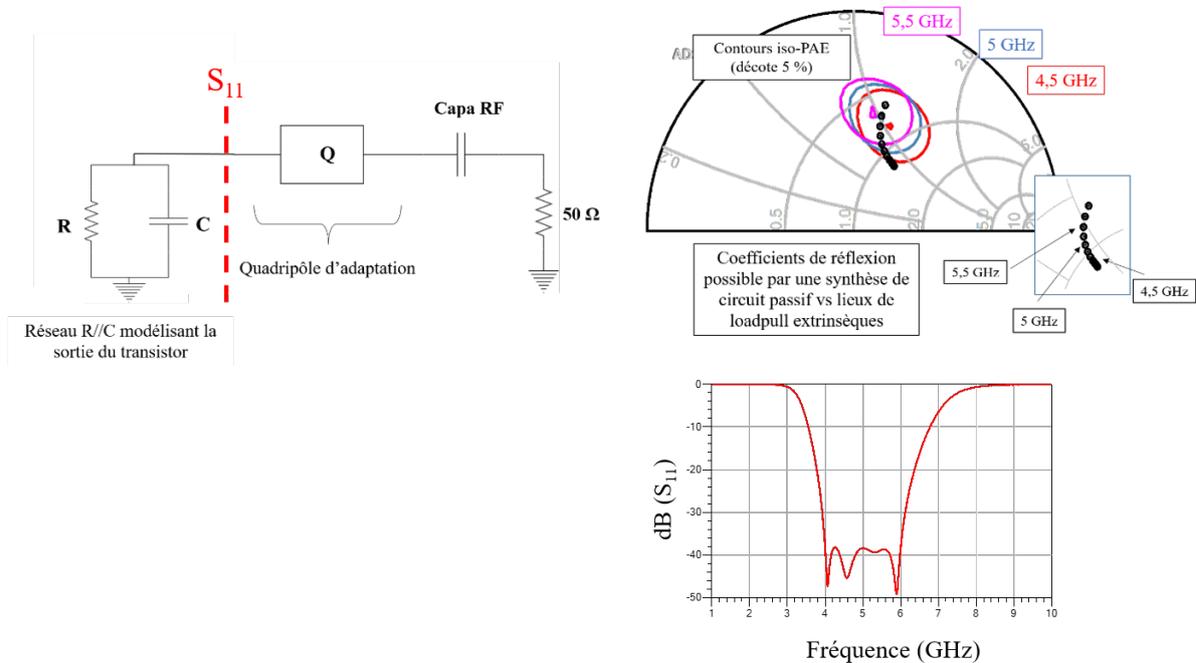


FIGURE I.19 – Synthèse du circuit d'adaptation de sortie en éléments localisés. Lieux de load-pull extrinsèques en fonction de la fréquence et réponse du circuit d'adaptation.

2.4 Analyse de Source-Pull à f_0

Expérimentalement, il est constaté que les performances en puissance du transistor dépendent peu de l'adaptation de source présentée au fondamental. Cette dernière joue sur la quantité de puissance délivrée à l'entrée du transistor, et produit essentiellement des décotes en gain transducique. En simulation, le "template" standard de load-pull permet d'extraire simplement les impédances d'entrée du transistor associées aux coefficients de réflexion de charge testés, rendant l'étape de source-pull moins utile.

Pour se convaincre de la faible interaction entre le transistor et la terminaison de source au fondamental, l'analyse des cycles de charge pour différents coefficients de réflexion de source peut être menée. Pour cela, il faut conserver la même puissance délivrée à l'entrée du transistor, en compensant la désadaptation d'entrée par la puissance disponible de la source. De la même façon, il est constaté la quasi-insensibilité du gain en puissance du transistor vis-à-vis de l'impédance de source.

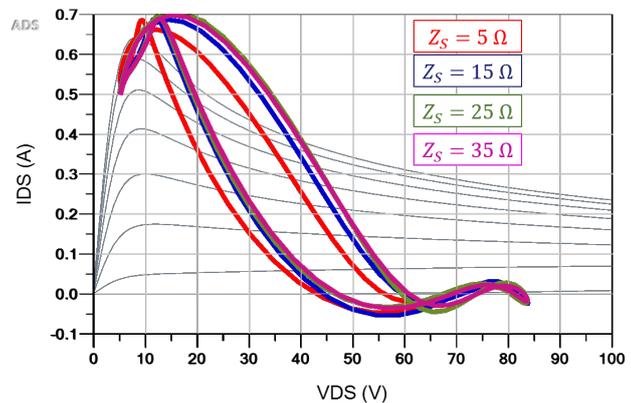
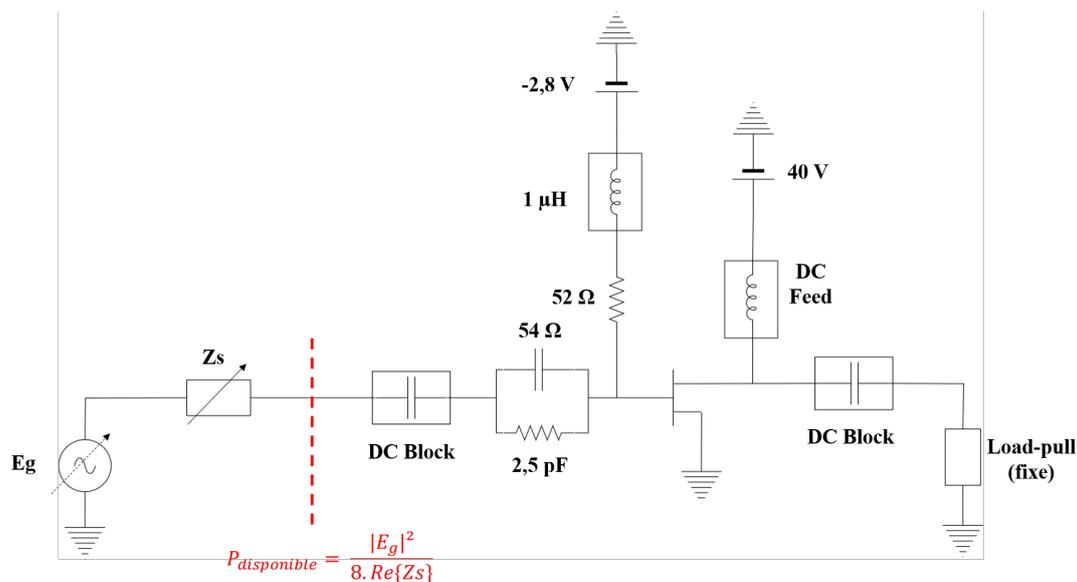


FIGURE I.20 – Influence quasi nulle du coefficient de réflexion de source sur le cycle de charge du transistor. La puissance disponible de la source a été modifiée à chacune de ces itérations, pour assurer une puissance injectée constante.

Toutefois, il peut être judicieux une fois le coefficient de source optimal estimé par cette méthode, de procéder à l'analyse load-pull afin d'améliorer les performances finales du transistor de puissance.

Tout au long de cette étape de simulation, les impédances de charge aux harmoniques supérieurs sont des court-circuits extrinsèques. L'objectif de la simulation source-pull est alors itératif : en transférant la valeur de l'impédance de charge obtenue d'après l'analyse load-pull, il convient de faire varier l'impédance de source au fondamental (à puissance disponible constante), pour optimiser le critère de performance visé. Les résultats de la simulation de source-pull, dans ces conditions, sont présentés sur la Figure I.21.

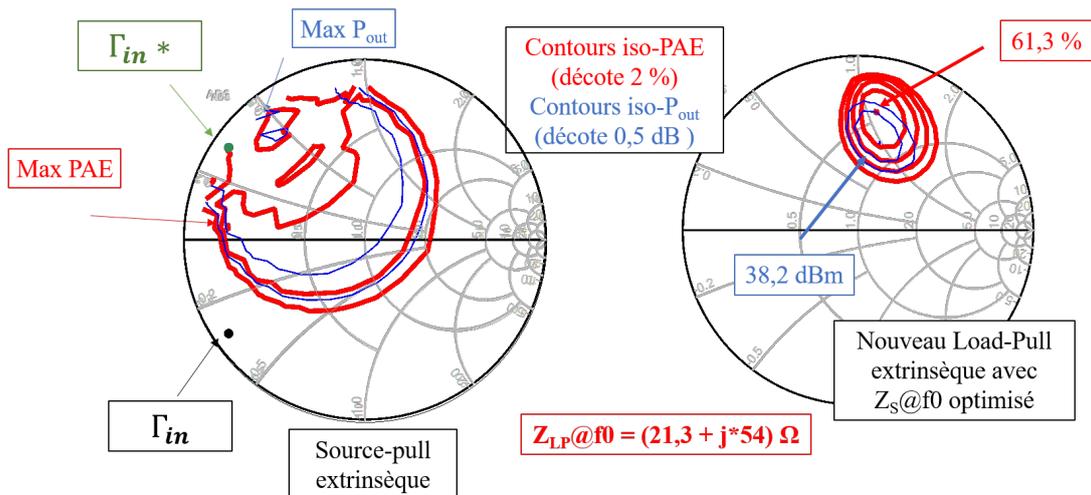


FIGURE I.21 – Lieux de décote en PAE et P_{out} après simulation source-pull (à gauche) et après nouvelle itération load-pull (à droite) à un niveau de puissance disponible de 30 dBm.

La PAE maximale a augmenté que très faiblement (61,3 % contre 60,7 % avant source-pull). Ce rendement de 60,7 % avait été obtenu pour $Z_S = Z_{in}^*$ (petit signal). En conclusion, la procédure de load-pull avec l'impédance de source estimée en paramètres [S] est jugée suffisante pour optimiser les performances en puissance et en PAE d'un transistor.

Le choix des impédances, dans ce cas présent à la fréquence centrale de 5 GHz, se fait généralement par un compromis entre la PAE et la puissance de sortie, les lieux optima de chacun de ces critères étant en général différents.

Les analyses de load/source-pull présentées ici ont pour objectif l'optimisation du fonctionnement en mode fort signal du transistor non-linéaire (sur critère de puissance délivrée ou de PAE). Il apparaît donc essentiel de maîtriser également les terminaisons harmoniques de source et de charge. Ce processus d'analyse et d'optimisation (par nature fréquentiel) est nécessairement itératif, et conduit in fine à la maîtrise des formes d'ondes temporelles dans le plan de la source de courant intrinsèque, et donc de la classe de fonctionnement du transistor microonde de puissance.

2.5 Analyse de Load-Pull aux harmoniques

Cette étape consiste à faire varier les impédances de charge harmoniques en intégrant, à même puissance disponible de générateur, les impédances de source et de charge au fondamental déterminées précédemment. Ce template offre notamment la possibilité de contrôler l'harmonique souhaité (jusqu'à H3, les harmoniques supérieures ne jouant typiquement que de façon marginale sur les performances, selon la technologie et la bande de fréquence visée) en module et phase. La variation proposée est de type polaire, et propose par défaut un module de coefficient de réflexion élevé (0,95 à 1), permettant de viser une opération intrinsèque du transistor typique des classes de fonctionnement accordées (B, C) ou poly-harmoniques (F/F inverse, J), ayant un impact très

favorable sur la puissance dissipée par le transistor. Comme précisé, cette analyse harmonique doit être associée à une ré-optimisation au fondamental de façon à viser une formation optimale des cycles de charge.

La Figure I.22. illustre par exemple l'influence de la phase du coefficient de réflexion de charge à l'harmonique 2.

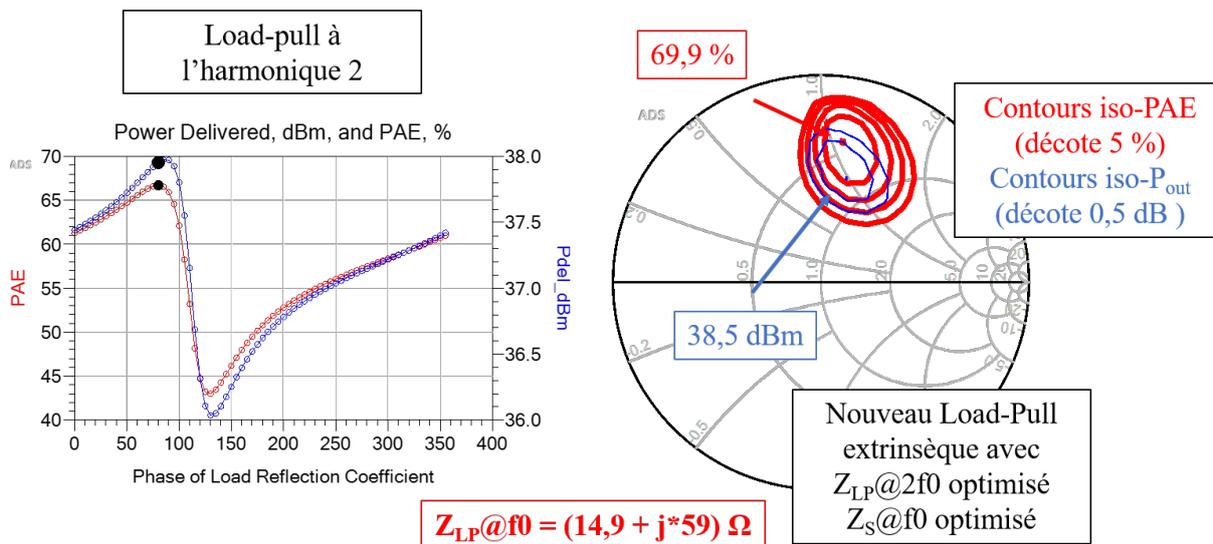


FIGURE I.22 – Performances en PAE en variant la phase du coefficient de réflexion en sortie à l'harmonique 2 et nouvelles performances obtenues par simulation load-pull au fondamental à un niveau de puissance disponible de 30 dBm et à $|\Gamma_{2f_0}| = 0,95$.

Il est notamment vérifié qu'une phase du coefficient de réflexion à l'harmonique 2 en extrinsèque d'environ 90 degrés permet une nette augmentation par rapport au court-circuit (9 points de PAE, une fois l'analyse au fondamental refaite).

2.6 Analyse de Source-Pull aux harmoniques

En transférant les trois impédances obtenues durant les étapes précédentes, la phase du coefficient de réflexion de source à l'harmonique 2 (ou aux harmoniques supérieurs) est variée entre 0 et 355°, et l'effet de la réaction d'harmonique 2 est analysé.

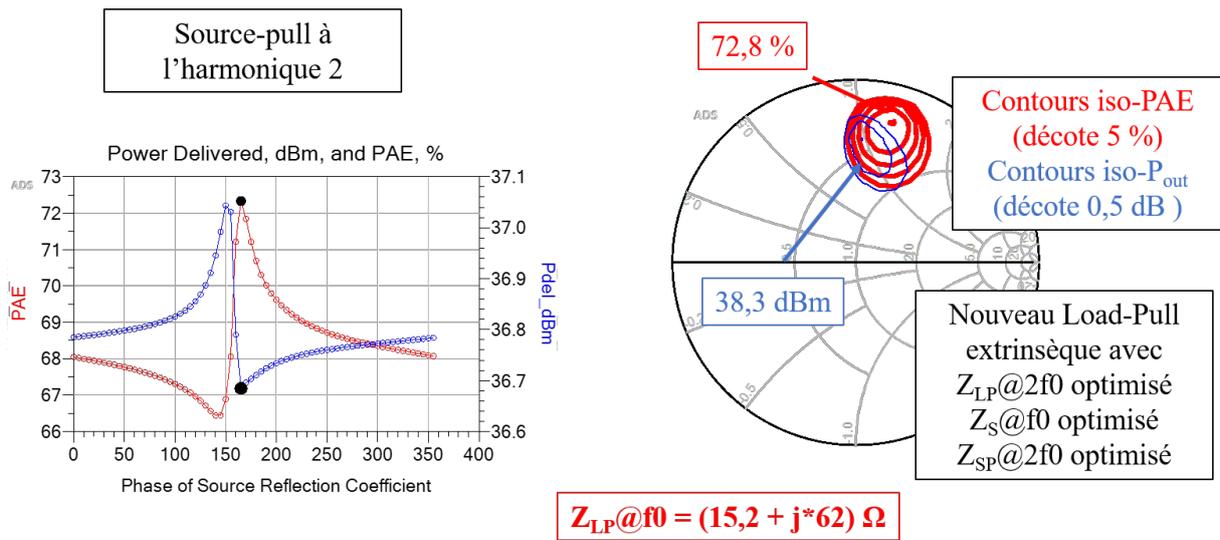


FIGURE I.23 – Performances en faisant varier la phase du coefficient de réflexion en entrée à l'harmonique 2 et performances induites par simulation load-pull au fondamental à 5 GHz et à un niveau de puissance disponible de 30 dBm et à $|\Gamma_{2f_0}| = 0,95$.

Il est à noter que contrairement à la faible interaction typiquement observée vis-à-vis du coefficient de source au fondamental, il existe une forte sensibilité dans le fonctionnement du transistor GaN vis à vis du coefficient de réflexion de source au second harmonique, surtout dans les bandes basses microondes telles que les bandes L, S ou C. Les terminaisons harmoniques 2 extrinsèques typiquement favorables au transistor GaN sont proches du court-circuit, et présentent une très forte sensibilité sur une quarantaine de degrés justifiant une attention particulière.

Le transistor microonde GaN de puissance est fondamentalement un dispositif à effet de champ dont la réponse en courant est contrôlée par les commandes en tension intrinsèques V_{GS} et V_{DS} . Les modèles fondeurs typiques (6-accès) ne fournissent pas la connaissance des formes d'onde de tension grille-source et courant de grille dans les plans intrinsèques. Il est rapporté dans la littérature [31] que l'une des causes de réduction du rendement électrique des transistors microondes provient de l'action de la capacité non-linéaire C_{gs} d'entrée (varactor) qui tend à augmenter l'angle de conduction de la source de courant. La préformation de la commande en tension V_{GS} intrinsèque permet une optimisation très efficace des performances (notamment en puissance dissipée) pour le transistor microonde. En contrôlant les terminaisons harmoniques présentées sur la grille dans le plan extrinsèque du transistor, il est possible de viser une optimisation de la forme d'onde en courant drain, réponse à la tension de commande V_{GS} .

De plus, il est clairement rapporté dans la littérature, pour une utilisation de transistors en puce, une forte interdépendance des conditions d'adaptation harmonique entre le drain et la source, avec notamment une forte sensibilité des performances en puissance/rendement vis-à-vis du coefficient de réflexion de source, pour certaines phases du coefficient de réflexion à l'harmonique 2 de charge [31]. La simulation permet donc d'obtenir l'impédance optimale que la source doit présenter à l'harmonique 2 dans cet exemple sur la puce Wolfspeed. A droite de la

Figure I.23, les performances en PAE et en puissance de sortie sont présentées, après des cycles itératifs de ces 4 simulations. Dans le cas où les impédances de source et de charge sont optimisées au fondamental et à l'harmonique 2, la puce peut fournir une PAE maximale de 72.8 %.

Afin de bien illustrer ce point spécifique, deux simulations sont réalisées, et suivent les étapes détaillées précédemment, avec pour objectif la maximisation de la puissance de sortie. Dans un premier cas, l'harmonique 2 ne sera pas optimisée en entrée, et le sera pour le second cas (SP H2). On observe une diminution de l'angle de conduction sur la forme d'onde en courant du drain, et aussi une augmentation du rendement lorsque le deuxième harmonique est optimisé en entrée [32]. Cela se traduit aussi sur l'allure du cycle de charge lorsque l'harmonique 2 est positionné à son lieu optimal en entrée.

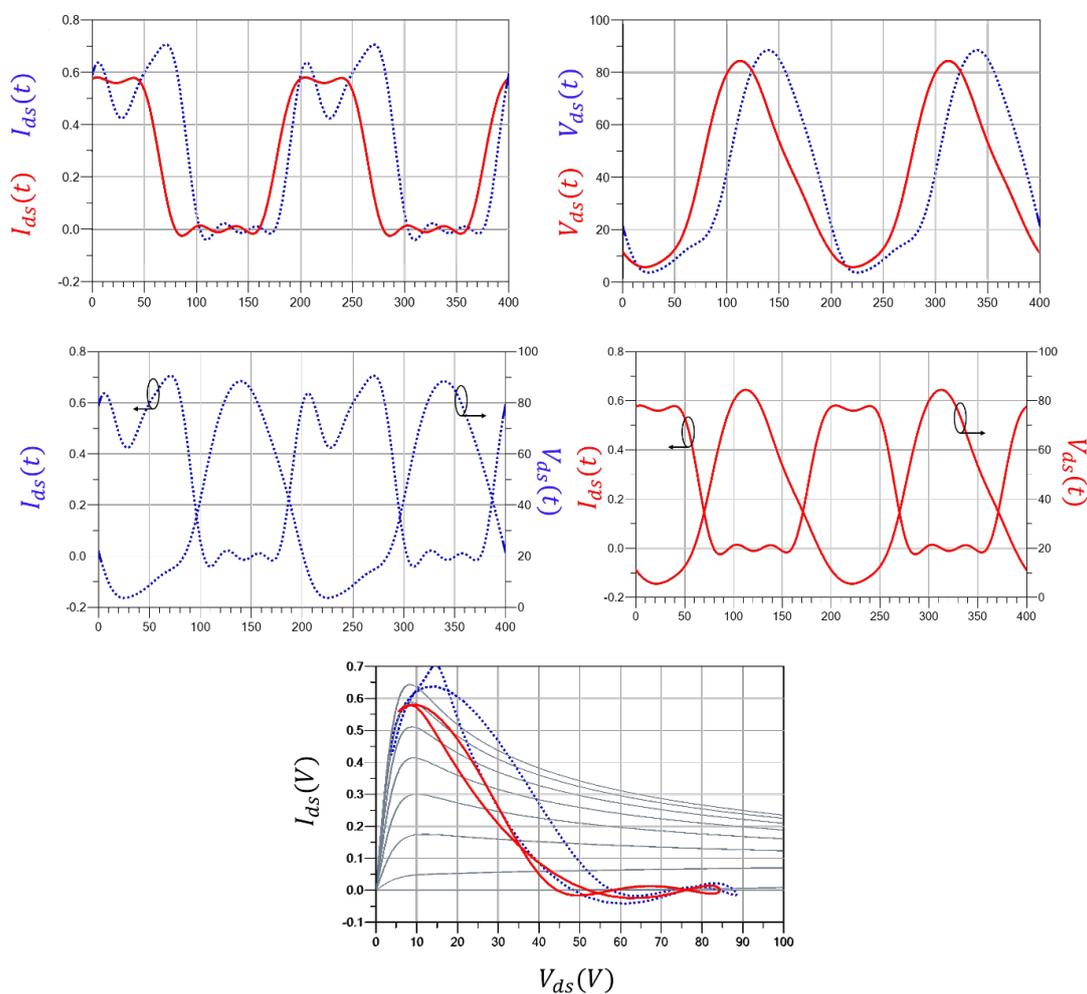


FIGURE I.24 – Formes d'onde en courant et cycles de charge du transistor CGHV1J00D avec maximisation de la puissance de sortie sans optimisation de l'harmonique 2 en entrée (bleu) et avec optimisation de l'harmonique 2 en entrée (rouge)

| SP H2 | $\frac{I_{DS1}}{I_{DS0}}$ | $\frac{V_{DS1}}{V_{DS0}}$ | <i>PAE</i> | $P_{delivree}$ | $P_{dissipee}$ |
|-------|---------------------------|---------------------------|------------|----------------|----------------|
| oui | 1.41 | 0.99 | 61.7% | 5.7 W | 9.1 W |
| non | 1.19 | 1.1 | 55.6% | 5 W | 9.9 W |

Tableau I.1 – Ratio des quantités de courants et de tensions entre les différents harmoniques, associé à la Figure I.24

Une plus fine analyse pourrait être menée si on disposait de sondes de tension et de courant à l'accès intrinsèque de la grille.

L'enchaînement des étapes mentionnées dans cette partie est générique dans une conception d'amplificateur de puissance. Bien que la stabilité et le choix de point de repos aient un impact sur les performances, l'accent doit être avant tout porté sur les étapes de load-pull et de source-pull. L'itération de ces étapes, au fondamental et aux harmoniques, permet de gagner, dans l'exemple présenté sur la puce 6 W Wolfspeed, jusqu'à près de 13 points de PAE. Ces lieux obtenus permettent au concepteur de débiter sa conception avec toutes les clés pour réaliser un amplificateur proposant des performances optimisées.

Dans le cas où la conception concerne un amplificateur à haut rendement avec gestion de puissance, ces étapes doivent être effectuées à la saturation, mais également en recul de puissance. Ceci sera expliqué plus en détail dans le Chapitre II de ce manuscrit.

3 Analyse des circuits haute fréquence par le formalisme des ondes de puissance

L'analyse des circuits microondes se fait préférentiellement et historiquement par le formalisme des ondes. Ceci se justifie par deux aspects essentiels :

- La définition des courants et tensions totaux est ambiguë car ces grandeurs varient le long des circuits. Pour cela, on préfère définir des nouvelles variables indépendantes que sont les ondes incidentes et réfléchies circulant dans les circuits, dont l'amplitude (et donc la puissance) se conservent le long des circuits sans pertes. La séparation des ondes incidentes et réfléchies étant aisée conceptuellement et matériellement [33].
- L'analyse des circuits linéaires en basse fréquence par le formalisme des matrices (Z , Y , H , chaîne) repose sur la définition de terminaisons aux différents ports qui sont difficilement réalisables sur de larges bandes passantes et aux fréquences microondes (notamment le circuit ouvert), et pouvant de toute façon conduire à des instabilités des circuits actifs tels que les transistors. Pour cela, la définition de conditions de terminaisons résistives (typiquement 50Ω) associée à la matrice S permet de s'assurer d'une caractérisation efficace et univoque des paramètres électriques en haute fréquence.

Les ondes construites autour des circuits hautes fréquences n'ont pas de nécessité à être

physiques, seules les quantités calculées d'après les ondes que sont les courant/tension et puissance doivent l'être. Il existe pour cette raison différentes définitions des ondes, selon le problème traité. La définition la plus couramment utilisée pour l'analyse des circuits actifs de puissance sont les ondes de puissance, qui permettent de traiter le problème d'échange de puissance entre sources et charges microondes de façon simple [34].

3.1 Notions d'ondes de puissance (ondes de Kurokawa) et adaptation d'impédances

Soit le circuit représenté à la figure ci-dessous, qui représente par exemple l'adaptation d'un transistor microonde entre deux impédances Z_S et Z_L en mode petit signal [35] [36].

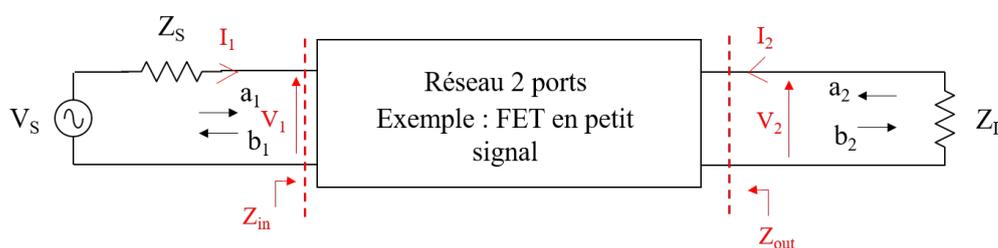


FIGURE I.25 – Réseau deux ports

Les ondes sur chaque port i à considérer sont alors les suivantes :

$$a_i = \frac{V_i + Z_{0i}I_i}{2 \cdot \sqrt{\text{Re}(Z_{0i})}} \quad (\text{I.5})$$

$$b_i = \frac{V_i - Z_{0i}^*I_i}{2 \cdot \sqrt{\text{Re}(Z_{0i})}} \quad (\text{I.6})$$

Où V_i et I_i sont les tensions et courants complexes totaux aux accès du port i , et l'impédance de référence Z_{0i} (qui peut être une grandeur complexe).

Les courants et les tensions (amplitudes crêtes) aux accès s'écrivent alors :

$$V_i = \frac{Z_{0i}^* \cdot a_i + Z_{0i} \cdot b_i}{\sqrt{\text{Re}(Z_{0i})}} \quad (\text{I.7})$$

$$I_i = \frac{a_i - b_i}{\sqrt{\text{Re}(Z_{0i})}} \quad (\text{I.8})$$

La puissance délivrée à l'entrée du FET s'écrit :

$$P_{delin} = \frac{1}{2}(|a_1|^2 - |b_1|^2) \quad (\text{I.9})$$

En choisissant judicieusement l'impédance de référence sur le port 1 telle que $Z_{o1} = Z_{in}^*$, cette

puissance est maximale lorsque b_1 s'annule (pour $Z_S = Z_{in}^*$), et la puissance correspondante P_{delin} est numériquement égale à la puissance disponible de la source $P_{avs} = \frac{1}{8} \frac{|V_S|^2}{\sqrt{Re(Z_S)}}$.

De même, la puissance délivrée à la charge en sortie s'écrit :

$$P_{del} = \frac{1}{2}(|b_2|^2 - |a_2|^2) \quad (\text{I.10})$$

En choisissant comme impédance de référence du port 2 : $Z_{o2} = Z_{LP}$, cette puissance est maximale lorsque a_2 s'annule (pour $Z_L = Z_{LP}$), et correspond numériquement à la puissance délivrée maximale obtenue lors de l'analyse load-pull au fondamental.

La matrice $[S]$ généralisée reliant les ondes de puissance avec impédances de références ainsi définies s'écrit d'une façon générale :

$$(b) = [S](a) \quad (\text{I.11})$$

En particulier dans ce cas, avec i le port d'entrée terminé dans l'impédance Z_{in}^* et j le port de sortie terminé dans Z_{LP} .

Comme avancé précédemment, l'adaptation réactive à base de composants passifs à l'entrée et à la sortie du transistor présente cependant une limite fondamentale, quantifiée par le critère de Bode-Fano [37], qui définit une limite théorique entre le niveau d'adaptation ($|\Gamma_{min}|$ visé), la largeur de bande passante, et le facteur de qualité de la charge à adapter.

- En sortie du FET, l'estimation de la largeur de bande maximale atteignable en adaptant une charge composée d'un réseau RC parallèle représentatif du circuit de drain du transistor de puissance vers une résistance de charge (1Ω , par exemple) est définie par la borne supérieure suivante :

$$\int_0^\infty \ln \frac{1}{|\Gamma_{out}(\omega)|} d\omega \leq \frac{\pi}{R_{out}C_{out}} \quad (\text{I.12})$$

Soit,

$$\Delta\omega \cdot \ln\left(\frac{1}{\Gamma_{outmin}}\right) \leq \frac{\pi}{R_{out}C_{out}} \quad (\text{I.13})$$

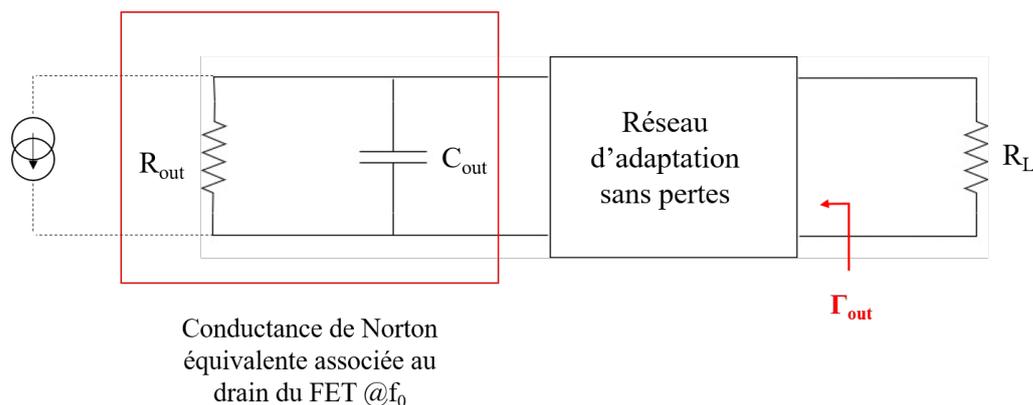


FIGURE I.26 – Représentation du critère de Bode-Fano en sortie du FET

- En entrée du FET, l'estimation de la largeur de bande maximale atteignable en adaptant idéalement une charge composée d'un réseau RC série représentatif du circuit d'entrée de grille du transistor de puissance vers une résistance de charge résistive (1ohm, par exemple) est définie par la borne supérieure suivante :

$$\int_0^{\infty} \frac{1}{\omega^2} \cdot \ln \frac{1}{|\Gamma_{in}(\omega)|} d\omega \leq \pi R_{in} C_{in} \quad (I.14)$$

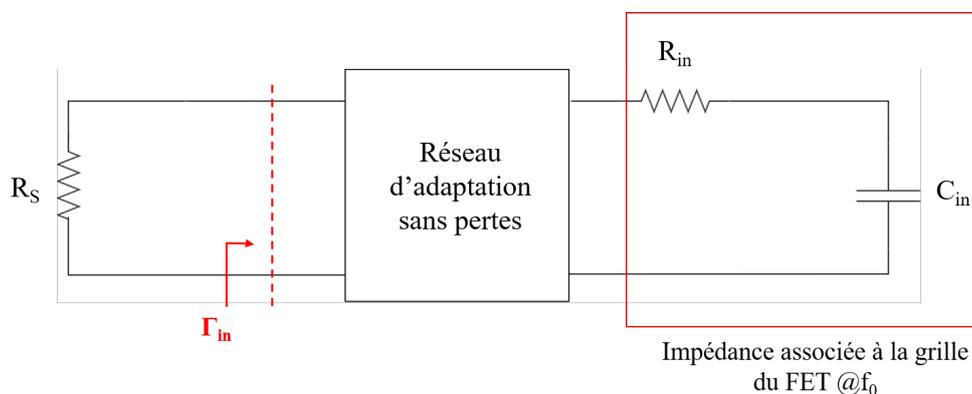


FIGURE I.27 – Représentation du critère de Bode-Fano en entrée du FET

Ainsi, pour l'adaptation en sortie du transistor, il apparait que :

- Pour une technologie donnée et à une polarisation donnée (un produit RC), une largeur de bande passante plus importante peut être atteinte au prix d'un TOS plus important
- L'adaptation à TOS=1 n'est possible qu'à une seule fréquence.
- Si R et/ou C augmente (et donc le facteur de qualité de charge), la qualité de l'adaptation diminue.

Ce dernier point reflète à lui seul la difficulté d'adaptation large bande de barrettes de puissance en technologie GaN, dont les valeurs des constantes technologiques typiques $R_{out}[\Omega.mm]$

et C_{out} [pF/mm], associée aux effets inductifs des bondings d'accès à la puce (L_{out}) conduisent à une forte augmentation du facteur de qualité associé aux circuits d'entrée et sortie de la cellule.

3.2 Analyse fort signal du transistor HEMT GaN par le formalisme des ondes de puissance

La notion d'adaptation d'impédance en entrée/sortie du transistor en fonctionnement petit signal est claire et bien définie à partir des paramètres S. Pour un fonctionnement en mode fort signal, cependant, c'est une problématique majeure que de définir l'environnement d'impédance optimal à présenter au transistor de façon à optimiser ses performances (rendement, puissance. . .). Pour de multiples raisons scientifiques (parmi lesquelles l'excellente portabilité des données entre mesures/simulations/modélisation), le formalisme des paramètres S a représenté et représente un fondement scientifique solide au développement des théories et techniques microondes. Cependant ce raisonnement matriciel intuitif basé sur le principe de superposition des réponses (ondes réfléchies) lorsque les excitations (ondes incidentes) attaquent le DUT simultanément est faux dès lors que l'on quitte sa zone linéaire de fonctionnement.

Le travail de recherche du coefficient de réflexion de charge optimal au fondamental illustre ce point. En se référant aux équations (I.10) et (I.11) précédentes, l'expression de la puissance délivrée à la charge par le FET peut s'exprimer d'après les paramètres du FET, la puissance incidente et le coefficient de réflexion de charge, selon :

$$P_{del} = \frac{1}{2}|a_1|^2 \cdot \frac{|S_{21}|^2 \cdot |1 - \Gamma_{ch}|^2}{|1 - S_{22}\Gamma_{ch}|^2} \quad (\text{I.15})$$

L'optimisation de cette expression en fonction de Γ_{ch} est d'une façon générale complexe car il apparait expérimentalement que les paramètres S varient en fonction de la puissance injectée dans le transistor (a_1) et de la charge présentée.

Au cours des dernières décennies, différentes tentatives ont été menées pour construire et étendre le concept à la modélisation et la conception de dispositifs microondes non-linéaires, mais avec des résultats assez limités. Nous proposons ici de présenter synthétiquement deux exemples, puis d'introduire une formulation plus rigoureuse issue de la bibliographie permettant de traiter le cas important de l'adaptation de charge en mode fort signal (load-pull). Le lecteur désireux de plus amples informations pourra se référer aux travaux cités en référence.

Un premier exemple d'extension de la notion de paramètres S au domaine non-linéaire, appelée « Large Signal S-Parameters » (LSSP) [38] a été implémenté dans les simulateurs commerciaux, et des exemples de conception et d'optimisation de circuits non-linéaires haute-fréquence ont été rapportés tels que des mélangeurs passifs à diode, et également dans la conception de dispositifs faiblement non-linéaires.

L'analyse LSSP suppose la détermination des paramètres [S] du DUT en mode fort signal.

Pour un quadripôle, l'extraction des 4 paramètres S doit être faite séquentiellement, et pour chaque point de puissance et/ou de polarisation, notamment :

- La mesure des coefficients en transmission directe et réflexion d'entrée (S_{21} et S_{11}) suppose d'appliquer une onde A_1 forte à l'aide d'une source de puissance dont l'impédance interne est le complexe conjugué de l'impédance de référence des ondes sur ce port, et de terminer le port 2 par le complexe conjugué de l'impédance de référence des ondes sur ce port.
- La mesure des coefficients de transmission inverse et réflexion de sortie (S_{12} et S_{22}) suppose d'appliquer une onde A_2 forte à l'aide d'une source de puissance dont l'impédance interne est le complexe conjugué de l'impédance de référence des ondes sur ce port, et de terminer le port 1 par le complexe conjugué de l'impédance de référence des ondes sur ce port.

Sur la Figure I.28, sont représentés les paramètres S_{11} et S_{21} issus d'une simulation LSSP sur la puce préalablement étudiée environnementée uniquement de ses réseaux de polarisation idéaux, comparés à ceux obtenus par simulation en paramètres [S].

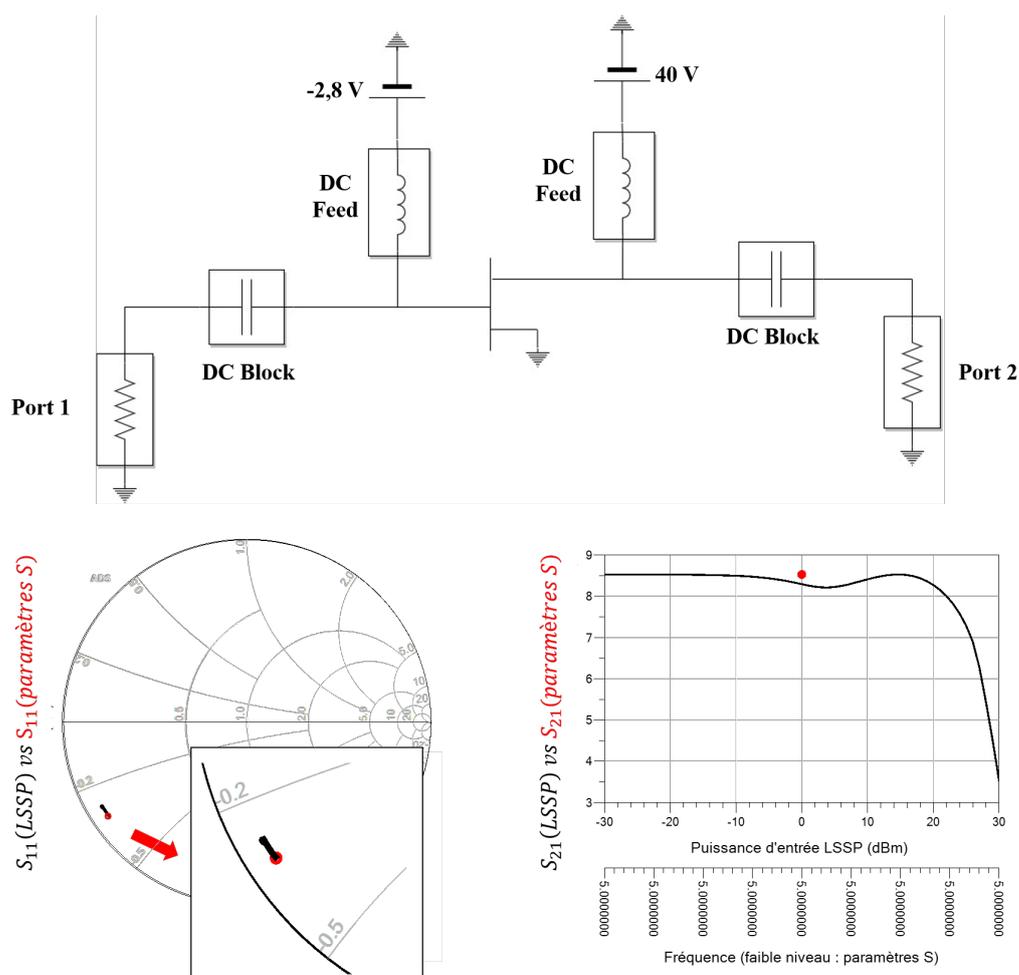


FIGURE I.28 – Comparaison simulation en paramètres [S] (rouge) et simulation LLSP (noir) entre 4.5 et 5.5 GHz.

Dans un environnement d'adaptations de source et charge parfaites, il est effectivement constaté, par exemple, une désadaptation de l'entrée du transistor (S_{11}) lorsque le transistor fonctionne en mode fort signal. Il est par exemple essentiel de prendre en compte cet effet dans la synthèse du circuit d'adaptation d'entrée de façon à optimiser efficacement le gain transductique de l'amplificateur final.

Cependant, bien que ces multiples précautions à la base de la définition des paramètres $[S]$ fort signal et l'extraction séquentielle requise (source sur le port 1, puis sur le port 2, avec dans chaque cas une adaptation parfaite sur chaque port) soient nécessaires, il est mathématiquement faux de combiner les réponses (superposition des états) en mode fort signal. Notamment, il n'est pas rigoureux de combiner les 4 paramètres $[S]$ ainsi obtenus, la matrice obtenue n'ayant pas de sens physique.

Pour ces raisons, il est par exemple incorrect de considérer le paramètres S_{21} ainsi obtenu hors condition d'adaptation de source et charge. De façon encore plus évidente, le paramètre S_{22} ainsi obtenu ne constitue en rien une base de réflexion pour répondre au problème de l'adaptation en puissance en sortie du transistor. Les LSSP ne permettent donc pas de résoudre le problème de l'adaptation fort signal de l'amplificateur de puissance. Une fois l'amplificateur conçu, l'extraction du paramètre S_{21} en transmission (module et phase) représente les conversions d'AM/AM et d'AM/PM du DUT dans un environnement adapté.

Un second exemple d'application des paramètres S en fort signal constitue les paramètres S « à chaud », parmi lesquels le paramètre S_{22} est lié à la problématique d'adaptation du FET en mode fort signal [39]. Contrairement au cas précédent, le DUT est alors simultanément attaqué par deux sources présentes à l'entrée (A_1 , fort signal) et à la sortie (a_2 , faible signal, cette injection est présente pour simuler une réflexion vers l'amplificateur.) afin de déterminer la sensibilité de la désadaptation de charge en mode fort signal et représente un cas d'application concret pour la conception optimale d'un amplificateur.

La réponse de l'onde B_2 émergente sur le port 2 employée a par exemple été modélisée par l'équation suivante, dans laquelle le terme $S_{22}(|A_1|)$ représente le coefficient de sortie à chaud :

$$B_2 = S_{21}(|A_1|).A_1 + S_{22}(|A_1|).a_2 \quad (\text{I.16})$$

Ce modèle traduit bien notamment :

- La relation non-linéaire entre l'onde A_1 et l'onde B_2 au travers du terme S_{21} dont la valeur est consistante avec l'analyse LSSP précédente.
- La dépendance linéaire observée expérimentalement entre l'onde a_2 et l'onde B_2 .

Cette modélisation simple est notamment capable de capturer l'effet de la désadaptation de charge pour un fonctionnement linéaire à faiblement non-linéaire. En revanche, la réponse B_2 obtenue avec ce modèle n'est pas consistante avec les données expérimentales mesurées dès lors

que le DUT entre en zone de compression. Le type de distorsions rapportées expérimentalement dans le ratio $\frac{B_2}{a_2}$ lorsque la phase de a_2 est balayée à module constant n'est pas capturé par ce formalisme. Ceci montre qu'une autre dépendance existe, et ne donne pas de résultats concluant dans la solution au problème posé par l'équation (I.16).

Pour expliquer le type de compression rapporté, le modèle doit donc être amélioré. On aboutit alors à la base du formalisme des paramètres X [40].

Pour analyser plus finement ce phénomène, on stimule successivement l'amplificateur (de la Figure I.28 pour lequel les ports de paramètres [S] sont remplacés par des sources de puissance) à son entrée par une onde A_1 de faible amplitude (telle que la puissance de l'onde B_2 est 1.7 dBm, tel qu'illustré sur la Figure I.29.), puis par une onde A_1 de forte amplitude (telle que la puissance de l'onde B_2 est 16.4 dBm, Figure I.29). Simultanément, on injecte à sa sortie une onde a_2 de faible amplitude, et dont la fréquence est légèrement décalée de celle de l'onde A_1 . Sur le tracé de gauche, le fonctionnement est linéaire (A_1 est faible), et on constate que le rapport des ondes $\frac{B_2}{a_2}$ (à la fréquence de 4.95 GHz) est constant en fonction de la variation de a_2 (pour des valeurs de a_2 faibles). Ce ratio correspond au paramètre S_{22} « à chaud » du transistor, qui n'est valable qu'en fonctionnement petit signal, et n'est pas capable de prédire l'impédance effective du transistor en mode fort signal. La même simulation est menée à la figure de droite lorsque l'amplitude de l'onde A_1 est augmentée, et force le transistor à entrer en mode fort signal. Il apparaît une nouvelle onde 'compagnon'. La présence de cette onde provient de l'action non-linéaire du transistor (phénomène de mélange opéré le transistor, par la conductance équivalente de sortie pompée par l'onde forte A_1 , dans laquelle on injecte l'onde complexe – faible- a_2), et n'obéit par définition pas au principe de superposition, impliquant que le fondement matriciel ne suffit plus à modéliser le transistor.

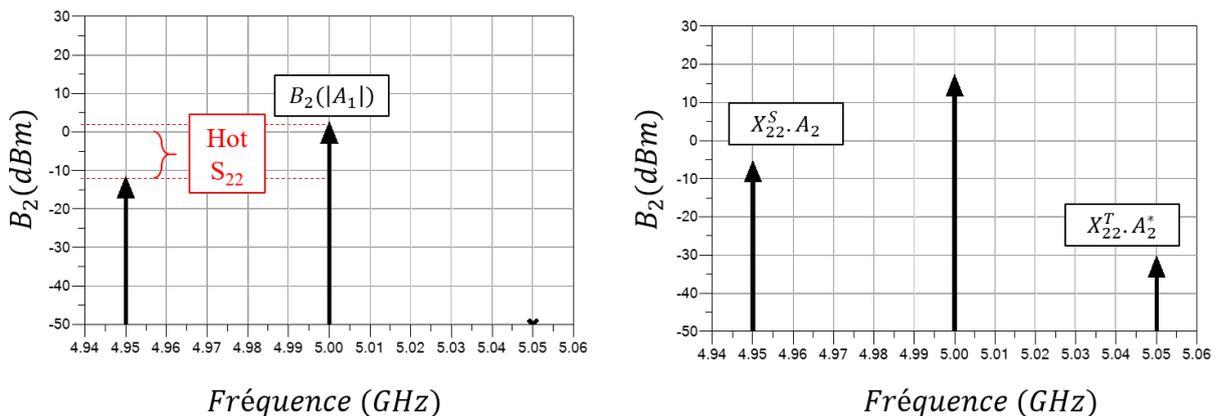


FIGURE I.29 – Puissance de l'onde B_2 en mode faible signal du FET (à gauche) et en mode fort signal (à droite).

Ainsi, pour être mathématiquement rigoureuse, on montre que la linéarisation de la réponse $B_2(A_1, a_2)$ (autour du fonctionnement fort signal imposé par l'onde A_1), implique de considérer de façon indépendante la réponse vis-à-vis de l'onde a_2 et de son complexe conjugué. En ajoutant

cela au modèle précédent, nous obtenons :

$$B_2(A_1, a_2) = S_{21}(|A_1|) \cdot A_1 \cdot P + X_{22}^S(|A_1|) \cdot a_2 + X_{22}^T(|A_1|) \cdot a_2^* \cdot P^2 \quad (\text{I.17})$$

Où,

$$P = e^{j \cdot \text{arg}(A_1)} \quad (\text{I.18})$$

Ainsi, par ajout de ce paramètre, les phases sont normalisées par rapport à A_1 .

Finalement, le coefficient de réflexion effectif de sortie présenté par le FET (ratio $\frac{B_2}{a_2}$, représentatif de la linéarisation vis-à-vis de l'onde a_2 autour du fonctionnement fort signal imposé par A_1 est donc donné par :

$$\Gamma_{FET}(A_1, a_2) = X_{22}^S(|A_1|) + X_{22}^T(|A_1|) \cdot e^{-2j \cdot \text{arg}(a_2)} \quad (\text{I.19})$$

Sur cette base, on montre [41] - [42] alors qu'une solution analytique au problème de l'adaptation du FET peut être trouvée en mode fort signal. Par exemple, la solution à l'équation (I.15) revient à déterminer Γ_{optch} tel que :

$$\frac{\partial}{\partial \Gamma_{ch}}(P_{del}) = 0 \iff \frac{\partial}{\partial a_2} \left(\frac{1}{2} |B_2(a_2)|^2 - \frac{1}{2} |a_2|^2 \right) = 0 \quad (\text{I.20})$$

En explicitant $B_2(a_2)$ selon l'équation (I.17), on montre qu'une solution a_{2opt} peut être trouvée. Cette solution peut être alors injectée dans (I.17) et permet de déterminer le coefficient de réflexion de charge optimal $\Gamma_{chopt} = \Gamma_{LP} = \frac{a_{2opt}}{B_2(a_2)}$ dont la valeur est une fonction des paramètres A_1 , $S_{21}(A_1)$, X_S et X_T .

Afin de valider la capacité de ce modèle de paramètres X à correctement prédire le coefficient de réflexion optimal en fort signal, on peut extraire le modèle en paramètres X du transistor suivant Γ_{ch} à f_0 avec l'outil dédié dans le logiciel ADS. Puis, on peut simuler par exemple les lieux de load-pull dans les mêmes conditions que celles indiquées par le schéma de la Figure I.8. La comparaison entre ces deux simulations load-pull est présentée sur la Figure I.30. On observe que les zones optimales de PAE et de puissance de sortie sont consistantes, que l'on utilise le transistor ou le fichier dans lequel le modèle en paramètres X du transistor a été extrait. La légère différence entre les lieux est due à l'interpolation lors de l'extraction des paramètres X.

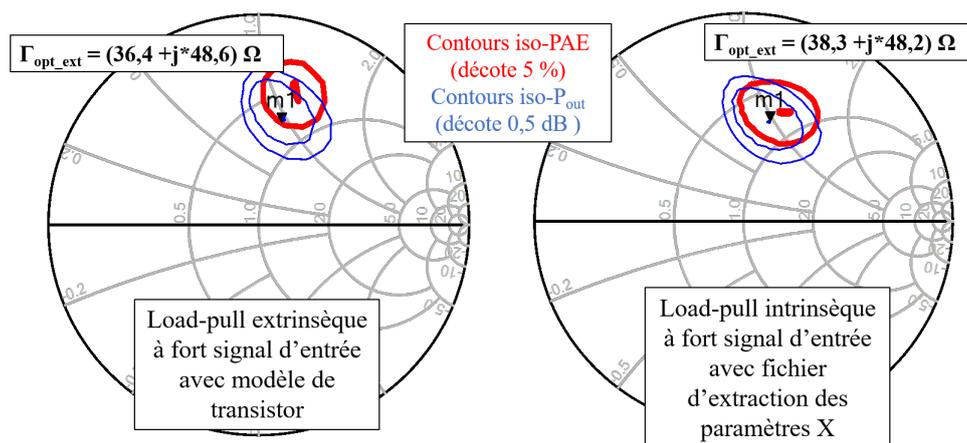


FIGURE I.30 – Comparaison entre les lieux de load-pull avec le modèle de la puce Wolfspeed et le modèle de paramètres X de ce même transistor.

Dans le cas où le circuit à simuler nécessite l'emploi de plusieurs transistors, des problèmes de convergence associés à des temps de simulation rédhibitoires peuvent apparaître. L'extraction des paramètres X de ce transistor est alors intéressante. Pour cette extraction, la plage de variation de la puissance en entrée, ainsi que la phase, peuvent être spécifiées. La variation du coefficient de réflexion de charge (en module et en phase) est également choisie par l'utilisateur. La zone d'intérêt de variation pouvant être réduite par l'étude en paramètres [S]. Le fichier .xnp ainsi obtenu est implémenté dans la simulation HB. L'ajout d'une source de puissance 50 Ω en sortie de l'amplificateur étudié permet de faire varier l'onde a_2 en amplitude et en phase – par la variation de P_C et de ϕ_C , conformément à la Figure I.31. Cette extraction et simulation du fichier de paramètres X du transistor se traduit exactement comme la simulation présentée sur la Figure I.31. Pour traduire notamment le comportement en fort signal de la cellule de puissance, deux simulations sont réalisées. La première, pour laquelle deux sources de puissance 50 Ω idéales sont utilisées (a), et la seconde, dans laquelle le transistor est implémenté dans son environnement constitué de son réseau de stabilité et de ses tés de polarisation (b). Dans les deux cas, la variation de l'amplitude et de la phase du signal injecté en sortie permet de faire varier les coefficients de réflexion.

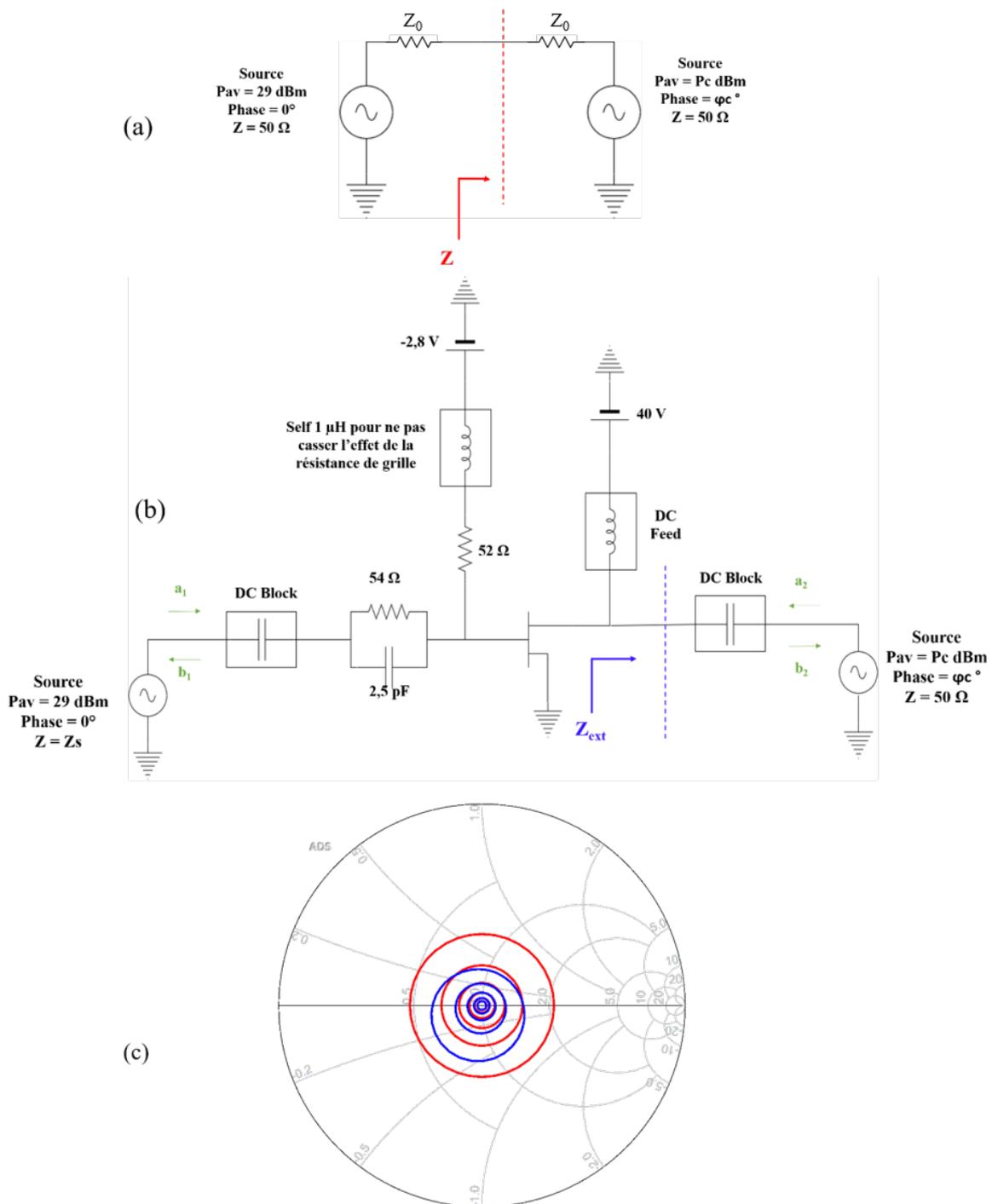


FIGURE I.31 – Load-pull actif sans transistor (a), avec transistor (b) et coefficients de réflexion produits par la variation de P_C et de ϕ_C dans le cas (a) en rouge, et dans les plans extrinsèques (bleu) dans le cas (b). Abaque normalisée par rapport à $Z_0 = 50 \Omega$ (c).

Pour le cas (a), la variation de l'onde a_2 , dans la zone de fonctionnement linéaire du transistor, permet une variation à TOS constant à P_C donné, et ce qu'importe la phase. En revanche, les mêmes variations de l'onde a_2 sur le circuit complet induit des déformations sur les coefficients de réflexion dans le plan extrinsèque, comme observable sur la courbe bleue (extrinsèque) de

la figure précédente. La notion de paramètres X présentée précédemment permet d'expliquer ce phénomène. En résumé, pour pallier aux difficultés de convergence de certains modèles de transistors, l'extraction des paramètres X illustre avec précision le comportement de la cellule de puissance lors qu'un load-pull actif est effectué, qui est le principe même de l'architecture LMBA.

Les différentes étapes décrites dans ce premier chapitre seront utilisées dans les phases de conception d'amplificateur de puissance LMBA, détaillées dans les chapitres III et IV.

Chapitre II

Architectures d'amplificateur de puissance à modulation de charge active

Sommaire

| | | |
|-----|--|----|
| 1 | Introduction | 42 |
| 1.1 | Modulation de tension de polarisation de drain | 43 |
| 1.2 | Modulation de charge | 45 |
| 2 | Architectures à modulation de charge active | 47 |
| 2.1 | Architectures non isolées | 47 |
| 2.2 | Architecture isolée : l'amplificateur séquentiel | 56 |
| 3 | Le LMBA : une architecture quasi-isolée d'amplificateur de puissance à haut rendement | 57 |
| 3.1 | L'architecture LMBA à deux entrées RF | 57 |
| 3.2 | L'architecture LMBA RF input | 62 |
| 4 | Analyse théorique du LMBA "Doherty-Like" avec des sources de courant idéales et prise en compte des effets parasites | 71 |
| 4.1 | Prise en compte des effets parasites pour la réalisation de l'adaptation de sortie | 71 |
| 4.2 | Contrainte sur l'amplitude maximale de courant délivré par la source de contrôle | 74 |
| 4.3 | Prise en compte de la polarisation en classe C de l'amplificateur de contrôle | 78 |
| 4.4 | Conclusion de l'étude analytique | 85 |
| 5 | Comparaison LMBA « Doherty-Like » vs Doherty | 85 |
| 6 | Conclusion générale sur les amplificateurs à modulation de charge | 87 |
| 7 | Résilience au TOS | 88 |

1 Introduction

Dans une architecture conventionnelle d'amplificateur de puissance, comprenant des circuits passifs d'adaptation et de polarisation fixés, le rendement maximum est obtenu dans la zone de saturation de la puissance de sortie. Si le niveau de puissance d'entrée diminue le rendement chute de manière drastique comme représenté sur la Figure II.1.

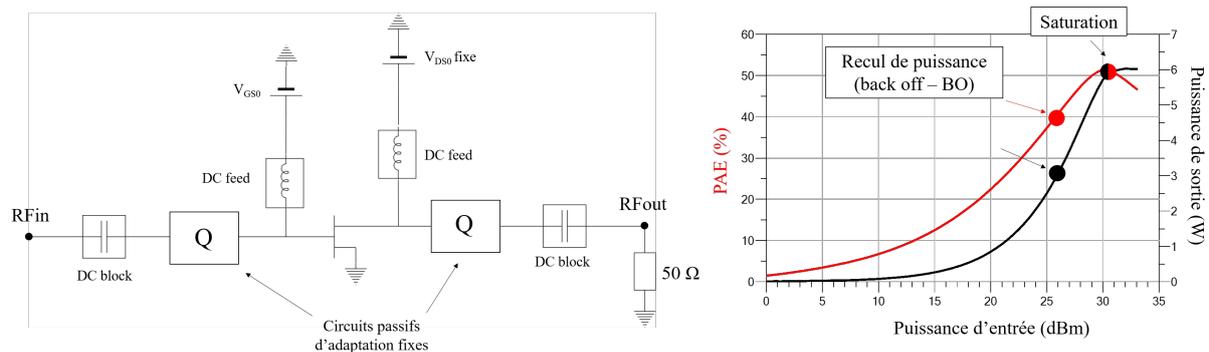


FIGURE II.1 – Courbes illustratives de PAE et de puissance de sortie d'un amplificateur conventionnel.

La conception d'amplificateurs de puissance modernes requiert le maintien d'une forte valeur du rendement en puissance ajoutée pour une dynamique de puissance pouvant atteindre jusqu'à 10 dB par exemple. On a coutume de représenter, comme il est indiqué sur la Figure II.2, la caractéristique visée pour le rendement, superposée à la fonction densité de probabilité (PDF) du module de l'enveloppe du signal à amplifier.

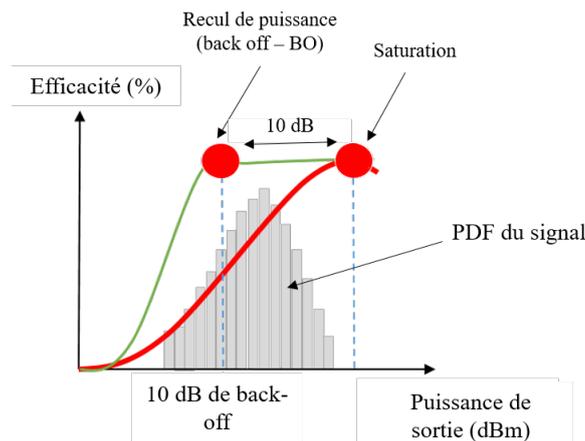


FIGURE II.2 – Comparaison de la courbe de rendement en puissance ajoutée d'un amplificateur conventionnel (rouge) et d'un amplificateur à haut rendement (vert), avec représentation de la PDF du signal.

Une telle caractéristique de rendement permet notamment, dans le cadre d'applications de type télécommunications, d'atteindre des valeurs élevées de rendement moyen en présence de signaux modulés ayant de fortes variations de puissance instantanée d'enveloppe.

Considérons maintenant les cycles de charge d'une source de courant de drain idéale caractéristique d'un transistor à effet de champ fonctionnant en classe B pour deux niveaux d'excitation donnés comme représenté sur la Figure II.3.

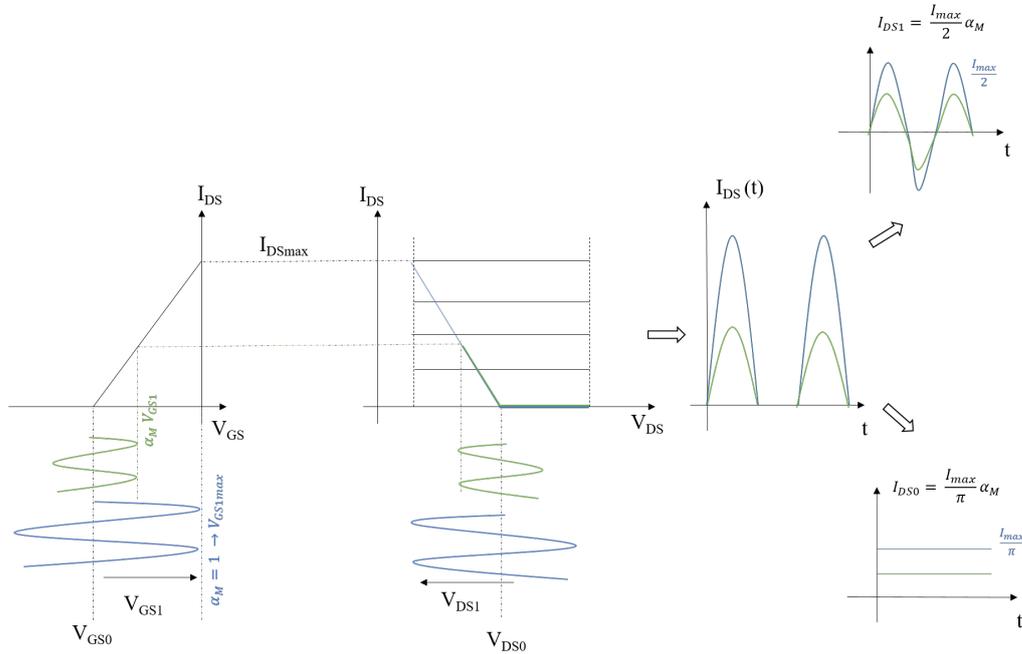


FIGURE II.3 – Fonctionnement d'un amplificateur conventionnel en classe B idéale. ($0 \leq \alpha_m \leq 1$)

Dans le cas idéal de la classe B où le rapport $\frac{I_{DS1}}{I_{DS0}}$ est constant et égal à $\frac{\pi}{2}$, le rendement de drain s'écrit :

$$\eta = \frac{1}{2} \frac{V_{DS1} \cdot I_{DS1}}{V_{DS0} \cdot I_{DS0}} = \frac{\pi}{4} \frac{V_{DS1}}{V_{DS0}} \quad (\text{II.1})$$

Où V_{DS1} et V_{DS0} sont respectivement les composantes de la tension de drain au fondamental et au DC, et I_{DS1} et I_{DS0} , les composantes du courant de drain au fondamental et au DC.

Si l'on veut maintenir le rendement le plus élevé possible lorsque le niveau d'excitation d'entrée diminue deux possibilités existent :

- Diminuer la valeur du dénominateur V_{DS0} . Cette solution est appelée modulation de polarisation (ou envelope tracking).
- Maintenir le numérateur V_{DS1} à son maximum ce qui nécessite de mettre en œuvre une technique de modulation d'impédance de charge (load modulation).

1.1 Modulation de tension de polarisation de drain

Cette première solution est appelée « Envelope Tracking », ou polarisation dynamique de drain [43] - [44]. La tension de polarisation du drain V_{DS0} de l'amplificateur de puissance varie dynamiquement avec l'amplitude de l'enveloppe du signal d'excitation. Le cycle de charge

sera translaté horizontalement comme illustré sur la Figure II.4. Pour des niveaux de puissance d'enveloppe faibles, la tension de polarisation de drain V_{DS0} diminue permettant ainsi l'augmentation du rendement. La consommation DC est limitée à son strict nécessaire. Le transistor est maintenu proche de son point de compression.

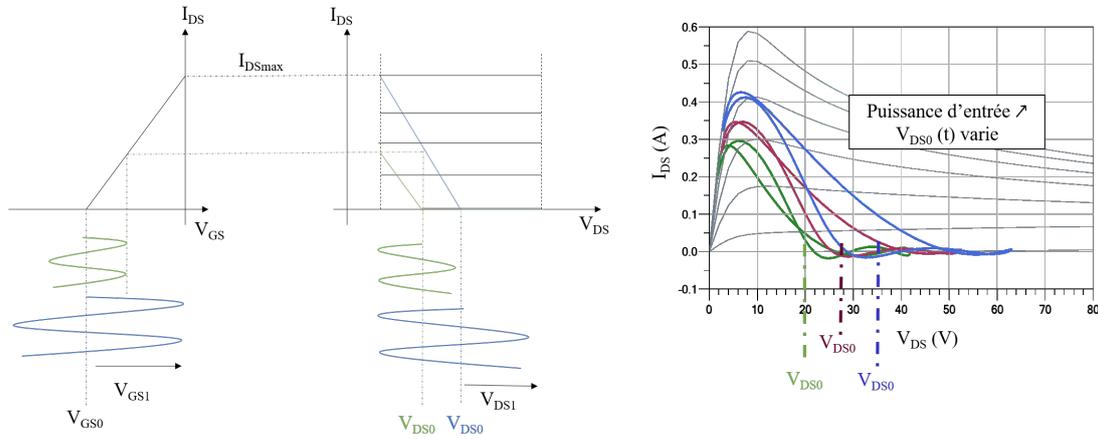


FIGURE II.4 – Modulation de polarisation de drain où le cycle de charge est translaté vers la droite lorsque la puissance d'entrée augmente.

L'implémentation du principe de polarisation dynamique de drain nécessite un modulateur de polarisation positionné dans le circuit de polarisation de drain de l'amplificateur de puissance. Le principe de cette technique est illustré sur la Figure II.5 .

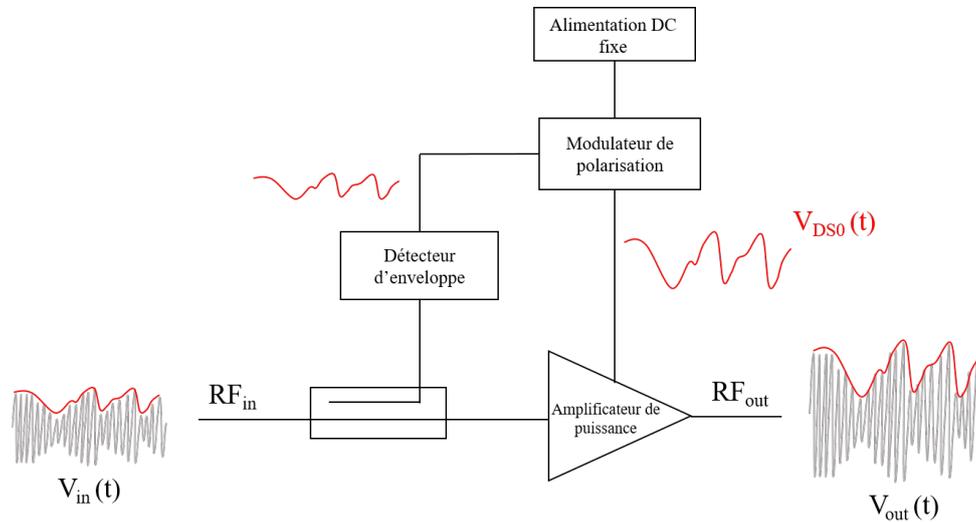


FIGURE II.5 – Synoptique d'un amplificateur de puissance avec polarisation dynamique de drain [42]

La complexité de l'implémentation est intimement liée aux contraintes reportées sur le modulateur de polarisation, qui est le point dur de cette technique. En effet, celui-ci doit être capable de :

- Suivre l'évolution de l'enveloppe du signal (problème de bande passante)
- Piloter le point de polarisation DC du transistor GaN pour des fortes puissances

— Fonctionner à haut rendement [45].

Répondre à ces contraintes est très complexe car l'efficacité globale du système ne doit pas être impactée par l'ajout de ce modulateur.

Le principe de modulation de charge qui est au cœur de ces travaux de thèse va être maintenant développé plus longuement dans ce chapitre.

1.2 Modulation de charge

Le principe général de la modulation de charge d'un transistor est présenté sur la Figure II.6.

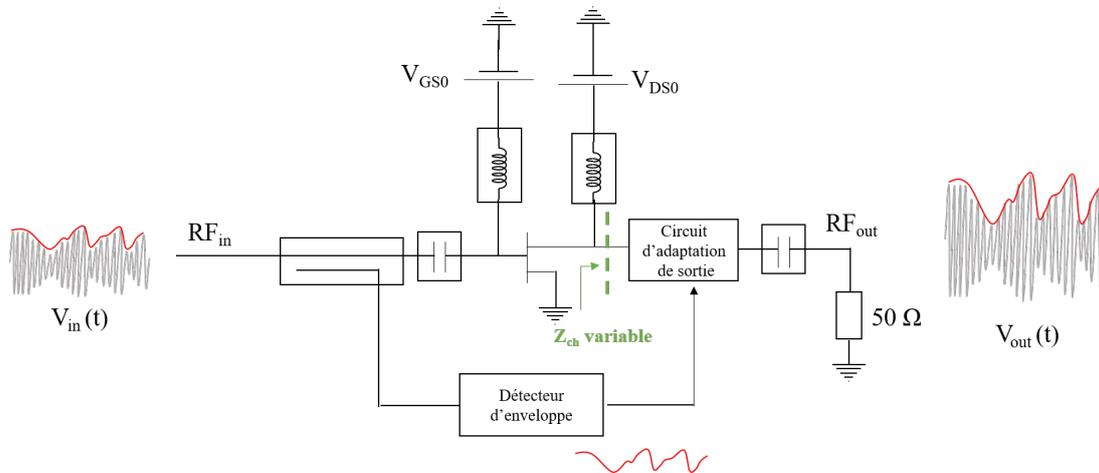


FIGURE II.6 – Principe de la modulation de charge.

L'impédance de charge au fondamental présentée à l'amplificateur va donc varier, pour permettre de maintenir un rendement élevé sur une large dynamique de puissance de sortie. A bas niveau, la source de courant du transistor voit une impédance élevée. Cette impédance de charge est maintenue constante si le niveau de puissance augmente jusqu'à ce que le cycle de charge atteigne la zone ohmique ce qui détermine la valeur de V_{DS1} maximale. Puis à moyen et fort niveaux de puissance, l'impédance présentée à la source de courant va diminuer pour que l'amplitude de la tension au fondamental se maintienne à sa valeur maximale. L'augmentation de la puissance de sortie est obtenue par l'augmentation du courant de drain au fondamental I_{DS1} . Le cycle de charge va donc pivoter, jusqu'à atteindre la valeur de l'impédance qui doit être présentée au transistor pour que ses performances à la saturation soient maximales. Ces variations sont illustrées sur la Figure II.7.

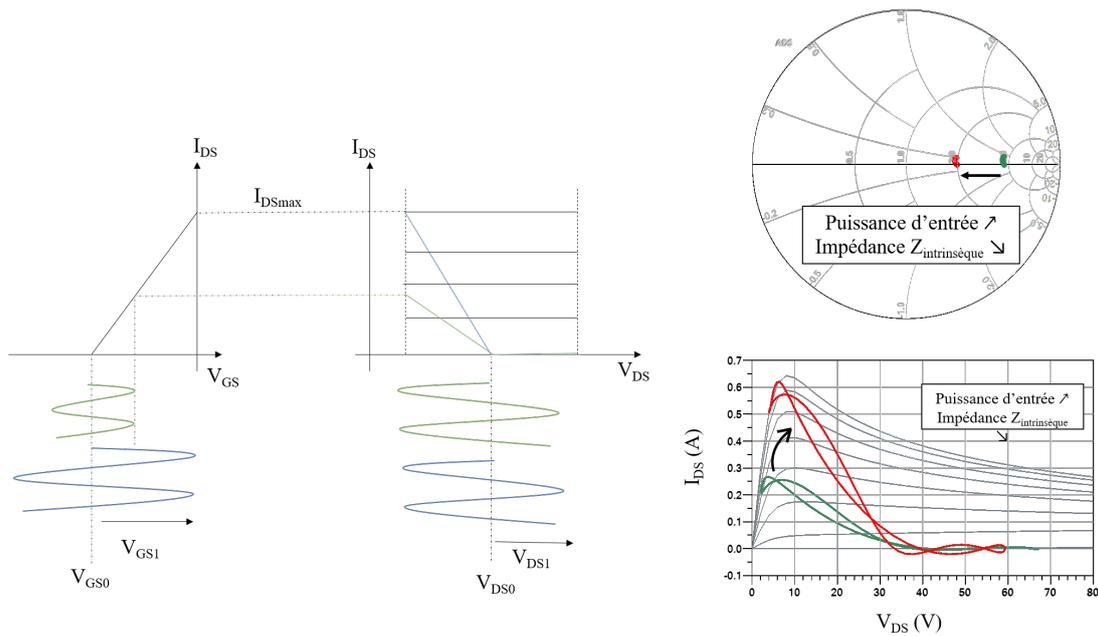


FIGURE II.7 – Modulation de charge représentée sur abaque de Smith et illustration de la variation des cycles de charge.

Pour sa mise en œuvre réelle, la variation dynamique d'impédance de charge n'est pas réalisée au moyen d'éléments passifs accordables connectés dans le circuit d'adaptation de sortie du transistor. Ceci est dû aux difficultés de tenue en puissance des éléments passifs accordables (typiquement des varactors) mais aussi à la génération significative de non linéarités de ces éléments dans ces conditions d'utilisation. De plus, dans ce cas la modulation de charge est pilotée par le module de l'enveloppe du signal modulé, il existe une limitation en bande passante d'enveloppe.

Ainsi les variations d'impédance de charge sont réalisées par au moins une seconde voie d'amplification du signal RF synchrone. On applique ainsi le principe de modulation de charge active.

La complexité de mise en œuvre de cette technique de modulation de charge réside dans le fait qu'elle doit s'effectuer conjointement à une combinaison constructive et à faible perte de la puissance RF de sortie des différentes voies d'amplification RF (Figure II.8)

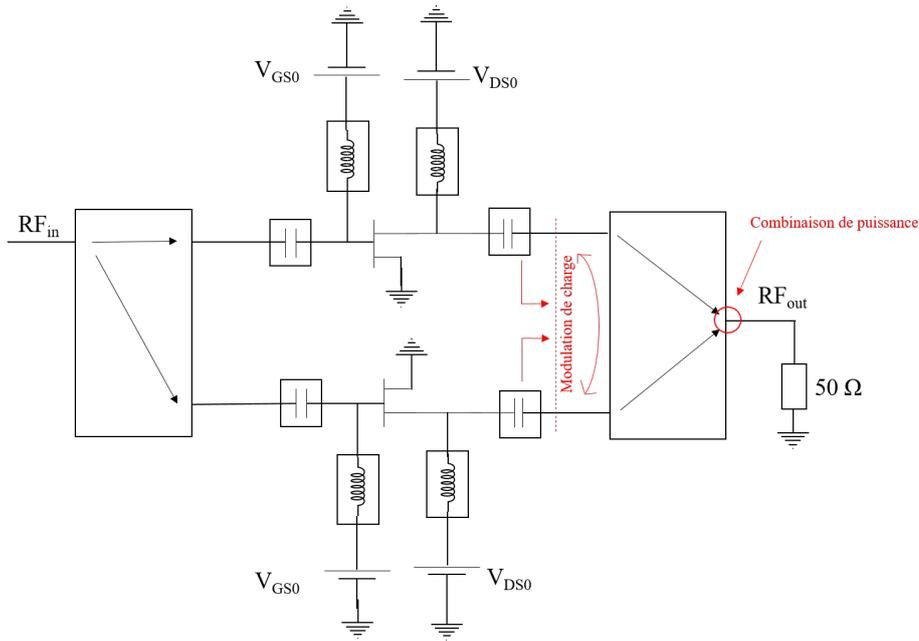


FIGURE II.8 – Modulation de charge active et combinaison de puissance.

2 Architectures à modulation de charge active

Dans la description des principes et des relevés bibliographiques qui suivent, uniquement deux voies d'amplifications RF seront prises en compte. Il est vrai cependant que les principes peuvent être étendus pour donner naissance à des architectures comprenant plus de deux voies RF sans que cela ne modifie les principes de fonctionnement fondamentaux.

2.1 Architectures non isolées

2.1.1 Technique "Outphasing"

Cette technique [46] est basée sur la décomposition d'un signal modulé à enveloppe variable noté $S_{in}(t)$ sous la forme de la somme de deux signaux à enveloppe constante $S_1(t)$ et $S_2(t)$ mais comprenant des modulations de phase adéquates.

Ces signaux peuvent s'exprimer de la façon suivante :

$$S_{in}(t) = A(t)\cos(\omega t + \phi(t)) = S_1(t) + S_2(t) \quad (\text{II.2})$$

$$S_1(t) = \frac{A_{max}}{2}\cos(\omega t + \phi(t) + \theta(t)) \quad (\text{II.3})$$

$$S_2(t) = \frac{A_{max}}{2}\cos(\omega t + \phi(t) - \theta(t)) \quad (\text{II.4})$$

Avec,

$$\theta(t) = \cos^{-1}\left(\frac{A(t)}{A_{max}}\right) \text{ et } A_{max} = \max(A(t)) \quad (\text{II.5})$$

L'idée de base est donc de disposer de signaux $S_1(t)$ et $S_2(t)$ qui sont des signaux à enveloppe constante pouvant être amplifiés par deux cellules d'amplification distinctes fonctionnant à haut rendement en régime de saturation, comme représenté Figure II.9. Cependant il convient de combiner correctement les signaux de puissance en sortie pour restituer une version amplifiée du signal d'entrée $S_{in}(t)$.

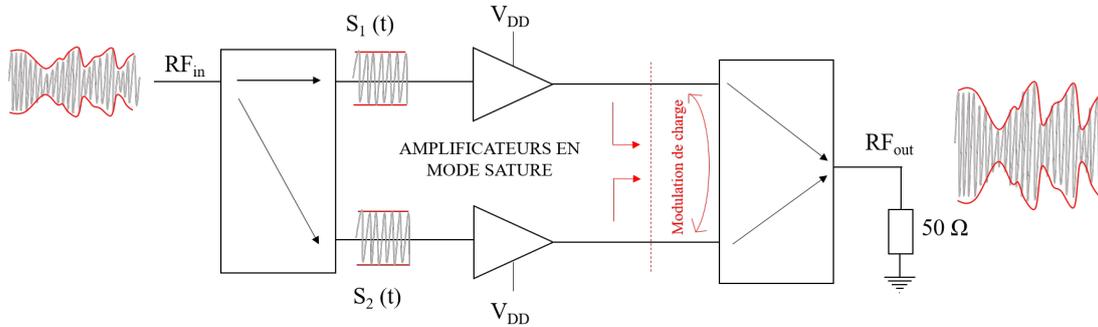
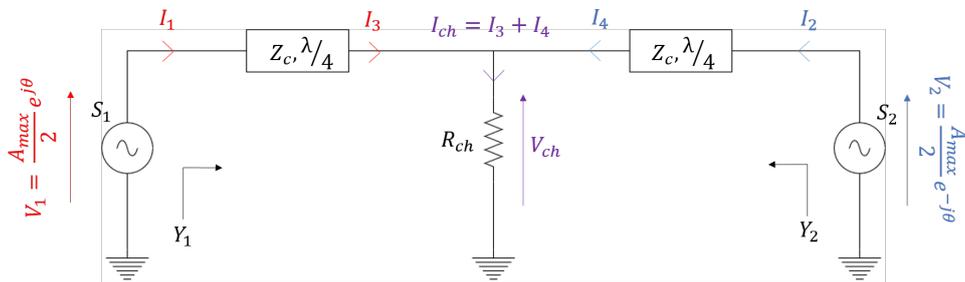
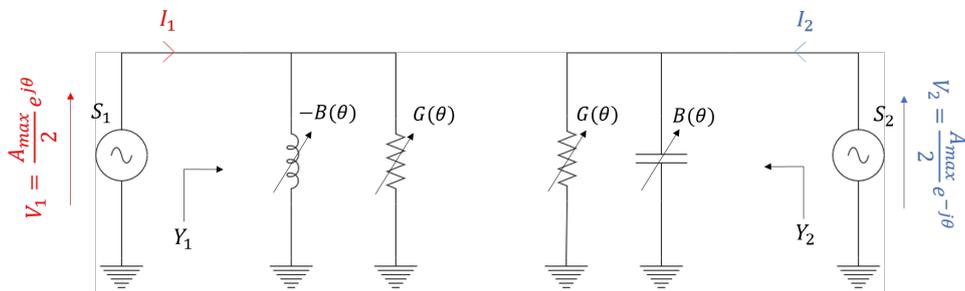


FIGURE II.9 – Principe de l'Outphasing.

Pour cela le combineur Chireix, proposé pour la première fois en 1935 [46], est constitué de deux lignes $\frac{\lambda}{4}$, d'impédance caractéristique Z_C comme représenté Figure II.10(a).



(a)



(b)

FIGURE II.10 – Principe du combineur Chireix et modélisation par son circuit équivalent avec éléments localisés.

L'étude de la combinaison en sortie, où $S_{out}(t) = S_1(t) + S_2(t)$ s'effectue par le biais de

l'écriture des admittances Y_1 et Y_2 dans le plan des sources de tension idéales du modèle équivalent proposé sur la Figure II.10 (b) . Sur ce schéma, une hypothèse simplificatrice fait usage de la représentation du fonctionnement de transistors fortement saturés par des sources de tensions V_1 et V_2 délivrant la fréquence fondamentale [47]. De plus, on considérera un signal d'entrée modulé en amplitude seulement, soit $\phi(t) = 0$, pour simplifier les notations.

$$Y_1 = \frac{I_1}{V_1} = \frac{2.R_{ch}\cos^2(\theta)}{Z_c^2} - j\frac{R_{ch}\sin(2\theta)}{Z_c^2} = G(\theta) - jB(\theta) \quad (\text{II.6})$$

$$Y_2 = \frac{I_2}{V_2} = \frac{2.R_{ch}\cos^2(\theta)}{Z_c^2} + j\frac{R_{ch}\sin(2\theta)}{Z_c^2} = G(\theta) + jB(\theta) \quad (\text{II.7})$$

Ces admittances ont une conductance G et une susceptance B dépendantes du déphasage θ . La modulation de charge vue par les transistors va donc dépendre de ce paramètre. Par extension, le rendement de l'architecture va être sensible à la valeur de ce paramètre. Les susceptances observées dans le plan des sources de tension sont un facteur limitant à ce rendement. Une partie imaginaire de l'admittance non nulle entraîne une chute du rendement.

La puissance RF de sortie s'écrit :

$$P_{RF} = 2\frac{R_{ch}}{Z_c^2}\frac{(A_{max})^2}{4}\cos^2(\theta) \quad (\text{II.8})$$

Puis, en considérant comme hypothèse un fonctionnement en classe B idéale des transistors, on peut admettre que :

$$I_{DC1} = \frac{2}{\pi}|I_1| \quad (\text{II.9})$$

$$I_{DC2} = \frac{2}{\pi}|I_2| \quad (\text{II.10})$$

Ce qui nous conduit à l'expression du rendement suivant :

$$\eta_{chireix}(\%) = \frac{\pi}{4}\frac{G}{\sqrt{G^2 + B^2}} = \frac{\pi}{4}\frac{2\cos^2(\theta)}{\sqrt{(2.\cos^2(\theta))^2 + \sin^2(2\theta)}} \quad (\text{II.11})$$

Pour pallier à cette forte sensibilité induite par les susceptances, la méthode proposée par Chireix consiste à compenser ces parties imaginaires en ajoutant des réactances de compensation parallèles, comme illustré sur la Figure II.11, telle que :

$$B_{comp} = \frac{R_{ch}}{Z_c^2}\sin(2\theta_{comp})$$

Les trajectoires des coefficients de réflexion dans le plan des sources S_1 et S_2 avec et sans compensation sont présentés sur la Figure II.12.

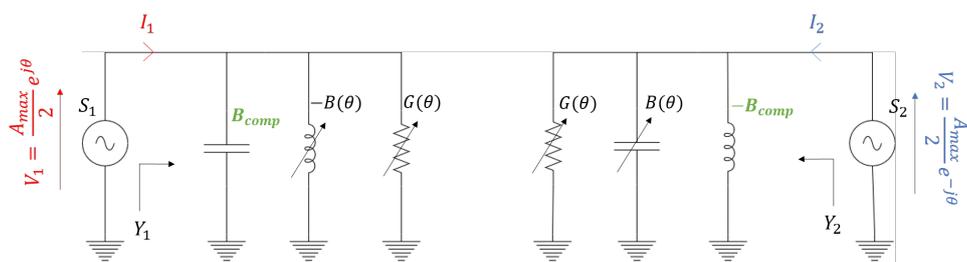
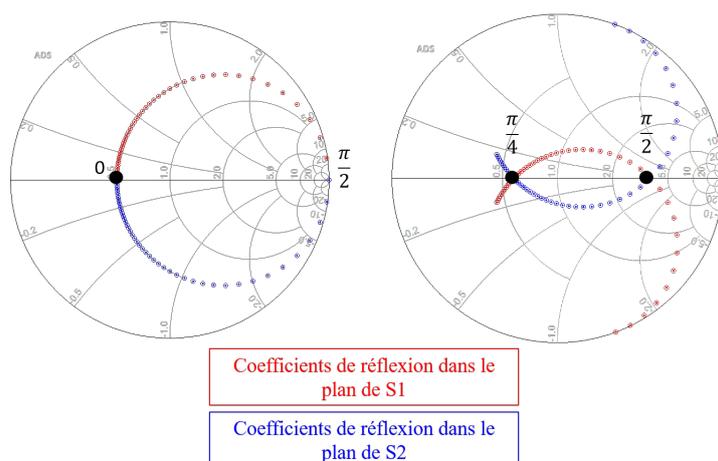


FIGURE II.11 – Compensation de la partie imaginaire des admittances présentée par Chireix.



Coefficients de réflexion dans le plan de S1

Coefficients de réflexion dans le plan de S2

FIGURE II.12 – Trajectoire des coefficients de réflexion en fonction de l'angle d'Outphasing θ sans compensation (gauche) et avec compensation (droite)

Ainsi, les équations des admittances prennent l'allure suivante :

$$Y_1 = \frac{I_1}{V_1} = \frac{2.R_{ch}\cos^2(\theta)}{Z_c^2} - j\frac{R_{ch}[\sin(2\theta) - \sin(\theta_{comp})]}{Z_c^2} = G(\theta) - j[B(\theta) - B_{comp}] \quad (\text{II.12})$$

$$Y_2 = \frac{I_2}{V_2} = \frac{2.R_{ch}\cos^2(\theta)}{Z_c^2} + j\frac{R_{ch}[\sin(2\theta) - \sin(\theta_{comp})]}{Z_c^2} = G(\theta) + j[B(\theta) - B_{comp}] \quad (\text{II.13})$$

Le rendement avec la technique de compensation proposée par Chireix devient alors :

$$\eta_{chireix}(\%) = \frac{\pi}{4} \frac{G}{\sqrt{G^2 + (B - B_{comp})^2}} = \frac{\pi}{4} \frac{2\cos^2(\theta)}{\sqrt{4\cos^4(\theta) + [\sin(2\theta) - \sin(2\theta_{comp})]^2}} \quad (\text{II.14})$$

Le choix des valeurs des éléments localisés pour effectuer cette compensation permet d'améliorer grandement le rendement de l'architecture sur une dynamique importante de puissance de sortie. Un rendement élevé est ainsi maintenu sur des back-off aux alentours de 10 dB, comme présenté sur la Figure II.13. Pour le tracé de cette figure, on considère la puissance RF maximale

et on trace l'évolution du rendement en fonction du recul en puissance (OBO) par rapport à ce maximum de puissance. Cette technique se prête à l'utilisation de signaux modulés à fort PAPR, mais reste limitée en bande passante en raison de l'utilisation de lignes quart d'onde et des éléments passifs fixes capacitif et inductif de compensation.

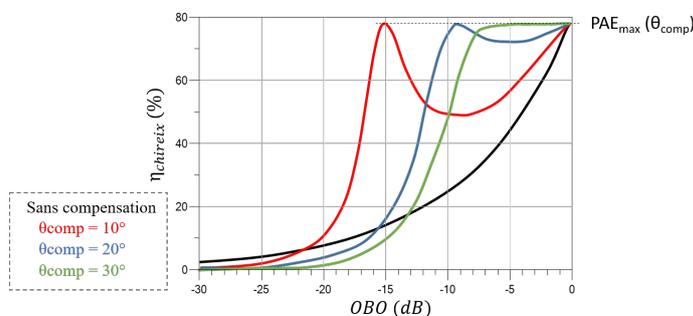


FIGURE II.13 – Evolution des courbes de rendement pour différentes valeurs d'angle de compensation, et donc de susceptances.

Un inconvénient majeur de cette technique réside dans la nécessité de réaliser un traitement complexe des signaux pour transformer le signal modulé initial ce qui a forcément un coût dans un contexte d'application large bande. Cette technique pour laquelle les transistors opèrent en mode saturé et en présence de partie réactive d'impédance de charge n'est pas très appropriée en terme de stress RF des transistors.

2.1.2 L'amplificateur Doherty

Fonctionnement général d'un amplificateur Doherty conventionnel

L'amplificateur Doherty, inventé par W. Doherty [48], était initialement constitué de tubes microondes. Cette architecture, présentée en 1936, permet d'améliorer fortement le rendement des amplificateurs pour des fonctionnements en recul de puissance par rapport à la puissance saturée. Utilisée avec de nouveaux matériaux semi-conducteurs tels que le GaN, cette architecture d'amplification constitue une référence couramment utilisée de nos jours dans les stations de base pour les radiocommunications terrestres [49].

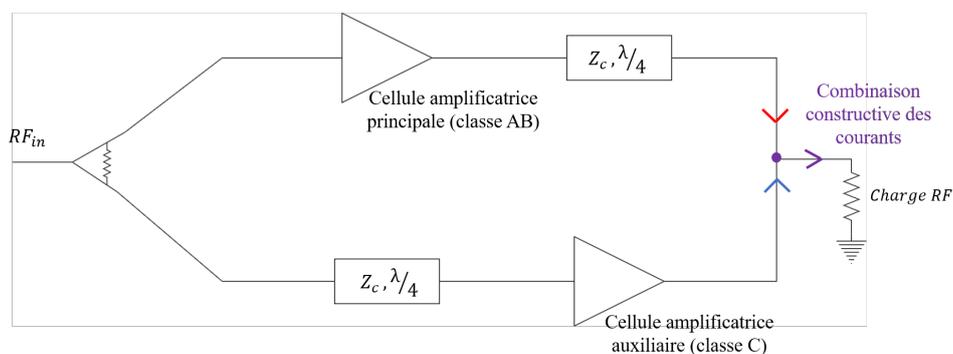


FIGURE II.14 – Représentation d'une architecture Doherty conventionnelle

L'architecture conventionnelle représentée Figure II.14 est composée d'un diviseur de puissance Wilkinson. Une partie de la puissance d'entrée va être injectée dans un amplificateur principal, appelé également « main », polarisé en classe AB, qui va voir son impédance de charge varier avec le niveau de puissance d'entrée. Cette variation est provoquée par la mise en conduction du second amplificateur appelé amplificateur auxiliaire ou « peaking » qui est polarisé en classe C. La combinaison de puissance s'effectue au travers d'une ligne quart d'onde en sortie de la branche principale. Pour compenser le retard de phase de transmission introduit par cette ligne quart d'onde, une seconde ligne, de caractéristiques identiques, introduisant un déphasage de -90° , est positionnée en entrée de l'amplificateur polarisé en classe C.

Etude analytique simplifiée d'un amplificateur Doherty

Afin de permettre une comparaison avec l'architecture LMBA (Load Modulated Balanced Amplifier) qui est au centre de ces travaux de thèse et qui va être décrite par la suite, une description théorique du DPA (Doherty Power Amplifier) va être présentée. Pour que la comparaison soit à la fois claire et simplifiée, deux sources de courant idéales représentatives du courant de drain au fondamental délivré par des transistors sont considérées. Dans un souci de simplification, les deux sources de courant représentent deux transistors polarisés en classe B idéale. Les composantes harmoniques sont considérées comme idéalement court-circuitées. La source de courant représentative de la voie auxiliaire ne sera déclenchée que à partir d'un certain seuil. L'étude ne sera pas détaillée dans sa globalité, seuls les principaux résultats vont être présentés. Pour plus de compléments on pourra se référer à [50].

Le circuit équivalent à la fréquence fondamentale du montage Doherty est représenté Figure II.15.

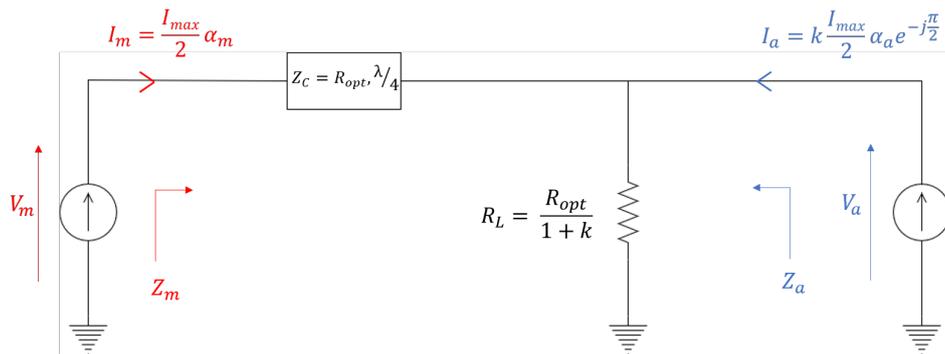


FIGURE II.15 – Combinaison en sortie du DPA avec deux transistors asymétriques. Quand $k=1$, la combinaison en sortie est symétrique.

Pour les calculs de rendement, on considérera également les composantes continues associées à un fonctionnement idéal en classe B comme représenté Figure I.16.

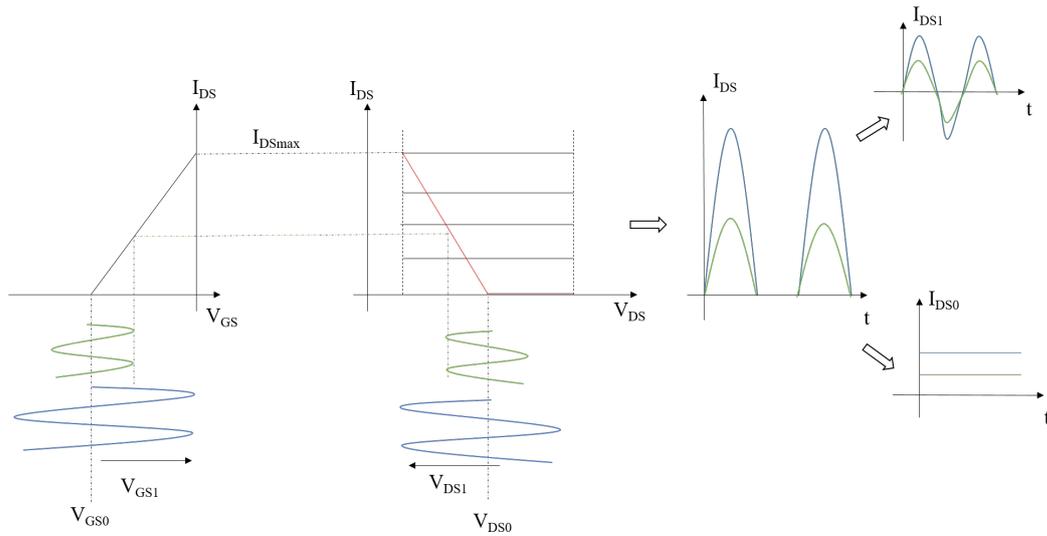


FIGURE II.16 – Caractéristiques I/V idéales d'un transistor en classe B idéal pour illustrer le fonctionnement d'un amplificateur Doherty.

Les variables α_m et α_a , comprises entre 0 et 1, sont les variables de contrôle des sources de courant principale et auxiliaire respectivement. Pour une valeur de ces coefficients égale à 1, les deux voies vont délivrer le maximum de leur courant au fondamental. L'ajout d'un autre facteur k dans l'équation régissant l'évolution du courant I_a , permet de dissymétriser les courants injectés, et donc d'illustrer l'impact de l'emploi de transistors de tailles différentes sur les deux voies. La charge R_L , connectée au nœud commun est :

$$R_L = \frac{R_{opt}}{1 + k} \quad (\text{II.15})$$

Où R_{opt} est la charge optimale au fondamental du transistor principal tel que $R_{opt} = \frac{2V_{DS0}}{I_{DSmax}}$.

Dans le cas d'un amplificateur Doherty conventionnel, le seuil de déclenchement de la voie auxiliaire s'effectue pour un recul de puissance de 6 dB par rapport à la puissance de sortie saturée. Ce cas correspond à un coefficient $k = 1$, et l'impédance connectée au nœud de combinaison est $R_L = \frac{R_{opt}}{2}$.

L'amplificateur auxiliaire ne rentre en conduction qu'à partir de l'instant où la tension au fondamental V_{DS1} aux bornes du principal atteint sa valeur maximale soit : $V_{DS1} = V_{DS0}$. Cela se produit à un courant I_m proportionnel à :

$$\alpha_m = \frac{1}{1 + k} = \alpha_{BO} \quad (\text{II.16})$$

A partir de ce point de back-off, la source de l'auxiliaire commence à délivrer son courant. La variable α_a doit prendre la valeur appropriée pour obtenir une modulation de charge complète

et un rendement maximal sur toute la dynamique de puissance visée. Une contrainte doit être prise en compte à ce stade de l'étude : les tensions V_m et V_a ne doivent pas dépasser la valeur de la tension de polarisation V_{DS0} . Dans ce cas :

$$|V_m|_{max} = V_{DS0}[(1+k)\alpha_m - k\alpha_a] = V_{DS0} \quad (\text{II.17})$$

$$|V_a| = V_{DS0}\alpha_m \quad (\text{II.18})$$

Cette contrainte sur la tension aux bornes du principal permet de déterminer la valeur du coefficient α_a :

$$\alpha_a = \frac{1+k}{k}\alpha_m - \frac{1}{k} \quad (\text{II.19})$$

Pour un back-off conventionnel de 6 dB, l'amplificateur auxiliaire délivrera la même quantité de courant au fondamental que l'amplificateur principal au point de saturation.

Le rendement s'écrit alors :

$$\eta = \frac{\pi}{4}\alpha_m(1+k) \text{ pour } \alpha_m \leq \alpha_{BO} \quad (\text{II.20})$$

$$\eta = \frac{\pi}{4} \frac{\alpha_m^2(1+k)}{2\alpha_m + k\alpha_m - 1} \text{ pour } \alpha_m \geq \alpha_{BO} \quad (\text{II.21})$$

Les allures des tensions, courants et impédances normalisés, ainsi que le rendement, sont présentés sur la Figure II.17, pour différentes valeurs du facteur d'asymétrie k . Cela permet d'obtenir une plage de modulation de $\beta R_{opt} \rightarrow R_{opt}$ où β vaut :

$$\beta = \frac{1}{\alpha_{BO}} = 1+k \quad (\text{II.22})$$

Autrement dit, pour maintenir un rendement élevé sur plus de 6 dB de back-off, le courant fourni par la voie auxiliaire doit être supérieur à celui de la voie principale, ce qui induit classiquement l'utilisation d'un transistor plus gros. La plage de recul en puissance se détermine alors grâce à l'équation suivante :

$$OBO = 20\log(\beta) = 20\log(1+k) \quad (\text{II.23})$$

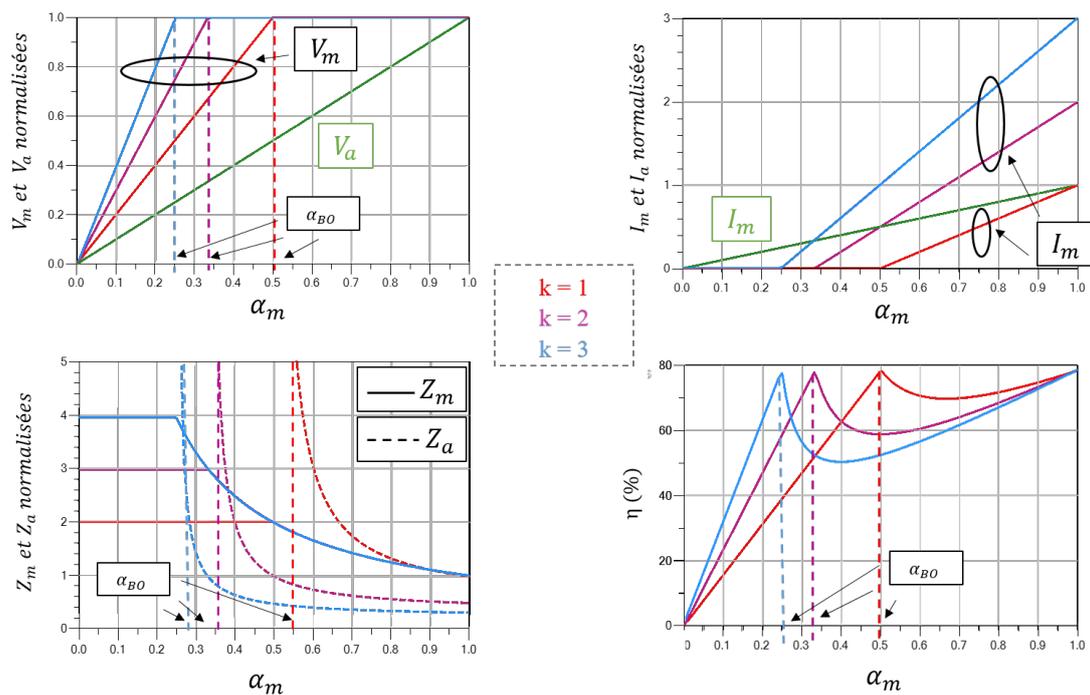


FIGURE II.17 – Evolution des tensions, courants, impédances et du rendement suivant le facteur d'asymétrie k . Z_m et Z_a sont normalisées par rapport à R_{opt} , I_a et I_m par rapport à $\frac{I_{max}}{2}$, V_a et V_m par rapport à V_{DS0} .

Pour approfondir l'analyse, les éléments parasites, modélisés par une capacité parallèle C_{out} et une self série L_{out} , doivent être pris en compte. Pour pallier à la baisse de la bande passante notamment en recul de puissance provoquée par la ligne quart d'onde, et par le facteur de qualité plus important de l'impédance associée au drain du FET, il a été proposé dans [51] d'incorporer ces éléments parasites dans la fonction inverseur d'impédance réalisée par la ligne quart d'onde, comme illustré sur la Figure II.18.

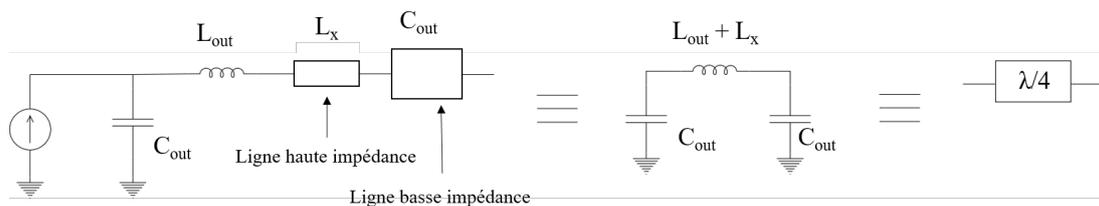


FIGURE II.18 – Schéma de principe de l'inverseur d'impédance.

Il a été considéré jusqu'alors un amplificateur auxiliaire polarisé en classe B idéale. Dans la réalité, celui-ci est polarisé en classe C, ce qui implique que le courant fourni au fondamental sera inférieur à celui attendu pour un transistor de taille identique polarisé comme dans l'étude précédente. En prenant en compte tous ces paramètres et en écrivant les équations associées (non détaillées dans ce manuscrit), pour effectuer une modulation de $2R_{opt} \rightarrow R_{opt}$ (soit $k=1$ pour une architecture conventionnelle), le transistor auxiliaire nécessite d'être 2,55 fois plus gros que le transistor principal.

2.2 Architecture isolée : l'amplificateur séquentiel

L'amplificateur séquentiel (SPA), proposée en 2006 par Steve Cripps [52], n'est pas une architecture qui réalise une modulation de charge pour les cellules actives constituantes. C'est en fait une architecture de combinaison de puissance de sortie de deux voies d'amplification non symétriques. Cette architecture est décrite ici car ce principe de combinaison de puissance est utilisé dans certaines variantes de l'architecture LMBA que nous aborderons par la suite.

La structure de l'amplificateur séquentiel est composée de deux voies d'amplification synchrones qui sont combinées en sortie au moyen d'un coupleur directif comme représenté Figure II.19. Pour le fonctionnement à bas niveau, seul l'amplificateur principal, polarisé en classe AB/B est fonctionnel. L'amplificateur auxiliaire qui est polarisé en classe C n'est pas déclenché. Dès lors que l'amplificateur principal arrive à la saturation, l'amplificateur auxiliaire qui est de taille supérieure à celle de l'amplificateur principal commence à conduire. Ainsi, la compression de gain du principal est compensée, car l'augmentation de la puissance de sortie nécessaire est fournie par l'auxiliaire pour que le gain global reste constant.

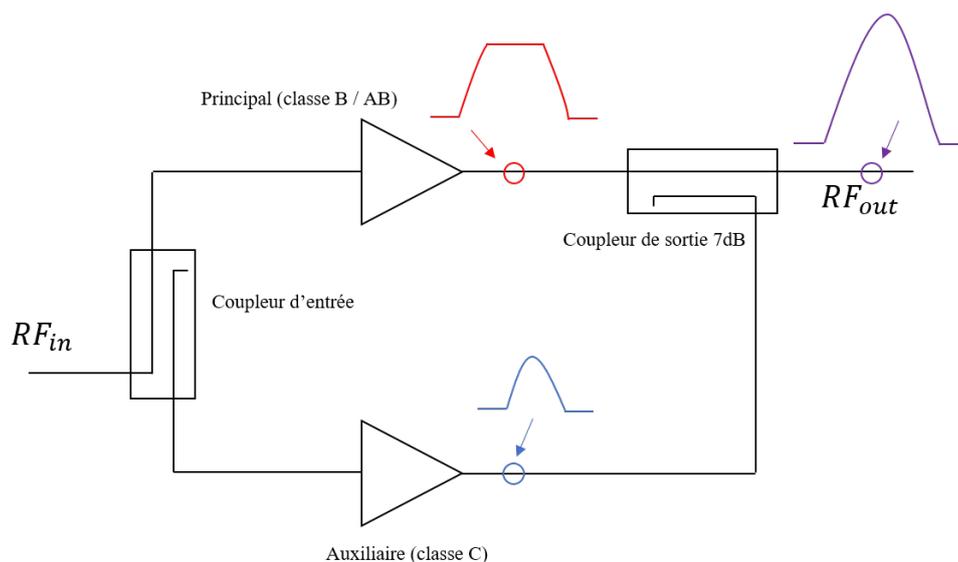


FIGURE II.19 – Principe de fonctionnement d'un amplificateur séquentiel [51].

L'ajustement pour que l'architecture soit une architecture à haut rendement se fait par le choix du couplage (optimum aux alentours de 7 dB), du seuil de déclenchement et de la puissance qui doit être fournie par l'amplificateur auxiliaire [53]-[54]-[55]. Ce concept présente tout de même deux inconvénients majeurs.

Le bilan de combinaison de puissance n'est pas optimal puisqu'une partie non négligeable de puissance est absorbée dans la terminaison interne 50Ω du coupleur directif de sortie, du fait du niveau de couplage requis (7 dB).

A fort niveau, l'amplificateur de la voie principale est fortement saturé ce qui laisse présager de mauvaises performances en linéarité de cette structure.

3 Le LMBA : une architecture quasi-isolée d'amplificateur de puissance à haut rendement

3.1 L'architecture LMBA à deux entrées RF

3.1.1 Principe général

L'architecture LMBA pour Load Modulated Balanced Amplifier a été proposée pour la première fois en 2016 par l'université de Cardiff [56]. Elle est basée sur une topologie équilibrée de deux amplificateurs de puissance identiques comme représenté sur la Figure II.20.

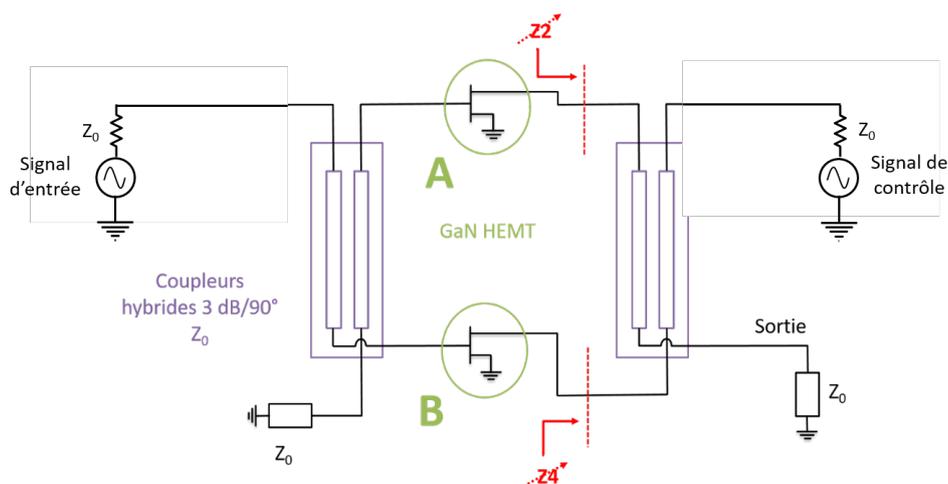


FIGURE II.20 – Principe de fonctionnement d'un amplificateur équilibré à charge modulée : LMBA.

Cette structure équilibrée est constituée de deux coupleurs hybrides d'impédance caractéristique Z_0 , positionnés en entrée et en sortie. Les accès isolés sont terminés par une même charge Z_0 . L'architecture LMBA diffère d'un amplificateur équilibré classique par l'injection, sur le port isolé du coupleur de sortie, d'un signal de contrôle externe. Ainsi, en faisant varier l'amplitude et la phase de ce signal de contrôle qui est synchrone avec le signal d'entrée, il est possible de moduler les impédances vues par les deux cellules de puissance. Le LMBA, au même titre que l'amplificateur Doherty, est donc une architecture à modulation de charge active qui permet la gestion de puissance à haut rendement.

Cette architecture avec un accès spécifique connecté à un signal de contrôle se présente sous la forme d'un amplificateur reconfigurable. On peut citer trois références bibliographiques caractéristiques pour démontrer le potentiel large bande et haut rendement de cette architecture.

| Bande de fréquence (GHz) | Technologie | Rendement de drain à 6 dB d'OBO | Rendement de drain à la saturation |
|--------------------------|---------------|---------------------------------|------------------------------------|
| [56] Bande L [0.8 - 2] | GaN Wolfspeed | 50-65 % | 65-85 % |
| [57] Bande C [4.5 - 7.5] | GaN Qorvo | 28-60 % | 47-77 % |
| [58] Bande X [8 - 9] | GaN Win | PAE > 47 % | |

Tableau II.1 – Etat de l'art des LMBA dual-input.

A noter toutefois que dans les travaux référencés ci-dessus, l'impact sur le rendement d'une implémentation analogique de la voie de contrôle n'est pas précisément pris en compte mais est basé sur l'estimation d'un circuit qui aurait intrinsèquement un rendement de 70 %.

Pour démontrer la capacité de cette architecture à satisfaire des applications de type station de base pour radiocommunications, les mêmes auteurs montrent dans [59] une réalisation dans la bande 1,7-2,5 GHz en technologie GaN Wolfspeed en utilisant trois transistors de classe 25 W, ce qui permet de faire la démonstration d'un amplificateur pouvant délivrer une puissance totale de sortie de 75 W. La topologie reste de type « dual input » de manière à émuler par une instrumentation de laboratoire différentes pondérations en amplitude et phase du signal appliqué en entrée de la voie analogique de contrôle. Les performances rapportées sont une puissance maximale de sortie comprise entre 63 et 78 W, pour une PAE supérieure à 48 %, 43 % et 39 % respectivement à la saturation, à 6 et 8 dB d'OBO.

Orthogonal LMBA

Dans la référence [60], les auteurs proposent une architecture modifiée de LMBA pour laquelle le signal de contrôle est connecté sur l'accès isolé du coupleur hybride d'entrée. Dans ce cas, pour que la modulation de charge s'effectue, il faut connecter sur l'accès non utilisé du coupleur hybride de sortie une charge passive purement réactive (jX), comme indiqué sur le schéma de la Figure II.21.

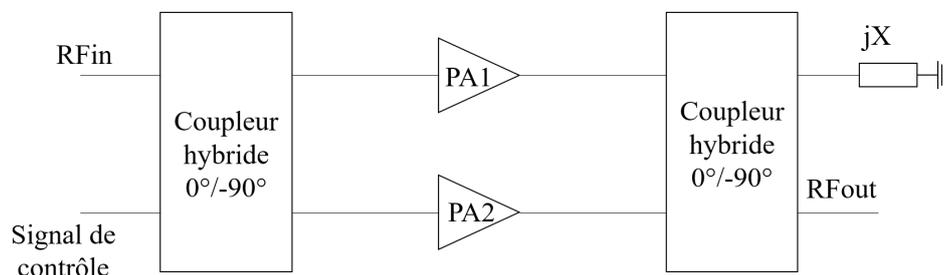


FIGURE II.21 – Principe de fonctionnement du OLMBA.

Le démonstrateur proposé offre une puissance de 30 W et un rendement de 50 % dans la bande [0.65 ; 3.25] GHz. Pour cela, une configuration de type « Dual-input » est émulée par une instrumentation de laboratoire à deux canaux RF synchrones. Un intérêt tout à fait intéressant de cette topologie réside dans le fait que le niveau de puissance du signal de contrôle est plus

faible que celui qui est nécessaire si l'on injecte le signal de contrôle par le coupleur hybride de sortie. Par ailleurs, un réglage adéquat de la réactance jX permet de compenser des déséquilibres de phase et d'amplitude inhérents aux coupleurs hybrides notamment en bord de bande de fonctionnement.

Le réglage d'une telle architecture apparaît cependant assez complexe et n'a donné que peu de développements à ce jour.

3.1.2 Etude analytique du LMBA « Dual-Input »

Afin de comprendre le phénomène de modulation de charge produit par cette architecture, l'analyse du coupleur de sortie est primordiale [56]. Vont être considérés ici des transistors représentés par des sources de courant idéales purement transconductives et linéaires. Par souci de simplification, les courants délivrés par les sources de courant seront les composantes de courant de drain au fondamental et au continu fournies par un transistor polarisé en classe B idéale.

Avec la même démarche que celle suivie pour la description de l'amplification de type Doherty on notera les quantités de Fourier suivantes pour la fréquence fondamentale :

$$I_{DS1} = \frac{I_{max}}{2} \alpha_B \quad (\text{II.24})$$

et pour la composante au continu :

$$I_{DS0} = \frac{I_{max}}{\pi} \alpha_B \quad (\text{II.25})$$

Ainsi, lorsque le coefficient α_B sera maximal, soit égal à 1, les deux amplificateurs équilibrés délivreront le maximum de leur courant à la fréquence fondamentale.

Concernant la voie de contrôle, on définit le module du courant à la fréquence fondamentale :

$$I_{DS1c} = \frac{I_{max}}{2} \alpha_C \quad (\text{II.26})$$

et la composante au continu :

$$I_{DS0c} = \frac{I_{max}}{\pi} \alpha_C \quad (\text{II.27})$$

Où α_C est un coefficient compris entre 0 et une valeur α_{Cmax} , la quantité de courant à fournir par la source de la voie de contrôle n'étant pas définie à ce stade de l'étude . On définira par ϕ_C le déphasage de ce courant de contrôle par rapport au courant fourni par la voie en quadrature du montage équilibré. Les harmoniques seront considérées comme étant court-circuitées. Toutes ces conventions sont résumées sur la Figure II.22.

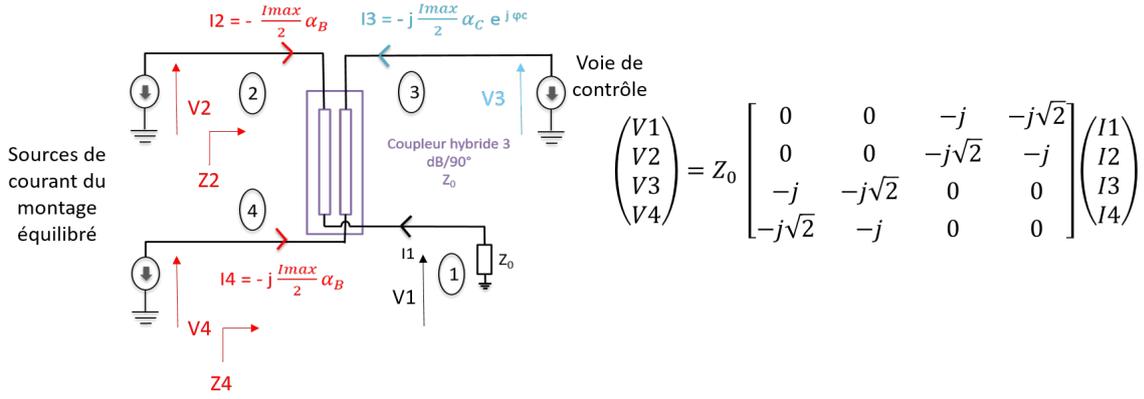


FIGURE II.22 – Représentation du circuit de sortie du LMBA avec des sources de courant à la fréquence fondamentale et matrice $[Z]$ du coupleur hybride associée.

En partant de la matrice impédance du coupleur de sortie, associée aux équations des courants entrant sur chacun des accès de ce coupleur, on peut déterminer les impédances présentées aux sources de courants dites équilibrées :

$$Z_2 = \frac{V_2}{I_2} = Z_0 \frac{(-j \sqrt{2} I_3 - j I_4)}{I_2} = Z_0 \left(1 + \frac{\sqrt{2} \alpha_C}{\alpha_B} e^{j\phi_C} \right) \quad (\text{II.28})$$

$$Z_4 = \frac{V_4}{I_4} = Z_0 \frac{(-j \sqrt{2} I_1 - j I_2)}{I_4} = Z_0 \left(1 + \frac{\sqrt{2} \alpha_C}{\alpha_B} e^{j\phi_C} \right) \quad (\text{II.29})$$

Les impédances Z_2 et Z_4 sont donc identiques et idéalement modulées de la même façon selon les variations en amplitude et phase du courant de contrôle. Ce circuit qui réalise la fonction de load-pull actif peut donc permettre, théoriquement, d'atteindre les lieux optima d'impédance de charge au fondamental des transistors constituant l'amplificateur équilibré.

L'architecture LMBA présente également la particularité de générer, à la sortie de l'amplificateur, la somme des puissances actives délivrées par les trois sources de courant idéales. Les puissances à chacun des accès s'écrivent comme suit :

$$P_2 = \frac{1}{2} \text{Re}(V_2 I_2^*) = \frac{1}{2} Z_0 \left(\frac{I_{max}}{2} \right)^2 [\alpha_B^2 + \sqrt{2} \alpha_B \alpha_C \cos(\phi_c)] \quad (\text{II.30})$$

$$P_4 = \frac{1}{2} \text{Re}(V_4 I_4^*) = \frac{1}{2} Z_0 \left(\frac{I_{max}}{2} \right)^2 [\alpha_B^2 + \sqrt{2} \alpha_B \alpha_C \cos(\phi_c)] \quad (\text{II.31})$$

$$P_3 = \frac{1}{2} \text{Re}(V_3 I_3^*) = \frac{1}{2} Z_0 \left(\frac{I_{max}}{2} \right)^2 \alpha_C^2 \quad (\text{II.32})$$

$$P_1 = -\frac{1}{2} \text{Re}(V_1 I_1^*) = \frac{1}{2} Z_0 \left(\frac{I_{max}}{2}\right)^2 \alpha_C^2 + Z_0 \left(\frac{I_{max}}{2}\right)^2 [\alpha_B^2 + \sqrt{2} \alpha_B \alpha_C \cos(\phi_C)] \quad (\text{II.33})$$

Soit,

$$P_1 = P_2 + P_3 + P_4 \quad (\text{II.34})$$

Le ratio α entre la puissance injectée par la voie de contrôle et par l'un des deux amplificateurs équilibrés est un critère important, définissant le ratio de taille requis pour implémenter la modulation de charge requise

$$\alpha = \frac{P_3}{P_2} = \frac{P_3}{P_4} = \frac{\alpha_C^2}{\alpha_B^2 \text{Re}\left[\frac{Z_{2/4}}{Z_0}\right]} \quad (\text{II.35})$$

D'après (II.28) et (II.29),

$$\alpha = \frac{2 \cdot |\Gamma_{2/4}|^2}{1 - |\Gamma_{2/4}|^2} \quad (\text{II.36})$$

Avec,

$$\Gamma_{2/4} = \frac{Z_{2/4} - Z_0}{Z_{2/4} + Z_0} \quad (\text{II.37})$$

On peut donc obtenir le module au carré du coefficient de réflexion, correspondant aux impédances Z_2 et Z_4 , dont l'évolution est régie par l'équation suivante :

$$|\Gamma_{2/4}|^2 = \frac{\alpha}{2 + \alpha} \quad (\text{II.38})$$

Le ratio α définit un contour circulaire centré sur le centre de l'abaque normalisée par rapport à Z_0 . Ce facteur représente la plage d'impédance qui peut être modulée depuis cette impédance Z_0 appelée « impédance d'origine ». A titre d'exemple, pour une plage de modulation purement réelle allant de $2R_{opt}$ à R_{opt} , ce rapport α vaut 0.25. Autrement dit, la puissance nécessaire à injecter sur la voie de contrôle est 4 fois inférieure à celle qui est délivrée par l'un des deux amplificateurs équilibrés. Cette puissance est donc huit fois inférieure à la somme des puissances des amplificateurs équilibrés. Ceci est à mettre en rapport avec l'étude précédente Doherty pour laquelle il a été vu qu'une puissance identique sur la voie principale et sur la voie auxiliaire est nécessaire pour effectuer la même modulation de charge ($2 R_{opt} \rightarrow R_{opt}$).

3.2 L'architecture LMBA RF input

L'architecture LMBA avec deux accès RF présente le désavantage d'une complexité accrue pour être intégrée dans un émetteur car cela nécessite la présence de deux voies RF synchrones et l'ajout de circuits numériques pour implémenter les lois de commande en amplitude et en phase qu'il convient d'appliquer au signal de la voie de contrôle.

Avec le souhait d'opérer avec une architecture complètement analogique, plusieurs architectures LMBA dite « single-input » ont été introduites.

3.2.1 L'amplificateur LMBA « Doherty-Like »

Une première approche qui concerne l'implémentation d'un LMBA avec un amplificateur de contrôle en classe C, appelée « Doherty-Like LMBA » (Figure II.23.) est présentée dans [61] et [62]. L'amplificateur de contrôle pourra être assimilé à l'amplificateur auxiliaire et les amplificateurs équilibrés à l'amplificateur principal de la topologie Doherty. Les transistors de l'amplificateur équilibré sont polarisés en classe B idéale pour cette étude.

Cette approche est intéressante dans la mesure où elle permet de développer une étude analytique similaire à celle menée pour l'étude de l'amplificateur Doherty. Cette étude qui est basée sur des critères de variations d'impédance optimale réelle depuis le point de back-off de puissance jusqu'à la saturation ainsi que sur le maintien de la tension RF de drain V_{DS1} maximale permet une meilleure compréhension du fonctionnement du LMBA, sur des critères de tension, courant et de cycle de charge.

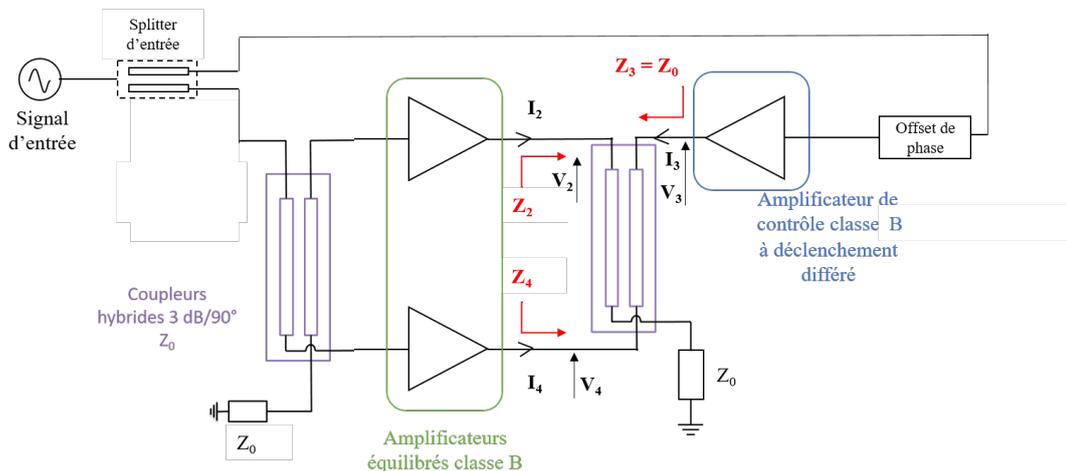


FIGURE II.23 – Schéma bloc de l'amplificateur LMBA avec un comportement « Doherty-Like ».

Les transistors sont représentés comme dans la partie précédente par une source de courant intrinsèque idéale délivrant la composante de courant au fondamental.

On suppose toujours un fonctionnement en classe B idéale avec zone ohmique négligée pour les amplificateurs équilibrés.

Il n'est pas pris en compte les éléments extrinsèques associés à la source de courant de drain d'un transistor. Les composantes harmoniques sont court-circuitées. Les sources de courant des trois transistors vont délivrer les quantités de fondamental suivantes :

$$I_2 = -\frac{I_{max}}{2}\alpha_B \text{ avec } 0 \leq \alpha_B \leq 1 \quad (\text{II.39})$$

$$I_4 = -j\frac{I_{max}}{2}\alpha_B \text{ avec } 0 \leq \alpha_B \leq 1 \quad (\text{II.40})$$

$$I_3 = -j\frac{I_{max}}{2}\alpha_C e^{j\phi_C} \text{ avec } 0 \leq \alpha_C \leq \alpha_{Cmax} \quad (\text{II.41})$$

L'impédance caractéristique du coupleur Z_0 , qui correspond à la notion de « impédance d'origine » préalablement citée, peut être liée à la taille des transistors au moyen d'un paramètre β défini comme suit :

$$Z_0 = \beta R_{opt} = \beta \frac{V_{DS1}}{I_{DS1}} = 2\beta \frac{V_{DS0}}{I_{max}} \quad (\text{II.42})$$

R_{opt} représente ici l'impédance optimale pour le fonctionnement fort signal à la saturation du transistor utilisé pour l'amplificateur équilibré. Pour un comportement « Doherty-Like », le transistor de contrôle ne doit pas délivrer de courant avant le point de back-off, c'est-à-dire le point à partir duquel les transistors équilibrés commencent à saturer avec leur tension V_{DS1} au fondamental qui atteint la valeur V_{DS0} . Avant ce point, les tensions V_2 et V_4 vont augmenter proportionnellement à α_B . Dès lors que du courant est injecté sur le port isolé du coupleur de sortie, ces tensions aux bornes de la source de courant intrinsèque idéale des voies en quadrature doivent rester égales à V_{DS0} . Cette contrainte permet d'obtenir le maximum de rendement sur la plage complète de modulation visée. Les tensions V_2 et V_4 , en quadrature, aux bornes des sources de courant intrinsèques des transistors qui composent la voie équilibrée sont représentées dans le repère de Fresnel de la Figure II.24.

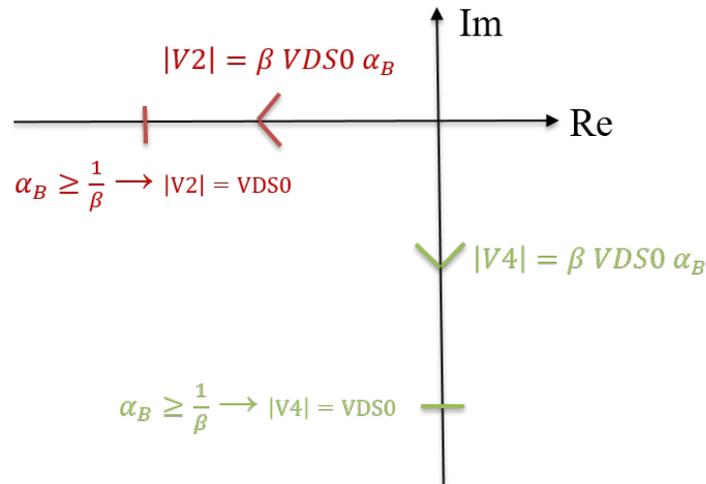


FIGURE II.24 – Représentation des tensions au fondamental aux bornes des sources de courant équilibrées

Connaissant la matrice impédance du coupleur de sortie, ainsi que la relation (II.42), on peut alors écrire :

$$|V_4| = |V_2| = \beta V_{DS0} \sqrt{\alpha_B^2 + 2\sqrt{2}\alpha_B\alpha_C\cos\phi_C + 2\alpha_C^2} = V_{DS0} \quad (\text{II.43})$$

Il est alors possible de déterminer la quantité de courant au fondamental que doit délivrer le transistor de contrôle pour maximiser le rendement sur une plage de modulation allant de $\beta R_{opt} \rightarrow R_{opt}$ avec $\beta > 1$, soit, en résolvant l'égalité ci-dessus :

$$\alpha_C = 0 \text{ pour } \alpha_B < \frac{1}{\beta} \quad (\text{II.44})$$

$$\alpha_C = \frac{\beta\alpha_B - 1}{\beta\sqrt{2}} \text{ pour } \alpha_B > \frac{1}{\beta} \text{ et } \phi_C = \pi \quad (\text{II.45})$$

Pour que la modulation de charge des transistors de l'amplificateur équilibré corresponde à une diminution d'impédance vue dans le plan des sources de courant, et au regard des équations (II.28) et (II.29), la phase ϕ_C du courant de contrôle doit prendre la valeur de π .

Suivant la plage de modulation visée, il est possible de déterminer sur quelle dynamique de puissance de sortie il est possible de maintenir un rendement maximal :

$$OBO = 10.\log\left(\beta + \frac{(\beta - 1)^2}{4}\right) \quad (\text{II.46})$$

La Figure II.25 présente l'allure du rendement en fonction de la puissance de sortie en dBm (a), et les variations d'impédance au niveau de la source de courant intrinsèque des transistors équilibrés (b). Cette dernière courbe est tracée en fonction de α_B , soit en fonction de l'évolution du courant au fondamental délivré par chacune des sources de courant des amplificateurs équi-

librés. Ces courbes représentent chacune une valeur de β : $\beta = 2$ (vert) ; $\beta = 3$ (rose) ; $\beta = 4$ (bleu).

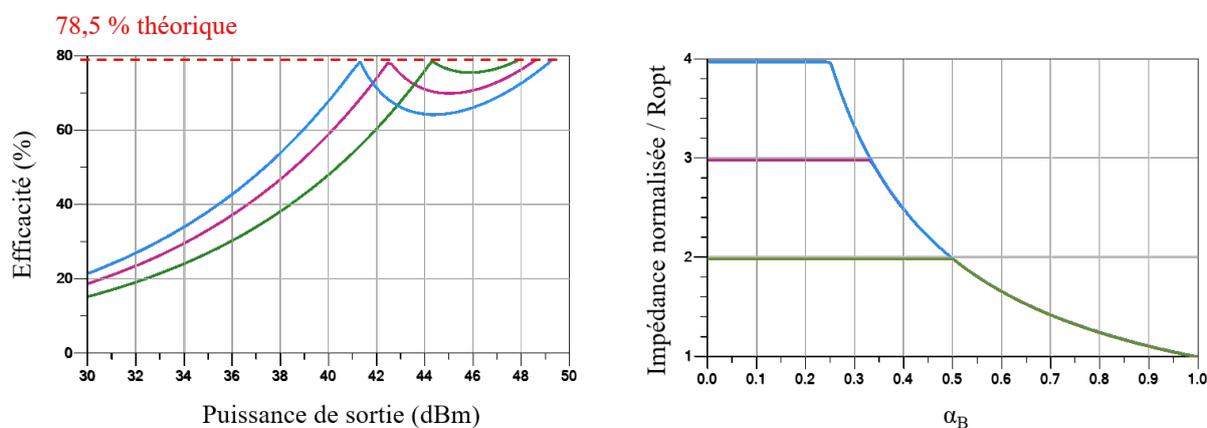


FIGURE II.25 – Rendement de drain et variations des impédances normalisées par rapport à R_{opt} suivant le choix de la valeur de β (R_{opt} est l'impédance optimale à la saturation). La puissance de sortie correspond à la puissance de sortie d'un LMBA composé de transistor en boîtier plastique de 25 W.

Dans cette étude, pour effectuer une modulation de charge active sur une large dynamique de puissance de sortie, le LMBA nécessite un courant de contrôle au fondamental toujours inférieur à celui des deux transistors équilibrés, comme le soulignent le Tableau II.2 et la Figure II.26. Pour un back-off donné, le LMBA a besoin d'une injection sur la voie de contrôle plus faible que l'injection de courant assurée par la voie auxiliaire dans l'architecture Doherty.

| β | α_{Cmax} | OBO (dB) |
|---------|-----------------|----------|
| 2 | 0.35 | 3.55 |
| 3 | 0.47 | 5.94 |
| 4 | 0.53 | 7.95 |

Tableau II.2 – Taille du transistor de contrôle et plage de recul en puissance obtenus pour différentes valeurs de β .

En revanche la tension aux bornes de la source idéale du contrôle devient supérieure à V_{DS0} à partir d'une valeur $\beta > 2.41$. Rappelons que $V_{DS0} = V_{DS1max}$ est ici définie comme étant la valeur maximale de la tension de drain au fondamental des transistors équilibrés. C'est donc également la valeur maximale à ne pas dépasser dans le cas où le transistor utilisé sur la voie de contrôle est polarisé sur le drain comme les deux transistors équilibrés. Cette limite se pose dans un souci de préserver les composants qui, pour une tension DC de drain trop forte, pourraient subir une dégradation non souhaitée. Cette problématique sera discutée par la suite.

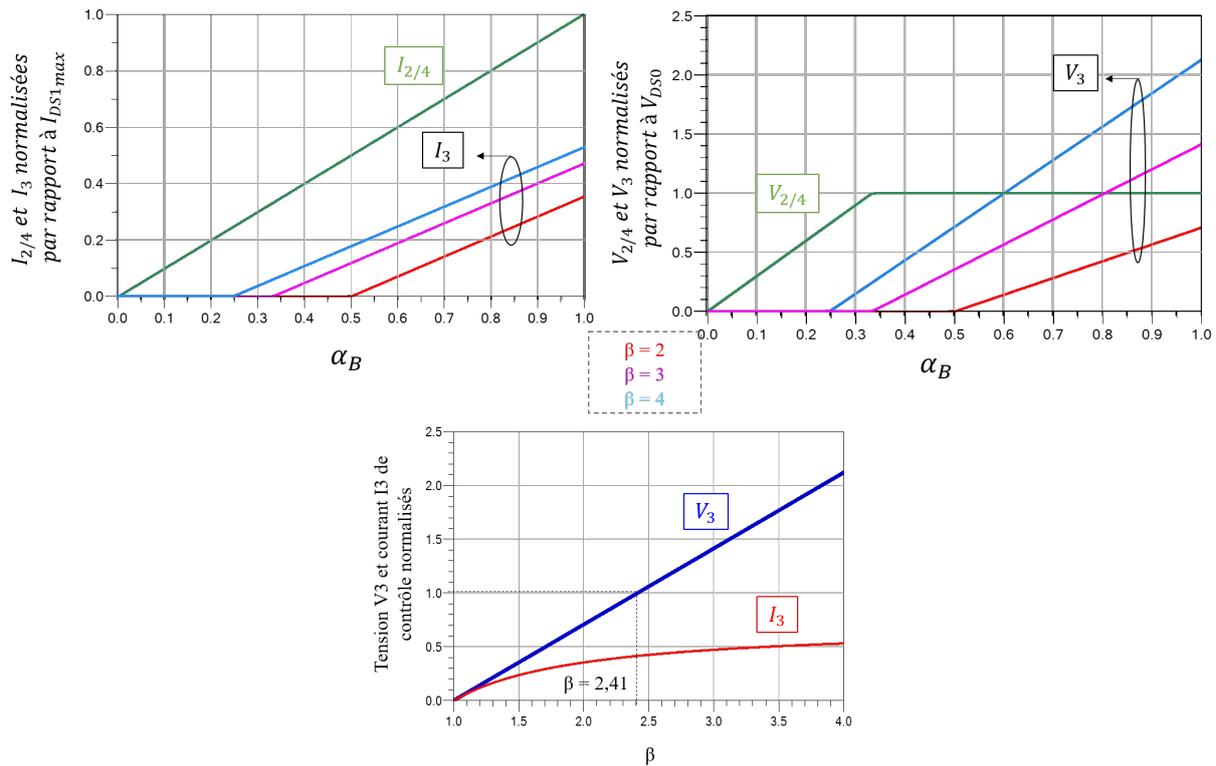


FIGURE II.26 – Evolution des courants et tensions au niveau des trois sources de courants. Tensions (bleu) et courants (rouge) de la source de courant de contrôle normalisés par rapport à V_{DS0} et I_{DS1max} des sources de courant équilibrées intrinsèques en fonction de β .

3.2.2 Le LMBA large bande

Comme il a été démontré et illustré dans le chapitre I, les lieux de load-pull associés aux performances optimales en PAE et en puissance délivrée d'un transistor varient dans le sens trigonométrique avec la fréquence. Si on augmente la puissance disponible d'entrée pour atteindre les capacités de puissance de saturation du transistor, l'analyse de type load pull indique typiquement des lieux d'impédance optima qui ont tendance à se rapprocher du centre de l'abaque, car la résistance optimale associée a tendance à diminuer (Figure II.27 (b)). Les zones pour lesquelles les performances seront maximales en back-off, auront donc, au contraire, tendance à se rapprocher du bord de l'abaque. Dans l'architecture LMBA et comme présenté dans [56], l'injection de puissance sur le port isolé du coupleur de sortie permet de s'éloigner du centre de l'abaque. Pour les lieux de load-pull décrits comme précédemment, la puissance de contrôle doit donc tendre à diminuer pour se déplacer des régions visées de l'abaque du back-off à la saturation. Comme expliqué dans [63], c'est en réalité la différence de puissance ΔP entre les voies équilibrées et celle du contrôle qui doit être prise en compte. Par la compression anticipée de l'amplificateur de contrôle, de plus petite taille, ce rapport ΔP permet de se rapprocher du centre de l'abaque avec l'augmentation de la puissance. La Figure II.27 permet d'illustrer ces variations.

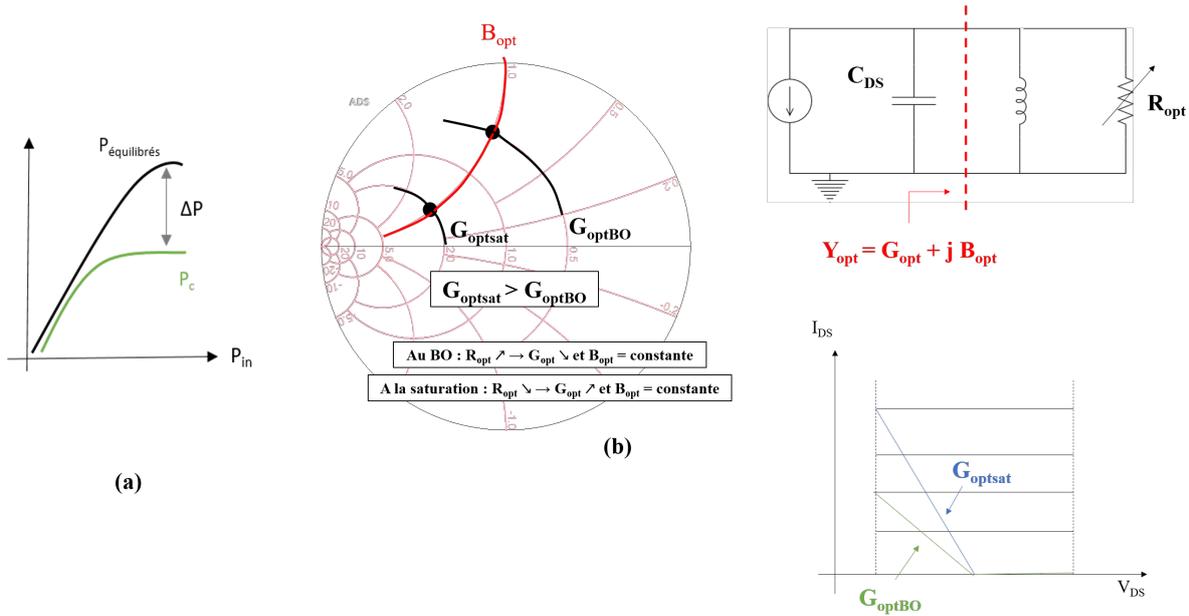


FIGURE II.27 – Variation des coefficients de réflexion suivant l’amplitude et la phase du signal de contrôle

La gestion de la modulation de charge est donc réalisée au travers de la saturation anticipée de l’amplificateur de la voie de contrôle. Une autre contrainte concerne le fonctionnement large bande de ce LMBA. L’objectif est de suivre les lieux optima de load-pull à chacune des fréquences. Comme présenté dans le chapitre I de ce manuscrit, ces lieux de PAE optimale se déplacent dans le sens trigonométrique lorsque la fréquence augmente. L’adaptation large bande est donc rendue complexe car une adaptation passive provoque une variation dans le sens horaire avec la fréquence. Le fonctionnement large bande est donc, avec ce genre d’adaptation, limité par le critère de Bode-Fano. Un amplificateur fonctionnant dans une plage de fréquence importante est généralement adapté avec des structures résonnantes [64] ou avec l’utilisation de composants non Foster, telle qu’une capacité négative [65], au détriment d’une baisse de performances due aux pertes. L’architecture LMBA se présente comme un candidat idéal pour passer outre ces contraintes en efficacité et en bande passante. En effet, la variation de la phase du signal de contrôle en fonction de la fréquence (relativement à celle des amplificateurs équilibrés), va permettre de suivre les lieux optima de PAE obtenus avec les simulations load-pull sur le transistor seul.

L’adaptation des amplificateurs constituant la voie équilibrée sera donc effectuée de façon active par la variation de l’amplitude et de la phase du signal de contrôle. La difficulté concernant l’optimisation des performances de cet amplificateur de puissance à haut rendement réside donc dans l’implémentation de cet amplificateur de contrôle polarisé en classe B. Celui-ci devra délivrer une certaine quantité de puissance au back-off et à la saturation, mais aussi une puissance constante à chacune des fréquences. Cet amplificateur qui offre le bénéfice de l’injection active à la fois en régime de back-off (contrairement au LMBA « Doherty-Like ») et en régime de saturation, doit saturer au moment opportun pour effectuer la modulation de charge complète.

Il doit être de plus conçu pour avoir un rendement suffisant pour ne pas impacter le rendement global. Dans les travaux présentés en [66] les auteurs proposent une gestion appropriée de la phase en utilisant la réponse en phase non linéaire en fonction de la fréquence d'un filtre connecté en entrée de l'amplificateur. Ceci va permettre de suivre le plus fidèlement possible les lieux de load-pull avec la fréquence.

La polarisation en classe B de cet amplificateur de contrôle permet donc, en injectant du signal pour effectuer l'adaptation au back-off, de maximiser les performances en recul de puissance, ce qui n'est pas le cas avec l'architecture « Doherty-Like » qui comprend un transistor de contrôle polarisé en classe C ne permettant donc pas d'effectuer une injection active en recul de puissance. Ainsi dans un mode de fonctionnement dit « Doherty-Like » du LMBA, les variations d'impédances de charge pour un fonctionnement au back off s'effectuent dans le sens opposé aux lieux optima de load-pull ce qui réduit obligatoirement les capacités haut rendement et large bande en recul, au maximum de statistique du signal. L'amplificateur proposé dans [63] permet donc de s'affranchir de cette contrainte, et offre des performances comprises entre 37 et 59 % à la saturation et entre 29 et 45 % à 6dB de back-off, pour une bande de fonctionnement de [1.8 ; 3.8] GHz.

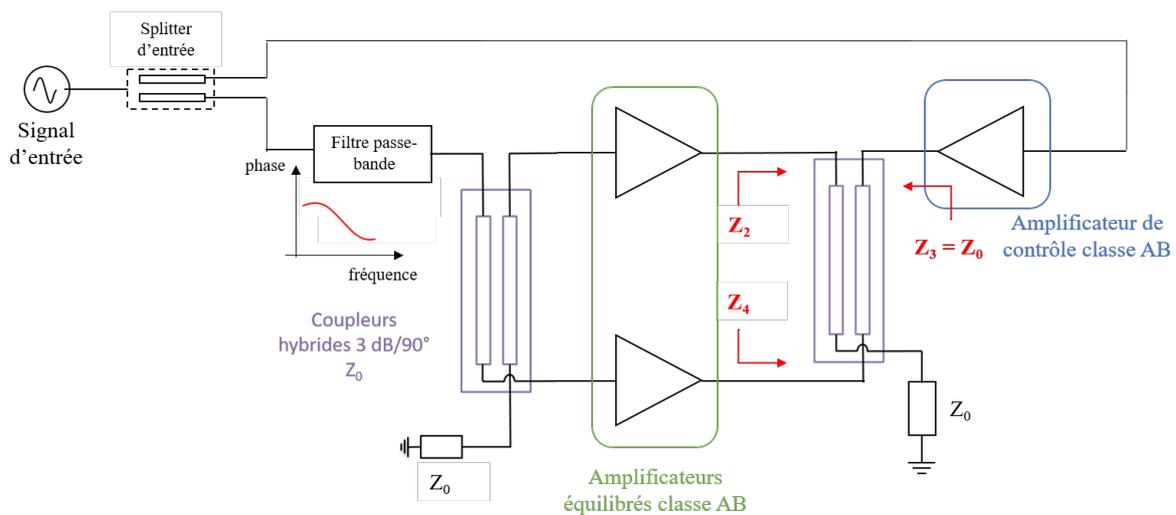


FIGURE II.28 – Représentation du LMBA [61].

3.2.3 Le Sequential LMBA (SLMBA)

Pour viser des fonctionnements avec très fort back off de puissance (typiquement 10 dB voir même 13 dB), une topologie plus récente du LMBA, appelée le « Sequential LMBA » [67]- [68]- [69]- [70] a été proposée. Les amplificateurs équilibrés sont polarisés en classe C, tandis que l'amplificateur de contrôle est polarisé en classe AB, comme illustré sur la Figure II.29. De plus, les tailles des transistors de l'amplificateur équilibré peuvent être choisies plus grosses que la taille du transistor de l'amplificateur de contrôle.

Tant que le point de fonctionnement dit de back-off n'est pas atteint, seul l'amplificateur de

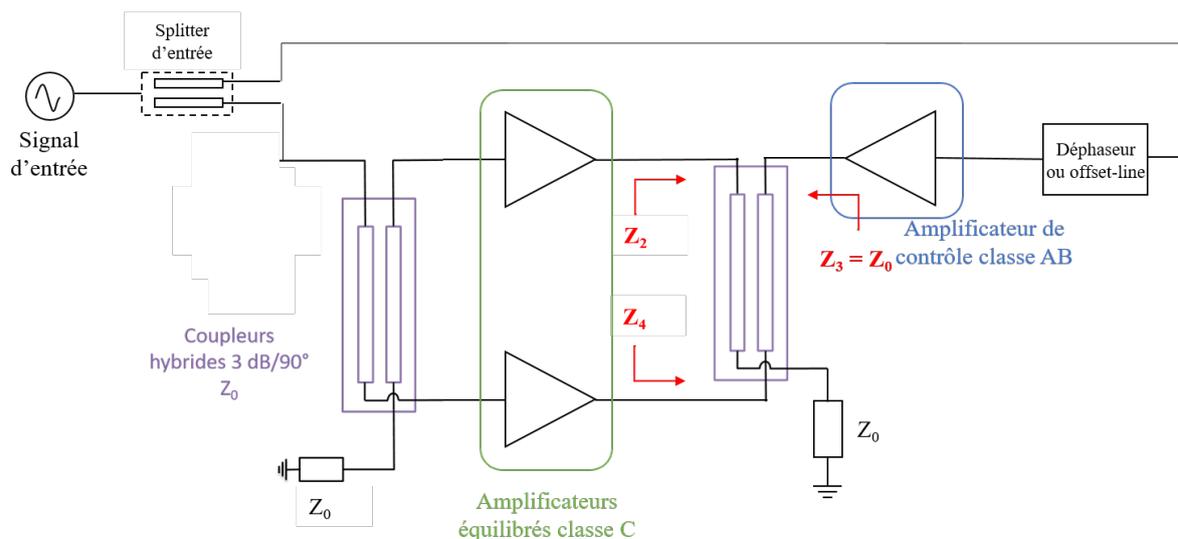


FIGURE II.29 – Schéma de principe du Sequential LMBA.

contrôle conduit. Il est chargé par une impédance qui vaut Z_0 au fondamental. Au niveau de ce port isolé du coupleur de sortie, cet amplificateur verra toujours l'impédance $Z_3 = Z_0$. Les impédances Z_2 et Z_4 des voies équilibrées sont proches du circuit ouvert. La puissance de sortie de l'architecture est donc celle délivrée par le contrôle. Dès lors que la puissance de sortie sera celle attendue en recul de puissance, l'amplificateur de contrôle va saturer, et les amplificateurs équilibrés vont commencer à conduire. Du fait des propriétés d'addition des puissances en sortie offertes par la structure LMBA, on reconnaît ici un principe de combinaison de puissance de type « Sequential Power amplifier », introduit précédemment.

Il y a en plus l'effet de modulation de charge des transistors équilibrés qui opère. Comme il est associé un amplificateur principal en classe AB et un amplificateur auxiliaire en classe C qui déclenche lorsque le principal arrive à saturation ce montage est aussi rapporté sous la dénomination « Pseudo Doherty LMBA » dans la littérature.

En ce qui concerne les amplificateurs équilibrés en classe C, leur modulation de charge varie du circuit ouvert (avec le point de back-off) jusqu'à l'impédance optimale à la saturation comme représenté Figure II.30.

Ce montage pour lequel l'amplificateur principal ne subit pas de modulation de charge et reste donc en saturation forte (comme dans le principe du montage Sequential Power amplifier) permet de forts back off de puissance au détriment de la linéarité. On peut noter également la potentialité d'une situation de stress RF très important car le niveau de compression de gain de l'amplificateur de contrôle est directement liée à l'OBO visé du transistor dit principal.

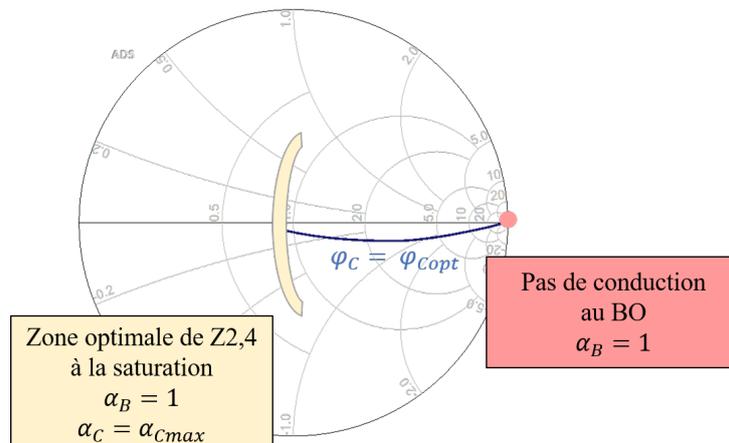


FIGURE II.30 – Variations des coefficients de réflexion des impédances de charge des transistors équilibrés dans une architecture de type SLMBA. α_B est le coefficient lié à la quantité de courant au fondamental délivré par les amplificateurs équilibrés en classe C et α_C est celui lié à la quantité de courant au fondamental délivré par l’amplificateur de contrôle en classe AB.

Le tableau ci-dessous résume les performances rapportées dans les références [67]- [68]- [69]- [70].

| Bande de fréquence (GHz) | Puissance (dBm) | Rendement de drain au back-off | Rendement de drain à la saturation |
|--------------------------|-----------------|---|------------------------------------|
| [67] [3.05 - 3.55] | 42.3-43.7 | 50.9 - 64.9 % @6 dB d'OBO et 43.2 - 51.4 % @10 dB d'OBO | 60.8 - 74.8 % |
| [68] [2.4] | 43 | 50 % @12 dB d'OBO | 69 % |
| [69] [1.5 - 2.7] | 42.5 | 47 - 58 % @10 dB d'OBO | 58 - 72 % |
| [70] [0.55 - 2.2] | 41-43 | 40 - 60 % @6 dB d'OBO et 39 - 64 % @10 dB d'OBO | 49 - 82 % |

Tableau II.3 – Etat de l’art des LMBA de type SLMBA.

Pour proposer une solution au problème de saturation forte de l’amplificateur de contrôle et donc de son impact sur la linéarité, les auteurs de [62] proposent de connecter un limiteur en entrée de l’amplificateur de contrôle. Leurs travaux montrent un démonstrateur délivrant une puissance de 250 W en bande L [1.85 - 2.15] GHz avec un rendement en puissance ajoutée ≥ 45 % pour un back-off de 9 dB. Leurs travaux montrent la possibilité d’avoir un gain plat (AM/AM) pour un fonctionnement CW.

Une autre topologie de LMBA, appelée « ALMBA » pour Asymmetrical LMBA, a été proposée, pour résoudre le problème de très forte saturation donc de linéarité et de stress RF subit par le transistor de contrôle de la structure SLMBA. Les auteurs proposent dans [71] de dissymétriser les deux voies en quadrature en polarisant différemment les drains des transistors (respectivement 32 et 24 V). Cette dissymétrie permet d’effectuer une modulation de charge pour le transistor de

contrôle car l'accès sur lequel il est connecté n'est plus isolé du fait du déséquilibre volontairement imposé à l'amplificateur équilibré. L'amplificateur ne subit plus de saturation très franche comme dans un montage symétrique. Ces travaux proposent alors des degrés de liberté supplémentaires pour le compromis entre la linéarité (sans pré-distorsion) et le fonctionnement à très fort back-off. Néanmoins, on aboutit à une structure plus complexe.

Enfin on peut également noter que pour améliorer le fonctionnement à haut rendement pour l'amplification de signaux à forte valeur de PAPR (10dB) tout en gardant une configuration conventionnelle de LMBA avec un petit amplificateur de contrôle, il est possible d'appliquer la technique « d'enveloppe tracking » sur les amplificateurs équilibrés comme il est rapporté dans [72]. Ceci s'accompagne cependant d'une augmentation notable de la complexité du circuit global.

4 Analyse théorique du LMBA "Doherty-Like" avec des sources de courant idéales et prise en compte des effets parasites

Ce paragraphe propose une analyse du LMBA de type "Doherty-Like" en prenant en compte les éléments parasites associés à la source de courant et en tenant compte de l'impédance caractéristique du coupleur hybride de sortie.

4.1 Prise en compte des effets parasites pour la réalisation de l'adaptation de sortie

Un transistor FET réel ne peut pas être représenté uniquement par sa source de courant intrinsèque, ce point devenant central lors de conceptions à base de transistors en boîtier. Les éléments provenant de la mise en boîtier de la puce conduisent à l'ajout d'éléments parasites. Les variations d'impédances dues à la modulation de charge ne seront donc pas identiques selon que l'on se positionne dans le plan de la source de courant ou dans le plan du boîtier. La modélisation simplifiée de ces éléments a été présentée dans le chapitre I de ce manuscrit, et s'apparente à une capacité C_{out} en parallèle et une self série L_{out} . L'objectif est ici d'adapter l'étude analytique et de la rendre suffisamment généralisable en intégrant un transformateur d'impédance qui englobe ces éléments parasites.

Pour faire en sorte que les variations d'impédances de $\beta R_{opt} \rightarrow R_{opt}$ dans le plan de la source de courant soient reproduites dans le plan du boîtier, l'adaptation de sortie des amplificateurs équilibrés est constituée d'une ligne $\frac{\lambda}{2}$. Dans un premier temps, le transistor de la voie de contrôle est toujours représenté par une source de courant idéale.

La première inversion d'impédance, comme illustrée sur la Figure II.31. se fait par l'ajout d'une self additionnelle L_x et d'une capacité parallèle qui prend la même valeur que C_{out} . L'impédance caractéristique de ce motif est la suivante :

$$Z_{C1} = \sqrt{\frac{L_{out} + L_x}{C_{out}}} = R_{opt} \quad (\text{II.47})$$

Ce qui implique,

$$L_x = (Z_{C1}^2 C_{out}) - L_{out} = [R_{opt}^2 C_{out}] - L_{out} \quad (\text{II.48})$$

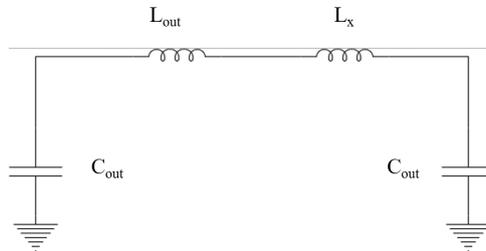


FIGURE II.31 – Conception d'un inverseur d'impédance équivalent à la fréquence centrale.

La valeur de L_x est dépendante de la plage de modulation visée : son choix est conditionné par les performances en recul de puissance attendues. Ce motif inverseur est ensuite dupliqué : la combinaison de ces deux lignes quart d'onde d'impédance caractéristique identique ($Z_{C1} = Z_{C2}$) forme une ligne demi onde. La Figure II.32 représente la topologie proposée associée aux notations employées pour les courants et les tensions dans le plan intrinsèque (V_i, I_i) et dans le plan du coupleur (V_i', I_i').

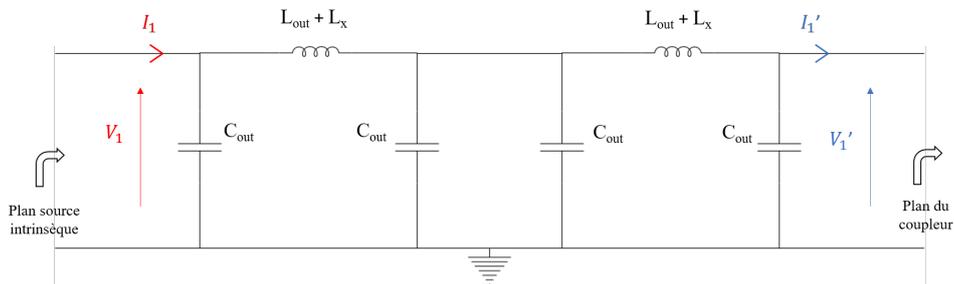


FIGURE II.32 – Adaptation de sortie des amplificateurs équilibrés. Les impédances dans le plan du coupleur et dans le plan de la source de courant intrinsèque sont identiques.

La topologie LMBA peut donc être représentée comme indiqué sur la Figure II.33

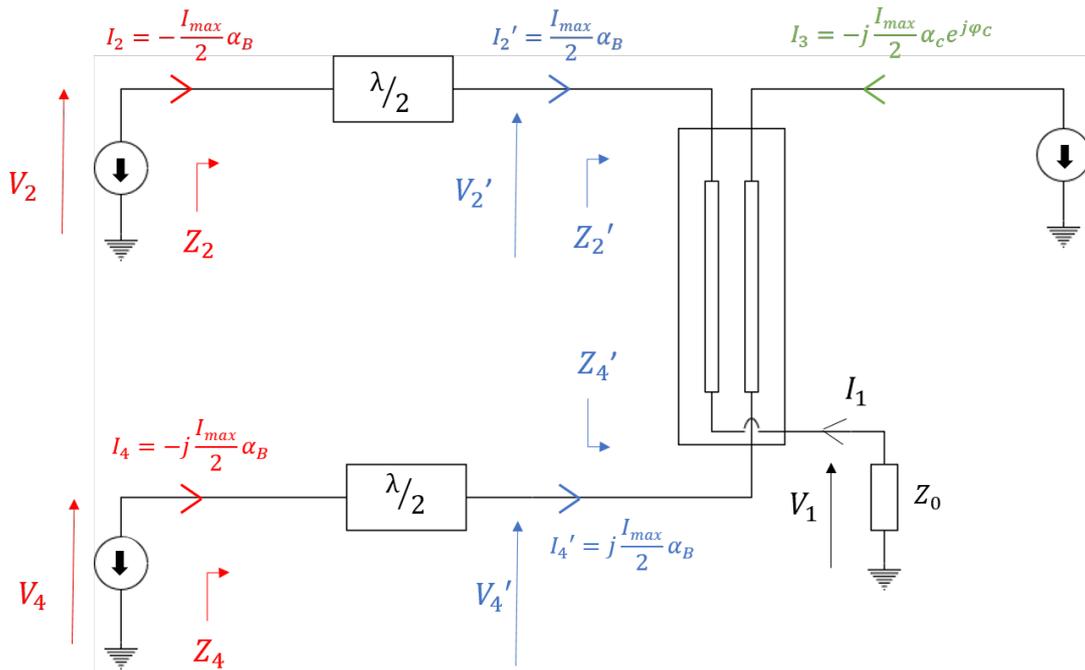


FIGURE II.33 – Topologie d'adaptation de sortie des amplificateurs équilibrés et convention des courants dans le plan des sources de courant intrinsèques et dans le plan du coupleur de sortie d'impédance caractéristique Z_0 .

La matrice chaîne globale de ce circuit est la suivante :

$$\begin{pmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{pmatrix} = Z_0 \begin{pmatrix} 0 & 0 & -j & j\sqrt{2} \\ 0 & 0 & j\sqrt{2} & -j \\ -j & j\sqrt{2} & 0 & 0 \\ j\sqrt{2} & -j & 0 & 0 \end{pmatrix} \begin{pmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{pmatrix} \quad (\text{II.49})$$

Les quantités de courant au fondamental délivrées par les sources de courant des voies équilibrées étant identiques à celles présentées lors de l'étude de la partie précédente, les équations des impédances et des puissances dans le plan du coupleur ne sont modifiées que par le déphasage de π induit par l'ajout de la ligne demi onde. L'ajout de cette transformation permettant que les variations de charge soient identiques dans les deux plans considérés, les impédances et le bilan de puissance sont les mêmes que l'on se positionne dans le plan intrinsèque ou extrinsèque :

$$Z_2 = Z_4 = Z_2' = Z_4' = Z_0 \left(1 - \frac{\sqrt{2}\alpha_C}{\alpha_B} e^{j\phi_C} \right) \quad (\text{II.50})$$

$$P_2 = P_4 = P_2' = P_4' = \frac{1}{2} Z_0 \left(\frac{I_{max}}{2} \right)^2 [\alpha_B^2 - \sqrt{2}\alpha_B\alpha_C \cos(\phi_C)] \quad (\text{II.51})$$

$$P_1 = \frac{1}{2} Z_0 \left(\frac{I_{max}}{2} \right)^2 \alpha_C^2 + Z_0 \left(\frac{I_{max}}{2} \right)^2 [\alpha_B^2 - \sqrt{2}\alpha_B\alpha_C \cos(\phi_C)] \quad (\text{II.52})$$

Ce simple déphasage provoqué par la transformation d'impédance ne modifie pas la loi de commande en courant que doit fournir l'amplificateur de contrôle, mais uniquement sa phase.

$$I_3 = -j \frac{I_{max}}{2} \alpha_C e^{j0} = -j \frac{I_{max}}{2} \frac{\beta \alpha_B - 1}{\beta \sqrt{2}} e^{j0} \quad (\text{II.53})$$

Cette condition sur I_3 permet de maintenir l'amplitude de la tension au fondamental vue aux bornes des sources de courant des voies équilibrées à son maximum dès lors que le back-off est atteint. Cependant, l'amplitude de la tension vue au niveau de la source de courant du contrôle dépasse cette tension V_{DS0} pour des valeurs de $\beta > 2.41$.

$$|V_3| = \frac{\beta \alpha_B - 1}{\sqrt{2}} V_{DS0} \quad (\text{II.54})$$

4.2 Contrainte sur l'amplitude maximale de courant délivré par la source de contrôle

Pour répondre à cette contrainte de maintenir la tension $|V_3|$ inférieure ou égale à V_{DS0} pour des modulations de charge s'étendant de βR_{opt} à R_{opt} pour des $\beta > 2.41$, la topologie de l'adaptation de sortie de l'amplificateur de contrôle doit être conçue comme illustré sur la Figure II.34. Les éléments parasites modélisant la sortie du transistor de contrôle sont C_{outc} , qui est fixée par la taille du transistor de contrôle, et L_{outc} sera dans un premier temps considérée comme égale à la valeur de L_{out} des transistors équilibrés.

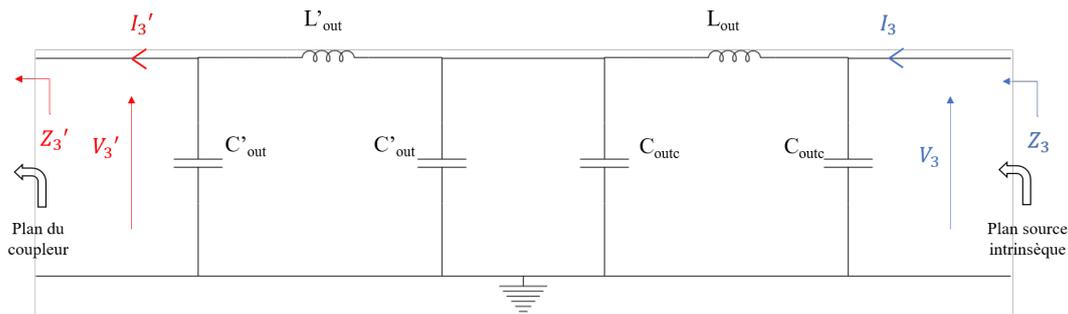


FIGURE II.34 – Adaptation de sortie de l'amplificateur de contrôle dans le cas où $\beta > 2.41$.

La matrice chaîne de ce circuit d'adaptation est la suivante :

$$\begin{pmatrix} V_3 \\ I_3 \end{pmatrix} = \begin{pmatrix} -\frac{Z_{C1}}{Z_{C2}} & 0 \\ 0 & -\frac{Z_{C2}}{Z_{C1}} \end{pmatrix} \begin{pmatrix} V_3' \\ I_3' \end{pmatrix} \quad (\text{II.55})$$

L'ajustement de L'_{out} et C'_{out} permet de conserver une amplitude $|V_3| = V_{DS0}$ dans le plan de la source de courant intrinsèque, leurs valeurs devant fournir le rapport de transformation

suivant :

$$\frac{|V_3|}{|V'_3|} = \frac{Z_{C1}}{Z_{C2}} \quad (\text{II.56})$$

Sachant que, d'après (II.53)

$$|V'_{3max}| = \frac{\beta - 1}{\sqrt{2}} V_{DS0} \text{ (plan du coupleur)} \quad (\text{II.57})$$

$$|V_{3max}| = V_{DS0} \text{ (plan intrinsèque)} \quad (\text{II.58})$$

Le rapport de transformation requis pour un fonctionnement optimal (II.55) devient alors

$$\frac{Z_{C1}}{Z_{C2}} = \frac{\sqrt{2}}{\beta - 1} \quad (\text{II.59})$$

Un fonctionnement à la pulsation ω_0 impose :

$$L'_{out} C'_{out} \omega_0^2 = 1 \longrightarrow C'_{out} = \frac{1}{L'_{out} \omega_0^2} \quad (\text{II.60})$$

$$Z_{C2} = \sqrt{\frac{L'_{out}}{C'_{out}}} = L'_{out} \omega_0 = \frac{\beta - 1}{\sqrt{2}} Z_{C1} \quad (\text{II.61})$$

Et finalement,

$$L'_{out} = Z_{C1} \frac{\beta - 1}{\sqrt{2} \omega_0} \quad (\text{II.62})$$

La relation entre les impédances caractéristiques (II.59) des deux tronçons quart d'onde conduit à une modification de l'amplitude de la tension et du courant au fondamental délivrés par la source de courant intrinsèque du transistor de contrôle. Autrement dit, pour obtenir la quantité de courant suffisante dans le plan du coupleur sur le port isolé du coupleur de sortie, la source de courant intrinsèque du contrôle va donc devoir délivrer à la saturation la quantité de courant I_3 telle que :

$$|I_{3max}| = \frac{Z_{C2}}{Z_{C1}} |I'_{3max}| \quad (\text{II.63})$$

D'après (II.53) et (II.59), et pour $\alpha_B = 1$

$$|I_{3max}| = \frac{I_{max}}{2} \alpha_C = \left(\frac{\beta - 1}{\beta \sqrt{2}} \right) \left(\frac{\beta - 1}{\sqrt{2}} \right) \frac{I_{max}}{2} \quad (\text{II.64})$$

Soit, en tenant compte du nouveau déphasage de π induit par l'ajout de ce transformateur

d'impédance sur la voie de contrôle, comme illustré sur la Figure II.35.

$$I_3 = -j \left(\frac{\beta \alpha_B - 1}{\beta \sqrt{2}} \right) \left(\frac{\beta - 1}{\sqrt{2}} \right) \frac{I_{max}}{2} e^{j\pi} \quad (\text{II.65})$$

Avec,

$$\alpha_C = \left(\frac{\beta \alpha_B - 1}{\beta \sqrt{2}} \right) \left(\frac{\beta - 1}{\sqrt{2}} \right) \quad (\text{II.66})$$

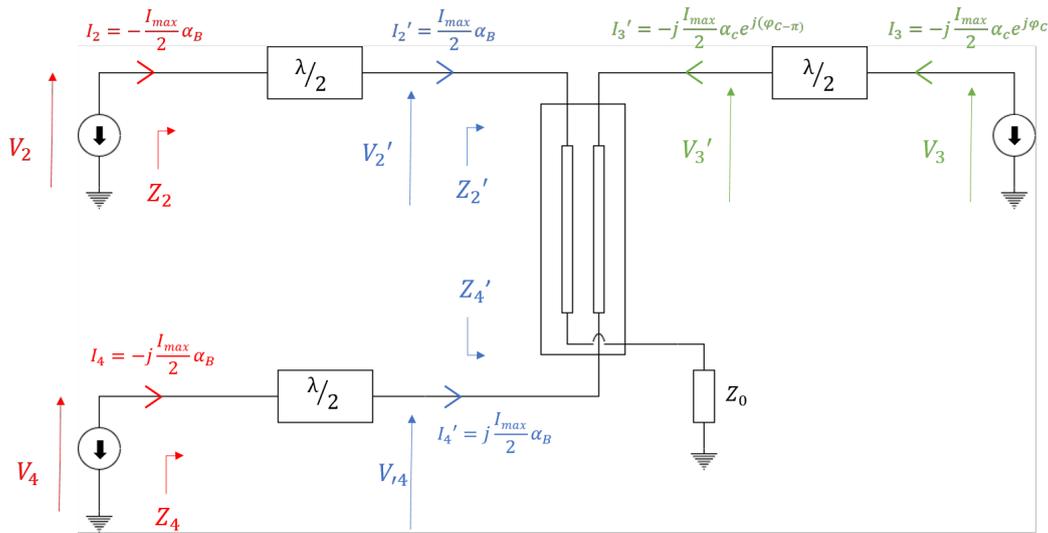


FIGURE II.35 – Topologie d'adaptation de sortie des amplificateurs équilibrés et de l'amplificateur de contrôle. Convention des courants dans le plan des sources de courant intrinsèques et dans le plan du coupleur de sortie d'impédance caractéristique Z_0 .

Le tableau II.4 répertorie la quantité de courant au fondamental que doit fournir le transistor de contrôle comparativement à celle fournie par un transistor équilibré, et ce, pour différentes plages de modulation. Il a été constaté que, pour des valeurs de $\beta \leq 2.41$, l'amplitude de la tension $|V_3|$ ne dépasse jamais la valeur seuil V_{DS0} . Dans cette configuration, une adaptation de sortie identique à celle des deux autres voies est implémentée, avec une baisse de la tension de polarisation à la valeur maximale théorique. Dans le cas où $\beta > 2.41$, la modification présentée sur l'adaptation de sortie de l'amplificateur de contrôle devra être effectuée, pour répondre à la contrainte posée toute au long de cette étude. On observe que pour $\beta > 3.7$ environ, le transistor de contrôle doit être de taille supérieure à celui des équilibrés, afin qu'il fournisse, dans le plan du coupleur, une quantité de courant au fondamental suffisante pour que la modulation de charge se fasse de βR_{opt} à R_{opt} (Figure II.36).

| β | $ I_{3max} $ sans contrainte sur $ V_3 $ | $ I_{3max} $ avec contrainte sur $ V_3 $ |
|---------|--|--|
| 2 | 0.35 $\frac{I_{max}}{2}$ | N.A. |
| 3 | 0.47 $\frac{I_{max}}{2}$ | 0.66 $\frac{I_{max}}{2}$ |
| 4 | 0.53 $\frac{I_{max}}{2}$ | 1.125 $\frac{I_{max}}{2}$ |

Tableau II.4 – Taille du transistor de contrôle avec respect ou non de la contrainte sur l'amplitude de la tension au fondamental aux bornes de la source de courant intrinsèque du contrôle pour différentes valeurs de β .

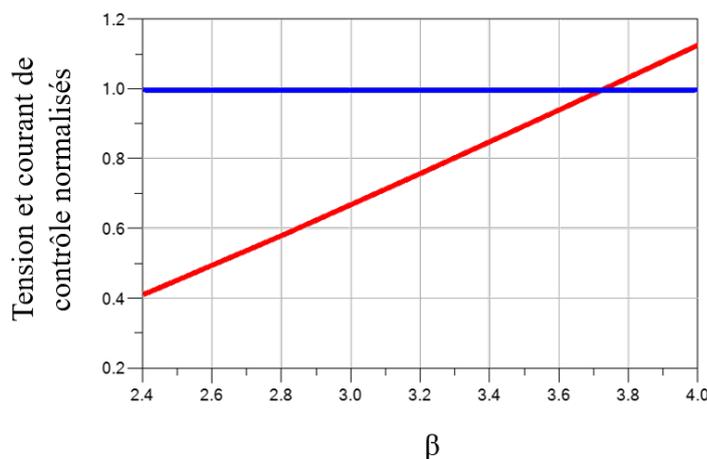


FIGURE II.36 – Tensions normalisées par rapport à V_{DS0} (bleu) et courants (rouge) normalisés par rapport à $\frac{I_{max}}{2}$ au fondamental vues par les sources de courant intrinsèques en fonction de β pour des valeurs de $\beta > 2.41$ (associées à une contrainte $|V_3| = V_{DS0}$)

Cette étude a permis d'établir les équations qui régissent le comportement de l'architecture LMBA « Doherty-like », en prenant en compte, dans un premier temps, l'adaptation de sortie des deux amplificateurs équilibrés. Avec cette topologie de ligne demi onde englobant les parasites du boîtier, les variations de charge sont identiques dans le plan du coupleur et dans le plan de la source de courant intrinsèque.

L'adaptation de la voie de contrôle, qui a comme objectif principal de limiter la tension dans le plan intrinsèque de ce transistor, induit non seulement une variation de l'amplitude du courant au fondamental, mais un déphasage de π sur la phase de ce signal de contrôle.

Beaucoup d'informations pour débiter une conception d'un LMBA ont été introduites. Cependant un point clé a été omis jusqu'alors. Le transistor de contrôle a été considéré comme polarisé en classe B, avec déclenchement différé. Or, ce retard de conduction est classiquement représentatif d'un amplificateur polarisé en classe C. La suite de cette étude va se concentrer sur ce retard de conduction, qui devra être pris en compte dans les étapes de conception. Nous verrons que la très forte non linéarité de la classe C, pour atteindre les valeurs attendues de courant au fondamental, implique de prendre un transistor de contrôle ayant une taille différente de celle qui vient d'être estimée.

4.3 Prise en compte de la polarisation en classe C de l'amplificateur de contrôle

Il a été considéré jusque-là que le courant au fondamental du transistor de contrôle augmente de façon linéaire en fonction de α_B , car l'hypothèse émise est celle d'un fonctionnement en classe B idéale, avec un déclenchement différé de la conduction, ce qui est couramment admis comme hypothèse simplificatrice dans l'étude des architectures Doherty, conformément aux équations (II.67) et (II.68). Cependant, dans la prise en compte d'un fonctionnement en classe C, l'amplitude maximale du courant au fondamental est différente de la valeur théorique précédemment définie, du fait de la variation d'angle d'ouverture avec l'augmentation du niveau de puissance, ce qui conduit à considérer une relation non linéaire entre la quantité de courant à f_0 et l'excitation RF en entrée, comme illustré sur la Figure II.37. La nécessité d'utiliser un transistor de contrôle de taille différente que celle définie jusqu'alors induit des modifications concernant notamment l'adaptation de sortie de cet amplificateur. Un choix d'un transistor de taille différente impliquant une valeur de la capacité C_{out} différente. La détermination de la taille du transistor de contrôle permettant une modulation complète définie par le cahier des charges est donc primordiale pour débiter la conception efficacement.

$$I_{DS1c} = \frac{\beta\alpha_B - 1}{\beta\sqrt{2}} \frac{I_{max}}{2} \text{ pour } \beta \leq 2.41 \quad (\text{II.67})$$

$$I_{DS1c} = \left(\frac{\beta\alpha_B - 1}{\beta\sqrt{2}}\right) \left(\frac{\beta - 1}{\sqrt{2}}\right) \frac{I_{max}}{2} \text{ pour } \beta > 2.41 \quad (\text{II.68})$$

Où I_{max} est le courant maximal que délivre un transistor équilibré, et $\frac{I_{max}}{2}$ la quantité de courant fondamental que fournit ce même transistor polarisé en classe B idéale.

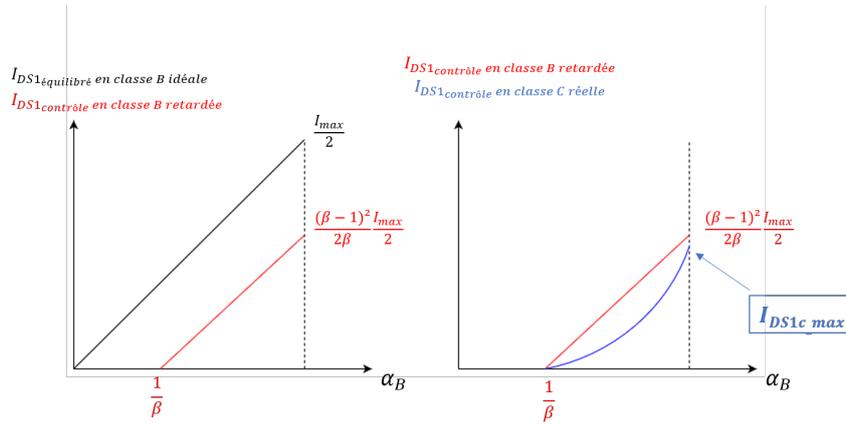


FIGURE II.37 – Comparaison entre le courant fourni au fondamental par un transistor équilibré et le transistor de contrôle en classe B (gauche) et la différence de courant au fondamental induite sur un transistor de contrôle polarisé en classe C.

Pour définir la taille de ce transistor de contrôle, le paramètre à déterminer est la valeur I_{maxc} pour laquelle la quantité de fondamental délivrée sera suffisante pour effectuer la modulation. Il est cependant entendu qu'un défaut d'injection est présent pour $\frac{1}{\beta} \leq \alpha_B \leq 1$. Le point de polarisation de grille ainsi que l'angle d'ouverture déterminent la quantité de courant au fondamental que délivre un amplificateur polarisé en classe C. Par la détermination de ces paramètres, il est alors possible de cibler la taille de transistor nécessaire pour effectuer la modulation de charge souhaitée.

L'amplificateur de contrôle commence à injecter du courant dès lors que les amplificateurs atteignent leur amplitude d'excursion de tension au fondamental maximale V_{DS1} . Ces deux amplificateurs saturent pour des valeurs de I_{DS1} et V_{GS1} particulières (respectivement $I_{DS1\epsilon}$ et $V_{GS1\epsilon}$), comme présentées sur la Figure II.38. Autrement dit :

$$V_{GS0c} = V_p - V_{GS1\epsilon} \quad (\text{II.69})$$

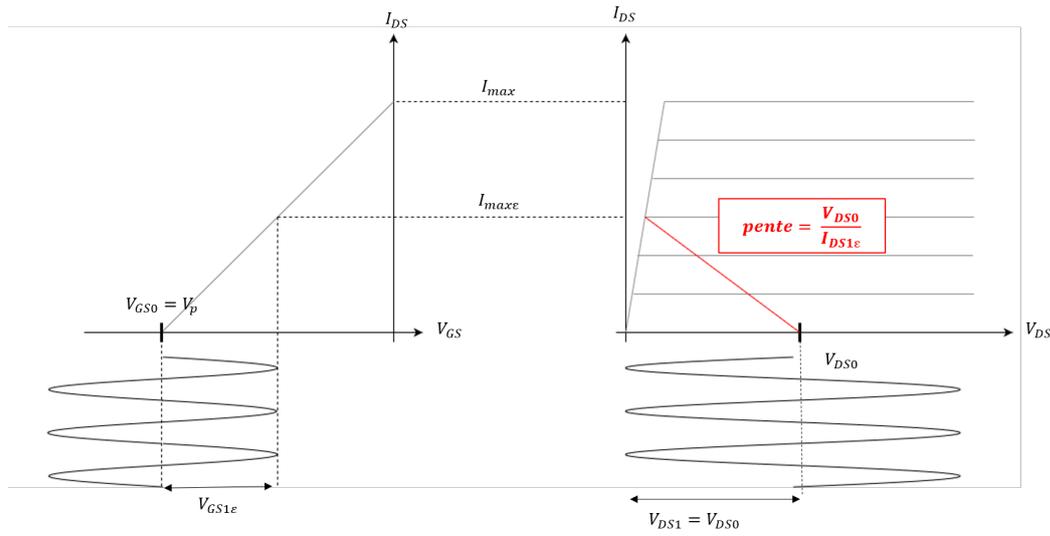


FIGURE II.38 – Détermination des valeurs particulières de tension et courant au fondamental des amplificateurs équilibrés au point de déclenchement de l'amplificateur de contrôle.

D'après les simplifications induites par une polarisation en classe B idéale et d'après la Figure II.38,

$$I_{DS1\epsilon} = \frac{V_{DS0}}{\beta R_{opt}} = V_{GS1\epsilon} \frac{I_{max}}{(-2V_p)} \quad (\text{II.70})$$

Les équations (II.42) et (II.69) conduisent alors à l'écriture de l'amplitude de $V_{GS1\epsilon}$ pour laquelle les amplificateurs équilibrés arrivent à la saturation :

$$V_{GS1\epsilon} = -2V_p \frac{I_{DS1\epsilon}}{I_{max}} \quad (\text{II.71})$$

$$V_{GS1\epsilon} = -2 \frac{V_p}{I_{max}} \frac{V_{DS0}}{\beta R_{opt}} \quad (\text{II.72})$$

$$V_{GS1\epsilon} = -\frac{V_p}{\beta} \quad (\text{II.73})$$

Il est alors possible, connaissant (II.69) et (II.73) de déterminer le point de polarisation de l'amplificateur de contrôle, seuil auquel la tension de grille des équilibrés atteint la valeur $V_{GS1\epsilon}$:

$$V_{GS0c} = V_p + \frac{V_p}{\beta} = V_p \left(\frac{\beta + 1}{\beta} \right) \quad (\text{II.74})$$

Plus la valeur de β augmente, plus l'amplificateur de contrôle est polarisé proche de $V_{GS0c} = V_p$, comme présenté sur la Figure II.39. Une polarisation en classe B idéale induit un angle d'ouverture égal à $\frac{\pi}{2}$ constant. Cette simplification ne suffit plus à ce stade de l'étude analytique du comportement « Doherty-Like » de ce LMBA avec ses circuits d'adaptation de sortie. L'angle

d'ouverture (ϕ), considérant une polarisation en classe C, est inférieur toujours à $\frac{\pi}{2}$, ce qui induit une baisse du courant au fondamental délivré par le transistor, produisant un défaut d'injection et une mauvaise trajectoire de modulation de charge pour l'architecture finale.

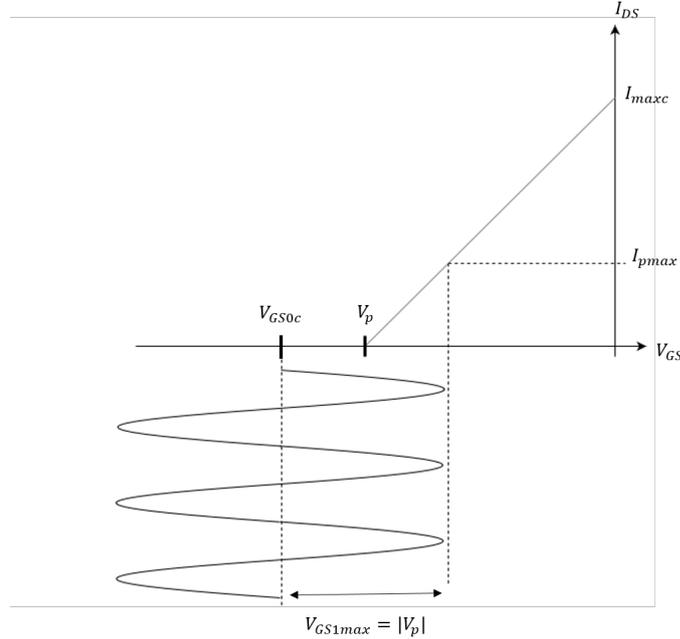


FIGURE II.39 – Caractéristique $I_{DS} = f(V_{GS})$ de l'amplificateur de contrôle polarisé en classe C.

Il convient maintenant de déterminer la valeur maximale de courant à f_0 produite par l'amplificateur de contrôle polarisé en classe C à $V_{GS0c} = V_p(\frac{\beta+1}{\beta})$. La première étape est de calculer la valeur de l'angle d'ouverture maximal atteint ϕ_{max} pour laquelle l'excursion maximale de $V_{GS} = V_p$.

Pour le maximum d'excursion de V_{GS1c} , soit $V_{GS1cmax}$, on peut écrire, d'après l'équation (II.74) et la Figure II.39 :

$$V_{GS0c} + V_{GS1cmax} \cos(\phi_{max}) = V_p$$

$$V_p \left(\frac{\beta+1}{\beta} \right) - V_p \cos(\phi_{max}) = V_p$$

$$\left(\frac{\beta+1}{\beta} \right) - 1 = \cos(\phi_{max})$$

$$\phi_{max} = \arccos\left(\frac{1}{\beta}\right) \quad (\text{II.75})$$

La polarisation en classe B des amplificateurs équilibrés induit, qu'à pleine puissance, ils délivrent le maximum de leur courant au fondamental, soit :

$$|I_{2max}|_{f_0} = |I_{4max}|_{f_0} = \frac{I_{max}}{2}$$

La voie de contrôle analogique, quant à elle, produit une quantité de courant au fondamental telle que :

$$|I_{3max}|_{f_0} = \frac{I_{pmax}}{\pi} \frac{\phi_{max} - \sin(\phi_{max})\cos(\phi_{max})}{1 - \cos(\phi_{max})} \quad (\text{II.76})$$

Où I_{pmax} est la valeur maximale de la forme d'onde du courant.

On peut écrire, d'après la Figure II.39., la valeur de la forme d'onde du courant selon l'excursion de V_{GS1c} :

$$I_{pc} = 0 \text{ quand } 0 \leq V_{GS1c} \leq \frac{V_p}{\beta} \quad (\text{II.77})$$

$$I_{pc} = \frac{I_{maxc}}{-V_p} (V_{GS0c} - V_p - V_{GS1c}) \text{ quand } \frac{V_p}{\beta} \leq V_{GS1c} \leq V_p \quad (\text{II.78})$$

Soit, pour $|V_{GS1c}|_{max} = V_p$:

$$I_{pmax} = \frac{I_{maxc}}{-V_p} [V_p(\frac{\beta+1}{\beta}) - V_p - V_p] = I_{maxc}(\frac{\beta-1}{\beta}) \quad (\text{II.79})$$

La quantité de courant au fondamental délivré par l'amplificateur de contrôle est donc liée à l'équation suivante, par la mise en relation des équations (II.75), (II.76) et (II.79) :

$$|I_{3max}|_{f_0} = I_{maxc} \frac{\beta-1}{\beta\pi} \frac{\arccos(\frac{1}{\beta}) - \frac{1}{\beta}\sqrt{1 - \frac{1}{\beta^2}}}{1 - \frac{1}{\beta}} \quad (\text{II.80})$$

Pour répondre à la contrainte imposée par la limitation de l'amplitude de la tension au fondamental aux bornes de la source de courant intrinsèque du contrôle, deux cas sont observés.

4.3.1 1er cas : $1 < \beta \leq 2.41$

Dans ce premier cas, l'amplitude de la tension $|V_3|$ ne dépasse jamais la valeur maximale autorisée V_{D50} . De ce fait, l'adaptation de sortie est identique à celle des deux voies équilibrées. L'amplitude de la tension et du courant au fondamental sont donc identiques que l'on se positionne dans le plan du coupleur ou dans le plan de la source de courant intrinsèque. Comme présenté dans l'équation (II.53), l'amplitude maximale du courant au fondamental dans le plan intrinsèque a l'allure suivante :

$$|I_{3max}|_{f_0} = \frac{\beta-1}{\beta\sqrt{2}} \frac{I_{max}}{2} \quad (\text{II.81})$$

L'obtention du rapport entre les courants I_{max} et I_{maxc} permet de déterminer la taille minimale du transistor de contrôle à utiliser pour que le courant injecté dans le port isolé du coupleur de sortie de l'architecture permette d'effectuer la modulation dans les conditions précisées dans cette sous partie. La résolution de l'égalité entre (II.80) et (II.81) conduit au ratio suivant :

$$\frac{\beta - 1}{\beta\sqrt{2}} \frac{I_{max}}{2} = I_{maxc} \frac{\beta - 1}{\beta\pi} \frac{\arccos(\frac{1}{\beta}) - \frac{1}{\beta}\sqrt{1 - \frac{1}{\beta^2}}}{1 - \frac{1}{\beta}} \quad (\text{II.82})$$

$$\alpha_{opt} = \frac{I_{maxc}}{I_{max}} = \frac{\pi}{2\sqrt{2}} \frac{1 - \frac{1}{\beta}}{\arccos(\frac{1}{\beta}) - \frac{1}{\beta}\sqrt{1 - \frac{1}{\beta^2}}} \quad (\text{II.83})$$

Les paramètres indiquant la taille du transistor de contrôle sont déjà reportés dans le tableau II.4 pour ce premier cas.

4.3.2 2ème cas : $\beta > 2.41$

La contrainte au cœur de cette étude implique de modifier l'adaptation de sortie du transistor de contrôle. Le courant maximal au fondamental devant être délivré, dans ces conditions, est, d'après (II.64), le suivant :

$$|I_{3max}|_{f_0} = \frac{\beta - 1}{\beta\sqrt{2}} \frac{\beta - 1}{\sqrt{2}} \frac{I_{max}}{2} \quad (\text{II.84})$$

En procédant de façon identique au cas précédent, on obtient le ratio de taille tel que :

$$\alpha_{opt} = \frac{I_{maxc}}{I_{max}} = \frac{\pi(\beta - 1)}{4} \frac{1 - \frac{1}{\beta}}{\arccos(\frac{1}{\beta}) - \frac{1}{\beta}\sqrt{1 - \frac{1}{\beta^2}}} \quad (\text{II.85})$$

Ce rapport α_{opt} est lié à la quantité optimale de courant au fondamental que doit délivrer la source de courant intrinsèque du transistor de contrôle pour que la modulation visée soit pleinement réalisée.

La comparaison entre la quantité de courant au fondamental qui doit à minima être délivrée par le transistor de contrôle et celle qui serait délivrée si les trois transistors constituant cette architecture étaient de taille identique est présentée dans le tableau II.5 et sur la Figure II.40. Dans le cas où l'adaptation de sortie de la voie de contrôle est identique à celle des voies équilibrés, l'injection de courant par un transistor de taille identique est suffisante pour que l'objectif concernant la plage de modulation soit respecté. Le transistor de contrôle peut même être plus petit que ceux employés sur les deux autres voies. En revanche, la modification de l'adaptation de sortie de l'amplificateur polarisé en classe C induit une augmentation de courant devant être

fournie par le transistor de contrôle. Dans le cas contraire, le courant au fondamental, dans le plan du coupleur, ne sera pas suffisant pour répondre aux objectifs de variations de charge qui autorisent un maintien des performances sur une plus importante dynamique de puissance de sortie. Cela se traduit par une nécessité d'augmenter la taille du transistor de contrôle.

| β | Quantité de fondamental requise pour une classe B idéale retardée | Ratio de taille entre le contrôle et un équilibré pour avoir la quantité de courant de la colonne 1 (prise en compte de la classe C) | Quantité de fondamental obtenue avec un transistor de contrôle en classe C de taille identique aux deux autres |
|---------|---|--|--|
| 2 | $0.175 I_{max}$ | 0.9 | $0.196 I_{max}$ |
| 3 | $0.333 I_{max}$ | 1.14 | $0.292 I_{max}$ |
| 4 | $0.562 I_{max}$ | 1.64 | $0.343 I_{max}$ |

Tableau II.5 – Rapport de taille entre le transistor de contrôle en classe C et un transistor équilibré (colonne 2). Comparaison entre le besoin en amplitude de courant au fondamental dans le plan intrinsèque (colonne 1) et le courant qui serait fourni par un transistor de taille identique polarisé en classe C (colonne 3).

A titre d'exemple, pour une modulation de $3R_{opt} \rightarrow R_{opt}$, la quantité de courant au fondamental devant être fournie par le transistor de contrôle doit être de $0.333 I_{max}$, où I_{max} est le courant maximal que peut délivrer la source de courant d'un transistor équilibré. Dans le cas où tous les transistors sont de taille identique, celui polarisé en classe C ne fournit, d'après cette étude, que $0.292 I_{max}$, soit une quantité de courant au fondamental insuffisante. Le transistor de contrôle en classe C, dans ces conditions, doit être au minimum 1.14 fois plus gros que un des deux transistors équilibrés pour répondre au besoin de modulation de charge.

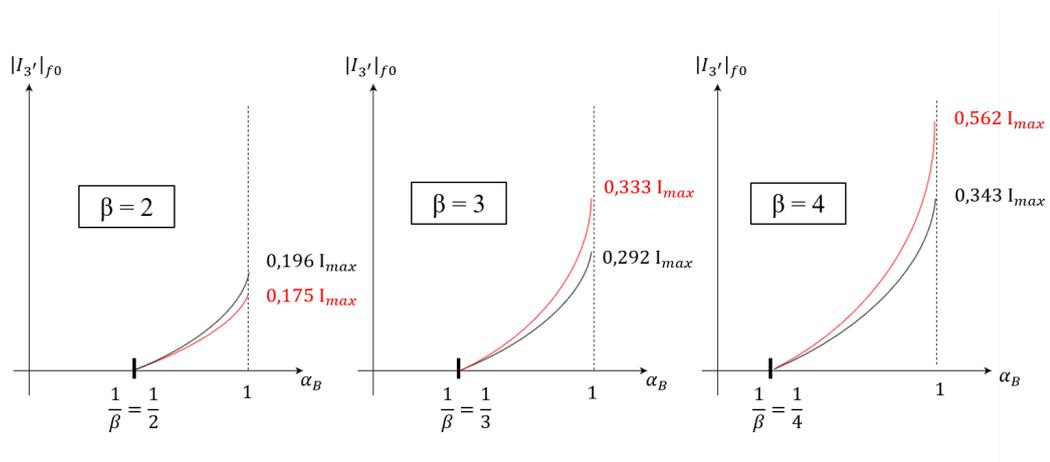


FIGURE II.40 – Comparaison, pour 3 valeurs de β , de la quantité de courant au fondamental requise pour effectuer la modulation de charge optimale attendue (en rouge) et la quantité de courant au fondamental d'un transistor de contrôle de taille identique à celle des équilibrés fournirait (en noir).

4.4 Conclusion de l'étude analytique

Cette étude théorique, qui a pour point de départ l'étude proposée initialement par [56], permet au concepteur d'amplificateur de puissance LMBA d'avoir accès à des paramètres essentiels de type circuit pour débiter la conception avec un amplificateur de contrôle polarisé en classe C. On sait dorénavant déterminer la plage de modulation nécessaire correspondant à une certaine valeur de recul en puissance. Aux approximations près, il est également possible de déterminer les lois de commande (en amplitude et en phase) à injecter sur le port isolé du coupleur de sortie. La prise en compte de la classe de polarisation et de l'adaptation associée de l'amplificateur de contrôle permettent au concepteur de choisir la taille de transistor optimale dans l'optique de maximiser le rendement pour la dynamique de puissance de sortie visée.

La principale limite concerne l'impédance caractéristique du coupleur Z_0 . En effet, ce choix est figé par l'impédance réelle que doit voir la source de courant intrinsèque du transistor. Dans le cas où cette impédance est trop forte, ou bien trop faible, on se verra dans l'impossibilité de réaliser un coupleur ayant cette impédance caractéristique.

5 Comparaison LMBA « Doherty-Like » vs Doherty

Le principal avantage que semble proposer le LMBA repose sur le fait que la puissance délivrée sur la voie de contrôle est pleinement récupérée en sortie de l'architecture. Autrement dit, la voie de contrôle contribue à la puissance totale, et ce, indépendamment de la modulation de charge qu'elle effectue. Le port de la voie de contrôle du LMBA est un port isolé, contrairement à l'architecture Doherty. L'intérêt est donc d'autant plus important que la compréhension des phénomènes est facilitée.

Comme synthétisé dans le Tableau II.6, l'effet de modulation de charge, dans l'architecture LMBA, semble être plus efficace que dans celle de l'amplificateur Doherty. En effet, pour obtenir une même modulation de $2R_{opt} \rightarrow R_{opt}$, par exemple, le transistor de contrôle n'a pas besoin d'être plus gros que les deux transistors qui composent la voie équilibrée. En pratique, en tenant compte de la classe C de l'amplificateur auxiliaire du Doherty quant à lui, doit être 2,55 fois plus gros que le principal. En revanche, cela se traduit par une modulation qui est produite sur une dynamique de puissance de sortie plus faible pour le LMBA (3,55 dB contre 6 dB pour le DPA), comme illustré sur la Figure II.41.

C'est pour cela que pour atteindre un fort back-off, la topologie dite « Sequential LMBA » est la plus appropriée.

| / | Amplificateur Doherty | LMBA |
|--|-----------------------|---|
| Ratio de modulation @ f_0 | β | β |
| OBO (dB) | $10.\log(\beta^2)$ | $10.\log(\beta + \frac{(\beta-1)^2}{4})$ |
| Ratio de courant au fondamental (auxiliaire/principal) | $(\beta - 1)$ | $\frac{\beta-1}{\beta\sqrt{2}}$ ou $\frac{(\beta-1)^2}{2\beta}$ |

Tableau II.6 – Comparaison de la théorie de la classe B entre l'amplificateur Doherty et le LMBA.

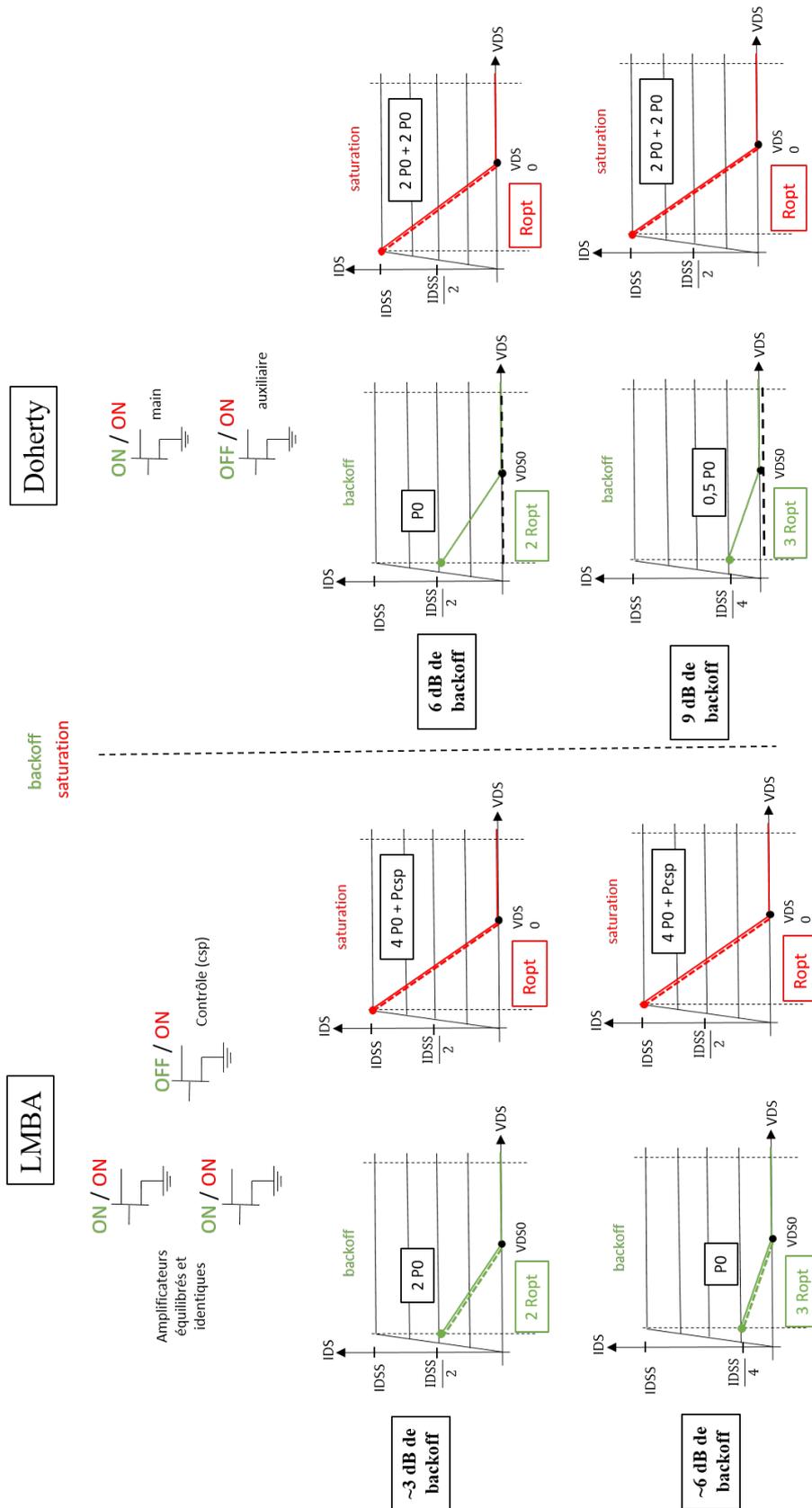


FIGURE II.41 – Comparaison LMBA "Doherty-Like" vs Amplificateur Doherty

6 Conclusion générale sur les amplificateurs à modulation de charge

Les architectures à modulation de charge présentent une moins bonne linéarité comparée aux amplificateurs conventionnels polarisés en classe AB. Cette dégradation de la linéarité, observable par d'importantes variations d'AM/PM, est induite principalement par la variation de la capacité C_{in} du transistor qui est la capacité équivalente d'entrée. Cette valeur prenant en compte les effets non linéaires provoqués par la capacité C_{GS} mais aussi de la capacité C_{GD} [73]. Cette approximation de C_{in} est également liée au gain en tension $\frac{g_m}{G_L}$, comme le démontre l'équation (II.86), et qui est dépendante de l'impédance de charge. Une architecture d'amplificateur de puissance à modulation de charge active voit donc cette capacité C_{in} varier plus fortement qu'un amplificateur classique.

$$C_{in} = C_{GS} + C_{GD}\left(1 + \frac{g_m}{G_L}\right) \quad (\text{II.86})$$

Avec g_m la transconductance de la cellule de puissance et G_L la conductance de charge.

L'amélioration de cette caractéristique d'AM/PM a été au cœur de plusieurs études, sur l'architecture Doherty notamment. L'une d'entre elle [74] a mis en lumière l'impact du choix des points de polarisation sur l'allure de la caractéristique de conversion de phase, lorsque que l'amplificateur auxiliaire est éteint. Il a également illustré l'impact du réseau d'adaptation d'entrée sur l'AM/PM [75]. En relâchant quelque peu la contrainte sur l'adaptation d'entrée, donc en acceptant une certaine désadaptation, l'AM/PM est améliorée. En revanche, cela ne peut se faire qu'au détriment des performances de gain et de PAE. Plusieurs autres études ont été présentées, mais apparaissent plus complexes et possiblement moins applicables sur le LMBA. Cette architecture, plus récente, présente, comme déjà explicité, des conditions de modulation de charge différentes de l'amplificateur Doherty.

L'allure de la réponse en gain du LMBA est conditionnée par deux facteurs[59]. Le premier est induit par le maintien de l'excursion maximale de la tension sur les amplificateurs équilibrés dans la zone de modulation de charge. Cela provoque une réponse non linéaire du gain de l'architecture. Cela s'explique par le fait que l'amplificateur de contrôle doit fournir une quantité de puissance inférieure pour effectuer la même modulation par rapport à l'amplificateur auxiliaire qui compose le DPA. Cette contribution plus importante des voies équilibrées induit une compression de gain plus importante dans la zone de fonctionnement à haut rendement.

Une étude proposée par Cardiff [76], est basée sur une topologie proche du SLMBA, où l'amplificateur de contrôle est polarisé en classe AB et les amplificateurs équilibrés sont polarisés en classe C. L'ajout d'un limiteur en entrée du transistor de contrôle permet d'éviter de le faire fonctionner à trop forte saturation. Les résultats de cette étude mettent en avant une réponse en gain linéaire (compression maximale de 2 dB), qui est maintenue sur une large dynamique de puissance de sortie (9 dB d'OBO).

[77] propose un choix de classe J de fonctionnement pour les amplificateurs équilibrés, pour avoir un bon compromis entre back-off (6 dB) et minimisation de l'AM/PM. Typiquement, la classe J permet un choix de fermeture d'harmonique adéquat pour le haut rendement et une synthèse d'impédance de charge réactive avec une partie non réelle au fondamental pour trouver des lieux de conversion AM/PM minimum. Cela dit, il apparaît que l'analyse comparative de linéarité entre les diverses techniques de modulation de charge est problématique donc les conclusions ne pas très bien établies.

7 Résilience au TOS

Parmi les champs d'investigation actuels concernant les amplificateurs de puissance, il apparaît une problématique qui est leur robustesse vis-à-vis des variations de TOS de charge. C'est un sujet particulièrement sensible dans le contexte des antennes actives. Nous ne décrivons pas ici les solutions consistant à détecter les TOS et agir sur des paramètres fonctionnels des cellules d'amplification comme par exemple les tensions de polarisation ou le niveau de puissance appliqué en entrée. Il est intéressant de noter deux références qui peuvent alimenter la réflexion pour cette problématique dans un cadre d'amplificateurs à haut rendement à modulation de charge.

- la compensation de l'effet d'une désadaptation de charge dans une architecture Doherty par un contrôle adéquat du signal RF d'entrée de la voie auxiliaire [78].
- la structure dite « Double Balanced LMBA » proposée par [79] qui repose sur les bénéfices d'une architecture équilibrée classique dans la compensation interne entre les deux amplificateurs équilibrés. Une structure équilibrée est naturellement plus résiliente au TOS qu'une structure parallèle conventionnelle. Comme un TOS d'antenne affecte l'isolation de la voie de contrôle, il est pertinent de connecter sur cette voie de contrôle un amplificateur équilibré lui-même résilient au TOS.

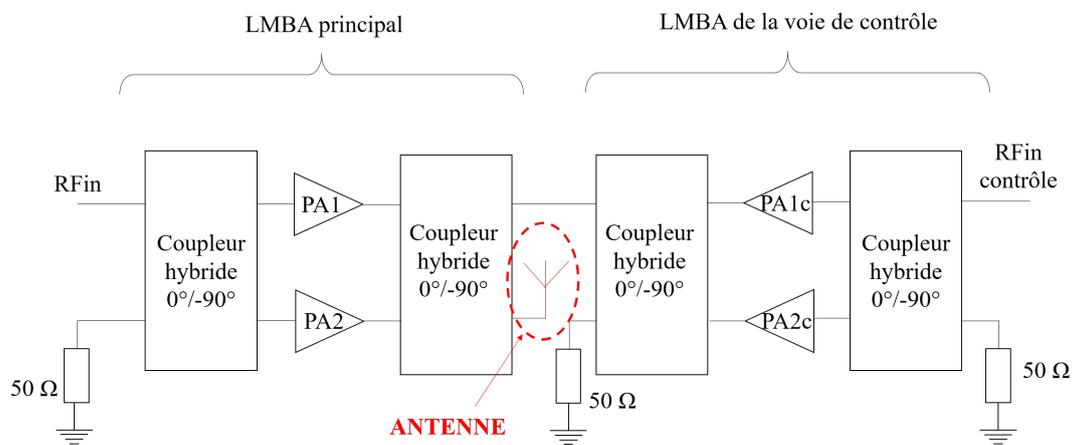


FIGURE II.42 – Schéma du principe du "Double Balanced LMBA"

Chapitre **III**

Méthodologie de conception d'un LMBA 'Doherty-Like' dual input

Sommaire

| | | |
|-----|---|-----|
| 1 | Introduction | 90 |
| 2 | Éléments de conception d'un amplificateur LMBA | 90 |
| 2.1 | Choix du transistor et du substrat | 90 |
| 2.2 | Analyse DC | 91 |
| 2.3 | Etude petit signal | 93 |
| 2.4 | Etude fort signal | 94 |
| 2.5 | Conception des coupleurs | 97 |
| 2.6 | Adaptation de sortie | 99 |
| 2.7 | Conception de la cellule de l'amplificateur équilibré | 103 |
| 2.8 | Assemblage du prototype d'amplificateur LMBA | 108 |
| 3 | Réalisation du démonstrateur LMBA « dual-input » | 113 |
| 4 | Mesure fort signal de l'amplificateur équilibré | 115 |
| 4.1 | Caractérisation 2 ports du LMBA « dual-input » | 116 |
| 4.2 | Résultats de mesures | 122 |
| 5 | Conclusion et implémentation de la voie de contrôle | 123 |

1 Introduction

Dans ce chapitre, une méthodologie de conception d'un LMBA de type Doherty Like est proposée en appliquant la méthodologie présentée dans le Chapitre II. L'enchaînement des étapes principales de simulation pour la conception est celui décrit au cours du Chapitre I.

La conception d'un LMBA commence par la réalisation d'un amplificateur seul qui doit avoir des performances RF adéquates notamment en bande passante et en rendement pour envisager son intégration dans l'architecture. Par la suite, cet amplificateur sera dupliqué et les coupleurs hybrides d'entrée et de sortie seront ajoutés. L'architecture LMBA « dual-input » prend forme par l'ajout d'une source de puissance 50Ω sur le port isolé du coupleur de sortie, permettant ainsi d'observer le bénéfice de la modulation de charge active.

La maquette réalisée que l'on peut qualifier de « maquette Dual Input » n'intègre pas le circuit d'amplification constituant la voie de contrôle. Cette version est destinée à être caractérisée sur un banc de laboratoire qui est décrit dans la suite dans ce chapitre et qui possède deux canaux pour la génération de deux voies RF synchrones. Les variations d'amplitude et de phase calibrées du signal généré pour alimenter l'accès de contrôle du LMBA permettront d'étudier expérimentalement les lois de commandes nécessaires pour effectuer la modulation de charge des amplificateurs équilibrés et les performances en puissance et en rendement associées. Ce chapitre présente les performances CW simulées et mesurées de l'amplificateur LMBA réalisé, et met en avant les limitations propres à cette méthodologie.

2 Eléments de conception d'un amplificateur LMBA

2.1 Choix du transistor et du substrat

Pour valider le principe de l'étude présentée au Chapitre II, nous avons opté pour la conception d'une maquette en bande C (fréquence centrale de 3.65 GHz) en utilisant des transistors HEMT GaN CGH40010F de Wolfspeed en boîtier céramique. Ces transistors sont utilisés fréquemment dans ces bandes de fréquences pour valider des architectures Doherty ou LMBA présentées dans la littérature.

La puce GaN est brasée sur une semelle CuMoCu (Cuivre- Molybdène) à l'aide d'une préforme (Au-Sn 80/20 %) puis fermée à l'intérieur d'un boîtier SOT467C céramique offrant de bonnes propriétés thermiques et mécaniques. Les pads de connexion de drain et de grille sont connectés électriquement sur les ailettes d'accès de grille et de drain, offrant une gestion mécanique et électrique aisée dans un environnement de type PCB, comme l'illustre la Figure III.1. Le contact de source est directement connecté à la semelle métallique du boîtier et permet une mise à la masse aisée. La connexion à la masse du transistor et donc la gestion thermique sont facilitées, avec une résistance thermique R_{th} de $8^\circ\text{C}/\text{W}$. Ce transistor en boîtier a une bande de fonctionnement allant du DC à 6 GHz. Il fournit une puissance de sortie de 10 W pour une tension de polarisation DC de drain de 28 V. Les caractéristiques de ce composant sont accessibles

dans [80].

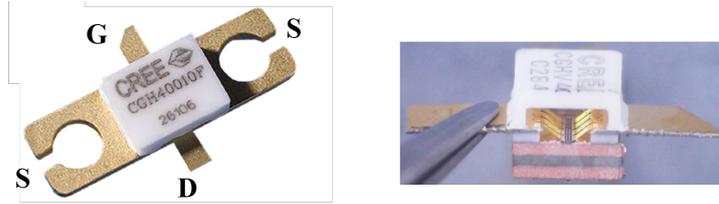


FIGURE III.1 – Le transistor CGH40010F avec son boîtier céramique et sa semelle métallique.

Le modèle fourni par Wolfspeed possède un accès aux sondes de courant et de tension intrinsèques de drain. Ces paramètres nous permettent de suivre les étapes de conception présentées dans le Chapitre II qui reposent sur la maîtrise des impédances dans les plans du coupleur et de la source de courant intrinsèque.

Le substrat utilisé est le Rogers 4003C [81]. Ses caractéristiques principales sont regroupées dans le Tableau III.1.

| Substrat | Permittivité $\epsilon_{r_{design}}$ | Epaisseur H | $\tan(\delta)$ | Epaisseur T |
|----------|---|-------------------|----------------|------------------|
| RO4003C | 3.55 | 508 μm | 0.0021 | 35 μm |

Tableau III.1 – Caractéristiques du substrat Rogers RO4003C utilisé.

Les PCB RF intègrent à la fois des composants CMS, et des lignes micro ruban et permettent la conception aisée de circuits RF et DC pour l'adaptation et la polarisation des cellules en boîtier. La maquette sera réalisée à la fréquence centrale de 3.65 GHz, avec un fonctionnement sur une bande [3.45 – 3.85] GHz.

Comme notre étude s'inscrit dans un contexte d'amplification de signaux de radiolocalisation (application Galileo), un fonctionnement à haut rendement sur une dynamique proche de 3 dB de puissance de sortie est visé, soit une modulation de charge de $2 R_{opt} \rightarrow R_{opt}$ ($\beta=2$), d'après le chapitre précédent.

2.2 Analyse DC

Pour déterminer le point fonctionnement optimal de ce transistor, une analyse DC est effectuée, permettant notamment la détermination de la tension de pincement V_p . Cette première simulation permet d'avoir une estimation de l'impédance de charge intrinsèque optimale en fort signal R_{opt} , d'après un cycle de charge idéalisé comme détaillé dans le chapitre II et un état de fonctionnement thermique estimé. Le modèle n'est pas électrothermique car il ne prend pas en compte la puissance dissipée dans le calcul de la réponse I_{DS} (en mode fort signal par équilibrage harmonique par exemple). Cependant, il est possible de paramétrer une résistance thermique et une température de base pour prendre en compte la thermique, en estimant un point de fonctionnement typiquement représentatif de l'état d'utilisation du transistor [20].

La PAE estimée du transistor au point de recul de puissance est proche de 45 %. Partant de cette estimation, on peut déterminer les puissances DC et dissipée, ainsi qu'une estimation de la température de semelle (T_{base}), telles que :

$$P_{DC\ estimee} = V_{DS0} \frac{I_{pmax\ en\ recul}}{\pi} = 28 \cdot \frac{1}{\pi} = 9W \quad (III.1)$$

$$P_{dissipee\ estimee} = P_{DC\ estimee}(1 - PAE) = 4.95W \quad (III.2)$$

$$T_{base\ estimee} = T_{ambiante} + R_{th} \cdot P_{dissipee\ estimee} = 25 + (8 \times 4.95) \approx 65^{\circ}C \quad (III.3)$$

Les caractéristiques I/V considérées sont donc estimées à $65^{\circ}C$, afin d'être représentatives de l'état typique dans lequel va fonctionner le FET dans l'application finale.

Classiquement, pour une polarisation proche de la classe AB profonde, à environ 5 % d' I_{DSS} et conformément aux courbes tracées figure III.2 , l'impédance R_{opt} vaut :

$$R_{opt} = \frac{V_{DS0} - V_k}{\frac{I_{pmax}}{2}} \approx 30\Omega \quad (III.4)$$

La valeur de R_{opt} est un point clé de la conception car elle détermine l'impédance caractéristique du coupleur de sortie ($Z_C = 2R_{opt}$), et sera conservée durant toute cette conception.

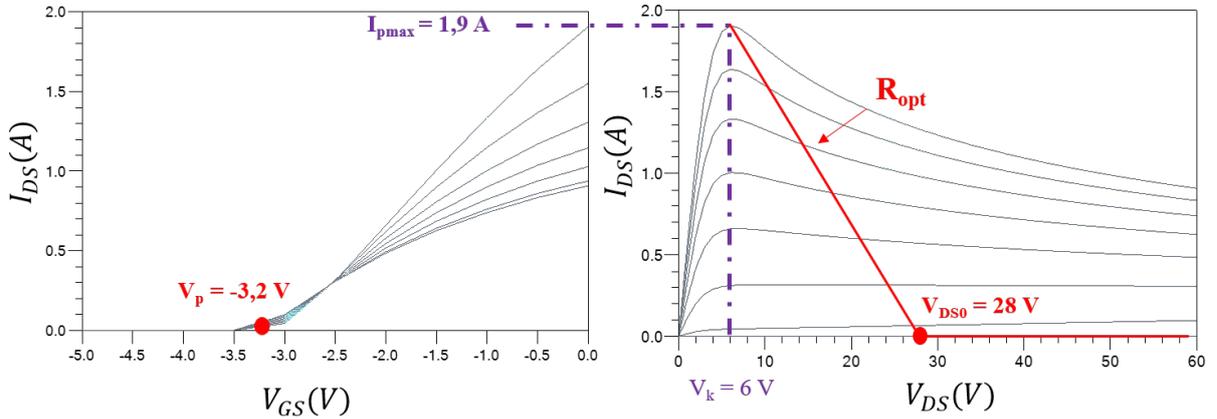


FIGURE III.2 – Caractéristiques I/V du transistor CGH40010F issues d'une simulation DC avec $T_{base}=65^{\circ}C$.

Les deux transistors composant les voies en quadrature du LMBA sont polarisés en classe AB profonde, soit : $(V_{GS0}, V_{DS0}) = (-2.95\text{ V}, 28\text{ V})$. A ce point de repos, le courant I_{DSQ} est de 86 mA. Le transistor de contrôle est polarisé en classe C, avec une polarisation DC de grille déterminée théoriquement, d'après l'équation (II.74), soit : $V_{GS0} = -4.8\text{ V}$. Cette valeur pourra être optimisée par la suite.

2.3 Etude petit signal

Cette étude permet d'avoir accès aux valeurs des impédances petit signal d'entrée Z_{in} et de sortie Z_{out} du transistor. Cette simulation en paramètres [S] permet de situer ces impédances sur l'abaque, et nous donne un ordre d'idée concernant la localisation des impédances à adapter en fort signal. La Figure III.3 présente les impédances d'entrée et de sortie, ainsi que leur complexe conjugué.

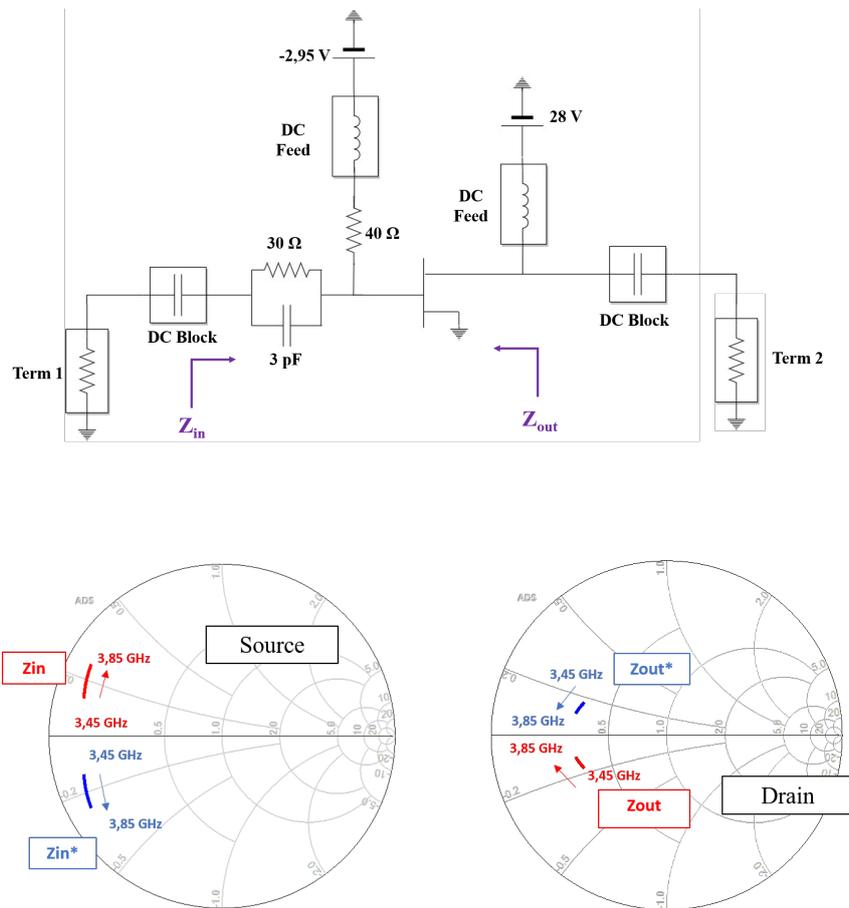


FIGURE III.3 – Etude en paramètres [S] du transistor avec ses réseaux de polarisation idéaux et son réseau de stabilisé.

Le motif de stabilisation employé et inséré côté grille du transistor est un filtre RC parallèle composé d'une résistance de 30Ω et d'une capacité de 3 pF . Une résistance de 40Ω est également insérée sur l'accès de polarisation de grille. L'ensemble de ce motif assure ainsi la stabilité inconditionnelle à bas niveau.

La Figure III.4 montre les courbes des coefficients de stabilité linéaire K et B et de gain maximum en fonction de la fréquence avec et sans réseaux de stabilisation. La version stabilisée simulée est constituée de la version layout du réseau de polarisation et d'adaptation d'entrée. Il est constaté qu'à certaines fréquences, des cercles de stabilité de source rentrent dans l'abaque. Ces coefficients de réflexion sont cependant très éloignés des zones optimales aux fréquences considérées, la stabilisation proposée constituant donc une marge suffisante pour la stabilité du

dispositif.

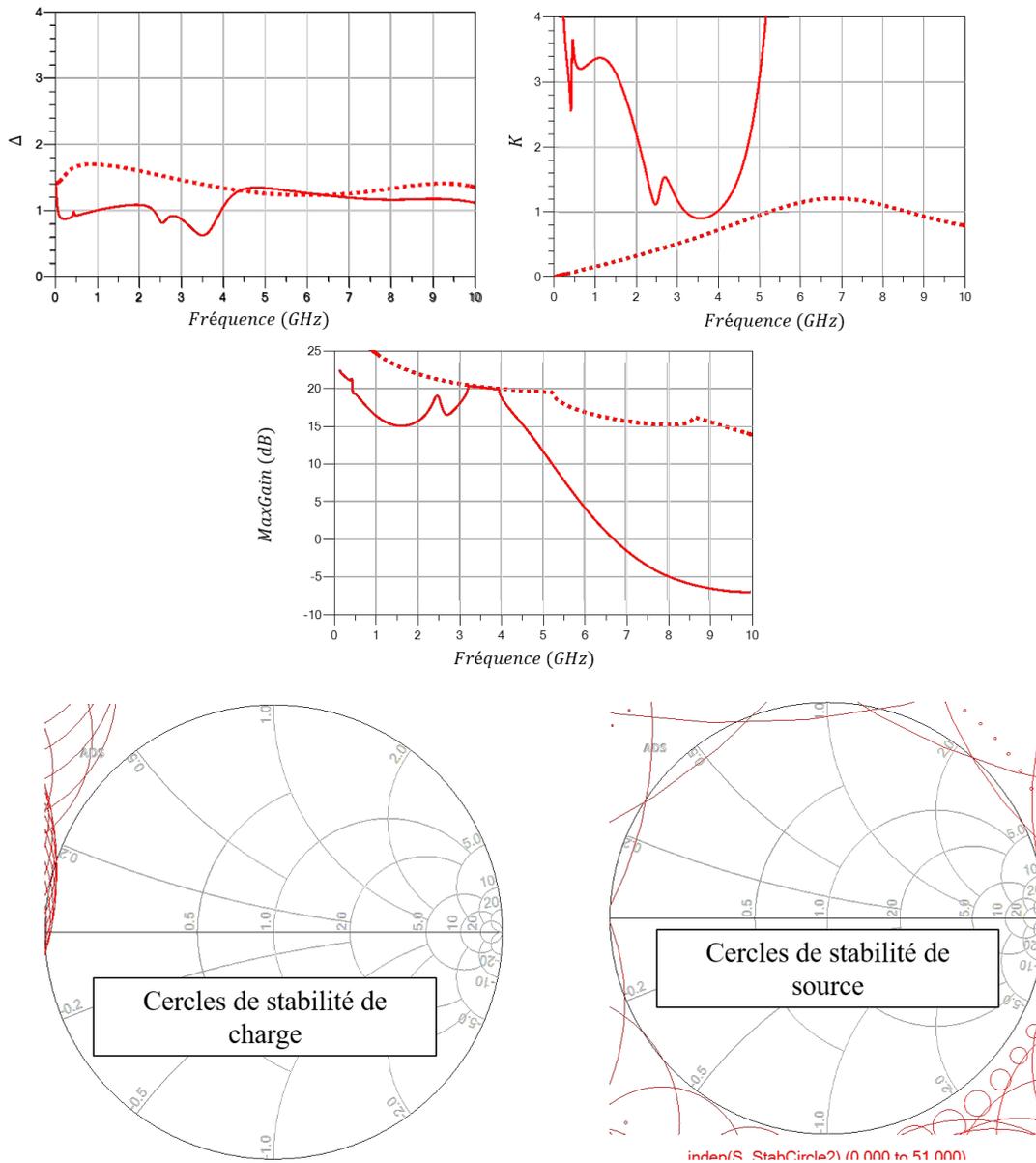


FIGURE III.4 – Transistor sans ajout du réseau de stabilisation (pointillés) et transistor inconditionnellement stable après ajout du motif de stabilisation (traits pleins) et cercles de stabilité associés.

2.4 Etude fort signal

L'étude en mode fort signal permet de déterminer les terminaisons optimales pour la puissance de sortie et pour le rendement en puissance ajoutée sur toute la bande de fréquence. Pour cela, l'ensemble des étapes de simulation de type load pull et source pull décrites dans le Chapitre I est effectué sur le transistor stabilisé.

Les résultats issus des itérations de LP/SP au fondamental et à l'harmonique 2 sont montrés sur la Figure III.5.

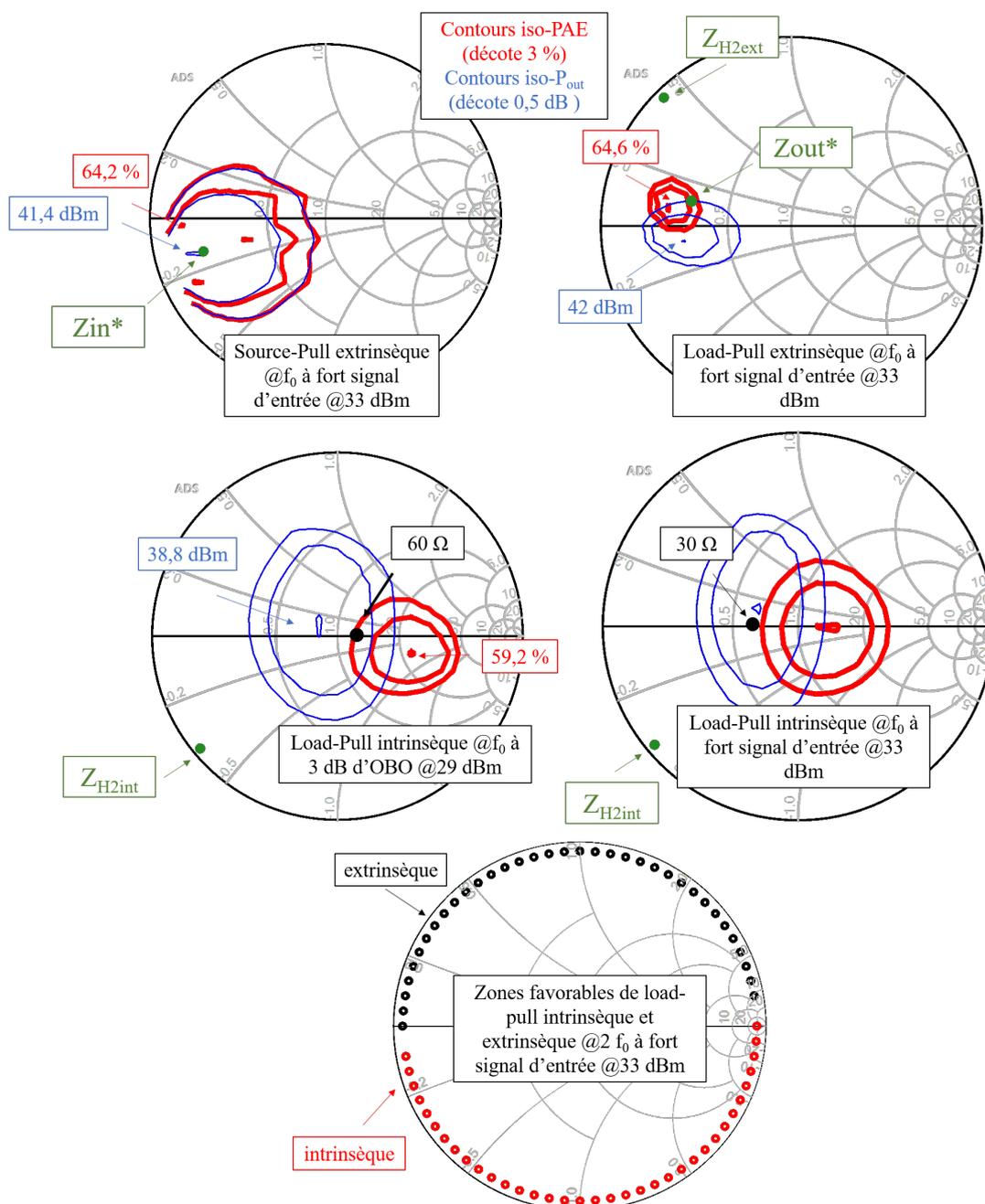


FIGURE III.5 – Simulations de load-pull et source-pull du transistor CGH40010F à 3.65 GHz ($V_{DS0} = 28$ V, $V_{GS0} = -2.95$ V). Zones intrinsèque et extrinsèque optimales à l'harmonique 2 (PAE > 60 %)

La faible sensibilité des performances vis-à-vis de la terminaison à l'harmonique 2 par rapport à ce qui a été présenté au chapitre I en guise d'illustration sur une puce nue est à remarquer. Ceci est typiquement obtenu grâce à la stratégie d'optimisation de l'encapsulation de la puce dans son boîtier par le fabricant, et permet d'envisager une conception plus aisée avec un substrat RF

à faible permittivité diélectrique et relativement bas cout.

D'après la méthodologie présentée dans le Chapitre II de ce manuscrit, les impédances présentées en intrinsèque à la source de courant du transistor doivent être réelles. Nous repérons alors les impédances réelles $R_{opt} = 30 \Omega$ à la saturation et $2R_{opt} = 60 \Omega$ en recul de puissance très proches des points optima. Ces impédances sont associées à des terminaisons harmoniques intrinsèques relativement basses et capacitives. Ce sont donc ces valeurs d'impédances réelles qui sont choisies pour la conception.

Sur la Figure III.6., les cycles de charge associés aux impédances réelles R_{opt} et $2 R_{opt}$ sont présentés pour la fréquence de 3,65 GHz. A la saturation, la puissance de sortie est proche de 13 W, avec une PAE de 63.4 %. Au back-off, la puissance de sortie est près de deux fois inférieure, soit de 6.4 W, avec une PAE proche 62 %. Toute la suite de la conception va se baser sur ces deux impédances obtenues, avec notamment la réalisation du coupleur de sortie ayant une impédance caractéristique $Z_0 = 2 R_{opt} = 60 \Omega$.

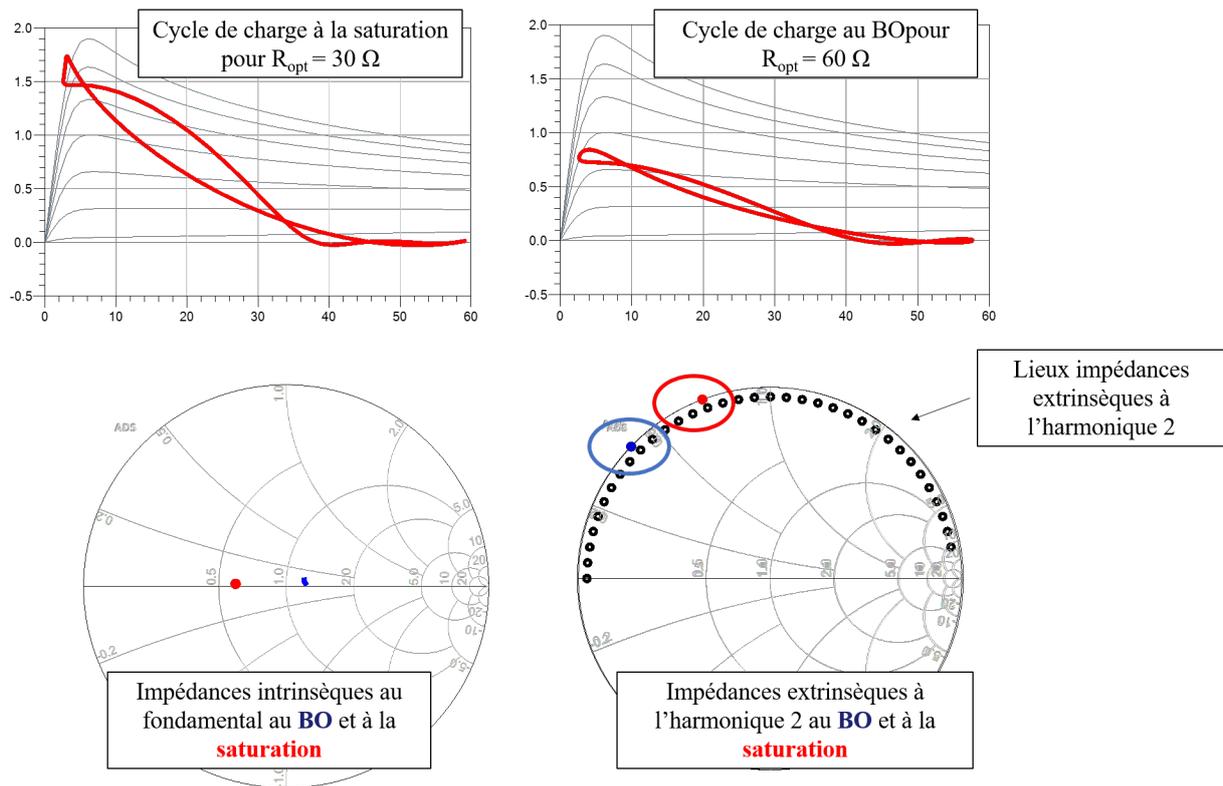


FIGURE III.6 – Cycles de charge à la saturation et au back off à la fréquence centrale et impédances intrinsèques associées au fondamental (Fréquence centrale = 3,65 GHz) et à l'harmonique 2.

Concernant l'impédance de source à l'harmonique 2, une analyse source-pull nous indique une terminaison optimale à une impédance faible, proche du court-circuit, comme c'est typiquement le cas pour un fonctionnement haut rendement avec ce type de transistor dans ces bandes de fréquences.

2.5 Conception des coupleurs

2.5.1 Coupleur d'entrée 50 Ω

Le coupleur d'entrée, qui permet la mise en quadrature des deux cellules de puissance, est un coupleur 50 Ω . La topologie utilisée est la topologie « branch-line » [82]. La géométrie simple de ce coupleur est illustrée sur la Figure III.7, et a été retenue pour permettre la validation de cette étude. D'après la connaissance de l'impédance caractéristique souhaitée, il est alors aisé de concevoir ce genre de coupleur avec l'outil « Linecalc » du logiciel ADS. Les dimensions des lignes composant ce coupleur d'entrée sont répertoriées dans le Tableau III.9.

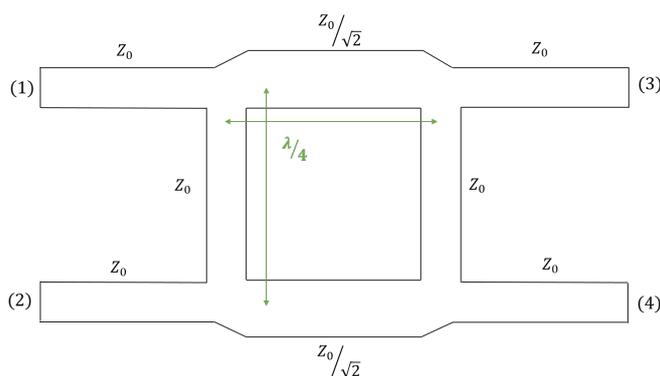
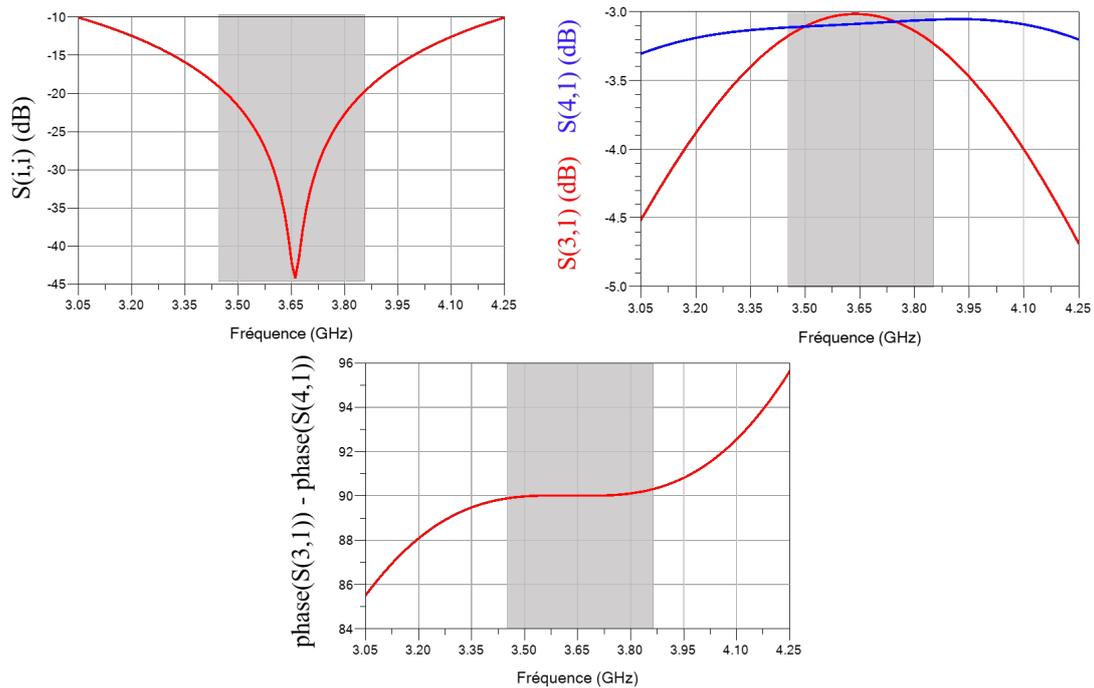


FIGURE III.7 – Géométrie d'un coupleur de type branch-line.

Les dimensions ainsi obtenues doivent être légèrement retouchées afin que les performances soient au plus proche de celles attendues lors des simulations EM finales. Les performances sont présentées sur la Figure III.8. L'équilibre des amplitudes entre les voies 3 et 4 doit être le meilleur possible dans la bande d'intérêt. Pour ce coupleur, l'écart le plus important se situe à la fréquence la plus haute (3.85 GHz), avec un écart de près de 0.2 dB (-3.2 dB contre -3.06 dB), ce qui reste relativement acceptable comparativement aux coupleurs commerciaux que l'on peut trouver dans ces bandes de fonctionnement (+/- [0.25 - 0.5] dB chez le fabricant Anaren par exemple). L'équilibre des phases est également un paramètre important. Il est ici proche de 0° sur toute la bande.

FIGURE III.8 – Performances du coupleur 50 Ω d'entrée.

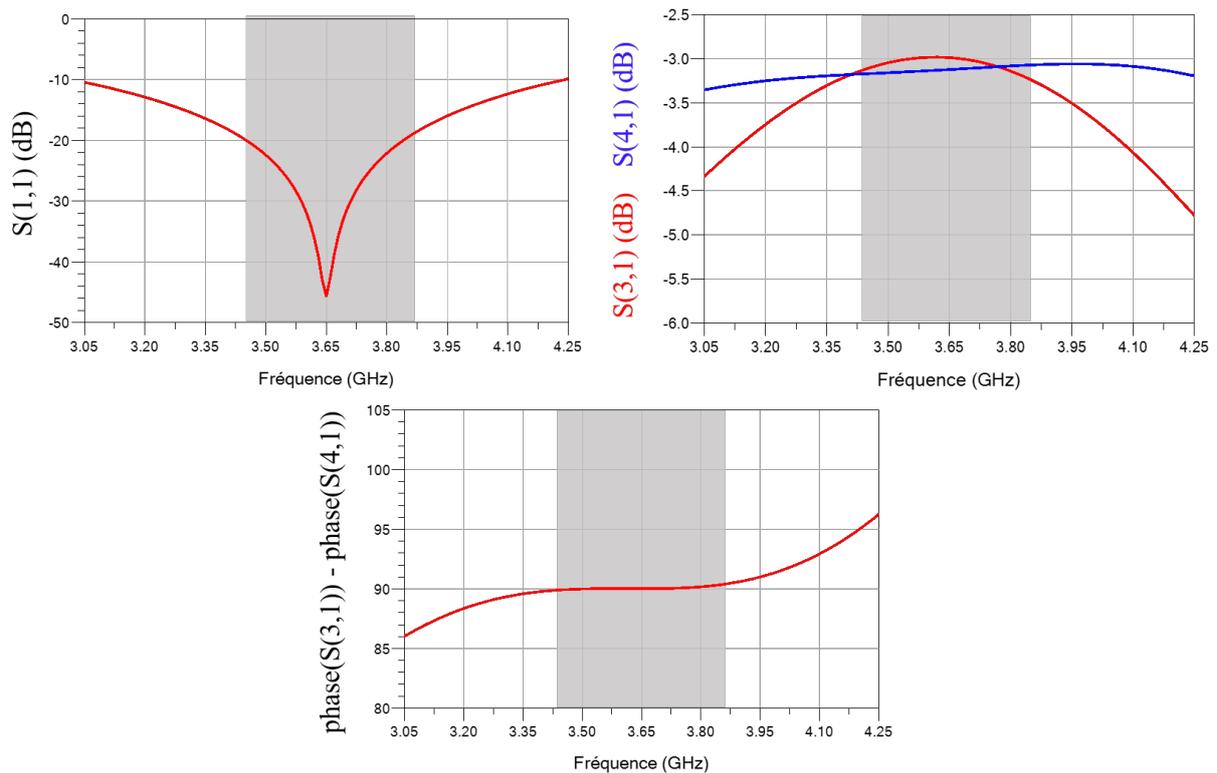
2.5.2 Coupleur de sortie

D'après le cahier des charges, une modulation de charge au fondamental de $2 R_{opt} \rightarrow R_{opt}$ associée à un OBO de 3.55 dB est nécessaire. Connaissant la valeur de la résistance R_{opt} , on peut déterminer l'impédance caractéristique du coupleur de sortie d'après le chapitre précédent, soit $Z_C = 2 R_{opt} = 60 \Omega$. La méthodologie de conception étant identique à celle du coupleur d'entrée, les dimensions des lignes sont listées dans le Tableau III.9.

| | | | |
|-----------------------------------|---------------------|-------------|------------------------------|
| Coupleur d'entrée 50 Ω | Longueur électrique | $\lambda/4$ | |
| | Impédance | 50 Ω | $50/\sqrt{2} = 35.35 \Omega$ |
| | W (μm) | 1110 | 1880 |
| | L (μm) | 12277 | 10885 |
| Coupleur de sortie 60 Ω | Longueur électrique | $\lambda/4$ | |
| | Impédance | 60 Ω | $60/\sqrt{2} = 42.43 \Omega$ |
| | W (μm) | 951 | 1660 |
| | L (μm) | 12677 | 11085 |

FIGURE III.9 – Dimensions physiques des lignes qui composent le coupleur d'entrée 50 Ω et le coupleur de sortie 60 Ω (Substrat Rogers 4003C).

La Figure III.10 présente les performances du coupleur de sortie. Un bon équilibre d'amplitude et de phase est obtenu dans la bande de fréquence [3.45-3.85] GHz. Ce coupleur seul est aisé à réaliser, mais son implémentation dans la topologie LMBA nécessitera quelques modifications de ses dimensions pour obtenir des performances optimales.


 FIGURE III.10 – Performances du coupleur 60 Ω de sortie.

La prochaine étape de la conception est la réalisation de l'adaptation de sortie des voies équilibrées, avec l'implémentation d'une ligne $\frac{\lambda}{2}$ entre les sources de courant intrinsèques et le coupleur d'impédance caractéristique $2R_{opt} = 60\Omega$.

2.6 Adaptation de sortie

Le coupleur de sortie n'étant pas d'impédance caractéristique 50 Ω , il ne pourra pas directement être connecté à l'accès de sortie RF 50 Ω . Une transformation de $Z_L = 60\Omega$ vers 50 Ω doit donc être réalisée. La topologie choisie est une structure en éléments distribués série, qui, par son facteur de qualité plus faible qu'une topologie employant des stubs, permet une transformation large bande.

La topologie série à double section proposée par [83], permet d'assurer une transformation à partie réelle constante sur la bande de fréquence visée. Ce circuit est constitué de deux lignes quart d'onde d'impédances caractéristiques différentes, à la fréquence centrale f_0 , soit 3.65 GHz dans le cas présent. Ce circuit est présenté sur la Figure III.11.

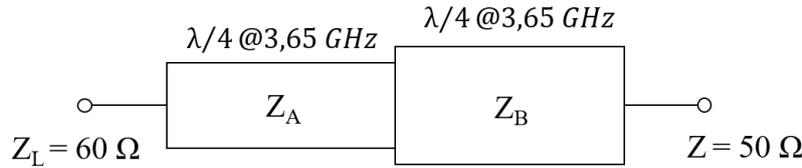


FIGURE III.11 – Principe de la transformation double section proposé par [82]

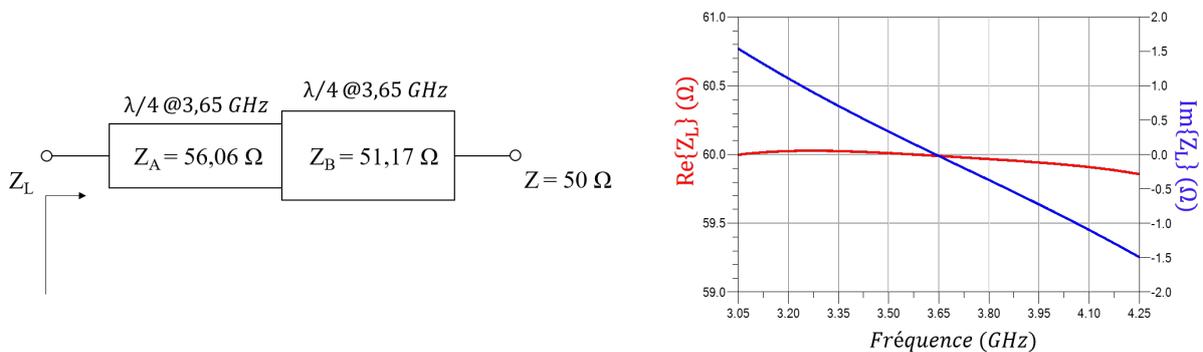
Les valeurs des impédances caractéristiques Z_A et Z_B , dont l'analyse est détaillée dans [83], permet d'aboutir à une transformation d'impédance à partie réelle constante sur la bande de fonctionnement.

$$Z_A = \frac{Z_L}{\sqrt{2}} \frac{1 + \frac{1}{\sqrt{k}}}{\sqrt{1 + \sqrt{k}}} \quad (\text{III.5})$$

$$Z_B = \frac{Z_A}{\sqrt{k}} \quad (\text{III.6})$$

Avec k qui représente le ratio de transformation d'impédance : $k = \frac{Z_0}{Z} = 1.2$.

La Figure III.12 illustre l'évolution des parties réelle et imaginaire de l'impédance Z_L dans le plan du coupleur de sortie. On observe que la partie réelle de cette impédance est maintenue égale à 60Ω sur la bande d'intérêt. Concernant la partie imaginaire, elle reste proche de 0° sur cette même bande.

FIGURE III.12 – Principe de la transformation double section proposé par [80] appliqué à cette conception – Evolution des parties réelles et imaginaires de l'impédance $Z_L = Z_C$ en fonction de la fréquence

L'adaptation de sortie des amplificateurs équilibrés est basée sur ce même principe. En revanche, l'impédance caractéristique Z_A est contrainte, les impédances caractéristiques Z_A et Z_B devant être identiques.

De façon à réduire le facteur de qualité de la charge à adapter et ainsi à maximiser la bande passante obtenue, l'adaptation de sortie des voies équilibrées intègre les éléments parasites

associés aux sources de courant des transistors tels que décrits dans le chapitre I. La détermination de ces éléments se fait par l'analyse proposée dans le Chapitre I de ce manuscrit. Leurs valeurs extraites sont les suivantes :

$$C_{out} = 1.44 \text{ pF} \text{ et } L_{out} = 0.66 \text{ nH} \quad (\text{III.7})$$

La prise en compte de ces éléments parasites va permettre de synthétiser une ligne quart d'onde équivalente, motif qui sera dupliqué pour en faire une ligne demi onde. De ce fait une modulation de charge identique sera effectuée dans le plan du coupleur et dans le plan de la source de courant intrinsèque. Ce circuit passif est considéré chargé par une impédance purement résistive et présentant des variations réelles de $2 R_{opt} \rightarrow R_{opt}$, suivant la quantité de courant injectée sur le port isolé du coupleur de sortie. La self inductance L_x telle qu'illustrée sur la Figure III.11 prend la valeur de 0.69 nH selon l'équation (II.47). Ainsi, l'impédance caractéristique de chaque tronçon $\frac{\lambda}{4}$ vaut $R_{opt} = 30 \Omega$.

Pour réaliser l'équivalence entre le circuit composé uniquement d'éléments localisés et celui approché avec des éléments distribués (Figure III.13), une estimation analytique est faite dans un premier temps, puis une optimisation finale avec le logiciel ADS est menée.

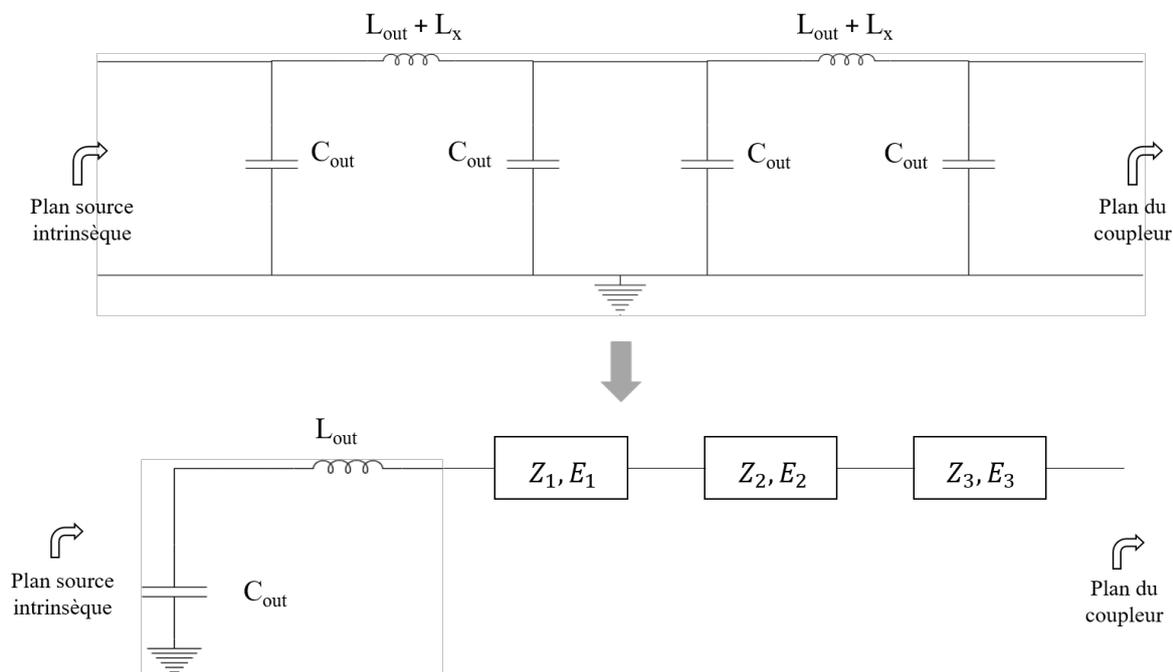


FIGURE III.13 – Transformateur en éléments localisés (en haut) et transformateur équivalent en éléments distribués (en bas).

Estimation de L_x

Pour une longueur électrique E_1 faible (longueur physique typiquement $< \frac{\lambda}{16}$, soit environ 2,7 mm à cette fréquence), on peut alors synthétiser une self série par une ligne de transmission



FIGURE III.14 – Matrices chaînes associées à une self série et à une ligne de transmission série sans pertes

d'autant plus exactement que l'impédance Z_1 est forte :

$$E_1 = \arcsin\left(\frac{L_x\omega}{Z_1}\right) = 23.3^\circ \text{ (pour } Z_1 = 40 \Omega) \quad (\text{III.8})$$

Estimation de C_{out}

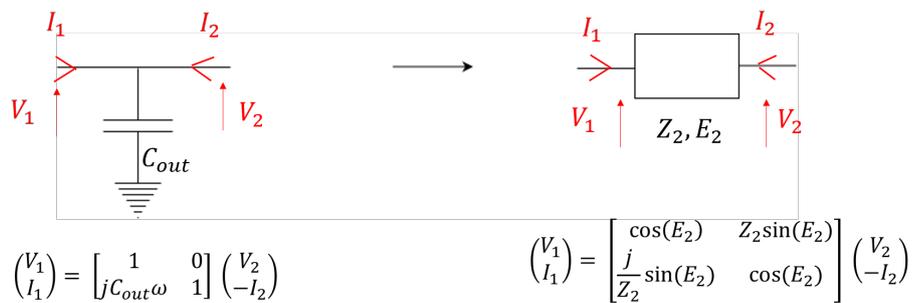


FIGURE III.15 – Matrices chaînes associées à une capacité shunt et à une ligne de transmission série sans pertes

De la même façon, on peut alors écrire :

$$E_2 = \arcsin(Z_2 C_{out} \omega) = 22.5^\circ \text{ (pour } Z_2 = 11.6 \Omega) \quad (\text{III.9})$$

La ligne (Z_3 ; E_3) étant une ligne quart d'onde, les valeurs de ses paramètres doivent être proches de $Z_3 = 30 \Omega$ et $E_3 = 90^\circ$.

Une fois ces valeurs déterminées, la phase d'optimisation avec le logiciel ADS peut démarrer. Le tableau ci-dessous donne les résultats après optimisation.

| Z_1 | E_1 | Z_2 | E_2 | Z_3 | E_3 |
|---------------|---------------|---------------|----------------|----------------|----------------|
| 33.3 Ω | 23.2 $^\circ$ | 11.6 Ω | 19.53 $^\circ$ | 28.38 Ω | 78.18 $^\circ$ |

Tableau III.2 – Paramètres des éléments distribués après optimisation.

La Figure III.16 montre que le circuit d'adaptation de sortie conçu et chargé sur $2 R_{opt}$ et R_{opt} , réalisent les transformations d'impédances souhaitées. Il est vérifié que les variations

d'impédances de 30 à 60 Ω sont bien reproduites dans le plan intrinsèque des sources de courant à la fréquence centrale. Les courbes bleues de cette figure représentent les variations d'impédances en fonction de la fréquence à 3 dB de recul en puissance tandis que les courbes rouges concernent la saturation. Il est constaté que les variations d'impédance sur la bande de fréquence sont plus importantes dans la situation correspondant au recul de puissance. Elles représentent en effet l'impédance d'entrée d'une ligne $\frac{\lambda}{2}$ d'impédance $Z_C = 30 \Omega$ terminée par une charge de 60 Ω . Pour de faibles écarts de fréquence par rapport à la fréquence centrale f_0 , on peut démontrer [33] que l'impédance d'entrée présentée à la source de courant, peut être modélisée par un circuit résonant parallèle. Cela implique que ce point de back-off est le point critique en terme de bande passante, comme c'est le cas dans une structure de type Doherty.

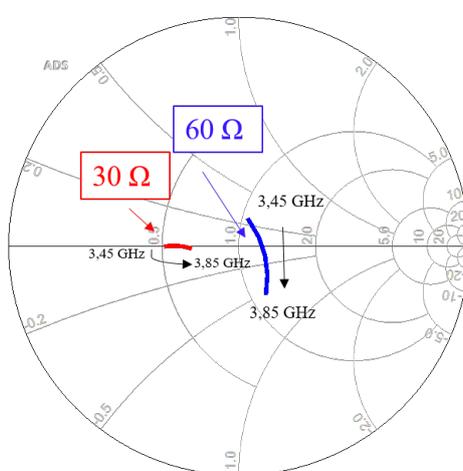


FIGURE III.16 – Coefficients de réflexion intrinsèques présentés par l'adaptation en éléments distribués (droite) sur la bande de fréquence pour une charge résistive de 60 $\Omega = 2 R_{opt}$ et 30 $\Omega = R_{opt}$

2.7 Conception de la cellule de l'amplificateur équilibré

2.7.1 Conception des réseaux de polarisation de drain

La conception des réseaux de polarisation est une étape primordiale pour la réalisation d'un amplificateur de puissance, et ce d'autant plus pour des applications à large bande passante. Ils permettent en premier lieu d'amener les signaux de polarisation par un chemin électrique présentant la plus basse impédance possible (minimisation des effets d'auto-induction et résistifs), permettant de minimiser les effets de mémoire basse fréquence électrique de l'amplificateur. Ils jouent également un rôle important dans l'obtention de performances optimisées en rendement énergétique pour l'amplificateur par un contrôle de la terminaison à l'harmonique 2 au plus proche du drain du transistor.

Comme illustré sur la Figure III.17, la topologie choisie pour cette conception est une ligne quart d'onde, derrière laquelle est positionné un stub radial en circuit ouvert qui réalise le court-circuit RF. Cet ajout permet de présenter une impédance proche du circuit ouvert au point de

connexion avec le circuit d'adaptation RF. Cette topologie simple permet également de ramener un court-circuit au deuxième harmonique à ce même point de connexion. En basse fréquence, le choix judicieux des valeurs et technologies des capacités de découplage BF sur la ligne d'alimentation permet de maintenir une impédance relativement peu inductive dans la bande d'enveloppe, en jouant notamment sur la fréquence de résonance de chaque capacité. Ceci est illustré sur les Figures II.17 (a) et (b).

Pour optimiser le choix de l'impédance caractéristique Z_C de ce résonateur $\frac{\lambda_0}{4}$ et afin d'estimer la bande passante offerte par cette topologie, on montre [33] que l'impédance d'entrée de ce résonateur peut être modélisée par :

- Un circuit résonant parallèle dans la bande du fondamental. Le facteur de qualité (à vide) diminue en augmentant la valeur de Z_C et l'impédance est mieux contrôlée proche du circuit ouvert.
- Un circuit résonant série dans la bande de l'harmonique 2. Le facteur de qualité (à vide) diminue en diminuant la valeur de Z_C et l'impédance est mieux contrôlée proche du court circuit

Finalement, après optimisations, une valeur de $Z_C = 59 \Omega$ est choisie, permettant de répondre à la problématique.

Enfin, un offset de ligne de transmission, noté Δ_L , d'impédance caractéristique égale à 29Ω , permet enfin le décalage de l'impédance présentée à l'harmonique 2 depuis le court-circuit (au point de connexion du circuit de polarisation) vers la zone favorable déterminée par l'analyse load pull.

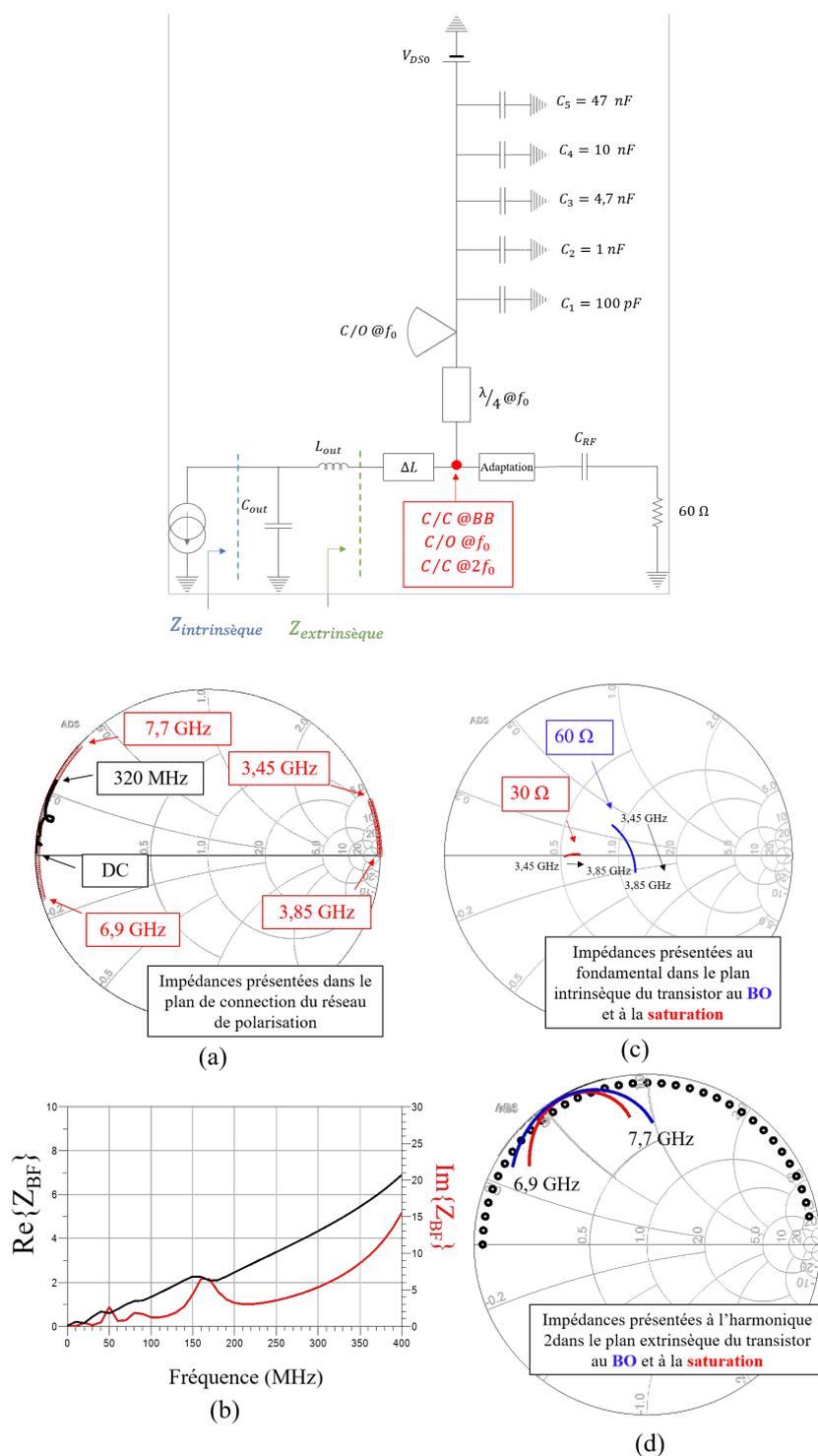


FIGURE III.17 – Réseau de polarisation de drain implémenté sur l'adaptation de sortie et impédances présentées associées dans les plans étudiés.

2.7.2 Adaptation d'entrée de la cellule

La topologie employée est constituée de lignes en série. Plus le transistor en boîtier sera proche de sa fréquence maximale d'utilisation (6 GHz dans le cas présent), plus l'adaptation vers

50Ω sera complexe à réaliser. C'est le cas dans cette conception, où l'amplificateur va fonctionner en bande C. L'objectif de l'adaptation d'entrée est ici de viser des pertes en retour constantes et les plus faibles possibles dans toute la bande d'utilisation. En procédant ainsi, on assure une quantité de puissance injectée à l'entrée du composant constante en fonction de la fréquence.

Les performances du réseau d'adaptation d'entrée réalisé sont présentées sur la Figure III.18. Ce réseau permet une adaptation < -6 dB sur 400 MHz de bande passante. En observant le coefficient de réflexion en entrée, il tourne à TOS constant autour du centre de l'abaque normalisé à 50Ω .

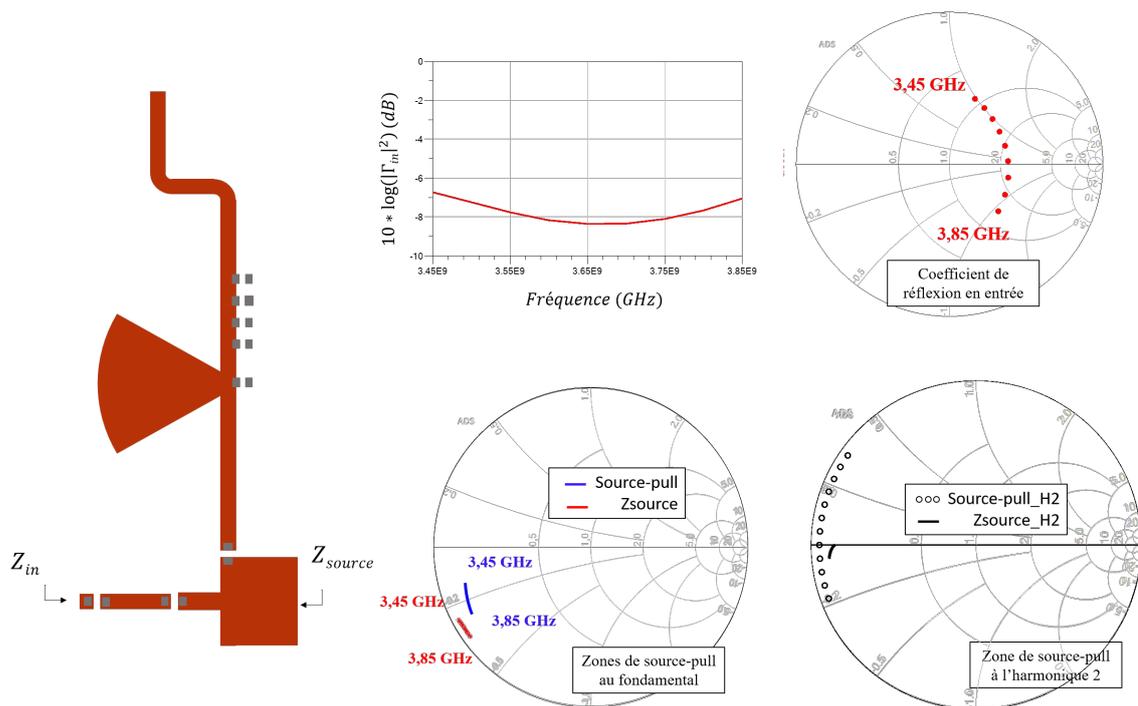


FIGURE III.18 – Réseau d'adaptation d'entrée conçu et performances associées sur la bande de fréquence. De haut en bas : pertes en retour, coefficient de réflexion d'entrée, comparaison impédances issues de l'étape de source-pull @ f_0 et @ $2f_0$ et celles présentées par le réseau d'adaptation.

2.7.3 Performances de la cellule

Dans cette partie sont présentées les performances d'un amplificateur seul polarisé en classe AB (Figure III.19). Il convient de s'assurer que les performances RF de l'amplificateur soient conformes aux exigences attendues, en terme de bande passante et de PAE, notamment quand celui-ci est chargé par $2 R_{opt}$ et par R_{opt} , soit aux points de backoff et de saturation.

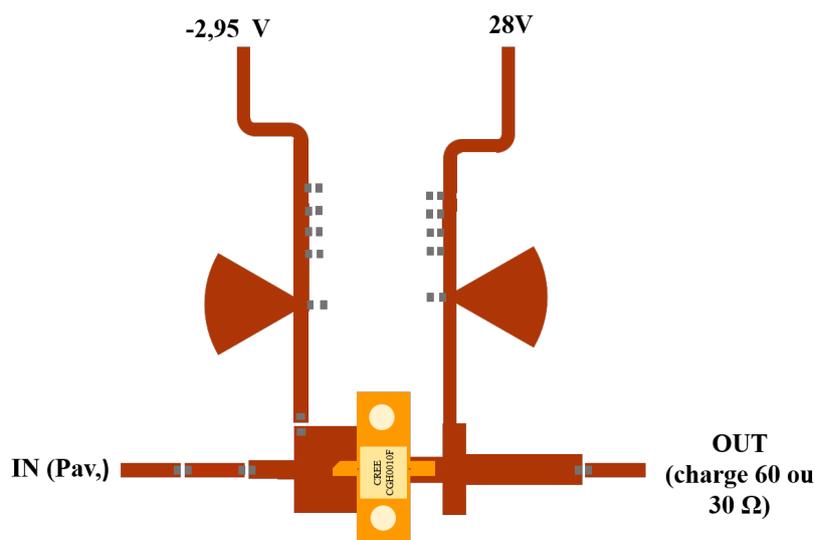


FIGURE III.19 – Amplificateur polarisé en classe AB profonde ($V_{DS0}=28\text{V}$; $V_{GS0} = -2.95\text{ V}$)

Toutes les parties préalablement réalisées (circuits d'adaptations entrée/sortie, tés de polarisation) nécessitent des étapes d'ajustement à la marge dès lors qu'elles sont assemblées, pour que les performances soient maximisées. Celles-ci sont illustrées sur la Figure III.20. Les simulations ont été réalisées aux points de back off et à la saturation seulement, autrement dit lorsque l'amplificateur est chargé soit par $2R_{opt}$ en bleu ($60\ \Omega$) pour l'étude de son comportement en back off et par R_{opt} en rouge ($30\ \Omega$) pour l'étude de son comportement en saturation. Ceci permet d'estimer les performances que cet amplificateur aura une fois implémenté dans l'architecture LMBA.

Le rendement en puissance ajoutée au backoff et à la saturation se situe autour de 60 % sur toute la bande de fréquences ce qui est tout à fait cohérent avec les valeurs obtenues par les simulations load pull (64 % environ). En intrinsèque, les impédances sont situées dans les zones à partie réelle obtenue lors de l'étude et sont cohérentes avec les objectifs visés. Les deux derniers graphes sur le bas de la Figure III.19. nous montrent les cycles de charge à chacune des fréquences, au BO et à la saturation. Cela traduit le bon fonctionnement de l'amplificateur chargé sur les impédances prédites par l'analyse analytique proposée au chapitre précédent.

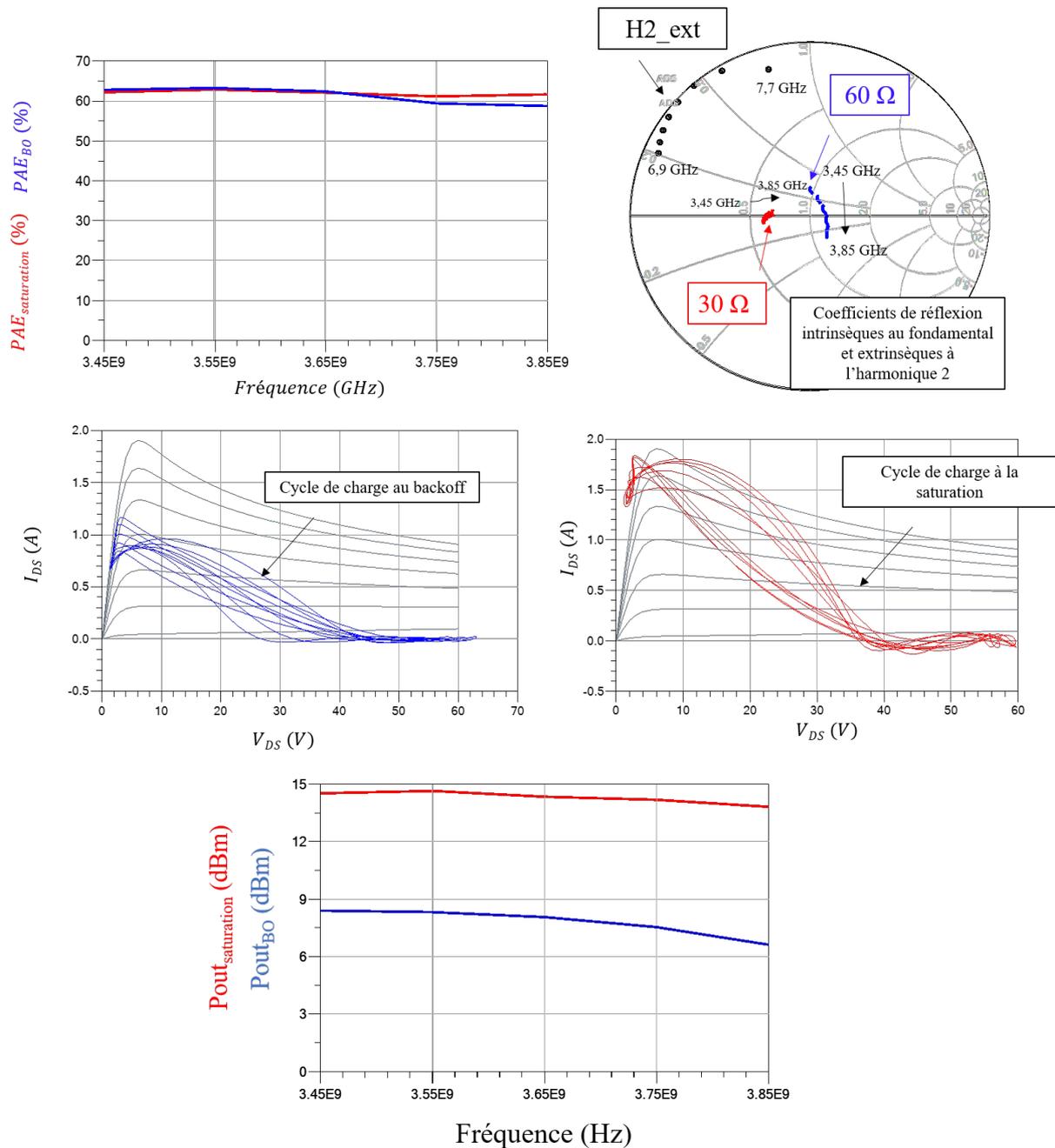


FIGURE III.20 – PAE à la saturation et au BO – Coefficients de réflexion dans le plan de la source de courant – Cycles de charge associés.

2.8 Assemblage du prototype d'amplificateur LMBA

L'amplificateur réalisé précédemment est dupliqué puis environnementé avec le coupleur 50 Ω d'entrée et le coupleur 60 Ω de sortie. L'adaptation vers 50 Ω est implémentée sur la voie de sortie, ainsi que sur le port isolé du coupleur de sortie. Sur ce dernier, un signal RF dont l'amplitude et la phase au fondamental sont optimisées au moyen de deux paramètres ΔP et $\Delta \varphi$. Ce signal est injecté par un générateur de puissance d'impédance interne égale à 50 Ω pour

effectuer la modulation de charge. Le layout final de la maquette LMBA « dual-input » est représenté sur la Figure III.21.

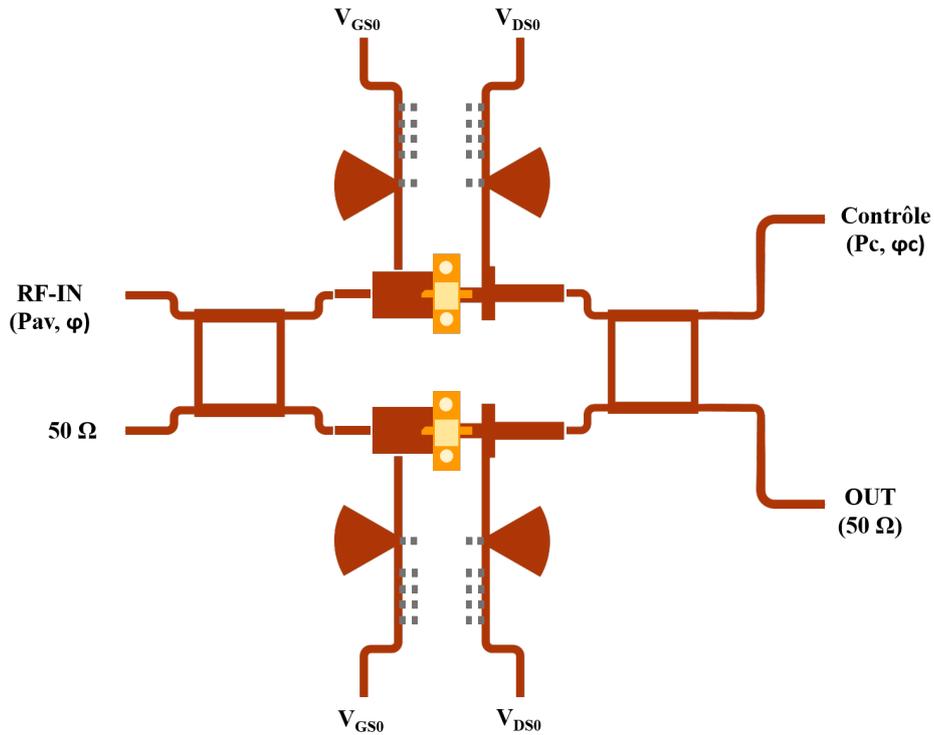


FIGURE III.21 – Layout de la maquette LMBA de type « dual-input »

Le choix judicieux du couple $(\Delta P, \Delta\varphi)$ et ses variations en fonction de la fréquence et du niveau de puissance RF d'entrée permet d'effectuer la modulation de charge adéquate des deux transistors équilibrés comme décrit dans la partie théorique.

$$\Delta P = P_{av} - P_C \quad (\text{III.10})$$

$$\Delta\varphi = \varphi - \varphi_C \quad (\text{III.11})$$

Ces deux paramètres correspondent à la différence de puissance et de phase entre les deux signaux RF appliqués sur les deux entrées (RF_{in} et Contrôle) synchrones de l'architecture. Pour les niveaux de puissance inférieurs à la puissance de back-off, aucune puissance n'est appliquée sur l'accès de contrôle.

Sur le circuit présenté sur la Figure III.21 les signaux RF sont appliqués aux accès « RF_{in} » et « Contrôle » au moyen de sources de puissance 50Ω . Au cours des simulations en « Harmonic Balance », la puissance P_C et la phase φ_C sont variées manuellement à partir du point de recul jusqu'à la saturation. La phase de la voie « RF_{in} » est prise comme référence de phase ($\varphi = 0$).

Ce point de recul est déterminé graphiquement à partir des simulations de puissance lors-

qu'aucun signal de contrôle n'est appliqué et lorsque les cycles de charge des deux amplificateurs équilibrés chargés sur $2 R_{opt} = 60 \Omega$ atteignent la zone ohmique, associée à la compression forte du transistor. A ce point le maximum de PAE est atteint. Cela correspond à une puissance de sortie totale de 42 dBm, associée à une puissance de sortie de chaque transistor d'environ 39 dBm, comme il est observé sur la Figure III.23.

Cette étape est d'abord réalisée à la fréquence centrale de 3.65 GHz. Les lois de commande extraites sont illustrées sur la Figure III.22.

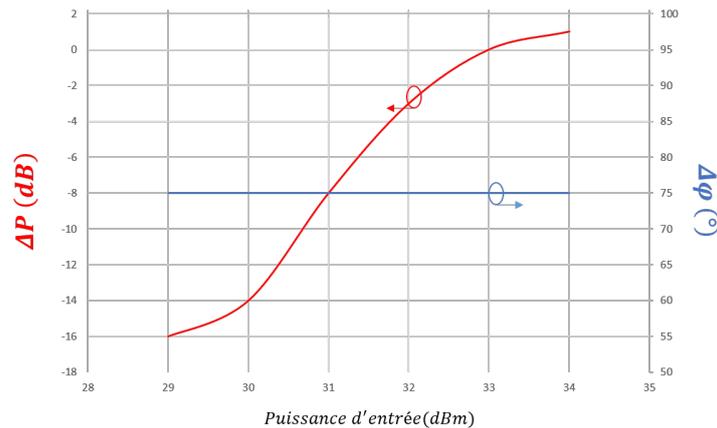


FIGURE III.22 – Lois de commande en puissance et en phase à la fréquence centrale (3.65 GHz).

On constate que la puissance à injecter sur le port de contrôle croît à mesure que la puissance d'entrée augmente, ce qui est cohérent avec le principe « Doherty-Like » de cette architecture. La phase à injecter, elle, reste constante quelle que soit la puissance d'entrée, comme il était prévu dans l'étude théorique proposée dans le Chapitre II.

En se référant à la partie théorique, la phase devrait être, à ce niveau d'implémentation de 0° sur la voie de contrôle. Cette partie théorique n'a considéré qu'un modèle purement transconductif de source de courant associé à son effet capacitif linéaire de sortie. Elle n'a pas pris en compte le déphasage induit par la différence d'AM/PM entre les deux voies, due à l'ajout des circuits d'adaptation d'entrée et par le déphasage introduit par la différence de polarisation (grille et drain) entre les amplificateurs. Cela explique pourquoi la phase obtenue en simulation diffère. Les performances de la maquette LMBA associées à la fréquence centrale sont présentées sur la Figure III.23.

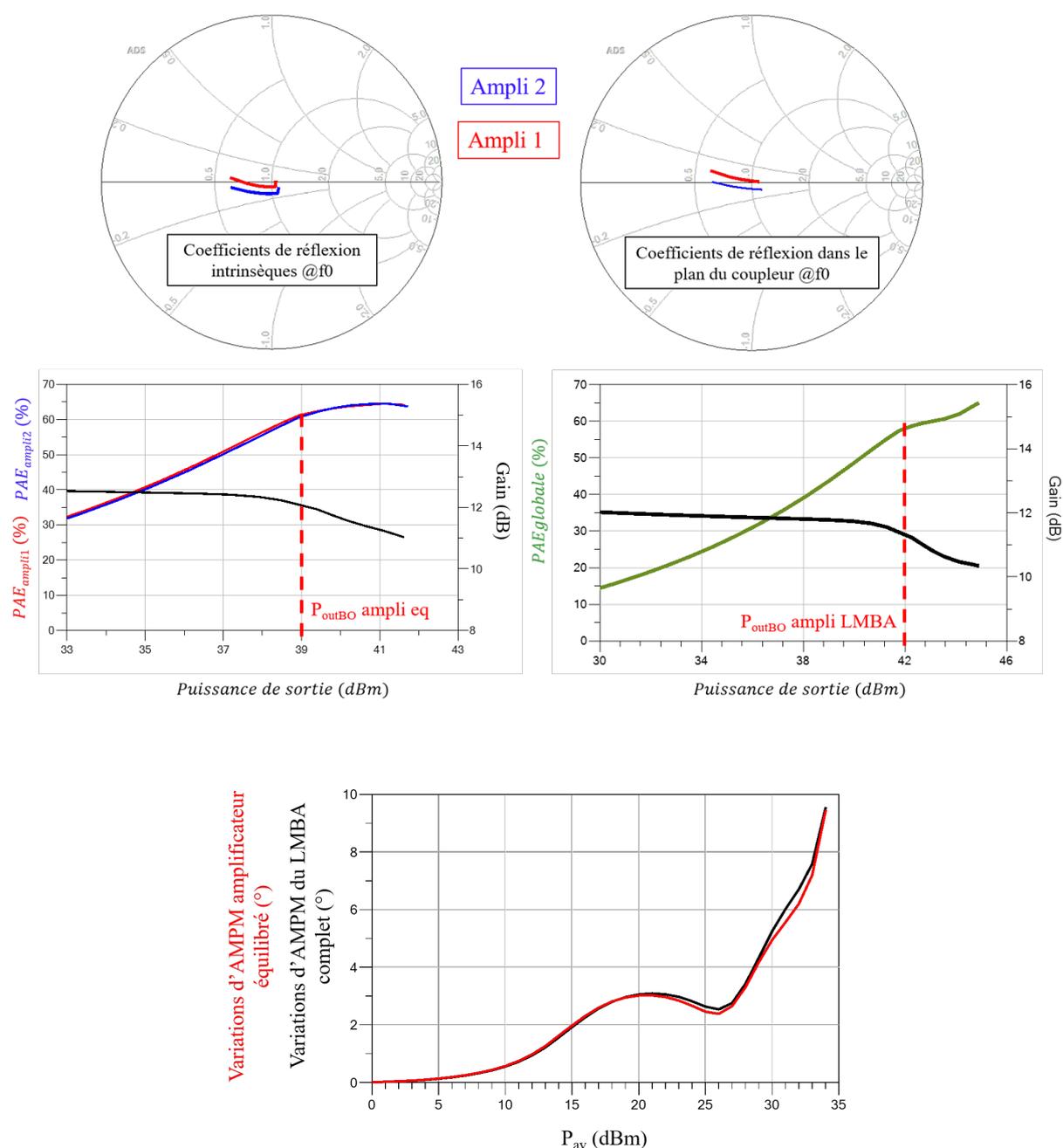


FIGURE III.23 – Performances obtenues à la fréquence centrale (3.65 GHz) après injection des lois de commande. Coefficients de réflexion dans les plans du coupleur et intrinsèque. PAE des amplificateurs seuls et PAE globale. Comparaison des AM/PM.

Les variations des impédances dans les plans du coupleur et de la source de courant intrinsèque sont quasiment identiques, du fait de l'adaptation $\frac{\lambda}{2}$ entre ces deux plans telle que détaillée auparavant. Du BO à la saturation, les impédances varient de $2 R_{opt} = 60 \Omega$ (impédance caractéristique du coupleur de sortie) à $R_{opt} = 30 \Omega$ comme attendu. A ces lieux, la PAE des deux amplificateurs équilibrés seuls se situent proche de 65 %, comme prédit par l'analyse load-pull. En revanche, une fois le circuit assemblé, il est constaté que la PAE globale de l'architecture (la contribution de la voie de contrôle étant considérée comme celle d'un amplificateur à 70 %

de rendement, [84]) est légèrement plus faible, ce qui ne devrait pas être le cas car la puissance injectée sur la voie de contrôle est théoriquement entièrement récupérée sur le port de sortie. Ceci s'explique par les pertes d'insertion du coupleur utilisé, induisant des pertes visibles sur les courbes de performances de PAE de la Figure III.23, où la PAE globale de l'architecture ne dépasse pas 60 %, contrairement à la PAE d'un amplificateur équilibré seul.

En situation de recul en puissance, avant le seuil de déclenchement de la voie auxiliaire, une variation du paramètre $\Delta\varphi$ n'est pas significative sur les performances globales. Aucune injection de puissance n'étant réalisée, les impédances présentées aux cellules actives sont déterminées par l'adaptation de sortie choisie. En revanche, une fois le seuil de déclenchement dépassé, et a fortiori à la saturation, l'optimisation du paramètre $\Delta\varphi$ est nécessaire en fonction de la fréquence, permettant d'assurer une impédance purement réelle dans le plan des sources de courant. La loi de commande en phase optimale est visible sur la Figure III.24. La loi de commande en puissance, quant à elle, ne varie pas avec la fréquence. En effet, un amplificateur correctement adapté dans sa bande de fonctionnement fournit une puissance relativement identique à toutes les fréquences, ce qui constitue un point important de la conception du LMBA.

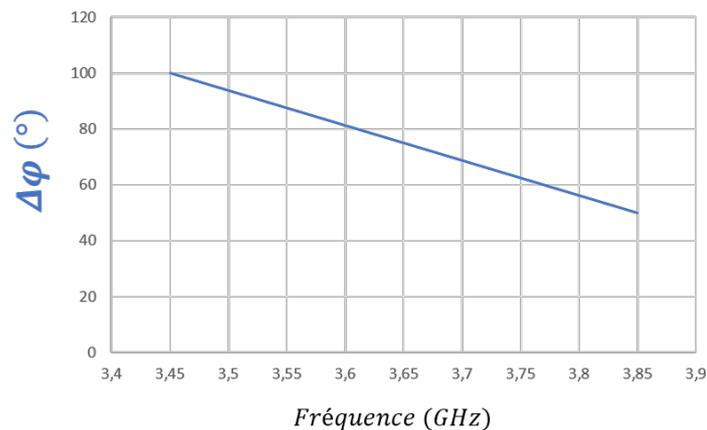


FIGURE III.24 – Loi de commande en phase en fonction de la fréquence à injecter sur la voie de contrôle.

Une fois ces deux lois injectées dans la simulation en mode fort signal, l'architecture LMBA « dual-input » offre un rendement en puissance ajoutée supérieur à 54 % à 3.6 dB d'OBO comme attendu et ce sur la bande de fréquence [3.45-3.85GHz]. A la saturation, la PAE est supérieure à 59 % sur toute la bande. Cette modulation de charge sur 3.6 dB d'OBO se fait par l'injection de seulement 3 W sur la voie de contrôle, sur une puissance de sortie totale proche des 30 W. Les coefficients de réflexion dans les deux plans étudiés respectent les objectifs visés de plage de modulation.

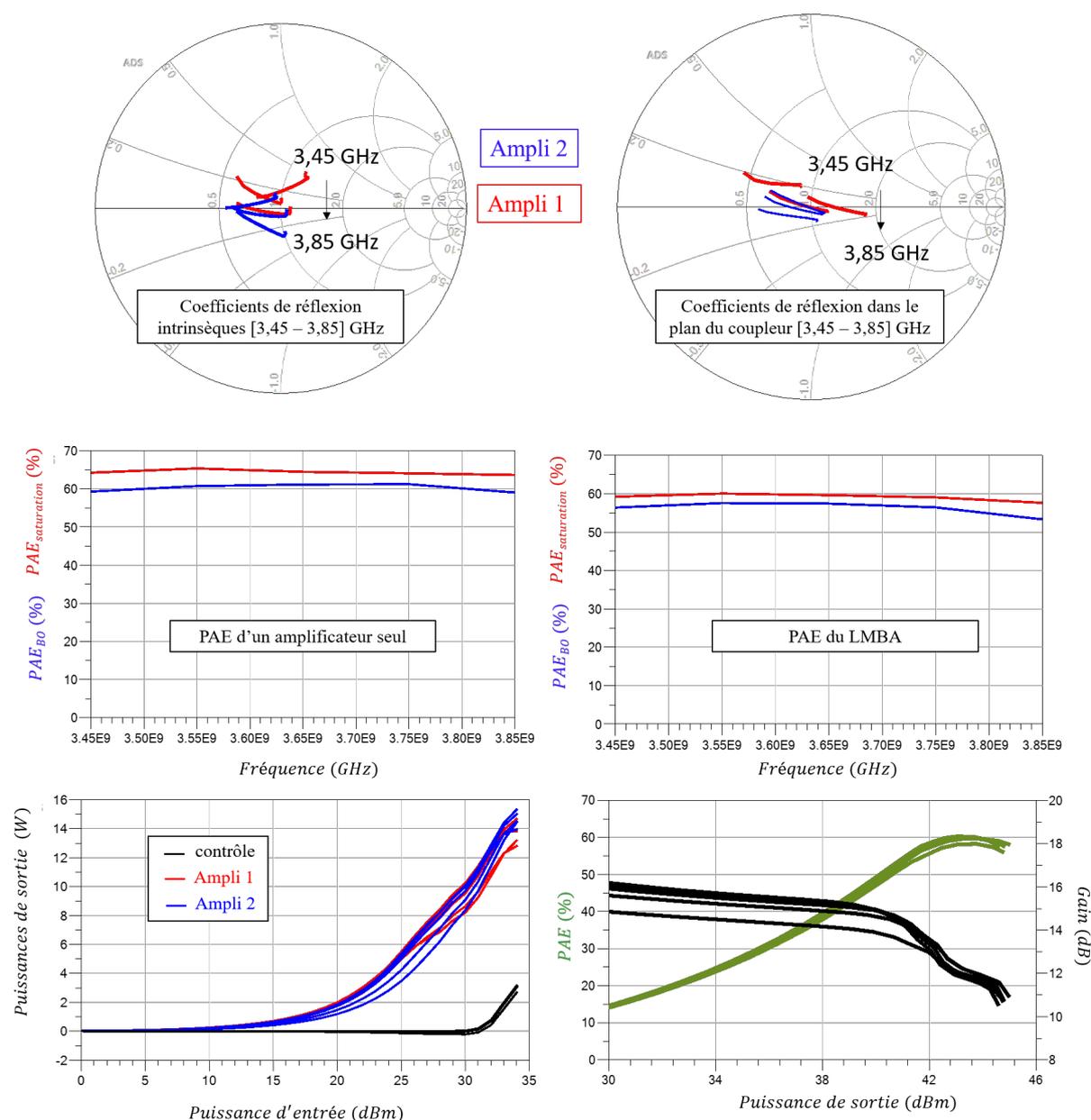


FIGURE III.25 – Performances obtenues après injection des lois de commande sur la bande [3.45 – 3.85] GHz. Coefficients de réflexion dans les plans du coupleur et intrinsèque. PAE des amplificateurs seuls et PAE globale à la saturation et au BO.

3 Réalisation du démonstrateur LMBA « dual-input »

Les circuits simulés ont été fabriqués et montés au laboratoire.

Après une phase de réglage de la maquette PCB réalisée (Figure III.26) visible notamment par l'ajout de scotch cuivre sur le coupleur hybride d'entrée, la meilleure comparaison obtenue entre les résultats de simulation et de mesures de paramètres [S] en 4 ports est montrée Figure III.27.

Ces résultats ne sont pas satisfaisants et l'ensemble du montage du circuit peut être mis en cause, car les performances obtenues sur cette maquette n'ont pas permis de disposer des performances prédites dans l'analyse simulateur.

Néanmoins nous montrons par la suite les résultats de mesure obtenus en fort signal en émulant les signaux CW RF synchrones destinés à l'entrée et à la voie de contrôle du circuit par un banc de mesure développé à XLIM et présenté par la suite.

Nous verrons dans le chapitre suivant que nous avons mis en œuvre une réalisation de circuit plus maîtrisée pour des maquettes en Bande L (bande visée pour application Galileo) et en utilisant des coupleurs hybrides disponibles commercialement.

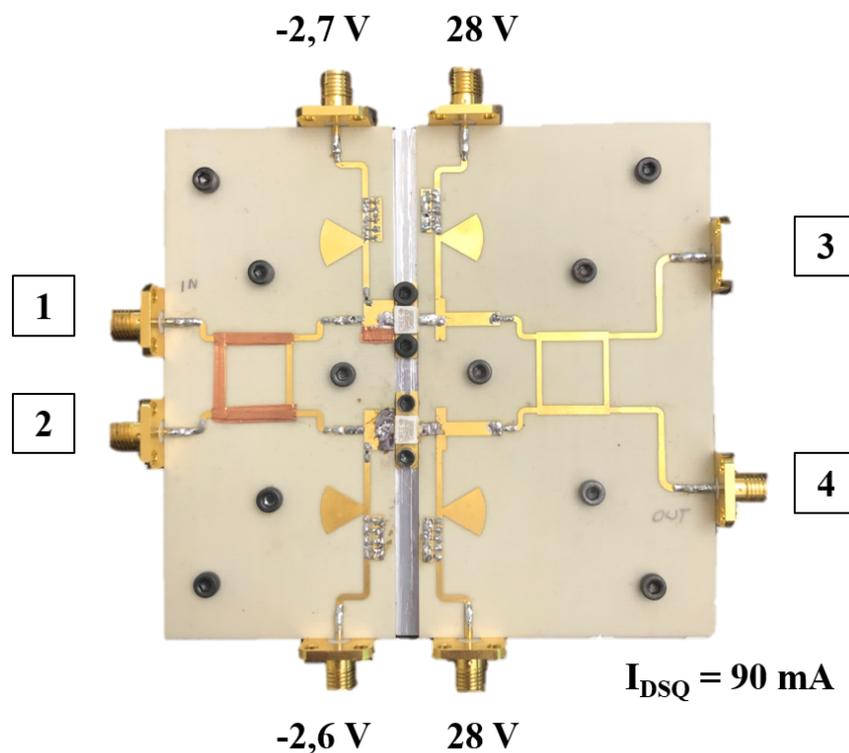


FIGURE III.26 – Maquette LMBA « dual-input » mesurée (9,8 cm x 9,6 cm) après retouches et ajustement du circuit in situ (environnement VNA).

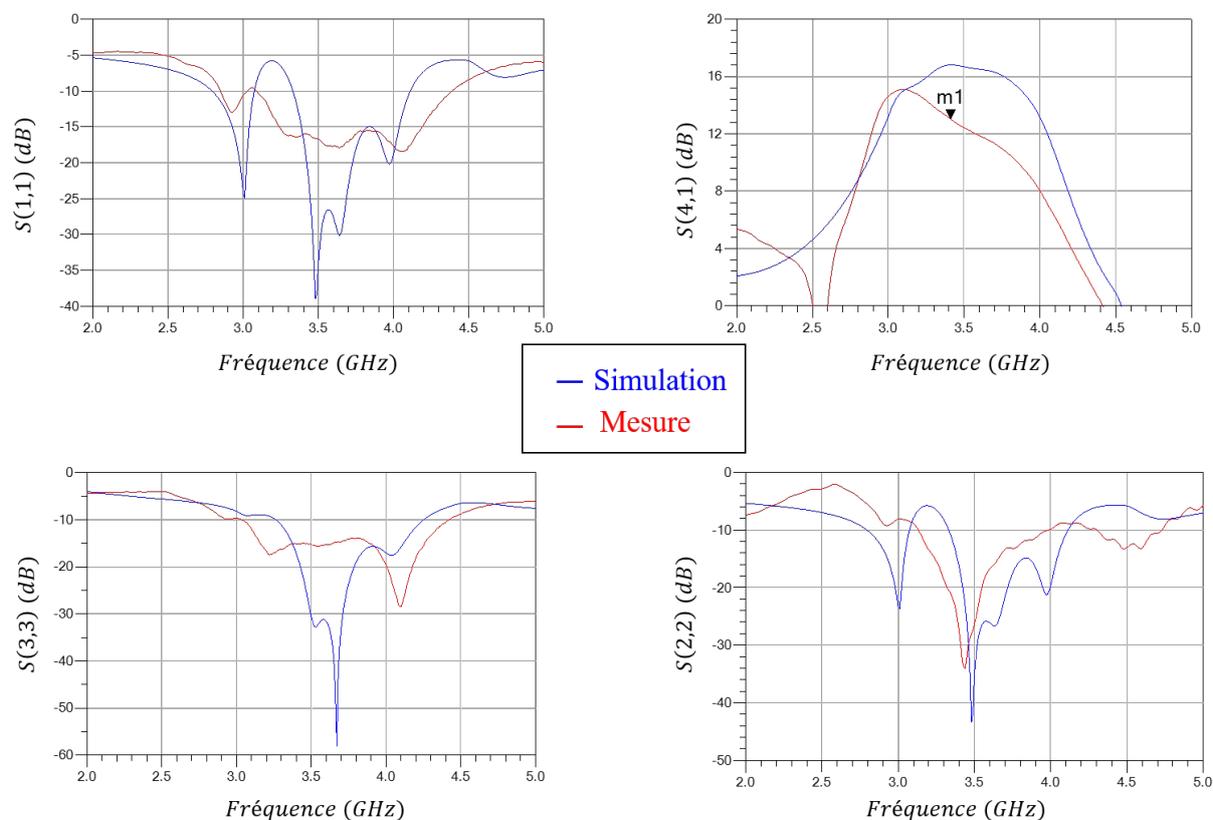


FIGURE III.27 – Comparaison simulation et mesure (après ajout de scotch cuivre) en paramètres [S] du LMBA « dual-input »

4 Mesure fort signal de l'amplificateur équilibré

En premier lieu la maquette est mesurée en fort signal sans appliquer de signal RF sur la voie de contrôle. Une charge 50Ω est positionnée sur l'entrée de la voie de contrôle. Les performances obtenues sont donc représentatives de l'architecture en configuration de back-off.

Les performances mesurées sont en-deçà de celles prédites par l'analyse simulatoire, avec notamment une chute du gain fort signal de l'ordre de 4 dB, comme observé lors de la caractérisation en paramètres [S]. Il est à noter que bien que ce point soit couramment rapporté dans des étapes de maquettage de type PCB, la réalisation mécanique et le montage sur la semelle du PCB sont incriminés ici.

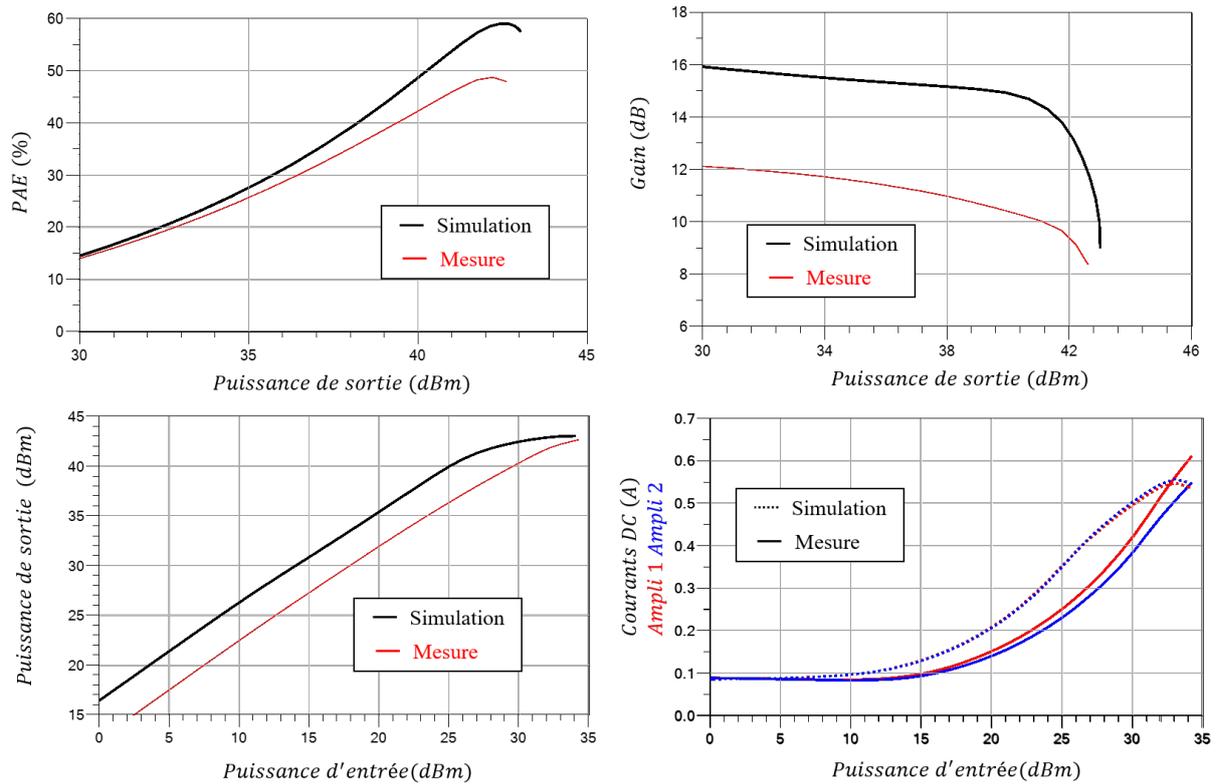


FIGURE III.28 – Comparaison simulation (@3.65 GHz) et mesure (@3.4 GHz) P_s/P_e de l’amplificateur présenté. Performances en PAE, en gain, courbe P_s/P_e et courants DC.

La prochaine étape est la caractérisation de ce circuit avec l’ajout d’un signal de contrôle qui varie en amplitude et en phase, sur le port isolé du coupleur de sortie. Cela va permettre de valider l’intérêt du banc pour l’architecture LMBA à deux entrées séparées. Cette caractérisation expérimentale permettra d’extraire les lois de commande associées à un fonctionnement optimal et observer des tendances sur les performances de la maquette.

4.1 Caractérisation 2 ports du LMBA « dual-input »

4.1.1 Présentation du système de mesure

La mesure complète du LMBA est effectuée avec le banc à double entrée RF, en mode CW, avec une source 2-ports calibrée, rendant possible le contrôle indépendant de l’amplitude et de la phase des signaux injectés, et ainsi l’optimisation du fonctionnement interne de l’architecture. Le banc de test est représenté sur la Figure III.29. Un pré-amplificateur linéaire est positionné à l’entrée de chacune des deux voies, de façon à ce que la puissance injectée en entrée du LMBA soit suffisante pour atteindre la compression. La mesure de la puissance à l’entrée des deux voies est réalisée avec une sonde de puissance unique, un switch RF est utilisé pour mesurer la puissance injectée sur chaque voie de façon séquentielle (non représenté sur le schéma de principe). En sortie, la puissance est mesurée avec une autre sonde de puissance. Enfin, quatre alimentations DC permettent de polariser les grilles et les drains des deux amplificateurs composant ce LMBA et de mesurer les puissances DC.

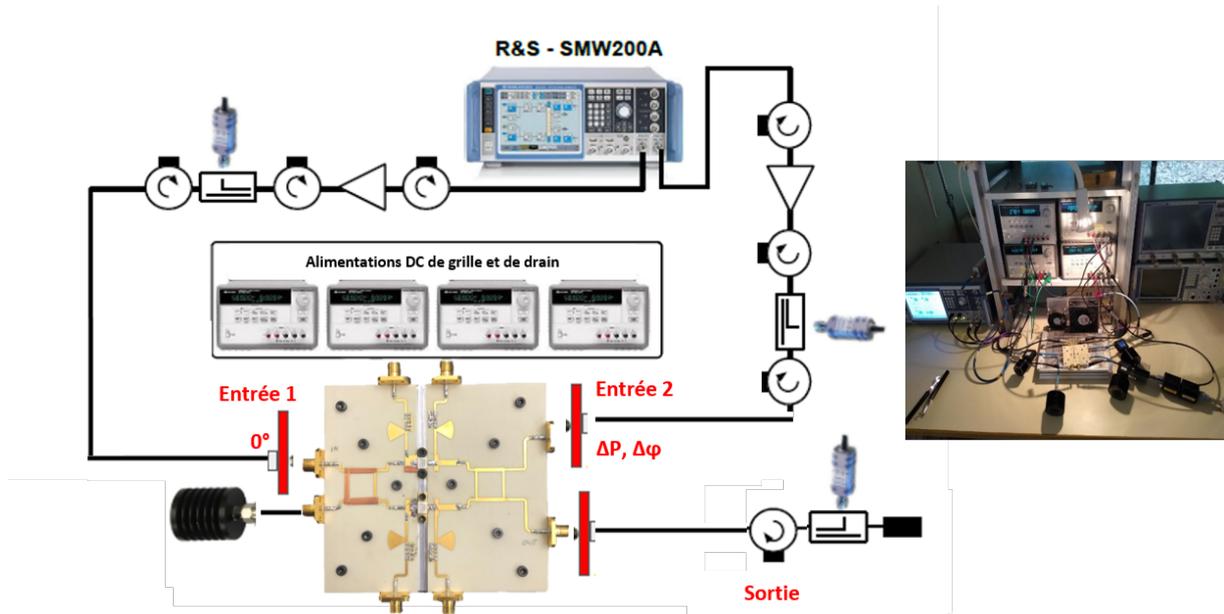


FIGURE III.29 – Banc de mesure CW du LMBA « dual-input ».

Ce banc de mesure permet donc de faire varier les paramètres ΔP et le $\Delta\varphi$ à l'entrée de la voie de contrôle du LMBA « dual-input », suivant la procédure illustrée sur la Figure III.30. On obtient ainsi des nuages de points qui correspondent à différentes combinaisons de ΔP et $\Delta\varphi$ pour des valeurs de puissance d'entrée allant du point de BO (déterminé lors de la mesure P_s/P_e plus haut dans ce chapitre), à la saturation sur la bande de fréquence.

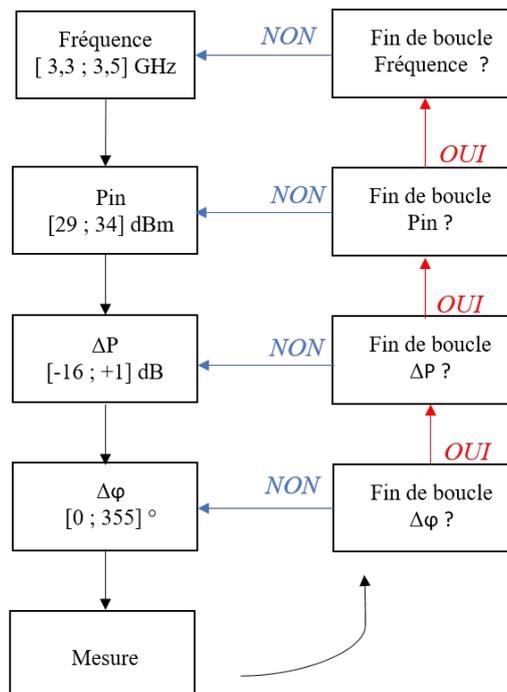


FIGURE III.30 – Algorithme de la procédure de mesure.

4.1.2 Principe d'étalonnage du banc de mesure en mode CW

Etalonnage 1-port

Pour comprendre cette procédure, l'étalonnage d'une source 1-port va être présenté. L'enveloppe complexe de modulation est générée par un générateur de signaux vectoriel (VSG). L'utilisateur peut déphaser cette enveloppe complexe d'une valeur $\Delta\varphi$ en bande de base par un contrôle des signaux IQ d'enveloppe. Les signaux IQ sont ensuite transposés vers la fréquence RF. Dans le cas présent, pour une campagne de mesures en CW, l'amplitude et la phase du signal en bande de base sont constants en fonction du temps. Pour caractériser le dispositif non linéaire de forte puissance, ce signal attaque un pré-amplificateur linéaire. L'étalonnage détaillé ici est illustré sur la Figure III.31.

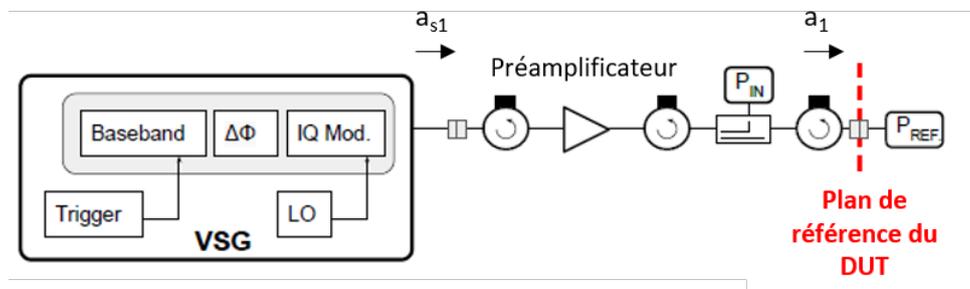


FIGURE III.31 – Etalonnage d'une source 1-port en mode CW.

La caractérisation du gain entre la puissance disponible de source et la puissance mesurée dans le plan de référence permet d'effectuer l'étalonnage de cette source. Le module du gain disponible s'écrit :

$$|G_1| = \left| \frac{a_1}{a_{s1}} \right|^2 \quad (\text{III.12})$$

Où a_1 est l'onde de puissance mesurée dans le plan de référence et a_{s1} l'onde générée par l'instrument dans son port de connecteur de sortie.

Le module de l'onde a_1 est alors déterminé selon la puissance disponible mesurée selon :

$$|a_1| = \sqrt{2} \cdot 10^{\frac{P_{dBm} - 30}{20}} \quad (\text{III.13})$$

Etalonnage multiports

Pour des applications nécessitant plusieurs sources RF tel que notre DUT, un étalonnage en amplitude, mais aussi en phase relative de chaque source par rapport à une source de référence doit être réalisé [85] - [86]. Cette source de référence (VSG 1 sur la Figure III.32) est étalonnée en amplitude (étalonnage 1-port), comme décrit précédemment et l'onde de puissance a_1 présentée

dans le plan du DUT constitue la référence de phase ($\varphi_1 = 0$). La connaissance de la phase du gain sur cette voie n'est pas nécessaire car le système est considéré comme invariant dans le temps, et seule la différence de phase entre les ondes a_i dans le plan du DUT importe.

Le principe de cet étalonnage multiport consiste alors à utiliser un dispositif passif multiport, dont les paramètres $[S]$ sont connus. Le générateur de signaux vectoriels n°1 va rester ON durant toute la procédure, les autres sources du système vont être étalonnées de façon indépendante relativement à la voie n°1.

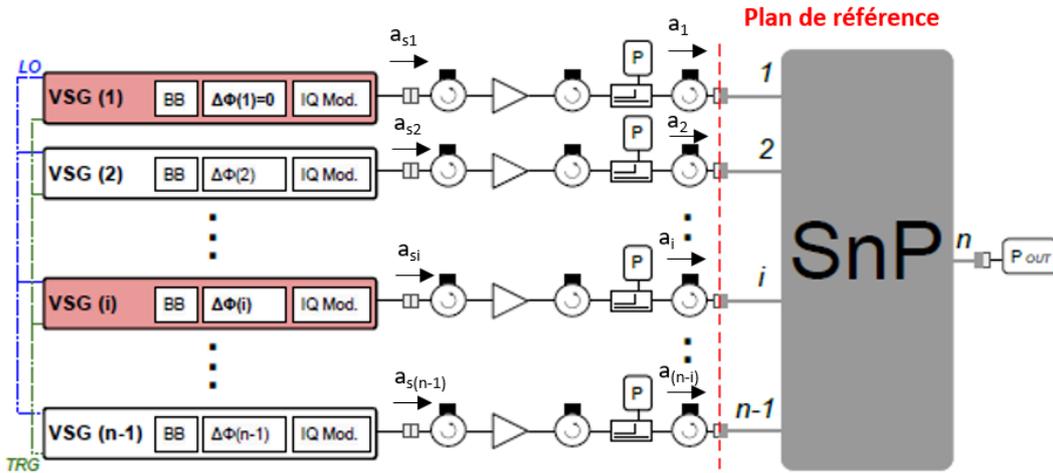


FIGURE III.32 – Etalonnage CW d'une source multiport.

La puissance en sortie peut être décrite à l'aide des paramètres $[S]$ mesurés, quand le dispositif passif multiport est connecté à la fois au port 1 et au port i . L'équation est la suivante :

$$b_n = S_{n1} \cdot a_1 + S_{ni} \cdot a_i \quad (\text{III.14})$$

Avec a_i l'onde de puissance mesurée sur la voie i au niveau du plan de référence.

D'après l'équation (III.13) et par la mesure de la puissance de sortie sur la voie n en sortie du combineur, $|b_n|^2$ peut s'exprimer alors comme suit :

$$|b_n|^2 = |S_{n1} \cdot a_1 + S_{ni} \cdot G_i \cdot a_{si}|^2 \quad (\text{III.15})$$

Où a_{si} est l'onde de puissance délivrée par le VGS n° i telle que $a_{si} = |a_{si}| e^{j\Delta\varphi_i}$ et G_i le gain complexe de la voie i dont le module et la phase doivent être déterminés.

Le développement mathématique de l'équation (III.15) conduit à l'expression suivante :

$$A \cdot |G_i|^2 + B \cdot \Re(G_i) + C \cdot \Im(G_i) = D \quad (\text{III.16})$$

Où $\Re(G_i)$ et $\Im(G_i)$ représentent les parties réelle et imaginaire du gain complexe.

D'après la connaissance du dispositif passif multiport et des différentes puissances mesurées, les termes A, B, C et D peuvent alors être déterminés :

$$A = |S_{ni} \cdot a_{si}|^2 \quad (\text{III.17})$$

$$B = 2\Re(S_1^* \cdot a_1^* \cdot S_{ni} \cdot a_{si}) \quad (\text{III.18})$$

$$C = -2\Im(S_1^* \cdot a_1^* \cdot S_{ni} \cdot a_{si}) \quad (\text{III.19})$$

$$D = |b_n|^2 - |S_1 \cdot a_1|^2 \quad (\text{III.20})$$

L'équation (III.16) est une équation linéaire composée de 3 inconnues. Ces inconnues sont déterminées en résolvant le système linéaire construit avec 3 variables indépendantes $\Delta\varphi_i$: φ_A, φ_B et φ_C .

$$\begin{pmatrix} |G_i|^2 \\ \Re(G_i) \\ \Im(G_i) \end{pmatrix} = \begin{pmatrix} A(\varphi_A) & B(\varphi_A) & C(\varphi_A) \\ A(\varphi_B) & B(\varphi_B) & C(\varphi_B) \\ A(\varphi_C) & B(\varphi_C) & C(\varphi_C) \\ \vdots & \vdots & \vdots \\ \vdots & \vdots & \vdots \end{pmatrix}^\dagger \cdot \begin{pmatrix} D(\varphi_A) \\ D(\varphi_B) \\ D(\varphi_C) \\ \vdots \\ \vdots \end{pmatrix} \quad (\text{III.21})$$

Où \dagger représente la matrice pseudo-inverse.

Le gain complexe G_i est alors extrait automatiquement pour chaque fréquence RF d'étalonnage. Cette procédure d'étalonnage est réalisée pour chaque source RF supplémentaire à la source de référence connectée au port-1 du SnP du dispositif passif multiport.

Pour une application à la caractérisation d'un LMBA, deux entrées RF synchrones sont nécessaires. L'étalonnage est vérifié avec un VSG à deux canaux et un combineur de puissance, dont on connaît les paramètres [S].

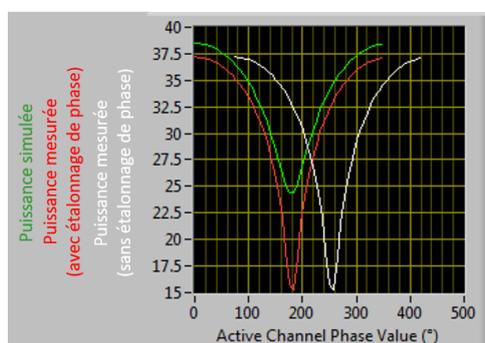
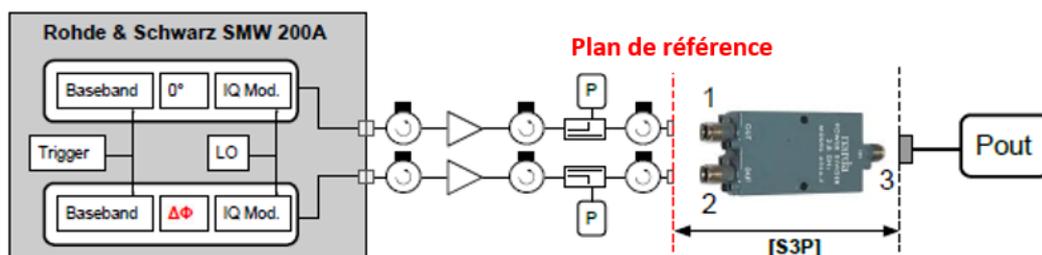


FIGURE III.33 – Vérification de la procédure d'étalonnage en phase à 3.4 GHz. Les puissances sont en dBm.

Sur la Figure III.33, la procédure d'étalonnage est vérifiée à la fréquence de 3.4 GHz à l'aide d'un combineur Wilkinson :

- La courbe verte est la puissance de sortie simulée à partir du fichier S3P du combineur, en fonction de la différence de phase réclamée dans le plan du DUT, et représente la référence.
- La courbe blanche montre la puissance mesurée en sortie du combineur Wilkinson en fonction de la valeur de différence de phase réclamée dans le plan du DUT sans étalonnage de la source 2-ports. Du fait de la différence de gains complexes (en module et phase) des deux voies d'attaque du DUT, le minimum de puissance de sortie est obtenu à une phase d'environ 260°, valeur non consistante avec la courbe de référence verte.
- Enfin, la courbe rouge montre la puissance mesurée en sortie du combineur Wilkinson lorsque l'étalonnage est fait.

Cette courbe valide donc l'étalonnage à la fréquence étudiée. La procédure est ensuite appliquée sur toute la bande de fréquences d'intérêt, soit de 3.3 à 3.5 GHz.

4.2 Résultats de mesures

La Figure III.34. présente les mesures des performances en PAE et en gain en puissance du circuit en fonction des conditions d'injection sur le port isolé du coupleur de sortie. A partir de ces nuages de points, il est possible d'extraire les lois de commande en puissance et en phase qui permettent d'obtenir des performances maximales en PAE ou en platitude de gain. Ces lois de commande extraites à 3.4 GHz sont présentées sur la Figure III.35. Le choix de ces paramètres permet de maximiser les performances en rendement en puissance ajoutée sur plus de 4 dB d'OBO, à une puissance de sortie maximale supérieure à 44 dBm (25 W). Le gain petit signal étant approximativement de 12 dB, la compression résultant se situe à 4 dB (9 dB de gain à la saturation).

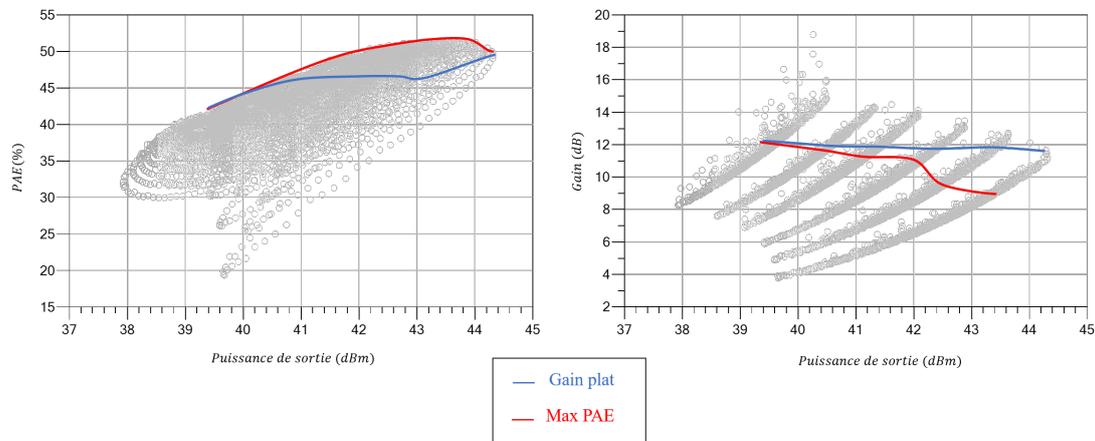


FIGURE III.34 – Mesure du LMBA à 3.4 GHz en configuration double entrée mettant en avant l'influence de la variation de la puissance et de la phase injectée sur la deuxième voie (port isolé du coupleur de sortie).

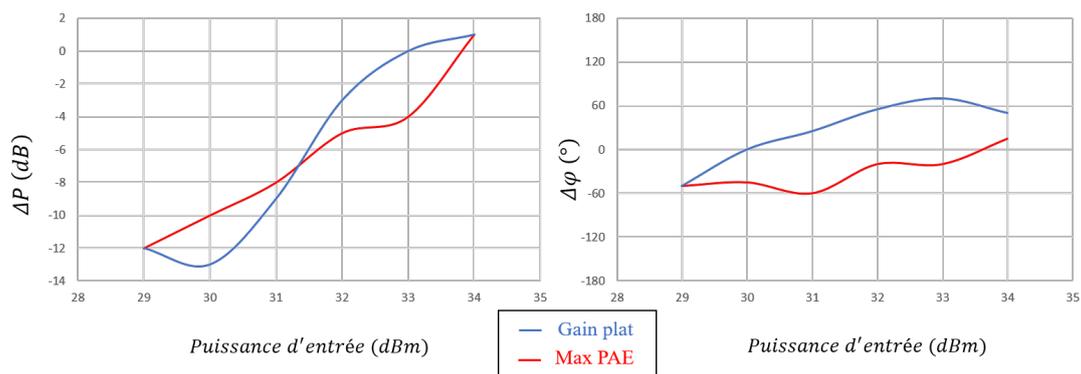


FIGURE III.35 – Lois de commande en amplitude et en phase extraites pour répondre aux critères du maximum de PAE et de la linéarité.

Pour une meilleure linéarité du dispositif, on peut extraire d'autres lois de commande pour permettre que le gain en puissance du LMBA soit le plus plat possible. Pour cela, la variation en phase doit être plus importante, comme l'illustre la Figure III.35. Les performances en PAE avec ces nouvelles lois de commande sont impactées comparativement au premier cas, mais la

modulation de charge reste observable, avec un niveau de PAE autour de 45 % sur plus de 3 dB d'OBO.

5 Conclusion et implémentation de la voie de contrôle

Le prototype LMBA à double entrée RF réalisé sur la base des études analytique et simulatoire précédentes, a pu démontrer des performances honorables en PAE et gain en puissance, bien que celles-ci soient bien en-deçà de celles attendues. Ce constat est à mettre en lien avec les performances dégradées mesurées en paramètres [S]. Le montage du circuit n'étant pas parfaitement maîtrisé, une mise à la masse de bonne qualité des connecteurs RF SMA ainsi qu'une dissymétrie entre les deux voies en quadrature peut être incriminée, créant ainsi une dégradation du comportement global de l'amplificateur de puissance.

Le choix a alors été fait de ne pas réaliser les maquettes LMBA « single-input », avec implémentation de la voie de contrôle. En revanche, des configurations de circuits ont été simulées pour deux plages de modulations : $2R_{opt} \rightarrow R_{opt}$ et de $3R_{opt} \rightarrow R_{opt}$. Conformément à la théorie présentée dans le chapitre II, le circuit implémentant la loi de commande requise, nécessite une modification du circuit d'adaptation de sortie, et un transistor de contrôle plus gros. Pour des raisons de choix technologique limité pour des transistors en boîtier, la simulation a été réalisée avec trois transistors de taille identique, et devrait mettre en lumière un défaut de courant délivré par l'amplificateur de contrôle.

Les résultats de ces simulations en configuration à entrée unique sont d'abord présentés pour une modulation avec $\beta = 2$, c'est-à-dire avec implémentation d'un amplificateur de contrôle sur le circuit dual-input réalisé dans ce chapitre. Le layout de cet amplificateur est présenté Figure III.36.

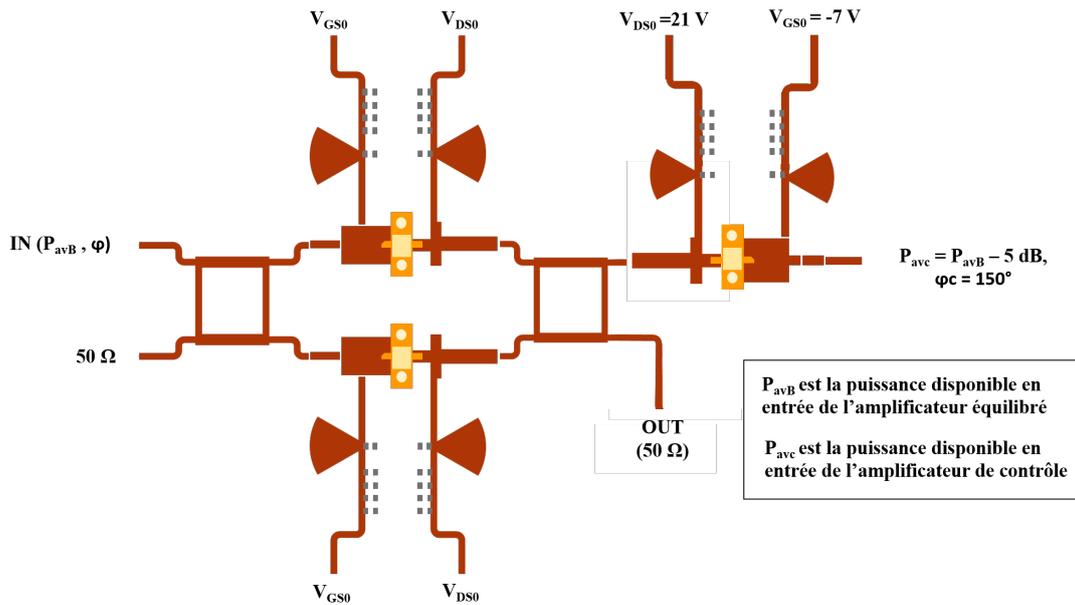


FIGURE III.36 – Layout du LMBA « Doherty-Like » en configuration 1 seule entrée.

Comme vu précédemment, les paramètres $\Delta P = P_{avB} - P_{avC}$ et $\Delta\varphi = \varphi_C - \varphi$ nécessaires à implémenter par la voie de l'amplificateur de contrôle sont constants quel que soit le niveau de puissance d'entrée. Cette configuration est donc implémentable avec une entrée unique (ajout d'un diviseur et d'un déphaseur fixes). Pour que l'amplificateur de contrôle conduise au point de puissance adéquat, un paramètre ΔP fixe de -5 dB est appliqué à l'entrée de ce troisième amplificateur, conjointement à une polarisation en classe C. La phase φ_C est fixée à 150° .

Comme pour le LMBA « dual-input », les coefficients de réflexion dans les plans du coupleur et dans le plan intrinsèque des deux voies équilibrées sont tracés. On observe, sur les abaques de la Figure III.37, que la modulation sur la bande de fréquence, s'effectue sur une plage proche de $60 \Omega \rightarrow 30 \Omega$. Dans le plan du coupleur, en recul de puissance, une impédance de 60Ω n'est pas exactement présentée aux deux voies sur la bande de fréquences. Cela s'explique par le fait que le coupleur branch-line de sortie induit une légère dissymétrie entre les deux voies principales. Une optimisation du circuit d'adaptation de sortie permet de corriger cela, permettant aux impédances intrinsèques de se rapprocher de la valeur optimale.

Du fait du niveau d'isolation fini du coupleur de sortie, il existe une interaction produisant une différence de puissance injectée par l'amplificateur de contrôle. Toutefois, les performances de l'architecture en rendement en puissance ajoutée en fonction de la puissance de sortie, sont maintenues relativement constantes sur toute la bande.

La PAE globale prenant en compte la consommation de l'amplificateur de contrôle, est maintenue au-dessus de 50 % à plus de 3 dB d'OBO comme attendu, sur presque toute la bande (3.45 à 3.85 GHz). A la saturation, celle-ci tend vers 55 %. Les performances en PAE d'un amplificateur seul sont légèrement meilleures, la différence de PAE étant induite par les pertes d'insertion

du coupleur de sortie.

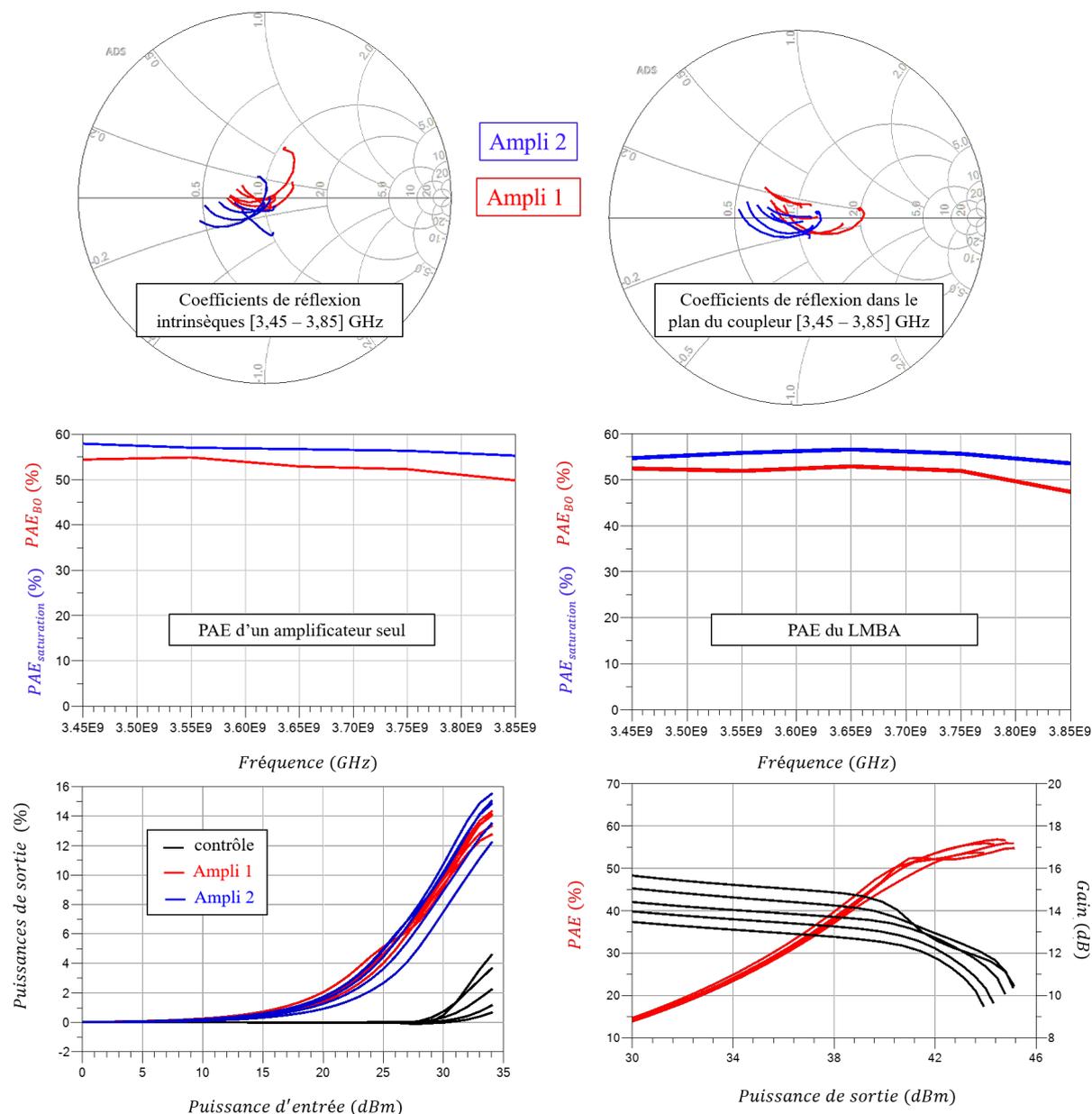


FIGURE III.37 – Performances du LMBA à entrée unique. Coefficients de réflexion dans les deux plans étudiés – PAE d'un amplificateur équilibré et PAE globale – Puissances délivrées.

Le cas étudié ici correspond à une plage de modulation de l'impédance au fondamental des amplificateurs équilibrés de $2R_{opt} \rightarrow R_{opt}$ et n'illustre qu'une partie de la méthodologie détaillée dans le chapitre précédent ($\beta < 2.41$). Dans ce cas, la taille du transistor de contrôle n'a pas besoin d'être supérieure à celle des deux transistors qui composent la voie équilibrée, puisque la quantité de courant au fondamental devant être délivrée dans le plan de la source de courant intrinsèque du transistor de contrôle est de $0.35 \frac{I_{max}}{2}$. Cette valeur théorique est confirmée par le circuit réalisé puisque le courant maximal est de $0.3 \frac{I_{max}}{2}$ à la fréquence centrale, et ce sans avoir atteint la saturation franche du transistor de contrôle, comme illustré sur la Figure III.38.

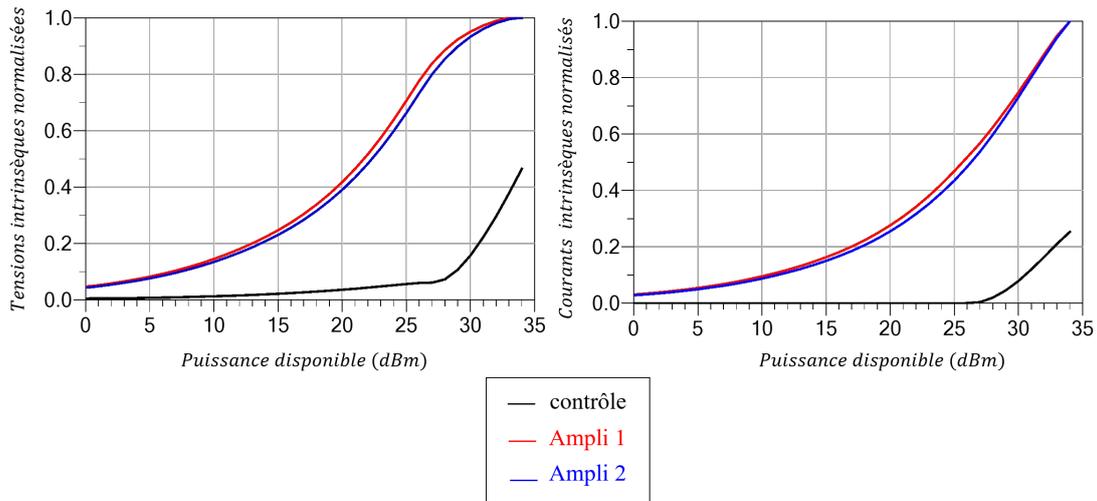


FIGURE III.38 – Tensions et courants normalisés pour le circuit « Doherty-Like » @3.65 GHz ($\beta=2$)

Pour des configurations nécessitant de plus forts OBO, notamment pour $\beta > 2.41$, il a été montré que l’excursion en tension au fondamental développée aux bornes de la source de courant pouvait être amenée à dépasser la tension V_{DS0} de polarisation, impliquant sinon des problèmes de fiabilité sur le composant, tout au moins une forte dégradation en linéarité de l’amplificateur. Comme détaillé au chapitre précédent, la conception nécessite alors des modifications sur la taille du transistor de contrôle et le circuit d’adaptation de sortie.

Pour confirmer ce point, des simulations en mode fort signal ont été réalisées avec les mêmes transistors, mais pour une modulation de $3R_{opt} \rightarrow R_{opt}$. L’impédance caractéristique du coupleur de sortie est donc de 90Ω , et l’adaptation de sortie a été modifiée comme explicité dans le chapitre précédent. Le layout du circuit est représenté sur la Figure III.39. D’après l’analyse théorique, le transistor de contrôle doit être 1.14 fois plus gros que l’un des transistor équilibré pour effectuer la modulation complète. Le choix a été fait de conserver un composant de taille identique étant donné le peu d’écart de taille, et le faible choix de taille disponible pour des transistors en boîtier.

La quantité de courant au fondamental maximale requise pour effectuer la modulation d’impédance requise est, selon le chapitre précédent, de $0.666 \frac{I_{max}}{2}$. Le courant de drain intrinsèque au fondamental délivré par le transistor de contrôle (plan intrinsèque), est, pour le LMBA simulé de $0.6 \frac{I_{max}}{2}$ (Figure III.40). Ce léger défaut de courant sur le port de contrôle est associé à une modulation d’impédance plus faible qu’attendu avec, à la saturation une impédance au fondamental de 35Ω au lieu de 30Ω souhaités. Ces résultats de simulation permettent de valider la méthodologie présentée dans le Chapitre précédent, avec un dimensionnement correct de la structure, et notamment quant à la nécessité de l’emploi d’un transistor plus gros pour des OBO importants.

L’analyse du LMBA « Doherty-Like » telle que présentée et validée est basée sur l’étude des

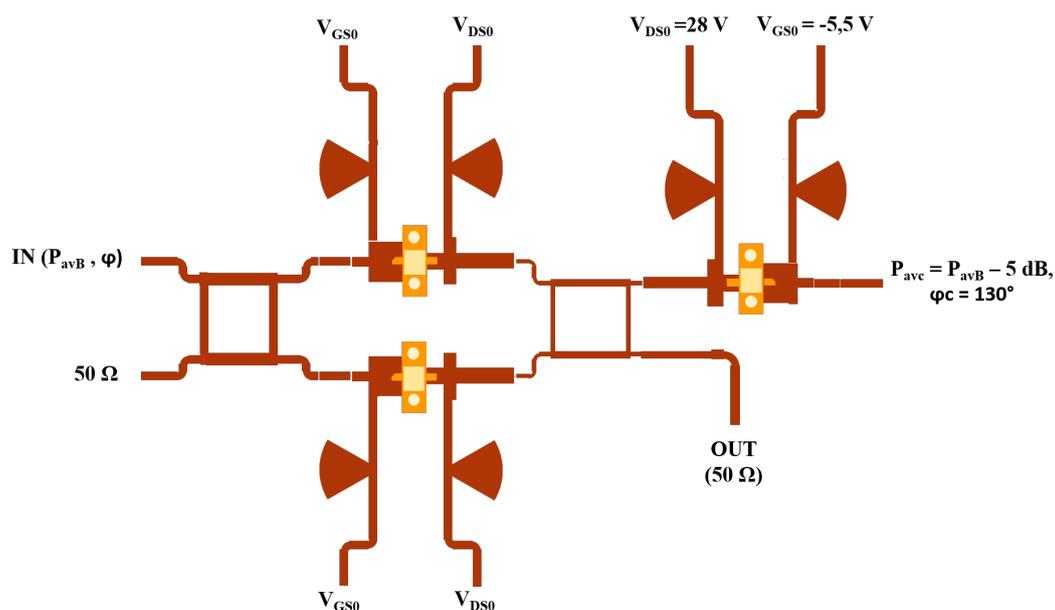


FIGURE III.39 – Layout d'un LMBA « Doherty-Like » pour une modulation de $3R_{opt} \rightarrow R_{opt}$ à la fréquence centrale de 3.65 GHz avec trois transistors en boîtier Wolfspeed de taille identique.

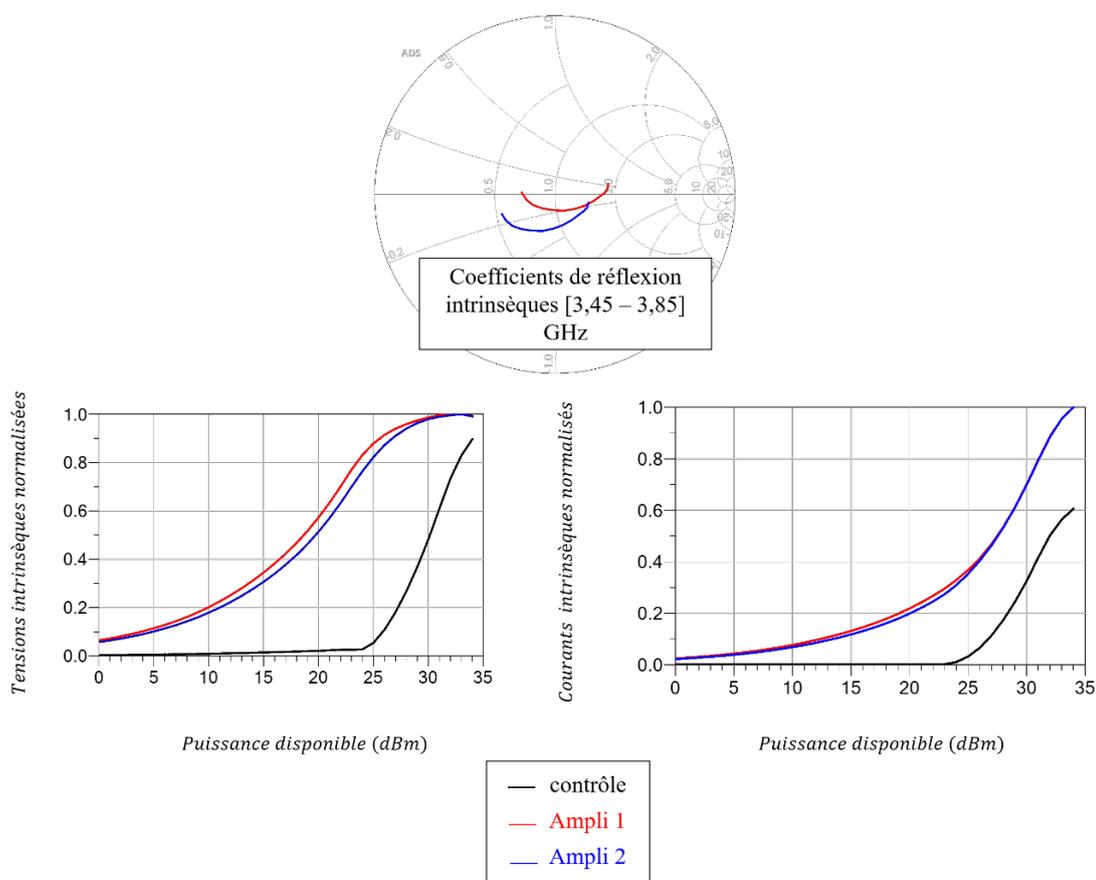


FIGURE III.40 – Evolution des coefficients de réflexion intrinsèques - Tensions et courants normalisés pour le circuit « Doherty-Like » @3.65 GHz ($\beta=3$)

tensions/courants au fondamental et des cycles de charge. On aboutit à une maquette assez peu compacte, du fait notamment de l'emploi de lignes demi-onde. Le prototype présente également des limites en termes de bande passante offerte, du fait du coupleur utilisé de type « branch-line » simple. Des coupleurs « branch-line » fonctionnant sur une plus large bande de fréquence existent, en couplant plusieurs sections [6], ou bien en optimisant leur structure interne. Toutefois, selon la méthodologie proposée, pour de forts OBO visés et pour des applications large bande nécessitant plusieurs sections de coupleurs « branch-line », les niveaux des impédances caractéristiques de certaines lignes qui le composent deviennent typiquement élevés. On aboutit à des largeurs physiquement non implémentables. Dans notre cas, par exemple, avec le substrat utilisé, cela donnerait des lignes de largeur $< 60 \mu\text{m}$, bien trop étroites pour une réalisation. Une autre approche serait de réaliser le coupleur en éléments localisés.

Le Chapitre IV va proposer la conception d'une maquette LMBA à partir d'une approche totalement différente, basée sur le formalisme des ondes de puissance et permettant d'analyser et d'optimiser le phénomène de load-pull actif présent dans cette structure. Cette analyse comportementale de type "boite noire" est menée d'après les données de load-pull discutées dans le chapitre I. La conception de cette nouvelle maquette vise à améliorer grandement la bande passante atteignable, notamment en recul de puissance. Une attention particulière sera portée sur le montage de la maquette pour bénéficier du retour d'expérience de cette première analyse.

Chapitre IV

Méthodologie de conception d'un LMBA avec amplificateur de contrôle polarisé en classe AB

Sommaire

| | | |
|-----|--|-----|
| 1 | Introduction | 130 |
| 2 | Cahier des charges et choix des composants | 130 |
| 3 | Méthodologie de conception d'un LMBA en bande L avec amplificateur de contrôle polarisé en classe AB | 131 |
| 3.1 | Pré-adaptation des cellules équilibrées | 131 |
| 3.2 | Réglage des temps de propagation de groupe | 134 |
| 3.3 | Loi de variation de ΔP dans la zone de modulation de charge | 137 |
| 4 | Conception du LMBA | 139 |
| 4.1 | Analyses préliminaires | 139 |
| 4.2 | Coupleur Anaren 50 Ω | 139 |
| 4.3 | Réseaux de polarisation et gestion de l'harmonique 2 | 140 |
| 4.4 | Conception d'une cellule de l'amplificateur équilibré polarisée en classe AB profonde | 143 |
| 4.5 | Conception d'un LMBA « dual-input » pour l'estimation des lois de commande | 144 |
| 4.6 | Conception de l'amplificateur de contrôle | 150 |
| 4.7 | Assemblage du LMBA | 154 |
| 5 | Réalisation et mesure du démonstrateur LMBA | 160 |
| 5.1 | Mesure petit signal des deux démonstrateurs | 161 |
| 5.2 | Mesure fort signal | 163 |
| 6 | Conclusion | 170 |

1 Introduction

L'une des limites induite par la méthodologie présentée dans le chapitre précédent réside dans la gestion des performances en recul de puissance des cellules équilibrées. L'utilisation d'un amplificateur de contrôle polarisé en classe C ne permet pas de bénéficier de l'adaptation active des amplificateurs équilibrés au back-off, car il n'y a pas d'injection sur la voie de contrôle. La phase des coefficients de réflexion présentés aux cellules actives varie donc, à ce point de puissance de sortie et en dessous, dans le sens naturel (horaire) en fonction de la fréquence, c'est à dire dans le sens opposé à la variation des lieux optima de PAE ou de puissance délivrée. Ainsi, la gestion large bande des performances en recul de puissance est réduite.

L'emploi d'un amplificateur de contrôle en classe AB permet de pallier à cette limitation, en participant à l'adaptation des deux amplificateurs équilibrés par l'injection de puissance sur le port isolé du coupleur de sortie à leur point de back-off.

Enfin, pour s'affranchir des problèmes liés aux coupleurs « branch-line » (taille, maîtrise du déséquilibre amplitude/phase) utilisés dans les précédentes maquettes, des coupleurs de lange commerciaux, plus compacts vont être utilisés. Dans la méthodologie de conception développée dans ce chapitre, l'impédance du coupleur hybride de sortie ne fixe plus l'impédance de charge en recul de puissance pour les amplificateurs équilibrés comme cela était le cas dans les chapitres II et III.

2 Cahier des charges et choix des composants

Les amplificateurs de puissance à haut rendement conçus avec la nouvelle méthodologie doivent fonctionner dans la bande [1,2; 1.4] GHz, qui encadre deux des trois bandes d'intérêt pour le système de radionavigation européen Galiléo. Une maquette sera réalisée avec les transistors GaN HEMT CGH0010F de WOLFSPEED, dont les caractéristiques principales ont été présentées dans le chapitre III.

Le substrat utilisé pour cette conception est le ROGER4003C, identique à celui utilisé pour la réalisation de la maquette du chapitre précédent.

Enfin, les coupleurs 50 Ω hybrides commerciaux, d'entrée et de sortie de l'architecture LMBA, seront les coupleurs X3C14P1-03S de ANAREN. Ces coupleurs fonctionnent dans la bande [1,2; 1,7] GHz. Le critère principal concernant ce choix réside dans l'équilibre de la distribution de puissance et de phase entre les deux voies en quadrature. En effet, un déséquilibre trop important induit des différences non négligeables entre les impédances qui sont vues par les deux cellules de puissance équilibrées de l'architecture LMBA, dégradant ses performances globales de façon importante. Ces coupleurs présentent des déséquilibres d'amplitude et de phase de +/- 0.35 dB et +/-4°. L'isolation minimale dans la bande est de 23 dB.



FIGURE IV.1 – Coupleur CMS X3C14P1-03S de chez ANAREN.

La plage de recul de puissance visée pour l'amplificateur LMBA est d'environ 3 dB, pour répondre au cahier des charges pour une application Galileo. La méthodologie de conception va être présentée maintenant

3 Méthodologie de conception d'un LMBA en bande L avec amplificateur de contrôle polarisé en classe AB

Le LMBA est une architecture d'amplificateur de puissance qui présente plusieurs spécificités intéressantes. Elle permet tout d'abord d'obtenir des performances énergétiques améliorées en recul de puissance et à la saturation grâce à la modulation de charge. Un autre point clé, qui va être détaillé après, réside dans le contournement possible du verrou posé par le critère de Bode-Fano, synthétiquement présenté dans le chapitre 1. En tirant partie d'une adaptation active du coefficient de réflexion, il est possible de s'affranchir de l'adaptation réactive conventionnelle à base d'éléments passifs des amplificateurs équilibrés, qui provoque une limitation en bande passante. L'optimisation du transfert de puissance n'est alors plus limitée à la fréquence centrale. Pour répondre à cette exigence, trois contraintes principales sont à prendre en compte, et seront développées dans la suite de cette partie.

3.1 Pré-adaptation des cellules équilibrées

Premièrement, la localisation des lieux optima de PAE et de puissance délivrée par les transistors (issus des simulations de load-pull sur la bande de fréquence) est déterminée. Afin de limiter l'injection de puissance sur la voie de contrôle, une pré-adaptation sur les voies équilibrées peut être nécessaire. La Figure IV.2 illustre les lieux optima d'impédances en PAE et en puissance de sortie obtenus par simulation load-pull (à la saturation (a) et à 3 dB d'OBO(b)) pour les transistors CGH0010F de Wolfspeed, sur la bande visée [1.2 – 1.4] GHz.

Les lieux d'impédances présentés sur la Figure IV.2(c) sont associés à des compromis déterminés d'après les optima de PAE et de puissance de sortie délivrée, à deux points de puissance (à la saturation et à 3 dB de recul de puissance). On observe que les lieux à 3 dB d'OBO sont associés à des TOS plus forts que ceux à la saturation. Les coupleurs hybrides de sortie étant d'impédance caractéristique égale à 50 Ω , plus les lieux visés seront associés des niveaux de

désadaptation forts, plus la quantité de puissance à injecter par l'amplificateur de contrôle sera importante.

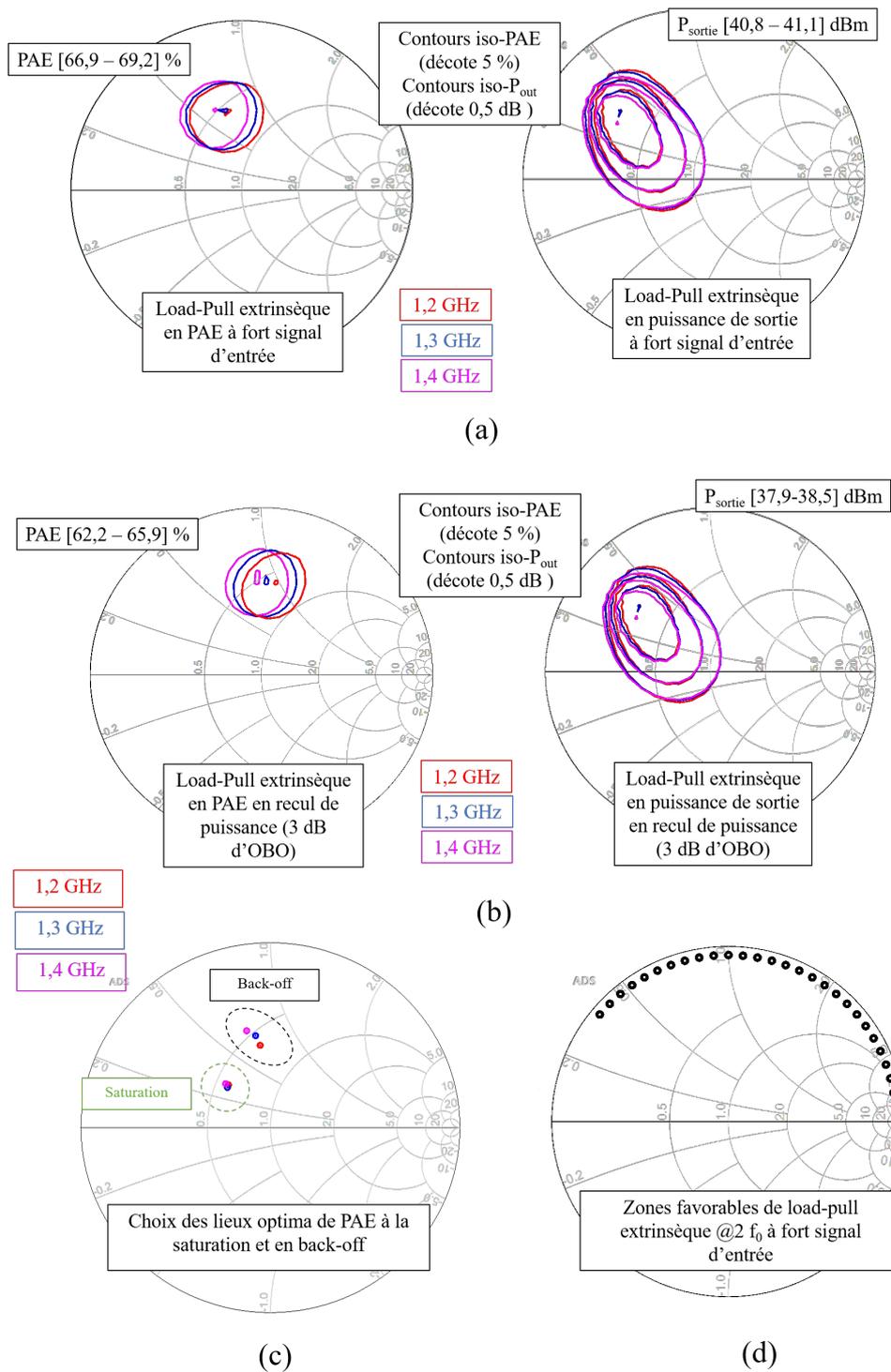


FIGURE IV.2 – Lieux optima de PAE et de puissance de sortie issus de la simulation load-pull à 3 dB de back-off et à la saturation sur un transistor CGH0010F et zone favorable à l'harmonique 2 en extrinsèque.

Il est important de noter dès à présent que le dimensionnement et l'optimisation de la voie de contrôle permettant l'implémentation optimale de la modulation de charge active pour les cellules équilibrées est un point clé de la conception. L'amplificateur de contrôle connecté sur le port isolé du coupleur hybride 0/90° de sortie se trouve chargé au fondamental par une impédance fixe, et va donc impacter les performances globales dès lors que de fortes bandes passantes sont visées et qu'une adaptation à fort TOS est nécessaire (comme c'est typiquement le cas pour de gros transistors à effet de champ). Il convient donc de limiter la quantité de puissance requise injectée par la voie de contrôle. La solution naturelle est l'implémentation d'un circuit de préadaptation passif de sortie sur les deux voies équilibrées.

Ainsi, sans injection de puissance sur le port isolé du coupleur de sortie, les coefficients de réflexion présentés aux cellules de puissance équilibrées sont transformés en un lieu $\Gamma_p(f)$.

La stratégie de préadaptation est une étape déterminante de la conception. Bien que cette préadaptation soit intimement liée aux conditions d'injection, quatre points-clefs doivent être notés et sont illustrés sur la Figure IV.3 :

- Afin d'assurer un niveau d'injection constant nécessaire sur le port de contrôle sur la bande de fréquence, le lieu $\Gamma_p(f)$ ainsi formé doit être associé à un niveau de désadaptation constant (associé à un TOS constant) vis-à-vis lieux optima de load-pull à 3 dB de back-off

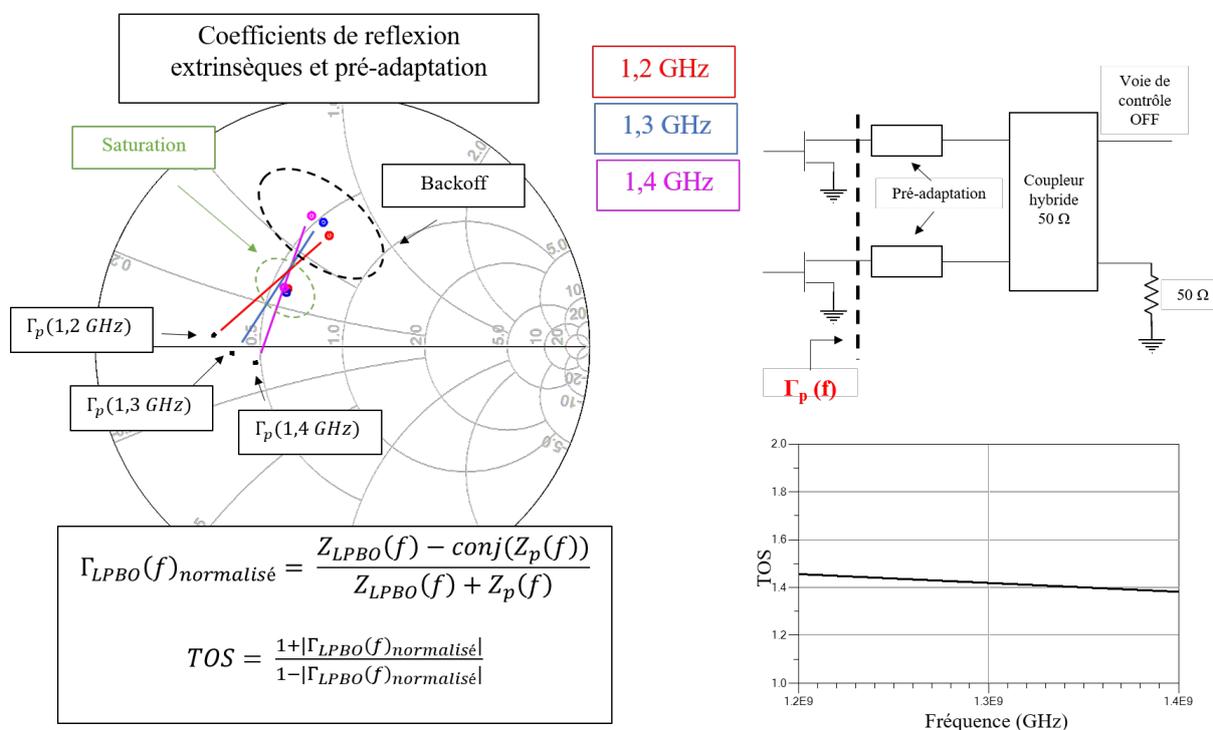


FIGURE IV.3 – Coefficients de réflexion avec circuit de pré-adaptation assurant un TOS constant en fonction de la fréquence.

- Le niveau de puissance requis sur la voie de contrôle afin de déplacer les coefficients de

réflexion au lieu optimum à 3dB de recul de puissance doit être suffisant pour permettre l'adaptation active des transistors équilibrés en fonction de la fréquence. Ce point sera détaillé dans le prochain paragraphe.

- Le positionnement du lieu $\Gamma_p(f)$ ne pas doit être entre les lieux optima au recul de puissance et à la saturation car si tel était le cas il faudrait nécessairement intégrer une inversion de phase dans le signal de contrôle entre les deux conditions de fonctionnement (back-off et saturation).
- Le positionnement du lieu $\Gamma_p(f)$ ne pas doit être au-delà des lieux optima à 3 dB de back-off, car cela nécessiterait l'ajout d'une ligne de longueur trop importante, entraînant alors une trop grande dispersion des coefficients de réflexion. Cette dispersion ne pourrait alors pas être compensée par le réglage des temps de propagation de groupe comme expliqué par la suite.

3.2 Réglage des temps de propagation de groupe

Considérons le schéma global représentatif de la topologie d'un amplificateur de type LMBA, représenté Figure IV.4. Sur cette figure sont illustrés les éléments qui ont un impact sur le temps de propagation de groupe des deux parties du LMBA considéré. Le retard du signal en fonction de la fréquence, pour ce qu'on appelle tpg1, est induit par la ligne L_1 (50Ω), le coupleur hybride d'entrée en transmission, et par le transistor fonctionnant en régime linéaire. Pour le tpg2, l'impact sur le temps de propagation de groupe sera lié à la ligne L_2 (50Ω), et à la transmission du coupleur de sortie.

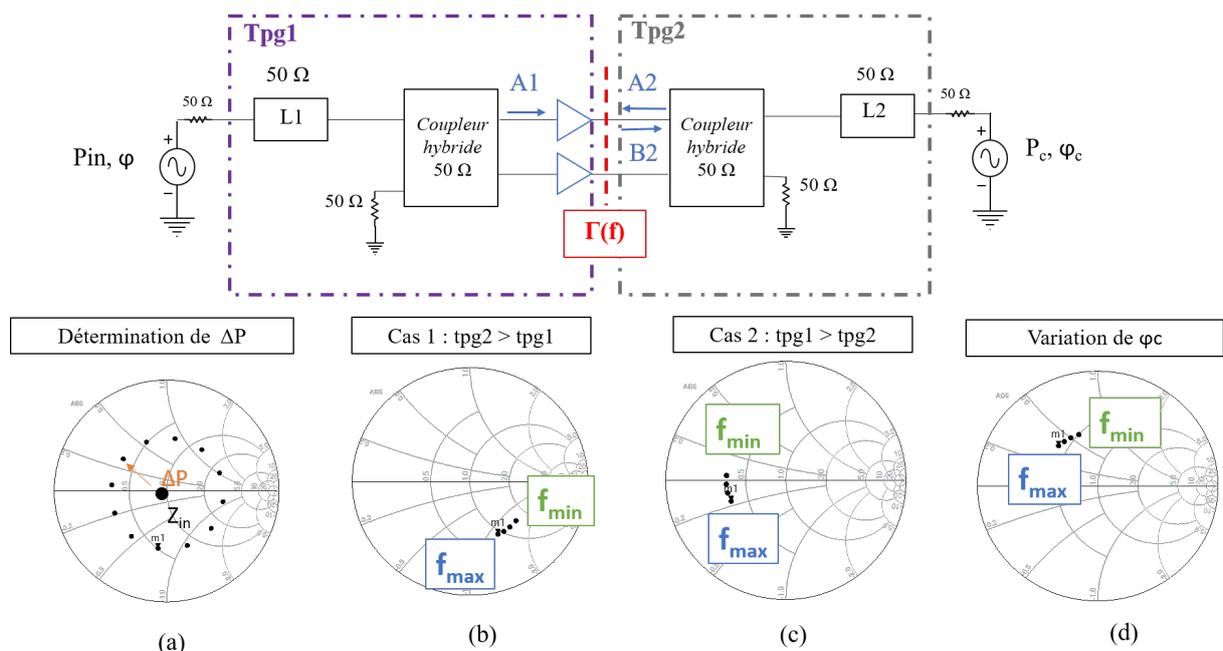


FIGURE IV.4 – Principe de variation des temps de propagation de groupe en régime linéaire (lieux de $\Gamma(f)$).

Sur ce schéma, on peut considérer pour un souci de simplification, les cellules équilibrées fonctionnant en régime linéaire, et sans circuit de préadaptation de sortie, dans un environnement d'impédance $Z_0=50 \Omega$. En présence du circuit de préadaptation l'explication de principe qui va suivre reste correcte, en prenant soin de re-normaliser l'abaque par rapport à chaque $\Gamma_p(f)$.

L'entrée est connectée à un générateur 50Ω . de puissance disponible P_{in} . φ est la référence de phase prise comme étant égale à 0. La voie de contrôle est pilotée par un second générateur 50Ω de puissance disponible P_C et de phase φ_C à la fréquence centrale (f_0). Deux lignes de transmission 50Ω , notées L_1 et L_2 , de longueurs électriques respectives E_1 et E_2 , vont permettre de faire varier les temps de propagation de groupe notés $tpg1$ et $tpg2$.

La synthèse active du coefficient de réflexion $\Gamma_p(f) = \frac{A_2(f)}{B_2(f)}$ présenté à l'une des cellules équilibrées, repose sur la maîtrise relative des deux ondes de puissance $A_2(f)$ et $B_2(f)$. En supposant un régime de fonctionnement linéaire pour les cellules équilibrées, ce problème peut être analysé simplement et décomposé en deux étapes indépendantes :

- Réglage du module de $\Gamma_p(f)$: pour une valeur de P_{in} fixée, l'optimisation du niveau de P_C au travers du paramètre $\Delta_P = P_{BA} - P_C$, permet de définir la valeur du module du coefficient de réflexion dans le plan des cellules équilibrées. P_{BA} est la puissance associée à l'onde B_2 : $P_{BA} = \frac{1}{2}|B_2|^2$. Ceci est illustré en faisant balayer la phase φ_C sur la Figure IV.4 (a) pour un Δ_P donné et une fréquence fixée.
- Réglage de la phase de $\Gamma_p(f)$: pour une valeur du paramètre Δ_P fixé, la phase de $\Gamma_p(f)$ peut être gérée grâce au contrôle du paramètre φ_C du générateur de contrôle (réglage à la fréquence centrale uniquement), ou bien par un réglage des différences de longueurs électriques entre les deux voies (réglage de la pente de phase sur la bande de fonctionnement). Selon les valeurs des temps de propagation de groupe $tpg1$ et $tpg2$, trois cas de figure peuvent être décrits.

D'après le schéma de principe de la Figure IV.4, le coefficient de réflexion s'écrit :

Soit,

$$\arg(\Gamma(f)) = \arg(A_2(f)) - \arg(B_2(f)) \quad (IV.1)$$

$$\arg(\Gamma(f)) \approx [\varphi_C - E_2(f) + \arg(C(f))] - [\varphi - E_1(f) + \arg(T(f)) + \arg(C(f))] \quad (IV.2)$$

Ou $\arg(C(f))$ représente la phase du paramètre S en transmission entre les ports des coupleurs d'entrée et de sortie, considérés comme identiques ; et $\arg(T(f))$ représente la phase du paramètre S en transmission de la cellule active. Le signe de quasi-égalité provient du fait que la contribution de l'onde réfléchie sur le port de sortie de la cellule active à l'onde B_2 est typiquement négligeable,

dès lors que $\text{mag}(\Gamma(f)) \gg 1$, ce qui est vérifié pour un transistor polarisé en zone active.

On peut alors écrire, en choisissant arbitrairement la référence de phase sur φ ($\varphi = 0$) :

$$\text{arg}(\Gamma(f)) = [\varphi_C - \text{arg}(T(f))] + [E_1(f) - E_2(f)] \quad (\text{IV.3})$$

$$\text{arg}(\Gamma(f)) = [\varphi_C - \text{arg}(T(f))] + \frac{2\pi}{\nu}(L_1 - L_2) \cdot f \quad (\text{IV.4})$$

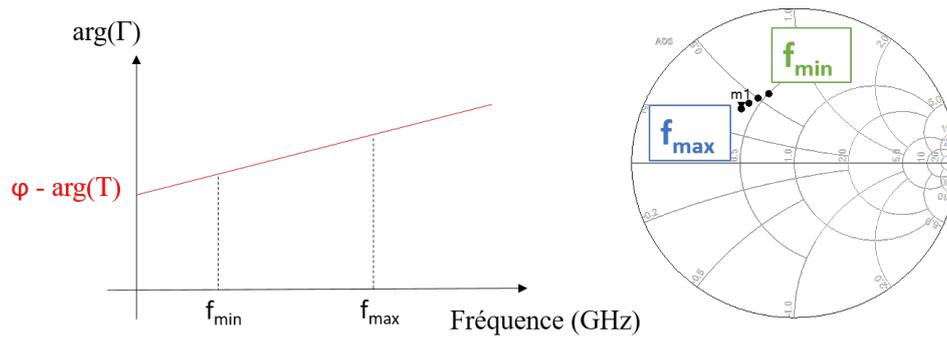


FIGURE IV.5 – Evolution de l'argument du coefficient de réflexion en fonction de la fréquence.

En visant une variation de la phase du coefficient de réflexion présenté aux cellules actives en sens trigonométrique en fonction de la fréquence, (Figure IV.5), cela implique :

$$\frac{2\pi}{\nu}(L_1 - L_2) > 0 \quad (\text{IV.5})$$

Donc,

$$(L_1 - L_2) > 0 \quad (\text{IV.6})$$

D'où,

$$L_1 > L_2 \quad (\text{IV.7})$$

Ainsi, par une optimisation des temps de propagation de groupe relatifs et des phases à l'origine relatives φ_C et φ il est possible à la fois d'optimiser le secteur angulaire et le sens de variation du lieu de coefficient de réflexion $\Gamma(f)$ présenté aux cellules actives.

Les trois cas de figure sont donc décrits comme suit :

- Si $\text{tpg}_2 > \text{tpg}_1$ soit $L_2 > L_1$: (Figure IV.4 (b)), une augmentation de la fréquence correspond à une rotation du lieu d'impédance dans le sens horaire.
- Si $\text{tpg}_2 < \text{tpg}_1$ soit $L_1 > L_2$ (Figure IV.4(c)), une augmentation de la fréquence correspond à une rotation du lieu d'impédance dans le sens anti-horaire.

- Si $\text{tpg1} = \text{tpg2}$, la phase du coefficient de variation ne varie pas sur la bande de fréquence, il y a une compensation des temps de propagation de groupes entre les deux voies actives.

3.3 Loi de variation de ΔP dans la zone de modulation de charge

D'après la Figure IV.6, il est constaté que le niveau de désadaptation requis en recul de puissance (représenté graphiquement par la distance géométrique d_1 entre le lieu de $\Gamma_p(f)$ et le lieu des impédances optimales) est typiquement supérieur à celui correspondant à la saturation (distance d_2). Ainsi, dans la zone de modulation de charge, l'injection du signal de contrôle doit être telle qu'elle produise une réduction de la désadaptation dans le plan des cellules équilibrées par rapport au lieu $\Gamma_p(f)$.

Au premier ordre, on peut constater que le choix de $\Gamma_p(f)$ implique qu'il sera nécessaire de faire varier l'écart de puissance ΔP en fonction de la puissance de sortie mais pas l'écart de phase ($\varphi_C - \varphi$). Notamment, l'écart de puissance $\Delta P = P_{BA} - P_C$ doit augmenter lorsque la puissance d'entrée RF P_{in} augmente. Dans la zone de modulation de charge, la puissance de sortie des amplificateurs équilibrés continue de croître puis arrive à la saturation. Il faut alors contrôler le niveau de puissance P_C délivré par la voie de contrôle conformément à la Figure IV.6, sans produire de distorsion de phase notable.

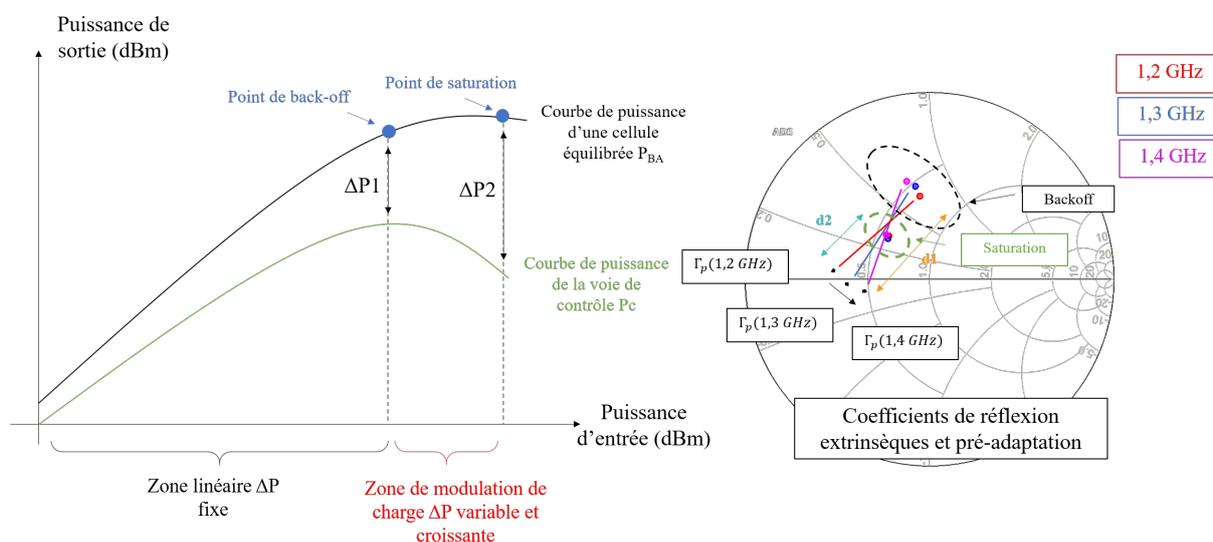


FIGURE IV.6 – Profils recherchés de compression de puissances des amplificateurs équilibrés et de contrôle

Les meilleures performances en rendement/bande de fréquence seront obtenues en recul de puissance en concevant l'amplificateur de contrôle de façon à ce qu'il atteigne sa puissance de sortie saturée pour générer l'écart de puissance ΔP_1 . Cette étape de la procédure de conception conduit au dimensionnement de la cellule d'amplification de la voie de contrôle (choix de la taille, de la tension de polarisation de drain et de l'impédance de charge) pour obtenir la bonne puissance de sortie saturée.

Enfin, pour obtenir une forme décroissante de la puissance de sortie fournie par la voie de contrôle après son point de puissance en saturation, il faut envisager un contrôle de tension de polarisation de grille, en changeant la classe de fonctionnement de l'amplificateur de contrôle vers la classe C. Si le contrôle de polarisation de grille n'est pas appliqué, l'amplificateur de la voie de contrôle produira une courbe de puissance saturée conventionnelle d'un amplificateur polarisé en classe AB profonde, comme représenté sur la Figure IV.7. Dans ce cas, l'écart de puissance ΔP_2 nécessaire à la synthèse de l'impédance de charge optimale au point de saturation ne sera pas suffisant et conduira à une perte des performances à forte puissance du fait d'un fonctionnement beaucoup trop saturé des cellules équilibrées.

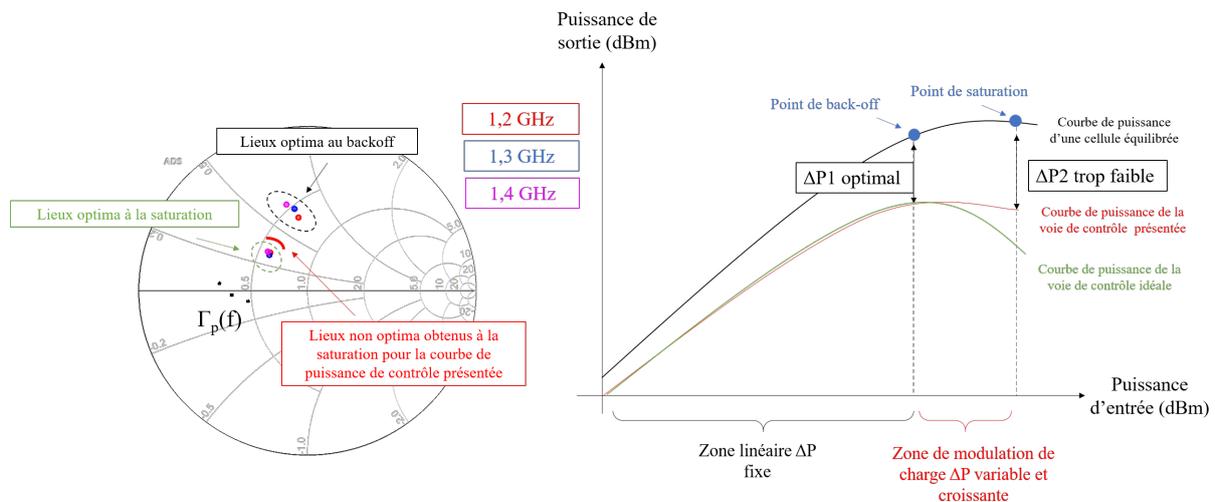


FIGURE IV.7 – Compromis atteint sur les lieux de coefficients de réflexion sans chute de la puissance de contrôle.

Si on modifie le dimensionnement en puissance de la voie de contrôle, toujours sans procéder à un contrôle de tension de polarisation de grille, on peut arriver à un choix de compromis pour les performances optimales globales (en saturation et en recul de puissance), comme présenté sur la Figure IV.8. Ce choix impliquerait que les performances optimales ne soient pas maintenues sur les 3 dB d'OBO souhaités.

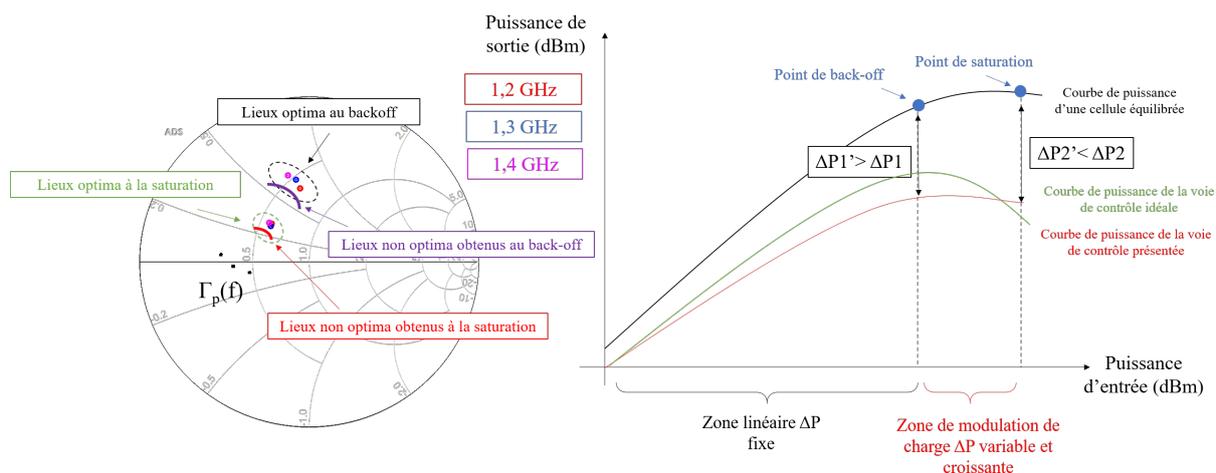


FIGURE IV.8 – Compromis atteint sur les lieux de coefficients de réflexion en jouant sur la puissance de contrôle en recul de puissance notamment.

4 Conception du LMBA

Sur la base des concepts et remarques énoncés dans la partie précédente, nous présentons dans ce paragraphe les principaux points liés à la conception maîtrisée du prototype LMBA, assurant des performances en rendement/puissance optimales.

4.1 Analyses préliminaires

Les premières étapes décrites dans le Chapitre III, qui sont l'analyse DC permettant la détermination du point de fonctionnement optimal, et l'étude petit signal de la stabilité doivent être réalisées de façon préliminaire. Les transistors Wolfspeed utilisés étant identiques à ceux de la réalisation précédente, nous nous affranchirons de retracer les résultats déjà présentés. En revanche, la nouvelle bande d'utilisation de ces transistors conduit à faire des analyses de load-pull et source-pull (fondamental et à harmonique 2) à ces nouvelles fréquences. Les lieux de load-pull sont présentés sur la Figure IV.2.

4.2 Coupleur Anaren 50 Ω

Les coupleurs d'entrée et de sortie sont des coupleurs CMS commerciaux X3C14P1-03S 50 Ω de chez ANAREN. Le choix du coupleur a été principalement motivé par le bon équilibre des amplitudes et des phases de celui-ci dans la bande de conception du LMBA. A la fréquence de 1.4 GHz se situe le plus gros déséquilibre au niveau de la transmission en puissance entre les voies en quadrature. Ce déséquilibre reste tout de même inférieur à 0.3 dB, ce qui reste correct, l'isolation et l'équilibre de phase étant également tout à fait acceptables. Les simulations de ce coupleur, avec les conventions de notation des ports, sont présentées sur la Figure IV.9.

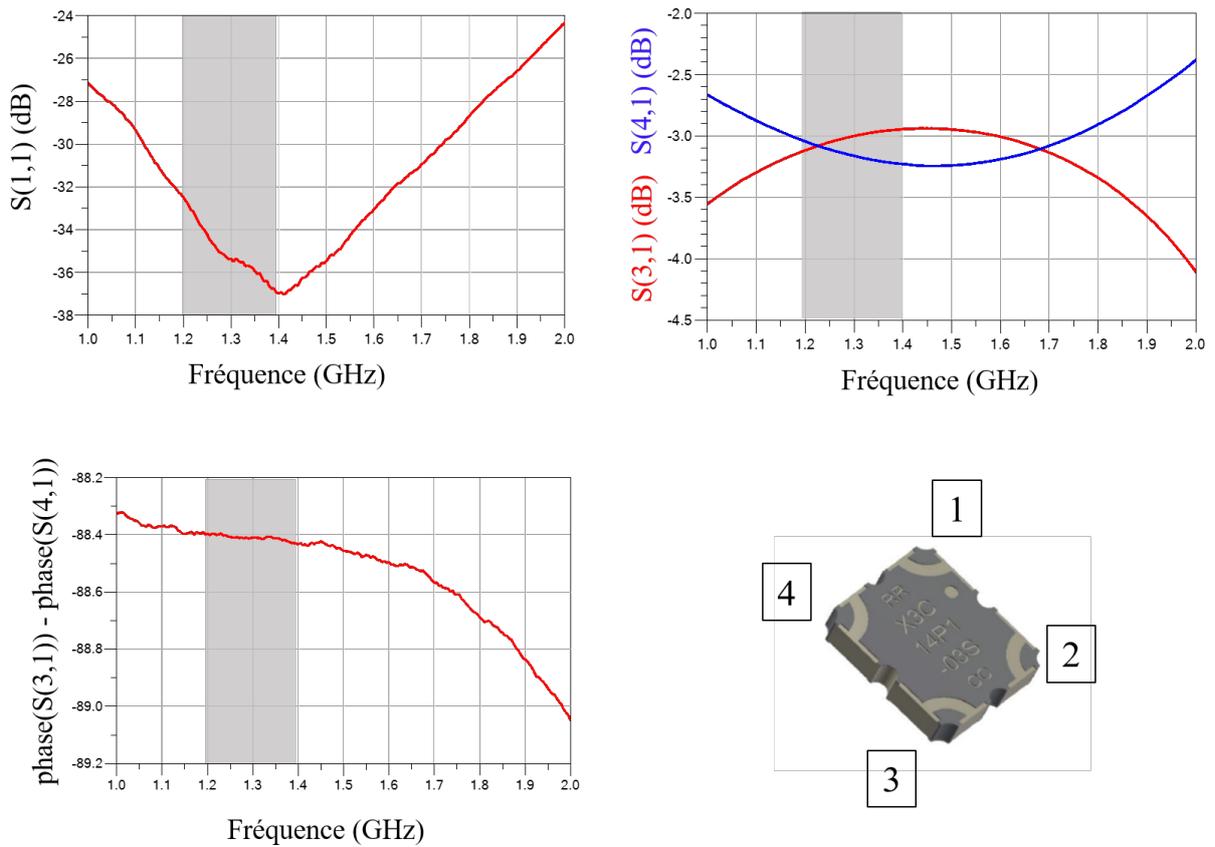


FIGURE IV.9 – Coupleur Anaren utilisé pour la conception et performances associées.

4.3 Réseaux de polarisation et gestion de l'harmonique 2

Pour obtenir un rendement élevé sur la dynamique de puissance de sortie visée, la gestion de l'harmonique 2 est un point clé. En effet, les simulations load-pull sur le composant montrent qu'une terminaison à l'harmonique 2 optimisée permet une amélioration du rendement de l'ordre de 10-15 %. Cette gestion de l'harmonique 2 est réalisée avec les réseaux de polarisation.

Dans cette conception, les réseaux de polarisation de grille et de drain sont constitués de deux résonateurs $\frac{\lambda}{8}$ d'impédance caractéristique Z_C , connectés en shunt sur la ligne RF, et terminés l'un en circuit ouvert et l'autre en court-circuit, comme représenté Figure 4.11. Cette association permet de contrôler efficacement les impédances dans la bande du fondamental et de l'harmonique 2, tout en présentant une configuration plus compacte électriquement dans la bande d'enveloppe.

Ces deux stubs ramènent sur la ligne RF principale une susceptance $B_{totale}(f)$ qui est la somme des deux susceptances de signe opposé :

$$B_{totale}(f) = B_{CC}(f) + B_{CO}(f) = -\frac{2}{Z_c} \cotan\left(\frac{\pi f}{2 f_0}\right) \quad (\text{IV.8})$$

Avec,

$$B_{CC}(f) = -\frac{1}{Z_C} \cotan\left(\frac{\pi f}{4 f_0}\right) \quad (IV.9)$$

$$B_{CO}(f) = \frac{1}{Z_C} \tan\left(\frac{\pi f}{4 f_0}\right) \quad (IV.10)$$

- A la fréquence centrale f_0 , un circuit ouvert est donc ramené sur la ligne RF ($B_{totale}(f_0) = 0$). En dehors de cette fréquence centrale et dans la bande de fréquence du fondamental, la compensation exacte n'a plus lieu, et le module de l'admittance ramenée sur la ligne RF est dans un facteur 2 par rapport à l'admittance ramenée par un stub $\frac{\lambda}{4}$ en court-circuit classiquement employé, ce qui limite la bande d'utilisation au fondamental dans laquelle une impédance forte doit être ramenée.
- Dans la bande de fréquence de l'harmonique 2, la susceptance totale $B_{totale}(f)$ est infinie à la fréquence centrale double ($2 f_0$) (susceptance contrôlée par le stub $\frac{\lambda}{8}$ en CO). Dans la bande de fréquence de l'harmonique 2, en considérant que les impédances d'entrée des deux résonateurs $\frac{\lambda}{4}$ équivalents peuvent être modélisées par un circuit résonnant parallèle (stub $\frac{\lambda}{8}$ en CC à H2) et par un circuit résonnant série (stub $\frac{\lambda}{8}$ en C0 à H2), le circuit bénéficie d'un phénomène de compensation de réactance, permettant d'augmenter d'un facteur 2 le module de l'admittance par rapport à un stub $\frac{\lambda}{4}$ en court-circuit, et permettant donc un élargissement conséquent de la bande à basse impédance à l'harmonique 2 (Figure IV.10).

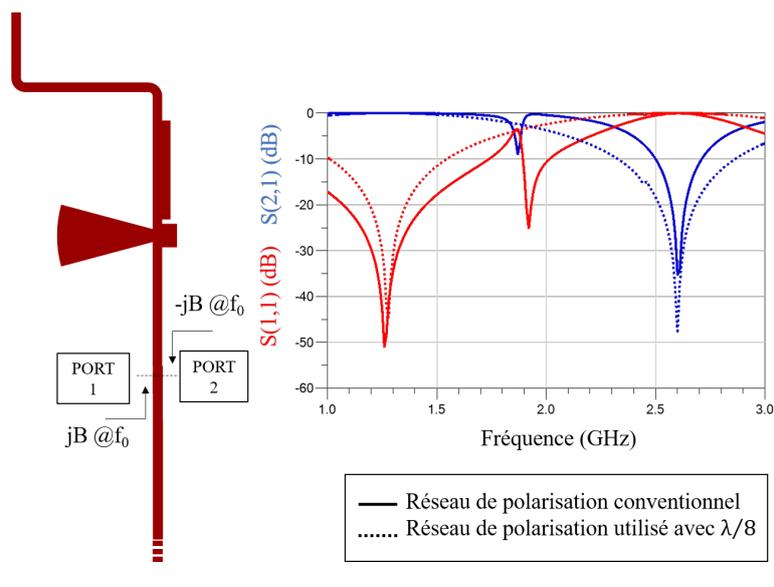


FIGURE IV.10 – Comparaison au fondamental et à l'harmonique 2 des réseaux de polarisation employés dans le chapitre III (stub $\frac{\lambda}{4}$ @ f_0) et dans ce chapitre (stubs $\frac{\lambda}{8}$ @ f_0)

La mise en parallèle de capacités de découplage BF permet de présenter dans la bande d'enveloppe une impédance suffisamment basse ($|Z_{BF}(f)| < 10 \Omega$ sur près de 300 MHz de bande). La Figure IV.11 présente l'ensemble du circuit permettant l'injection de la polarisation DC sur le drain, la gestion de l'impédance basse fréquence et la gestion de l'harmonique 2. L'ajout d'une ligne de longueur ΔL permet le positionnement de l'impédance de charge à l'harmonique 2 dans la zone favorable prédite par les simulations load-pull.

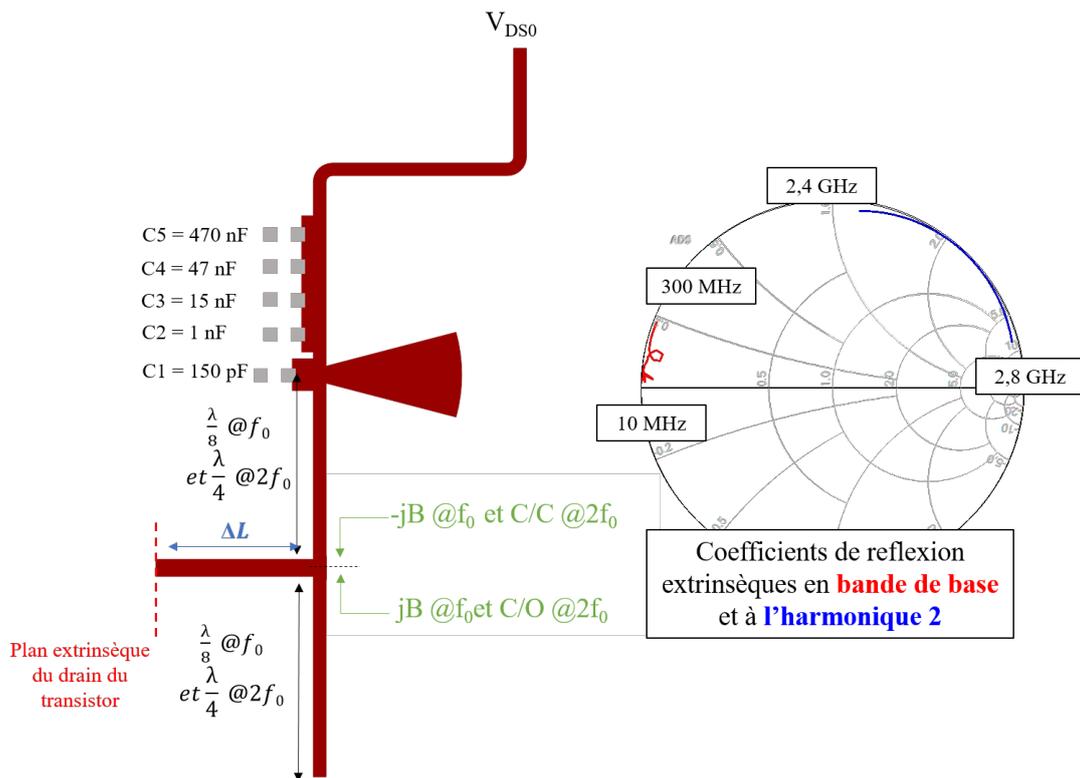


FIGURE IV.11 – Coefficients de réflexion présentés dans le plan extrinsèque du DC à 300 MHz et à l'harmonique 2 (de 2.4 à 2.8 GHz).

L'impédance caractéristique et la longueur électrique ΔL de la ligne implémentée en sortie du transistor pour positionner le second harmonique ont évidemment un impact sur l'impédance présentée au fondamental. Autrement dit, la topologie employée est la topologie minimale impérative pour garantir un fonctionnement optimal à $2 f_0$. Finalement, l'adaptation d'impédance au fondamental en sortie à insérer au-delà de ce circuit de contrôle à l'harmonique 2, effectue la transformation de 50Ω dans le plan du coupleur vers l'impédance ramenée par la préadaptation qui permet de se positionner à TOS constant des lieux optima de load-pull en recul de puissance, c'est-à-dire sur le lieu nommé $\Gamma_P(f)$, comme détaillé au début de ce chapitre.

Comme il a été expliqué dans ce début de chapitre, il existe un compromis entre la quantité de puissance qui doit être injectée et le pré-positionnement du coefficient de réflexion extrinsèque $\Gamma_p(f)$. A rappeler que, contrairement à la méthodologie présentée et validée dans les chapitres II et III, les amplificateurs équilibrés sont adaptés en recul de puissance grâce à la puissance injectée par l'amplificateur de contrôle.

D'un point de vue de la conception, cela implique que de nombreuses configurations « pré-adaptation – injection de puissance » sont envisageables pour une même bande de fréquence, afin de déterminer un bon compromis entre puissance injectée et rendement en recul de puissance (en fonction de la fréquence). La configuration présentée par la suite est le résultat de plusieurs de ces itérations.

4.4 Conception d'une cellule de l'amplificateur équilibré polarisée en classe AB profonde

L'étude d'une cellule de l'amplificateur équilibré en régime fort signal est d'abord menée en la supposant chargé par 50Ω (impédance caractéristique du coupleur). Dans un premier temps, on ne tient pas compte de l'adaptation d'entrée : la puissance disponible de source à l'entrée est augmentée jusqu'à obtenir le niveau de compression requis, associé aux performances en puissance de sortie optimales.

En insérant dans le circuit d'adaptation de sortie une ligne de transmission d'impédance caractéristique 31Ω et de longueur électrique 68° , en plus du réseau de polarisation et de la ligne ΔL permettant la gestion de l'harmonique 2, le lieu $\Gamma_p(f)$ présenté au plan extrinsèque tend à correspondre à une condition de TOS le plus constant possible. Cependant, les impédances ainsi synthétisées dans le plan extrinsèque en fonction de la fréquence, présentées sur la Figure IV.12, illustrent la difficulté à positionner parfaitement le coefficient de réflexion $\Gamma_p(f)$ à TOS constant des lieux optima de load-pull.

Cela implique alors une certaine condition sur l'adaptation d'entrée. En effet, sur les lieux synthétisés de la Figure IV.12, la distance entre le coefficient $\Gamma(f)$ et le coefficient $\Gamma_p(f)$ à 1.2 GHz est plus importante qu'à 1.4 GHz. Pour compenser cette variation entre les fréquences, le choix a été fait de dissymétriser l'injection de puissance en entrée de l'amplificateur. La puissance entrant dans le dispositif non linéaire à 1.2 GHz est plus faible qu'à 1.4 GHz. Ainsi, pour une puissance délivrée plus faible par l'amplificateur équilibré à la fréquence basse (IV.12 (d)), et en supposant que la puissance délivrée par l'amplificateur de contrôle est constante à toutes les fréquences, une plus grande variation de module du coefficient $\Gamma(f)$ sera observée. En effet, plus l'écart relatif $\Delta P = P_{BA} - P_C$ sera faible (voire négatif), plus les zones proches du bord de l'abaque seront atteignables.

Les performances de cet amplificateur chargé par une impédance de 50Ω ne traduisent pas les performances que cet amplificateur aura lorsqu'il sera implémenté dans l'architecture LMBA. En effet, l'injection active permettant son adaptation optimale en recul de puissance et à la saturation n'étant pas réalisée à ce stade l'étude. Cette étude est le sujet de la partie suivante, dans laquelle l'amplificateur équilibré conçu (Figure IV.12) est dupliqué et inséré entre les deux coupleurs 50Ω de chez Anaren.

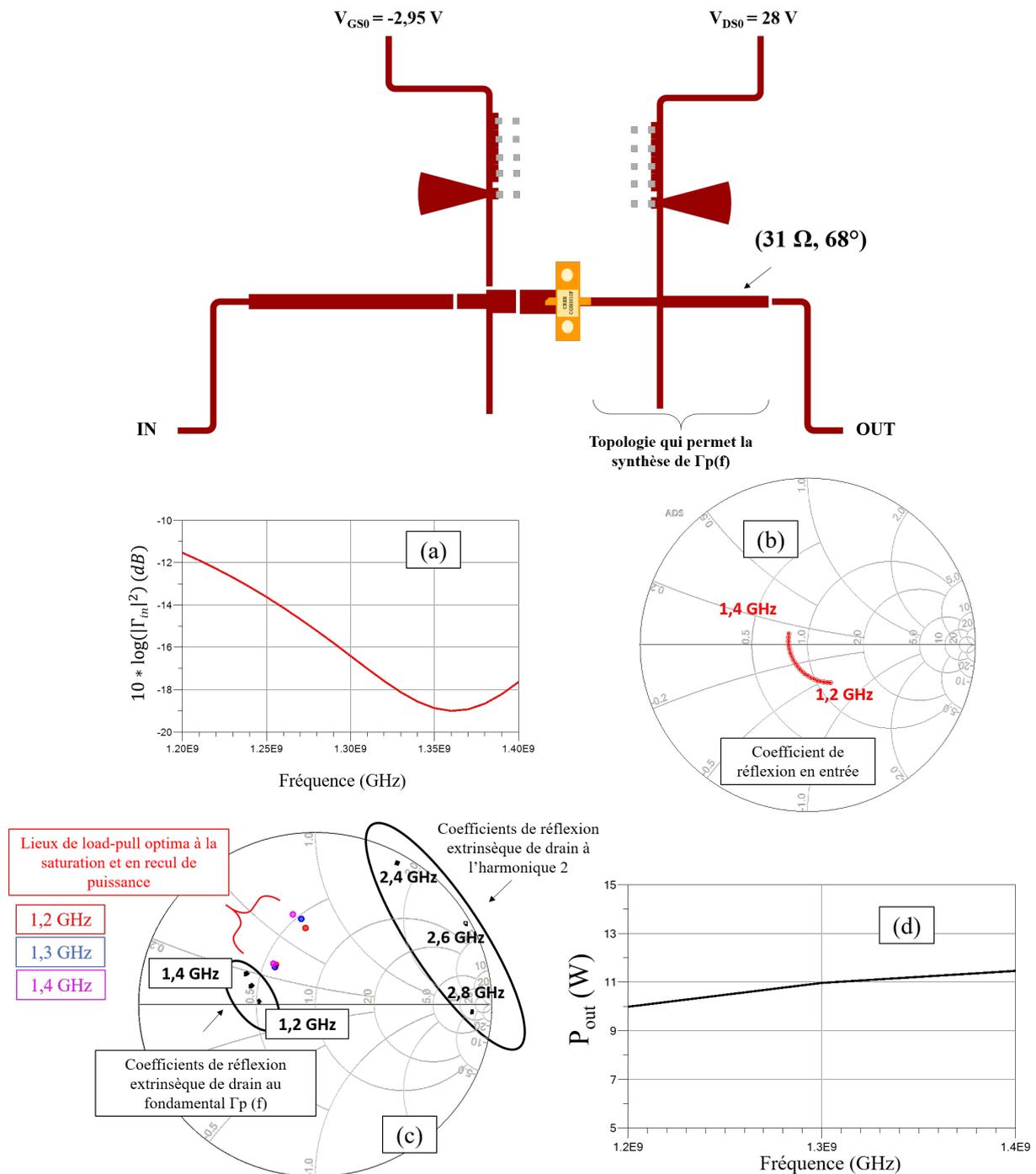


FIGURE IV.12 – Layout de l'amplificateur équilibré seul, avec ses adaptations d'entrée et de sortie, et ses accès de polarisation et sa puissance de sortie en fonction de la fréquence.

4.5 Conception d'un LMBA « dual-input » pour l'estimation des lois de commande

L'objectif de l'étude de l'architecture LMBA réalisée en configuration double entrée est de déterminer la quantité de puissance P_C à injecter en back-off et donc l'écart de puissance $\Delta P =$

$P_{BA} - P_C$ pour se positionner dans une zone optimale de compromis rendement/puissance de sortie. Du fait de la pré-adaptation précédemment réalisée, la quantité de puissance à injecter par la source 50Ω positionnée en entrée de la voie de contrôle est donc réduite à une valeur réaliste, et constante en fonction de la fréquence.

A mesure que la puissance disponible P_{av} délivrée par la source de puissance RF_{in} augmente, la puissance disponible P_C est augmentée de manière à se positionner au lieu optimum en recul de puissance. Cet écart relatif entre les puissances disponibles sur ces ports est maintenu constant jusqu'au point de back-off. Ainsi, les coefficients de réflexion synthétisés dans le plan extrinsèque des cellules équilibrées ne présentent aucune variation jusqu'au point de back-off.

Comme détaillé dans la partie IV.3.2 précédente, dès lors qu'un fonctionnement optimal est visé sur la bande passante, il devient impératif d'optimiser les temps de propagation de groupe des deux voies actives constituant le LMBA. Une première possibilité est de faire varier la phase φ_C , en fonction de la fréquence, de la source de puissance positionnée en entrée de la voie de contrôle, comme illustré sur la Figure IV.13 (a). Ainsi, on peut déterminer, à chacune des fréquences entre 1.2 et 1.4 GHz la phase φ_C optimale requise.

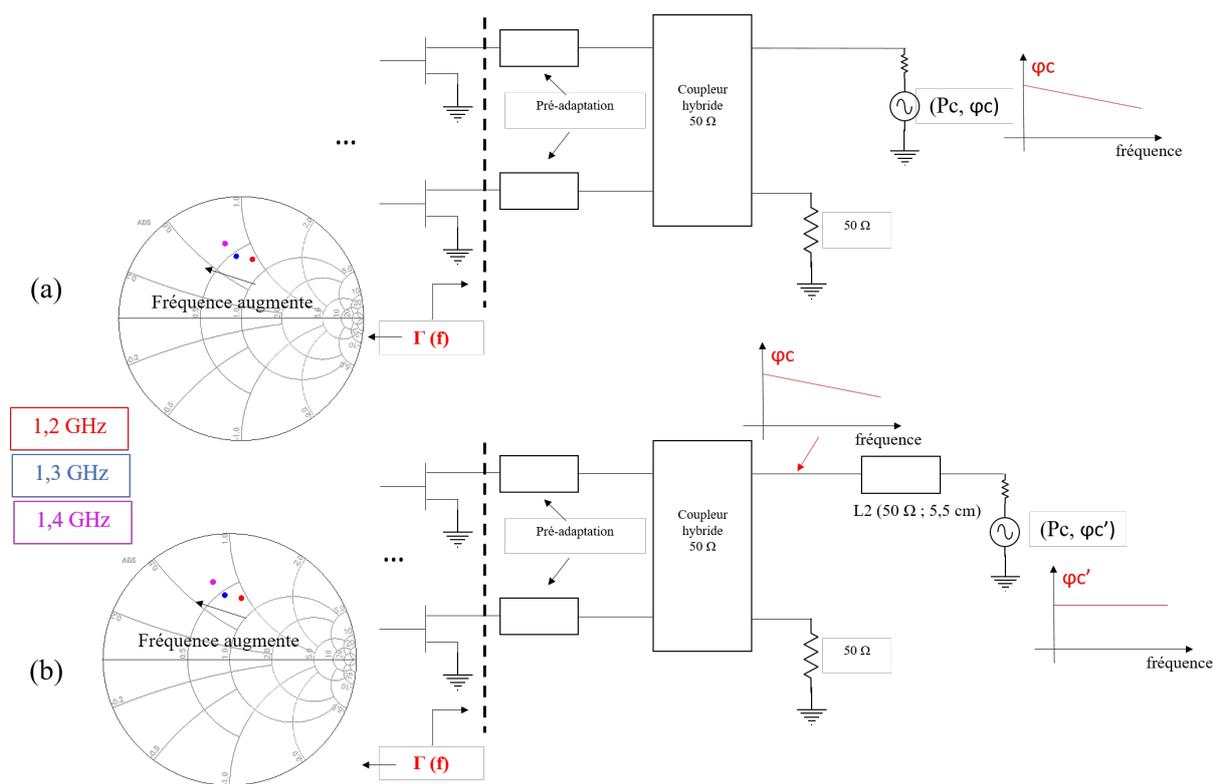


FIGURE IV.13 – Implémentation de la loi de phase pour une variation optimale des coefficients de réflexion en fonction de la fréquence.

Dans la cas où l'on souhaite conserver une phase fixe de la source de contrôle (Figure IV.13 (b)), le réglage du circuit est plus complexe. En effet, pour que l'éclatement fréquentiel des coefficients de réflexion soit au plus proche de celui obtenu par les simulations load-pull, les

paramètres L_1 , L_2 , φ_C et φ doivent être optimisés. Ainsi, après ajout de la longueur de ligne minimale à l'entrée des voies équilibrées pour permettre de souder le connecteur SMA, l'ajout d'une ligne de transmission d'une longueur de 5,5 cm et d'impédance caractéristique 50Ω été nécessaire en entrée de la voie de contrôle. Associé à cela, un réglage de phase de $\varphi=110^\circ$ (source de puissance en entrée) et de $\varphi'_C=243^\circ$ (source de puissance de contrôle) a été nécessaire.

Dans la partie de ce chapitre où étaient présentées les tendances de variations des temps de propagation de groupe en fonction de l'ajout d'une ligne L_1 sur l'entrée principale et l'une ligne L_2 sur la voie de contrôle, la conclusion présentée, pour une variation des coefficients de réflexion en fonction de la fréquence souhaitée, nécessitait l'ajout d'une ligne 50Ω devant le coupleur d'entrée. Cependant, l'étude préliminaire ne tenait pas compte de l'ajout de l'adaptation d'entrée présente ici qui induit un retard de phase plus conséquent qui a dû être compensé par l'ajout d'une ligne 50Ω de 5,5 cm en entrée du port isolé du coupleur de sortie. On vérifie, sur la Figure IV.14, que l'argument du coefficient de réflexion extrinsèque varie bel et bien comme souhaité en fonction de la fréquence, soit que $\text{tpg1} > \text{tpg2}$.

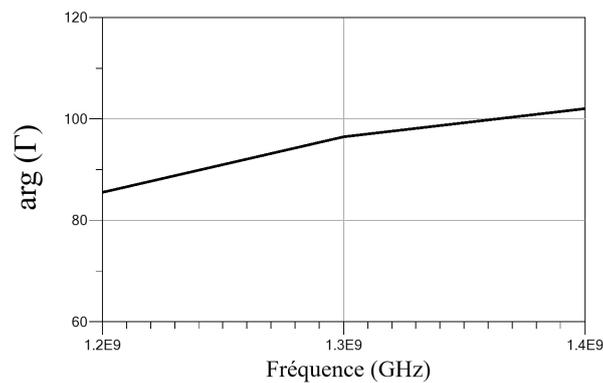


FIGURE IV.14 – Variation de l'argument du coefficient de réflexion extrinsèque d'un amplificateur équilibré pour une variation de ceux-ci dans le sens anti-horaire

Le schéma montrant l'allure du circuit résultant de cet assemblage des 2 cellules équilibrées est donné Figure IV.15.

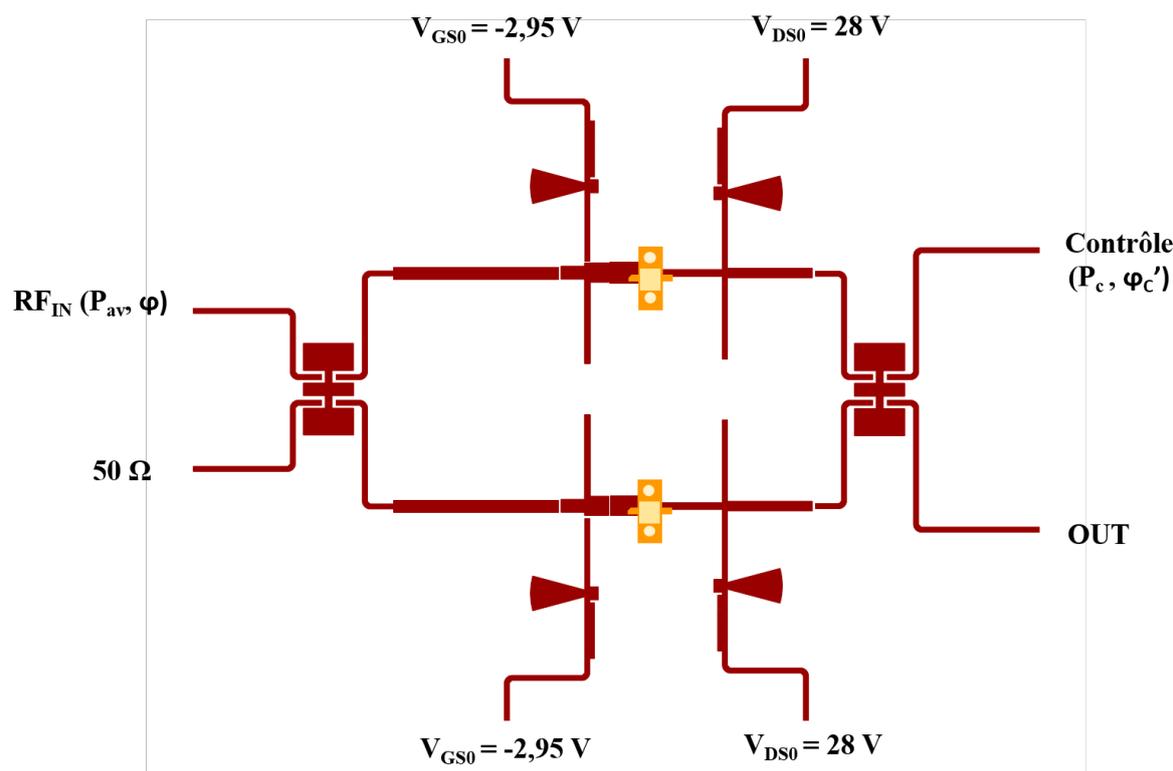


FIGURE IV.15 – Layout de l'amplificateur de puissance LMBA de type « dual-input ».

Sur la Figure IV.16, sont présentés les coefficients de réflexion présentés dans le plan extrinsèque des amplificateurs équilibrés (en vert et violet), en comparaison avec les lieux de load-pull, mais aussi les puissances injectées sur les ports du coupleur de sortie.

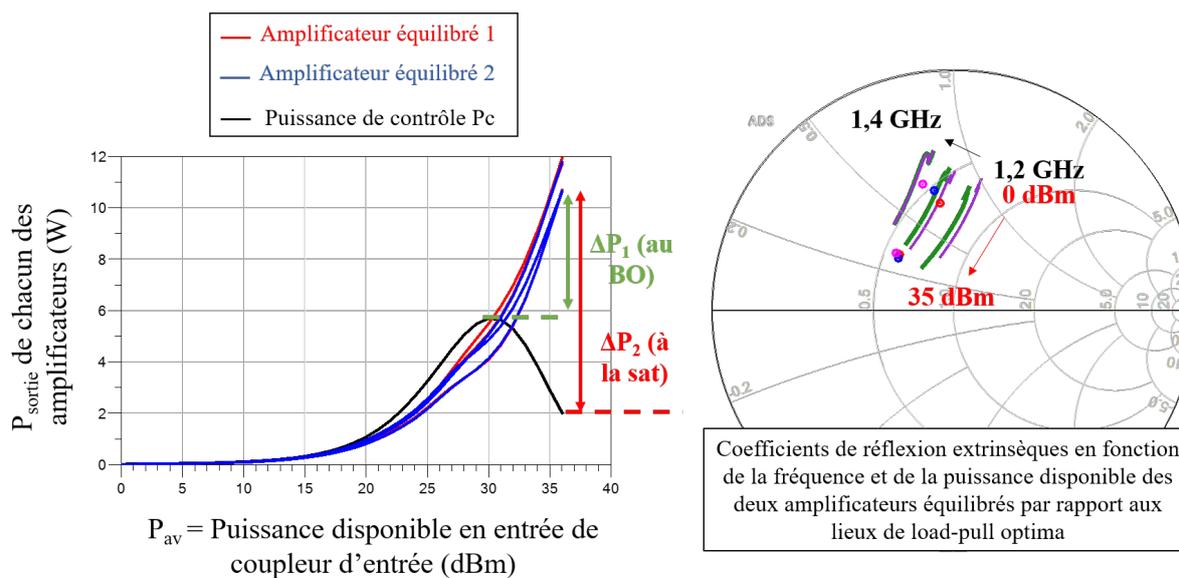


FIGURE IV.16 – Evolution des coefficients de réflexion dans le plan du boîtier des amplificateurs équilibrés et puissance délivrée par ces amplificateurs, et celle injectée par la source de puissance 50 Ω idéale.

Les lieux de load-pull à la saturation ayant un module de coefficient de réflexion inférieur à ceux en recul de puissance, la puissance de contrôle P_C ne peut plus continuer à croître dès lors que les amplificateurs équilibrés commencent à saturer. Un saut de phase pourrait autoriser la variation dans le sens souhaité si l'on augmente la puissance, mais cette fonction est complexe à implémenter. Une possibilité étudiée est de fixer, dès lors que ce point est atteint, la puissance P_C . Pour cela, on maintient la puissance P_C à sa valeur maximale de 6 W environ dans la zone de modulation de charge. Cependant, le ΔP issu de la compression ne permet pas d'atteindre les lieux optima en saturation : le module du coefficient de réflexion ne diminuant pas suffisamment. La seule solution est alors de diminuer la puissance injectée sur le port isolé de contrôle. La loi de commande en puissance P_C injectée par la voie de contrôle est celle observée sur la Figure IV.16. On observe que les coefficients de réflexion varient tels que souhaité dans l'abaque, que cela soit en fonction de la fréquence ou de la puissance. L'implémentation de cette loi de commande avec un circuit sera discutée plus loin dans ce chapitre.

Les performances en rendement en puissance ajoutée d'un amplificateur équilibré avec la loi de commande en puissance et en phase sont présentées Figure IV.17. La PAE tracée est celle d'un des deux amplificateurs équilibrés. Sur les deux figures présentées, tracées soit en fonction de la fréquence, soit en fonction de la puissance de sortie en dBm, on observe que les performances en PAE sont maintenues aux alentours de 60 %. La différence de performance avec le niveau de PAE obtenu en simulation load-pull est liée au fait que le positionnement des coefficients de réflexion n'a pas été seulement choisi en fonction du rendement maximal, mais aussi en fonction de la puissance de sortie. Ainsi, les lieux obtenus se situent dans des cercles de décote de performances RF acceptables, et conduisent à de bonnes performances.

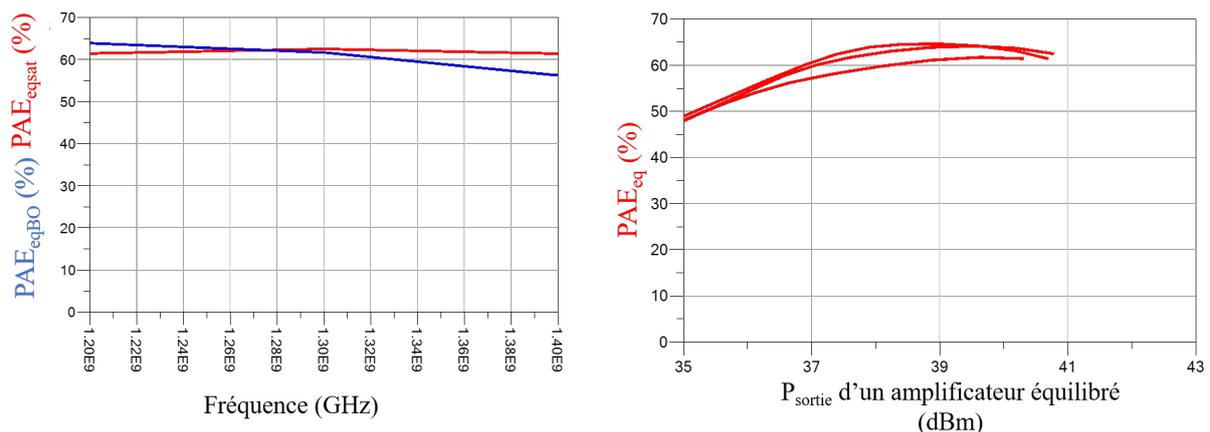


FIGURE IV.17 – Performances en PAE d'un amplificateur équilibré seul avec la loi de commande en puissance déterminée, et avec les réglages de temps de propagation de groupe et de phase réalisés.

L'effet de modulation de charge réalisée est constaté en visualisant les coefficients de réflexion sur l'abaque de Smith. L'accès aux sondes de tension et de courant de drain intrinsèques sur ce modèle de transistor nous permet de tracer les cycles de charge associés aux impédances

extrinsèques obtenues en recul de puissance et à la saturation. Sur la Figure IV.18, on peut observer ces cycles de charge. Pour une puissance d'entrée de 30 dBm (soit environ 27 dBm en entrée des amplificateurs équilibrés), le cycle de charge est typique d'une adaptation sur une impédance forte : l'écart relatif entre les puissances de sortie des amplificateurs équilibrés et du générateur de contrôle est constant. La modulation n'a pas encore débuté. A pleine saturation, les cycles de charges des amplificateurs équilibrés ont pivoté, et ce à une puissance d'entrée maximale de 35 dBm sur l'entrée principale. Ce point est atteint avec une injection de 2 W sur le port isolé du coupleur de sortie.

Les performances optimales obtenues pour cette conception d'un amplificateur de puissance LMBA nécessitent une diminution de la puissance injectée par la voie de contrôle quand la puissance d'entrée augmente. La conception de l'amplificateur de contrôle est donc le point majeur de cette réalisation, car il permet le load pull actif sur les deux autres amplificateurs. Un intérêt tout particulier doit être apporté à chacune des étapes de sa conception.

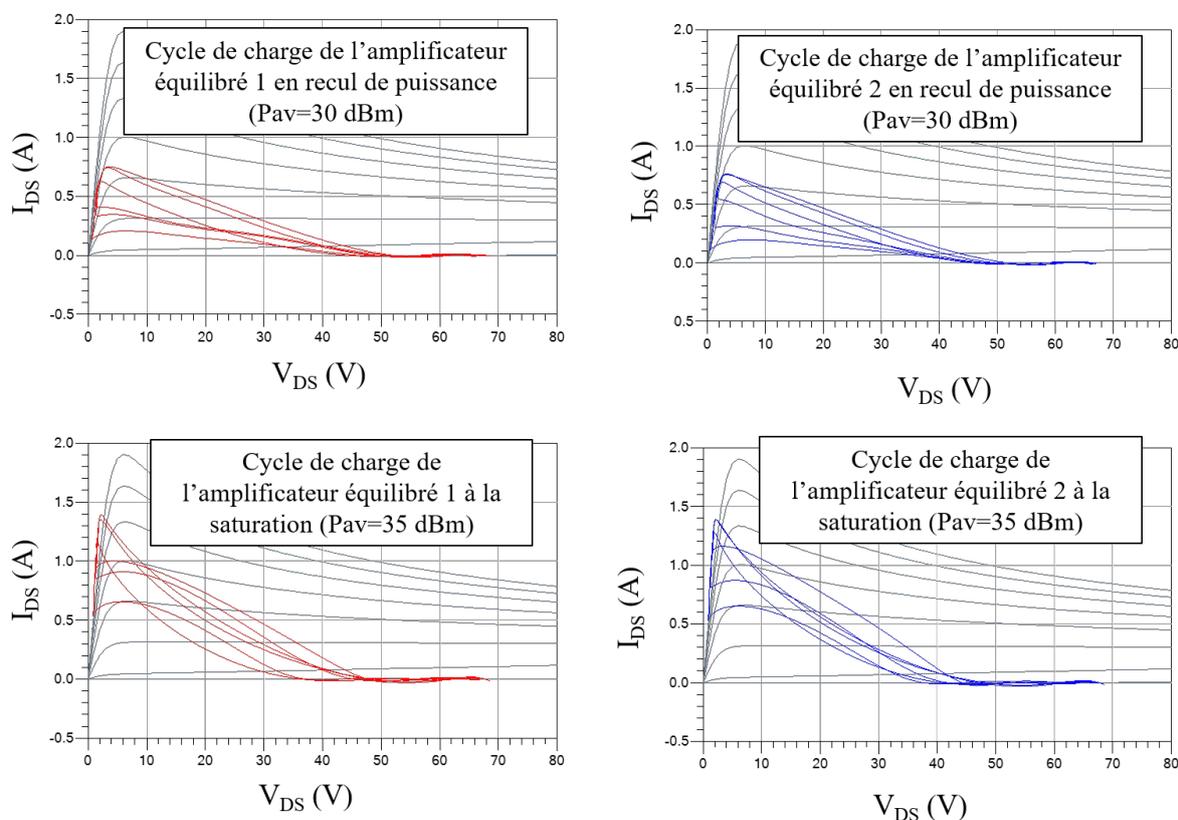


FIGURE IV.18 – Cycles de charge des amplificateurs équilibrés à 3 dB d'OBO et à la saturation.

4.6 Conception de l'amplificateur de contrôle

La conception de cet amplificateur est faite pour la synthèse optimale des lieux d'impédance en recul de puissance.

Avant d'envisager une quelconque manipulation afin de faire chuter la puissance de sortie de cet amplificateur de contrôle pour permettre la gestion des performances dans la zone de modulation de charge, celui-ci doit dans un premier temps être environné avec ses réseaux de polarisation et ses adaptations d'entrée et de sortie dans la bande [1.2 -1.4] GHz.

Il faut noter que la puissance disponible du générateur 50Ω est notée P_{avc} et n'est pas identique à celle du générateur positionnée sur l'entrée principale du LMBA (coefficient ΔP).

Comme déterminée lors de l'établissement des lois de commande sur l'architecture LMBA « dual-input », la puissance qu'il doit être capable de délivrer avant l'abaissement de sa polarisation se situe aux alentours de 6 W. Les simulations load-pull sont donc effectuées à un point de polarisation de drain plus faible de 22 V, pour une même polarisation de grille initiale en classe AB que les deux amplificateurs équilibrés.

L'adaptation de sortie réalise la transformation de 50Ω , qui est l'impédance caractéristique du coupleur de sortie, vers l'impédance optimale, pour faire en sorte que le rendement en puissance ajoutée soit le meilleur possible dans la bande de fonctionnement.

Pour cet amplificateur, le dimensionnement du circuit d'adaptation à l'entrée fait en sorte de compenser la chute de gain transductique naturelle du transistor en haut de la bande passante, afin que la puissance délivrée par l'amplificateur soit constante sur la bande de fréquence. Pour cela, l'adaptation d'entrée ne sera pas réalisée de façon à obtenir une transformation de 50Ω vers l'impédance obtenue par analyse de source-pull sur la bande, mais de façon à gérer le niveau de désadaptation en entrée, comme présenté sur la Figure IV.19. Plus précisément, le coefficient de pertes en retour en entrée de l'amplificateur est amélioré depuis le bas de bande (1.2GHz), pour lequel il est inférieur à -10,5 dB, jusqu'au haut de bande, pour lequel il est inférieur à -14dB.

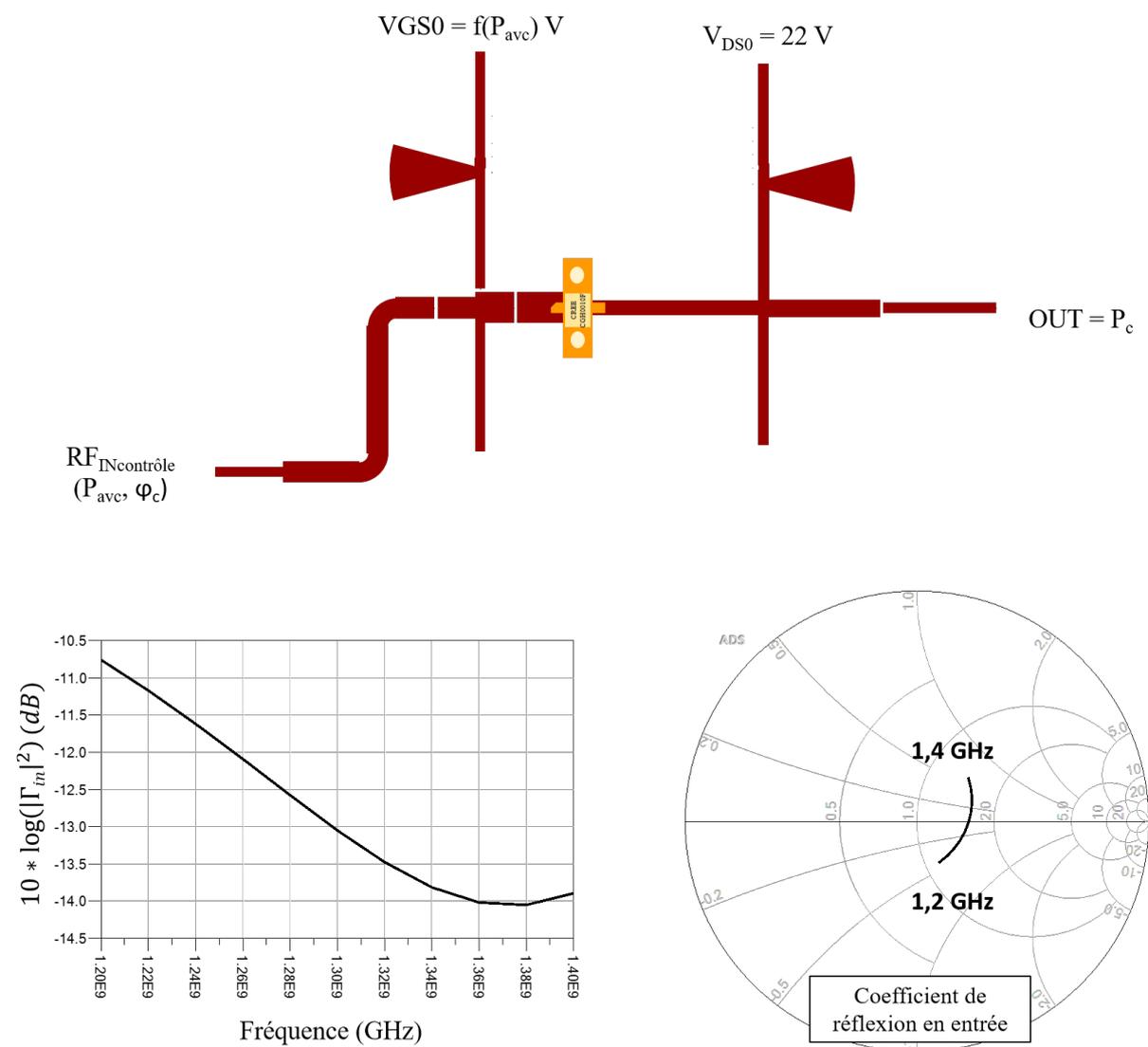


FIGURE IV.19 – Amplificateur de contrôle et adaptation d'entrée

Pour obtenir la chute de la puissance de sortie visée pour que les performances de l'architecture soient optimales, le choix s'est porté sur une variation de la polarisation de grille de l'amplificateur de contrôle. Un des avantages de cette méthode est qu'elle ne nécessite pas de consommation d'énergie. De plus, le recul de la polarisation en classe C de l'amplificateur de contrôle permet de limiter sa contribution dans les performances V globales (notamment en AM/PM).

Cette variation de la polarisation de grille est plus simple à implémenter que la technique d'enveloppe tracking sur le drain de cet amplificateur, ce qui nécessiterait une diminution trop importante de la tension de polarisation, vers des valeurs très faibles qui tendraient à augmenter fortement l'AM/PM.

Dès lors que l'amplificateur de contrôle délivre un maximum de puissance de sortie d'environ 6 W (valeur déterminée par la loi de commande produite précédemment par un générateur de puissance 50 Ω), la tension de polarisation de grille est diminuée vers un fonctionnement en classe

C, ceci à partir d'une puissance disponible en entrée de la voie de contrôle de 28 dBm. La loi de commande de polarisation de grille ainsi que la puissance de sortie associée de l'amplificateur de contrôle sont présentées sur la Figure IV.20. La puissance de sortie de cet amplificateur diminue avec la polarisation, et présente une allure typique de celle attendue pour effectuer la modulation de charge lorsque l'amplificateur de contrôle sera implémenté.

La loi de commande de polarisation de grille présentée ici nécessitera quelques ajustements. En effet, l'abaissement de la tension de polarisation, sur le LMBA complet, doit se faire à un point particulier de puissance d'entrée sur la voie RF principale de l'architecture. Il conviendra alors de déterminer le coefficient $\Delta P = P_{av} - P_{avc}$ optimal tel que le début de la variation de la polarisation de grille coïncide avec le point de recul en puissance des amplificateurs équilibrés comme présenté sur la Figure IV.20. Autrement dit, la comparaison entre la loi de commande déterminée précédemment et la puissance délivrée par l'amplificateur de contrôle (avec loi de commande de polarisation) ne sera pertinente que lors de l'étude de l'architecture LMBA dans sa globalité.

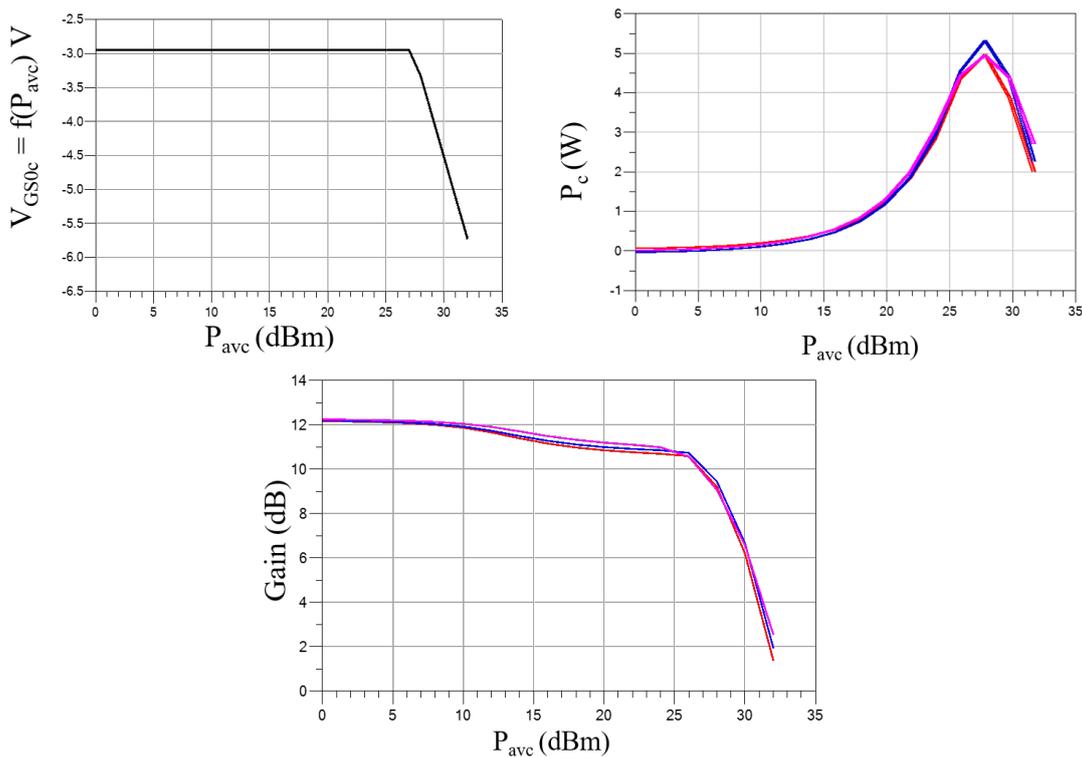


FIGURE IV.20 – Loi de commande en V_{GS0c} et puissance de sortie associée de l'amplificateur de contrôle. On constate que la puissance de sortie fournie par cet amplificateur est relativement constante en fonction de la fréquence.

Les performances en rendement en puissance ajoutée et les cycles de charge de cet amplificateur de contrôle avec la loi de commande en V_{GS0c} appliquée sont illustrés sur la Figure IV.21. On observe que la PAE est maintenue supérieure à 50 % sur la bande de fréquence, au point auquel aucune modulation ne sera encore produite sur les amplificateurs équilibrés. Il est primordial

que cette PAE soit la meilleure possible. En effet, tant que l'OBO n'a pas été atteint, les trois amplificateurs constituant l'architecture délivrent la même puissance, et leur contribution aux performances globales est identique.

Le recul en polarisation de grille effectué permet d'assurer la chute de la puissance de sortie comme attendu. Ce changement de classe de fonctionnement nécessaire dans la zone de modulation de charge jusqu'à la saturation est associé à une baisse conséquente de la PAE de l'amplificateur de contrôle. Toutefois, cette baisse n'impacte que peu les performances globales de l'amplificateur total : à ce stade, la contribution en puissance/consommation de l'amplificateur de contrôle étant beaucoup plus faible qu'au point de back-off. Le très fort niveau de compression semblant atteint par l'amplificateur de contrôle est dû au changement de classe et à la réduction de la quantité de fondamental injecté, et ne doit pas être confondu avec un fonctionnement très compressé associé à des problématiques de stress RF. L'objectif, par la suite, sera d'implémenter cet amplificateur de contrôle dans l'architecture LMBA.

Les cycles de charge présentés traduisent le changement de classe de polarisation induit par la variation de la polarisation de grille.

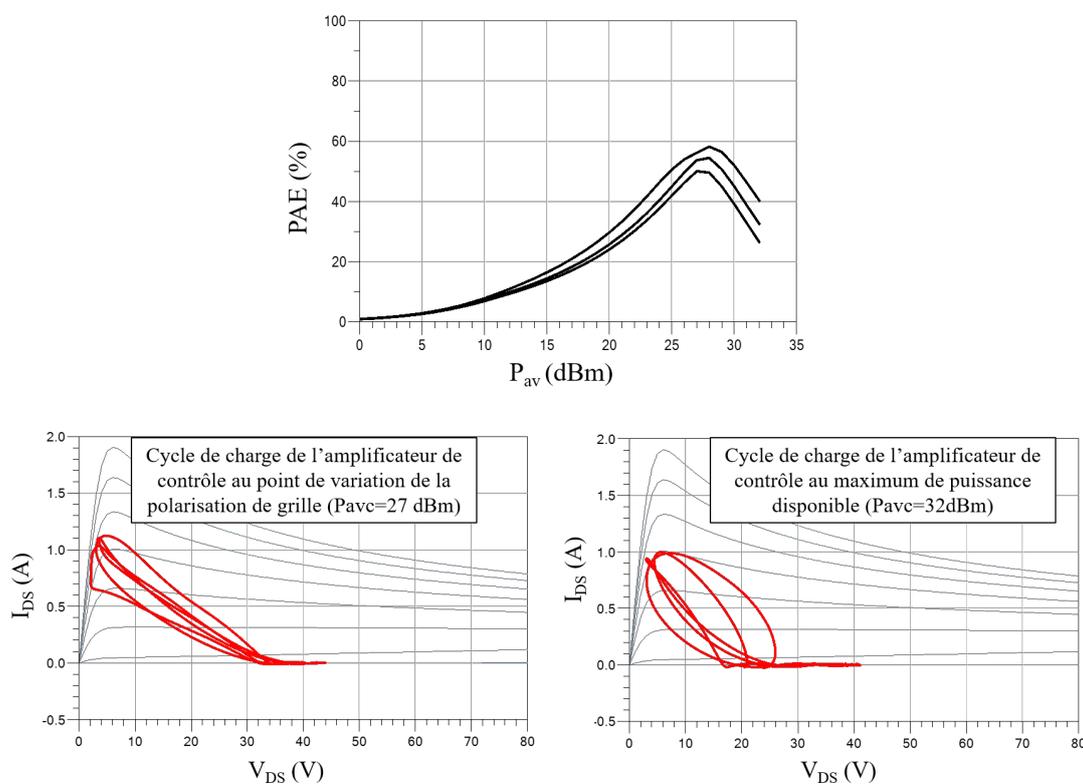


FIGURE IV.21 – Performances en PAE de l'amplificateur de contrôle aux points de polarisation $V_{DS0} = 22$ V et $V_{GS0c} = f(P_{avc})$ et cycles de charge associés.

4.7 Assemblage du LMBA

L'amplificateur de puissance LMBA complet doit proposer de bonnes performances sur toute la plage de fréquence spécifiée. Pour cela, le premier réglage à effectuer est le réglage des temps de propagation de groupe. Ce réglage constitue une partie importante de l'assemblage des deux parties de l'architecture. En effet, la quantité de puissance injectée par l'amplificateur de contrôle mais aussi le seuil à partir duquel la polarisation doit être abaissée ne nécessitent qu'une modification des points de polarisation et/ou de la puissance disponible en entrée de l'amplificateur de contrôle, et non une modification de la topologie de la maquette.

La stratégie employée permet le contrôle automatique des temps de propagation de groupe. Pour que les lieux d'impédances optimales soient suivis le plus fidèlement possible, une ligne 50Ω est insérée en entrée des voies équilibrées. La longueur de cette ligne est choisie de manière à permettre d'obtenir les meilleures performances sur la bande de fréquence, en faisant varier l'écart relatif des temps de propagation de groupe entre les deux voies actives dans la structure. Le choix de la longueur à ajouter, ainsi que des phases des sources de puissance des deux voies, doivent être réglées de façon conjointe. Après optimisation, la différence de phase relative des sources de puissance est de 15° .

Sur la Figure IV.22, les variations des coefficients de réflexion dans le plan du boîtier des deux transistors équilibrés sont obtenues par la variation de la polarisation de grille de l'amplificateur de contrôle, avec les lieux optima extraits des simulations load-pull au back off et à la saturation, aux trois fréquences d'intérêt. Sur cette même figure, l'argument d'un des coefficient de réflexion extrinsèque est également présenté, avec une pente croissante en fonction de la fréquence, qui traduit bien que $\text{tpg1} > \text{tpg2}$.

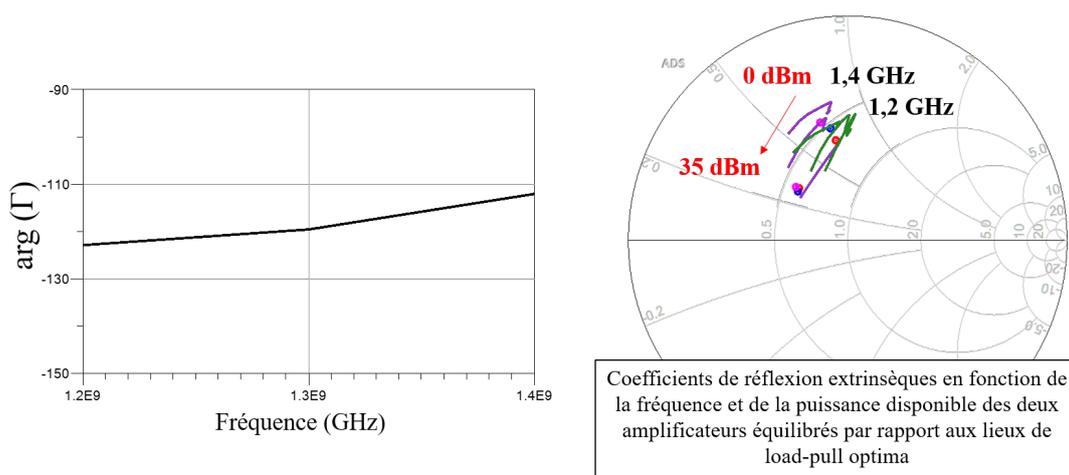


FIGURE IV.22 – Evolution de l'argument du coefficient de réflexion dans le plan du boîtier d'un amplificateur équilibré et évolution de ces mêmes coefficients dans l'abaque de Smith. Les trajectoires en vert et violet traduisent l'évolution des coefficients de réflexion extrinsèques des deux amplificateurs équilibrés.

Par la suite, la détermination des paramètres ΔP et V_{GS0c} est faite en situation de recul de puissance. Lorsque les performances en recul de puissance sont atteintes par les amplificateurs équilibrés, avec le bon réglage des temps de propagation de groupe, cela permet de déterminer le ΔP optimal, et par conséquent la puissance qui doit être fournie par le générateur en entrée de l'amplificateur de contrôle. Dans notre cas, ce $\Delta P = -4$ dB. En entrée de l'amplificateur de contrôle, la puissance disponible du générateur s'écrit donc : $P_{avc} = P_{av} - 4dB$.

Il est vérifié que les coefficients de réflexion au fondamental présentés dans le plan des boîtiers sont bien associés à une modulation de charge bénéfique pour l'obtention de performances optimales des cellules de puissance équilibrées à la fois sur la dynamique de puissance et sur la bande passante visées, grâce à la loi de commande de polarisation DC de grille de l'amplificateur de contrôle présentée sur la Figure IV.23.

En recul de puissance, à une puissance d'entrée de 30 dBm sur l'entrée principale (et donc 26 dBm sur la voie de contrôle), les trois amplificateurs délivrent 5 W environ, soit une puissance de sortie totale de 15 W. A ce stade, les trois amplificateurs contribuent de façon presque identique aux performances de l'architecture. A la saturation, en revanche, du fait du recul de la polarisation de l'amplificateur de contrôle, la contribution de celui-ci devient faible, voire négligeable. En effet, pour une puissance de sortie de 12 W des amplificateurs équilibrés, celui-ci ne délivre plus que 2 W. La puissance de sortie totale atteint alors une valeur proche de 25 W.

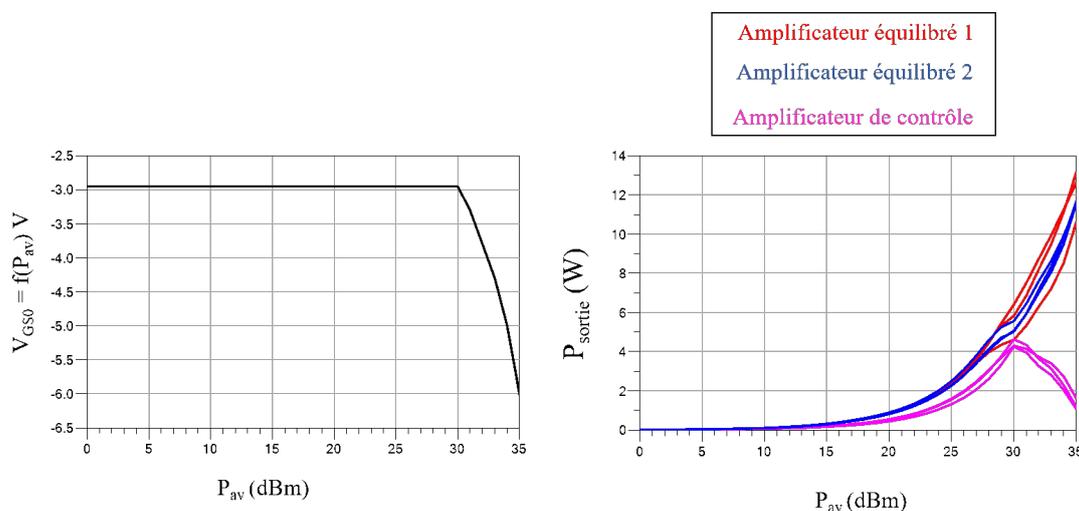


FIGURE IV.23 – Loi de commande de la polarisation DC de grille de l'amplificateur de contrôle et puissances de sortie dans la bande [1.2 - 1.4] GHz des trois amplificateurs constituant l'architecture LMBA.

La puissance délivrée par l'amplificateur de contrôle est constante aux trois fréquences d'intérêt.

Ces valeurs de puissance de sortie traduisent une réduction de la valeur de l'OBO de l'architecture finale, par rapport au cas du chapitre 3. En effet, la conception vise un maintien des performances sur une dynamique de 3 dB de puissance de sortie, qui est obtenue sur un ampli-

cateur équilibré seul. Au regard des puissances de sortie en recul de puissance et à la saturation, on observe cependant qu'à la saturation, la puissance totale délivrée n'est cependant pas deux fois supérieure à celle délivrée au back-off. Ceci provient de la contribution de l'amplificateur de contrôle qui est une fonction décroissante en fonction de la puissance d'entrée de façon à assurer la modulation adéquate des coefficients de réflexion présentés aux cellules équilibrées. Ce point est observé sur la Figure IV.23.

La PAE est maintenue supérieure à 60 % sur plus de 3 dB d'OBO sur un amplificateur seul, mais elle n'est constante que sur 2 dB d'OBO pour l'architecture finale, dû à la réduction de puissance injectée par l'amplificateur de contrôle à la saturation. L'augmentation de l'OBO nécessitera alors une adaptation active des amplificateurs équilibrés sur une dynamique supérieure à 4 dB d'OBO, permettant ainsi le maintien des performances sur les 3 dB d'OBO visés. Les pertes liées aux coupleurs d'entrée et de sortie provoquent également une chute de quelques points de PAE.

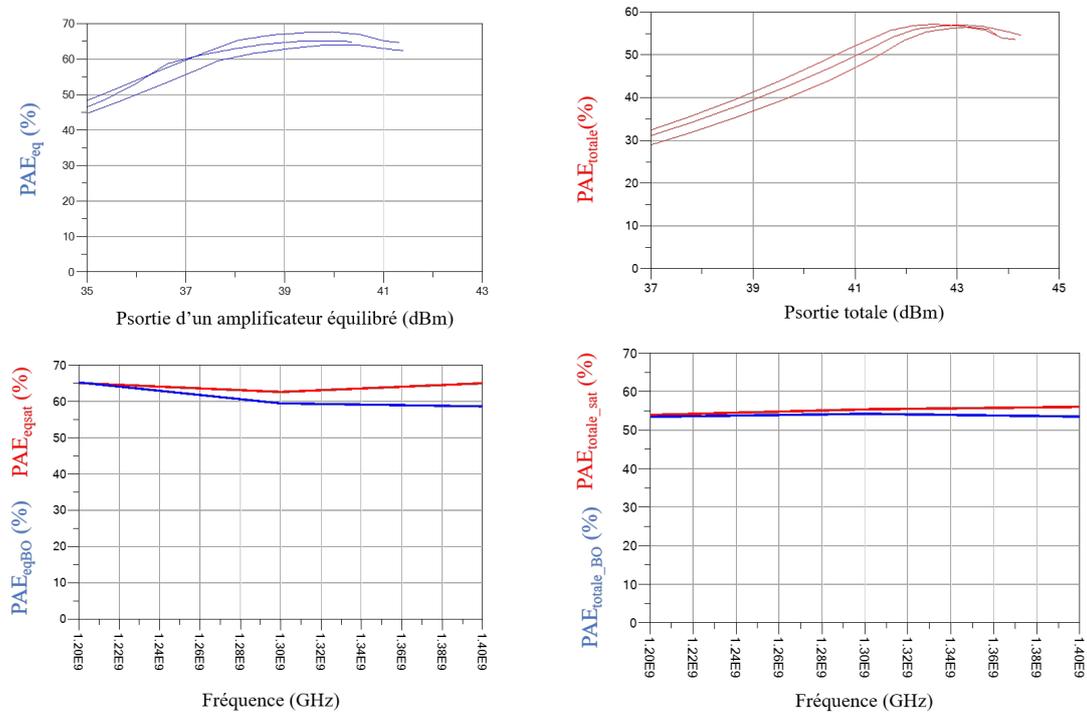


FIGURE IV.24 – Courbes de PAE d'un amplificateur équilibré seul et du LMBA en fonction de la puissance de sortie en dBm et en fonction de la fréquence.

Les cycles de charge de chacun des amplificateurs constituant l'architecture LMBA présentée, en fonction du niveau de puissance d'entrée, sont présentés sur la Figure IV.25. On observe bien la rotation du cycle de charge induite par la baisse de la polarisation de l'amplificateur de contrôle, entre le back-off et la saturation.

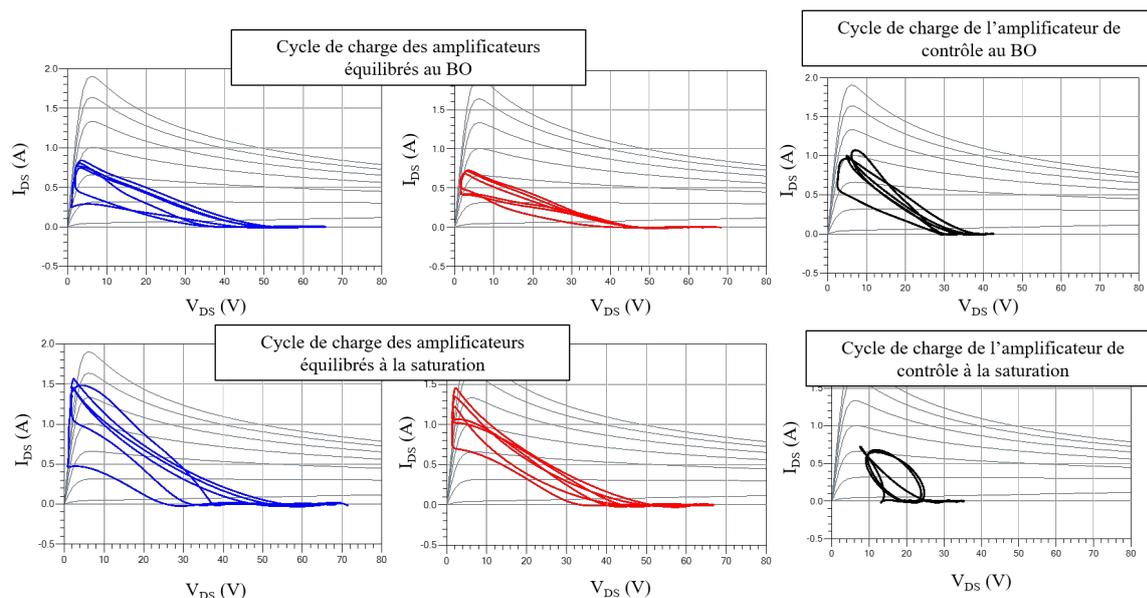


FIGURE IV.25 – Cycles de charge des amplificateurs équilibrés et de l'amplificateur de contrôle en recul de puissance et à la saturation.

Sur les Figures IV.26 et IV.27. sont tracées les caractéristiques d'AM/AM et d'AM/PM d'une des voies équilibrées et celle de l'amplificateur de contrôle. Les caractéristiques du LMBA dans sa globalité sont également présentées.

Concernant les caractéristiques d'AM/AM, on observe que l'amplificateur de contrôle ne contribue que faiblement dans la distorsion de gain globale, du fait de la relative faible contribution de l'amplificateur de contrôle dans la puissance de sortie totale. Au même titre que pour un amplificateur équilibré, l'AM/AM globale, la compression de gain à la saturation se situe aux alentours de 5 dB. Un critère d'arrêt en mesure peut être la compression de gain de l'architecture, qui sera révélatrice de la compression de gain des amplificateurs équilibrés. Ces amplificateurs sont les seuls, dans la configuration présentée, à présenter une caractéristique de compression de gain qui peut mener à des problèmes durant la mesure. La compression importante du gain de l'amplificateur de contrôle n'est en rien associée à un fonctionnement dans une zone dangereuse, celui-ci étant, à la saturation, fortement reculé en classe C.

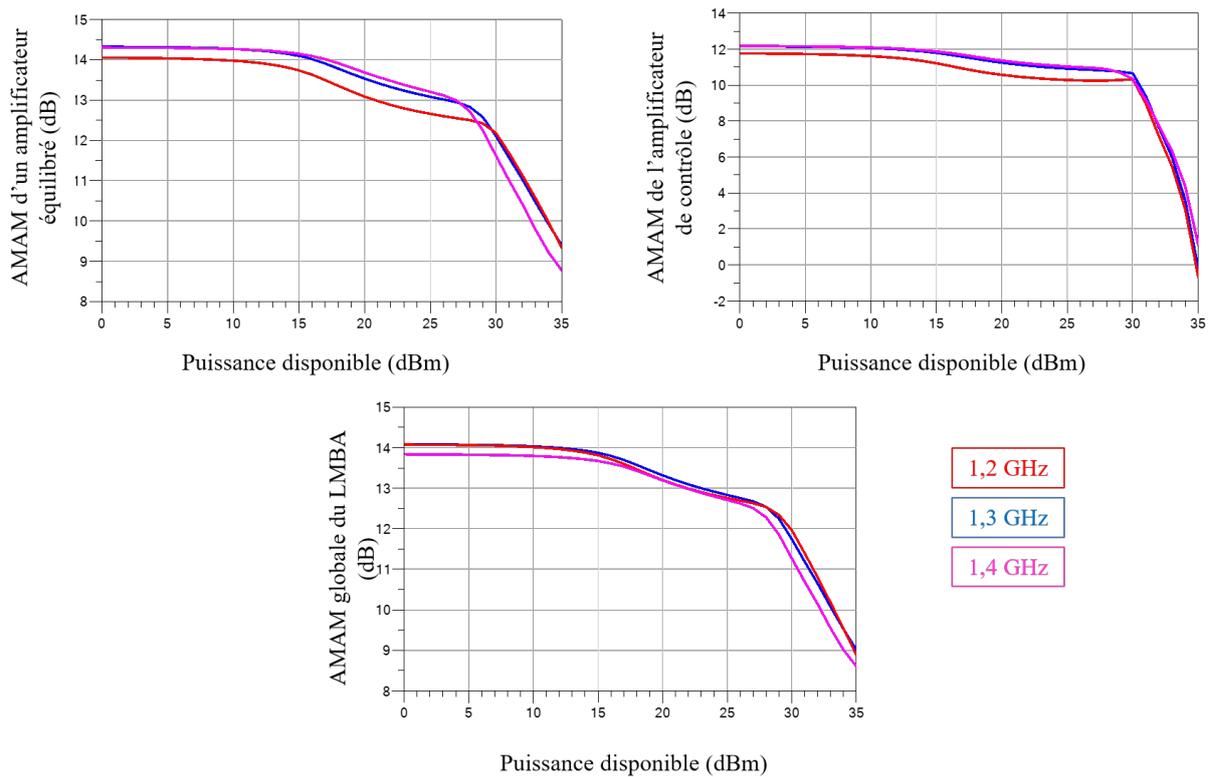


FIGURE IV.26 – Caractéristiques d'AM/AM d'un amplificateur équilibré, de l'amplificateur de contrôle, et de l'architecture LMBA complète.

Une conclusion similaire peut être tirée en s'intéressant aux caractéristiques d'AM/PM. La contribution de l'amplificateur de contrôle est négligeable sur l'AM/PM globale. Cela s'observe notamment en comparant les conversions d'AM/PM d'un amplificateur équilibré, et celle de l'architecture LMBA globale. Bien que le recul de la polarisation de grille en classe C de l'amplificateur de contrôle produise une forte augmentation de la distorsion de phase de cet amplificateur du fait notamment du changement de classe, l'impact est négligeable sur l'AM/PM de l'architecture globale, du fait de la contribution de cet amplificateur sur la puissance de sortie totale.

Finalement, seuls les amplificateurs équilibrés ont un impact notable sur les caractéristiques de compression de gain et de conversion de phase dans l'architecture.

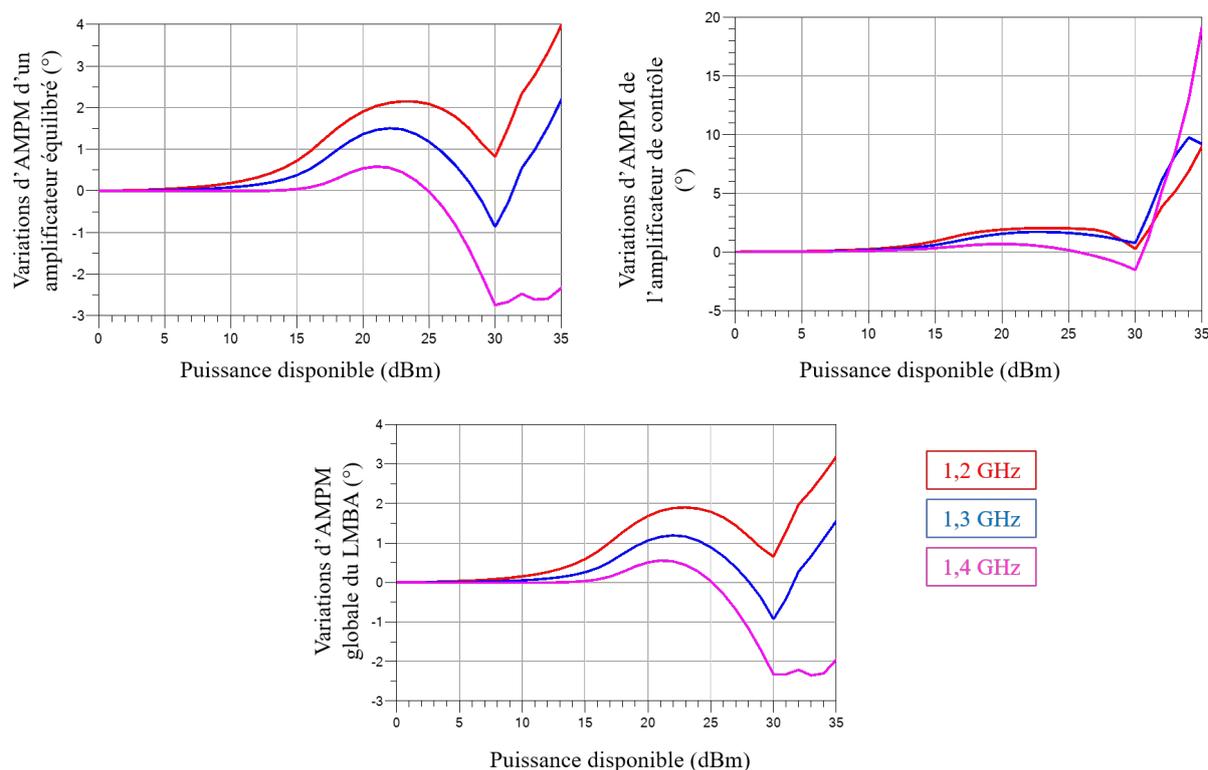


FIGURE IV.27 – Caractéristiques d'AM/PM d'un amplificateur équilibré, de l'amplificateur de contrôle, et de l'architecture LMBA complète.

Enfin, et pour faire le lien avec les chapitres II et III de ce manuscrit, sont présentées sur la Figure IV.28, les évolutions des courants et des tensions intrinsèques (à la fréquence fondamentale) d'un amplificateur équilibré et de l'amplificateur de contrôle. Sur la courbe représentant la tension intrinsèque au fondamental (à la fréquence centrale de 1.3 GHz), normalisée par rapport à la tension de polarisation V_{DS0} , on observe que l'amplitude de celle-ci, aux bornes de la source de courant intrinsèque, est légèrement supérieure à V_{DS0} quand l'amplificateur fonctionne à haut rendement. On a vu que cela pouvait induire des problématiques de fiabilité quand cette tension intrinsèque au fondamental dépassait fortement la valeur de 28 V dans le cas présent. Cependant, les transistors HEMT GaN utilisés pour cette conception permettent un fonctionnement à des valeurs légèrement supérieures à ce seuil.

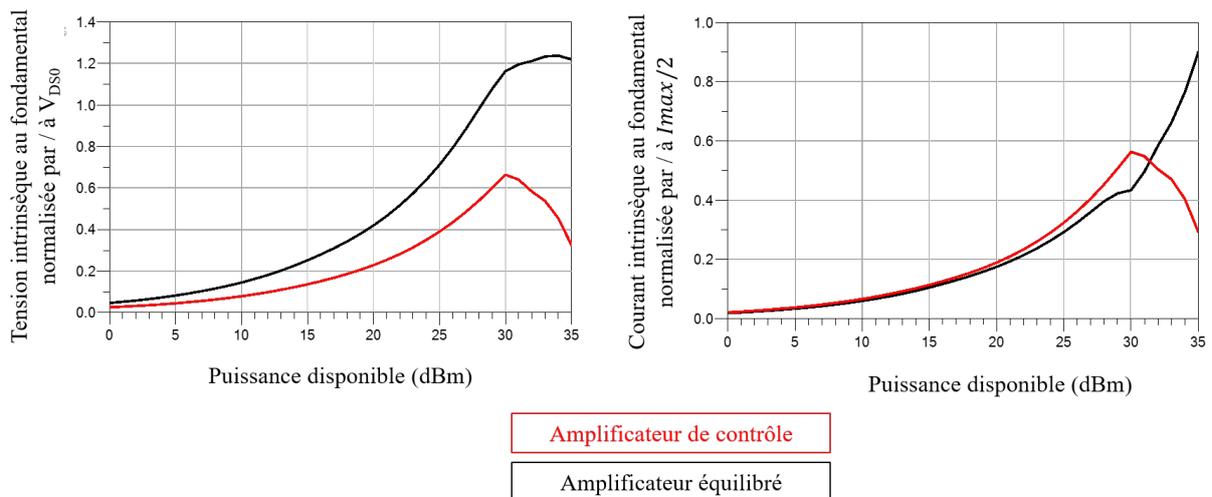


FIGURE IV.28 – Tensions et courants au fondamental aux bornes de la source de courant intrinsèque d’un amplificateur équilibré et de l’amplificateur de contrôle. Ces paramètres sont normalisés par V_{DS0} et $\frac{I_{max}}{2}$ respectivement.

5 Réalisation et mesure du démonstrateur LMBA

Les figures IV.29 et IV.30 montrent respectivement le circuit de contrôle seul et la maquette LMBA complète.

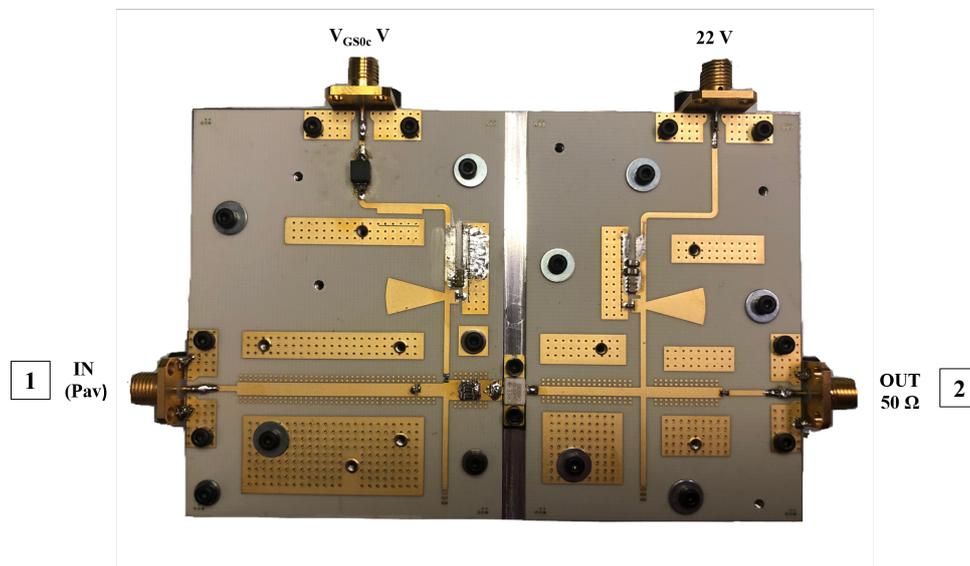


FIGURE IV.29 – Circuit de contrôle réalisé.

Il a été vu dans le chapitre précédent que la conception de celui-ci était un élément clé de la conception. La mesure initiale de ce circuit va permettre de déterminer certains paramètres primordiaux qui doivent être connus avant d’envisager la mesure sur le circuit complet : la puissance d’entrée et la loi de commande de polarisation de grille.

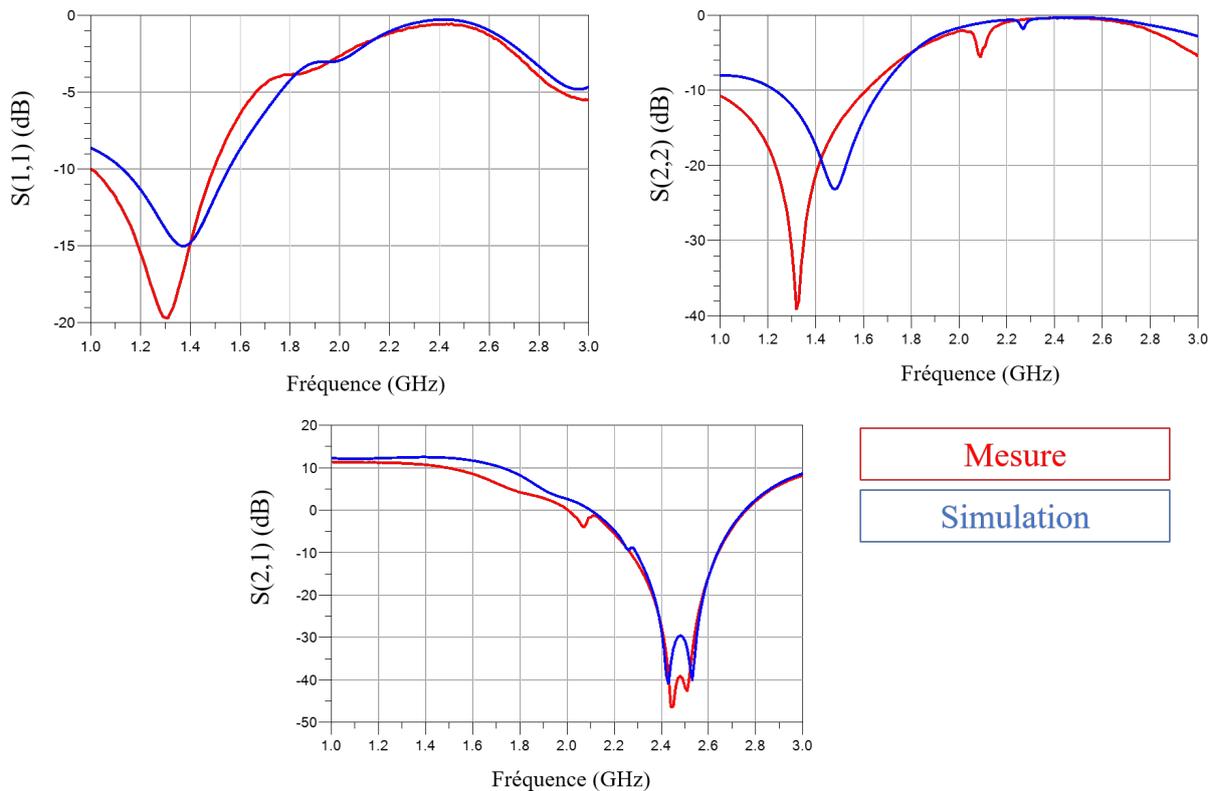


FIGURE IV.31 – Comparaison simulation et mesure des paramètres $[S]$ de l’amplificateur de contrôle.

Les courbes mesurées sont proches de celles obtenues par simulation. Un léger décalage fréquentiel de 100 MHz environ est observé, notamment à l’entrée du dispositif. Ce décalage ne conditionne pas un changement de fréquence fondamentale de mesure, celui-ci allant dans le sens souhaité. Les coefficients de réflexion d’entrée et de sortie sont < -15 dB sur toute la plage de fréquence visée pour l’application. Enfin, le gain mesuré de cet amplificateur de contrôle est aux alentours de 11 dB à la fréquence centrale de 1.3 GHz, à un niveau très proche de celui simulé.

5.1.2 Démonstrateur LMBA

Cette même mesure est réalisée sur le démonstrateur LMBA complet. Le même décalage fréquentiel est observé en entrée de l’amplificateur de contrôle (voie 3). La plus grande différence entre les valeurs simulées et mesurées réside dans l’adaptation d’entrée des voies 1 et 2, à savoir le port d’entrée et le port isolé du coupleur d’entrée. Cet écart, non critique pour la mesure fort signal, peut-être expliqué par un possible défaut de modélisation du comportement du coupleur hybride Anaren, notamment en dehors de sa zone de fonctionnement (< 1.2 GHz). Ces adaptations d’entrée restent tout de même intéressantes car < -20 dB sur toute la bande.

Un dernier point est à souligner. Le $S(4,1)$ de ce circuit, proche de 11 dB également à la fréquence centrale, tend à devenir de nouveau positif à des fréquences aux alentours de 3 GHz. Ce phénomène est difficilement explicable, la bande de fonctionnement du coupleur étant bien infé-

rière. Il faudra prendre garde à une possible oscillation à ces fréquences proches de l'harmonique 2.

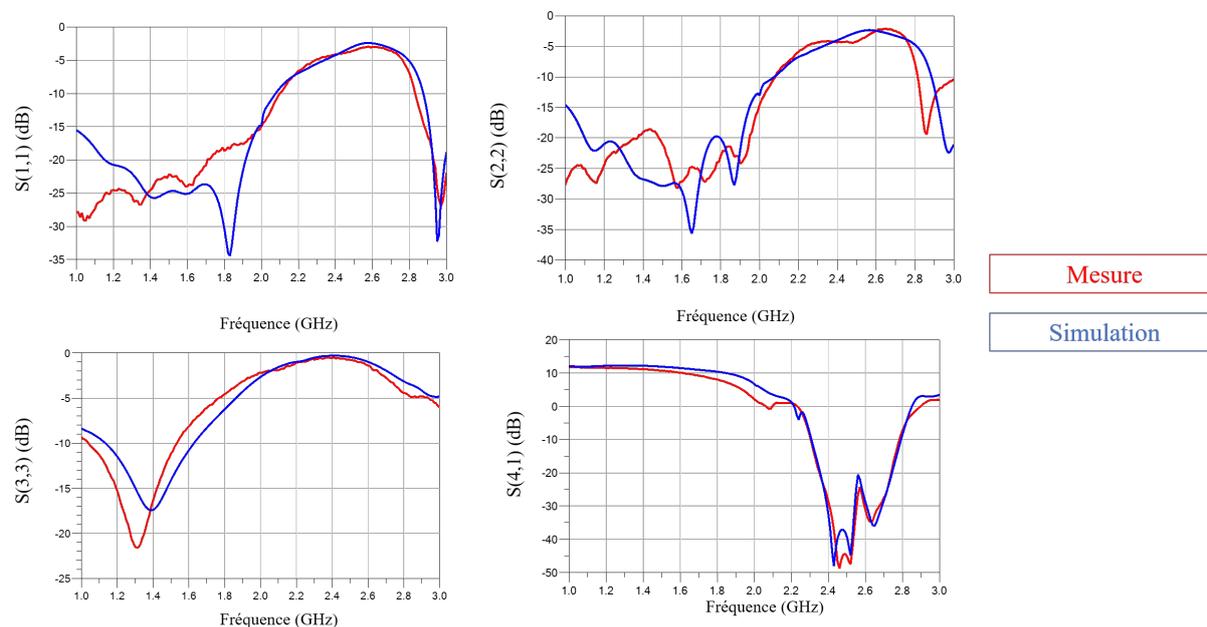


FIGURE IV.32 – Comparaison simulation et mesure des paramètres [S] de l'amplificateur LMBA.

5.2 Mesure fort signal

Les mesures de paramètres [S] permettent de choisir les fréquences pour lesquelles le circuit présente les meilleures performances. La fréquence centrale choisie est de 1.3 GHz, identique à la fréquence centrale en simulation. En effet, la meilleure adaptation en entrée de l'amplificateur de contrôle se situe à cette fréquence – S(3,3) sur le LMBA. La bande de fréquence choisie est de [1.2-1.4] GHz.

5.2.1 Mesures P_s/P_e de l'amplificateur de contrôle dans la bande [1.2-1.4] GHz

Polarisation de grille fixe

Pour cette première mesure fort signal, la puissance RF d'entrée est balayée, jusqu'à atteindre le maximum de PAE, ou alors une compression de gain de 4 dB, qui sont les critères d'arrêt de la mesure pour ne pas imposer un stress trop important au transistor. La polarisation de grille sera fixée afin que le courant de repos soit de 80 mA. Sont alors tracées les courbes de PAE, de gain et de courants DC de drain à chacune des trois fréquences mesurées. Les résultats de mesure et de simulation sont présentés sur la Figure IV.33.

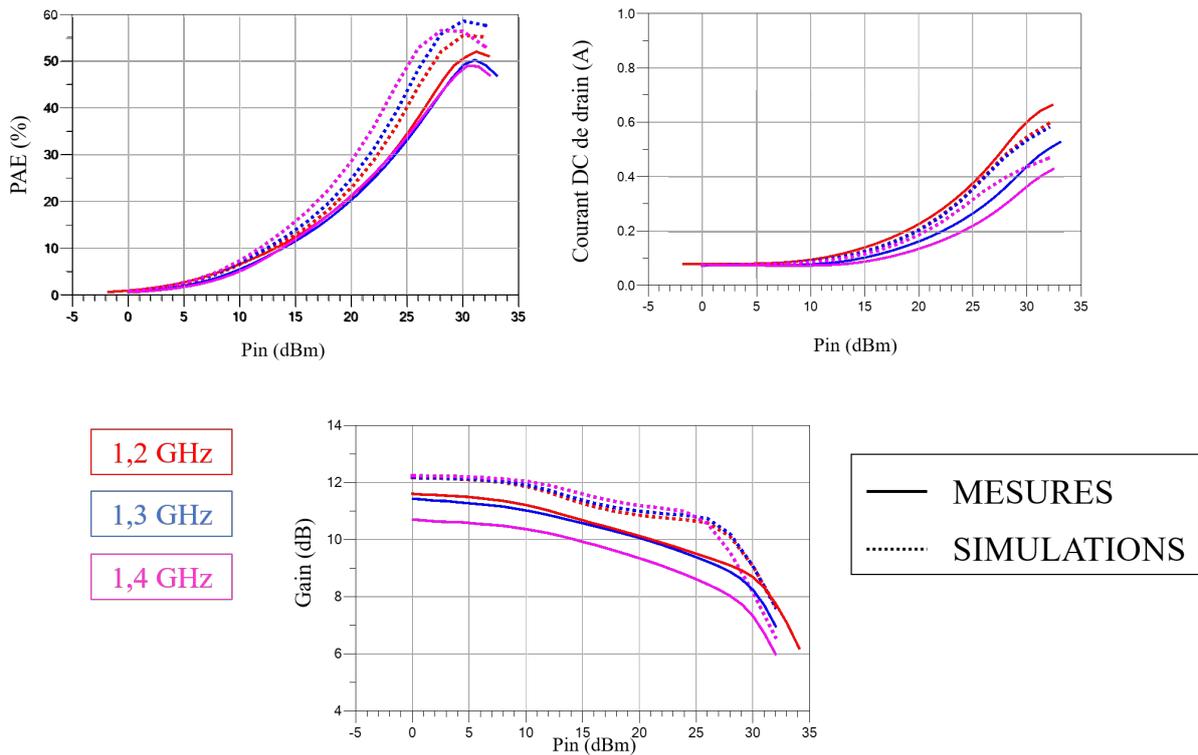


FIGURE IV.33 – Résultats de mesure et de simulation fort signal sur l’amplificateur de contrôle à 3 fréquences.

Les performances mesurées de cet amplificateur sont bonnes, avec une PAE de l’ordre de 50 % aux trois fréquences d’intérêt. La puissance d’entrée au maximum de PAE est de 32 dBm, à une polarisation de grille fixe. Autrement dit, cette valeur de puissance d’entrée sur l’amplificateur de contrôle sera la valeur limite de la puissance d’entrée sur cet amplificateur à ne pas dépasser (à ce point de polarisation en classe AB) lors de la mesure sur la maquette complète. On s’assurera dans ce cas de ne pas dégrader le composant. En effet, les critères d’arrêt précédemment énoncés lors de la mesure de l’amplificateur de contrôle ne pourront plus être liés au comportement de celui-ci lors de la mesure sur la maquette finale. Sa contribution seule à la compression de gain et à la PAE globales ne sont pas accessibles sur le démonstrateur LMBA.

Variation de la polarisation de grille

Il a été vu que la puissance délivrée par l’amplificateur de contrôle devait augmenter, puis, à partir d’un certain seuil, qui est le point de back-off, devait amorcer une franche diminution. Pour avoir un ordre d’idée du comportement de l’amplificateur de contrôle quand on abaisse sa polarisation de grille, plusieurs mesures sont effectuées. Pour chaque V_{GS0c} , la puissance d’entrée est balayée. Les courbes présentées sur la Figure IV.34. sont la PAE, le courant de drain, et la puissance de sortie de l’amplificateur de contrôle, pour différentes polarisations de grille, allant de la polarisation initiale appliquée (-2.8 V pour $I_{DSQ} = 80$ mA), jusqu’à -6 V, par pas de 1 V. Dans un souci de clarté, les mesures tracées sont uniquement celles à la fréquence centrale de 1.3 GHz.

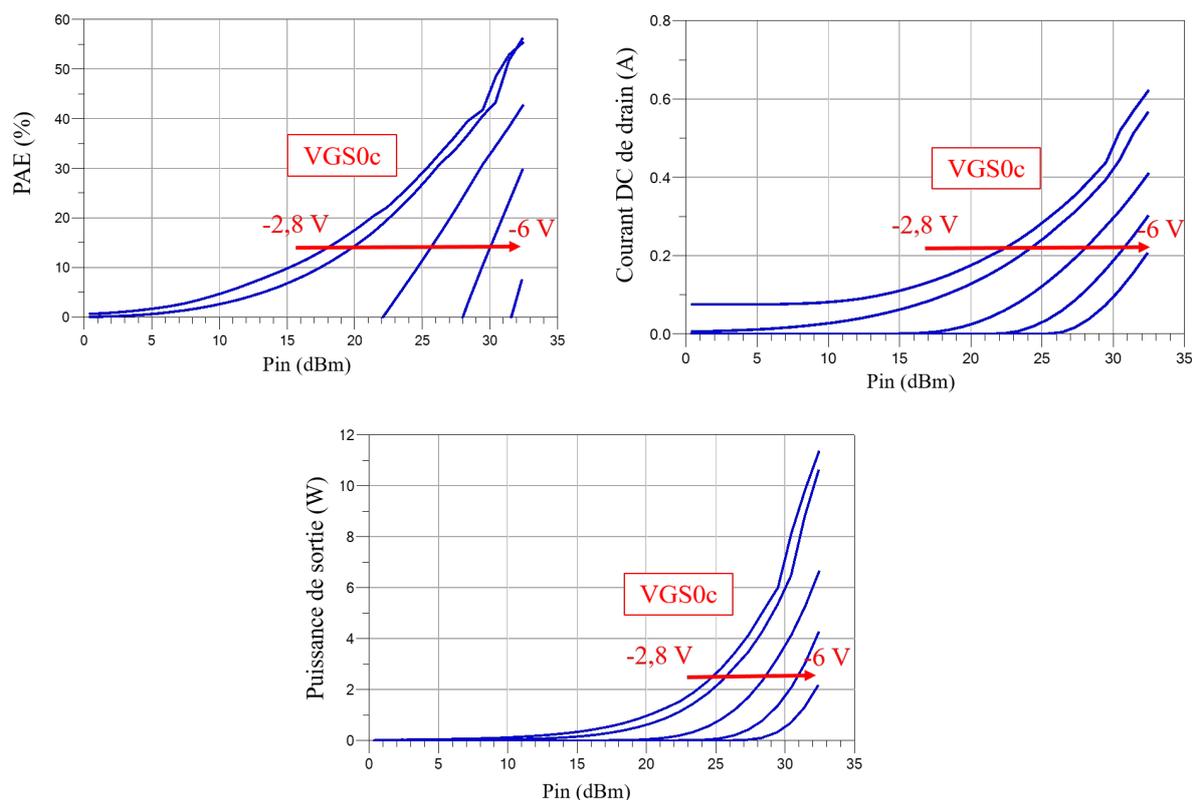


FIGURE IV.34 – Performances de l'amplificateur de contrôle pour plusieurs points de V_{GS0c} .

On observe bel et bien une diminution de la puissance de sortie lorsque l'amplificateur de contrôle est reculé en classe C. La puissance de sortie estimée (6 W) pour un fonctionnement optimal du LMBA en recul de puissance se situe, à -2.8 V, à une puissance d'entrée de 29 dBm. Cette valeur va conditionner la valeur de ΔP qui sera par la suite injectée sur l'entrée de l'amplificateur de contrôle en configuration double entrée.

5.2.2 Mesure en configuration double entrée RF sur le LMBA sans variation de la polarisation de grille de l'amplificateur de contrôle

Cette première mesure sur le démonstrateur LMBA complet se fait à polarisation de grille fixe de l'amplificateur de contrôle de -2.8 V. Cette étape dans la campagne de mesures permet de déterminer à quelle puissance injectée sur le coupleur d'entrée le point de recul en puissance est atteint. L'objectif n'est pas encore d'observer la modulation de charge, mais le point à partir duquel elle devra débiter.

Le banc utilisé lors de la mesure réalisée dans le Chapitre III, est sensiblement identique, à la seule différence près que la bande de fréquence d'utilisation diffère. L'étalonnage multiport a donc été réalisé dans la bande [1.2 – 1.4] GHz.

Pour cette mesure en configuration « dual-input », la puissance et la phase injectées sur la

voie de contrôle sont déterminées comme suit :

$$P_C = P_{av} + \Delta P \quad (\text{IV.11})$$

$$\varphi_C = \varphi + \Delta\varphi \quad (\text{IV.12})$$

Dans un premier temps, la mesure est effectuée à faible puissance d'entrée à chacune des fréquences pour estimer une plage de variation de la phase à injecter en entrée de la voie de contrôle. Ainsi, lorsque l'on augmentera la puissance d'entrée, seule une petite plage de phase sera balayée, limitant alors la durée de la mesure. Les résultats de cette mesure ne sont pas présentés, mais le balayage de la phase d'entrée du contrôle qui sera effectué dans la suite sera celui défini par le biais de cette étape de mesure, soit un balayage de 170° à 320° par pas de 15° .

En revanche, les résultats présentés sur la Figure IV.34 sont ceux pour lesquels la puissance d'entrée varie de 28 à 34 dBm sur le coupleur d'entrée. La puissance d'entrée sur l'amplificateur de contrôle polarisé à (-2.8 V ; 22 V) varie avec un ΔP compris entre -6 et -4 dB. Cette variation de ΔP permet de se donner une marge lors de la mesure, l'ajout de l'amplificateur sur la maquette globale pouvant induire certaines variations, dues notamment à l'isolation non idéale du coupleur de sortie. Sur chacun des trois tracés de PAE, qui représentent les mesures à chacune des trois fréquences, les nuages de points sont représentatifs des performances lorsque le ΔP et le $\Delta\varphi$ varient. La courbe rouge superposée représente la PAE pour un couple de ΔP et $\Delta\varphi$ fixes qui permet de maximiser les performances. Pour chacune des trois fréquences, le ΔP sélectionné est identique et vaut -4 dB. En revanche, et comme attendu, la phase varie en fonction de la fréquence, de 230° à 1.2 GHz, à 275° à 1.4 GHz. Ces valeurs de phase sont consistantes avec celles déterminées lors de l'étape de simulation [$217^\circ - 255^\circ$].

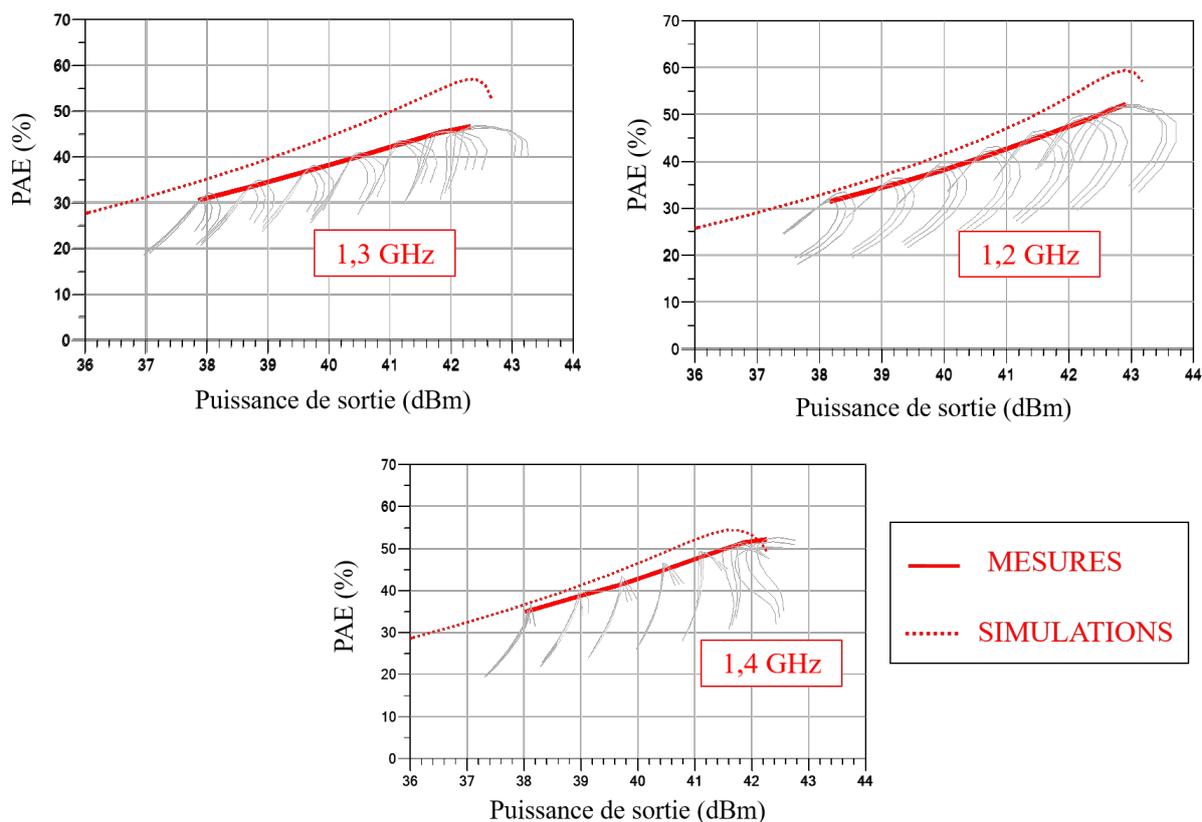


FIGURE IV.35 – Performances en PAE du LMBA sans variation de la polarisation de grille de l'amplificateur de contrôle.

Cette étape dans la campagne de mesure permet de déterminer le point de puissance d'entrée pour lequel les amplificateurs équilibrés atteignent le point de back-off. En simulation, ce point était atteint pour une puissance de sortie de 15 W, soit aux alentours de 42 dBm. On remarque que les niveaux de puissances de sortie atteints lors de la mesure sont proches de cette valeur de 42 dBm. On estime alors que ce point de back-off est atteint au dernier point de puissance d'entrée (33 dBm). La puissance d'entrée correspondante de l'amplificateur de contrôle est donc de 29 dBm ($\Delta P = -4$ dB).

A ce point de back-off, la PAE obtenue à la fréquence centrale de 1.3 GHz est de l'ordre de 45 % ($\Delta\varphi = 260^\circ$). Aux fréquences de 1.2 et 1.4 GHz, cette PAE est plus importante, avec près de 50 % dans les deux cas ($\Delta\varphi = 230^\circ$ et 275° respectivement).

La prochaine étape de la campagne de mesure est de reculer le point de polarisation en classe C de l'amplificateur de contrôle, une fois le point de back-off atteint. Autrement dit, à partir d'un niveau de puissance d'entrée de 34 dBm (30 dBm en entrée du contrôle), la polarisation DC de grille de l'amplificateur de contrôle sera diminuée, pour permettre de moduler la charge vue par les deux cellules équilibrées.

5.2.3 Mesure en configuration double entrée RF sur le LMBA avec variation de la polarisation de grille de l'amplificateur de contrôle

Afin d'observer l'effet de la modulation de charge sur les amplificateurs équilibrés, une variation de la polarisation de grille de l'amplificateur de contrôle est réalisée. La puissance d'entrée est variée de 20 à 36 dBm, pour plusieurs valeurs de V_{GS0c} , comprises entre -2.8 et -6 V, par pas de 1 V. Pour pouvoir augmenter la puissance d'entrée (jusqu'à 36 dBm), la polarisation de grille de l'amplificateur de contrôle doit impérativement être diminuée. Dans le cas contraire, les transistors des voies équilibrés seraient soumis à un stress trop important. Les valeurs de ΔP et $\Delta\varphi$ sont identiques à celles déterminées précédemment. Sur la Figure IV.36, on observe l'influence de cette variation sur les courbes de rendement en puissance ajoutée. En effet, à chacune des fréquences, quand la polarisation est reculée en classe C, on observe une translation vers des puissances de sortie plus élevées des courbes de PAE.

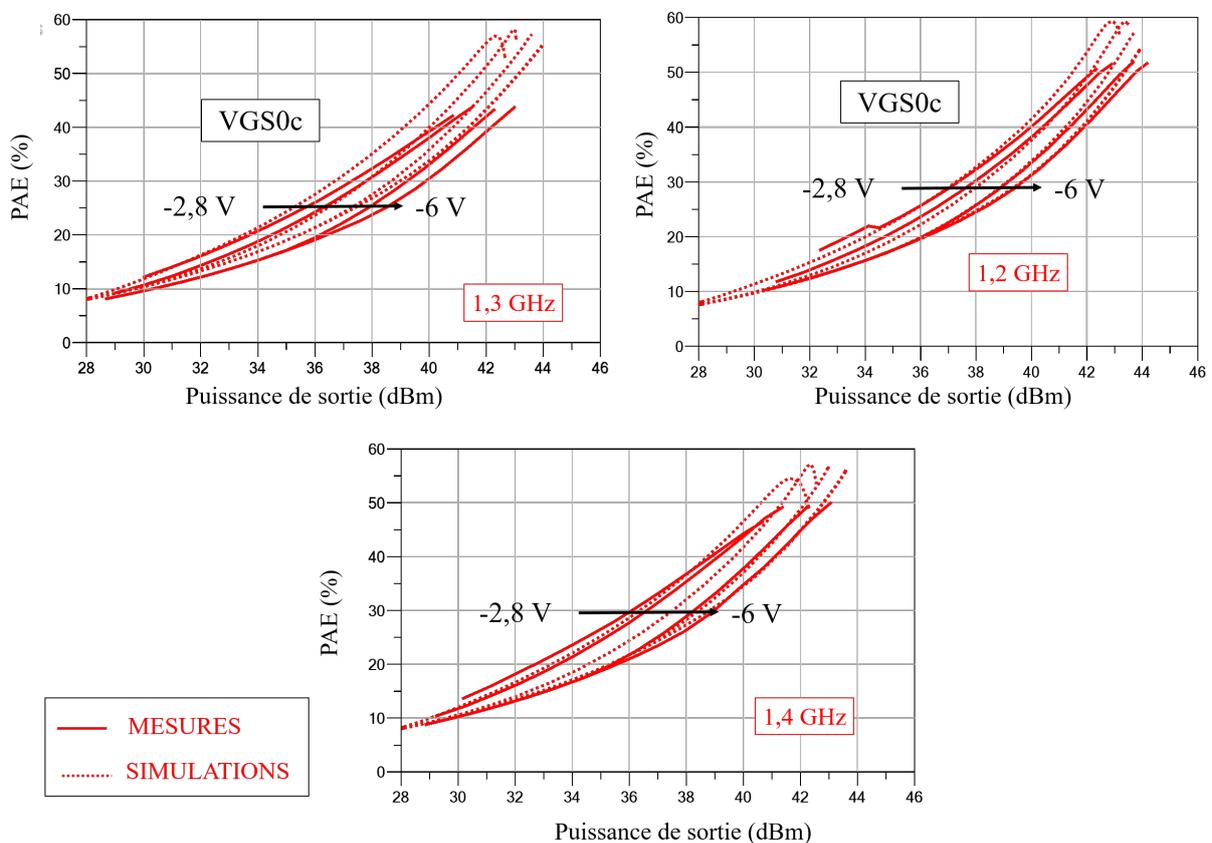


FIGURE IV.36 – Performances en PAE du LMBA avec variation de V_{GS0c} et de la puissance d'entrée

A chacune des trois fréquences d'intérêt, on observe bel et bien la modulation de charge produite. En effet, la PAE est maintenue constante sur une certaine dynamique de puissance de sortie. Les niveaux de PAE et de dynamique dépendent de la fréquence de travail. Les moins bonnes performances, et comme depuis le début des mesures, sont observées à la fréquence centrale de 1.3 GHz. La PAE est maintenue constante et supérieure à 45 % sur près de 2.5 dB de puissance de sortie. Ce manque au niveau de l'OBO s'explique par le fait que, pour assurer

la modulation de charge souhaitée des cellules équilibrées, la puissance délivrée par la voie de contrôle doit chuter, ce qui a une répercussion notable sur la puissance totale de sortie.

Si on s'intéresse aux performances aux deux autres fréquences de mesure, la PAE est de 46 % à 3 dB d'OBO, et de 52 % à 44.5 dBm de puissance de sortie (à la saturation) à 1.2 GHz. Enfin, à 1.4 GHz, la PAE minimale en recul de puissance est de 45 % (à 3 dB d'OBO), et elle grimpe jusqu'à 50 % à pleine saturation, soit à une puissance de sortie de 43.5 dBm.

Ces performances sont atteintes, à ces trois fréquences, avec une loi de commande de polarisation de grille de l'amplificateur de contrôle qui présente l'allure suivante :

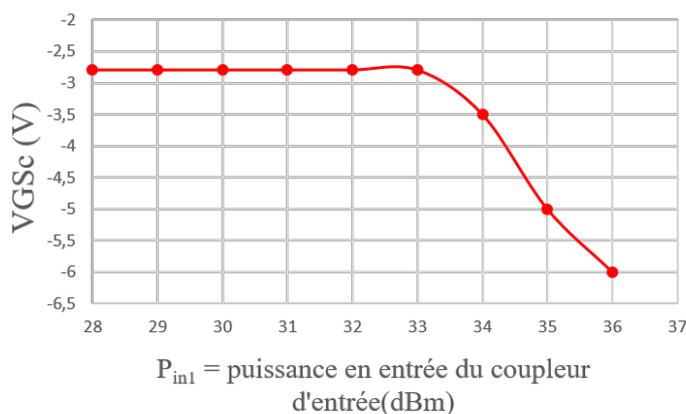


FIGURE IV.37 – Performances en PAE du LMBA pour un sweep complet de V_{GSc} et de puissance d'entrée.

La Figure IV.38 présente le gain en puissance de l'architecture. La compression de gain se situe dans une zone comprise entre 5 et 6 dB, en fonction de la fréquence. Les transistors HEMT GaN tels que ceux utilisés lors de toute ces étapes de conception et de mesure sont à même de tenir ce niveau de compression.

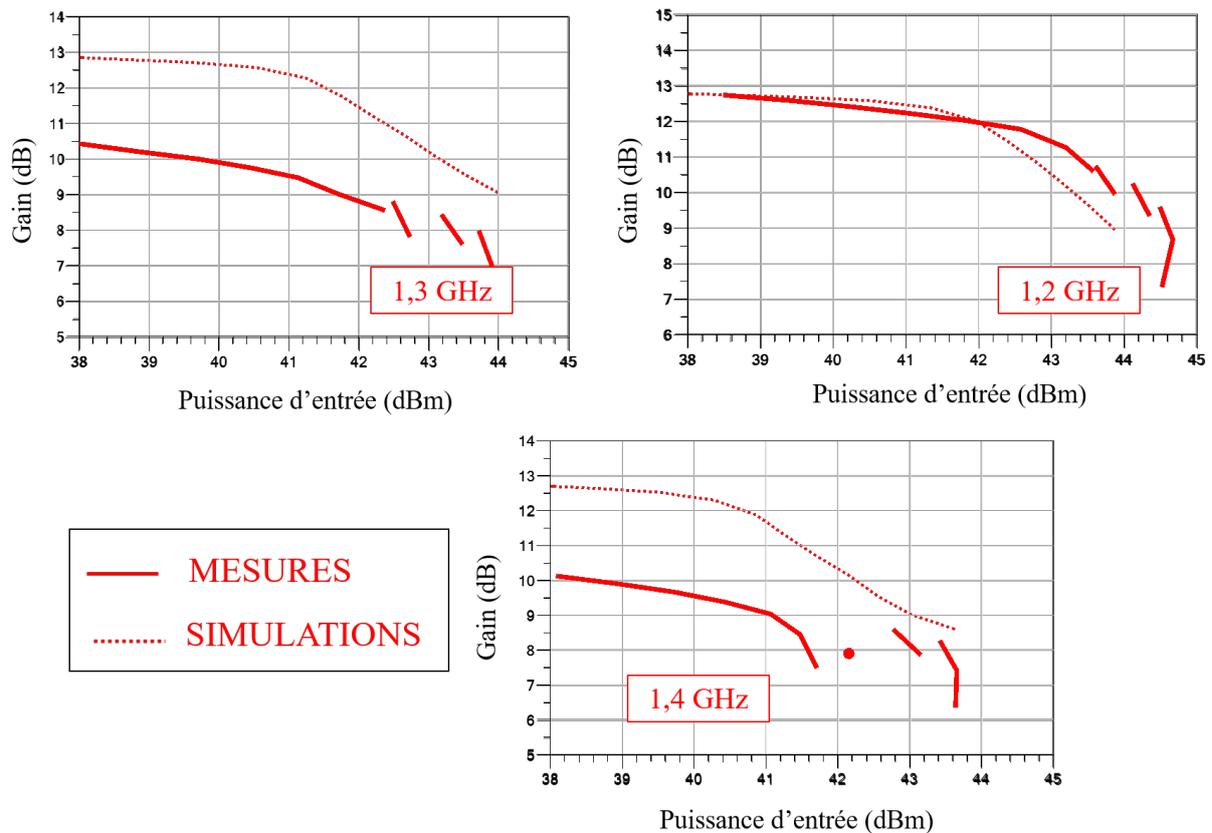


FIGURE IV.38 – Gain du LMBA pour un sweep complet de V_{GS0c} et de puissance d'entrée.

6 Conclusion

Le chapitre IV présente la conception d'un LMBA avec le formalisme des ondes de puissance. La méthodologie présentée permet, par l'injection active de puissance sur la voie de contrôle en recul de puissance, d'adapter les amplificateurs équilibrés en fonction de la fréquence. Cette adaptation en fonction de la fréquence, à ce point particulier de puissance de sortie est impossible dans une architecture « Doherty-Like ».

La méthodologie de conception présentée est validée par la simulation dans la bande [1.2 - 1.4] GHz, et par la mesure en configuration à double entrée RF, dans laquelle l'écart relatif de phase entre les deux voies a été modifié à chaque fréquence. En revanche, et comme la méthodologie le présageait, l'écart relatif de puissance entre les deux voies est identique quelque soit la fréquence de travail.

Pour que ce LMBA fonctionne à haut rendement, il a été nécessaire d'appliquer une loi de commande de polarisation DC de grille sur l'amplificateur de contrôle dans la zone de modulation de charge.

Pour réaliser cette mesure, la polarisation de grille de l'amplificateur de contrôle a été variée manuellement. Pour pallier à cette contrainte lors de la mesure, une perspective envisagée a été

d'implémenter un diode polarisée en inverse sur la grille de l'amplificateur de contrôle, conformément au principe représenté sur le schéma de la Figure IV.39 (à la place du jumper disposé initialement). L'ajout de cette diode permet une auto-polarisation de la tension de polarisation de grille vers la classe C dès que le signal RF d'entrée provoque l'apparition d'un courant de grille DC. L'utilisation de ce circuit d'auto-polarisation de la tension de grille V_{GS0} a été initialement proposée pour protéger la cellule de puissance, un courant de grille trop important dégradant le composant pour des circuits en technologie AsGa [87].

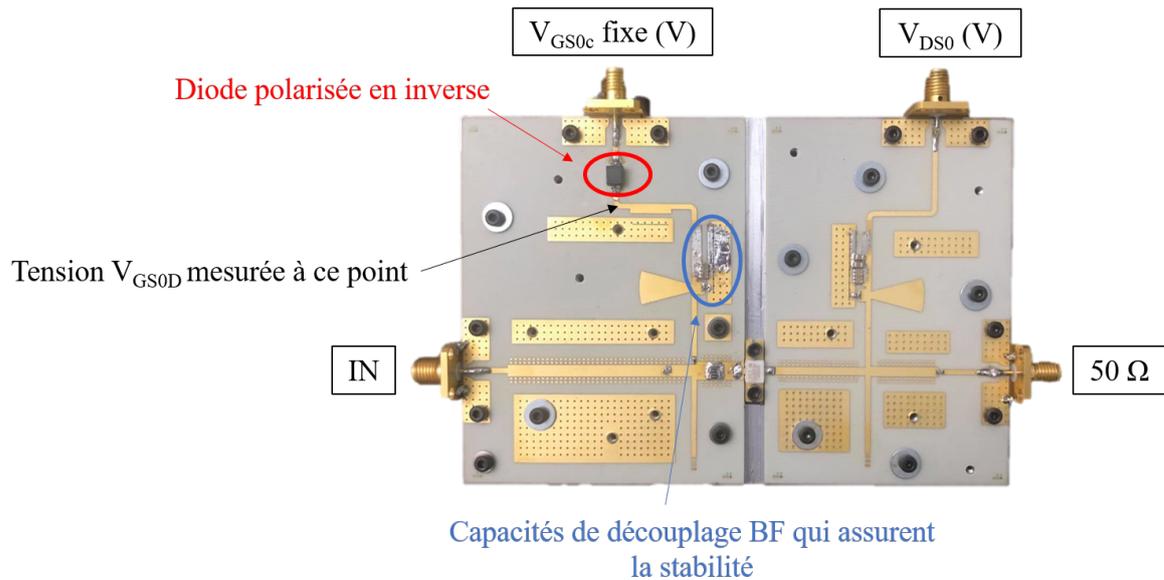


FIGURE IV.39 – Amplificateur de contrôle avec une diode polarisée en inverse sur l'accès de grille.

Cependant, dans notre cas, en technologie GaN pour la taille de transistor de contrôle utilisé, la caractéristique (à 1.2 GHz) entre la puissance RF d'entrée et la tension d'auto-polarisation V_{GS0D} mesurée qui est montrée Figure IV.40 (a) n'a pas permis d'obtenir un recul de puissance de sortie suffisant sur une dynamique de 3 dB de puissance d'entrée, comme cela est illustré sur la Figure IV.40 (b).

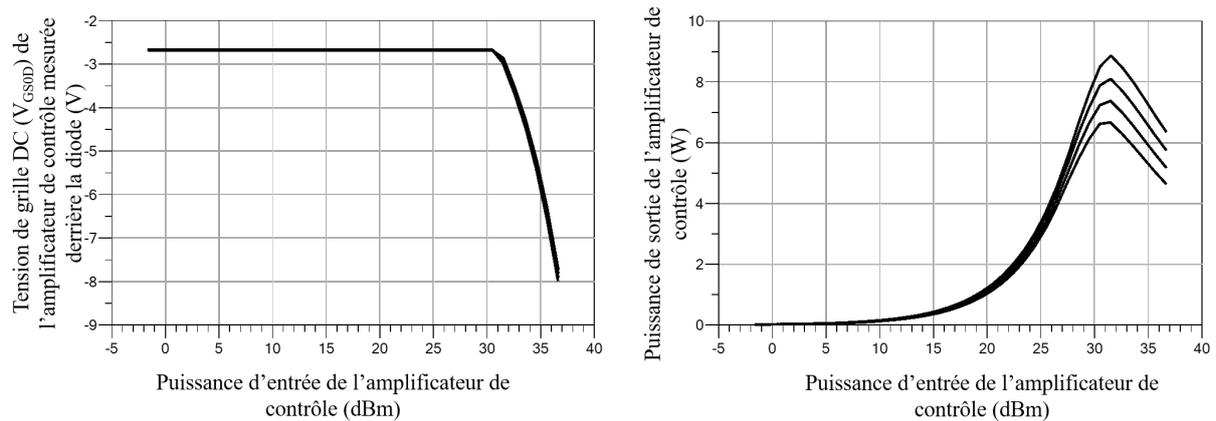


FIGURE IV.40 – Evolution de la tension de polarisation de grille en fonction de la puissance d’entrée (a) et puissance de sortie de l’amplificateur de contrôle avec ajout d’une diode polarisée en inverse sur son accès de polarisation de grille pour plusieurs niveaux de tension de polarisation de drain (de 18 à 21 V) (b).

Pour obtenir une chute de puissance de sortie plus forte, jusqu’à 2 W de puissance de sortie sur une dynamique de 3 dB de puissance d’entrée, ce qui est nécessaire pour effectuer une modulation de charge adéquate des amplificateurs équilibrés, il faudrait re-considérer la conception de l’amplificateur de contrôle avec une taille plus petite de transistor utilisé.

Néanmoins, des investigations ultérieures seraient intéressantes car le principe de contrôle de tension de polarisation de grille présenté ici peut être appliqué de façon dynamique sans enlever les condensateurs BF connectés sur le circuit de polarisation de grille et donc la structure du circuit de polarisation de grille du transistor qui a permis d’assurer la stabilité.

La caractérisation de l’amplificateur LMBA réalisé dans ce chapitre serait intéressante à effectuer en configuration à entrée RF unique (IV.41), dans laquelle un troisième coupleur hybride ($0/-90^\circ$ serait positionné en entrée, avec l’ajout d’un déphaseur (sur la voie principale ou sur la voie de contrôle suivant le choix positionnement du coupleur d’entrée), et d’un atténuateur (4 dB) sur la voie de contrôle. Cette configuration permettrait une mesure de l’architecture en signaux modulés.

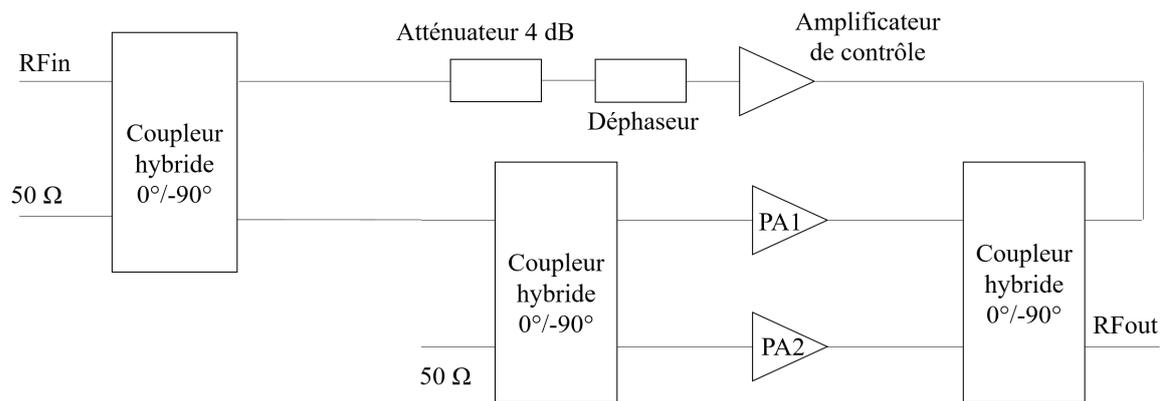


FIGURE IV.41 – LMBA à entrée unique

Conclusion générale et perspectives

Ce manuscrit a permis de mettre en avant les travaux de thèse qui ont été menés durant 3 ans au sein de l'institut de recherche Xlim. Cofinancés par Thalès Alénia Space, ces travaux ont permis une étude d'une architecture récente d'amplificateur de puissance : le LMBA. Certaines de ses potentialités, mais aussi ses limites, ont été mises en avant. Cette conclusion récapitule les travaux réalisés et fournit quelques perspectives.

Le premier chapitre permet de mettre en avant les outils et les méthodes de CAO communément utilisées pour la conception d'amplificateurs de puissance dans le sens général du terme. Ce chapitre, à vertue pédagogique essentiellement, permet de comprendre l'objectif et l'importance de chacune des étapes de conception. Dans cette partie du manuscrit, l'analyse de ces éléments non linéaires avec le formalisme des ondes de puissance a été présentée. Ce formalisme des ondes de puissance avec notamment la notion de paramètres X , donne une possibilité au concepteur de réaliser une conception consistante en remplaçant le transistor par son modèle en paramètres X , pour pallier à certains problèmes de convergence rencontrés dès lors que plusieurs transistors sont utilisés simultanément en simulation.

Le deuxième chapitre s'est concentré sur les architectures d'amplificateur à haut rendement. Les amplificateurs de puissance, depuis l'essor de signaux de plus en plus complexes, doivent être capables de répondre à de nouvelles contraintes, notamment en terme de PAPR et d'efficacité spectrale. Bien que l'objectif de cette étude ne nécessite que des signaux avec des PAPR de l'ordre de 3-4 dB, les architectures à modulation de charge, complexes, semblent être des candidates pertinentes. Un diaporama général de ces architectures est présenté, et séparé en deux catégories. Une première se concentre sur les architectures non isolées, avec une étude notamment de l'architecture Doherty, qui permet ainsi une comparaison avec l'amplificateur LMBA de type « Doherty-Like ». Cette dernière est traitée de façon plus détaillée par le biais d'une analyse théorique simplifiée, qui englobe le comportement de l'architecture en présence du coupleur de sortie, de l'adaptation de sortie de chacun des trois amplificateurs constituant le LMBA (qui elle-même tient compte des éléments réactifs de sortie), mais aussi de la mise en conduction plus tardive de l'amplificateur de contrôle liée à sa polarisation en classe C. Deux cas sont présentés : dès lors que la plage de modulation dépasse les $\beta = 2.41$, une modification de l'adaptation de

sortie de la voie de contrôle est nécessaire, dans le but de maintenir l'amplitude de la tension au fondamental aux bornes de la source de courant inférieure à V_{DS0} . Cette étude permet de donner au concepteur, suivant le cahier des charges qu'il est tenu de respecter, les paramètres essentiels pour réaliser un LMBA de type « Doherty-Like » qui répond aux contraintes posées. Une des limites de cette méthodologie est également posée, qui concerne l'impédance caractéristique du coupleur qui, suivant les transistors utilisés, ne sera pas synthétisables par une technologie de coupleur hybride existante.

Le troisième chapitre permet d'illustrer les conclusions théoriques proposées dans le chapitre précédent, par une application stricte de la méthodologie associée. Cette méthodologie est validée dans un premier temps par la simulation sur une architecture LMBA en configuration à deux entrées RF en bande C [3.45-3.85] GHz. La validation de cette méthodologie s'appuie également sur la mesure réalisée sur un banc de mesure qui utilise une procédure d'étalonnage en phase automatique sur les deux entrées RF. La variation de l'amplitude et de la phase injectées sur le port isolé du coupleur de sortie de l'architecture permet l'obtention de performances en rendement ou en gain les meilleures possibles avec l'extraction des lois de commande associées. La PAE obtenue par la mesure est de l'ordre de 50 % sur plus de 3 dB de back-off. La seconde partie de la méthodologie, qui intègre directement l'amplificateur de contrôle, est quant à elle validée par la simulation, pour les deux cas présentés dans l'étude théorique. Le premier cas permet une modulation de $\beta R_{opt} \rightarrow R_{opt}$ pour $\beta = 2$, avec une adaptation de sortie identique sur les trois amplificateurs. La seconde propose un LMBA pour le cas où $\beta = 3$. Le coupleur de sortie synthétisé possède une impédance caractéristique valant $3 R_{opt}$, et l'adaptation de sortie de l'amplificateur présente les ajustements nécessaires pour que la contrainte de la tension intrinsèque de cet amplificateur soit respectée. Pour cette conception, le transistor de contrôle utilisé est de taille identique aux deux autres, induisant alors un défaut de courant, ne permettant pas de moduler entièrement la charge des deux amplificateurs équilibrés. Cette constatation permet donc de finir de valider l'étude du chapitre 2, le transistor nécessitant en théorie d'être 1.14 fois plus gros que les deux autres.

Le dernier chapitre se concentre sur une toute autre méthodologie de conception d'un LMBA. Pour cette réalisation en bande L conforme à l'application Galileo, on s'affranchit de la polarisation en classe C de l'amplificateur de contrôle, qui restreint les performances en recul de puissance. En effet, dans une architecture de type « Doherty-Like », une synthèse "NON-Foster" de l'impédance de charge au point de back-off n'est pas possible, du fait de la non injection de puissance sur la voie de contrôle. Cette nouvelle méthodologie permet d'effectuer un load pull actif en recul de puissance avec une polarisation en classe AB de l'amplificateur de contrôle. Cette conception s'accompagne en revanche de plusieurs contraintes. En premier lieu, pour que la puissance à injecter sur le port isolé du coupleur de sortie ne soit pas trop importante, une pré-adaptation doit être positionnée en sortie des amplificateurs équilibrés. Par ce biais, l'objectif est de se placer à TOS constant des lieux de load-pull optima en back-off. En revanche, cette pré-adaptation doit être suffisamment éloignée de ces lieux pour permettre d'obtenir l'éclatement fréquentiel nécessaire, par le réglage des temps de propagation de groupes, pour que les perfor-

mances soient les plus élevées possibles sur toute la bande de fonctionnement, soit de 1.2 à 1.4 GHz. Une attention particulière doit être par la suite apportée à la conception de l'amplificateur de contrôle, afin qu'il délivre une puissance la plus constante possible à chacune des fréquences. Pour suivre les trajectoires de load pull dans la zone de modulation de charge, il est nécessaire que la puissance délivrée par l'amplificateur de contrôle diminue dans cette zone. Pour cela, une variation de la polarisation de grille de ce troisième amplificateur a été nécessaire. La validation expérimentale s'est effectuée en configuration double entrée RF, avec une variation de la polarisation de grille de l'amplificateur de contrôle, pour laquelle seul l'écart relatif de phase a été modifié en fonction de la fréquence. Les performances obtenues sont alors consistantes, avec une PAE proche de 50 % sur plus de 2 dB de back-off aux trois fréquences d'intérêt. La plage de recul de puissance obtenue est inférieure aux exigences attendues, la contribution de l'amplificateur de contrôle en recul de puissance induisant des pertes, car il ne bénéficie pas de l'injection active comme les amplificateurs équilibrés.

Les potentialités de l'architecture LMBA pour un fonctionnement sur une bande de fréquence qui pourraient être plus large que celle présentée. En effet, les mesures présentées se limitent à la bande [1.2 – 1.4] GHz. Cependant, la mesure de l'amplificateur de contrôle nous donne des performances intéressantes dans la bande [1.1-1.5] GHz, qui moyennant le choix optimal de l'écart relatif de phase pour chacune des fréquences, permettrait d'envisager un fonctionnement de l'architecture complète dans cette même bande.

C'est également la réalisation du coupleur qui induirait une limitation dans la montée en fréquence du dispositif. Cependant, certaines études mettent en avant des topologies de coupleurs fonctionnant dans bandes de fréquence élevées (bande Ka) [88] - [89], ce qui permettrait d'envisager une conception d'un LMBA à ces fréquences.

Pour des applications nécessitant le maintien des performances sur une dynamique de sortie plus importante (de l'ordre de 10 dB), la méthodologie présente des limites difficilement surmontables. Pour répondre à ce cahier des charges, l'emploi d'une topologie SLMBA semblerait plus pertinente, qui permet, comme présenté dans le chapitre II, d'obtenir des performances élevées sur de fortes dynamiques de puissance de sortie.

Bibliographie

- [1] F. Sciences, “Galileo : des signaux différents de ceux du GPS.” [Online]. Available : <https://www.futura-sciences.com/sciences/actualites/constellation-galileo-galileo-signaux-differents-ceux-gps-72118/>
- [2] Wikipédia, “Galileo (système de positionnement).”
- [3] F. Sciences, “Galileo.” [Online]. Available : <https://www.futura-sciences.com/sciences/definitions/univers-galileo-2439/>
- [4] Wikipédia, “Système de positionnement par satellites.”
- [5] A. Dion, “Récepteur de navigation reconfigurable pour applications spatiales,” Ph.D. dissertation, Toulouse, 2014.
- [6] CNES, “Galileo : le futur système européen de positionnement par satellites.” [Online]. Available : <https://galileo-mission.cnes.fr/fr>
- [7] C. N. d’Etudes Spatiales, “[Galileo] La révolution du positionnement centimétrique en marche.” [Online]. Available : <https://cnes.fr/fr/galileo-la-revolution-du-positionnement-centimetrique-en-marche>
- [8] ESA, “Qu’est-ce que Galileo.”
- [9] ANFR, “Des fréquences pour se positionner : le système Galileo.” [Online]. Available : <https://www.anfr.fr/publications/dossiers-thematiques/le-systeme-galileo/>
- [10] ESA, “Esa Navipedia.”
- [11] E. Rebeyrol, “Optimisation des signaux et de la charge utile Galileo,” Ph.D. dissertation, Telecom Paris, 2008.
- [12] W. Lohmeyer, R. Aniceto, and K. Cahoy, “Communication Satellite Power Amplifiers : current and future SSPA and TWTA technologies,” *Int. J. Satell. Commun. Netw.*, no. March 2015, pp. 95–113, 2013.
- [13] E. Illokken, “TWT Reliability in Space,” *IEEE Aerosp. Electron. Syst. Mag.*, vol. 2, no. 7, pp. 22–24, 1987.
- [14] Radartutorial.eu, “Les principes du radar.” [Online]. Available : <https://www.radartutorial.eu/08.transmitters/Tube%7B%7Dondesprogressives.fr.html>

-
- [15] A. Lidow and J. Strydom, "GaN : A Reliable Future in Power Conversion," IEEE Power Electron. Mag., vol. 2, no. March, pp. 20–26, 2015.
- [16] P. Godignon and X. Perpi, "A Survey of Wide Bandgap Power," vol. 29, no. 5, pp. 2155–2163, 2014.
- [17] B. U. K. Mishra, L. Shen, T. E. Kazior, and Y.-f. Wu, "GaN-Based RF Power Devices and Amplifiers," vol. 96, no. 2, pp. 287–305, 2008.
- [18] D. Maasen, "GaN-HEMT Power Amplifiers and Smart Transmitters for Ku -Band Satellite Communication," Ph.D. dissertation, Berlin.
- [19] D. Scheurs, O. Mairtin, A. Goacher, and G. Michael, RF Power Amplifier Behavioral Modeling, C. U. Press, Ed., 2008, vol. 1.
- [20] P. J. Carlos, D. E. Root, J. Xu, and L. C. Nunes, Nonlinear Circuit Simulation and Modeling, T. C. R. Series and M. Engineering, Eds.
- [21] Wolfspeed, "Datasheet CGHV1J006D," no. April, 2020.
- [22] S. C. Cripps, RF Power Amplifier for Wireless Communication, A. House, Ed., 1999.
- [23] J. Couvidat, "Contribution à la modélisation de transistors GaN et à la conception d ' architectures innovantes d ' amplificateurs de puissance à rendement amélioré pour modules d ' émission-réception aéroportés," Ph.D. dissertation, Limoges, 2019.
- [24] S. E. Sussman-fort, "Matching Network Design Using Non-Foster Impedances," pp. 1–43.
- [25] A. Delias, "Polarisation dynamique de drain et de grille d ' un amplificateur RF GaN appliquée à un fonctionnement RF impulsionnel à plusieurs niveaux," Ph.D. dissertation, Limoges, 2016.
- [26] S. Gao, P. Butterworth, S. Ooi, and A. Sambell, "High-efficiency power amplifier design including input harmonic termination," IEEE Microw. Wirel. Components Lett., vol. 16, no. 2, pp. 81–83, 2006.
- [27] A. Ferrero and V. Teppati, "A complete measurement Test-Set for non-linear device characterization," 58th ARFTG Conf. Dig. Fall 2001 RF Meas. a Wirel. World, ARFTG Fall 2001, 2001.
- [28] P. Colantonio, F. Giannini, G. Leuzzi, and E. Limiti, "High-efficiency low-IM microwave PA design," IEEE MTT-S Int. Microw. Symp. Dig., vol. 3, pp. 511–514, 2001.
- [29] Colantonio, Ferrero, Giannini, Limiti, and Teppati, "Harmonic Load/Source Pull Strategies for High Efficiency PAs Design," Source, pp. 1807–1810, 2003.
- [30] G. L. Matthaei, "Synthesis of Tchebycheff Impedance-Matching Networks, Filters, and Interstages," IRE Trans. Circuit Theory, vol. 3, no. 3, pp. 163–172, 1956.
- [31] T. Sharma, S. Shukla, D. G. Holmes, R. Darraji, J. K. Jones, and F. Ghannouchi, "Input Harmonic Sensitivity in High-Efficiency GaN Power Amplifiers," IEEE MTT-S Int. Microw. Symp. Dig., vol. 2018-June, pp. 461–464, 2018.
- [32] T. Canning, P. Tasker, and S. Cripps, "Waveform evidence of gate harmonic short circuit benefits for high efficiency x-band power amplifiers," IEEE Microw. Wirel. Components Lett., vol. 23, no. 8, pp. 439–441, 2013.

- [33] Pozar David M, Microwave Engineering, 2005.
- [34] Kurokawa, "Power Waves and the scattering Matrix," Matrix, no. 1, pp. 194–202, 1964.
- [35] G. Gonzalez, Microwave Transistor Amplifiers - Analysis and Design - Second Edition, P. Hall, Ed., 1996.
- [36] Hewlett Packard, "Application Note : S-Parameters Techniques for Faster, More Accurate Network Design."
- [37] Fano, "Theoretical Limitations on the Broad-Band Matching of Arbitrary Impedances," IRE Trans. Circuit Theory, vol. 8, no. 2, p. 165, 1961.
- [38] A. Technologies, "Large-Signal S-Parameter Simulation," no. September, 2004.
- [39] J. Verspecht, "Everything you always wanted to know about Hot-S22 (but we're afraid to ask)," Posit. Living, vol. 10, no. 2, pp. 35–37, 2001.
- [40] D. E. Root, J. Verspecht, J. Horn, and M. Marcu, "X-Parameters Characterization Modeling, and Design of Nonlinear RF and Microwave Components," 2013.
- [41] D. E. Root, J. Verspecht, and J. Xu, "Closed-form solutions to large-signal PA problems : Wirtinger calculus applied to X-parameter," 2017 12th Eur. Microw. Integr. Circuits Conf. EuMIC 2017, vol. 2017-Janua, pp. 212–215, 2017.
- [42] Edn.com, "Measure amplifier compression with Hot S-parameters," no. 1, pp. 1–10, 2019.
- [43] A. Disserand, "Nouvelle architecture d'amplificateur de puissance fonctionnant en commutation," Ph.D. dissertation, Limoges.
- [44] A. Dasgupta, "High Efficiency S-Band Vector Power Modulator Design using GaN Technology," Ph.D. dissertation, Limoges.
- [45] Z. Wang, Envelope Tracking Power Amplifier for Wireless Communications, A. House, Ed., 2014.
- [46] H. Chireix, "High Power Outphasing Modulation," vol. 23, no. 11, pp. 1370–1392, 1935.
- [47] Z. Abou-Chahine, "Outphasing RF Power Amplifiers for Mobile Communication Base Station Applications."
- [48] W. H. Doherty, "A new high Efficiency Power Amplifier for Modulated Waves," Phys. Today, vol. 2, no. 5, pp. 27–27, 1936.
- [49] H. Raab, "Efficiency of Doherty Power-Amplifiers Systems," Technology, vol. 00, no. 3, pp. 77–83, 1987.
- [50] A. Courty, "Architecture d' amplificateur de puissance linéaire et à haut rendement en technologie GaN de type Doherty numérique," Ph.D. dissertation, Limoges, 2019.
- [51] J. J. Moreno Rubio, V. Camarchia, M. Pirola, and R. Quaglia, "Design of an 87% Fractional Bandwidth Doherty Power Amplifier Supported by a Simplified Bandwidth Estimation Method," IEEE Trans. Microw. Theory Tech., vol. 66, no. 3, pp. 1319–1327, 2018.
- [52] S. C. Cripps, "IMS PA Workshop 2007 Efficiency Enhancement Techniques for High Power PAs," 2007.

-
- [53] T. Lehmann and R. Knoechel, "Design and performance of sequential power amplifiers," *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 767–770, 2008.
- [54] T. Lehmann and R. Knoechel, "Wideband Sequential Amplifier with Switched Directional Couplers," *Microw. Conf. (GeMIC)*, 2008 Ger., pp. 1–4, 2008.
- [55] P. Neining, C. Friesicke, S. Krause, D. Meder, R. Lozar, T. Merkle, R. Quay, and T. Zwick, "A sequential power amplifier at 3.5 GHz for 5G applications," *Eur. Microw. Week 2017 "A Prime Year a Prime Event"*, *EuMW 2017 - Conf. Proceedings; 47th Eur. Microw. Conf. EuMC 2017*, vol. 2017-Janua, pp. 284–287, 2017.
- [56] D. J. Shepphard, J. Powell, and S. C. Cripps, "An Efficient Broadband Reconfigurable Power Amplifier Using Active Load Modulation," *IEEE Microw. Wirel. Components Lett.*, vol. 26, no. 6, pp. 443–445, 2016.
- [57] D. J. Shepphard and S. C. Cripps, "The Load Modulated Balanced Amplifier (LMBA)," 2017.
- [58] J. R. Powell, D. J. Shepphard, R. Quaglia, and S. C. Cripps, "A Power Reconfigurable High-Efficiency X -Band Power Amplifier MMIC Using the Load Modulated Balanced Amplifier Technique," *IEEE Microw. Wirel. Components Lett.*, vol. 28, no. 6, pp. 527–529, 2018.
- [59] R. Quaglia and S. Cripps, "A Load Modulated Balanced Amplifier for Telecom Applications," *IEEE Trans. Microw. Theory Tech.*, vol. 66, no. 3, pp. 1328–1338, 2018.
- [60] D. J. Collins, R. Quaglia, J. R. Powell, and S. C. Cripps, "The Orthogonal LMBA : A Novel RFPA Architecture with Broadband Reconfigurability," *IEEE Microw. Wirel. Components Lett.*, vol. 30, no. 9, pp. 888–891, 2020.
- [61] P. H. Pednekar, W. Hallberg, C. Fager, and T. W. Barton, "Analysis and Design of a Doherty-Like RF-Input Load Modulated Balanced Amplifier," 2018.
- [62] J. Pang, C. Chu, Y. Li, and A. Zhu, "Broadband rf-input continuous-mode load-modulated balanced power amplifier with input phase adjustment," *IEEE Trans. Microw. Theory Tech.*, vol. 68, no. 10, pp. 4466–4478, 2020.
- [63] P. H. Pednekar, E. Berry, and T. W. Barton, "RF-Input Load Modulated Balanced Amplifier With Octave Bandwidth," *IEEE Trans. Microw. Theory Tech.*, vol. 65, no. 12, 2017.
- [64] K. Chen and D. Peroulis, "Design of broadband high-efficiency power amplifier using in-band Class-F 1/F mode-transferring technique," *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 11–13, 2012.
- [65] S. Lee, H. Park, K. Choi, and Y. Kwon, "A Broadband GaN pHEMT Power Amplifier Using Non-Foster Matching," *IEEE Trans. Microw. Theory Tech.*, vol. 63, no. 12, pp. 4406–4414, 2015.
- [66] P. H. Pednekar and T. W. Barton, "RF-input load modulated balanced amplifier," in *IEEE MTT-S Int. Microw. Symp. Dig.*, 2017, pp. 1730–1733.
- [67] J. Pang, Y. Li, M. Li, Y. Zhang, X. Y. Zhou, Z. Dai, and A. Zhu, "Analysis and Design of Highly Efficient Wideband RF-Input Sequential Load Modulated Balanced Power Amplifier," *IEEE Trans. Microw. Theory Tech.*, vol. 68, no. 5, pp. 1741–1753, 2020.

- [68] Y. Cao, H. Lyu, and K. Chen, "Load Modulated Balanced Amplifier with Reconfigurable Phase Control for Extended Dynamic Range," IEEE MTT-S Int. Microw. Symp. Dig., vol. 2019-June, pp. 1335–1338, 2019.
- [69] Y. Cao and K. Chen, "Pseudo-Doherty Load-Modulated Balanced Amplifier with Wide Bandwidth and Extended Power Back-Off Range," IEEE Trans. Microw. Theory Tech., vol. 68, no. 7, pp. 3172–3183, 2020.
- [70] —, "Dual-octave-bandwidth rf-input pseudo-doherty load modulated balanced amplifier with ≥ 10 -dB power back-off range," IEEE MTT-S Int. Microw. Symp. Dig., vol. 2020-Augus, pp. 703–706, 2020.
- [71] Y. Cao, H. Lyu, and K. Chen, "Asymmetrical Load Modulated Balanced Amplifier with Continuum of Modulation Ratio and Dual-Octave Bandwidth," IEEE Trans. Microw. Theory Tech., vol. 69, no. 1, pp. 682–696, 2021.
- [72] T. Cappello, P. Pednekar, C. Florian, S. Cripps, Z. Popovic, and T. W. Barton, "Supply- and Load-Modulated Balanced Amplifier for Efficient Broadband 5G Base Stations," IEEE Trans. Microw. Theory Tech., vol. 67, no. 7, pp. 3122–3133, 2019.
- [73] L. Piazzon, R. Giofre, R. Quaglia, V. Camarchia, M. Pirola, P. Colantonio, F. Giannini, and G. Ghione, "Effect of load modulation on phase distortion in doherty power amplifiers," IEEE Microw. Wirel. Components Lett., vol. 24, no. 7, pp. 505–507, 2014.
- [74] R. Quaglia, L. Piazzon, V. Camarchia, R. Giofr e, M. Pirola, P. Colantonio, G. Ghione, and F. Giannini, "Experimental investigation of bias current and load modulation effects in phase distortion," Electron. Lett., vol. 50, no. 10, pp. 773–775, 2014.
- [75] V. Camarchia, P. Colantonio, F. Giannini, R. Giofre, T. Jiang, M. Pirola, R. Quaglia, and C. Ramella, "A Design Strategy for AM/PM Compensation in GaN Doherty Power Amplifiers," IEEE Access, vol. 5, pp. 22 244–22 251, 2017.
- [76] K. Chaudhry, R. Quaglia, and S. Cripps, "A load modulated balanced amplifier with linear gain response and wide high-efficiency output power back-off region," 2020 Int. Work. Integr. Nonlinear Microw. Millimetre-Wave Circuits, INMMiC 2020 - Proc., pp. 3–5, 2020.
- [77] K. Vivien, P. E. De Falco, G. Baudoin, O. Venard, P. P. Felix, and T. Barton, "Load Modulated Balanced Amplifier Designed for AM-PM Linearity," 2020 50th Eur. Microw. Conf. EuMC 2020, no. January, pp. 304–307, 2021.
- [78] A. Courty, P. Medrel, T. Reveyrand, P. Bouysse, J. M. N ebus, and G. Soubercaze-Pun, "Analysis of load mismatch effect compensation in Doherty power amplifier," Int. J. Microw. Wirel. Technol., vol. 13, no. 3, pp. 211–222, 2021.
- [79] K. Vivien, "Linearity and Efficiency of Load Modulated Power Amplifiers," Ph.D. dissertation, Paris-Est.
- [80] Wolfspeed, "Datasheet HEMT GaN CGH40010F," no. October, 2020.
- [81] R. C. Advanced Circuit Materials Division, "RO4003C Series High Frequency Circuit Materials," pp. 1–4, 2006.
- [82] G. Cormier, "Chapitre 5 : Diviseurs de puissance et coupleurs Hiver 2012," Tech. Rep.

- [83] R. Darraji, M. M. Honari, R. Mirzavand, F. M. Ghannouchi, and P. Mousavi, "Wideband Two-Section Impedance Transformer with Flat Real-to-Real Impedance Matching," IEEE Microw. Wirel. Components Lett., vol. 26, no. 5, pp. 313–315, 2016.
- [84] R. Quaglia, J. Powell, D. Sheppard, P. Tasker, and S. Cripps, "Analysis and characterization of a load modulated balanced amplifier for base-station applications," in GeMiC 2018 - 2018 Ger. Microw. Conf., vol. 2018-Janua, 2018, pp. 1–4.
- [85] T. Reveyrand, A. Courty, M. Portelance, P. Medrel, P. Bouysse, and J. M. Nebus, "Automatic vector signal generator calibration method suitable for multiport large-signal measurements," 2019 93rd ARFTG Microw. Meas. Conf. Meas. Challenges Upcom. RF mm-Wave Commun. Sens. Syst. ARFTG 2019, 2019.
- [86] T. Reveyrand, P. Medrel, J. M. Nebus, and Z. Popovic, "Calibrated Multiport Large-Signal Measurement Setups for Outphasing , Doherty and Load Modulated Balanced Power Amplifiers Main challenges in PA design."
- [87] R. Gesche, I. Khalil, S. Khuen, and A. Liera, "Self Adjusting Gate Bias Network for Field Effect Transistors," 2012.
- [88] A. Bikiny, C. Quendo, E. Rius, J. F. Favennec, C. Person, B. Potelon, L. Rigauddau, P. Moroni, and J. L. Cazaux, "Ka-band Lange coupler in multilayer thick-film technology," IEEE MTT-S Int. Microw. Symp. Dig., pp. 1001–1004, 2009.
- [89] A. Alaqeel, H. Shaman, S. Almorqi, O. Haraz, S. Alshebeili, and A. R. Sebak, "Butterfly-shaped slot coupled microstrip 90° hybrid couplers for K- and Ka-band millimeter-wave radar applications," Mediterr. Microw. Symp., vol. 2015-April, no. c, pp. 1–3, 2015.

Publication relative à ces travaux

Conférences Nationales

T. Reveyrand, A. Courty, M. Portelance, P. Medrel, P. Bouysse, J-M. Nébus.

« **Méthode d'étalonnage automatique pour générateurs de signaux vectoriels en configuration multiport.** »

21^{èmes} Journées Nationales Microondes, Mai 2019, Caen, France.

Conférences Internationales

T. Reveyrand, A. Courty, M. Portelance, P. Medrel, P. Bouysse, J-M. Nébus.

« **Automatic Vector Signal Generator Calibration Method Suitable for Multiport Large-Signal Measurements.** »

93rd ARFTG Symposium, IMS 2019, Juin 2019, Boston, MA, USA.

Résumé

Conception d'un amplificateur haut rendement à modulation de charge active en technologie GaN pour application à la radionavigation par satellite

Les applications de radio-navigation européenne, notamment au travers de la constellation de satellites Galileo, s'encrent dans une optique différente dans le registre de la conception des amplificateurs de puissance. Contrairement aux applications pour des satellites de télécommunication, le critère n'est alors plus la montée en fréquence, ni le besoin de répondre à d'importantes contraintes au niveau des variations d'amplitude des signaux. Cependant, en bande L, les contraintes au niveau de la bande passante, du rendement énergétique et de la linéarité restent des préoccupations majeures dans la conception de ces fonctions amplificatrices.

Ces travaux de thèse proposent d'étudier les potentialités d'une architecture récente d'amplificateur à modulation de charge : le Load Modulated Balanced Amplifier (LMBA). Deux configurations de cet amplificateur sont introduites. Une première concerne l'étude d'une topologie « Doherty-Like », avec une polarisation en classe C de l'amplificateur de contrôle. Cette étude est validée expérimentalement au travers de la caractérisation d'un démonstrateur en configuration double entrée de 25 W en bande C. Ainsi, la combinaison des signaux en sortie de l'architecture est optimisée par des moyens numériques. Dans un second temps, une autre méthodologie, cette fois-ci avec un amplificateur de contrôle en classe AB est présentée. Le démonstrateur fonctionne dans la bande [1.2 – 1.4] GHz, qui englobe deux des bandes pour l'application Galileo. Cette étude est validée par la simulation et par la caractérisation en mode CW, avec une variation de la polarisation de grille de l'amplificateur de contrôle.

Mots clés : satellite, radionavigation, Galileo, amplificateur de puissance, GaN HEMT, modulation de charge active, conception, LMBA, rendement énergétique.

Abstract

Design of a high efficiency amplifier based on active load modulation principle in GaN technology for an application to satellite radio-navigation

The current radio navigation applications, like the Galileo satellite constellation, have a different approach in the design of power amplifiers. Contrary to applications for telecommunication satellites, the criterion is no longer the frequency rise, nor the need to meet important constraints concerning the amplitude variations of the signals. However, in L-band, the constraints of bandwidth, energy efficiency and linearity remain major concerns in the design of these amplifying functions.

This thesis proposes to study the potentialities of a recent architecture of load modulated amplifier : the Load Modulated Balanced Amplifier (LMBA). Two configurations of this amplifier are introduced. The first one concerns the study of a "Doherty-Like" topology, with a class C bias of the control amplifier. This study is experimentally validated through the characterization of a demonstrator in dual input configuration of 25 W in C band. In a second step, another methodology, this time with a control amplifier in class AB is presented. The demonstrator operates in the [1.2 - 1.4] GHz band, which includes two of the bands for the Galileo application. This study is validated by simulation and characterization in CW mode, with a variation of the control amplifier gate bias.

Key words : satellite, radio navigation, Galileo, power amplifier, GaN HEMT, active load modulation, design, LMBA, energy efficiency.