

UNIVERSITE DE LIMOGES

ECOLE DOCTORALE SCIENCES ET INGENIERIE POUR
L'INFORMATION

Laboratoire XLIM – Département C2S2

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline :

Electronique des Hautes Fréquences, Photonique et Systèmes

présentée et soutenue par

Arnaud DELIAS

le 09 novembre 2015

**Polarisation dynamique de drain et de grille d'un amplificateur RF
GaN appliquée à un fonctionnement RF impulsif à plusieurs
niveaux.**

Thèse dirigée par Jean-Michel NEBUS et Philippe BOUYSSSE

JURY :

Président du jury

M. Raymond QUERE, Professeur des Universités, Laboratoire Xlim, Université de Limoges

Rapporteurs

M. Juan-Mari COLLANTES, Professeur des Universités, Université du Pays Basque de Bilbao

M. Christophe GAQUIERE, Professeur des Universités, Laboratoire IEMN, Université de Lille

Examineurs

M. Tony GASSELING, Directeur associé de la société AMCAD Engineering, Limoges

M. Olivier JARDEL, Ingénieur à III-V Lab, Palaiseau

M. Philippe BOUYSSSE, Maître de Conférences, Laboratoire Xlim, Université de Limoges

M. Jean-Michel NEBUS, Professeur des Universités, Laboratoire Xlim, Université de Limoges

Invités

M^{re}. Audrey MARTIN, Maître de Conférences, Laboratoire Xlim, Université de Limoges

M. Luc LAPIERRE, Ingénieur au CNES, Toulouse

Remerciements

Ces travaux de recherche ont été menés au sein du laboratoire Xlim (UMR CNRS 7252), dans le département C2S2 (Composants, Circuits, Signaux et Système hautes fréquences) sur le site de Limoges.

Je tiens à remercier Monsieur Dominique Baillargeat de m'avoir permis de réaliser ces travaux au sein du laboratoire Xlim qu'il dirige, ainsi que Monsieur Bernard Jarry de m'avoir accueilli dans son équipe de recherche.

J'adresse mes plus sincères remerciements à Monsieur Juan-Mari Collantes, professeur à l'université du Pays Basque de Bilbao, ainsi qu'à Monsieur Christophe Gaquière, professeur à l'université de Lille (IEMN), qui ont bien voulu consacrer une partie de leur temps pour juger ce travail en tant que rapporteurs. Je témoigne également ma gratitude à Monsieur Tony Gasseling, directeur associé de la société AMCAD Engineering, Monsieur Olivier Jardel, ingénieur au laboratoire III-V Lab et Monsieur Raymond Quere, professeur à l'université de Limoges pour prendre part au jury en qualité d'examinateurs.

Comment ne pas remercier J.M Nebus et P Bouysse, pour leur professionnalisme, leur disponibilité et leur passion. J'ai particulièrement apprécié la liberté et la confiance que vous avez accordées pour mener ces travaux. Je vous remercie pour votre total investissement et pour avoir toujours essayé de me faire prendre confiance en moi. Au-delà de vos qualités scientifiques et techniques, c'est surtout « vos personnalités » que j'ai particulièrement apprécié, votre bonne humeur, votre humour et votre capacité d'écoute sur des sujets diverses et variés sont autant de choses qui m'ont permis de mener ces travaux dans les meilleures conditions. Dans la vie, on fait parfois des rencontres importantes qui forment une personne. Vous êtes tous les deux de ce genre de rencontre et je me rends compte de la chance que j'ai eu de pouvoir faire ma thèse avec vous. Je souhaite vraiment à tous les futurs doctorants d'avoir la chance de travailler avec des personnes comme vous, car apprendre à vos côtés pendant ces trois années de thèse a été pour moi un véritable plaisir.

Je voudrais particulièrement souligner le cadre de travail que j'ai pu avoir pendant ces années de thèse. Les excellents rapports humains, la bonne humeur et la sincérité de tous les membres de l'équipe ont été essentielles pour que je puisse m'épanouir pleinement dans mon travail. Dans ce sens, je voudrai particulièrement remercier Audrey Martin, pour avoir l'oreille attentive aux petits malheurs des doctorants et pour trouver les mots justes lors des périodes de doutes. Je remercie également le duo Denis Barataud et Guillaume Neveux pour leur investissement et leur soutien technique et pratique. Je n'oublie pas Marie-Claude Lerouge, notre super secrétaire, pour son efficacité, son professionnalisme et surtout sa patience.

Je remercie également tous mes compères et colocataires de la RF. Bien sûr, merci à Pierre dit « *le papa du bench* ». Si tu rappelles lorsqu'on s'est connu en licence ce n'était pas

gagné pour qu'on retrouve ensemble en thèse avec Jean-Michel. Aujourd'hui, je ne regrette pas d'avoir pris un peu plus de temps que toi pour arriver en thèse afin de pouvoir travailler avec toi. Merci à toi pour ta motivation, ta passion, ton soutien inestimable et surtout pour les grandes parties de rigolades. Merci également à Kris Port pour son léger côté intrusif. J'en profite également pour dire adieu à « la fouine » qui comme j'ai cru comprendre va devoir nous quitter. A Julien, dit « *le papa du bonding de 50cm* », pour ton humour, ta gentillesse et surtout pour m'avoir supporté pendant mes moments de panique. Je te souhaite tout le meilleur car tu le mérites vraiment. A Agostino dit « *le papa des pièges* », pour ton chauvinisme à l'italienne, pour ton accent ravageur et surtout pour ta gentillesse et tous les bons moments passés ensemble en dehors du laboratoire. On retiendra surtout ta phrase mythique « C'est les pièges ça ! » (Il faut quand même imaginer l'accent). A Karthik, mon ami, dont son prénom est devenu indissociable de la petite chanson : « Karthik thik thik thik little » je vais m'arrêter là. Merci à toi pour ta bonne humeur, ton humour, ton ouverture d'esprit et surtout pour tous les supers moments qu'on a passé ensemble en dehors du laboratoire notamment le jour où tu m'a fait goûter ton poulet à l'indienne (rien que d'y penser j'ai la goutte au nez). Clément, pour les discussions que nous avons eues, et les bonnes soirées passées ensemble. Lotfi dit « *le papa de Matlab* », merci pour ta bonne humeur et pour les bons moments passés au load-pull. Bon courage à toi pour la suite, même si ton banc c'est un peu de l'amateurisme. Etienne pour ces pauses café hors du temps et complètement hors contexte (notamment sur notre sujet favori les Scénic bien sûr !!!), et bien sûr pour tous les moments passés ensemble à l'extérieur. Je tiens remercier Yoan et Johan pour leur bonne humeur et leur extrême gentillesse. Je terminerai par toi, Nicolas. On se connaissait depuis un petit moment mais c'est pendant ces trois ans qu'on a vraiment appris à se connaître et s'apprécier, aujourd'hui je dois t'avouer que le fait que nos routes doivent se séparer m'affecte quelque peu, mais j'espère vraiment que l'on continuera à passer encore de bons moments ensemble, le plus souvent possible. Merci d'être tout simplement toi et je souhaite vraiment tout le meilleur (à condition que l'on survive au saut en parachute).

J'ai également une petite pensée pour tous mes « vieux » amis, Keke, Bebe et Aude qui je sais n'auraient même pas mis une pièce de un centime sur moi il y a huit ans de ça, mais qui sont encore et toujours là aujourd'hui.

Je voudrais également adresser un petit clin d'œil à Monsieur Patrick Restoin, président directeur général du Bistrot des Ruchoux, pour m'avoir accueilli moi et l'ensemble de mes compagnons de recherche pratiquement tous les midis pour un petit café et des parties de baby-foot endiablées. Merci pour ta gentillesse, ton humour et pour ces grandes discussions philosophiques notamment sur les « trous noirs ».

Je tiens forcément à dédier cette thèse à ma famille, et plus particulièrement à mon père et à ma mère, qui ont toujours cru en moi et qui n'ont jamais cessé de me soutenir notamment pendant mes années d'études universitaires qui n'ont pas toujours été faciles. Finalement, votre fils a enfin fini ces études et il ne fera pas les manchons chez Sogeca toute sa vie même si ce n'était pas si terrible que ça. Merci également à toute la famille « Ayres » pour leur gentillesse et leur soutien.

A Anne qui est finalement le point de départ de toute cette aventure, car sans toi je n'en serai certainement pas là aujourd'hui. Partager mon quotidien, m'apporter ton soutien, ta douceur et ton calme, ainsi que supporter ma phrase mythique « J'écris une thèse moi ! » sont autant de choses qui me permettent aujourd'hui d'être épanoui et d'envisager notre futur sereinement.

Table des matières

Chapitre I : La fonction amplification de puissance dans un système de transmission RF	14
I.1) Introduction	14
I.2) Rôle de l'amplificateur de puissance RF dans un système de transmission RF	15
I.3) Evolutions requises pour la partie émission des systèmes de transmission	15
I.3.1) La miniaturisation	15
I.3.2) La flexibilité	17
I.3.3) La sobriété énergétique	17
I.4) Caractéristiques principales et problématiques de l'amplification de puissance RF	19
I.4.1) Présentation générale	19
I.4.2) Représentation du fonctionnement et caractéristiques de puissance.	20
I.4.3) Les classes de fonctionnement	26
I.4.3.1) Classes de fonctionnement sinusoïdales	26
I.4.3.2) Contrôle des impédances de fermeture aux harmoniques	29
I.4.4) Linéarité	30
I.4.4.1) Fonctionnement linéaire de l'amplificateur à bas niveau.	30
I.4.4.2) Fonctionnement non-linéaire de l'amplificateur à fort niveau.	32
I.4.4.3) Les effets mémoire	35
I.4.4.4) Les critères de linéarité	38
I.4.5) Problématique de l'amplification de puissance opérant avec des signaux à enveloppe variable	41
I.4.5.1) Définitions principales des puissances	41
I.4.5.2) Antagonisme entre le rendement et la linéarité	44
I.5) L'apport du nitrure de gallium (<i>GaN</i>)	45
I.5.1) Propriétés intrinsèques du matériau GaN	45
I.5.1.1) Largeur de bande interdite (E_g)	46
I.5.1.2) Champ critique (E_{crit})	46
I.5.1.3) Mobilité et vitesse des porteurs	47
I.5.1.4) Densités de porteurs et de courant	47
I.5.1.5) Conductivité thermique (K_{th})	48
I.5.2) Les transistors HEMT GaN	49
I.5.2.1) D-mode HEMT GaN (normalement à l'état ON)	49
I.5.2.2) E-mode HEMT GaN (normalement à l'état OFF)	50
I.5.3) Le GaN pour les applications hyper-fréquences	53
I.5.4) Le GaN pour les applications de gestion d'alimentation (régime de commutation)	54
I.6) Conclusion	57
Chapitre II : Techniques de gestion de la ressource d'énergie pour les amplificateurs de puissance hyperfréquence.	58
II.1) Introduction	58
II.2) Evolution des architectures d'amplification de puissance à haut rendement bande étroite vers large bande haut rendement	58
II.3) Architecture d'amplification avec couplage et combinaison de puissance de deux transistors	61
II.3.1) Technique de modulation de charge: Architecture Doherty	61
II.3.1.1) Présentation de l'architecture	61
II.3.1.2) Principe de fonctionnement	62

II.3.1.3) Limitation en bande passante	67
II.3.2) Technique LINC et Outphasing	69
II.3.2.1) Principes communs	69
II.3.2.2) Combinaison de puissance des signaux	73
II.3.2.2.a) Combinaison isolée : Technique LINC	73
➤ Circuits de combinaison.....	74
➤ Bilan global : linéarité/rendement.....	75
➤ Quelques travaux d'amélioration du rendement d'un système LINC avec combineur isolé.	78
II.3.2.2.b) Combineur non-isolé : Outphasing	85
➤ Circuits de combinaison.....	85
➤ Quelques travaux d'amélioration du rendement	92
II.3.3) Doherty-Outphasing continuum.	97
II.4) Technique de modulation dynamique de tension de polarisation	100
II.4.1) Polarisation dynamique de grille.....	100
II.4.1.1) Principe.....	100
II.4.1.2) Quelques travaux relatifs à cette technique.....	102
II.4.2) Polarisation dynamique de drain	103
II.4.2.1) Principe.....	103
II.4.2.2) Quelques travaux relatifs à cette technique.....	106
II.4.3) Association de la polarisation dynamique de grille et de drain.....	114
II.5) Conclusion.....	118
Chapitre III : Conception d'un amplificateur GaN 25 W en bande S optimisé pour la polarisation dynamique.	
III.1) Introduction.....	120
III.2) Le transistor Cree	121
III.3) Le substrat RF	121
III.4) Procédure de conception	123
III.5) Analyse DC.....	123
III.6) Conception des circuits de polarisation	124
III.6.1) Particularités des circuits de polarisation pour les architectures à polarisation dynamique	124
III.6.2) Conception des circuits de polarisation	125
III.7) Analyse de la stabilité petit signal	127
III.8) Conception du réseau d'adaptation d'entrée et de sortie	130
III.9) Analyse de stabilité non-linéaire.....	137
III.10) Présentation de l'amplificateur de puissance.....	140
III.11) Résultats de simulation et d'expérimentation.	140
III.11.1) Résultats de simulation et d'expérimentation en petit signal.....	140
III.11.2) Résultats de simulation et d'expérimentation en fort signal (CW).....	141
III.12) Conclusion	144
Chapitre IV : Conception d'un modulateur de polarisation haute fréquence de type DC/DC Boost en technologie GaN.....	
IV.1) Introduction.....	146
IV.2) Présentation et principe de fonctionnement de la topologie Boost.....	147
IV.2.1) Mode de fonctionnement continu CCM	148
IV.2.2) Mode de fonctionnement discontinu DCM	150
IV.2.3) Limite entre le mode CCM et le mode DCM	152

IV.2.4) Analyse d'un convertisseur DC/DC Boost non-idéal	153
IV.3) Conception et réalisation d'un convertisseur DC/DC Boost haute fréquence.....	163
IV.3.1) Conception du driver de grille en technologie GaN et génération du signal PWM	163
IV.3.1.1) Topologie et principe	164
IV.3.1.2) Effet de seuil et génération du signal PWM	169
IV.3.2) Implémentation du modulateur d'alimentation haute fréquence en technologie GaN	171
IV.3.2.1) Sélection et dimensionnement des composants du driver de grille	171
IV.3.2.1) Sélection et dimensionnement des composants du convertisseur DC/DC Boost.....	172
IV.3.2.2) Réalisation du modulateur d'alimentation (<i>driver de grille et convertisseur DC/DC Boost</i>)	178
IV.3.3) Mesure du modulateur d'alimentation	179
IV.3.3.1) Mesures et caractérisation du driver de grille.....	180
IV.3.3.2) Mesures statiques du modulateur d'alimentation	183
IV.3.3.3) Mesures dynamiques du modulateur d'alimentation	185
IV.4) Conclusion	187
Chapitre V : Polarisation dynamique de drain et de grille d'un amplificateur RF GaN appliquée à un fonctionnement RF impulsionnel à plusieurs niveaux.....	
V.1) Banc de mesures temporelles d'enveloppe	189
V.1.1) Etalonnage du banc d'enveloppe	190
V.1.2) Validation de la procédure d'étalonnage	191
V.2) Définition du signal de test utilisé.....	193
V.3) Mesures et comparaison entre un fonctionnement de l'amplificateur à polarisation fixe et un fonctionnement à polarisation dynamique	193
V.4) Application d'une impulsion étroite sur la polarisation de grille pour limiter les effets transitoires.	198
V.5) Conclusion	203
Conclusion générale et perspectives	204
Bibliographie.....	207

Introduction générale

Les systèmes de transmission de l'information connaissent un essor considérable et sont intégrés dans la plupart des systèmes électroniques modernes pour répondre à un besoin de connectivité sans cesse croissant. Devant la multitude d'applications concernées, les systèmes de transmission doivent s'adapter de plus en plus aux exigences de systèmes multi-fonctions et multi-standards.

Dans ce sens, les systèmes de transmission sont amenés à évoluer vers une miniaturisation des segments analogiques hyper fréquence, une flexibilité en fréquence et en puissance, ainsi qu'une minimisation de l'énergie consommée sous contrainte d'une intégrité acceptable des signaux utiles transmis. L'allocation très concurrentielle et coûteuse de l'espace fréquentiel force une évolution des systèmes de transmission vers un fonctionnement large bande et haute fréquence. La diversité des signaux utiles selon les applications a comme caractéristique commune et prépondérante l'optimisation de l'efficacité spectrale. Elle impose des spécifications, des critères de linéarité et des facteurs de mérite très contraignants pour l'optimisation en consommation d'énergie des architectures de terminaux hyper-fréquences.

De manière plus spécifique, le segment analogique d'émission hyper fréquence et plus particulièrement la fonction amplification de puissance RF, qui constitue le cœur de ce travail de recherche, est un des éléments clef de l'évolution des systèmes de transmission. Le critère d'efficacité énergétique de l'amplificateur de puissance RF peut être considéré comme une priorité, car il impacte fortement les problématiques de gestion thermique, de fiabilité et de dimensionnement. En présence de puissances (*de l'ordre de la dizaine de watts*), l'agilité fréquentielle de la fonction amplification de puissance RF associée à des pertes minimales, devient un critère difficile à satisfaire. Dans ce contexte d'applications à forte puissance et large bande, l'évolution de la fonction d'amplification de puissance RF s'accompagne d'une montée en fréquence de travail afin d'utiliser des bandes de fréquence disponibles et atteindre de forts niveaux de compacité. Ce dernier point oriente significativement la recherche autour de la technologie GaN qui présente des performances théoriques remarquables comparées à celles de ces concurrents. Elle permet d'adresser conjointement des fonctions de commutation de puissance et d'amplification microondes.

L'enjeu majeur se situe dans la recherche d'architectures innovantes permettant de maintenir un rendement énergétique élevé sur une large dynamique de puissance de sortie (*supérieure à 10dB*), tout en gardant une bonne flexibilité de fonctionnement. Dans ce sens, la fonction amplification de puissance se voit intégrer des fonctions extérieures telles que le conditionnement des signaux en bande de base, les circuits drivers ou les alimentations agiles. L'ensemble de ces fonctions nécessite une conception conjointe et intégrée pour maximiser la conversion d'énergie continue (*DC*) en énergie utile (*RF*) en fonction du signal à transmettre. L'association de circuit de puissance travaillant à des fréquences différentes pose dans ce cas un problème de couplage non-linéaire complexe. L'association de fonctions autour de l'amplificateur est un facteur de complexité supplémentaire pour obtenir de bonnes performances en flexibilité, linéarité et consommation globale. Les performances dynamiques

et le maintien de la stabilité du système s'articulent autour d'une gestion rigoureuse des bandes passantes des signaux continus, basse fréquence (« *bande vidéo* ») et haute fréquence (« *porteuse microondes et harmoniques* »).

Dans cette problématique générale de circuits analogiques microondes non-linéaires, ces travaux proposent une contribution à la gestion de la ressource énergétique de la fonction amplification de puissance, qui s'inscrit dans une continuité des travaux de recherche dans le domaine du laboratoire Xlim concernant la conception de circuits analogiques hyper fréquence et le développement de banc de mesure dédié à la validation de démonstrateur. Ces travaux de recherche intitulés : « *Polarisation dynamique de drain et de grille d'un amplificateur RF GaN appliquée à un fonctionnement RF impulsif à plusieurs niveaux.* » sont focalisés sur l'approfondissement de la problématique de couplage non-linéaire entre un amplificateur de puissance RF et un module d'alimentation agile et proposent des solutions originales pour le pilotage de grille de la fonction commutation de puissance en technologie GaN. Cet ensemble contribue à l'investigation de solutions de modulation de puissance à haut rendement et est applicable dans le cas présent à des applications de type radar. Le démonstrateur réalisé et validé expérimentalement peut trouver un intérêt dans l'amélioration du rendement énergétique d'un système d'antennes agiles à haute efficacité spectrale.

Ce mémoire s'articule en cinq chapitres.

Le **premier chapitre** est consacré à la présentation générale de la fonction amplification de puissance hyper fréquence. Après une présentation générale des principales évolutions requises pour le segment analogique d'émission, nous détaillerons les caractéristiques principales et les problématiques de l'amplification de puissance RF. Nous aborderons notamment la problématique de l'amplification de puissance opérant avec des signaux à enveloppe variable en précisant l'antagonisme rendement/linéarité. Ce chapitre se terminera par une étude bibliographique sur la technologie HEMT GaN permettant de mettre en évidence son intérêt pour les futures générations de systèmes d'émission.

Dans le **deuxième chapitre**, sera exposée une synthèse de l'état de l'art à propos de la gestion de la ressource énergétique des amplificateurs de puissance hyper fréquence en se focalisant sur trois techniques d'amélioration du rendement énergétique (*Doherty*, *Outphasing* et *polarisation dynamique*). En gardant un fil conducteur articulé autour du compromis rendement / bande passante / linéarité, nous dégagerons l'intérêt et les points critiques de chaque architecture de la manière la plus synthétique possible.

Nous présentons, dans le **troisième chapitre**, la conception d'un amplificateur de puissance 25W large bande en technologie GaN. La démarche de conception spécifique à une implémentation d'un système de polarisation de drain dynamique sera détaillée et une attention particulière sera portée à l'obtention d'un bon compromis rendement/bande passante. Le démonstrateur réalisé sera finalement mesuré.

Le **quatrième chapitre** concernera la réalisation d'un modulateur de polarisation de drain en technologie GaN. La topologie de convertisseur DC/DC Boost sera particulièrement détaillée pour exposer clairement les problématiques de la conversion DC/DC haute fréquence ainsi que les points de conception importants liés à la technique de polarisation dynamique. Le travail original et spécifique de ce chapitre concernera la conception d'un circuit driver de grille en technologie GaN. Nous présenterons l'implémentation du modulateur de polarisation en détaillant le choix des composants, puis nous réaliserons des mesures statiques et dynamiques pour valider le démonstrateur.

Enfin, le **dernier chapitre** proposera une caractérisation dynamique appliquée à un fonctionnement RF impulsif multi-niveaux du système complet « amplificateur de puissance RF associé au modulateur de polarisation de drain ». L'apport énergétique du démonstrateur ainsi que l'analyse du couplage non-linéaire entre l'amplificateur RF et le modulateur de polarisation seront mis en évidence expérimentalement grâce à un banc de mesure temporel d'enveloppe développé spécifiquement. Finalement, une implémentation de la technique de polarisation dynamique de grille sera réalisée afin d'assister et atténuer les effets de couplage non-linéaire.

Pour terminer ce manuscrit, une conclusion générale présentera l'ensemble des travaux réalisés et ouvrira ce travail aux perspectives de recherche associées.

Chapitre I : La fonction amplification de puissance dans un système de transmission RF.

I.1) Introduction

L'évolution constante des systèmes de transmission de l'information et des systèmes radar requiert une compacité des segments analogiques, une flexibilité en fréquence et en puissance, ainsi qu'une minimisation de l'énergie consommée sous contrainte d'une intégrité acceptable des signaux utiles transmis. Pour la partie émission d'un système de transmission qui constitue le contexte général de ce travail de thèse, on peut relever trois aspects fondamentaux caractéristiques des évolutions incontournables.

La miniaturisation en présence de niveaux de puissance importants (*de l'ordre de la dizaine de watt*) induit un facteur essentiel qui est la densité de puissance et l'accroissement des fréquences de fonctionnement. La technologie GaN offre des propriétés exceptionnelles en ce sens.

La flexibilité d'un émetteur sous-entend un fonctionnement relativement large bande ou multi-bandes pour adresser des applications multi-standards ou multi-fonctions. Elle induit la nécessité de prendre en compte conjointement différentes fonctions telles que l'amplification, le filtrage, les alimentations et le conditionnement des signaux pour la conception de la fonction génération de puissance RF en émission.

La minimisation de l'énergie consommée sous contrainte de la linéarité requiert une prise en compte des caractéristiques de variations de puissance des signaux modulés utiles afin d'adapter la consommation DC au minimum nécessaire pour chaque niveau de puissance RF requis.

Dans ce contexte général, ce premier chapitre propose en premier lieu une présentation synthétique de la position de l'amplificateur de puissance au sein d'une chaîne de transmission et illustre par quelques points importants les enjeux essentiels attendus pour l'évolution vers les générations futures de systèmes de transmission RF.

Ensuite, les caractéristiques principales et les critères de performances de l'amplificateur de puissance et de sa cellule active (*qui est le transistor*) seront présentés. La problématique de l'antagonisme entre les performances en efficacité énergétique et la linéarité sera exposée.

Finalement, les atouts majeurs de la technologie GaN pour répondre à la conception d'architectures d'amplification de puissance innovantes, seront présentés.

I.2) Rôle de l'amplificateur de puissance RF dans un système de transmission RF

La chaîne de transmission radiofréquence est l'élément central des systèmes de communication. Elle permet l'échange d'information à travers un canal de transmission, qui est l'espace libre dans le cadre de communications sans fil. Cette chaîne de transmission, présente dans de nombreux systèmes électroniques embarqués, couvre un large spectre d'applications (*Radiocommunications, Télécommunications, Spatiales, Radar, Médical, Réseaux de capteurs...*) et comprend une partie émission et une partie réception.

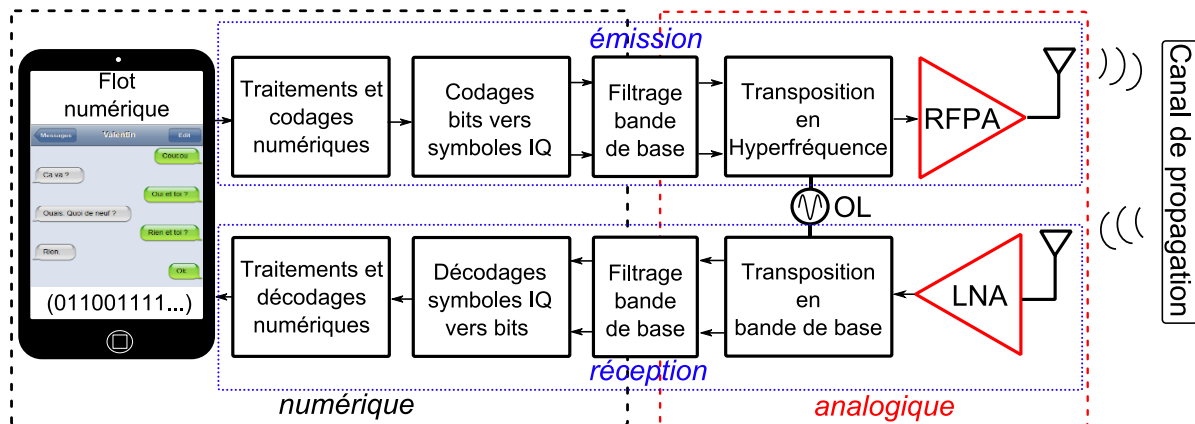


Figure I-1 : Structure simplifiée d'une chaîne de transmission radiofréquence.

Comme on peut le constater dans la Figure I-1, l'amplificateur de puissance haute-fréquence (*RFPA*) est le dernier élément actif et analogique de la chaîne d'émission. Son rôle est de fournir suffisamment de puissance au signal contenant l'information pour qu'il puisse être émis par l'antenne, se propager à travers le canal, être détecté et reconnu par le récepteur.

De par son rôle et sa position dans la chaîne d'émission, l'amplificateur de puissance constitue un sujet de recherche à part entière car la fonction amplification de puissance haute fréquence reste aujourd'hui une fonction très contraignante et limitante des systèmes de communication, en termes de miniaturisation, de gestion thermique, d'agilité et de consommation énergétique.

Le contexte de ces travaux de recherche concerne uniquement la partie émission et plus particulièrement l'amplificateur de puissance, qui est l'élément critique du point de vue de la consommation d'énergie. Il fait l'objet de nombreuses études afin d'optimiser globalement le compromis rendement électrique / linéarité / bande passante.

I.3) Evolutions requises pour la partie émission des systèmes de transmission

I.3.1) La miniaturisation

Aujourd'hui, le marché du « *tout intégré et tout connecté* », est la principale cause de la miniaturisation des systèmes de transmission. Comme le représente la Figure I-2, les

dimensions des composants ne cessent de diminuer, permettant ainsi une augmentation des fréquences de coupure et donc une montée en fréquence d'utilisation.

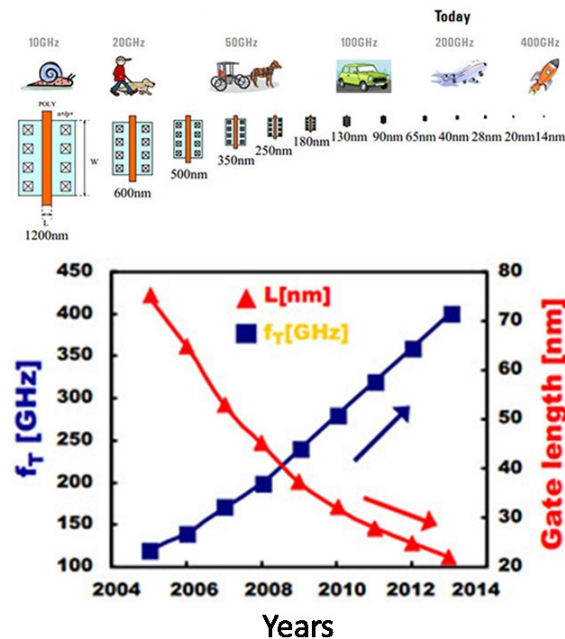


Figure I-2 : Evolution de la taille des composants électroniques associée à l'évolution des fréquences de coupure [1].

Comme la plupart des dispositifs électroniques, l'amplificateur de puissance voit ses dimensions réduire et ses fréquences de travail augmenter significativement. La densité de puissance est un facteur fortement lié à la miniaturisation des amplificateurs de puissance haute fréquence.

Typiquement, l'état de l'art des cellules amplificatrices, comme représenté Figure I-3 et décrit dans [2], atteint des surfaces de l'ordre de la dizaine de mm^2 pour des densités de puissance atteignant $1\text{W}/\text{mm}^2$ à des fréquences de travail de 30 GHz.

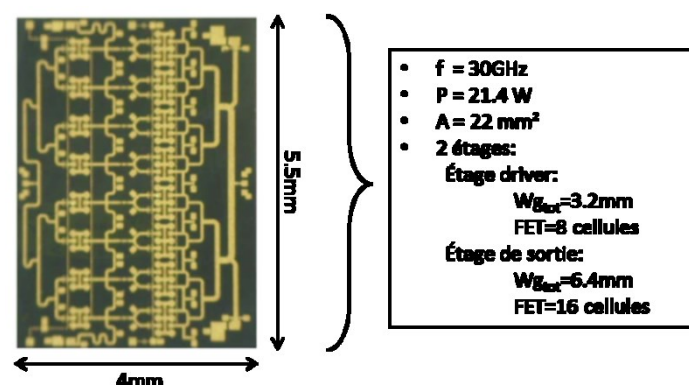


Figure I-3 : Exemple de cellule amplificatrice ultra-intégrée à forte densité de puissance [2].

I.3.2) La flexibilité

La reconfigurabilité des dispositifs est un critère essentiel pour la compétitivité des systèmes de transmission modernes. Afin de réduire les coûts d'exploitation, les systèmes de transmission doivent être flexibles en termes d'applications (« systèmes *multi-standard* » pour les télécommunications, « systèmes *multi-fonctions* » pour les radars ...). Par ailleurs, les systèmes de télécommunications spatiaux embarqués doivent être conçus pour répondre aux évolutions de marché au cours de leur période d'exploitation (*typiquement quinze ans*).

A titre d'exemple, Bouygues Telecom essaye aujourd'hui d'augmenter le débit de son réseau 4G actuel en passant à la 4G++. Comme le représente la Figure I-4, le but est d'utiliser simultanément les trois bandes de fréquence allouées à l'opérateur de façon à augmenter au maximum le débit d'information.



Figure I-4 : Photographie du démonstrateur de Qualcomm fonctionnant pour les fréquences (800-1800-2600 MHz) [3].

La photographie Figure I-4 montre un produit de démonstration non commercialisé à ce jour, capable d'intégrer l'usage trois bandes de fréquence.

Dans la plupart des cas, l'amplificateur de puissance à haut rendement est un des éléments limitant le caractère évolutif des dispositifs de transmission. L'augmentation de sa largeur de bandes de fréquences opérationnelle est devenue aujourd'hui un enjeu majeur afin de répondre aux demandes de flexibilité des systèmes.

I.3.3) La sobriété énergétique

L'augmentation massive des échanges de données a aujourd'hui un impact énergétique non-négligeable. Les télécommunications représentaient une consommation de 6,7 TWh/an en France en 2010 (Figure I-5) [4]. L'efficacité énergétique des dispositifs devient par conséquent un enjeu économique et écologique de premier plan.

Le Numérique et l'Energie

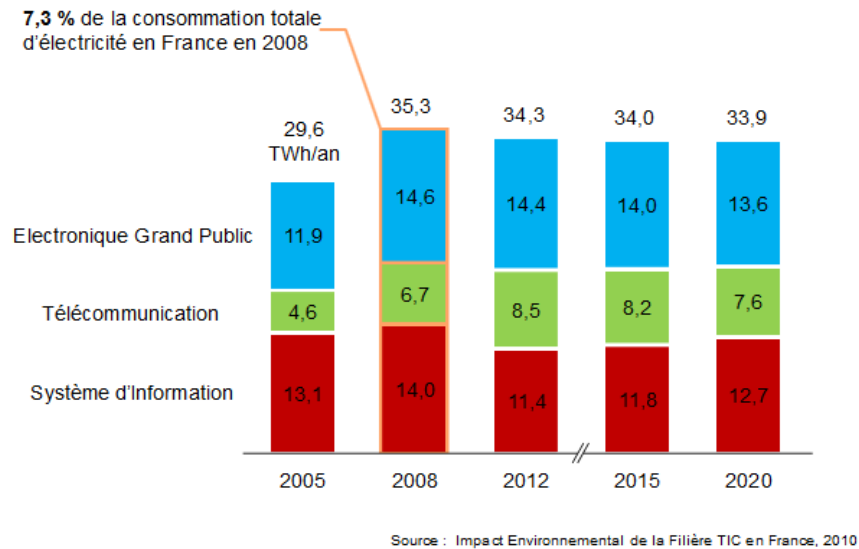


Figure I-5 : Consommation liée aux télécommunications en France [4].

Comme le montre la Figure I-6, l'amplificateur de puissance RF est un gros consommateur d'énergie, représentant 80% de la consommation totale d'une chaîne de transmission. Par conséquent, c'est l'élément critique du bilan énergétique.

Ainsi, l'amélioration du rendement énergétique de l'amplificateur est une priorité très forte, car de mauvaises performances en rendement ont pour conséquence un fort échauffement du composant, entraînant des contraintes de fiabilité, de dissipation thermique et des surcoûts d'exploitation. Cette problématique sera détaillée plus précisément dans le paragraphe suivant.

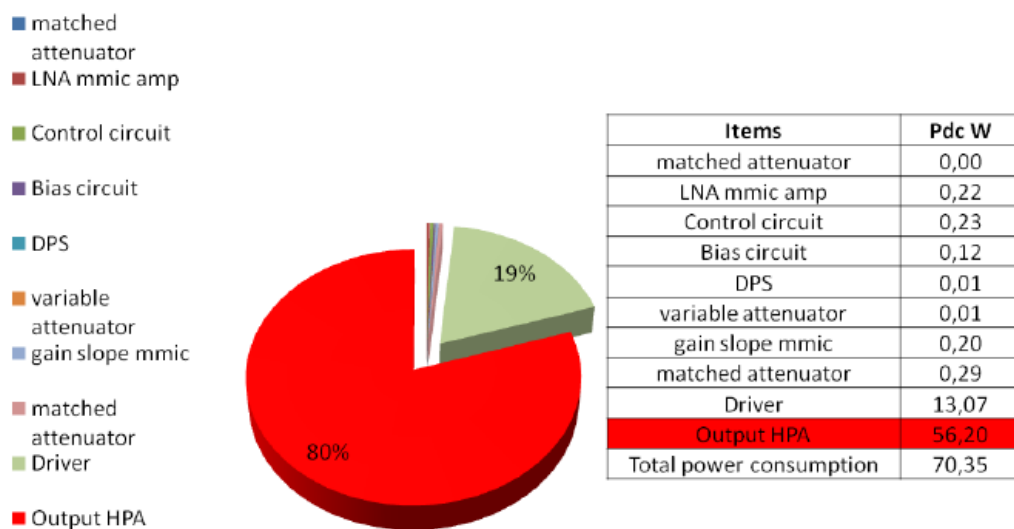


Figure I-6 : Répartition de la consommation de puissance dans une chaîne de transmission [5].

I.4.1) Présentation générale

La cellule active qui est, dans la plupart des applications, un transistor à l'état solide monté en source commune est l'élément principal de l'amplificateur de puissance. Elle va avoir pour rôle d'amplifier le signal d'entrée en convertissant de manière optimale l'énergie d'alimentation DC en énergie RF. Le fonctionnement d'un transistor à effet de champ (FET) peut être modélisé par une source de courant non-linéaire contrôlée en tension et peut être exprimé par l'expression générale suivante :

$$I_{DS}(t) = f_{NL}(V_{GS}(t), V_{DS}(t)) \quad (I-1)$$

Un modèle équivalent simplifié ainsi que le réseau des caractéristiques statiques DC I/V d'un transistor de puissance caractérisant l'effet fondamental sont représentés dans la Figure I-8.

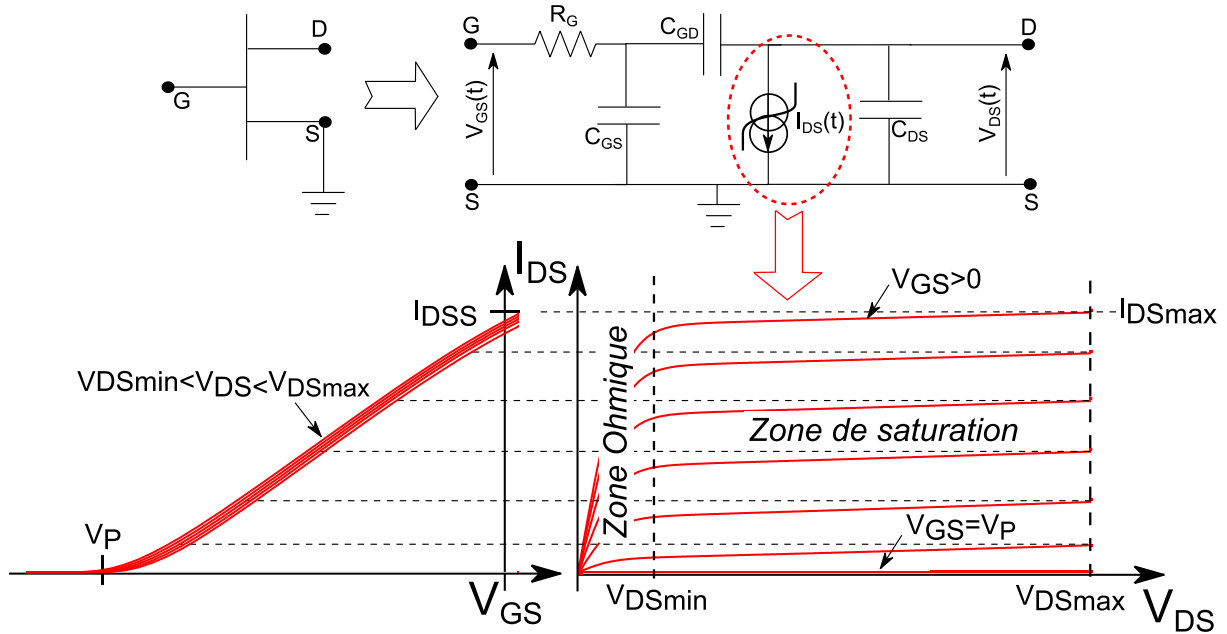


Figure I-8 : Représentation simplifiée du modèle équivalent et des caractéristiques I/V statiques d'un transistor de puissance à effet de champ.

I.4.2) Représentation du fonctionnement et caractéristiques de puissance.

En régime établi, les formes d'ondes non-modulées d'un amplificateur sont périodiques à la fréquence centrale de travail (f_0) et sont représentatives de la porteuse (*Régime CW*). La Figure I-9 représente la répartition des différents courants et tensions mis en jeu dans un amplificateur de puissance.

En considérant que le signal fourni par le générateur $E_g(t)$ est sinusoïdal :

$$V_e(t) = V_e \cdot \cos(w_0 \cdot t + \theta_e) \quad (I-2)$$

$$I_e(t) = I_e \cdot \cos(w_0 \cdot t + \varphi_e) \quad (I-3)$$

et en supposant qu'il n'y ait pas d'élément non-linéaire en entrée (*typiquement C_{GS} est supposée linéaire*) et que le composant soit fortement unilatéral (*aucun effet Miller : C_{GD} négligée*), la tension grille-source aux bornes du transistor est la somme de la composante continue V_{GS0} et de la composante fondamentale V_{GS1} on a :

$$V_{GS}(t) = V_{GS0} + V_{GS1} \cdot \cos(w_0 \cdot t) \quad (I-4)$$

La référence de phase est prise ici sur ce signal qui commande la source de courant contrôlée.

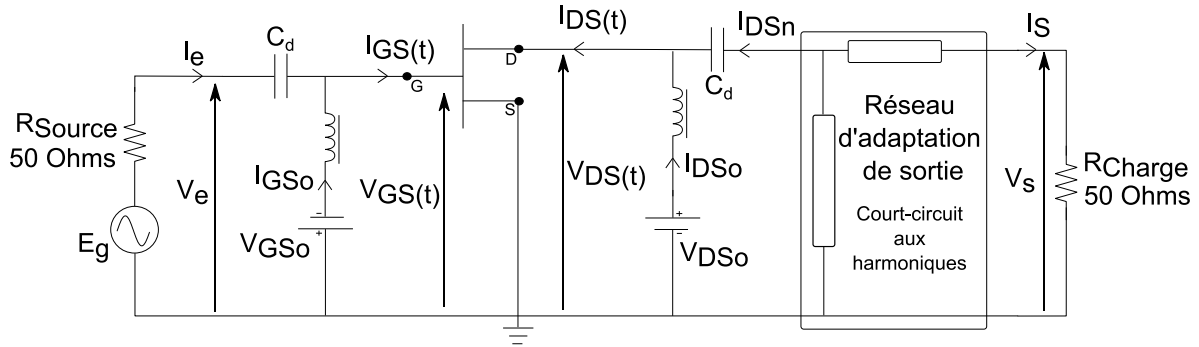


Figure I-9 : Représentation des différents courants et tensions mis en jeu dans un amplificateur de puissance.

A fort niveau, la source de courant de drain du transistor est non-linéaire et engendre une réponse multi-harmonique qui peut être exprimée par une décomposition en série de Fourier :

$$I_{DS}(t) = I_{DS0} + \sum_{n=1}^{\infty} I_{DSn} \cdot \cos(n \cdot \omega_0 \cdot t) \quad (I-5)$$

$$V_{DS}(t) = V_{DS0} + \sum_{n=1}^{\infty} V_{DSn} \cdot \cos(n \cdot \omega_0 \cdot t + \Psi_n) \quad (I-6)$$

Idéalement, les réseaux de polarisation et d'adaptation de sortie vont supprimer les composantes continue et harmoniques des tensions et courants présentes sur la charge, ne laissant apparaître que la composante fondamentale. Par conséquent, les formes d'ondes de sortie peuvent s'exprimer sur une charge purement résistive par:

$$I_S(t) = I_S \cdot \cos(\omega_0 \cdot t + \theta_S) \quad (I-7)$$

$$V_S(t) = V_S \cdot \cos(\omega_0 \cdot t + \theta_S) \quad (I-8)$$

Dans ce cas, on définit les puissances moyennes d'entrée et de sortie aux accès de l'amplificateur à la fréquence centrale (f_0) par les expressions suivantes :

$$P_e (W) = \frac{1}{2} \cdot \text{Re}(\tilde{V}_e \cdot \tilde{I}_e^*) \quad P_e (dBm) = 10 \cdot \log(1000 \cdot P_e (W)) \quad (I-9)$$

$$P_s (W) = \frac{1}{2} \cdot \text{Re}(\tilde{V}_s \cdot \tilde{I}_s^*) \quad P_s (dBm) = 10 \cdot \log(1000 \cdot P_s (W)) \quad (I-10)$$

où $\tilde{V}_e$, $\tilde{I}_e$, $\tilde{V}_s$, $\tilde{I}_s$, sont les amplitudes complexes des signaux d'entrée et de sortie.

Le gain en puissance de l'amplificateur (G_p) qui est le rapport entre la puissance de sortie et la puissance d'entrée s'exprime de la manière suivante:

$$G_p = \frac{P_s(W)}{P_e(W)} \quad G_p (dB) = P_s (dBm) - P_e (dBm) \quad (I-11)$$

Pour de très faibles niveaux d'entrée, l'amplificateur se comporte comme un système linéaire et il est alors possible de définir son gain linéaire G_{pLin} :

$$G_{pLin} = \lim_{Pe \rightarrow 0} [G_p] \quad (I-12)$$

Cependant, le gain en puissance de l'amplificateur est une fonction non-linéaire qui dépend de la puissance d'entrée. En d'autres termes, lorsque la puissance d'entrée augmente, les formes temporelles des tensions et des courants de sortie du transistor sont distordues et contraintes en valeur crête à crête par les limites naturelles du composant ($0 < I_{DS} < I_{DSmax}$ et $V_{DSmin} < V_{DS} < V_{DSmax}$) comme indiqué dans la Figure I-8. Par conséquent, la puissance de sortie atteint un maximum qui est appelé la puissance maximale de saturation. Le gain en puissance va décroître au fur et mesure que la puissance d'entrée va augmenter, c'est ce que l'on nomme la zone de compression de gain.

Les courants et tensions de sortie d'un transistor, pour différents niveaux de puissance d'entrée (Pe) sont illustrés Figure I-10, dans le cas où les harmoniques de la tension de sortie sont chargées par des courts-circuits idéaux dans le plan de la source de courant intrinsèque I_{DS} .

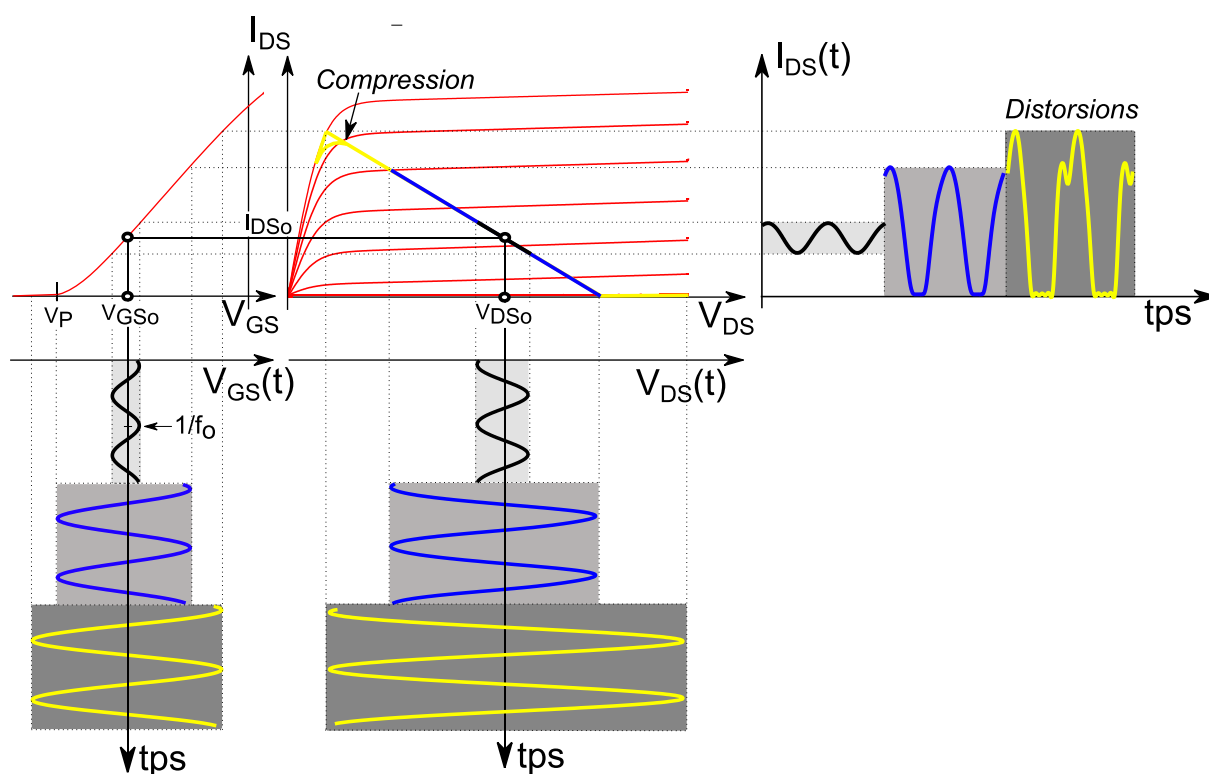


Figure I-10 : Représentation du fonctionnement d'un transistor de puissance en fonction du niveau de puissance d'entrée (les impédances de fermeture aux harmoniques sont des courts-circuits).

En toute généralité, on considère l'amplificateur de puissance comme représenté dans la Figure I-11.

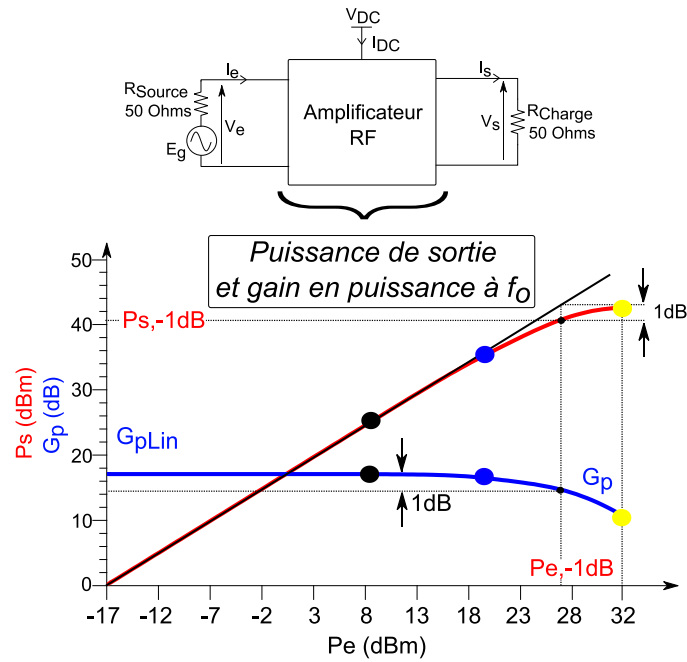


Figure I-11 : Caractéristiques statiques de gain en puissance (dB) et de puissance de sortie (dBm) au fondamental d'un amplificateur RF en fonction de la puissance d'entrée (dBm).

Dans ce cas et conformément aux équations décrites précédemment, nous observons deux zones particulières de gain en puissance (Figure I-11). Une zone linéaire pour les faibles puissances d'entrée et une zone dite de compression pour les fortes puissances. Le point de puissance d'entrée, correspondant à une compression du gain en puissance linéaire de 1dB ($P_{e,-1dB}$), est un point particulier qui permet aux concepteurs de démarquer la zone dite « quasi-linéaire » de la zone « fortement non-linéaire ».

D'un point de vue énergétique et en considérant que le réseau d'adaptation de sortie est idéalement sans pertes, le bilan de puissance de l'amplificateur est schématisé Figure I-12. La conversion de la puissance DC en puissance RF implique qu'une partie de la puissance fournie est perdue et dissipée dans la cellule active, on parle alors de puissance dissipée ($P_{dissipée}$) par effet joule.

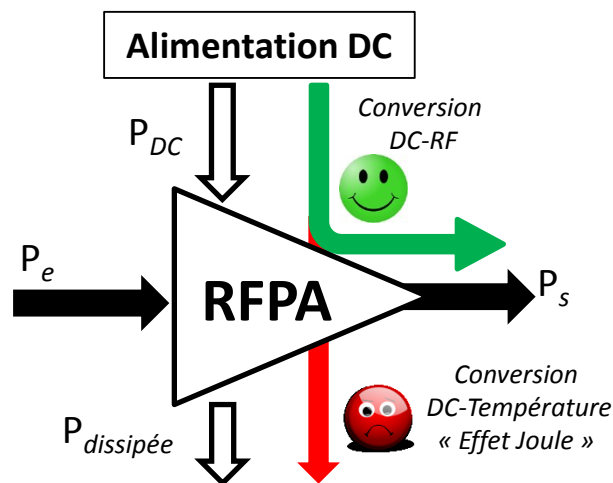


Figure I-12 : Bilan de puissance de l'amplificateur de puissance RF.

En considérant P_{DC} comme étant la puissance moyenne consommée et délivrée par les alimentations DC, on peut établir le bilan de puissance suivant:

$$P_e(W) + P_{DC}(W) = P_s(W) + P_{dissipée}(W) \quad (I-13)$$

$$\text{avec } P_{DC}(W) = V_{DS0} \cdot I_{DS0} + |V_{GS0} \cdot I_{GS0}| \approx V_{DS0} \cdot I_{DS0}$$

Si l'on considère que la majeure partie de la puissance dissipée est localisée à la sortie du transistor entre le drain et la source, on peut alors l'exprimer par:

$$P_{dissipée_moy} \approx \frac{1}{T} \cdot \int_0^T p(t) \cdot dt \quad (I-14)$$

où $p(t) = V_{DS}(t) \cdot I_{DS}(t)$ représente la puissance instantanée. $V_{DS}(t)$ et $I_{DS}(t)$ sont les tensions et courants intrinsèques de drain. Une image de la puissance dissipée dans le transistor va être représentée graphiquement par la surface de chevauchement des tensions et des courants de drain intrinsèques du composant actif (Figure I-13).

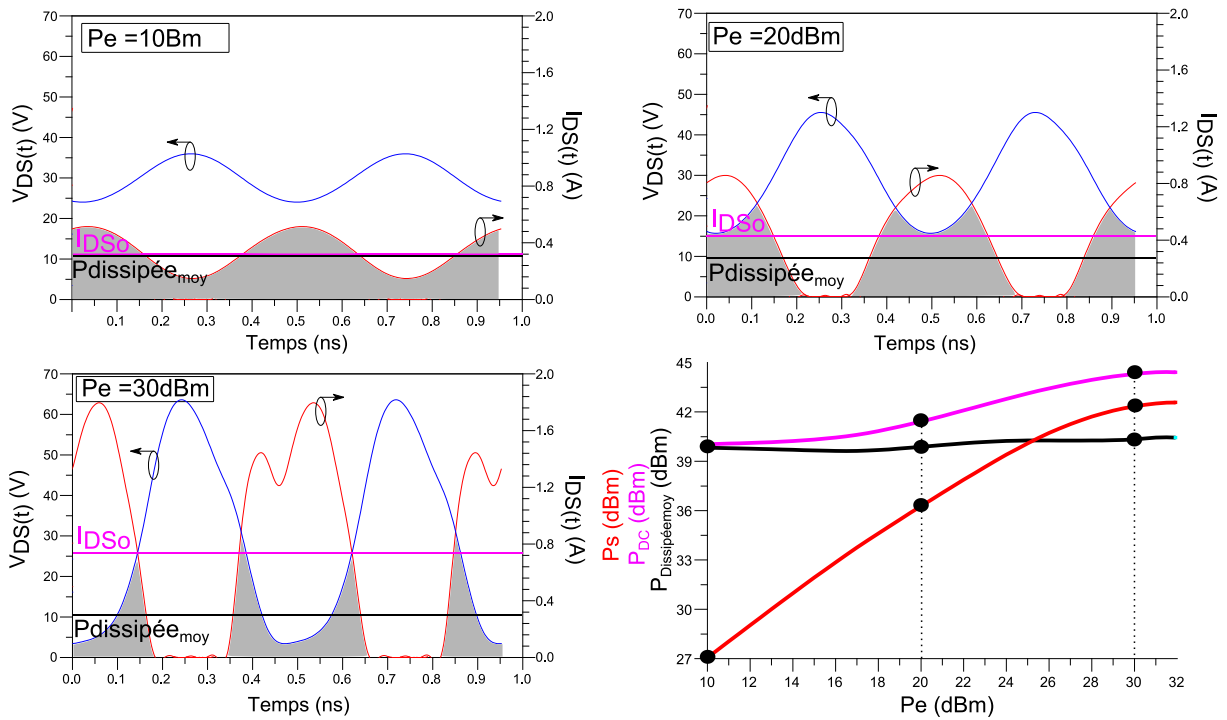


Figure I-13 : Evolution des formes d'ondes intrinsèques et des différentes puissances en fonction du niveau de puissance d'entrée.

On observe que pour les faibles niveaux d'entrée, la puissance dissipée est pratiquement équivalente à la puissance d'alimentation. Lorsque la puissance d'entrée augmente, la puissance consommée augmente bien plus significativement que la puissance dissipée, ce qui signifie que l'amplificateur convertit l'énergie (DC) en énergie utile (RF) plus efficacement.

On peut alors introduire la notion de rendement énergétique. Le rendement de drain s'exprime alors :

$$\eta_{\text{drain}}(\%) = \frac{P_s(W)}{P_{DC}(W)} \cdot 100 \quad (\text{I-15})$$

Ce critère est souvent utilisé dans les applications basse fréquence car le gain en puissance des amplificateurs est suffisamment important pour que la contribution de la puissance d'entrée soit négligeable. Afin de prendre en compte le fait que le gain en puissance de l'amplificateur diminue en haute fréquence et à fort niveau, le rendement en puissance ajoutée (*PAE : Power Added Efficiency*) est utilisé et exprimé par :

$$\eta_{\text{ajouté}}(\%) = \frac{P_s(W) - P_e(W)}{P_{DC}(W)} \cdot 100 \quad (\text{I-16})$$

Cette grandeur est une notion majeure qui dépend de nombreux facteurs extérieurs tels que la fréquence de travail, le type de signal d'entrée, la polarisation, la charge présentée en sortie ou encore la température ...

L'ensemble des caractéristiques élémentaires de l'amplificateur de puissance RF décrites précédemment est par conséquent dépendant du niveau de puissance (Figure I-14). On différencie deux zones de fonctionnement :

- *Petit niveau (faibles puissances d'entrée) : l'amplificateur a un comportement linéaire (gain en puissance constant), mais il a un rendement énergétique très faible.*
- *Fort niveau (fortes puissances d'entrée) : l'amplificateur atteint sa zone de compression (diminution du gain / puissance de sortie maximale), il devient alors non-linéaire. Le rapport de proportion entre la puissance de sortie et la puissance d'entrée au fondamental n'est plus conservé. Cependant, c'est dans cette zone que le rendement énergétique est maximal.*

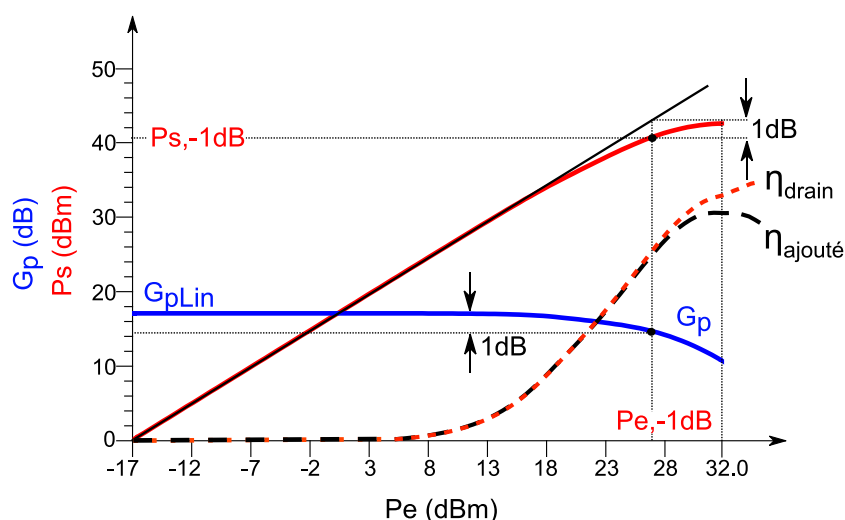


Figure I-14 : Caractéristiques statiques principales d'un amplificateur de puissance.

L'amplificateur de puissance RF est donc un dispositif actif particulièrement complexe, dans la mesure où les notions de rendement énergétique et de linéarité sont clairement antagonistes.

I.4.3) Les classes de fonctionnement

L'ensemble des performances d'un amplificateur est étroitement lié à son mode de fonctionnement. Les classes de fonctionnement permettent de distinguer différents types de configurations. Elles sont fonction de la sélection du point de polarisation et du choix des impédances de fermetures aux harmoniques.

I.4.3.1) Classes de fonctionnement sinusoïdales

Les classes de fonctionnement sinusoïdales sont utilisées pour définir et catégoriser un amplificateur de puissance en fonction de son point de polarisation, en considérant que les impédances de fermeture du transistor aux fréquences harmoniques sont des court-circuits. L'identification du point de polarisation de repos peut être effectuée en termes d'angle de conduction du transistor (ρ) qui est lié à la tension de polarisation grille-source du transistor. ρ représente le temps sur une période du signal RF, pendant lequel le courant de drain est non-nul comme représenté dans le Figure I-15. La caractéristique ($I_{DS}=f(V_{GS})$) du transistor est ici considérée linéaire par morceaux et indépendante de V_{DS} .

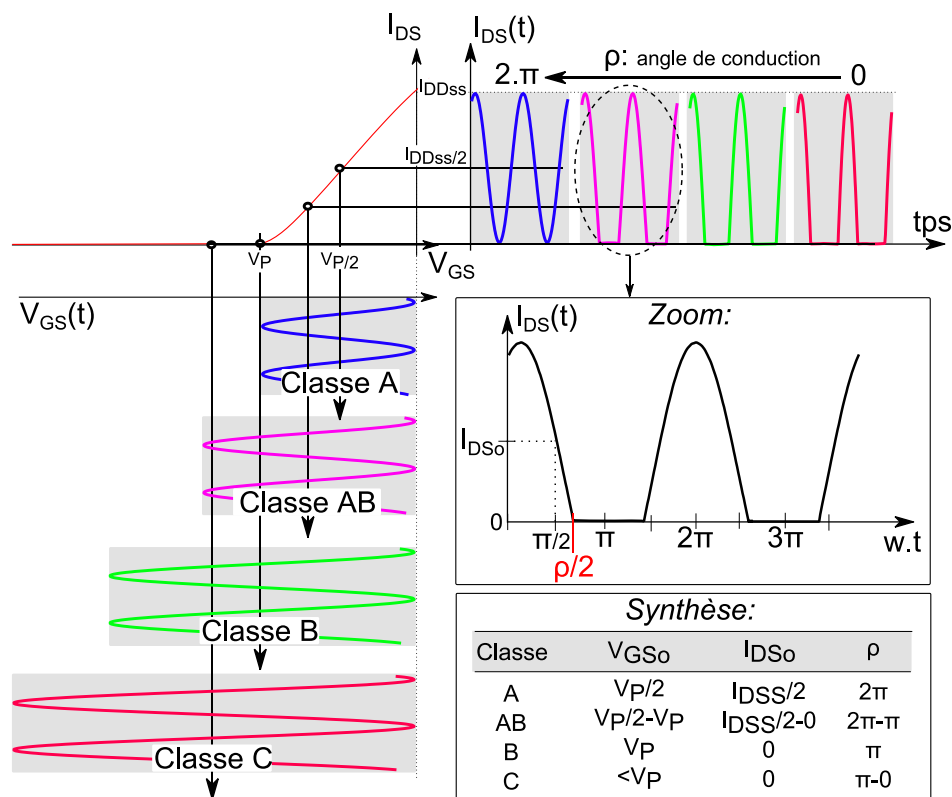


Figure I-15 : Représentation du fonctionnement d'un amplificateur de puissance en fonction des différentes classes de fonctionnement sinusoïdales.

L'ensemble des classes de fonctionnement sinusoïdales (*classes A, B, AB et C*) est schématisé et résumé dans la Figure I-15. L'observation des formes d'ondes de courant représentées sur cette figure, montre que lorsque l'angle de conduction diminue, la forme temporelle du courant est de plus en plus tronquée. On peut par conséquent décomposer le courant intrinsèque en fonction de l'angle de conduction :

$$\begin{aligned} I_{DS}(\theta) &= I_{DS0} + I_{pk} \cdot \cos(\theta) && \text{pour } -\frac{\rho}{2} < \theta < \frac{\rho}{2} \\ &= 0 && \text{pour } -\pi < \theta < -\frac{\rho}{2} \text{ et } \frac{\rho}{2} < \theta < \pi \end{aligned} \quad (\text{I-17})$$

Si l'on définit :

$$\cos\left(\frac{\rho}{2}\right) = -\frac{I_{DS0}}{I_{pk}} \text{ et } I_{DSS} = I_{pk} + I_{DS0} \quad (\text{I-18})$$

On obtient :

$$I_{DS}(\theta) = \frac{I_{DSS}}{1 - \cos\left(\frac{\rho}{2}\right)} \cdot \left(\cos(\theta) - \cos\left(\frac{\rho}{2}\right) \right) \quad (\text{I-19})$$

La décomposition en série de Fourier permet d'exprimer la composante continue du courant de la façon suivante:

$$I_{DS0} = \frac{1}{2\pi} \cdot \int_{-\frac{\rho}{2}}^{\frac{\rho}{2}} \frac{I_{DSS}}{1 - \cos\left(\frac{\rho}{2}\right)} \cdot \left(\cos(\theta) - \cos\left(\frac{\rho}{2}\right) \right) \cdot d\theta \quad (\text{I-20})$$

Les composantes fondamentale et harmoniques sont, quant à elles, données par :

$$I_{DSn} = \frac{1}{\pi} \cdot \int_{-\frac{\rho}{2}}^{\frac{\rho}{2}} \frac{I_{DSS}}{1 - \cos\left(\frac{\rho}{2}\right)} \cdot \left(\cos(\theta) - \cos\left(\frac{\rho}{2}\right) \right) \cdot \cos(n\theta) \cdot d\theta \quad (\text{I-21})$$

L'évolution des différentes composantes du courant de drain en fonction de l'angle de conduction est synthétisée dans la Figure I-16.

On observe que la composante continue diminue de façon monotone en fonction de l'angle d'ouverture. La composante fondamentale reste quant à elle pratiquement constante de la classe A à la classe B ($2\pi < \rho < \pi$), puis va diminuer rapidement pour les angles de conduction inférieurs à $\pi/2$. Ceci signifie que le rendement de drain maximum de l'amplificateur va augmenter et que la puissance de sortie maximale va rester sensiblement constante lorsque l'angle de conduction va diminuer de la classe A vers la classe B. Cependant, un fonctionnement en classe B nécessite plus de puissance d'entrée que pour un fonctionnement en classe A, comme observé dans la Figure I-15. Il convient donc de prendre en compte cette différence de puissance d'entrée par le calcul du rendement en puissance ajoutée. Dans le domaine microonde, ce rendement en puissance ajoutée chute pour un fonctionnement en classe C. Concrètement, les classes AB au voisinage de la classe B assurent un fonctionnement optimal pour les amplificateurs de forte puissance.

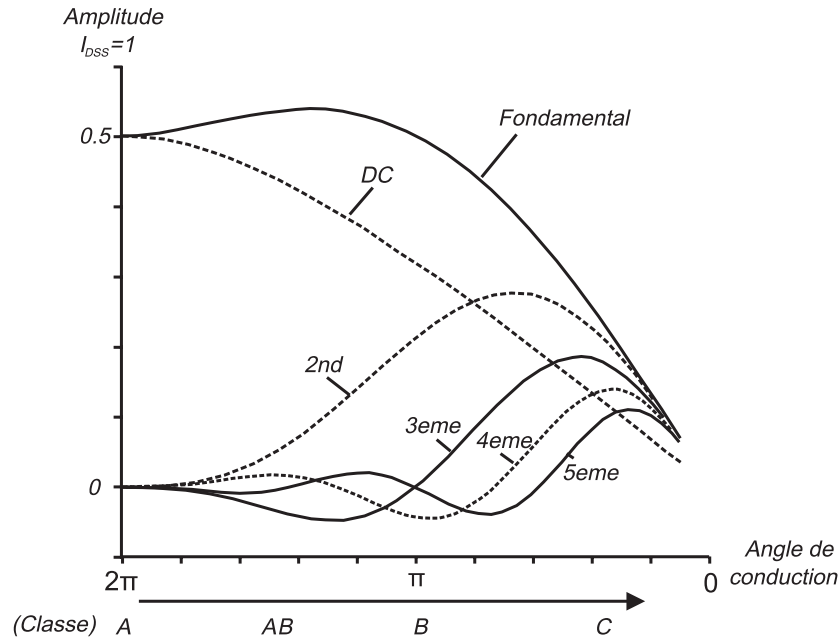


Figure I-16 : Amplitude des différentes harmoniques composant le courant intrinsèque de drain en fonction de l'angle d'ouverture. [6]

La Figure I-17 résume les puissances dissipées de chacune des classes de fonctionnement en représentant les surfaces de chevauchement des tensions et des courants de drain intrinsèques.

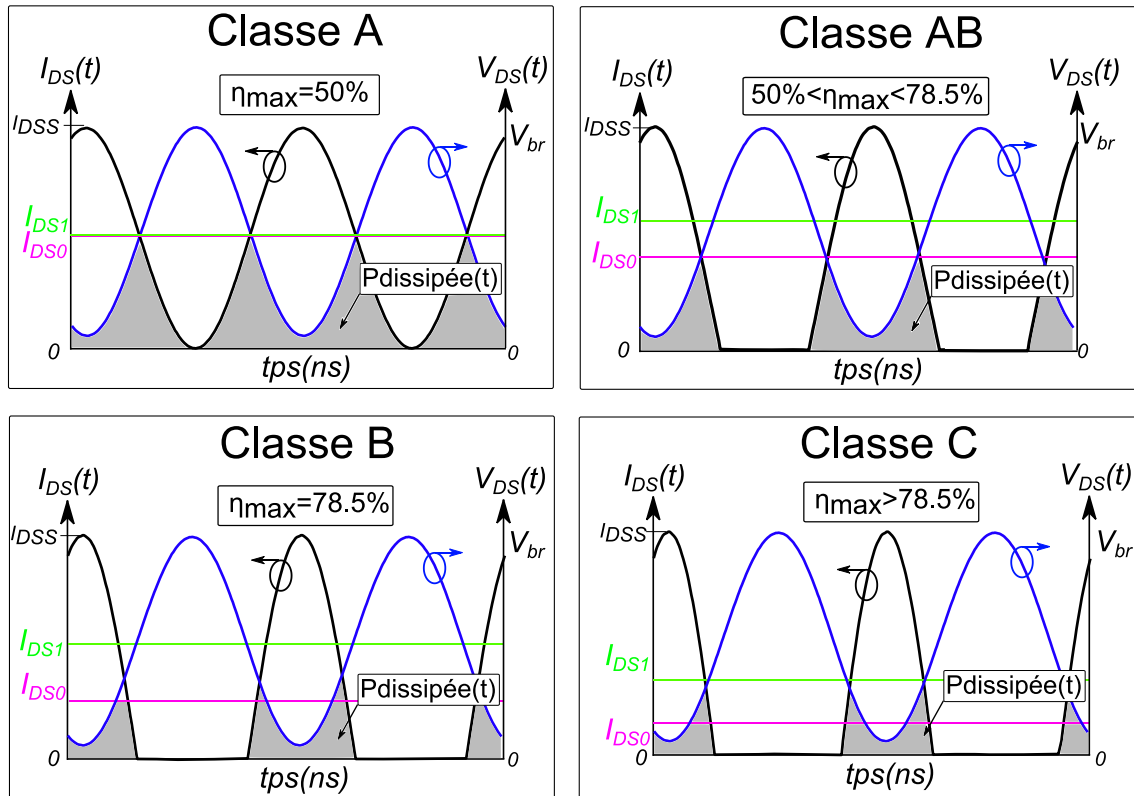


Figure I-17 : Représentation des formes d'ondes intrinsèques théoriques et des puissances dissipées pour les différentes classes de fonctionnement sinusoïdales.

I.4.3.2) Contrôle des impédances de fermeture aux harmoniques

Pour améliorer les performances en rendement maximal, l'objectif est de diminuer au maximum le temps de coexistence entre la tension et le courant de drain de façon à minimiser la puissance dissipée par le transistor. Les impédances de fermeture aux composantes harmoniques vont être réglées de façon à optimiser les formes d'ondes de tensions et de courants intrinsèques. En présentant des courts-circuits ou des circuits-ouverts aux fréquences harmoniques, les formes d'ondes pourront s'apparenter à des signaux quasi-carrés (*suppression des harmoniques paires*) ou à des demi-sinusoïdes surtendues (*suppression des harmoniques impaires*). La Figure I-18 représente l'impact de la suppression d'harmoniques paires ou impaires sur les formes temporelles.

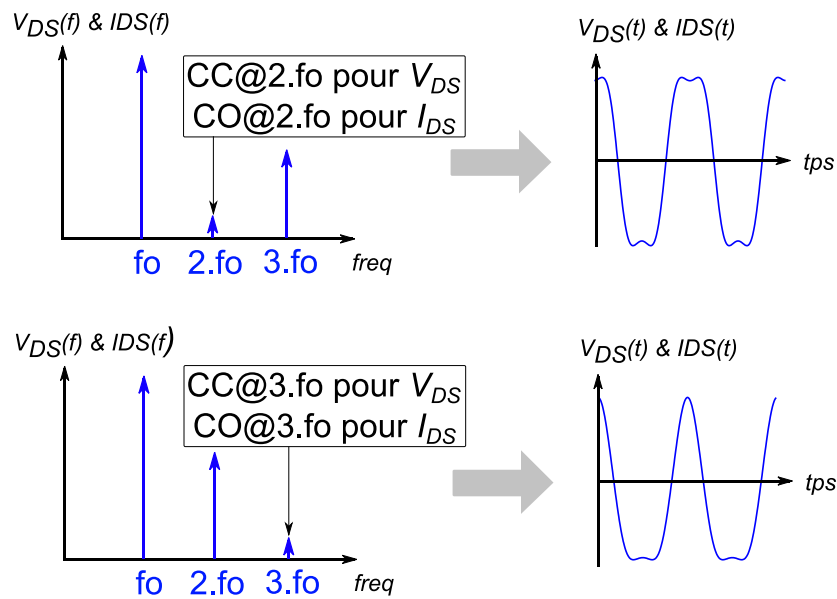


Figure I-18 : Représentation de l'impact de la suppression d'harmoniques sur les formes d'ondes temporelles de tension et de courant.

De ce fait en présentant les impédances adéquates aux harmoniques, plusieurs classes à haut rendement peuvent être réalisées. La classification de cette catégorie de fonctionnement est directement basée sur les formes d'ondes intrinsèques obtenues. Ainsi en observant les formes d'ondes, on peut distinguer les classes F, F^{-1} , J et la classe apparentée à la classe E en éléments distribués [7]. La Figure I-19 représente les différentes formes d'ondes théoriques pour chaque classe et donne une estimation des rendements théoriques atteignables de manière idéaliste si $V_{DSmin} \ll V_{DSmax}$ tel que représenté dans la Figure I-8.

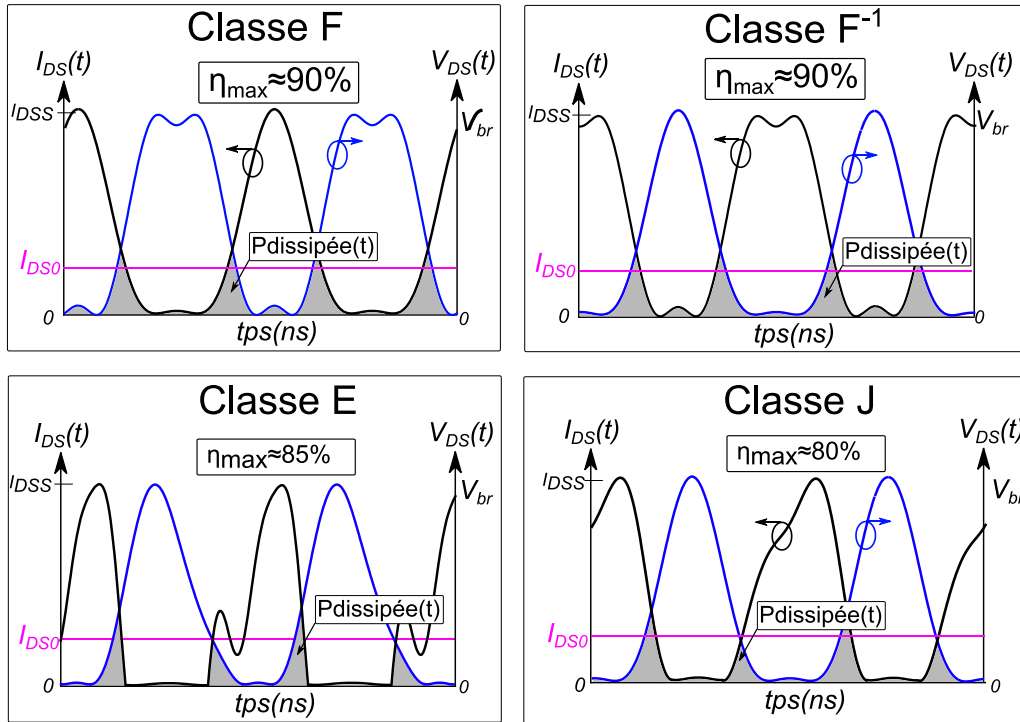


Figure I-19 : Représentation des formes d'ondes intrinsèques théoriques et des puissances dissipées pour les différentes classes de fonctionnement à haut rendement.

I.4.4) Linéarité

Comme décrit précédemment, avec l'augmentation du niveau du signal d'entrée, l'amplificateur de puissance devient un système non-linéaire. En fort signal, la puissance de sortie de l'amplificateur est limitée par la saturation. Un tel comportement introduit des distorsions des formes temporelles des signaux aux bornes drain-source du transistor. La tension de sortie sinusoïdale sous 50Ω (V_S telle que représentée Figure I-11) ne croît plus de façon proportionnelle avec l'accroissement de V_e . Le comportement non linéaire doit donc être correctement évalué par des figures de mérite. Plusieurs indicateurs de linéarité sont utilisés, en fonction des spécifications du système et du type des signaux.

I.4.4.1) Fonctionnement linéaire de l'amplificateur à bas niveau.

L'amplificateur de puissance est dit linéaire si sa relation entrée/sortie est proportionnelle et s'il obéit au théorème de superposition. Concrètement et simplement, nous pouvons décrire son comportement en régime établi dans le domaine fréquentiel comme illustré dans la Figure I-20.

Quel que soit le signal d'entrée $V_e(f)$ comprenant n composantes fréquentielles, toutes modifications d'une composante V_{e_n} induit une modification proportionnelle de la composante V_{s_n} . Les composantes continues de polarisations (V_{GSDC} , I_{GSDC} , V_{DSDC} , I_{DSDC}) sont dans ce cas complètement indépendantes du signal d'excitation $V_e(f)$ et restent par conséquent constantes. Globalement, l'amplificateur linéaire ne génère aucune composante fréquentielle autre que celles présentes dans le signal d'excitation.

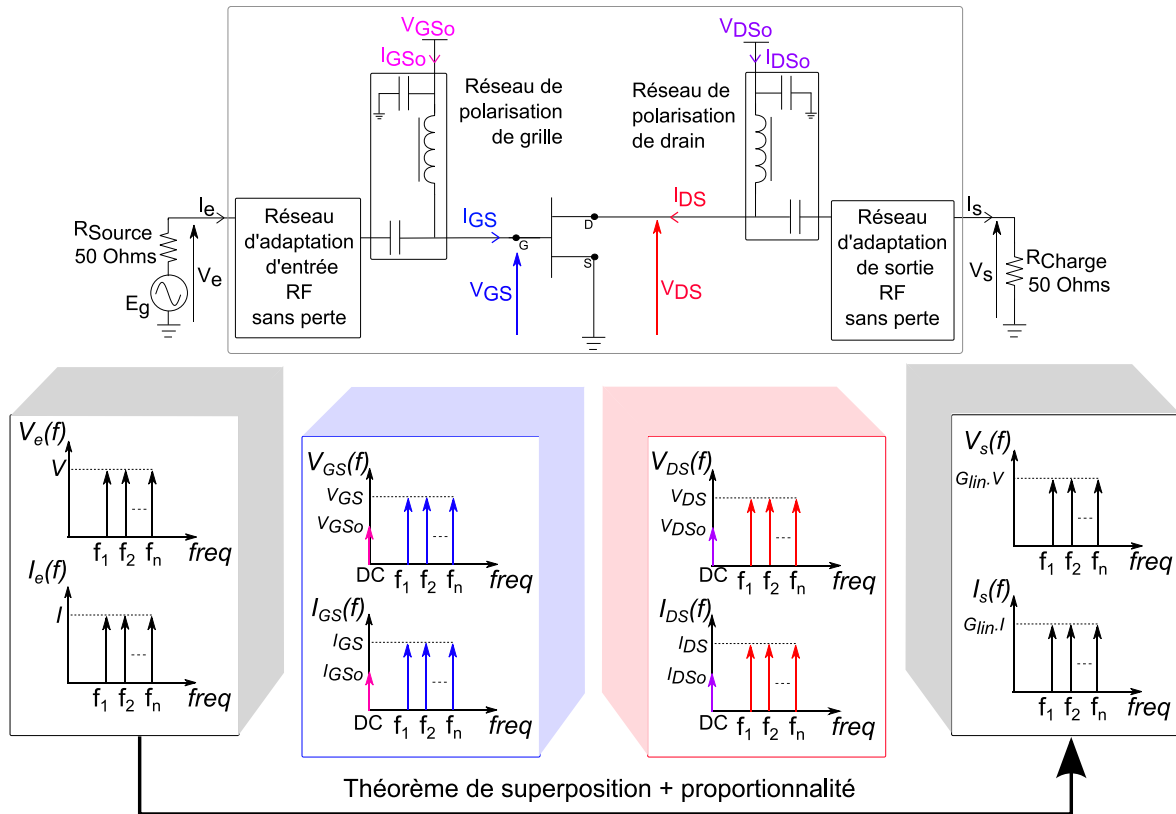


Figure I-20 : Amplificateur de puissance linéaire fonctionnant en petit signal.

Un amplificateur idéal ne crée aucune distorsion linéaire du signal. Il peut être décrit comme étant un quadripôle ayant une fonction de transfert $H(f)$, où le gain $|H(f)|$ et le $TPG = -\frac{1}{2\pi} \cdot \frac{d(\arg(H(f)))}{df}$ (temps de propagation de groupe) sont constants dans la bande d'utilisation RF et indépendants du niveau de l'excitation, comme représenté dans la Figure I-21. Le système n'a alors pas de mémoire linéaire. La réponse en sortie de l'amplificateur ne dépend pas de son état précédent et elle présente un retard pur par rapport au signal d'entrée.

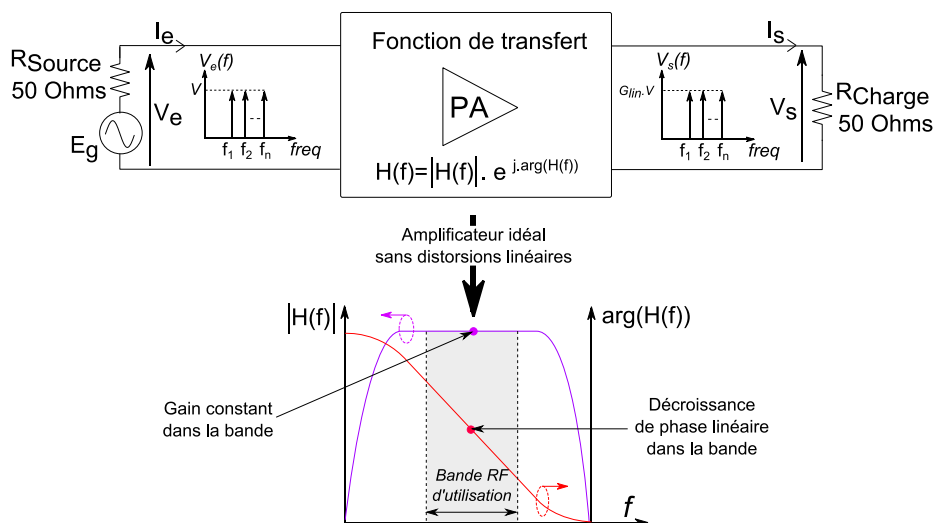


Figure I-21 : Représentation d'un amplificateur de puissance idéal sans distorsions linéaires.

I.4.4.2) Fonctionnement non-linéaire de l'amplificateur à fort niveau.

Lorsque la puissance appliquée à l'entrée est suffisamment importante, le transistor atteint sa zone de saturation et devient non-linéaire. Dans ce cas, le théorème de superposition ne s'applique plus. Concrètement, on peut décrire son comportement (*en régime établi*) pour quelques signaux représentatifs :

➤ *Signal CW ou mono-porteuse (Distorsions de porteuse):*

En considérant un signal excitation d'entrée suivant :

$$V_e(t) = V_e \cdot \cos(\omega_0 \cdot t + \theta_e) \quad (I-22)$$

$$I_e(t) = I_e \cdot \cos(\omega_0 \cdot t + \varphi_e) \quad (I-23)$$

Et en supposant par souci de simplification, que l'amplificateur est parfaitement unilatéral et que son circuit d'entrée est linéaire, sa réponse peut être synthétisée comme dans le schéma Figure I-22.

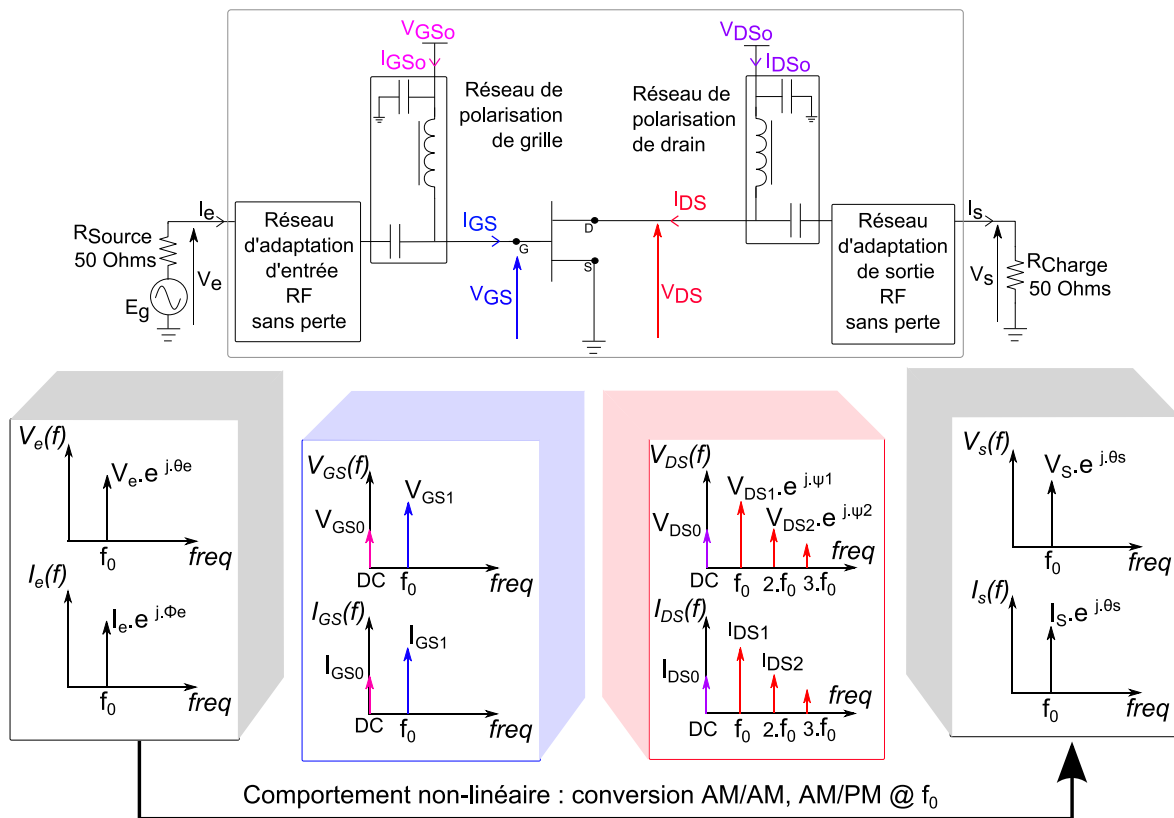


Figure I-22 : Distorsions harmoniques (mono-porteuse).

Dans ce cas, une génération d'harmoniques est alors observée aux bornes drain-source du transistor. Ces harmoniques provoquent alors une distorsion de la porteuse. Toutes modifications du réseau de charge (V_{DSn}/I_{DSn}) vues par l'élément non-linéaire entraînent une modification de la forme temporelle de $V_{DS}(t)$, et donc une modification du comportement

non-linéaire de l'amplificateur. Il existe alors une interaction forte entre les éléments passifs d'adaptation et la non-linéarité. De ce fait, les composantes continues des courants (*courants DC de fonctionnement débités par les alimentations continues*) ne sont plus constantes et indépendantes du signal d'entrée.

Les harmoniques générées aux bornes de la source de courant du transistor ($2.f_0, 3.f_0, \dots$) restent éloignées de la bande de fréquence du signal utile. Comme on peut l'observer dans la Figure I-22, le circuit d'adaptation va avoir idéalement pour rôle de filtrer les composantes harmoniques. Cependant, toute variation de l'amplitude du signal d'excitation au fondamental $V_e(t)$ se répercute par une variation non-proportionnelle de l'amplitude du signal de sortie au fondamental $V_s(t)$. Par conséquent, la caractéristique de transfert au fondamental de l'amplificateur en fonction du niveau d'entrée est non-linéaire. Elle est généralement caractérisée par une conversion d'amplitude (AM/AM : *principalement liée à la source de courant du transistor*) et de phase (AM/PM : *principalement liée à la présence de capacités non linéaires*) (Figure I-23).

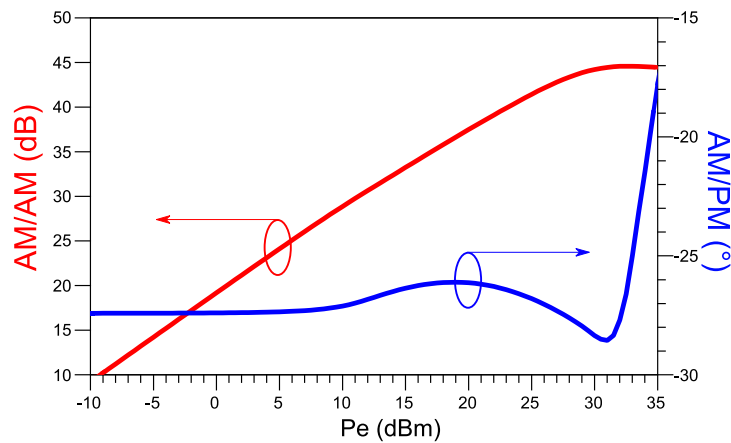


Figure I-23 : Conversion AM/AM et AM/PM.

Cette caractéristique de transfert statique au fondamental peut s'exprimer en une décomposition polynomiale de Taylor. Le degré du polynôme définit alors le niveau de précision de la fonction. Dans notre exemple, nous choisirons un polynôme simple de degré trois à coefficients réels, ne prenant donc pas en compte la conversion AM/PM :

$$V_s(t) = k_1 \cdot V_e(t) + k_2 \cdot V_e^2(t) + k_3 \cdot V_e^3(t) \quad (\text{I-24})$$

Avec $V_e(t)$ le signal d'entrée et k_i les coefficients d'amplitude de la fonction non-linéaire dépendants du réseau de charge.

En prenant en compte la décomposition polynomiale décrite dans l'équation I-24 et le signal d'excitation d'entrée de l'équation I-22, on obtient :

$$\bullet \quad V_s(t) = k_2 \cdot \frac{V_e^2}{2} \quad (\text{DC})$$

$$+ \left(k_1 \cdot V_e - \frac{3}{4} \cdot k_3 \cdot V_e^3 \right) \cdot \cos(w_0 \cdot t) \quad (f_0)$$

$$+ \left(\frac{1}{2} \cdot k_2 \cdot V_e^2 \right) \cdot \cos(2w_0 \cdot t) \quad (2 \cdot f_0)$$

$$+ \left(\frac{1}{4} \cdot k_3 \cdot V_e^3 \right) \cdot \cos(3w_0 \cdot t) \quad (3 \cdot f_0)$$

Après le réseau d'adaptation de sortie le signal de sortie devient :

$$V_S(t) = \left(k_1 \cdot V_e - \frac{3}{4} \cdot k_3 \cdot V_e^3 \right) \cdot \cos(w_0 \cdot t) \quad (I-25)$$

On observe bien que le signal de sortie au fondamental est une fonction non-linéaire de l'amplitude du signal d'excitation d'entrée.

➤ *Signal multi-porteuses (Distorsions d'enveloppe):*

Les distorsions non-harmoniques sont produites à chaque fois qu'un signal multi-porteuses est amplifié par un système non linéaire.

En considérant un signal d'entrée bi-porteuses de pulsations w_1 , w_2 et d'amplitude V_e :

$$V_e(t) = V_e \cdot (\cos(w_1 \cdot t) + \cos(w_2 \cdot t)) \quad (I-26)$$

Le signal aux bornes drain-source du transistor subit alors une distorsion de la porteuse (*hors bande*) mais aussi une distorsion d'enveloppe (*dans la bande $IM_{3,5,7,\dots}$*), qui sont les produits d'intermodulations (*IMD*). Les composantes continues de polarisation (V_{DSDC} , I_{DSDC}) sont quant à elles modulées (*variations basses fréquences*). L'amplificateur de puissance ne peut plus être considéré comme un système à deux accès. Il y a donc une interaction entre les éléments passifs d'adaptation, les réseaux de polarisation et la non-linéarité. De ce fait, les poids d'IMD sont relativement complexes à estimer et à modéliser dans la mesure où ils sont créés par un mélange non-linéaire entre les composantes parasites basse fréquence (*dans la bande vidéo : VBW*) et haute fréquence (*dans la bande RF*).

Le développement polynomial appliqué à un signal d'excitation bi-porteuses est synthétisé dans le schéma Figure I-24.

Dans la plupart des applications, le transistor est exploité dans sa région non-linéaire car les concepteurs sacrifient une part de linéarité en faveur du rendement énergétique. Les fréquences des produits d'intermodulation impairs sont beaucoup plus problématiques que les fréquences harmoniques puisqu'elles sont situées dans la bande d'utilisation à proximité de la fréquence utile. Il est impossible de les supprimer par filtrage. Elles conduisent par conséquent à un étalement spectral, qui va limiter l'efficacité spectrale et perturber la transmission des canaux adjacents (*autres utilisateurs*). Dans un amplificateur de puissance RF, le poids des IMD est une notion qui dépend de la puissance d'entrée, de la fréquence de modulation, des effets mémoires ...

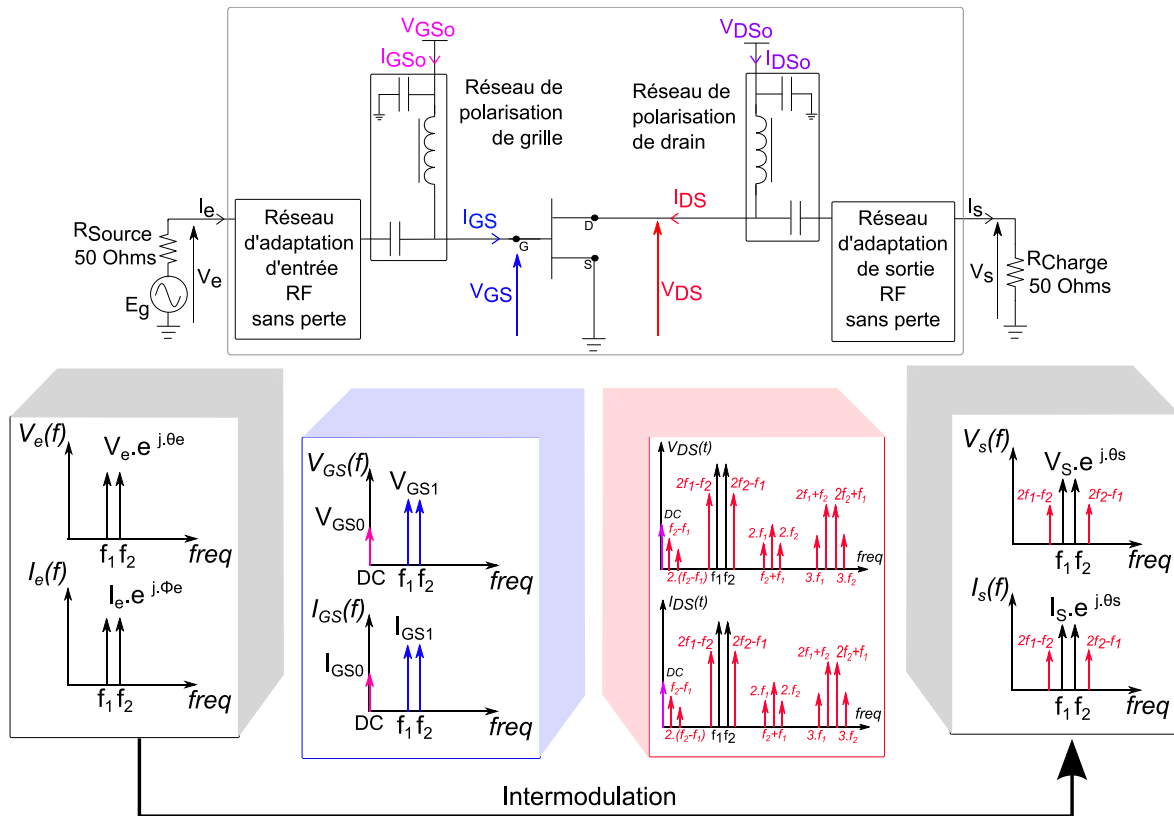


Figure I-24 : Distorsions non-harmoniques (intermodulations).

I.4.4.3) Les effets mémoire

Le comportement non linéaire de l'amplificateur à un instant t dépend de son état d'excitation aux instants précédents ($t-\tau$, où τ est une constante de temps plus ou moins longue en fonction des effets) : ce sont les effets de mémoire de l'amplificateur. Les effets de mémoire sont créés par les changements de comportement du dispositif en fonction de la fréquence centrale et de la fréquence de modulation du signal d'entrée. Ils ne peuvent pas être décrits par la fonction de transfert non linéaire statique de l'amplificateur. Ces effets peuvent être assimilés à des effets de filtrage, de retard ou d'hystérésis. Ils sont liés à différents facteurs comme les éléments réactifs des circuits de polarisation, les circuits d'adaptations, les contre-réactions, le type de semi-conducteur, la température nominale... (Figure I-25).

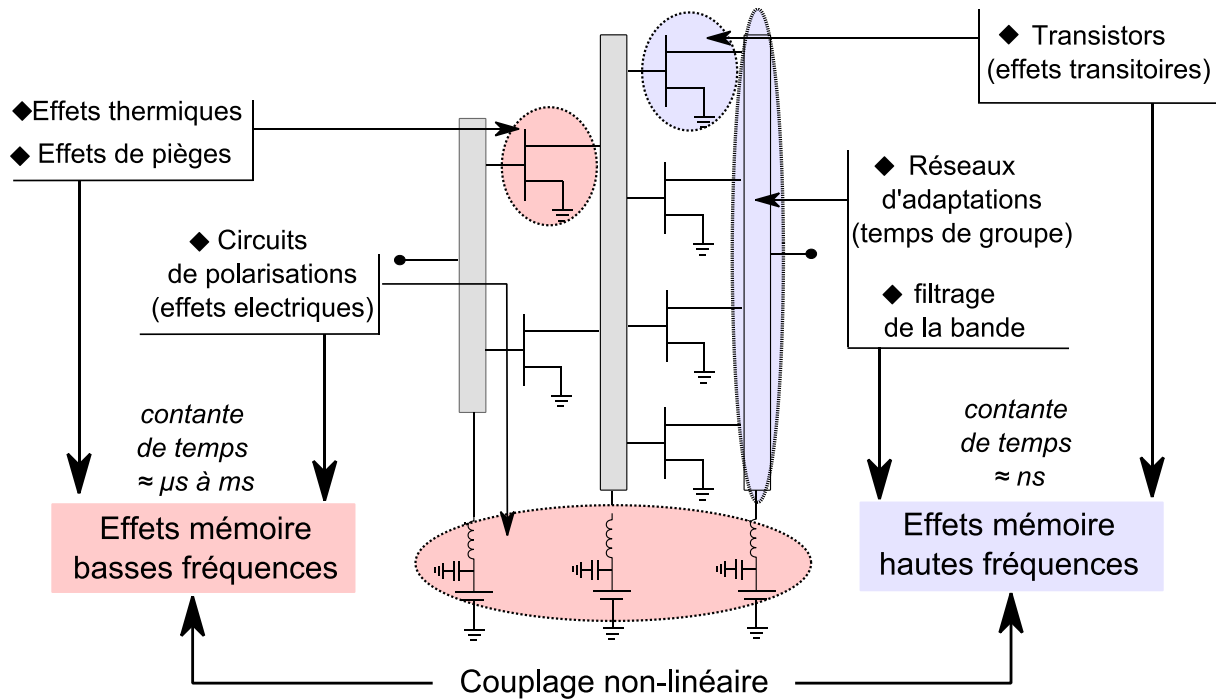


Figure I-25 : Localisation des différents effets mémoire dans un amplificateur de puissance.

Concrètement et comme représenté dans la Figure I-26, pour un signal d'excitation bi-porteuses la caractéristique de puissance d'enveloppe instantanée (P_s/P_e) de l'amplificateur va être différente pour les phases montantes et descendantes de l'enveloppe. Typiquement pour un même point de puissance d'entrée à deux instants différents, la réponse en puissance va être différente car elle va dépendre des états précédents de l'amplificateur. On observe dans ce cas une déformation de l'enveloppe de sortie, traduisant une dissymétrie des raies d'intermodulation supérieure et inférieure.

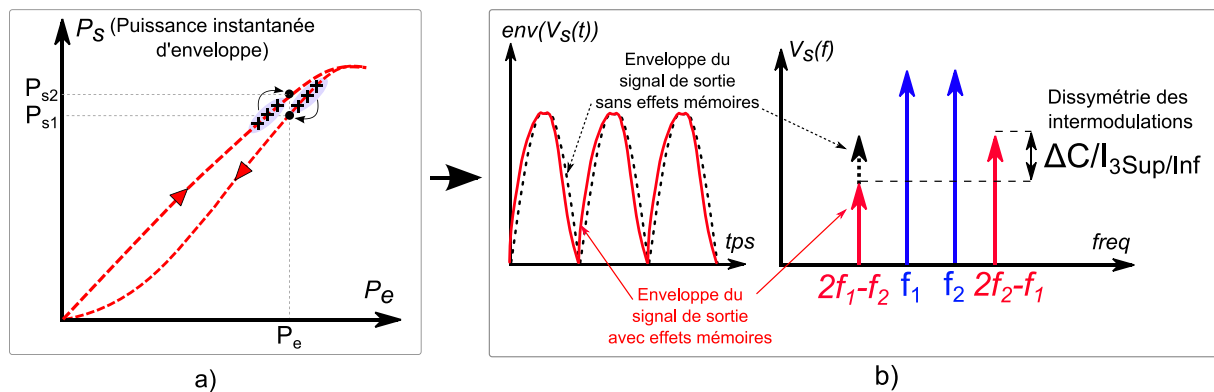


Figure I-26 : a) P_s et P_e sont ici les puissances instantanées d'enveloppe (définies plus précisément dans la section I.4.5.1. b) Impact des effets mémoires sur l'enveloppe du signal de sortie.

L'origine et la localisation des effets de mémoire au sein d'un circuit de puissance, restent difficiles à identifier séparément dans la mesure où ils interagissent entre eux par des relations de mélange non-linéaires. Ils ont un impact sur les performances en linéarité de

l'amplificateur (*dont nous préciserons la définition dans le paragraphe suivant I.4.5.1*). Néanmoins, pour expliquer l'origine de ces phénomènes parasites, nous pouvons définir deux types d'effets de mémoire:

➤ *Effets de mémoire haute fréquence:*

Les effets de mémoire haute fréquence sont des phénomènes qui sont caractérisés par de courtes constantes de temps (τ de l'ordre de la ns). Ces constantes de temps résultent des dispersions haute fréquence de l'amplificateur. Leur présence est principalement due à l'interaction entre les composants actifs, les réseaux d'adaptation d'entrée et de sortie, ainsi que les circuits de recombinaison de puissance. De ce fait, la largeur de bande RF de l'amplificateur est une caractéristique essentielle qui définit les effets mémoire haute fréquence. Si le gain et le temps de groupe de l'amplificateur sont non constants dans la bande RF occupée par le signal d'excitation, et si de plus les profils des courbes de gain et de déphasage en fonction du niveau d'entrée varient en fonction de la fréquence dans la bande, il y aura des effets significatifs de mémoire non-linéaire haute fréquence. Ces effets de mémoire peuvent être estimés en utilisant un signal CW balayé en fréquence et en amplitude dans la bande de fonctionnement.

➤ *Effets de mémoire basse fréquence :*

Les effets de mémoire basse fréquence sont liés à des constantes de temps longues (τ de l'ordre de la μs à la s). Nous pouvons classifier trois types de causes pour les phénomènes de mémoire basse fréquence:

- *Les phénomènes électrothermiques* qui sont liés à la température intrinsèque du semi-conducteur en fonction de la puissance d'entrée. Lorsque le signal d'excitation est un signal modulé en amplitude, la température du composant va varier localement en fonction du temps. Les matériaux à forte conductivité et capacité thermique sont naturellement préférables, de façon à évacuer le maximum de chaleur et limiter les effets d'auto-échauffement.
- *Les phénomènes de pièges* qui sont liés au type de technologie utilisée (*bien connus pour être significatifs en technologie GaN*). Ils sont dus aux impuretés et aux défauts présents à l'interface des matériaux composant le semi-conducteur. De ce fait, un porteur libre peut se retrouver capturé ou relâché dans cette interface. Il existe différents types de pièges qui sont définis par leur constante de temps, leur énergie d'activation et leur emplacement dans la structure. Les constantes de temps de capture et d'émission sont différentes et peuvent varier avec des ordres de grandeurs allant de la microseconde à la seconde. Les effets de piège modifient directement les propriétés électriques du transistor en modifiant la densité de porteurs libres dans le canal. Ils ont un impact sur la caractéristique DC I/V et peuvent entraîner une modulation de la tension de pincement du transistor en fonctionnement dynamique. Ils sont

encore difficilement identifiables car ils restent étroitement liés aux phénomènes électrothermiques.

- *Les phénomènes électriques* sont principalement liés aux fluctuations de tension et de courant de polarisation du transistor. Ils prennent leur source dans les réseaux de polarisation. En effet, lorsqu'un amplificateur est soumis à un signal modulé en amplitude, des composantes basse fréquence (*aux harmoniques de l'enveloppe de modulation*) sont présentes dans les circuits de polarisation. Ces composantes fréquentielles ont une contribution majeure par mélange non-linéaire sur le spectre des signaux situés dans la bande de fréquence d'utilisation (*porteuses et IMD*). Typiquement, ces effets de mémoire sont minimisés si une attention particulière est apportée sur la conception des circuits de polarisation pour présenter une basse impédance sur une large bande appelée « bande vidéo ».

I.4.4.4) Les critères de linéarité

Afin de pouvoir caractériser la linéarité d'un amplificateur de puissance, il existe différents critères. Ces critères permettent de quantifier l'intégrité du signal. Chaque spécification associée à un critère de linéarité est propre à une application et un type de signal d'entrée.

➤ *Critère de C/I_3 (Third Order Inter-Modulation) :*

Un amplificateur non-linéaire soumis à un signal de test bi-porteuses (f_1 et f_2) génère des raies d'intermodulation d'ordre impair dans la bande. La notion de C/I_3 permet de quantifier le rapport entre les puissances aux fréquences porteuses (f_1 et f_2) et aux fréquences d'intermodulation d'ordre 3 ($2f_1-f_2$ et $2f_2-f_1$) (Figure I-27) :

$$C/I_3 \text{ (dB)} = 10 \cdot \log_{10} \left(\frac{P_{f_1, f_2}}{P_{IMD3}} \right) \quad (\text{I-27})$$

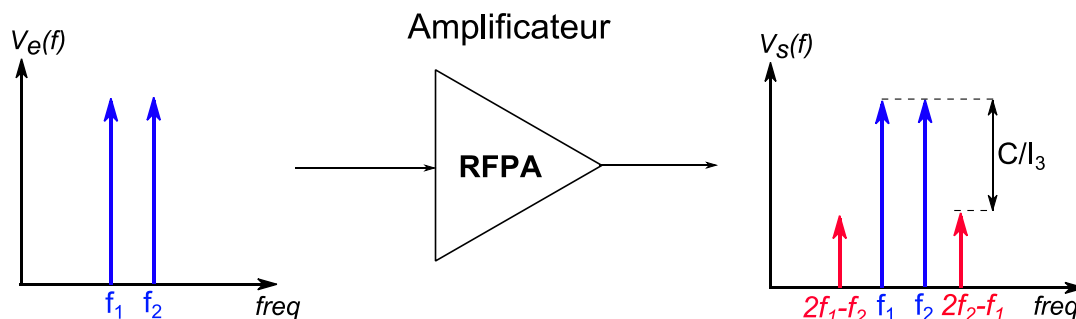


Figure I-27 : Définition du C/I_3 .

➤ *Critère d'ACPR (Adjacent Channel Power Ratio):*

Pour les applications de télécommunications, l'utilisation de signaux modulés complexes (*QAM, WCDMA, OFDM...*) conduit à des formes de densité spectrale de puissance continue. L'amplification non-linéaire de ces signaux conduit à un spectre du signal de sortie présentant des remontées spectrales de chaque côté de la bande de fréquence utile occupée par le spectre du signal d'entrée. Dans ce cas, l'ACPR va permettre d'évaluer le degré de non-linéarité fonctionnel de l'amplificateur en mesurant le rapport des puissances situées dans la bande utile (BW_0) et dans les bandes des canaux adjacents (BW_{adj}) situées à une distance ($\pm \Delta f_0$) de la fréquence centrale (Figure I-28).

$$ACPR(dB) = 10 \cdot \log_{10} \left(\frac{\int_{BW_0} P_s(f) \cdot df}{\int_{BW_{adj}} P_s(f) \cdot df} \right) \quad (I-28)$$

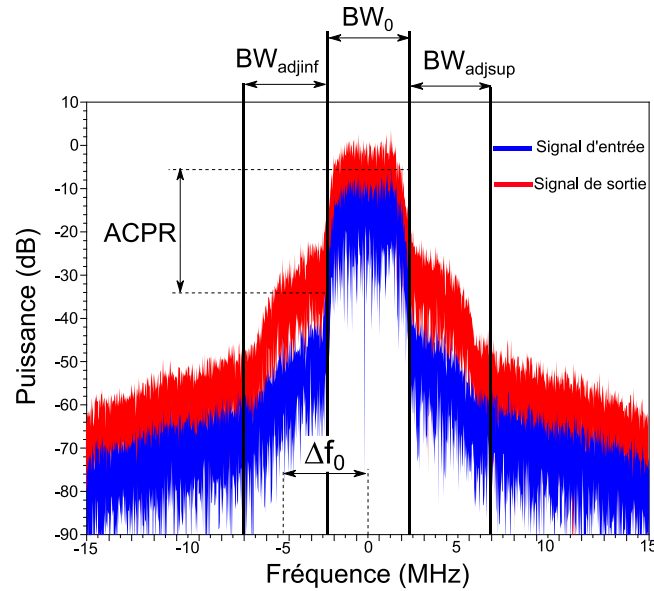


Figure I-28 : Définition de l'ACPR.

➤ *Critère de NPR (Noise Power Ratio):*

Pour les applications spatiales, les types de signaux à amplifier qui peuvent varier pendant les années d'exploitation et de durée de vie d'un satellite sont difficiles à définir à l'avance. Par conséquent, il est nécessaire d'évaluer la linéarité de l'amplificateur dans les conditions les plus critiques. De ce fait, le NPR est basé sur un signal d'excitation de type bruit gaussien à bande limitée (*signal multi-porteuses généralement supérieur à 100 tons*). Grâce à un filtrage stop bande, la partie centrale du spectre est supprimée de façon à créer un trou spectral (« *notch* »). En sortie de l'amplificateur, la combinaison des raies d'intermodulation va remplir partiellement le trou spectral, on parle alors de bruit d'intermodulation. Le NPR permet de quantifier le rapport signal à bruit dans la bande utile. La valeur de ce critère dépend énormément de la largeur du trou spectral utilisé, typiquement elle représente 5 à 10% du nombre total de porteuses [8]. Comme le

représente la Figure I-29, le NPR est défini comme étant le rapport entre la puissance moyenne dans le canal utile et la puissance apparue dans le notch :

$$NPR(dB) = 10 \cdot \log_{10} \left(\frac{\int_{BW} P_s(f) \cdot df}{\int_{BW_{trou}} P_s(f) \cdot df} \right) \quad (I-29)$$

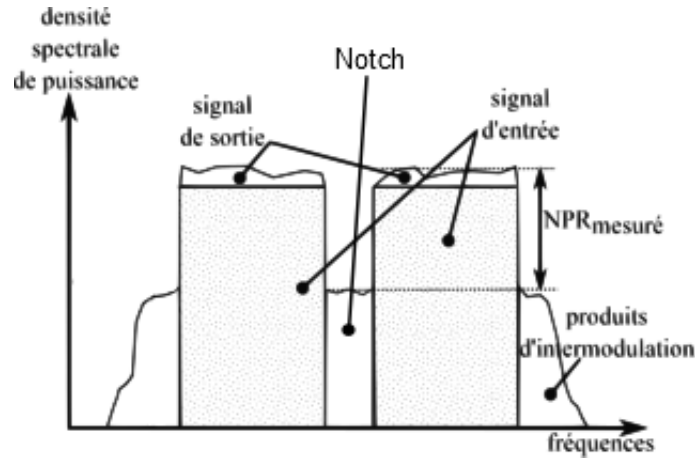


Figure I-29 : Définition du NPR.

➤ Critère d'EVM (Error Vector Magnitude):

L'EVM est une figure de mérite couramment utilisée en télécommunications. Elle permet de mesurer l'erreur vectorielle entre un signal d'entrée idéalement amplifié et le signal de sortie de l'amplificateur. Cette mesure s'effectue sur l'enveloppe complexe en bande de base (*format I/Q*) des signaux modulés et normalisés. L'EVM permet d'estimer l'erreur en phase et en quadrature des symboles composant la trame de communication. Ce critère est exprimé en dB ou en % et représente la somme géométrique des écarts entre la position de référence de chaque symbole sur la constellation et la position obtenue en sortie de l'amplificateur (Figure I-30).

$$EVM(\%) = 100 \cdot \sqrt{\frac{\frac{1}{N} \sum_{k=1}^N |S_{ki\acute{d}eal} - S_{kreel}|^2}{\frac{1}{N} \sum_{k=1}^N |S_{ki\acute{d}eal}|^2}} \quad (I-30)$$

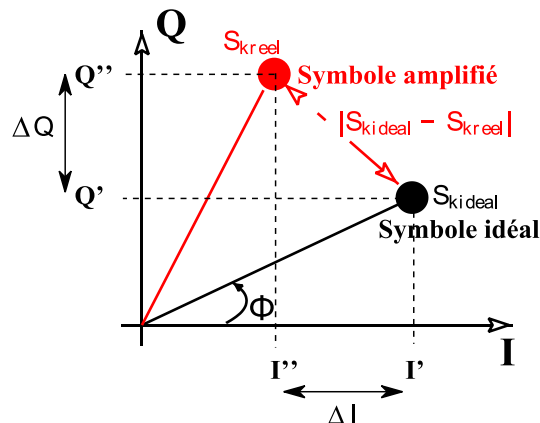


Figure I-30 : Définition de l'EVM.

➤ *Critère de P2P (Pulse to Pulse Stability):*

Dans les applications radar, les signaux utilisés sont des séquences d'impulsions RF. Afin de détecter précisément une cible, il est primordial de connaître parfaitement le signal qui est émis pour pouvoir le comparer avec le signal réfléchi par la cible et mesuré par le récepteur. La stabilité pulse à pulse (P2P) permet d'évaluer les dérives temporelles d'amplitude et de phase (*provoquées principalement par les effets mémoires basses fréquences de l'amplificateur*) entre chaque impulsion RF. Le critère de stabilité pulse à pulse va comparer l'amplitude et la phase au même instant dans chaque impulsion RF [9] (Figure I-31).

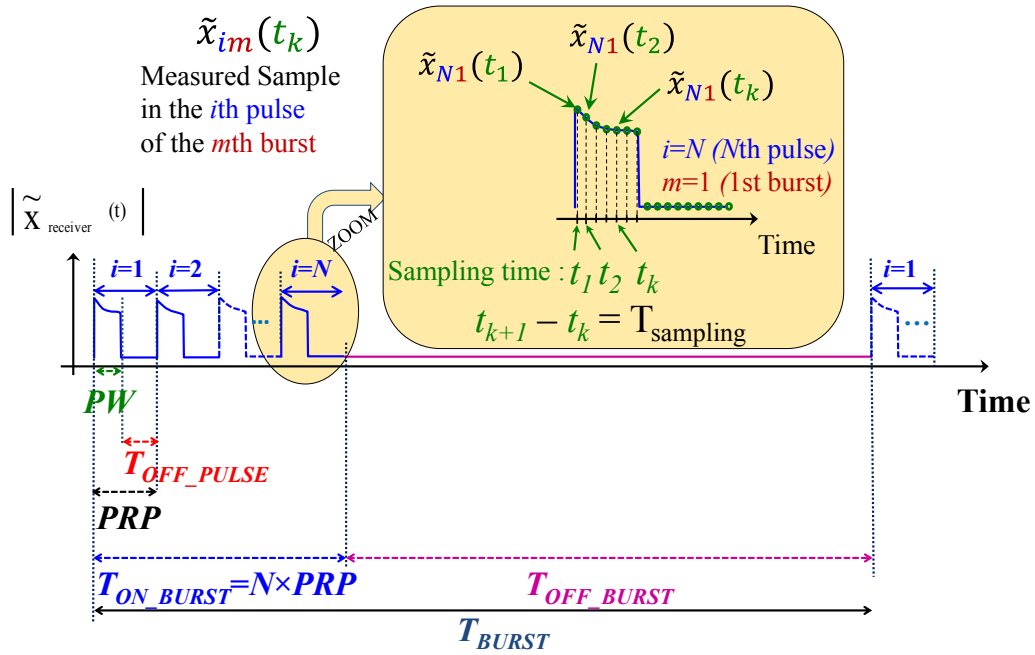


Figure I-31 : Détermination de la stabilité pulse à pulse [9].

I.4.5) Problématique de l'amplification de puissance opérant avec des signaux à enveloppe variable

Pour obtenir des systèmes de communication de plus en plus performants en termes de débit d'information, les concepteurs ont mis au point des formats de modulation de plus en plus complexes qui augmentent l'efficacité spectrale. Ces signaux modulés ont la particularité d'être à enveloppe variable. Les variations de puissance instantanée d'enveloppe liées à l'utilisation de signaux modulés à enveloppe variable sont au centre des problématiques de rendement et de linéarité de l'amplification de puissance.

I.4.5.1) Définitions principales des puissances

Afin d'appréhender correctement la problématique de l'amplification en présence de signaux modulés à enveloppe variable (Figure I-32), il est impératif de définir différentes

notions de puissance. Considérons à titre d'exemple un signal modulé simple $v(t)$ de période de porteuse ($T_0 = 1/(2\pi \cdot \omega_0)$) et de période de modulation ($T = 1/(2\pi \cdot \Omega)$) :

$$v(t) = A(t) \cdot \cos(\omega_0 \cdot t + \varphi(t)) \quad (I-31)$$

$$\text{Avec } A(t) = A \cdot (1 + k \cdot \cos(\Omega \cdot t))$$

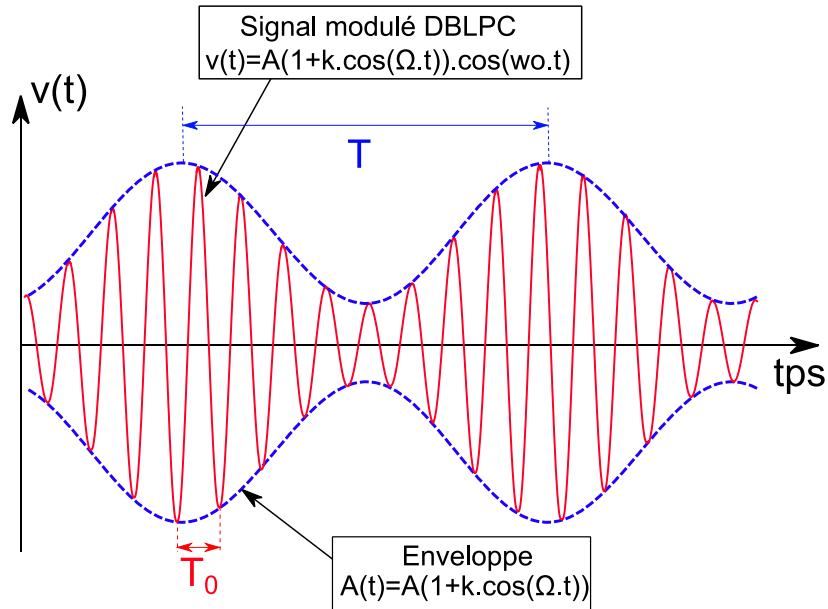


Figure I-32 : Exemple de signal modulé (DBLPC) à enveloppe variable.

- La *puissance instantanée* est le carré du module de la tension à un instant donné si l'on considère que l'impédance de normalisation est égale à 1Ω :

$$P(t) = |v(t)|^2 \quad (I-32)$$

- La *puissance moyenne* (« Average Power ») est le carré du module de la tension intégré sur une durée au moins égale à la période de l'enveloppe :

$$P_{moy} = \frac{1}{T} \cdot \int_0^T |v(t)|^2 \cdot dt \quad (I-33)$$

- La *puissance instantanée d'enveloppe* est le carré du module de la tension intégré sur la durée d'une période T_0 de la porteuse :

$$P_{env}(t) = \frac{1}{T_0} \cdot \int_0^{T_0} |v(t)|^2 \cdot dt \quad (I-34)$$

- La *puissance crête* (« Peak Power ») est la valeur maximale prise par la puissance instantanée d'enveloppe :

$$\widehat{P_{env}} = \max(P_{env}(t)) \quad (I-35)$$

- Le facteur de crête ou PAPR (« Peak Average Power Ratio ») qui définit l'écart entre la puissance crête et la puissance moyenne de l'enveloppe s'exprime par :

$$PAPR(dB) = 10 \cdot \log_{10} \left(\frac{\widehat{P_{env}}}{P_{moy}} \right) \quad (I-36)$$

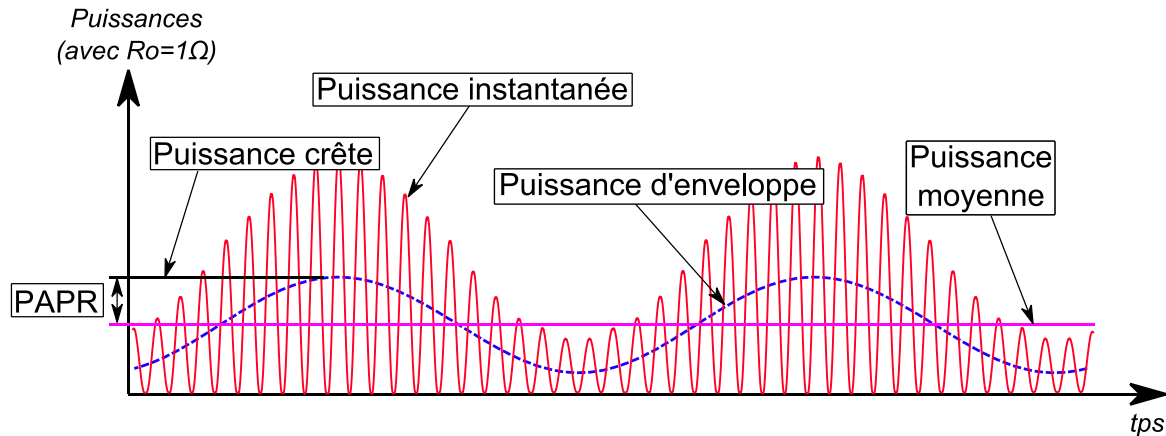


Figure I-33 : Illustration des différentes puissances mises en jeu dans un signal à enveloppe variable.

- La PDF (« Probability Density Function ») est une caractéristique fondamentale de description des signaux à enveloppe variable. La PDF est une notion statistique qui donne le pourcentage de temps pendant lequel le signal va être à un niveau de puissance instantanée d'enveloppe donné. La Figure I-34 représente un exemple de densité de probabilité d'un signal 16-QAM.

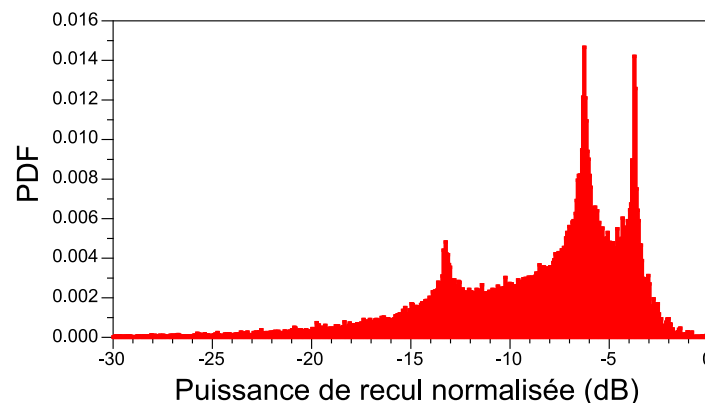


Figure I-34 : Représentation de la densité de probabilité d'un signal 16-QAM.

L'ensemble de ces caractéristiques va conditionner les performances en puissance, rendement et linéarité de l'amplificateur de puissance. Le type de signal utilisé est souvent un point principal du cahier des charges de conception d'amplificateur.

I.4.5.2) Antagonisme entre le rendement et la linéarité

L'amplificateur de puissance fonctionnant en présence de signaux modulés à enveloppe variable voit ses performances statiques balayées en puissance suivant les caractéristiques du signal ($PAPR$, PDF), on parle alors d'un fonctionnement dynamique.

Pour travailler avec le maximum de rendement, il est nécessaire que la puissance maximale de l'enveloppe d'entrée soit située au maximum de rendement de l'amplificateur (« zone de compression »). Dans cette zone, l'amplificateur est fortement non-linéaire, ce qui a pour conséquence de distordre fortement le signal en sortie. Par conséquent, les spécifications de linéarité ne peuvent plus être respectées. La Figure I-35 représente les caractéristiques de l'amplificateur associées aux propriétés d'un signal à enveloppe variable pour obtenir le maximum de rendement.

Afin de respecter les spécifications de linéarité, la solution est de travailler avec une puissance moyenne inférieure de façon à ce que la puissance maximale de l'enveloppe reste dans la zone linéaire de l'amplificateur. On parle de recul en puissance (« Back-Off »). Par conséquent, le rendement moyen est fortement dégradé. La Figure I-36 représente le recul en puissance nécessaire pour assurer une bonne linéarité.

L'ensemble des problématiques de l'amplification de puissance est basé sur le compromis qui existe entre le rendement et la linéarité.

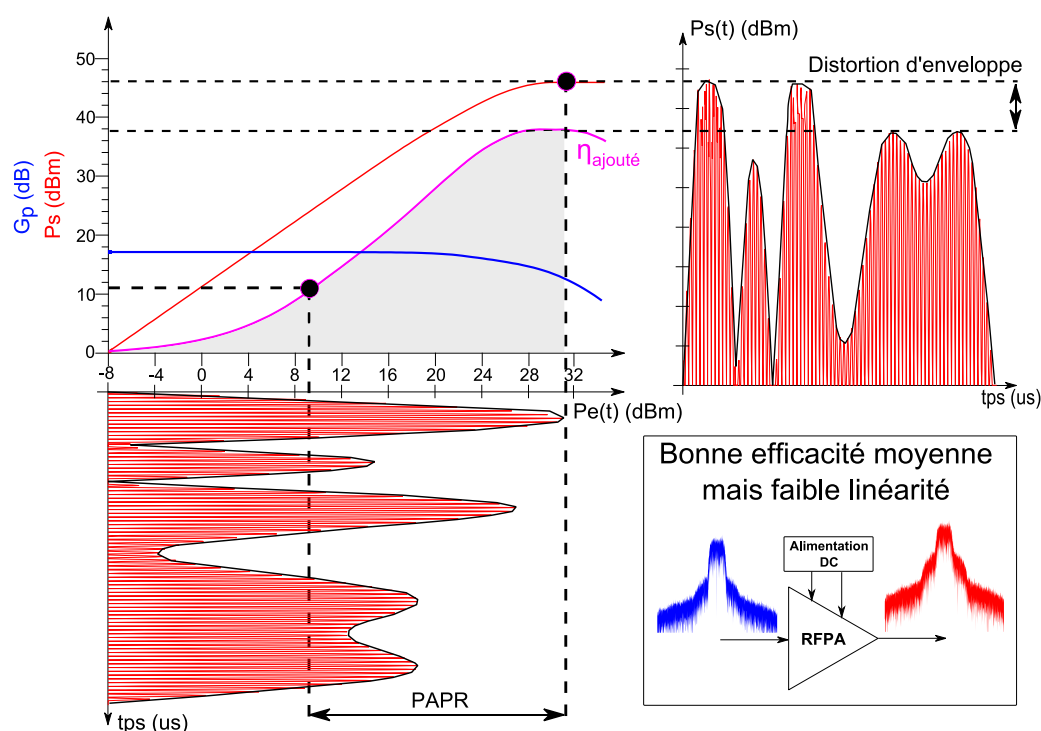


Figure I-35 : Fonctionnement de l'amplificateur optimisé en rendement pour un signal à enveloppe variable.

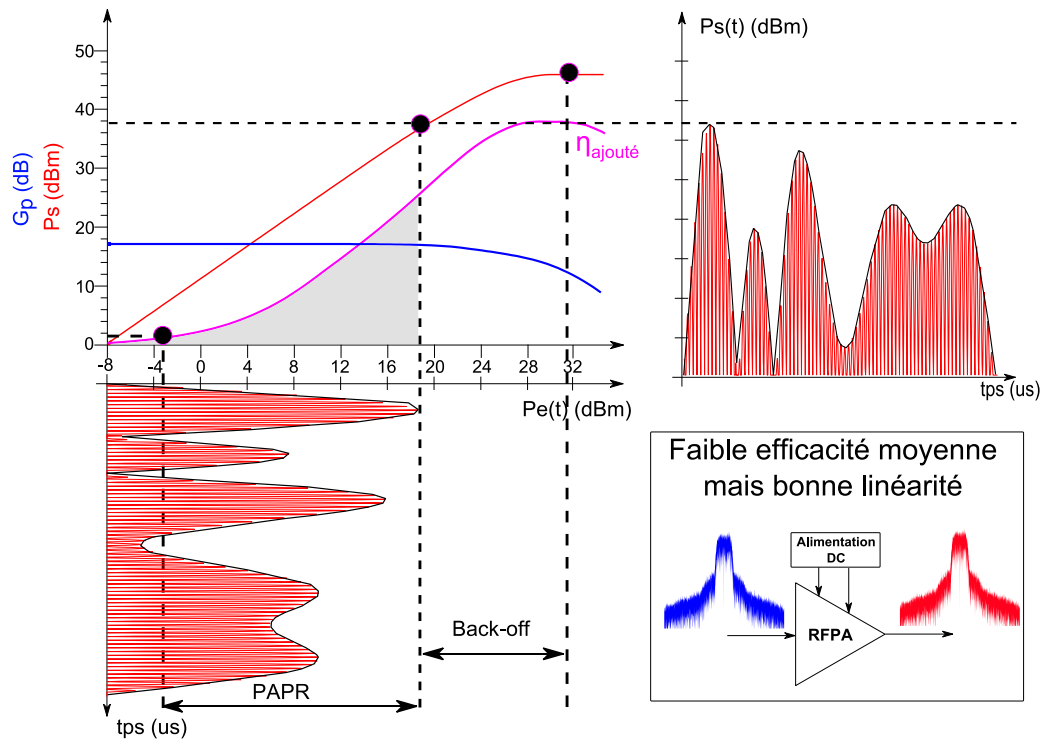


Figure I-36 : Fonctionnement de l'amplificateur optimisé en linéarité pour un signal à enveloppe variable.

I.5) L'apport du nitrure de gallium (GaN)

Conformément aux « lois de Moore », la densité de transistors dans un circuit a augmenté de façon exponentielle depuis les années 50. Dans ce cadre, le silicium est devenu le matériau dominant la fabrication de composants électroniques, notamment grâce à sa simplicité d'utilisation, sa fiabilité, mais aussi son coût. Pendant plus de trois décennies, les transistors à base de silicium ont été améliorés de façon constante, que ce soit pour les applications de gestion d'alimentation à travers la technologie MOSFET, ou bien pour les applications d'amplification de puissance RF avec la technologie LDMOS. Aujourd'hui l'amélioration des transistors à base de silicium approche asymptotiquement les limites théoriques. C'est dans ce contexte et grâce à des propriétés électroniques uniques que le nitrure de gallium (GaN) fait son apparition dans les années 90, permettant ainsi d'entrevoir de nouvelles possibilités dans de nombreuses applications.

I.5.1) Propriétés intrinsèques du matériau GaN

L'effervescence existante autour de la technologie GaN découle de ses propriétés intrinsèques exceptionnelles. De façon à traduire les caractéristiques de base de ce matériau et de le comparer avec d'autres semi-conducteurs, nous allons énoncer ses propriétés essentielles et présenter ses performances maximales théoriques réalisables. Dans la section suivante, six caractéristiques fondamentales seront détaillées et comparées.

I.5.1.1) Largeur de bande interdite (E_g)

La largeur de bande interdite (*ou gap*) représente l'énergie (E_g) qui sépare la bande de valence de la bande de conduction. En chauffant le matériau, en lui appliquant un champ électromagnétique, ou encore dans certains cas en l'illuminant, l'électron peut recevoir une énergie suffisante lui permettant de passer de la bande de valence à la bande de conduction, et donc de pouvoir créer un courant électrique dans le matériau. La largeur de la bande interdite découle de l'interaction coulombienne qui existe entre les électrons de conduction et le réseau cristallin du matériau. Plus le gap est important, plus l'énergie nécessaire à un électron pour passer d'une bande à l'autre est importante.

Matériaux	Si	AsGa	InP	4H-SiC	GaN
E_g (eV) @300K	1.12	1.43	1.35	3.25	3.4

Tableau I-1 : Largeur de bandes interdites pour différents semi-conducteurs.

Parmi les semi-conducteurs des colonnes III-V du tableau périodique de Mendeleiev, le GaN a une largeur de bande interdite nettement supérieure aux autres semi-conducteurs (Tableau I-1), on parle alors de matériaux « *grand gap* ». Le gap est la caractéristique la plus importante pour définir un semi-conducteur car de nombreuses autres propriétés, comme le champ critique, en dépendent.

I.5.1.2) Champ critique (E_{crit})

Une caractéristique directement liée à la largeur de la bande interdite, est le champ critique. Plus la bande interdite est large, plus le champ nécessaire pour initier un phénomène d'avalanche est important. Le champ critique (E_{crit}), qui est la valeur du champ entraînant le claquage et donc la destruction du composant, peut être approximé par la formule suivante:

$$E_{crit} \propto E_g^{3/2} \quad (I-37)$$

Plus la largeur de bande interdite est importante, plus le champ critique est important, plus les courants de fuite intrinsèques sont faibles et plus les températures de fonctionnement peuvent être élevées. Un fort champ de claquage permet de supporter de fortes polarisations, de fortes excursions dynamiques de tension de sortie et donc de fortes puissances.

Matériaux	Si	AsGa	InP	4H-SiC	GaN
E_{crit} (MV/cm)	0.3	0.4	0.5	3	5

Tableau I-2 : Champ de claquage pour différents semi-conducteurs.

Avec un champ de claquage environ dix fois supérieur à celui du silicium (Tableau I-2), le SiC et le GaN surpassent leurs concurrents, et sont propices aux applications de fortes puissances. Par ailleurs, l'utilisation de transistors à forte tension de polarisation de drain facilite l'adaptation d'impédance de sortie à faible perte.

I.5.1.3) Mobilité et vitesse des porteurs

La mobilité des porteurs de charge est une notion qui caractérise un milieu lorsqu'il conduit un courant électrique. Lorsqu'on soumet un matériau à un champ électrique, les électrons sont accélérés par ce champ. Mais ils sont également soumis aux interactions avec les atomes du matériau et perdent de la vitesse lors de chocs avec ces mêmes atomes. La mobilité est liée au libre parcours sans choc dans le semi-conducteur. Elle varie fortement avec la température, la conductivité électrique et les impuretés présentes dans le milieu. La mobilité notée μ , relie la vitesse moyenne d'un porteur de charge électrique du milieu (*électron, trou*) au champ électrique qu'il subit via la relation :

$$v = \mu(E) \cdot E \quad (\text{I-38})$$

Où v est la vitesse de dérive, $\mu(E)$ la mobilité des porteurs et E le champ électrique. Comme le montre le Tableau I-3, les éléments des colonnes III-V du tableau périodique présentent une mobilité des porteurs bien supérieure à celle du silicium.

Matériaux	Si	AsGa	InP	4H-SiC	GaN
Mobilité des électrons ($\text{cm}^2/\text{V.s}$)	1450	8500	5400	900	2000
Mobilité des trous ($\text{cm}^2/\text{V.s}$)	480	400	200	120	200
Vitesse de saturation des électrons (10^7 cm/s)	1	1.2	1.4	2	1.5

Tableau I-3 : Mobilité et vitesse de saturation des porteurs pour différents semi-conducteurs.

Cependant, la vitesse des porteurs dans un semi-conducteur atteint une valeur limite due aux interactions entre les porteurs et le réseau cristallin du matériau lorsqu'elle est soumise à un fort champ électrique, c'est la vitesse de saturation. Comme le montre le Tableau I-3, le GaN possède une vitesse de saturation élevée qui le prédispose pour des applications haute fréquence.

La mobilité et la vitesse des porteurs sont des caractéristiques intrinsèques du matériau qui ont une influence directe sur la densité de courant dans le semi-conducteur comme nous allons le décrire dans le paragraphe suivant. Dans un transistor HEMT, ces grandeurs impactent la valeur de la tension de coude qui définit la limite de la zone ohmique et par conséquent la résistance à l'état saturé (R_{DSon}) qui est d'autant plus petite que la mobilité des porteurs est importante. On observe dans le Tableau I-3 que la mobilité des porteurs est plus faible dans le GaN que dans l'AsGa. Néanmoins, l'utilisation de la structure HEMT GaN permet d'atteindre la mobilité maximale théorique du GaN. Cette caractéristique est donc primordiale pour les applications à haut rendement, haute fréquence et favorise aussi les applications à fort gain.

I.5.1.4) Densités de porteurs et de courant

La densité intrinsèque de porteurs dans un semi-conducteur dépend de la largeur de la bande interdite et de la température selon la relation suivante :

$$\eta = A.T^3.e^{\frac{E_g(0)}{k.T}} \quad (I-39)$$

La largeur de bande interdite étant quasi constante en fonction de la température, la densité de porteurs est donc principalement fonction de la température. La densité de courant est reliée à la densité de porteurs par :

$$J = q.\eta.v \quad (I-40)$$

Avec q la charge de l'électron, η la densité de porteurs et v la vitesse de dérive.

Les matériaux à grand gap sont particulièrement adaptés pour les applications à haute température. La forte densité de courant qui découle de cette propriété favorise la miniaturisation des dispositifs.

I.5.1.5) Conductivité thermique (K_{th})

La conductivité thermique d'un matériau traduit sa capacité à transporter la chaleur créée par effet joule lors du fonctionnement du composant. Cette caractéristique est essentielle car elle est liée à la mobilité des porteurs. En effet, plus la conductivité thermique est faible plus la température de fonctionnement augmente. Par conséquent et comme expliqué précédemment, la densité de porteurs diminue et engendre une réduction des performances.

Matériaux	Si	AsGa	InP	4H-SiC	GaN
Conductivité thermique (W/cm.K) @ 300K	1.5	0.55	0.68	4.9	1.3

Tableau I-4 : Conductivité thermique pour différents semi-conducteurs

Avec une conductivité thermique nettement supérieure (Tableau I-4) à celle de l'AsGa et de l'InP, le GaN est largement plus attractif pour les applications de forte puissance. Cependant, le SiC a une conductivité thermique encore plus importante que celle du GaN. Pour cette raison, le SiC peut constituer un excellent substrat pour les structures GaN, d'autant que ces deux matériaux ont des structures cristallines proches, permettant un bon accord de maille.

Pour conclure et en comparaison avec le silicium, le GaN offre des caractéristiques électriques uniques en termes de température maximale de travail, de fréquence de coupure, de tension d'avalanche, de densité de courant et de puissance. L'ensemble de ces caractéristiques est principalement lié à sa forte largeur de bande interdite. Comme le résume la Figure I-37, le GaN surpasse ses concurrents dans plusieurs domaines.

Propriétés intrinsèques	Propriétés électriques	Applications
Largeur de bande interdite élevée	Fort champ de claquage	Circuits d'alimentations (MHz)
Hautes mobilité et vitesse des porteurs	Haute fréquence de transition	Circuits RF (GHz)
Conductivité thermique	Haute température de travail	Circuits d'alimentations (MHz)
Densité de porteurs	Forte densité de courant	Circuits d'alimentations (MHz)
Conductivité électrique	Faible pertes	Circuits RF (GHz)

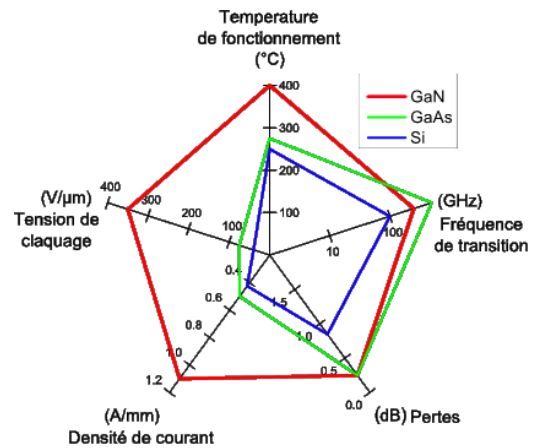


Figure I-37 : Comparaison des propriétés électriques pour différents semi-conducteurs [10].

De par ces caractéristiques hors normes, une multitude d'applications se voient frappées par la « fièvre GaN ». Les transistors HEMT GaN deviennent alors la brique de base pour exploiter au maximum les performances théoriques proposées par le matériau GaN.

I.5.2) Les transistors HEMT GaN

Le principe de fonctionnement des transistors HEMT (*High electron mobility transistor*) est basé sur un phénomène décrit comme un gaz d'électrons bidimensionnel (2DEG : *2 dimensions electron gas*) en 1975 par [11] et repris en 1994 par [12], qui a démontré une très forte mobilité électronique à l'interface du GaN et de l'AlGaIn.

La structure particulière du réseau cristallin du GaN est une structure hexagonale appelée « Wurtzite ». Ce type de structure donne au GaN des propriétés piézoélectriques qui sont principalement causées par le déplacement d'éléments chargés dans le réseau cristallin. Lorsque le matériau est soumis à une contrainte mécanique, la déformation provoque un léger mouvement dans la structure des atomes du réseau générant ainsi un champ électrique. L'association de deux matériaux ayant une largeur de bande interdite différente est appelée une hétérojonction. En faisant croître une fine couche d'AlGaIn sur une couche de GaN, l'aluminium va déformer la structure du réseau cristallin du GaN, créant ainsi une contrainte à l'interface de l'hétérojonction AlGaIn/GaN qui conduit à un gaz d'électrons bidimensionnel. Lorsqu'un champ électrique est appliqué sur cette interface, les électrons sont confinés dans cette petite région, augmentant significativement la mobilité des électrons. La forte concentration d'électrons à très haute mobilité constitue le phénomène physique de base du transistor HEMT GaN.

I.5.2.1) D-mode HEMT GaN (normalement à l'état ON)

Le HEMT GaN à appauvrissement (*depletion-mode*) est le premier type de transistor GaN qui fut fabriqué commercialement par Eudyna au Japon en 2004. Il est réalisé en utilisant du GaN sur un substrat de carbure de silicium (SiC). Ce procédé permet d'allier l'excellente conductivité thermique du SiC avec les propriétés électriques du GaN. Comme

tout transistor à effet de champ, il est composé d'une électrode de grille, de source et de drain comme représenté dans la Figure I-38.

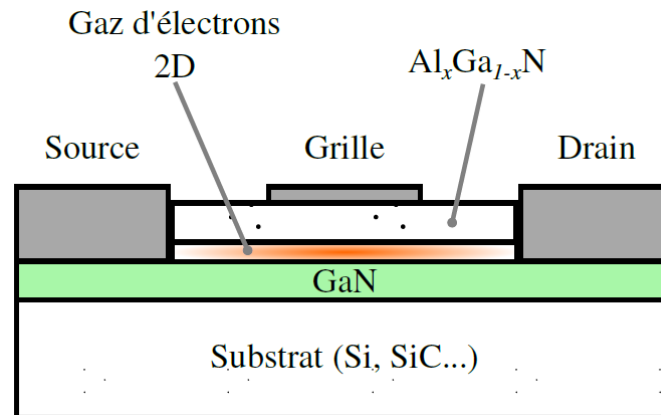


Figure I-38 : Vue de coupe simplifiée d'un d-mode HEMT AlGaIn/GaN.

Les électrodes de source et de drain traversent la couche AlGaIn supérieure pour former un contact ohmique avec la zone 2D sous-jacente. L'électrode de grille est placée sur le dessus de la couche AlGaIn afin de réguler le gaz d'électrons bidimensionnel. Avec une polarisation de grille-source nulle, un court-circuit entre la source et le drain se crée et il y a un gaz d'électrons bidimensionnel qui se propage au niveau de l'hétérojonction, le canal est alors ouvert. Lorsque la polarisation de grille est abaissée en dessous de la tension de seuil (V_p : typiquement $-3V$), le canal est épuisé et il n'y a plus d'électrons disponibles pour la conduction. Le canal est pincé et aucun courant ne circule sous la grille.

I.5.2.2) E-mode HEMT GaN (normalement à l'état OFF)

Le HEMT GaN à enrichissement (*enhancement-mode*) est introduit en 2009 par la société EPC (*Efficient Power Conversion*) [13]. Le e-mode GaN a pour but de s'affranchir du caractère normalement ouvert du d-mode GaN. En effet, avec une tension de polarisation de grille nulle, le e-mode GaN est fermé et ne conduit le courant drain-source qu'en présence d'une tension grille-source positive. Il est normalement à l'état bas.

Il existe quatre structures différentes pour réaliser un e-mode GaN : grille encastrée, grille implantée, grille pGaN et la structure hybride cascode.

- **La structure e-mode à grille encastrée** fut introduite en 2005 par [14] et consiste à réduire au maximum la couche d'AlGaIn en dessous de la grille du transistor, comme représenté dans la Figure I-39. Plus la couche l'AlGaIn devient fine plus le champ créé par l'effet piézoélectrique devient faible. Par conséquent, le gaz d'électrons bidimensionnel est éliminé pour une polarisation nulle sur la grille. Avec une tension de polarisation grille-source positive, les électrons sont attirés à l'interface AlGaIn/GaN et circulent dans le canal. De par cette technique, le canal se trouve largement réduit par rapport à un d-mode GaN, limitant ainsi la densité de porteurs dans le canal.

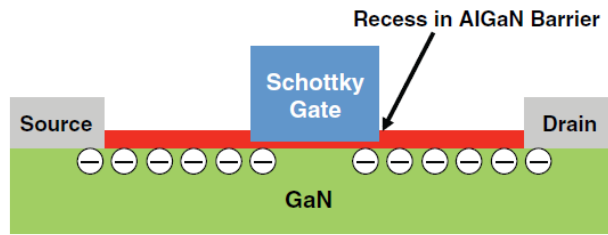


Figure I-39 : Vue de coupe simplifiée d'une structure e-mode à grille encastrée [15].

- **La structure e-mode à grille implantée** est basée sur l'apport d'atomes de fluor dans la couche AlGaIn [16], comme représenté dans la Figure I-40. Les atomes de fluor créent des pièges dans la couche AlGaIn qui neutralisent le gaz d'électrons bidimensionnel lorsque la tension de polarisation de grille est nulle. Cependant l'ajout du fluor dans la couche AlGaIn, entraîne une augmentation des impuretés, et donc une limitation de la mobilité des porteurs par rapport aux limites théoriques du GaN.

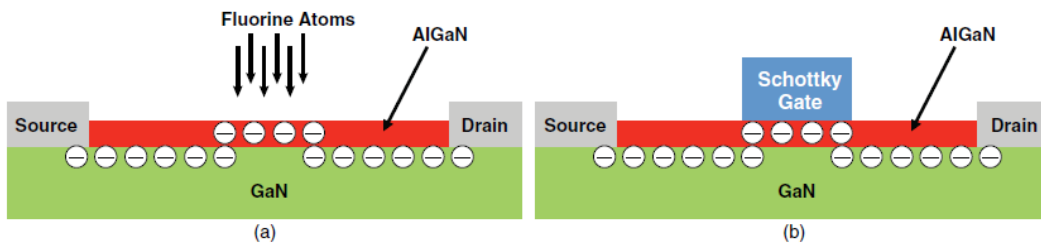


Figure I-40 : Vue de coupe simplifiée d'une structure e-mode à grille implantée [15].

- **La structure e-mode à grille pGaIn** consiste à ajouter une couche de GaN dopé p au-dessus de la couche AlGaIn, comme montré dans la Figure I-41. Les charges positives dans cette couche pGaIn génèrent un potentiel supérieur au potentiel généré par l'effet piézo-électrique de l'hétérojonction AlGaIn/GaN, neutralisant ainsi les électrons dans le canal et offrant un dispositif naturellement à l'état OFF [17].

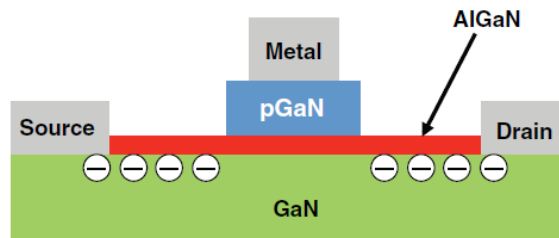


Figure I-41 : Vue de coupe simplifiée d'une structure e-mode à grille pGaIn [15].

- **La structure hybride cascode** est basée sur l'association d'un MOSFET (naturellement à l'état OFF) en série avec un d-mode HEMT GaN comme le montre la Figure I-42 [18], [19]. Dans ce cas, le MOSFET va agir comme un pilote de grille

du d-mode GaN. Lorsque le MOSFET est mis en conduction par une tension positive sur sa grille, le d-mode GaN voit sa polarisation de grille proche de zéro. Les deux transistors sont alors en conduction et le courant peut alors les traverser simultanément. Au contraire, lorsque la tension sur la grille du MOSFET est nulle, il est bloqué et crée une tension négative entre la grille et la source du d-mode GaN qui le fait passer à l'état bloqué.

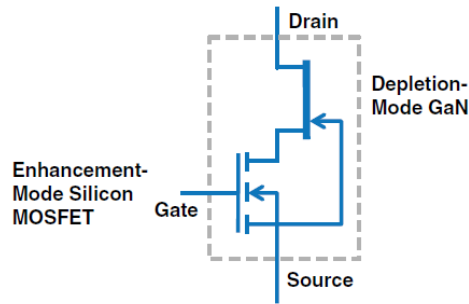


Figure I-42 : Schématique d'une structure hybride cascode [15].

Ce type de solution limite fortement les performances de la technologie GaN. En effet, la valeur importante de la résistance à l'état haut ($R_{DS(on)}$) du MOSFET accentue les pertes de la structure lorsque les tensions de travail sont faibles. Cependant, lorsque la tension de fonctionnement est élevée la contribution du MOSFET devient pratiquement négligeable [15]. C'est pour cette raison que la structure cascode est seulement utilisée pour des applications ayant des tensions supérieures à 200 V.

L'ensemble des technologies citées précédemment et utilisant le matériau GaN est résumé dans la Figure I-43 :

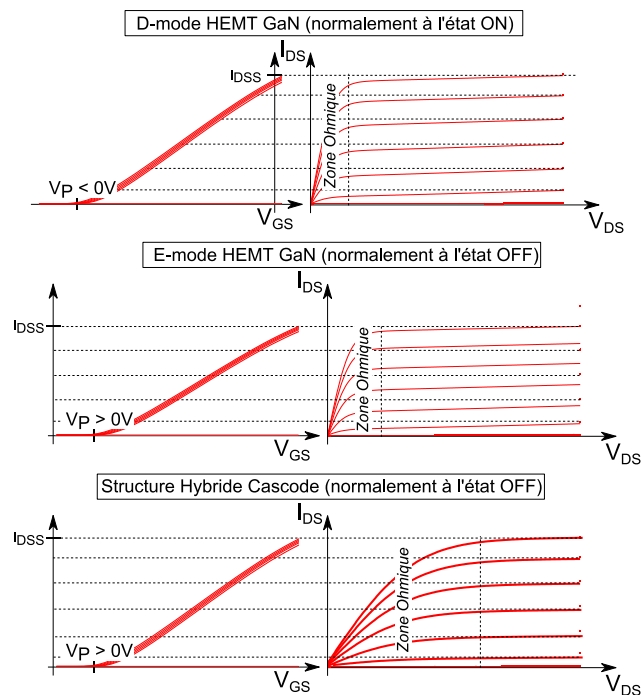


Figure I-43 : Résumé des différents types de technologies utilisant le matériau GaN.

I.5.3) Le GaN pour les applications hyper-fréquences

Afin d'évaluer le potentiel d'un semi-conducteur pour des applications hyperfréquences, des facteurs de mérite ont été définis [20], [21] :

- JFM « Johnson's Figure of Merit » :

$$JFM = \left(\frac{E_c \cdot v_s}{2\pi} \right)^2 \quad (I-41)$$

Avec E_c le champ de claquage, v_s la vitesse de saturation des porteurs. Cette figure de mérite permet d'évaluer les performances en puissance aux hautes fréquences du semi-conducteur.

- KFM « Keye's Figure of Merit » :

$$KFM = k_{th} \cdot \left(\frac{E_c \cdot v_s}{4\pi \cdot \varepsilon} \right)^2 \quad (I-42)$$

Avec k_{th} la conductivité thermique et ε la permittivité. Cette figure de mérite est similaire à celle de Johnson mais elle prend en compte les limitations thermiques du matériau.

Matériaux	Si	AsGa	4H-SiC	GaN
JFM	1	11	410	790
KFM	1	0.45	5.1	1.8

Tableau I-5 : Figures de mérite pour différents matériaux pour les applications hyper-fréquence (valeurs normalisées par rapport au silicium)

Les facteurs de mérite sont largement à l'avantage des matériaux à grand gap, pour des applications à haute densité de puissance et haute fréquence. On observe que l'association du GaN sur un substrat SiC, permet d'atteindre des facteurs de mérite bien supérieurs à ceux du silicium.

La tension de pincement négative (*normalement à l'état ON*) du d-mode HEMT GaN n'est pas un inconvénient dans les applications hyperfréquences, par conséquent il est aujourd'hui un transistor de plus en plus utilisé pour l'amplification microonde. Il devient, au fur et à mesure de ses améliorations, un concurrent sérieux à la technologie LDMOS Si qui domine le marché des télécommunications. Les transistors d-mode HEMT GaN présentent des performances largement supérieures à celles du LDMOS (Tableau I-6), en termes de densité de puissance, de fréquences de transition et de rendement énergétique [22]. En outre, les capacités d'entrée et de sortie inférieures conduisent à des impédances plus élevées qui permettent de meilleurs rendements de drain et des rapports de transformation d'impédance réduits facilitant l'adaptation du composant. Ces deux facteurs conduisent à des améliorations dans l'efficacité de l'amplificateur et la miniaturisation des systèmes [23]. Cependant, le d-mode HEMT GaN reste un composant onéreux. La tendance actuelle est de développer le HEMT GaN sur substrat silicium, ce qui va permettre de diminuer largement les coûts de fabrication par rapport au substrat SiC [24]

Matériaux	Densité de puissance [22], [23]	Fréquence de transition [22]	Rendement [23]	Prix [25], [26]
LDmos Si	1 W/mm	5 GHz	60 %	2.2 \$/W
d-mode HEMT GaN	5 W/mm	80 GHz	70 %	4.1 \$/W

Tableau I-6 : Tableau de comparaison des performances LDmos Si et du HEMT GaN.

Aujourd'hui, il reste difficile d'évaluer les véritables performances et marges d'amélioration du e-mode HEMT GaN pour les applications hyperfréquences. Il a été cependant présenté par [15] avec une fréquence de travail de 500MHz.

I.5.4) Le GaN pour les applications de gestion d'alimentation (régime de commutation)

En régime de commutation, les transistors doivent passer rapidement d'un état bloqué (*état résistif fort*) à un état passant (*état résistif faible*). Pour les applications de gestion d'alimentation exigeant ce type de fonctionnement, le choix de la technologie MOSFET Silicium était jusqu'à présent indiscutable. Afin de comparer les différents semi-conducteurs en régime de commutation, deux autres figures de mérite sont utilisées [27]:

- BFM « Baliga's Figure of Merit » :

$$BFM = \varepsilon \cdot \mu_n \cdot E_g^3 \quad (I-43)$$

Avec E_g la largeur de bande interdite, μ_n la mobilité des électrons et ε la permittivité. Cette figure de mérite permet d'évaluer les performances en commutation de puissance du semi-conducteur. La BFM est basée sur l'hypothèse que les pertes de puissance sont exclusivement dues à la dissipation de puissance lors de l'état passant à travers la résistance R_{DSon} du transistor. Ainsi, la BFM ne s'applique qu'aux applications basse fréquence, lorsque les pertes de conduction sont dominantes.

Dans le cas d'applications plus haute fréquence, il est nécessaire d'inclure les pertes de commutation, dans [27] Baliga définit une nouvelle figure de mérite.

- BHFM « Baliga's Figure of Merit » :

$$BHFM = \mu_n \cdot E_c^2 \quad (I-44)$$

Matériaux	Si	AsGa	4H-SiC	GaN
BFM	1	28	34	910
BHFM	1	16	290	100

Tableau I-7 : Figures de mérite pour différents matériaux en application de gestion d'alimentation (valeurs normalisées par rapport au silicium)

Les figures de mérite sont largement à l'avantage du GaN pour des applications de commutation de puissance à haute fréquence.

Ces figures de mérite offrent une première évaluation générale du semi-conducteur et permettent d'avoir une idée des performances théoriques auxquelles on peut prétendre. En réalité et suivant le procédé technologique, il existe de nombreux éléments parasites (Tableau I-7) qui limitent les performances des semi-conducteurs. Par conséquent, pour évaluer plus précisément les potentialités d'une technologie particulière telle que le MOSFET ou le e-mode HEMT GaN, les concepteurs utilisent d'autres figures de mérite adaptées aux applications de gestion d'alimentation.

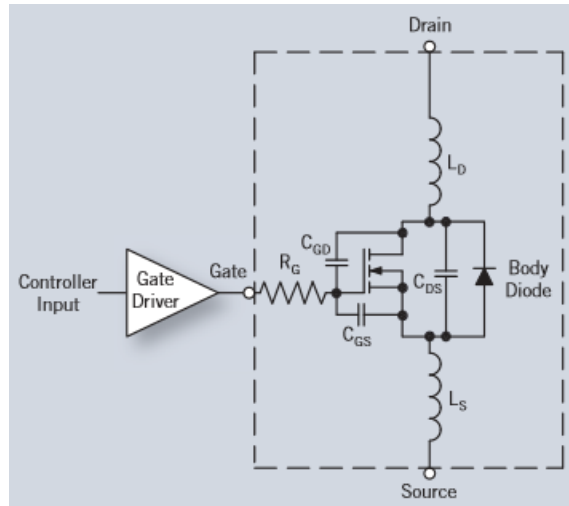


Figure I-44 : Eléments parasites du e-mode HEMT GaN [28].

Il existe plusieurs types de figures de mérite prenant en compte les différents éléments parasites d'une technologie donnée [28]. Cependant, la figure de mérite traditionnellement utilisée pour la technologie MOSFET pour comparer les performances de différents composants est la FOM de commutation (« *Switching FOM* »). Elle permet d'estimer les performances en termes de perte de conduction et de commutation, en analysant le compromis existant entre la valeur de la résistance à l'état passant et la valeur de la charge d'entrée du transistor. Pour diminuer les pertes de conduction d'un composant, il faut diminuer la résistance à l'état passant (R_{DSon}) mais ceci augmente la charge grille-source (Q_{GS}) et la charge drain-grille (Q_{GD}) qui impactent les pertes de commutation. Par conséquent, cette figure de mérite est idéale pour comparer les performances théoriques en régime de commutation de deux technologies :

$$FOM_{commutation} = (Q_{GS} + Q_{GD}) \cdot R_{DSon} \quad (I-45)$$

La comparaison de cette FOM entre le e-mode GaN et le MOSFET Si pour 40V et 100V est tracée sur la Figure I-45.

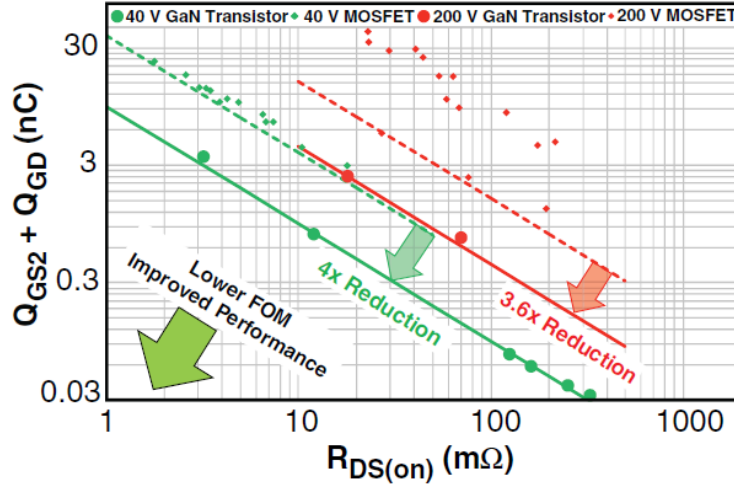


Figure I-45 : $R_{DS(on)}$ en fonction $(Q_{GS}+Q_{GD})$ pour la technologie MOSFET et e-mode GaN à 40V et 200V [15].

Comme évoqué précédemment, on observe que le e-mode GaN offre une large amélioration de la FOM pour les différentes tensions confirmant ainsi son potentiel pour les applications de conversion d'énergie.

Bien que le e-mode GaN offre une large amélioration des FOM's par rapport au MOSFET, il reste aujourd'hui peu mature et très peu commercialisé [29]. Avec une figure de mérite plus faible que celle du e-mode GaN, comme le montre la Figure I-46, le d-mode GaN a encore plus de potentiel pour les applications de gestion d'alimentation, malgré le fait qu'il soit normalement passant.

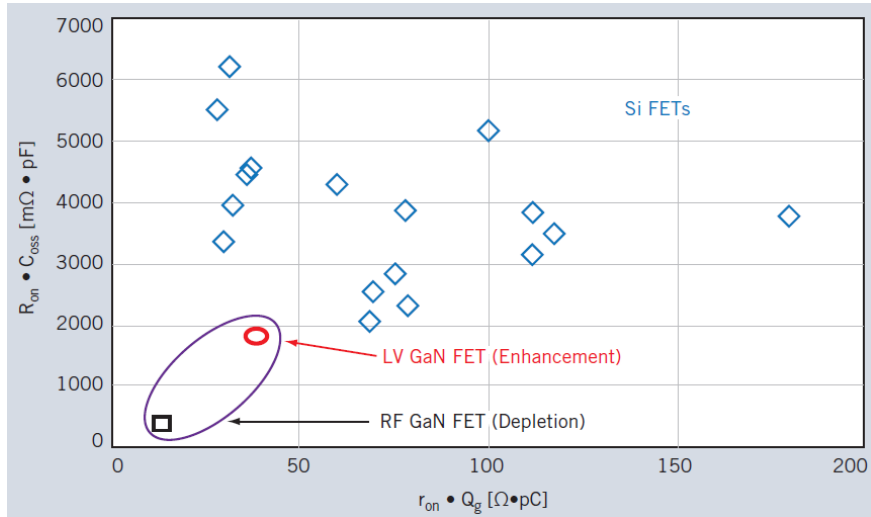


Figure I-46 : Figures de mérite comparant le MOSFET-Si, le e-mode GaN et le d-mode GaN [29].

I.6) Conclusion

La technologie des semi-conducteurs utilisés au sein de la fonction d'amplification de puissance est au cœur des fortes évolutions des terminaux hyperfréquences dans les systèmes de transmission de l'information. Le matériau GaN associé à un substrat SiC offre des propriétés électriques bien supérieures à celle du silicium en termes de champ de claquage, de fréquence de transition, de température de travail, de densité de courant et de pertes.

On distingue deux types de technologie GaN : d-mode HEMT GaN (*normalement passant* $V_p < 0V$) et le e-mode HEMT GaN (*normalement bloqué* $V_p > 0$).

Le d-mode HEMT GaN est sans conteste une technologie à fort potentiel pour les applications hyper-fréquence. Il offre des performances en termes de densité de puissance (*miniaturisation*), de fréquence de travail et de rendement nettement supérieures à celles de son concurrent direct le LDmos Si. Sa fabrication reste cependant couteuse et son procédé technologique souffre encore d'un manque de maîtrise concernant les effets dispersifs de pièges (*inhérent à la technologie HEMT*) et la fiabilité. La technologie HEMT GaN sur silicium apparaît comme étant une solution prometteuse en termes de coûts de fabrication et de performances [30], et peut permettre au GaN de s'imposer pour de nouvelles applications RF [24]. Pour les applications de gestion d'alimentation, il présente l'inconvénient d'être normalement passant. Il n'est donc pas facilement intégrable dans des architectures pensées pour les MOSFET's (*normalement bloqué*). Pour pallier cette problématique et offrir de nouveaux champs d'applications au GaN, le e-mode HEMT GaN fait aujourd'hui son apparition. Cette technologie apparaît comme étant une solution prometteuse qui reste encore peu mature aujourd'hui, néanmoins elle surpasse déjà les performances du MOSFET dans les applications de gestion d'alimentation.

Par conséquent, le d-mode HEMT GaN est aujourd'hui un candidat idéal pour répondre aux problématiques hyper-fréquences mais aussi à celle de gestion d'alimentation. De ce fait, il suscite beaucoup d'intérêt pour exploiter avantageusement ses potentialités dans la recherche d'architectures innovantes d'amplification de puissance.

Les besoins fondamentaux et la grande difficulté dans ce domaine, concernent le fonctionnement large bande à haut rendement et le maintien de très bonnes performances en linéarité et en rendement pour des variations de puissance importantes par rapport à la puissance maximale de saturation.

Le second chapitre est dédié à une analyse de cette problématique en décrivant des travaux spécifiques relevés dans la littérature.

Chapitre II : Techniques de gestion de la ressource d'énergie pour les amplificateurs de puissance hyperfréquence.

II.1) Introduction

Le premier chapitre a exposé la problématique posée par l'optimisation des performances en rendement d'un amplificateur soumis à des variations importantes de la puissance instantanée d'enveloppe des signaux. Cette caractéristique de forte variation de puissance est imposée par l'essor du volume d'informations à transmettre. Cet essor s'accompagne inexorablement d'un accroissement très important de la consommation d'énergie. L'optimisation de l'efficacité énergétique des amplificateurs de puissance constitue ainsi l'axe de recherche principal pour la conception d'architectures innovantes. Au cœur de l'amplificateur, la cellule active (*le transistor*) requiert une attention particulière pour contrôler les conditions de fonctionnement propices à l'optimisation de la conversion d'énergie DC en énergie RF. Un point important consiste à maintenir le rendement le plus élevé possible pour un recul de puissance par rapport à la puissance maximale de saturation.

Outre le contrôle des impédances de fermeture à l'accès du transistor en dehors de la bande de fréquence de fonctionnement déjà mentionné dans le chapitre I, les techniques de variations dynamiques des tensions de polarisation et de l'impédance de charge à la fréquence porteuse offrent théoriquement la possibilité d'optimiser les performances en rendement électrique pour une dynamique de puissance d'entrée bien plus importante. Ces techniques ont comme point commun l'utilisation de deux transistors de puissance dont le couplage non linéaire est complexe. Leur combinaison efficace de puissance est au centre des difficultés pour obtenir un bénéfice notable en termes de bilan global d'énergie consommée, tout en assurant la transmission du signal utile avec un taux de distorsion acceptable.

Ce deuxième chapitre va exposer des travaux menés au cours des dernières années sur ce sujet et va dégager les points critiques de la manière la plus synthétique possible.

Quelques commentaires résumant les difficultés majeures rencontrées justifieront par la suite la contribution propre du travail de thèse développé dans les chapitres suivants.

II.2) Evolution des architectures d'amplification de puissance à haut rendement bande étroite vers large bande haut rendement.

L'accroissement des performances des circuits numériques dédiés (DSP « *Digital Signal Processing* », des ADC « *Analog to Digital Converter* » et des DAC « *Digital to Analog Converter* ») a été le facteur de déclenchement de l'évolution des systèmes d'émission, car ils permettent aujourd'hui d'intégrer des fonctions de conditionnement des signaux en bande de base afin d'améliorer la linéarité des amplificateurs. A titre d'exemple, la

Figure II-1 illustre l'évolution des architectures d'émetteurs de stations de base de la configuration « canal unique – amplificateurs multiples » (SCPA : « *single Carrier Power Amplifier* ») vers la configuration « canaux multiples – amplificateur unique » (MCPA : « *Multi Carrier Power Amplifier* »). La configuration MCPA simplifie le système d'émission et facilite l'utilisation des systèmes de traitement numérique telle que la DPD (« *Digital Pre-Distorsion* »). Elle apporte un bénéfice évident en termes de coût, d'encombrement, de flexibilité et de performance énergétique.

De ce fait, les amplificateurs évoluent naturellement vers des caractéristiques large bande. De nombreux efforts de recherches sont réalisés pour développer des amplificateurs large bande, tout en gardant un rendement maximal le plus élevé possible.

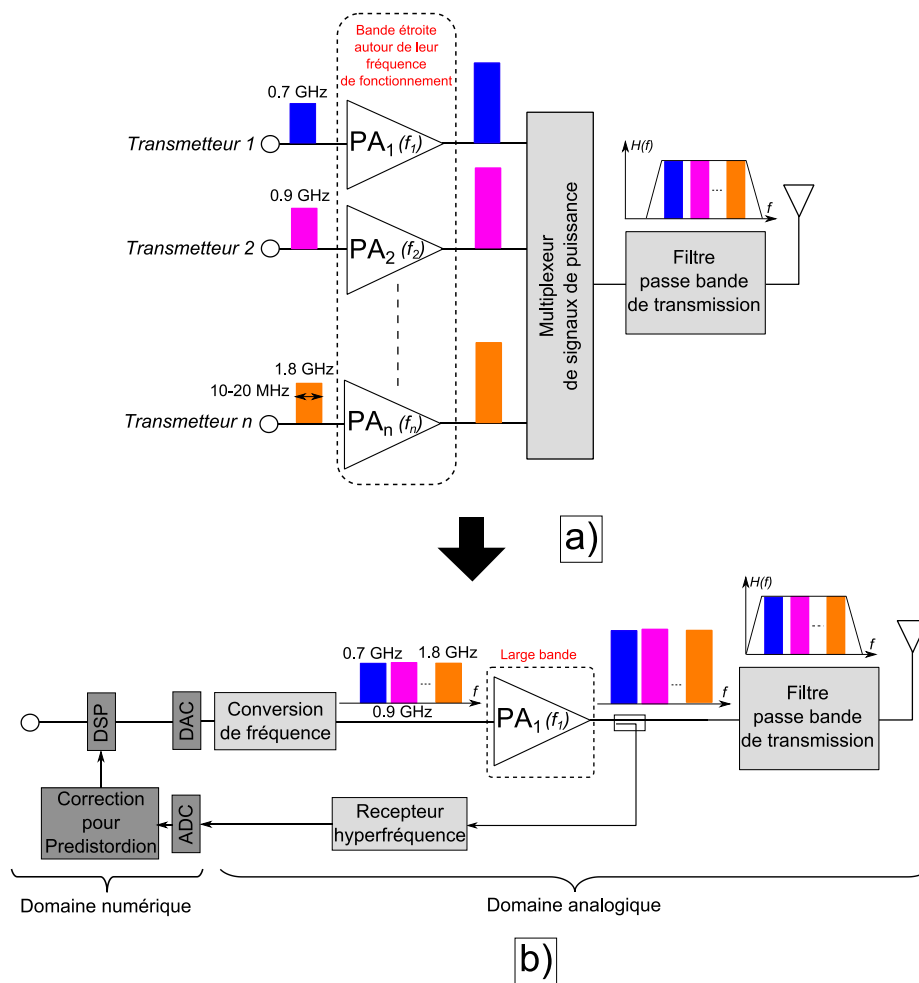


Figure II-1 : Schéma bloc illustrant la différence entre un système SCPA et MCPA.

La Figure II-2 représente le résultat d'une étude bibliographique de différents types de conception d'amplificateurs à un seul transistor. Pour chacun des travaux, les rendements en puissance ajoutée sont comparés en fonction des bandes passantes relatives et des niveaux de puissance de sortie. Les amplificateurs sélectionnés pour cette étude, sont tous réalisés en technologie HEMT GaN fonctionnant entre 1 et 4 GHz.

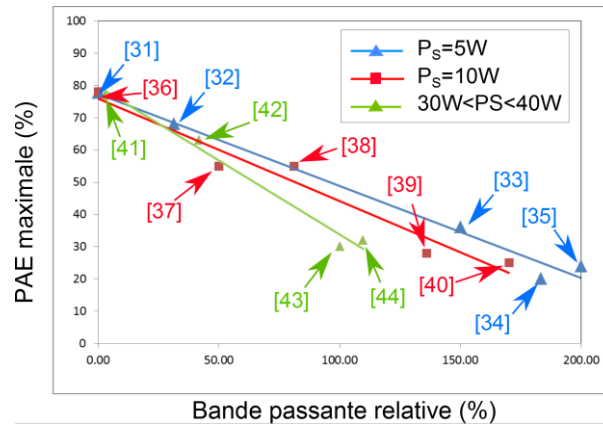


Figure II-2 : Etude bibliographique comparant le rendement en puissance ajoutée en fonction de la bande passante relative pour trois gammes de puissance de sortie d'amplificateurs GaN (1-4 GHz).

Cette étude met clairement en évidence le compromis qui existe entre la bande passante RF d'un amplificateur et son rendement maximal. Plus la bande passante est importante, plus le rendement maximal va diminuer. On observe que la puissance de l'amplificateur a un impact non-négligeable sur ce compromis. Plus la puissance augmente, plus le compromis Rendement/Bande passante est fort. Dans le cadre d'amplificateur simple à un seul transistor, le compromis Rendement/Bande passante/Puissance se trouve imposé par le critère de Bode-Fano [45].

Lorsque l'amplificateur est sous condition de signaux modulés à enveloppe variable ayant un fort rapport entre la puissance crête et la puissance moyenne (*PAPR* : « *Peak To Average Power Ratio* »), son rendement moyen est fonction de la répartition statistique de la puissance d'enveloppe du signal (*PDF* : « *Power Density Function* »). Dans la plupart des cas, l'amplificateur fonctionne la majeure partie du temps avec un recul en puissance de sortie (*OBO* : « *Output Back-Off* ») par rapport à la puissance de saturation pour maintenir les spécifications de linéarité acceptables. Ceci se répercute alors par un faible rendement énergétique moyen.

La Figure II-3 illustre deux points représentatifs du fonctionnement statique d'un transistor de puissance pour deux niveaux de puissance distincts.

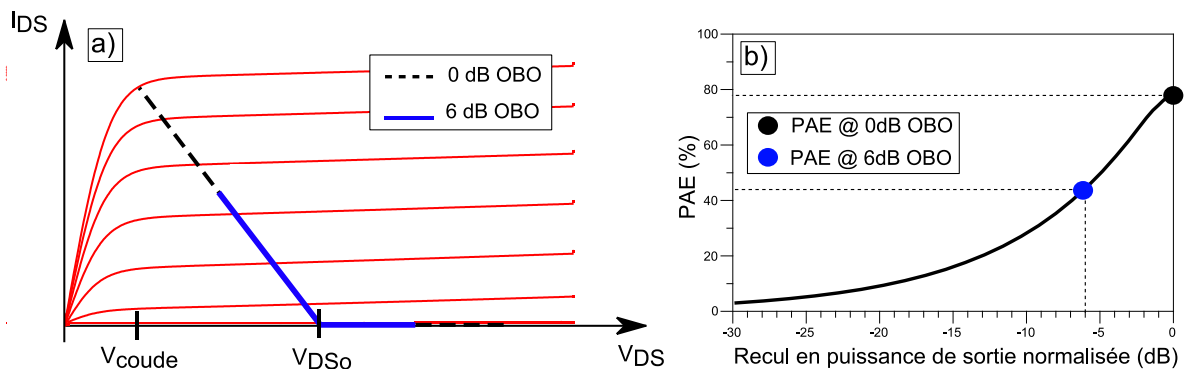


Figure II-3 : a) Cycle de charge d'un amplificateur classe B à puissance de sortie maximale et à 6dB d'OBO. b) PAE en fonction de l'OBO.

En prenant en compte le compromis Rendement/Bande passante évoqué précédemment, on comprend qu'un amplificateur large bande excité par un signal modulé va travailler avec un rendement encore plus faible. L'amélioration de l'efficacité en fonction du recul en puissance est donc essentielle pour améliorer l'efficacité moyenne de l'émetteur. Ceci passe par l'utilisation d'architectures d'amplificateurs à plusieurs transistors (*typiquement deux*), dont le couplage non-linéaire est important pour maintenir un haut rendement en fonction du recul en puissance de sortie, le tout sur la plus large bande passante possible.

Il est donc décrit dans les paragraphes suivants deux grands principes pouvant répondre à cet objectif, selon que le couplage s'effectue par l'impédance de charge ou par la tension de polarisation de drain.

II.3) Architecture d'amplification avec couplage et combinaison de puissance de deux transistors

II.3.1) Technique de modulation de charge: Architecture Doherty

II.3.1.1) Présentation de l'architecture

L'amplificateur Doherty a été proposé pour la première fois par W. Doherty en 1936 [46] pour améliorer le rendement énergétique d'amplificateur à tubes microondes. Depuis les années 90, cette technique a été implémentée avec des transistors à l'état solide et est maintenant largement utilisée dans les systèmes de radiocommunication.

Comme le représente la Figure II-4, l'architecture Doherty est basée sur la combinaison de deux amplificateurs. L'amplificateur auxiliaire va agir comme une charge active sur l'amplificateur principal. Pour réaliser cette modulation de charge dynamiquement, les amplificateurs ont des classes de fonctionnement différentes. Le principal est polarisé en Classe B et l'auxiliaire en Classe C, ce qui permet de différer la conduction de l'amplificateur auxiliaire par rapport au principal en fonction de la puissance d'entrée.

Lorsque le niveau de puissance d'entrée est faible, seul l'amplificateur principal fournit la puissance et l'auxiliaire est pincé. Pour un niveau de puissance moyen, l'auxiliaire commence à conduire et fournit de la puissance en sortie, ce qui modifie la charge vue par le principal. Dans ce cas, l'impédance commence à se déplacer vers l'impédance optimale fort niveau. A forte puissance d'entrée, les deux amplificateurs sont saturés et leurs puissances sont combinées en sortie.

Les amplificateurs principal et auxiliaire sont combinés en sortie à travers une ligne de transmission quart d'onde d'impédance caractéristique Z_c agissant comme un inverseur d'impédance. L'ensemble est connecté à une charge commune R_L . En entrée, la puissance est divisée et une ligne de transmission quart d'onde est positionnée à l'entrée de l'amplificateur auxiliaire pour compenser le retard de phase entre les deux voies.

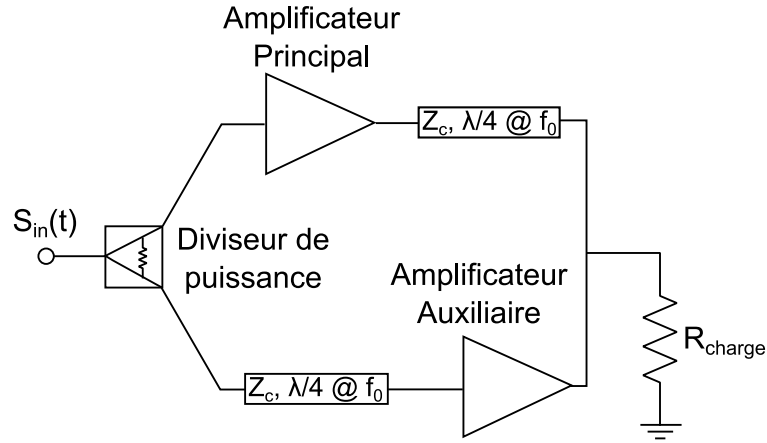


Figure II-4 : Topologie simplifiée de l'architecture Doherty.

II.3.1.2) Principe de fonctionnement

La modulation de charge mise en œuvre dans l'architecture Doherty a pour principe de maximiser la tension RF de sortie d'un transistor de puissance pour chaque niveau de puissance d'entrée. La Figure II-5 illustre ceci par les variations du cycle de charge typique d'un transistor en classe B avec et sans variation de charge pour différents niveaux de puissance d'entrée

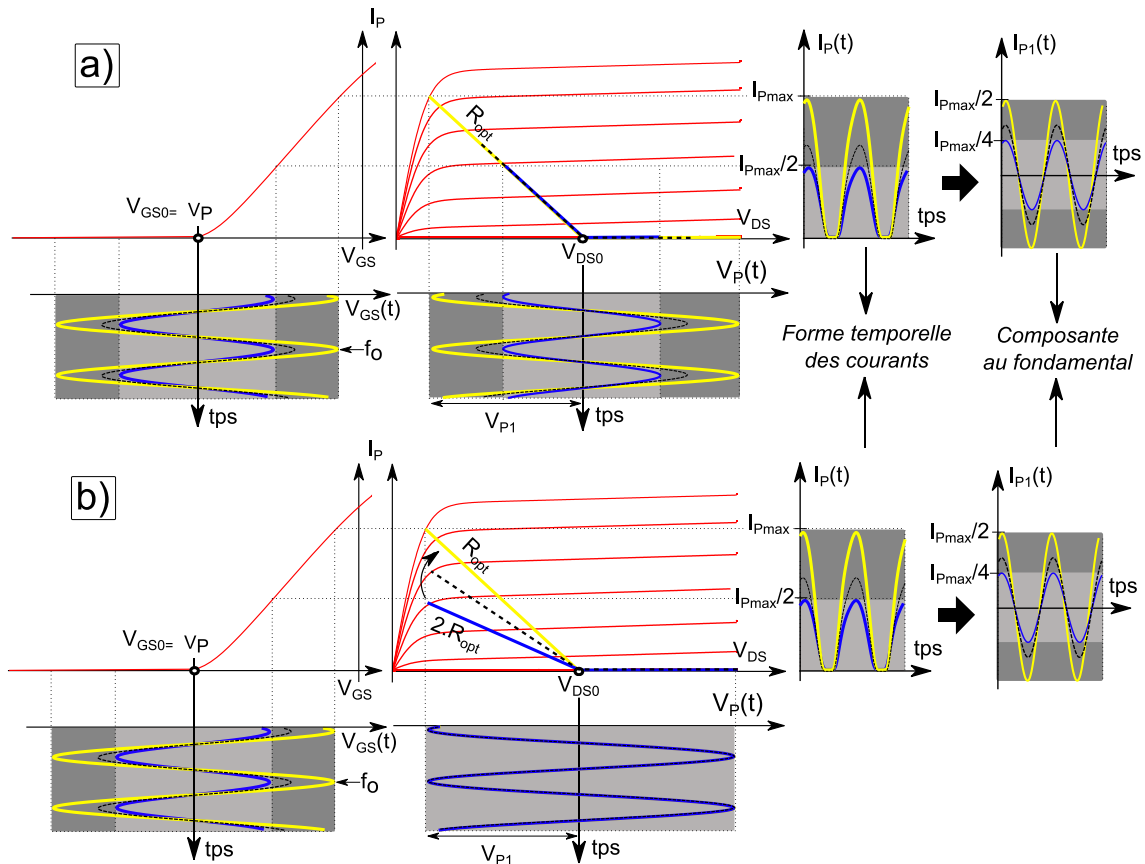


Figure II-5 : a) Cycle de charge d'un amplificateur classe B sans variation de charge. b) Cycle de charge d'un amplificateur classe B avec variation de charge.

L'impact typique de cette variation de charge sur la caractéristique en rendement de drain est montré dans la Figure II-6.

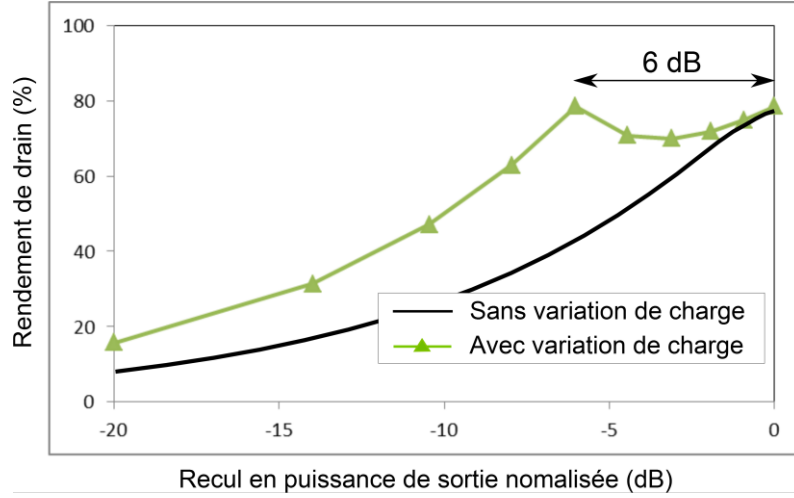


Figure II-6 : Impact de la variation de charge sur le rendement de drain pour un amplificateur Classe B.

Un schéma équivalent simplifié considérant les transistors comme des sources de courant idéales délivrant des courants de sortie au fondamental I_{p1} et I_{a1} , est représenté Figure II-7. Les composantes harmoniques sont considérées idéalement court-circuitées.

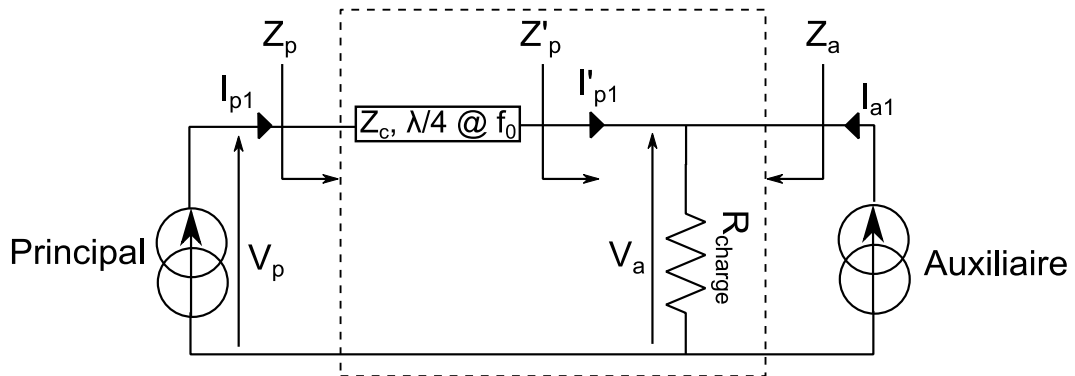


Figure II-7 : Schéma équivalent représentatif de l'amplificateur Doherty.

L'impédance (Z'_p) peut s'écrire :

$$Z'_p = \frac{V_{a1}}{I'_{p1}} = R_{charge} \cdot \left(\frac{I'_{p1} + I_{a1}}{I'_{p1}} \right) \quad (II-1)$$

Dans ce cas, l'impédance vue par l'amplificateur principal à travers l'inverseur d'impédance devient :

$$Z_p = \frac{Z_c^2}{Z'_p} = \frac{Z_c^2}{R_{charge} \cdot \left(\frac{I'_{p1} + I_{a1}}{I'_{p1}} \right)} \quad (II-2)$$

L'impédance vue par le principal dépend bien du courant (I_{a1}) généré par l'auxiliaire au fondamental. En contrôlant la phase et l'amplitude de (I_{a1}), on peut donc faire varier dynamiquement la charge vue par le principal.

Les amplificateurs sont représentés par les courants au fondamental (I_{p1}) et (I_{a1}) qui dépendent du niveau de l'excursion en tension d'entrée contrôlant chaque amplificateur. D'après les notations de la Figure II-5 on a :

$$0 < I_P < I_{P_max} \text{ et } 0 < I_{P1} < \frac{I_{P_max}}{2} \quad (\text{II-3})$$

On pose:

$$\gamma = \frac{I_{P1}}{\frac{I_{P_max}}{2}} \text{ soit } 0 < \gamma < 1 \quad (\text{II-4})$$

Dans ce cas on obtient :

$$I_{P1} = \gamma \cdot \frac{I_{P_max}}{2} \quad (\text{II-5})$$

$$\begin{aligned} I_{a1} &= 0 & 0 \leq \gamma \leq \gamma_{ON} \\ &= \frac{I_{P_max}}{2} \cdot \frac{\gamma - \gamma_{ON}}{\gamma_{ON}} \cdot e^{j\varphi} & \gamma_{ON} < \gamma \leq 1 \end{aligned} \quad (\text{II-6})$$

On définit (γ_{ON}) comme étant la valeur seuil de (γ) en dessous de laquelle $I_a=0$, et on va considérer une variation de charge pour des valeurs de (I_{p1}) correspondant à :

$$I_{P_max}/2 < I_{P1} < I_{P_max} \text{ donc } 0 < \gamma_{on} < 0.5 \quad (\text{II-7})$$

($I_{P_max}/2$) est la valeur maximale de courant au fondamental de l'amplificateur principal. (φ) est typiquement égal à $(-\pi/2)$ pour un fonctionnement à la fréquence centrale (f_0). Les valeurs de courant (I_{p1}) et (I_{a1}) sont tracées en fonction de (γ) dans la Figure II-8 et montrent comment la valeur de (γ_{ON}) paramètre le courant de l'amplificateur auxiliaire.

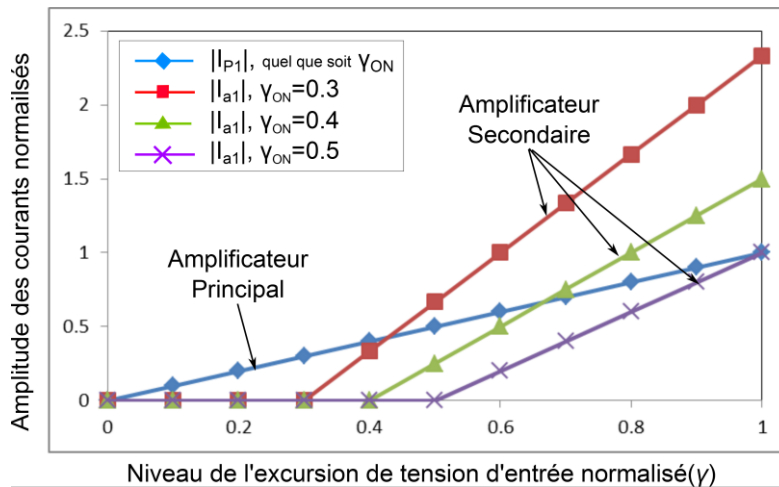


Figure II-8 : Amplitude des courants de sortie (I_{p1}) et (I_{a1}) au fondamental normalisée par rapport à ($I_{P_max}/2$), en fonction du niveau de l'excursion de tension d'entrée (γ) pour différents niveaux de mise en conduction de l'auxiliaire (γ_{ON}).

On peut représenter le combineur de sortie de l'amplificateur Doherty en utilisant une matrice Z de ce quadripôle en fonction d'une fréquence normalisée par rapport à la fréquence centrale. Cette approche présentée par [47] permet de montrer plus précisément la dépendance en fréquence de l'amplificateur Doherty. Dans une première étape, nous appliquerons cette méthode d'analyse uniquement à la fréquence centrale d'utilisation (f_0), de façon à démontrer le bénéfice apporté par l'amplificateur Doherty pour l'optimisation du rendement en zone de recul de puissance par rapport à la puissance de saturation.

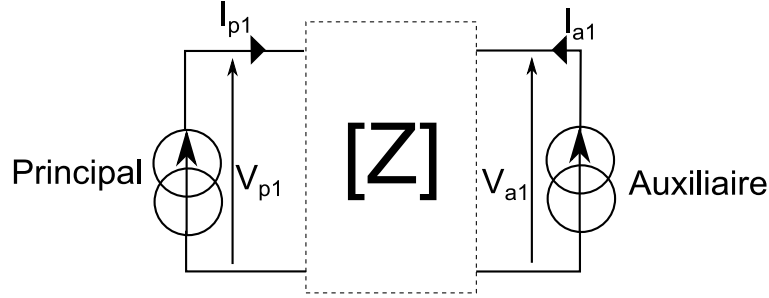


Figure II-9 : Simplification du réseau d'adaptation de sortie de l'amplificateur Doherty en un quadripôle représenté par sa matrice Z au fondamental.

$$Z = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} = \begin{pmatrix} Z_C \cdot \frac{R_{charge} \cdot \cos(f_n \frac{\pi}{2}) + j \cdot Z_C \sin(f_n \frac{\pi}{2})}{Z_C \cdot \cos(f_n \frac{\pi}{2}) + j \cdot R_{charge} \sin(f_n \frac{\pi}{2})} & \frac{R_{charge} \cdot Z_C}{Z_C \cdot \cos(f_n \frac{\pi}{2}) + j \cdot R_{charge} \sin(f_n \frac{\pi}{2})} \\ \frac{R_{charge} \cdot Z_C}{Z_C \cdot \cos(f_n \frac{\pi}{2}) + j \cdot R_{charge} \sin(f_n \frac{\pi}{2})} & \frac{R_{charge} \cdot Z_C \cdot \cos(f_n \frac{\pi}{2})}{Z_C \cdot \cos(f_n \frac{\pi}{2}) + j \cdot R_{charge} \sin(f_n \frac{\pi}{2})} \end{pmatrix} \quad (II-8)$$

(f_n) est la fréquence normalisée par rapport à la fréquence centrale ($f_n = f/f_0$). Les valeurs des tensions de sortie des amplificateurs principal et auxiliaire sont respectivement :

$$V_{P1} = Z_{11} \cdot I_{P1} + Z_{12} \cdot I_{a1} \quad (II-9)$$

$$V_{a1} = Z_{21} \cdot I_{P1} + Z_{22} \cdot I_{a1} \quad (II-10)$$

La tension de l'auxiliaire à la fréquence centrale ($f_n = f_0/f_0 = 1$) est :

$$|V_{a1}| = Z_C \cdot |I_{P1}| \quad (II-11)$$

La valeur de Z_C doit être fixée pour maximiser le rendement de l'auxiliaire. Dans le cas d'un transistor idéal où l'on néglige sa zone ohmique, $|V_{a1}|$ est égal à la tension de polarisation de drain (V_{DS0}) lorsqu'il atteint sa puissance maximale. En utilisant le fait que $|V_{a1}| = V_{DS0}$ quand $\gamma = 1$ et que $f_n = 1$:

$$Z_C = \frac{2 \cdot V_{DS0}}{I_{P_max}} = R_{opt} \quad (II-12)$$

Avec R_{opt} correspondant à la charge optimale en fort signal en Classe B pour un transistor donné.

Pour une excursion de tension d'entrée ($\gamma_{ON} < \gamma \leq 1$) c'est-à-dire lorsque ($I_{a1} \neq 0$), on obtient à la fréquence centrale ($f_n = 1$) la relation suivante :

$$|V_{P1}| = \frac{Z_C^2}{R_{charge}} \cdot |I_{p1}| + Z_C \cdot |I_{a1}| \quad (\text{II-13})$$

$$|V_{P1}| = \frac{I_{P_max}}{2} \cdot Z_C \cdot \gamma \cdot \left(\frac{Z_C}{R_{charge}} - \frac{1}{\gamma_{ON}} \right) + Z_C \cdot \frac{I_{P_max}}{2} \quad (\text{II-14})$$

Si l'on choisit :

$$R_{charge} = \gamma_{ON} \cdot Z_C \quad (\text{II-15})$$

Le premier terme devient nul et donc (V_{p1}) devient indépendant de γ :

$$|V_{p1}| = Z_C \cdot \frac{I_{P_max}}{2} = V_{DS0} \quad (\text{II-16})$$

La Figure II-10 représente les tensions de sortie au fondamental normalisées (V_{p1}) et (V_{a1}) par rapport à (V_{DS0}) en fonction de γ lorsque que $f_n=1$.

Concrètement et simplement, lorsque l'amplificateur auxiliaire ne conduit pas, la tension de sortie de l'amplificateur principal (V_{p1}) augmente en même temps que son courant (I_{p1}). Si l'on considère un amplificateur dont on néglige la zone ohmique, la tension maximale de (V_{p1}) est égale à V_{DS0} . A ce moment, le courant (I_{p1}) est égal à ($\gamma_{ON} \cdot I_{P_max}$) et l'impédance de charge vue par le principal est $Z_P = R_{opt}/\gamma_{ON}$. Après ce point de transition, le courant (I_{p1}) continue à augmenter mais la tension (V_{p1}) reste constante et égale à V_{DS0} (*l'amplificateur principal est maintenu à la saturation et donc à son maximum de rendement*). Pour l'auxiliaire, la tension (V_{a1}) augmente en même temps que son courant (I_{a1}) jusqu'à atteindre V_{DS0} .

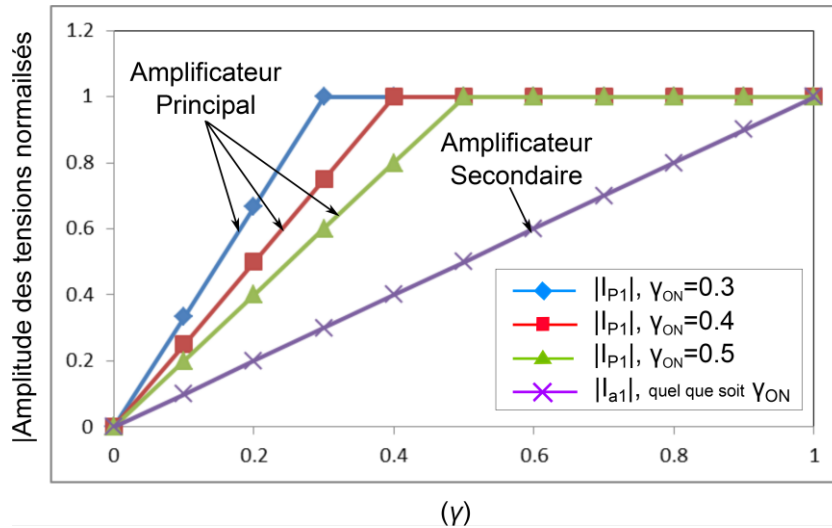


Figure II-10 : Amplitude des tensions de sortie (V_{p1}) et (V_{a1}) normalisée par rapport à (V_{DS0}), en fonction du niveau de l'excursion de tension d'entrée (γ) pour différents niveaux de mise en conduction de l'auxiliaire (γ_{ON}).

Pour calculer le rendement de l'architecture Doherty, nous allons définir la puissance de sortie et la puissance consommée comme décrit dans [6] :

$$P_S = \frac{|V_{a1}|^2}{2.R_{charge}} = \frac{Z_C \cdot |I_{P1}|^2}{2 \cdot \gamma_{ON}} \quad (II-17)$$

$$P_{DC} = \frac{2 \cdot V_{DS0} \cdot (|I_{P1}| + |I_{a1}|)}{\pi} \quad (II-18)$$

Le rendement de drain est par conséquent :

$$\eta = \frac{P_S}{P_{DC}} = \frac{\pi \cdot Z_C \cdot |I_{P1}|^2}{4 \cdot V_{DS0} \cdot \gamma_{ON} \cdot (|I_{P1}| + |I_{a1}|)} \quad (II-19)$$

La Figure II-11 représente le rendement de drain théorique en fonction du recul en puissance de sortie.

Plus (γ_{ON}) diminue, plus le rendement est amélioré en fonction du recul en puissance de sortie. Cette démonstration permet de montrer une large amélioration du rendement pour les forts reculs en puissance comparé à un amplificateur classe B traditionnel. L'architecture Doherty est, par conséquent, très bien appropriée pour la conception d'amplificateurs de puissance RF fonctionnant avec des signaux modulés à enveloppe variable ayant de forts PAPR.

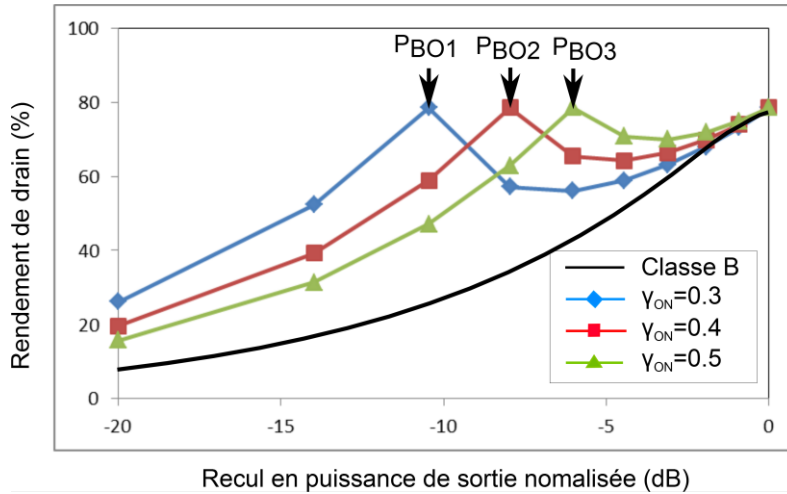


Figure II-11 : Rendement de drain de l'architecture Doherty en fonction de l'OBO pour différents niveaux de mise en conduction de l'auxiliaire (γ_{ON}), comparé à un amplificateur classe B classique.

II.3.1.3) Limitation en bande passante

L'ensemble des caractéristiques précédentes a été effectué à la fréquence centrale d'utilisation (f_o). Comme l'a réalisé [47], il est possible d'étendre cette analyse en prenant en compte la réponse fréquentielle de l'amplificateur Doherty et ainsi observer comment l'inverseur d'impédance ($\lambda/4$) impacte la bande passante de cette architecture.

Un fonctionnement optimal du Doherty sur une large bande, exigerait que la fonction inverseur d'impédance, réalisée par la ligne quart d'onde, soit parfaite sur toute la bande de fréquence souhaitée. Comme la longueur électrique de cette ligne ($\pi/2$) augmente linéairement avec la fréquence, il est impossible d'obtenir une inversion d'impédance parfaite sur une large bande de fréquence sans modifier les propriétés physiques de la ligne.

D'après les équations II-8, II-9 et II-10 et en rappelant que $R_L = Z_C \cdot \gamma_{ON}$, on obtient les expressions de (V_{p1}) et (V_{a1}) en fonction de (γ) , (γ_{ON}) et (f_n) :

$$V_{p1} = V_{DSO} \cdot \left(\frac{\gamma \cdot \gamma_{ON} \cdot \cos(f_n \frac{\pi}{2}) + j \cdot \gamma \cdot \sin(f_n \frac{\pi}{2})}{\cos(f_n \frac{\pi}{2}) + j \cdot \gamma_{ON} \cdot \sin(f_n \frac{\pi}{2})} \right) \quad 0 \leq \gamma_{in} \leq \gamma_{ON} \quad (II-20)$$

$$= V_{DSO} \cdot \left(\frac{(\gamma \cdot \gamma_{ON} + \gamma - \gamma_{ON}) \cdot \cos(f_n \frac{\pi}{2}) + j \cdot \gamma_{ON} \cdot \sin(f_n \frac{\pi}{2})}{\cos(f_n \frac{\pi}{2}) + j \cdot \gamma_{ON} \cdot \sin(f_n \frac{\pi}{2})} \right) \quad \gamma_{ON} < \gamma \leq 1 \quad (II-21)$$

$$V_{a1} = V_{DSO} \cdot \left(\frac{\gamma \cdot \gamma_{ON}}{\cos(f_n \frac{\pi}{2}) + j \cdot \gamma_{ON} \cdot \sin(f_n \frac{\pi}{2})} \right) \quad 0 \leq \gamma \leq \gamma_{ON} \quad (II-22)$$

$$= V_{DSO} \cdot \left(\frac{(\gamma \cdot \gamma_{ON} + (\gamma - \gamma_{ON}) \cdot \cos(f_n \frac{\pi}{2})) \cdot (\cos(f_n \frac{\pi}{2}) - j \cdot \sin(f_n \frac{\pi}{2}))}{\cos(f_n \frac{\pi}{2}) + j \cdot \gamma_{ON} \cdot \sin(f_n \frac{\pi}{2})} \right) \quad \gamma_{ON} < \gamma \leq 1 \quad (II-23)$$

En prenant un exemple où $\gamma_{ON}=0.5$, la Figure II-12 représente l'évolution de $|V_{p1}|$ et $|V_{a1}|$ pour différentes fréquences. On observe que la tension de sortie du principal est largement impactée par la modification de fréquence. $|V_{a1}|$ ne se maintient pas dans sa zone de saturation. De plus, la variation de tension de l'auxiliaire n'est plus linéaire en fonction de la fréquence.

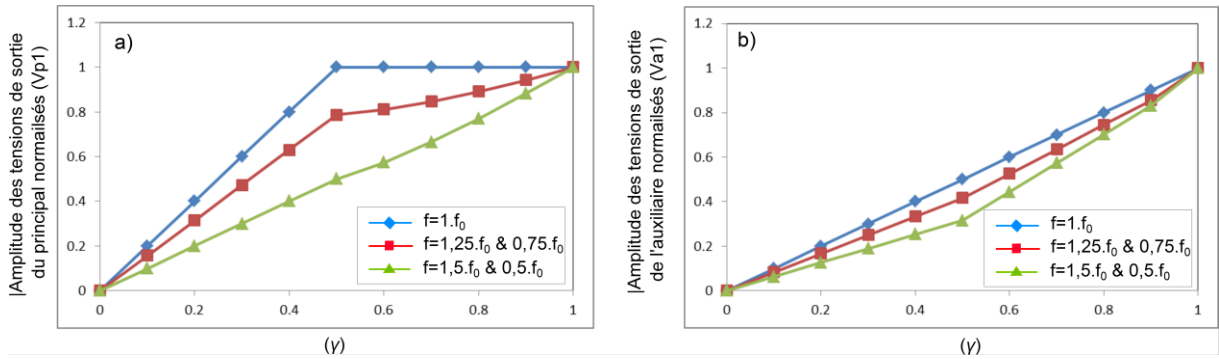


Figure II-12 : a) Amplitude de tension de sortie du principal (V_{p1}) normalisée, en fonction de (γ) pour différentes fréquences. b) Amplitude de tension de sortie de l'auxiliaire (V_{a1}) normalisée, en fonction de (γ) pour différentes fréquences.

La Figure II-13 montre que le rendement de drain en fonction du recul en puissance de sortie de l'architecture Doherty est largement réduit si on s'éloigne de la fréquence centrale. L'auxiliaire ne module plus la charge du principal de façon optimale. Le comportement de la ligne $(\lambda/4)$ en fonction de la fréquence est le point limitant l'architecture en termes de bande passante.

Pour conclure, l'amplificateur Doherty est une architecture basée sur la modulation de la charge vue par l'amplificateur de façon à améliorer le rendement en fonction du recul en puissance. Nous avons vu que le niveau de puissance pour lequel l'auxiliaire commence à conduire permet d'obtenir un rendement plus ou moins important en fonction de l'OBO.

Cependant l'utilisation nécessaire de la ligne de transmission ($\lambda/4$) est une véritable limitation en termes de bande passante. Notons qu'il existe des structures à plusieurs voies [48] permettant de minimiser les creux de rendement comme observé dans la Figure II-11.

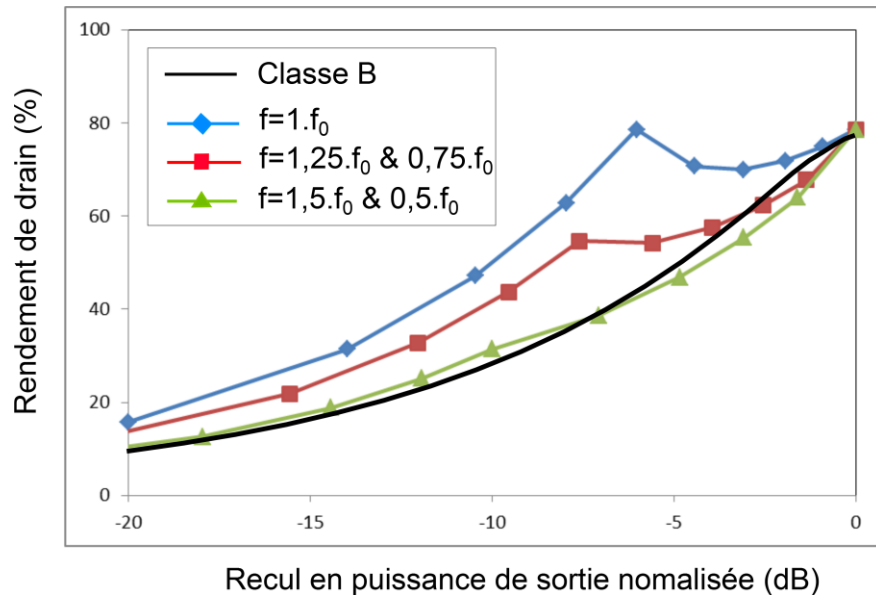


Figure II-13 : Rendement de drain de l'architecture Doherty en fonction de l'OBO pour différentes fréquences, comparé à un amplificateur classe B classique.

II.3.2) Technique LINC et Outphasing

Une autre approche visant à améliorer le rendement en fonction de l'OBO, consiste à utiliser deux signaux à enveloppe constante et modulés en phase. Dans ce cas, le niveau de puissance fixe, force chacun des deux transistors à fonctionner à la saturation donc à haut rendement. Des variations dynamiques de phase sont appliquées de façon à pouvoir reconstituer par combinaison de Fresnel en sortie les variations d'amplitude du signal amplifié.

II.3.2.1) Principes communs

Ces techniques ont été initialement développées par H.Chireix [49] en 1930 pour l'outphasing et par D.C Cox [50] en 1974 pour le LINC. Comme le décrit la Figure II-14, le principe initial est de convertir un signal initialement modulé en phase et en amplitude en deux signaux à enveloppe constante uniquement modulés en phase. La décomposition du signal donne lieu à deux signaux de même amplitude mais ayant des phases différentes qui varient en fonction de la valeur de l'amplitude du signal utile d'entrée. Cette décomposition est réalisée numériquement en bande de base et est communément appelée séparation des composantes du signal (« SCS »).

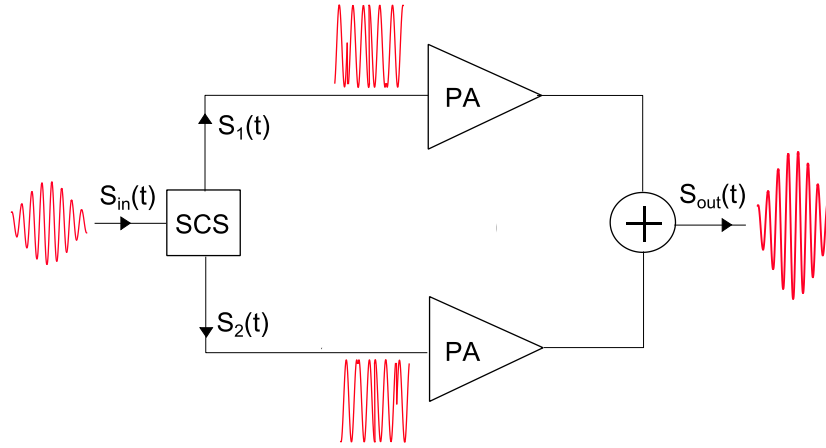


Figure II-14 : Représentation simplifiée du principe de décomposition/recombinaison en 2 voies.

Les signaux RF modulés en phase sont appliqués à deux amplificateurs identiques travaillant à leur puissance de saturation et donc à leur rendement maximal. Les signaux amplifiés sont combinés en sortie par un combineur de puissance. L'étape de recombinaison constitue la partie la plus critique de cette architecture, qui va définir les propriétés énergétiques et le niveau de linéarité du système. On distingue alors deux types de combineur de puissance: les combineurs isolés et les combineurs non-isolés, comme décrit dans les prochains paragraphes.

Le séparateur de signal (« SCS ») génère, à partir du signal modulé à enveloppe variable S_{in} , deux signaux S_1 et S_2 ayant une enveloppe constante identique et contenant des modulations de phase de signes opposés. Mathématiquement, le signal d'entrée en bande de base $S_{in}(t)$ peut s'écrire en fonction du temps sous la forme d'enveloppe complexe :

$$S_{in}(t) = r(t) \cdot e^{j(\phi(t))} \quad (\text{II-24})$$

$r(t)$ est l'amplitude du signal $S_{in}(t)$ comprise entre 0 et r_{max} et $\phi(t)$ est la phase du signal $S_{in}(t)$.

En introduisant une modulation de phase supplémentaire $\theta(t)$, le signal d'entrée peut être décomposé en deux signaux à enveloppe constante :

$$S_1(t) = \frac{r_{max}}{2} \cdot e^{j(\phi(t) + \theta(t))} \quad (\text{II-25})$$

$$S_2(t) = \frac{r_{max}}{2} \cdot e^{j(\phi(t) - \theta(t))} \quad (\text{II-26})$$

Cette décomposition de signaux est présentée Figure II-15.

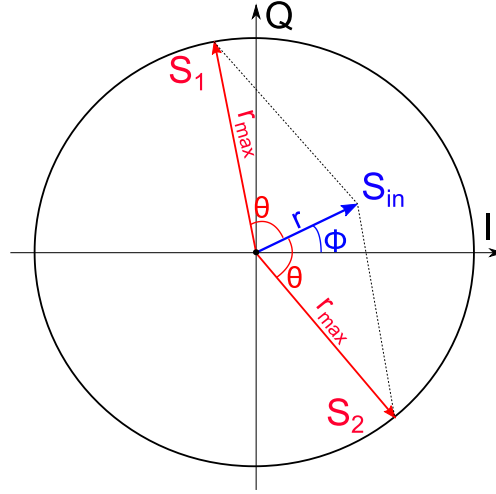


Figure II-15 : Représentation polaire de la décomposition d'un signal à enveloppe variable en deux signaux à enveloppe constante.

La manipulation du signal en bande de base sous format I/Q, conformément à un traitement numérique utilisé en pratique s'écrit :

$$S_{in}(t) = r(t) \cdot e^{j(\phi(t))} = I_{in}(t) + j \cdot Q_{in}(t) \quad (\text{II-27})$$

$$\begin{aligned} \text{Avec } I_{in}(t) &= r(t) \cdot \cos(\phi(t)) \\ \text{et } Q_{in}(t) &= r(t) \cdot \sin(\phi(t)) \end{aligned}$$

La décomposition du signal en deux signaux à enveloppe constante devient :

$$S_1(t) = I_1(t) + j \cdot Q_1(t) \quad (\text{II-28})$$

$$\begin{aligned} \text{Avec } I_1(t) &= \frac{r_{max}}{2} \cdot \cos(\phi(t) + \theta(t)) \\ \text{et } Q_1(t) &= \frac{r_{max}}{2} \cdot \sin(\phi(t) + \theta(t)) \end{aligned}$$

$$S_2(t) = I_2(t) + j \cdot Q_2(t) \quad (\text{II-29})$$

$$\begin{aligned} \text{Avec } I_2(t) &= \frac{r_{max}}{2} \cdot \cos(\phi(t) - \theta(t)) \\ \text{et } Q_2(t) &= \frac{r_{max}}{2} \cdot \sin(\phi(t) - \theta(t)) \end{aligned}$$

On peut alors en déduire I_1 , I_2 , Q_1 , Q_2 en fonction de I_{in} et Q_{in} :

$$I_1(t) = \frac{r_{max}}{2} \cdot \cos(\phi(t) + \theta(t)) \quad (\text{II-30})$$

$$I_1(t) = \frac{r_{max}}{2} \cdot [\cos(\phi(t)) \cdot \cos(\theta(t)) - \sin(\phi(t)) \cdot \sin(\theta(t))] \quad (\text{II-31})$$

Comme $\cos(\theta) = \frac{r(t)}{r_{max}}$ et $\theta = \arccos\left(\frac{r(t)}{r_{max}}\right)$ on a :

$$I_1(t) = \frac{r_{max}}{2} \cdot \left[\cos(\varphi(t)) \cdot \frac{r(t)}{r_{max}} - \sin(\varphi(t)) \cdot \sin(\arccos\left(\frac{r(t)}{r_{max}}\right)) \right] \quad (II-32)$$

Comme $\sin(\arccos\left(\frac{r(t)}{r_{max}}\right)) = \sqrt{1 - \left(\frac{r(t)}{r_{max}}\right)^2}$ on a :

$$I_1(t) = \frac{1}{2} \cdot \left[\cos(\varphi(t)) \cdot r(t) - r(t) \cdot \sin(\varphi(t)) \cdot \sqrt{r_{max}^2 - r(t)^2} \right] \quad (II-33)$$

$$I_1(t) = \frac{1}{2} \cdot \left[Q_{in}(t) - I_{in}(t) \cdot \sqrt{\left(\frac{r_{max}}{r(t)}\right)^2 - 1} \right] \quad (II-34)$$

De la même manière, on en déduit I_2 , Q_1 , Q_2 .

$$I_2(t) = \frac{1}{2} \cdot \left[Q_{in}(t) + I_{in}(t) \cdot \sqrt{\left(\frac{r_{max}}{r(t)}\right)^2 - 1} \right] \quad (II-35)$$

$$Q_1(t) = \frac{1}{2} \cdot \left[I_{in}(t) + Q_{in}(t) \cdot \sqrt{\left(\frac{r_{max}}{r(t)}\right)^2 - 1} \right] \quad (II-36)$$

$$Q_2(t) = \frac{1}{2} \cdot \left[I_{in}(t) - Q_{in}(t) \cdot \sqrt{\left(\frac{r_{max}}{r(t)}\right)^2 - 1} \right] \quad (II-37)$$

Une des particularités de cette conversion AM (*modulation d'amplitude*) vers PM (*phase modulation*) conduit à un fort élargissement spectral comme représenté dans la Figure II-16. Cette observation indique un point bloquant de cette architecture pour l'obtention d'un bon compromis Rendement/Bande passante.

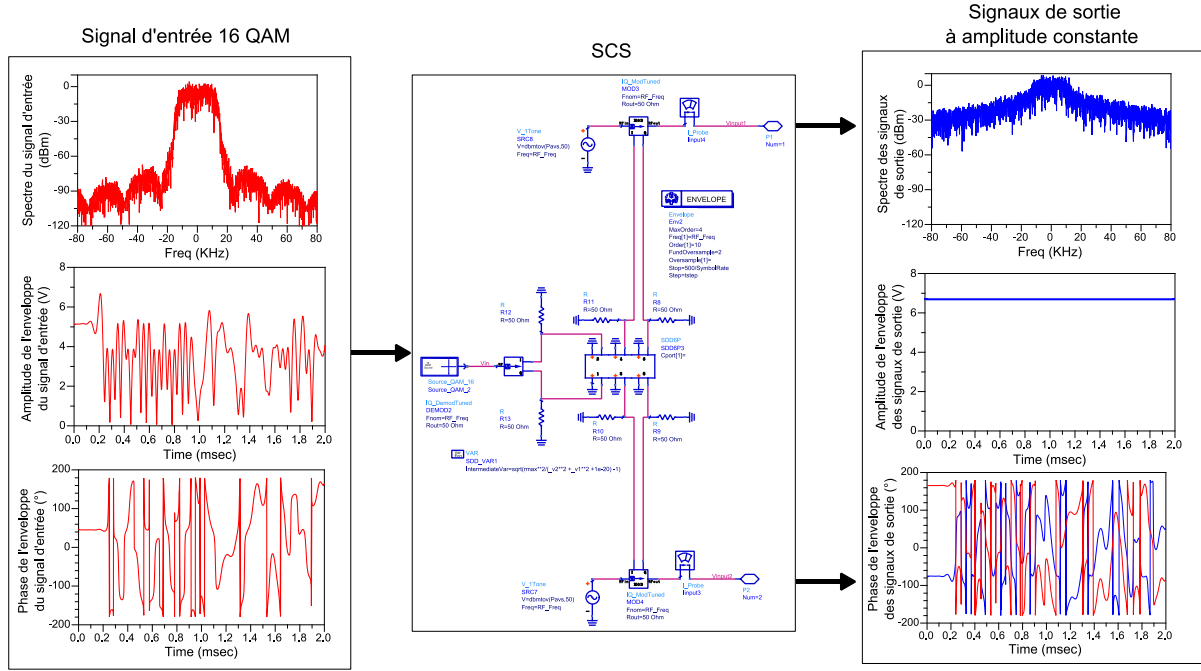


Figure II-16 : Exemple de décomposition vectorielle d'un signal 16-QAM.

II.3.2.2) Combinaison de puissance des signaux

Conformément au principe illustré dans la Figure II-14, il s'agit de combiner les signaux de puissance de sortie. La combinaison sera donc faite en pratique avec des circuits analogiques. De ce fait, l'ensemble de la difficulté de cette architecture est situé dans la recombinaison des signaux, qui doit absolument s'effectuer avec de très faibles pertes pour que le bilan global en rendement soit favorable. Le choix du combineur est primordial car il définit le fonctionnement des amplificateurs. Pour un combineur isolé, on parle de système de recombinaison vectorielle pure. Pour un combineur non-isolé, on parle de système de recombinaison vectorielle à modulation de charge.

II.3.2.2.a) Combinaison isolée : Technique LINC

La caractéristique essentielle est donc de reconstituer très linéairement le signal de sortie de puissance d'où la dénomination LINC (*traduisant une reconstitution linéaire avec des transistors en fonctionnement non-linéaire car ils sont saturés*). En supposant un gain (G) identique pour les deux amplificateurs et une combinaison des signaux idéale, l'enveloppe complexe du signal de sortie du système LINC s'écrit mathématiquement :

$$S_{out}(t) = G \cdot (S_1(t) + S_2(t)) \quad (\text{II-38})$$

$$S_{out}(t) = G \cdot \frac{r_{max}}{2} \cdot e^{j\phi(t)} (e^{j\theta(t)} + e^{-j\theta(t)}) \quad (\text{II-39})$$

$$S_{out}(t) = G \cdot \frac{r_{max}}{2} e^{j \cdot \phi(t)} (2 \cdot \cos(\theta(t))) \quad (II-40)$$

$$S_{out}(t) = G \cdot r_{max} \cdot \cos(\theta(t)) e^{j \cdot (\phi(t))} \quad (II-41)$$

On remarque que l'amplitude du signal de sortie est dans ce cas définie par la valeur de θ . Lorsque θ prend pour valeurs 90° ou 0° , les amplitudes du signal recomposé seront respectivement 0 ou r_{max} , comme représenté dans la Figure II-17.

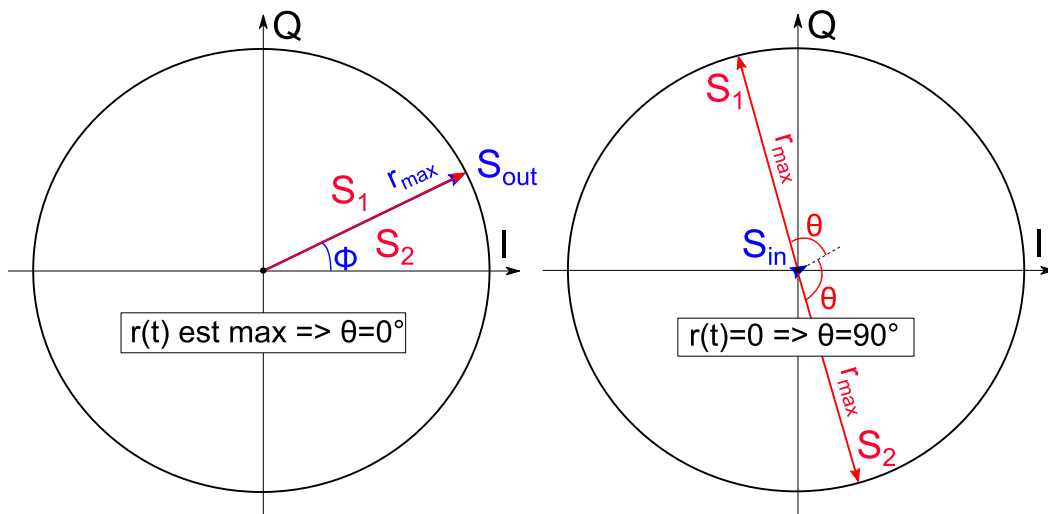


Figure II-17 : Exemples de l'impact de θ sur l'amplitude du signal de sortie.

Le caractère linéaire étant par principe inhérent à la méthode de traitement des signaux utilisé, l'efficacité énergétique globale du système LINC dépend en revanche du rendement maximal des amplificateurs et surtout de l'efficacité avec laquelle les composantes S_1 et S_2 seront combinées, donc des pertes de combinaison de puissance en sortie (*rendement du combineur*).

➤ Circuits de combinaison

La propriété principale d'un combineur isolé est une très forte isolation entre les accès d'entrée. Les amplificateurs voient alors une même charge fixe et travaillent donc suivant les mêmes caractéristiques de gain, puissance, rendement et linéarité.

- *Le combineur Wilkinson* est constitué de deux lignes de transmission d'une longueur ($\lambda/4$) ayant une impédance caractéristique de $\sqrt{2} \cdot Z_0$ qui garantit l'adaptation d'impédance aux trois accès (*typiquement 50 Ohms*). Tout déséquilibre d'amplitude et/ou de phase entre les 2 voies d'entrée conduit à une dissipation de puissance dans la résistance d'isolation ($R=2 \cdot Z_0$) (Figure II-18).

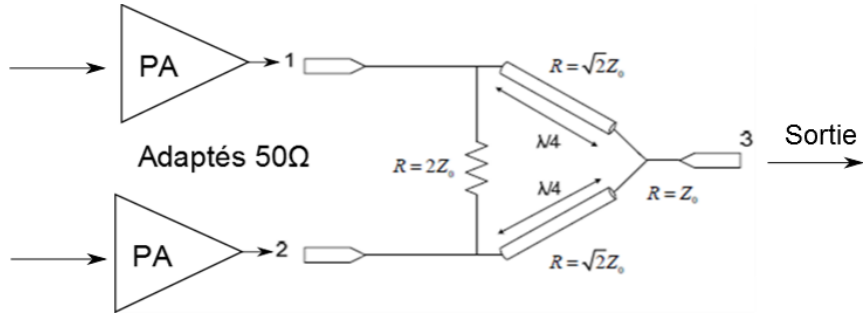


Figure II-18 : Représentation d'un combineur Wilkinson.

- Le combineur 0-180° hybride est un dispositif à quatre accès. Les ports 1 et 2 représentent les ports d'entrée de ce combineur. Tout déséquilibre d'amplitude et/ou de phase entre les deux voies d'entrée conduit également à une dissipation de puissance à l'accès 4 et donc non disponible à l'accès utile 3 (Figure II-19).

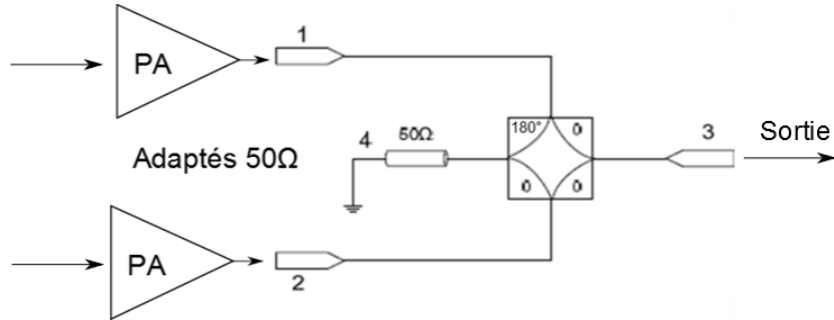


Figure II-19 : Représentation d'un combineur 0-180° hybride.

➤ Bilan global : linéarité/rendement

P_1 et P_2 désignent respectivement les puissances d'entrée des accès 1 et 2 du combineur et correspondent aux puissances des signaux S_1 et S_2 après amplification. Les puissances d'entrée du combineur sont égales et peuvent s'écrire :

$$P_1 = P_2 = \frac{1}{2Z_0} \cdot \left(\frac{r_{max}}{2} \right)^2 \quad (II-42)$$

P_{OUT} désigne la puissance de sortie issue de la recombinaison des signaux S_1 et S_2 dans le combineur isolé et s'exprime de la manière suivante :

$$P_{out} = \frac{1}{2Z_0} \cdot r_{max}^2 \cdot \cos^2(\theta) \quad (II-43)$$

Dans ce cas, l'efficacité du combineur adapté s'écrit:

$$\eta_{combineur} = \frac{P_{out}}{P_1 + P_2} \quad (II-44)$$

$$\eta_{combineur} = \cos^2(\theta) \quad (II-45)$$

Cette expression montre que pour les combineurs isolés, l'efficacité de combinaison dépend uniquement de la différence de phase entre les signaux S_1 et S_2 et par conséquent du niveau de l'enveloppe du signal S_{in} . Ainsi, lorsque S_{in} atteint des amplitudes faibles (θ proche de 90°), l'efficacité de combinaison est quasi-nulle et l'ensemble des puissances incidentes est dissipé dans la charge d'isolation. À l'inverse, pour les forts niveaux d'amplitude du signal S_{in} (θ proche de 0°), l'efficacité de combinaison est maximale et égale à 100%. (Figure II-20)

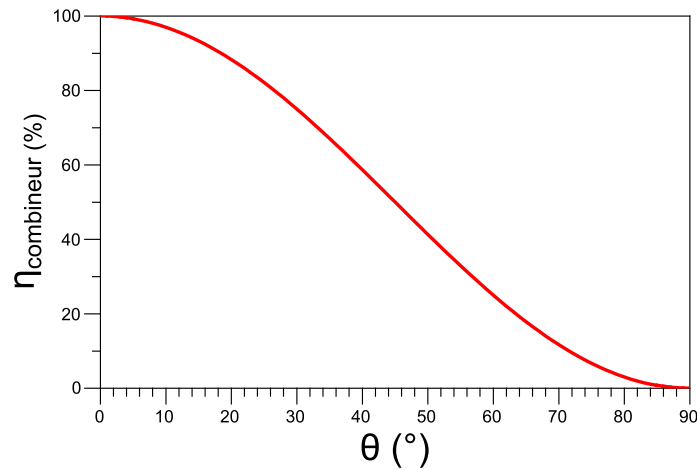


Figure II-20 : Efficacité de combinaison en fonction de l'angle de déphasage θ .

Pour un signal d'entrée modulé, l'efficacité moyenne de combinaison dépend de la densité de probabilité de ce signal (PDF) et peut être exprimée par l'équation suivante:

$$\eta_{combineur}(moyenne) = \sum_{i=1}^N p(\theta_i) \cos^2(\theta_i) \quad (II-46)$$

Avec θ_i : valeur discrete du déphasage
et $p(\theta_i)$: la probabilité d'apparition de cette valeur

La Figure II-21 représente la PDF d'un signal 16QAM superposé avec le rendement d'un combineur isolé.

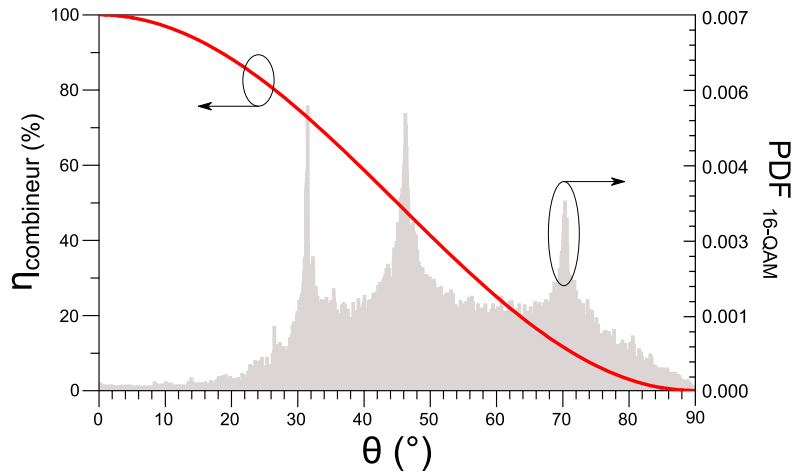


Figure II-21 : Superposition de l'efficacité de combinaison et de la PDF d'un signal 16-QAM en fonction de l'angle de déphasage θ .

Le rendement moyen de combinaison des combineurs isolés est compris entre 20 et 30 % suivant le type de modulation de signal d'entrée. De ce fait et malgré l'utilisation des amplificateurs dans leur zone de rendement maximal, les performances énergétiques globales de cette architecture sont très faibles en présence de signaux modulés ayant de très fortes valeurs de PAPR. Par conséquent, et comme illustré dans la Figure II-22, l'architecture LINC composée d'un combineur isolé à un rendement en fonction du recul en puissance de sortie moins important qu'un amplificateur traditionnel en classe B.

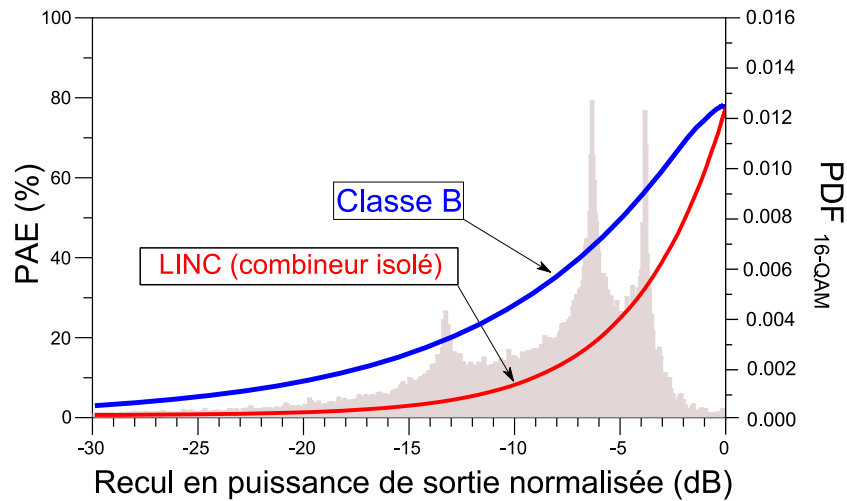


Figure II-22 : Comparaison du rendement en puissance ajoutée d'un amplificateur en classe B idéal et d'une architecture LINC à combineur isolé en fonction de la puissance de recul sortie normalisée.

Néanmoins, grâce à une très forte isolation entre les deux accès d'entrée, les performances en linéarité sont excellentes. En considérant que les amplificateurs ont une bande passante très grande devant la bande du signal d'excitation et qu'ils soient parfaitement identiques en gain et en phase, l'architecture LINC avec combineur isolé permet de reconstituer fidèlement le signal modulé en sortie. (Figure II-23)

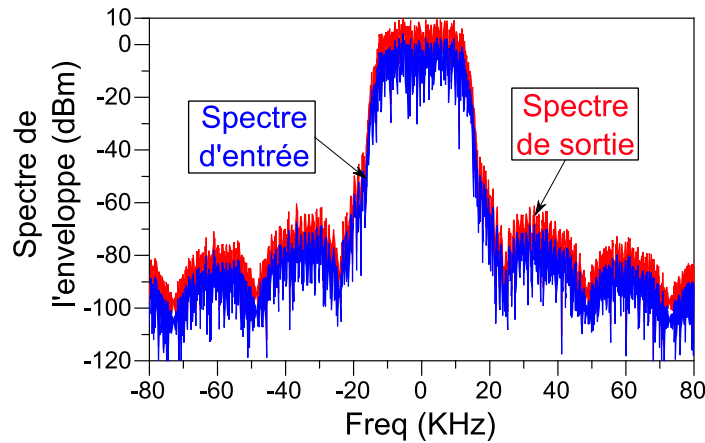


Figure II-23 : Comparaison du spectre d'entrée et sortie simulée pour une architecture LINC composé d'un combineur isolé, en considérant deux amplificateurs RF identiques et de bande passante large par rapport à la bande occupée par le signal utile.

En conclusion ce principe ne pourrait être pertinemment utilisé que pour une amplification très linéaire et à haut rendement de signaux ayant de faibles taux de variation d'enveloppe (donc un faible PAPR) ce qui n'est plus le cas des signaux utilisés et perfectionnés actuellement en termes d'efficacité spectrale.

➤ Quelques travaux d'amélioration du rendement d'un système LINC avec combineur isolé.

Dans la littérature, il existe plusieurs techniques qui permettent d'améliorer l'efficacité énergétique moyenne de l'architecture LINC en utilisant un combineur isolé et donc en profitant à priori du caractère linéaire de ce principe.

➤ Technique Multi-Level LINC (« ML-LINC ») [51]

La technique multi-level LINC est basée sur une décomposition du signal d'entrée différente de la configuration LINC traditionnelle. La décomposition du signal comprend toujours une modulation de phase mais aussi une modulation d'amplitude discrète (*4 niveaux discrets d'amplitudes*) qui est la même sur les deux voies. En relâchant la contrainte d'amplitude constante sur l'enveloppe, on peut trouver une recombinaison vectorielle optimale pour limiter au maximum l'angle de déphasage entre les deux voies et ainsi travailler dans la zone de rendement maximal des combineurs isolés. L'objectif est alors de trouver un compromis entre l'efficacité de recombinaison et le rendement des amplificateurs RF qui dépend maintenant du niveau de l'enveloppe modifiée. La Figure II-24 représente une comparaison entre la représentation vectorielle de l'architecture LINC traditionnelle et la technique ML-LINC. La sommation des deux signaux S_1 et S_2 ayant un déphasage plus faible donnent la même résultante S_{in} que l'architecture LINC traditionnelle.

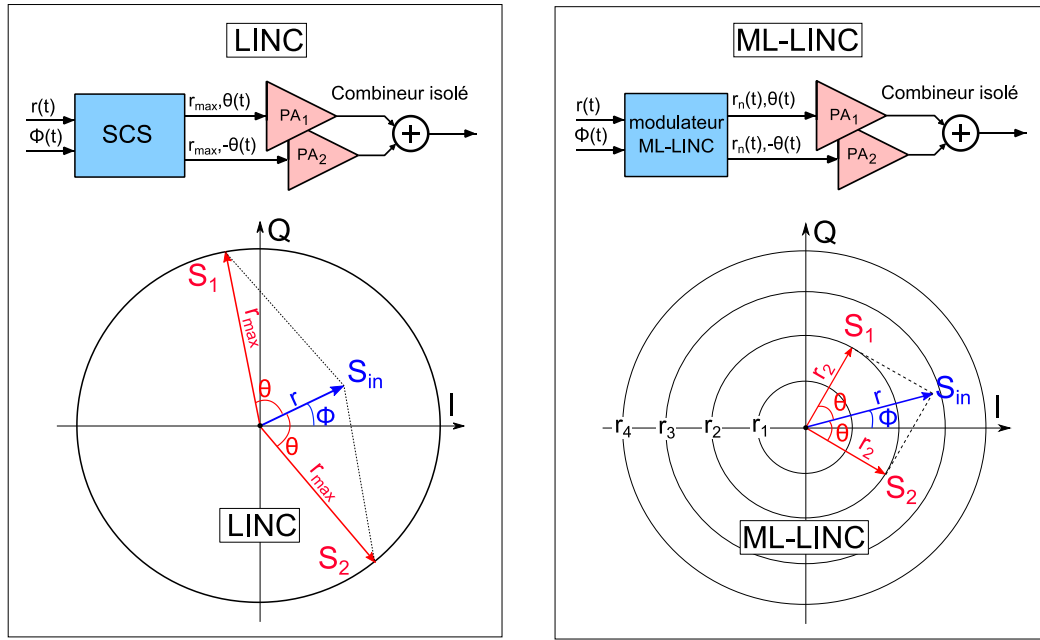


Figure II-24 : Comparaison entre les principes des architectures LINC et ML-LINC.

La technique ML-LINC limite donc l'angle de déphasage, ce qui permet d'améliorer l'efficacité de recombinaison pour un recul en puissance important. L'ensemble des combinaisons de phase et d'amplitude ainsi que la trajectoire de recombinaison vectorielle optimale sont représentés Figure II-25. Dans ce cas, l'efficacité de recombinaison reste supérieure à 60 % pour un recul en puissance de 8dB.

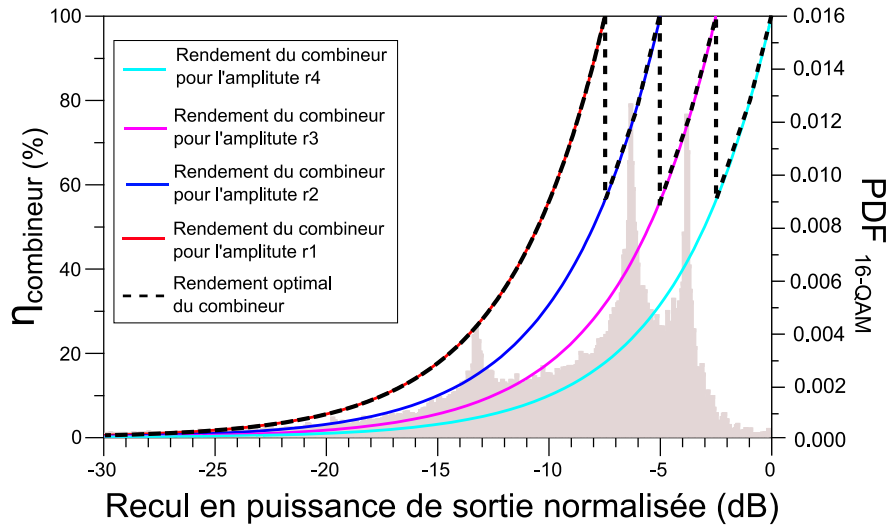


Figure II-25 : Efficacité de recombinaison d'un combineur isolé dans une architecture ML-LINC.

Cependant, les amplificateurs RF ne fonctionnent plus exclusivement en régime saturé. Par conséquent, le rendement gagné sur le combineur isolé est perdu sur les amplificateurs RF. Les performances énergétiques globales en fonction du recul en puissance de sortie sont largement améliorées en comparaison de l'architecture LINC traditionnelle,

mais restent toujours inférieures à celles d'un amplificateur en classe B, comme le montre la Figure II-26.

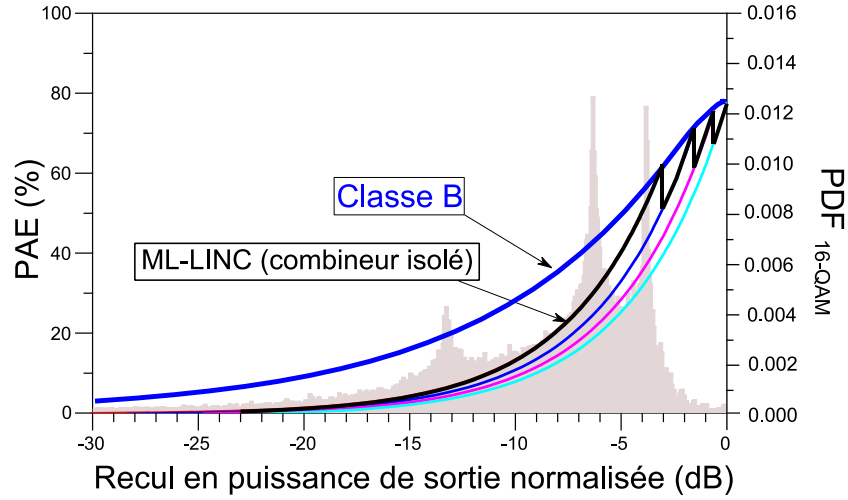


Figure II-26 : Rendement en puissance ajoutée d'une architecture ML-LINC avec combineur isolé comparé à celui d'un amplificateur classe B idéal.

➤ Technique AMO (« Asymmetric Multilevel Outphasing ») [52]

La technique AMO est basée sur le même principe que la configuration ML-LINC, mais les niveaux d'amplitude et la phase de l'enveloppe de chacune des voies sont gérés indépendamment, rendant le système asymétrique. L'objectif est toujours de trouver la recombinaison vectorielle optimale pour limiter au maximum l'angle de déphasage. La Figure II-27 représente une comparaison entre les représentations vectorielles des techniques ML-LINC et AMO.

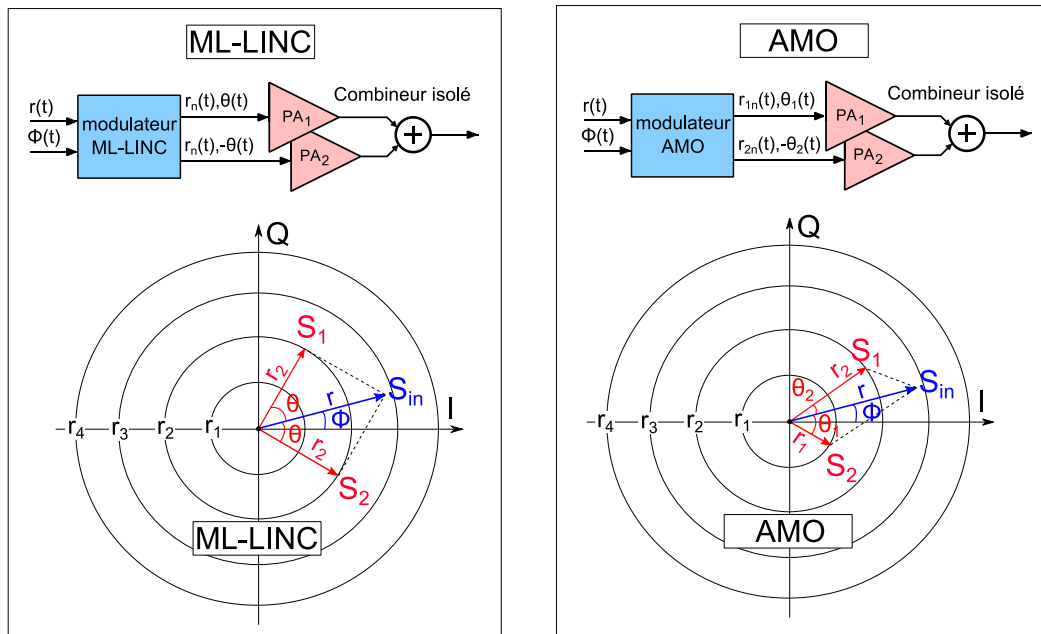


Figure II-27 : Comparaison entre les principes des architectures ML-LINC et AMO.

La technique AMO permet de limiter encore plus l'angle de déphasage entre les voies, ce qui localise le fonctionnement du combineur dans sa zone de rendement élevée. L'ensemble des combinaisons de phase et d'amplitude ainsi que la trajectoire de recombinaison vectorielle optimale sont représentés dans la Figure II-28. Dans ce cas, l'efficacité du combineur reste supérieure à 80 % pour un recul en puissance de 11dB.

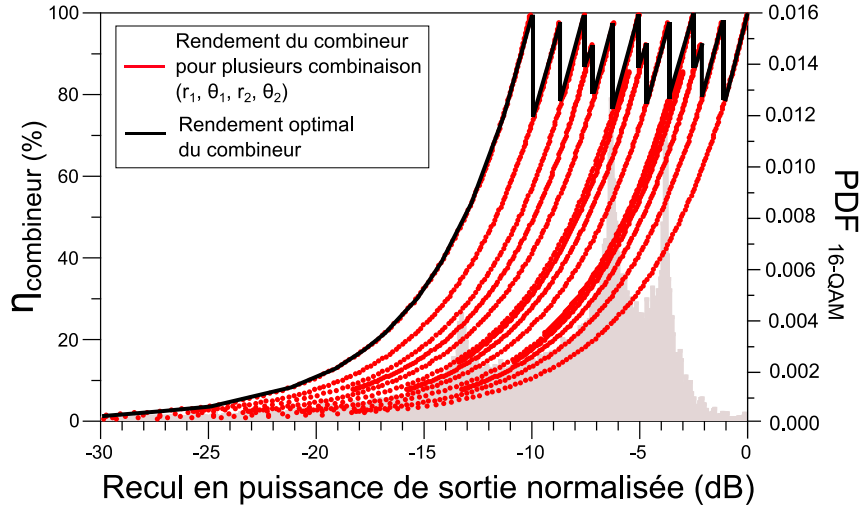


Figure II-28 : Efficacité de recombinaison d'un combineur isolé dans une architecture AMO.

Comme pour la technique ML-LINC, les amplificateurs ne fonctionnent plus en régime de saturation et voient leur rendement en puissance ajoutée chuter. Par conséquent, le rendement énergétique global reste toujours limité en fonction du recul en puissance de sortie (Figure II-29).

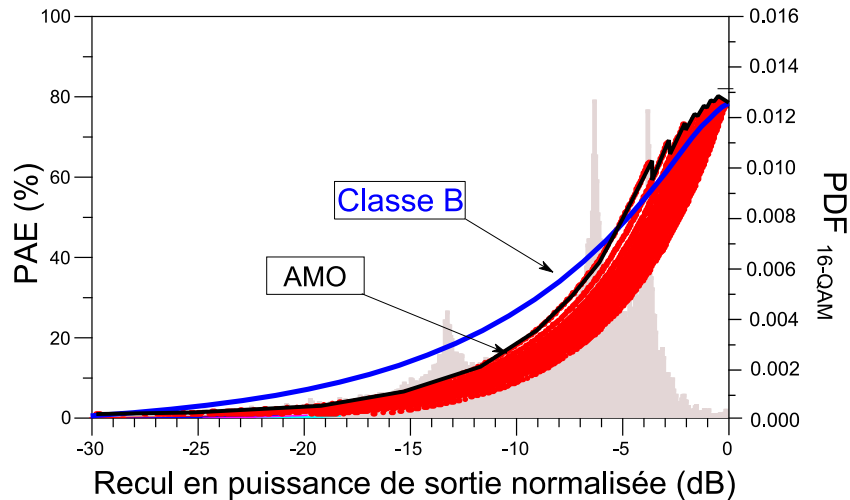


Figure II-29 : Rendement en puissance ajoutée d'une architecture AMO avec combineur isolé comparé à celui d'un amplificateur classe B idéal.

Devant cette problématique et comme décrit dans [52], la gestion des niveaux d'amplitude doit obligatoirement être gérée par un système de polarisation dynamique pour forcer les amplificateurs de puissance RF à toujours travailler à la saturation et donc à rendement maximal (Figure II-30). La polarisation dynamique permet de faire varier le gain

des amplificateurs RF, et donc de pondérer directement les quatre poids d'amplitudes en fonction du temps. Cette méthode est dérivée de la technique EER (« *Envelope Elimination and Restoration* » [53]).

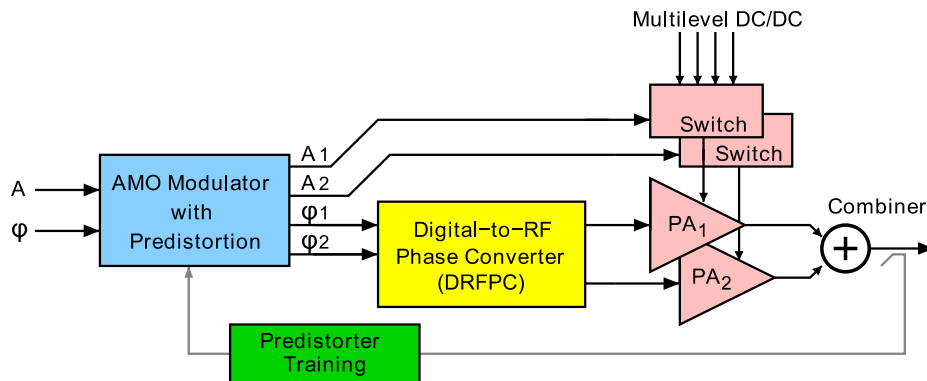


Figure II-30 : Schéma bloc du principe de l'architecture AMO avec polarisation dynamique.

Dans un cas idéal, où le système de polarisation dynamique est sans perte ($\eta_{\text{modulateur de polarisation}}=100\%$), le rendement global de la technique AMO devient plus intéressant qu'un amplificateur traditionnel en classe B, avec un rendement supérieur à 60% pour un recul en puissance de 11dB (Figure II-31).

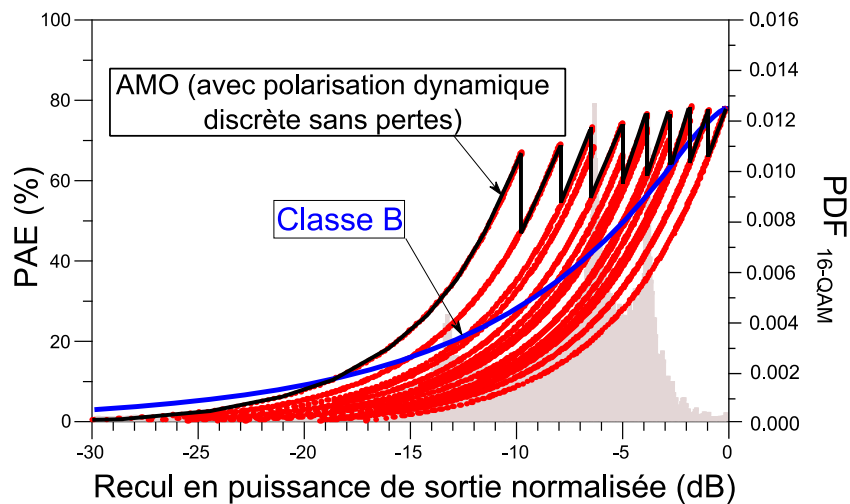


Figure II-31 : Rendement en puissance ajoutée d'une architecture AMO avec combineur isolé et polarisation dynamique discrète sans pertes, comparé à celui d'un amplificateur classe B idéal.

Néanmoins, cette architecture rencontre les mêmes problématiques que l'EER. La modification du gain des amplificateurs par polarisation dynamique se répercute par une modification de la phase du signal ce qui se traduit par des erreurs de recombinaison en sortie du système. Par conséquent, ce système est très peu linéaire et demande un gros effort de prédistorsion sur la phase et l'amplitude de chacune des voies RF et sur le système de polarisation dynamique. De plus, la principale difficulté est alors déplacée sur le système d'alimentation dynamique qui doit avoir le rendement énergétique le plus élevé possible.

Dans [54], le démonstrateur réalisé atteint 41.4% de PAE moyenne pour un signal 16-QAM avec 40MHz de bande à 1.95GHz pour une puissance de sortie de 36dBm.

- *Technique AMO avec DPWM (« Asymmetric Multilevel Outphasing with Discrete Pulse Width Modulation »)* [55]

Comme nous l'avons vu précédemment la difficulté de l'architecture AMO est de réussir à gérer le plus efficacement possible les polarisations dynamiques des amplificateurs, le tout avec le moins de distorsions possibles. Dans [55], l'auteur propose de générer un ensemble d'amplitudes discrètes du signal d'entrée en faisant varier le rapport cyclique des tensions grille-source des signaux de forme carrée à la fréquence porteuse de chaque amplificateur travaillant en Classe E [56]. Le principal avantage de cette modulation de largeur d'impulsion discrète (DPWM) réside dans le fait de ne plus utiliser un modulateur de tension de polarisation de drain à faible perte. La DPWM améliore l'efficacité de recombinaison du combineur adapté, car elle permet de faire varier efficacement les amplitudes d'enveloppe discrètes de chaque amplificateur. Les amplificateurs RF Classe-E classiques fonctionnant en régime PWM [57], [58] voient leur rapport cyclique d'entrée être modulé sur une large dynamique avec une résolution très fine. Le problème de cette approche PWM classique est que pour parvenir à une large dynamique de rapports cycliques en hyperfréquence, les largeurs d'impulsion sont de l'ordre de quelques picosecondes pour des porteuses microondes et sont donc difficiles à produire. C'est dans ce cadre que la DPWM limite les rapports cycliques à un ensemble discret, évitant les faibles rapports cycliques et améliorant l'efficacité de l'amplificateur en Classe E. Comme pour le LINC traditionnel le déphasage entre les voies est utilisé pour pouvoir balayer l'ensemble des puissances de sortie. Chaque amplitude d'enveloppe des deux amplificateurs Classe E est choisie parmi un ensemble discret de valeurs telles que l'angle de déphasage soit minimisé, afin d'obtenir la plus haute efficacité sur une large plage de puissance de sortie. L'architecture AMO avec DPWM est représentée dans la Figure II-32.

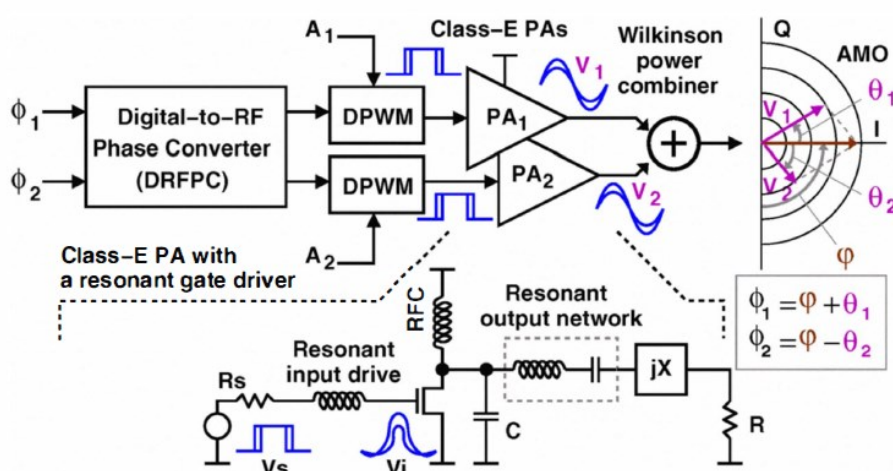


Figure II-32 : Schéma bloc du principe de l'architecture AMO avec DPWM [55].

La Figure II-33 montre le rendement de drain du système AMO avec DPWM idéal, en utilisant un modèle d'amplificateur Classe-E idéal. Quatre rapports cycliques (23%, 27%,

32%, 50%) sont nécessaires pour obtenir un rendement supérieur à 50% à 6dB de recul en puissance. [55] propose un démonstrateur basse fréquence ($f_0=48\text{MHz}$) atteignant un rendement moyen de 36.5% pour un signal 16-QAM de 50 ksym/s avec une puissance de sortie de 20W. Ces résultats montrent que la principale difficulté est de réaliser un amplificateur Classe E et un driver de grille en signaux carrés en hyper fréquence.

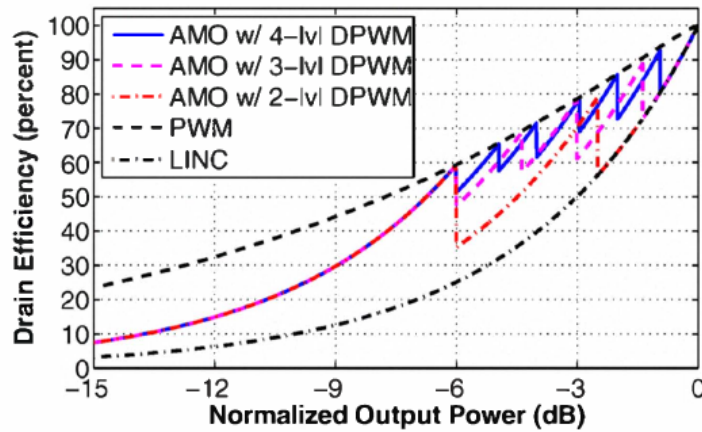


Figure II-33 : Rendement de drain de l'architecture AMO avec DPWM pour différents rapports cycliques discrets [55].

➤ *Technique OPERA (« Outphasing Power Energy Recovery Amplifier »)* [59]

Le système OPERA, représenté sur la Figure II-34, permet de récupérer la puissance normalement gaspillée dans la résistance d'isolation d'un combineur hybride 0-180°. En remplaçant cette résistance par un convertisseur RF-DC, la puissance est redressée et réinjectée dans le réseau d'alimentation des amplificateurs RF.

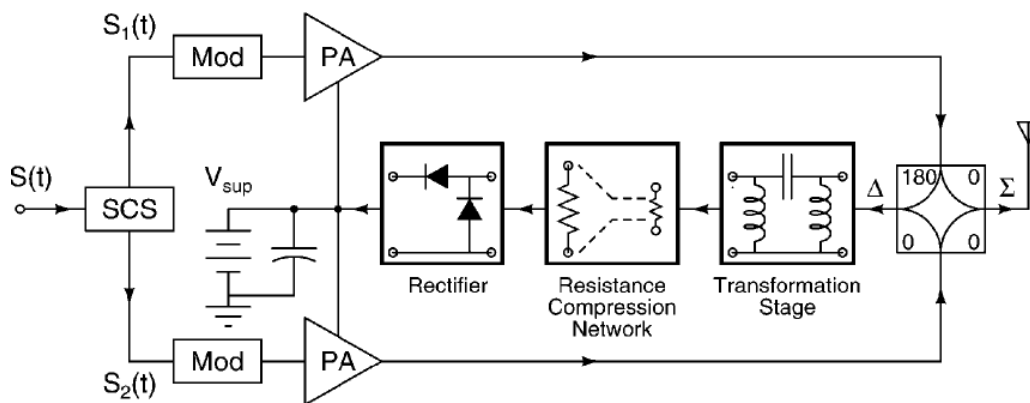


Figure II-34 : Schéma bloc du principe de l'architecture OPERA [59].

La Figure II-35 montre le rendement énergétique théorique du système OPERA avec différents pourcentages de récupération d'énergie. Comme on peut le voir, le rendement global du système est amélioré et devient plus intéressant qu'un amplificateur en classe B pour une efficacité de récupération supérieure à 80%.

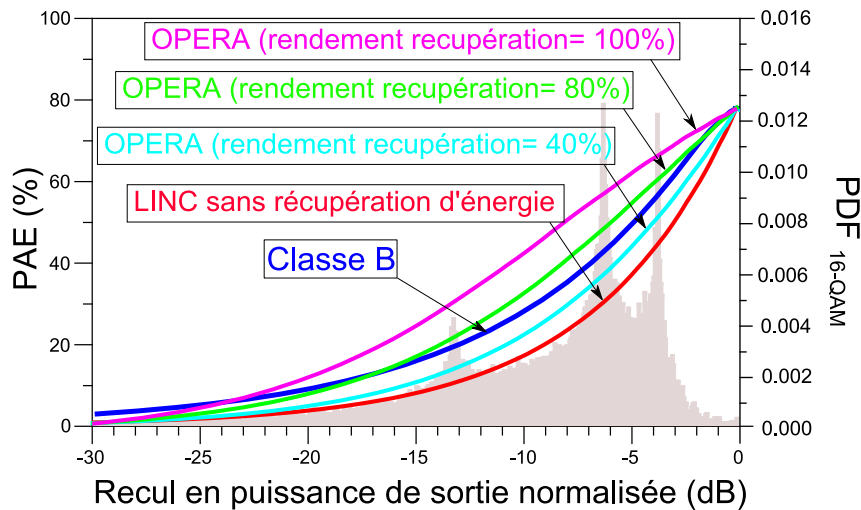


Figure II-35 : Rendement en puissance ajoutée d'une architecture OPERA pour différent pourcentage de récupération d'énergie.

Bien entendu, la difficulté de ce système se trouve dans la conception du convertisseur RF-DC, qui doit avoir un rendement supérieur à 80% sur une large dynamique de puissance. De plus, le couplage entre le redresseur et le combineur hybride 0-180° est critique car l'impédance d'entrée du redresseur varie en fonction de la puissance d'entrée. Cette variation d'impédance se répercute par une réduction de l'isolation entre les deux voies RF du combineur. Ceci perturbe alors le fonctionnement des amplificateurs RF (*baisse de leur rendement, augmentation de la distorsion du signal de sortie*). Dans [59], l'auteur propose un réseau de compression de résistance (RCN : « *Resistance Compression Network* ») qui va permettre de limiter au maximum les variations d'impédance vues par le combineur. Avec cette méthode, le démonstrateur basse fréquence ($f_0=48\text{MHz}$) proposé atteint un rendement en puissance ajoutée moyen de 42% pour un signal 16-QAM de 50 kHz avec une puissance de sortie de 36.7dBm.

II.3.2.2.b) Combineur non-isolé : Outphasing

Dans ce cas, la priorité sera mise sur une architecture de circuit de combinaison sans perte, au détriment de la linéarité puisque les cellules actives subiront des variations dynamiques d'impédance de charge.

➤ Circuits de combinaison

Contrairement au combineur Wilkinson ou au combineur hybride, le circuit de combinaison proposé initialement par Chireix ne présente aucune isolation entre ses accès d'entrée. Typiquement, ce combineur est composé de deux lignes de transmission d'une longueur électrique ($\lambda/4$) et d'impédance caractéristique (Z_0), comme représenté Figure II-36. L'analyse du combineur Chireix est plus complexe que celle réalisée sur le combineur adapté car l'absence d'isolation se répercute par une interaction non-linéaire forte entre les éléments

actifs et le combineur. Le comportement global du système peut alors être considéré comme une recombinaison vectorielle engendrant une modulation de charge.

On se propose par souci de simplicité, d'étudier le combineur Chireix avec des sources de tension idéales afin de s'affranchir des notions de désadaptation et de modulation de charge entre les amplificateurs.

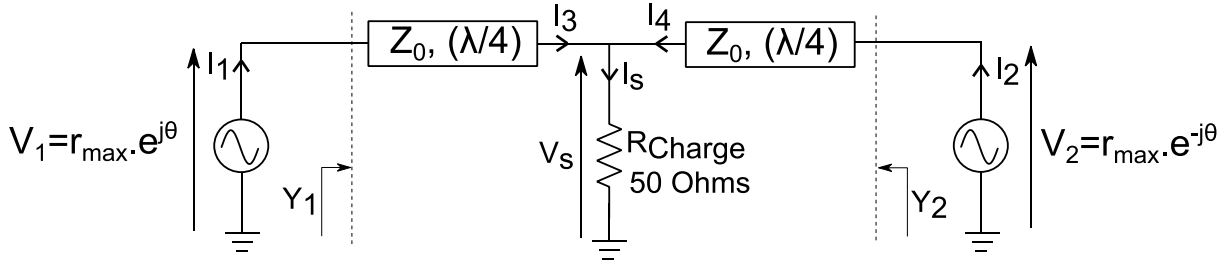


Figure II-36 : Représentation d'un combineur Chireix avec des sources de tensions idéales.

L'admittance présentée à chaque amplificateur est obtenue en utilisant la matrice chaîne d'une ligne de transmission quart d'onde sans perte définie par:

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix}_{\varphi=\lambda/4} = \begin{pmatrix} \cos(\varphi) & jZ_0 \sin(\varphi) \\ j \frac{\sin(\varphi)}{Z_0} & \cos(\varphi) \end{pmatrix}_{\varphi=\lambda/4} = \begin{pmatrix} 0 & j \cdot Z_0 \\ \frac{j}{Z_0} & 0 \end{pmatrix} \quad (\text{II-47})$$

Les relations entrée-sortie des lignes quart d'onde dans les deux branches du combineur Chireix s'expriment par :

$$V_1 = j \cdot Z_0 \cdot I_3 \quad V_2 = j \cdot Z_0 \cdot I_4 \quad (\text{II-48})$$

$$I_1 = \frac{j}{Z_0} \cdot V_s \quad I_2 = \frac{j}{Z_0} \cdot V_s \quad (\text{II-49})$$

On obtient alors :

$$I_s = I_3 + I_4 = \frac{V_1 + V_2}{j \cdot Z_0} = \frac{r_{\max} \cdot (e^{j\theta} + e^{-j\theta})}{j \cdot Z_0} = \frac{2 \cdot r_{\max} \cdot \cos(\theta)}{j \cdot Z_0} \quad (\text{II-50})$$

$$V_s = I_s \cdot R_{\text{charge}} = \frac{2 \cdot r_{\max} \cdot \cos(\theta)}{j Z_0} \cdot R_{\text{charge}} \quad (\text{II-51})$$

$$I_1 = I_2 = \frac{j}{Z_0} \cdot V_s = \frac{2 \cdot r_{\max} \cdot \cos(\theta)}{Z_0^2} \cdot R_{\text{charge}} \quad (\text{II-52})$$

Par conséquent, les admittances de charge présentées aux amplificateurs sont :

$$Y_1 = \frac{I_1}{V_1} = \frac{2 \cdot R_{\text{charge}} \cdot \cos^2(\theta)}{Z_0^2} - j \cdot \frac{R_{\text{charge}} \cdot \sin(2\theta)}{Z_0^2} = G(\theta) - j \cdot B(\theta) \quad (\text{II-53})$$

$$Y_2 = \frac{I_2}{V_2} = \frac{2.R_{charge}.\cos^2(\theta)}{Z_0^2} + j.\frac{R_{charge}.\sin(2.\theta)}{Z_0^2} = G(\theta) + j.B(\theta) \quad (II-54)$$

On peut donc modéliser séparément chacune des branches, comme représenté Figure II-37.

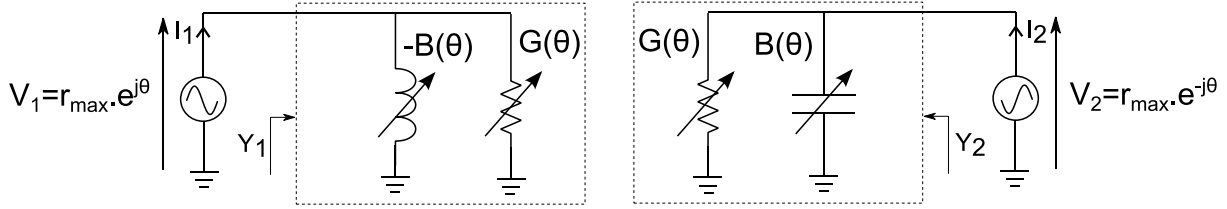


Figure II-37 : Modélisation du combineur Chireix.

Les amplificateurs de puissance RF voient de fortes variations dynamiques de charge qui dépendent de l'angle de déphasage (θ). La Figure II-38 montre les variations de conductance et de susceptance vues par les amplificateurs, traduisant ainsi l'absence d'isolation.

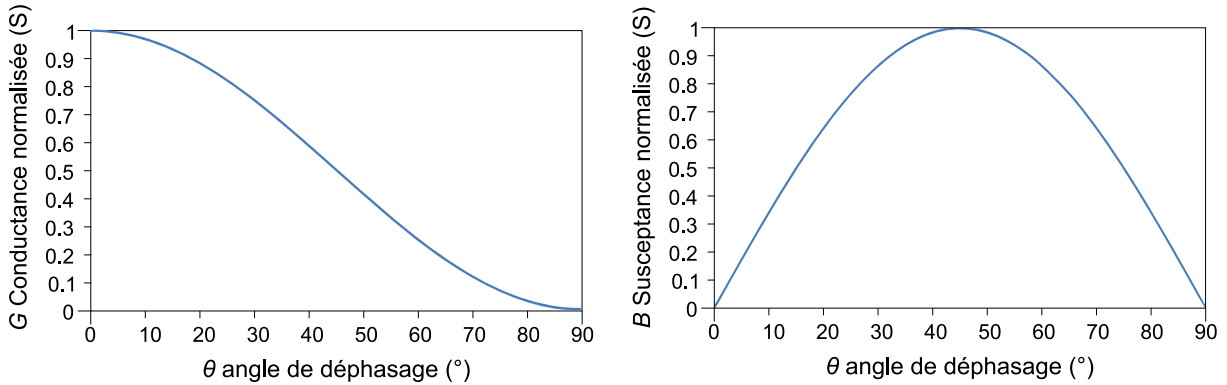


Figure II-38 : Variation de la conductance et de la susceptance vues par les sources de tensions idéales en fonction de l'angle de déphasage θ .

Ces variations d'impédance ont un impact direct sur l'efficacité énergétique du combineur Chireix qui s'exprime de la manière suivante :

$$\eta_{Chireix} = \frac{G_0}{\sqrt{G_0^2 + B_0^2}} = \frac{\frac{2.R_{charge}.\cos^2(\theta)}{Z_0^2}}{\sqrt{\left(\frac{2.R_{charge}.\cos^2(\theta)}{Z_0^2}\right)^2 + \left(\frac{R_{charge}.\sin(2.\theta)}{Z_0^2}\right)^2}} = \cos(\theta) \quad (II-55)$$

L'efficacité diminue considérablement lorsque l'angle de déphasage θ augmente, ce qui est représenté sur la Figure II-39. De la même manière que pour le combineur isolé, l'efficacité moyenne de combinaison dépend de la densité de probabilité du module de l'enveloppe du signal d'entrée (*PDF*) et peut être exprimée par l'équation suivante :

$$\eta_{Chireix}(moyenne) = \sum_{i=1}^N p(\theta_i) \cos(\theta_i) \quad (II-56)$$

Avec θ_i : valeur discrete du déphasage
et $p(\theta_i)$: la probabilité d'apparition de cette valeur

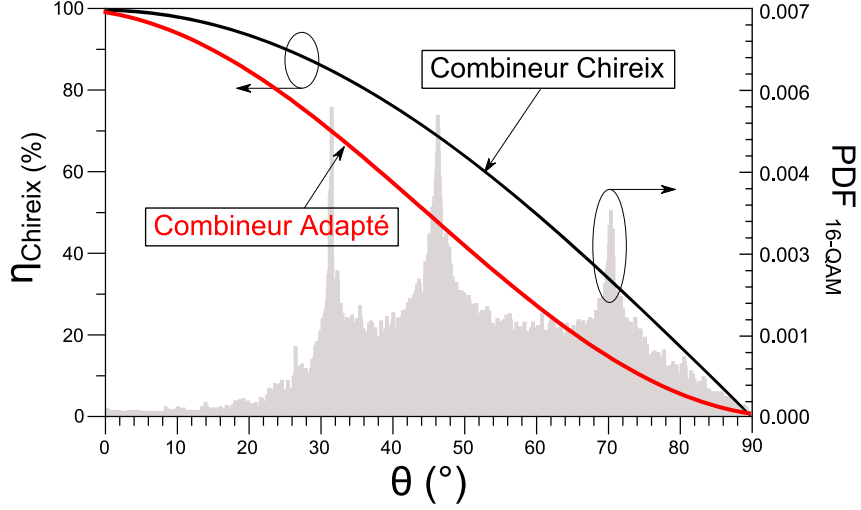


Figure II-39 : Rendement de combinaison du combineur Chireix comparé à celui d'un combineur adapté en fonction de l'angle de déphasage θ .

La dégradation de l'efficacité est due à l'augmentation de la susceptance de l'admittance présentée à chaque amplificateur. Pour résoudre ce problème, Chireix propose la méthode de compensation de charge. L'idée de cette méthode est de compenser partiellement cette partie imaginaire en ajoutant une réactance parallèle appropriée (Figure II-40).

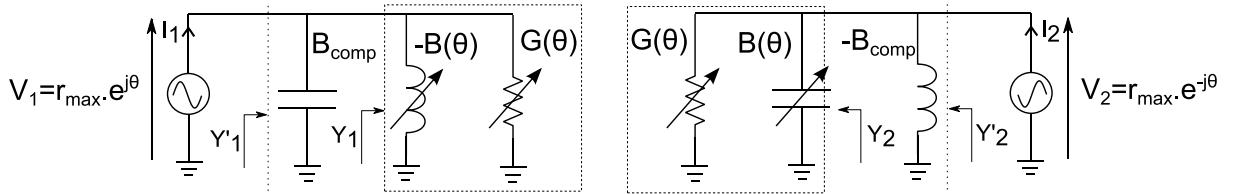


Figure II-40 : Modélisation du combineur Chireix avec compensation de la susceptance.

En ajoutant une susceptance parallèle avec un signe opposé à la susceptance existante pour un angle de déphasage particulier, la partie imaginaire de l'impédance globale vue par l'amplificateur sera annulée et une efficacité maximale sera obtenue pour cet angle de déphasage. De plus, la susceptance $B(\theta)$ est symétrique en fonction de θ , autour de $\theta = 45^\circ$ (Figure II-38). Si elle est compensée pour un angle de compensation ($0^\circ < \theta_{comp} < 45^\circ$), la susceptance à l'angle de déphasage ($90^\circ - \theta_{comp}$) sera également compensée.

Après avoir ajouté les susceptances de compensation, les admittances présentées à chaque amplificateur deviennent :

$$Y'_1 = Y_1 + j(B_{comp}) = G(\theta) - j.(B(\theta) - B_{comp})$$

$$= \frac{2.R_{charge}.cos^2(\theta)}{Z_0^2} - j. \frac{R_{charge}.(\sin(2.\theta)-\sin(2.\theta_{comp}))}{Z_0^2} \quad (II-57)$$

$$Y'_2 = Y_2 - j(B_{comp}) = G(\theta) + j.(B(\theta) - B_{comp})$$

$$= \frac{2.R_{charge}.cos^2(\theta)}{Z_0^2} + j. \frac{R_{charge}.(\sin(2.\theta)-\sin(2.\theta_{comp}))}{Z_0^2} \quad (II-58)$$

$$\text{Où } B_{comp} = \frac{R_{charge}\sin(2.\theta_{comp})}{Z_0^2}$$

Dans ce cas, le rendement de recombinaison du combineur Chireix devient (Figure II-41) :

$$\eta_{Chireix} = \frac{G_0}{\sqrt{G_0^2 + (B_0 - B_{comp})^2}} = \frac{2.cos^2(\theta)}{\sqrt{(2.cos^2(\theta))^2 + (\sin(2.\theta) - \sin(2.\theta_{comp}))^2}} \quad (II-59)$$

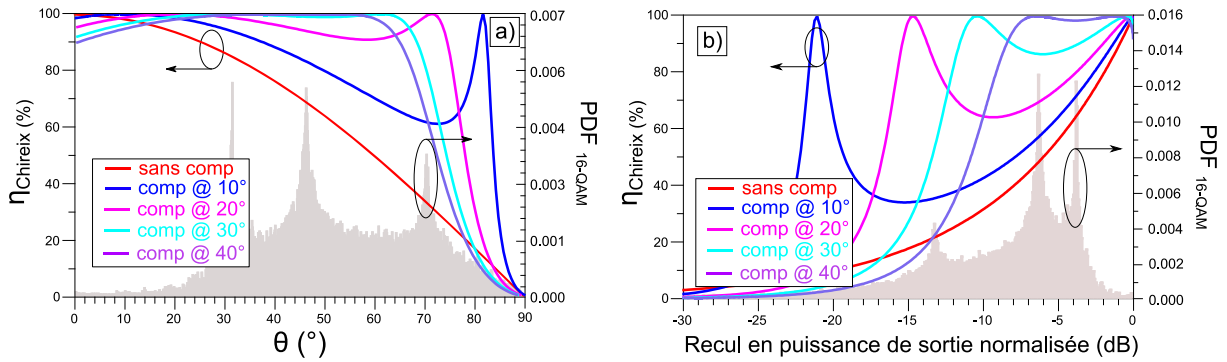


Figure II-41 : a) Rendement de combinaison du combineur Chireix pour différents angles de compensation θ_{comp} en fonction de l'angle de déphasage θ . B) Rendement de combinaison du combineur Chireix pour différents angles de compensation θ_{comp} en fonction du recul en puissance de sortie.

L'ensemble des résultats présentés dans la Figure II-41 montre les performances du combineur Chireix en présence de deux sources de tension idéales. En réalité, pour un système complet, le couplage entre les amplificateurs de puissance et le combineur rend l'étude théorique plus complexe à étudier et est plus largement décrit dans [60]. En effet, en l'absence d'isolation, les deux amplificateurs dont l'effet fondamental est une source de courant contrôlée se créent mutuellement une modulation d'impédance de charge. Leur fonctionnement est alors perturbé et les cycles de charges des transistors prennent la forme de figures de Lissajoux de surface ouverte, ce qui augmente leur puissance dissipée. De ce fait, les performances énergétiques des amplificateurs ne sont plus constantes en fonction de l'angle de déphasage θ .

A titre d'exemple et de façon à illustrer quelques problématiques liées à cette technique d'amplification, des résultats de simulations réalistes comprenant deux

amplificateurs Classe B et un combineur Chireix sont présentés dans la Figure II-42 pour différents angles de compensation.

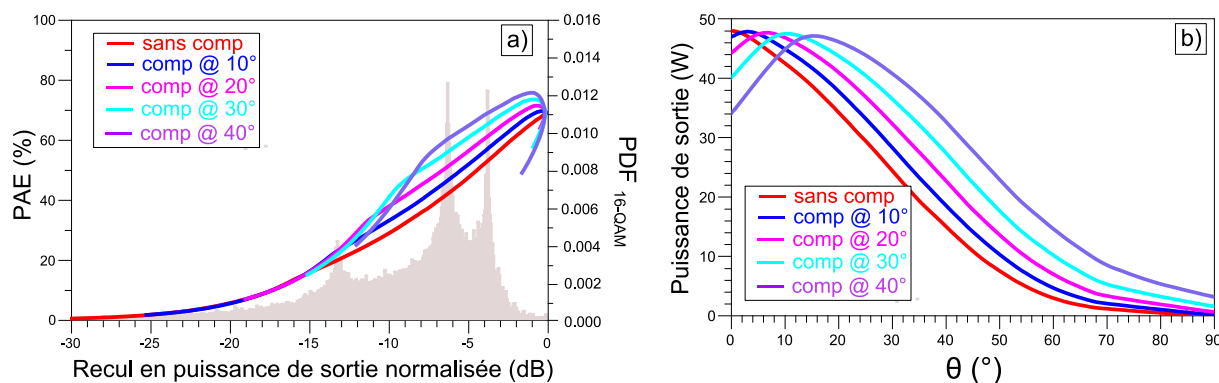


Figure II-42 : a) Rendement en puissance ajoutée d'une architecture LINC à combineur Chireix en fonction de la puissance de recul de sortie normalisée pour différents angles de compensation (θ_{comp}). b) Puissance de sortie en fonction de l'angle de déphasage (θ) pour différents angles de compensation (θ_{comp}).

Le rendement en puissance ajoutée est clairement amélioré en fonction du recul en puissance lorsque l'angle de compensation choisi (θ_{comp}) augmente. Cependant une diminution de la dynamique de puissance de sortie est observée en fonction de l'angle de compensation (Figure II-42-b)). Ceci met en évidence la non-linéarité du système. La Figure II-43, permet d'observer plus précisément la non-linéarité du système en fonction de l'angle de déphasage pour un cas simple de signal bi-porteuse.

Lorsque l'angle de compensation (θ_{comp}) est augmenté pour améliorer le rendement, l'enveloppe de sortie est clairement distordue. Le compromis rendement/linéarité du système apparaît difficile à trouver, dans la mesure où plus le rendement est maximisé plus l'enveloppe de sortie se trouve distordue. La prédistorsion du signal d'entrée reste une option compliquée et délicate à mettre en œuvre dans ce type de système. En effet, une modification du signal d'entrée se répercute par une modification de l'interaction qu'il existe entre chaque amplificateur.

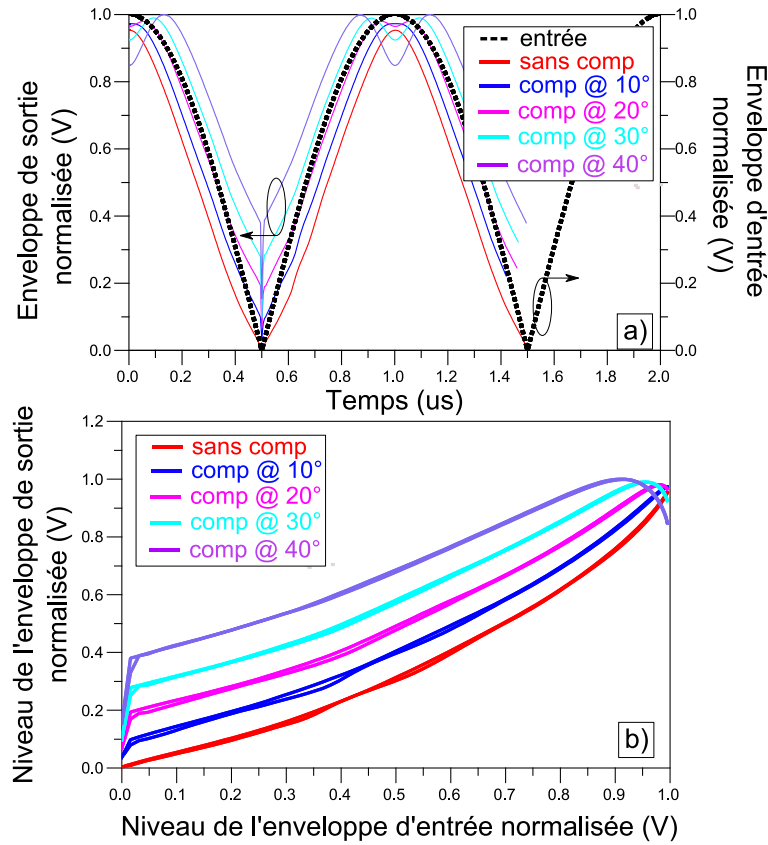


Figure II-43 : a) Enveloppe du signal d'entrée bi-porteuse en fonction du temps (noir) et enveloppe du signal de sortie en fonction du temps (couleur) pour différents angles de compensation (θ_{comp}). b) Enveloppe du signal d'entrée en fonction de l'enveloppe de sortie pour différents angles de compensation (θ_{comp}).

Pour imager la difficulté à linéariser cette architecture, nous avons réalisé une étude basée sur des simulations qui permet dans un cas simple d'évaluer l'impact d'un déséquilibre de gain et de phase entre amplificateurs. On considère un système avec un combineur Chireix sans compensation ($\theta_{comp}=0^\circ$) et deux amplificateurs similaires. ΔG représente une différence de gain et Ψ représente une erreur de phase entre les deux voies (Figure II-44). L'ensemble est excité par un signal bi-porteuse.

On observe, à travers la Figure II-44, que le critère C/I_3 est largement impacté par le moindre déséquilibre de gain et de phase entre les voies. Pour obtenir un C/I_3 supérieur à 30dB, l'écart entre les deux branches doit être inférieur à 0.3dB en gain et 1° en phase. Ceci souligne que le degré de précision nécessaire pour atteindre des spécifications requises de linéarité est très élevé. Les systèmes de prédistorsion doivent être relativement complexes et coûteux, en capacité de traitement de calcul, pour pouvoir atteindre ces degrés de précision.

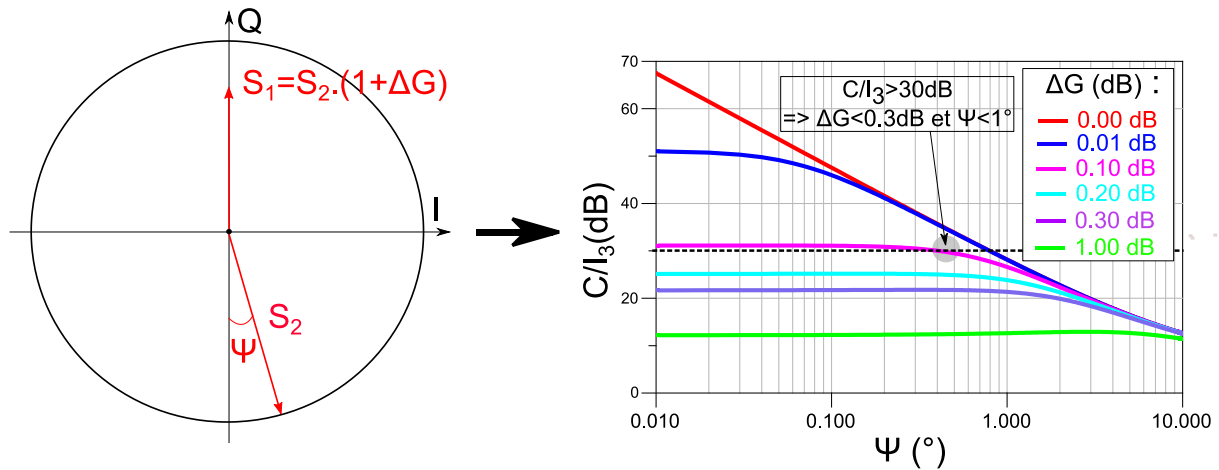


Figure II-44 : C/I_3 en fonction de l'erreur de phase (Ψ) pour différents déséquilibre de gain (ΔG).

Les problématiques d'élargissement de bande passante liées à la technique de décomposition du signal sont accentuées du fait de la présence de deux lignes quart d'onde, l'outphasing cumule donc les limitations de bande évoquées précédemment pour l'architecture Doherty.

➤ Quelques travaux d'amélioration du rendement

- *Technique MILC ("Modified Implementation of LINC Conception") et HILC ("Hybride Implementation of LINC conception")* [61]

Les techniques MILC et HILC sont des méthodes qui sont basées sur une décomposition du signal d'entrée différente afin d'améliorer le compromis Rendement/Linéarité. C'est une décomposition du signal mixte, où une partie du signal va rester à enveloppe variable et une autre partie va être décomposée en modulation de phase à partir d'un seuil d'amplitude (r_{seuil}). On parle de modulation adaptative, comme le montre la Figure II-45. Pour la technique HILC, l'objectif est toujours de limiter l'angle de déphasage θ pour travailler dans la zone de rendement maximal du combineur Chireix. Pour ce faire, la décomposition du signal va être à enveloppe variable en dessous du seuil d'amplitude (r_{seuil}) et à modulation de phase au-dessus. De la même manière, pour la technique MILC, la décomposition du signal va être à enveloppe variable au-dessus du seuil d'amplitude (r_{seuil}) et à modulation de phase en dessous. Cette fois-ci, l'objectif est d'augmenter le rendement en fonction du recul en puissance, qui à partir d'un certain seuil, est meilleur en Classe B classique.

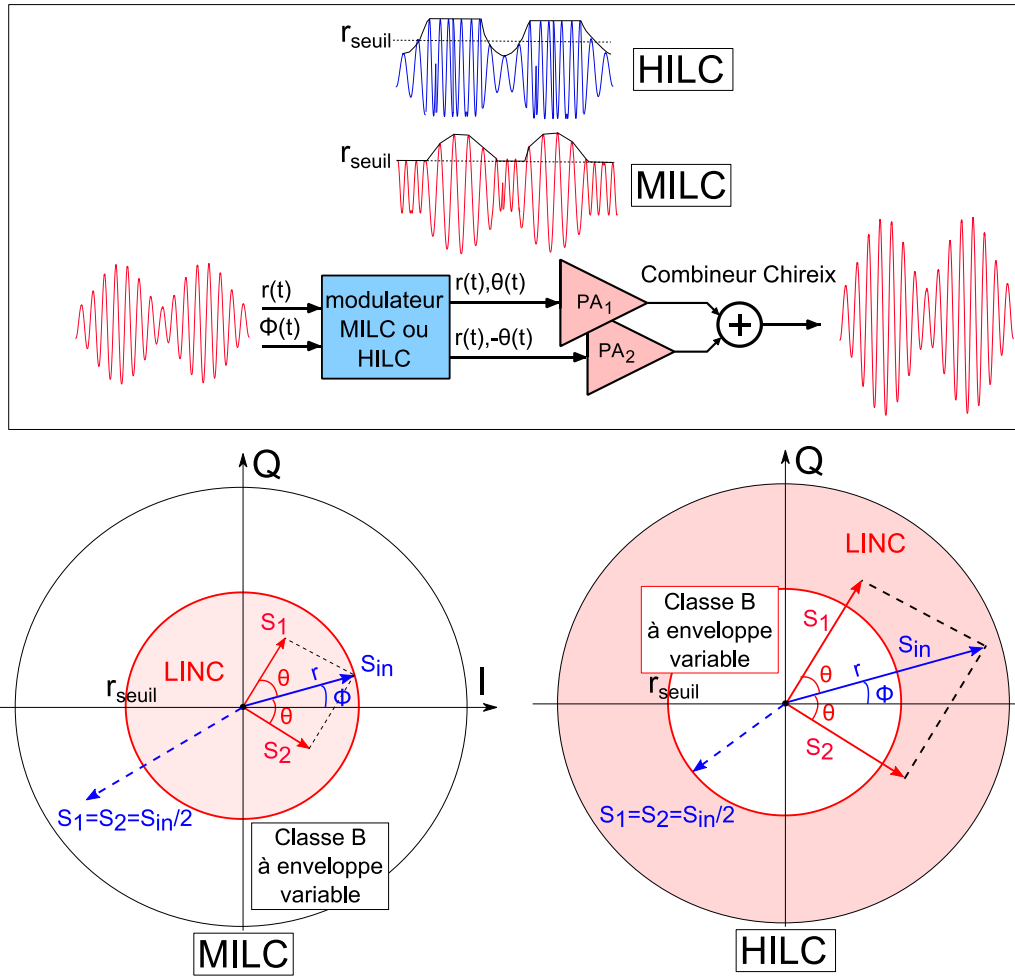


Figure II-45 : Principe de la recombinaison vectorielle des architectures MILC et HILC.

Pour se faire une idée des performances de ces systèmes nous avons réalisé des simulations qui permettent d'estimer le compromis rendement/linéarité en présence d'un signal modulé 16-QAM. L'ensemble des résultats est synthétisé dans la Figure II-46 et a été obtenu avec un combineur Chireix ayant un angle de compensation de 50° ($\theta_{comp}=50^\circ$). On observe que quelle que soit la technique utilisée, le compromis rendement/linéarité est très faible. Lorsque le rapport entre l'amplitude maximale de l'enveloppe du signal d'entrée et l'amplitude seuil de modulation adaptative (r_{seuil}/r_{max}) tend vers un fonctionnement de type outphasing, la linéarité est dégradée rapidement et fortement. A titre d'exemple, pour un rapport $r_{seuil}/r_{max}=0.7$, le rendement en puissance ajoutée est amélioré de 8 points par rapport à un amplificateur en Classe B, pour une chute de 40dBc en ACPR comme illustré respectivement sur la partie droite de la Figure II-46-a) et sur la partie gauche de la Figure II-46-b).

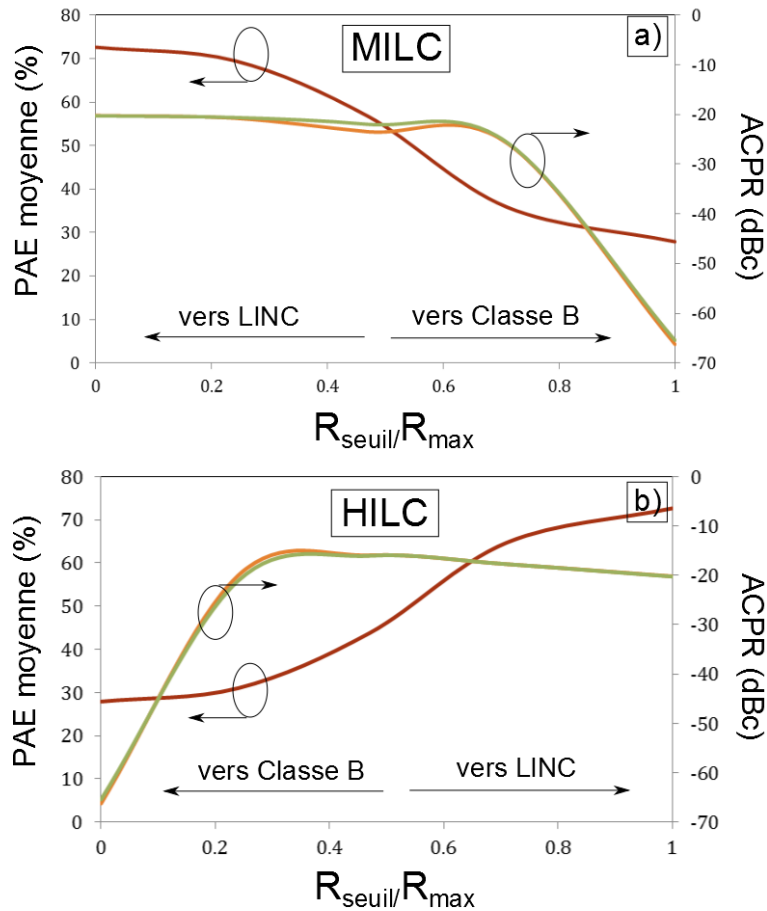


Figure II-46 : a) PAE moyenne et ACPR en fonction de la valeur du seuil de la décomposition adaptative pour un signal 16-QAM appliqué au système MILC. b) PAE moyenne et ACPR en fonction de la valeur du seuil de la décomposition adaptative pour un signal 16-QAM appliqué au système HILC.

➤ Technique “Chireix Outphasing Switch-Mode High Power Amplifier” [62]

Une architecture intéressante mais très complexe est proposée par NXP (Figure II-47).

Elle tire parti, d’après les auteurs, d’une relative insensibilité du rendement d’un amplificateur en Classe E (détaillée dans [63]) vis-à-vis des variations de charge.

Cette caractéristique particulière confère aux transistors de puissance un comportement se rapprochant d’une source de tension favorable au principe de la technique outphasing.

En utilisant une topologie spécifique de combineur large bande à lignes couplées asymétriques, les variations d’amplitudes du signal reconstituées en sortie sont obtenues en appliquant des signaux de porteuse quasi-carrés à 1.95 GHz en entrée des transistors avec un décalage temporel variable. Ceci nécessite des circuits drivers de grille (Cmos) pour la commande des cellules GaN.

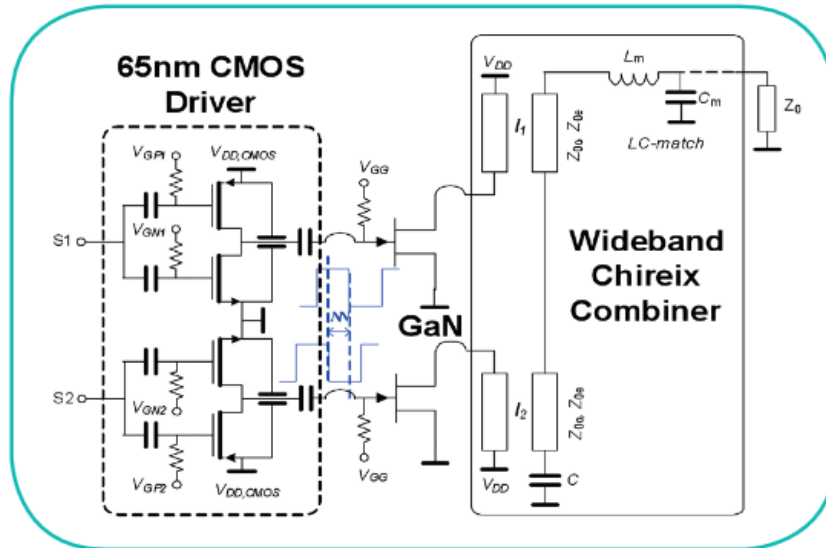


Figure II-47 : Schéma simplifié de la topologie « Chireix Outphasing Switch-Mode High Power Amplifier ».

Les performances en rendement de drain en fonction du recul en puissance sont assez remarquables, même si les performances en rendement global montrent une allure plus semblable à celle des amplificateurs plus conventionnels (Figure II-48).

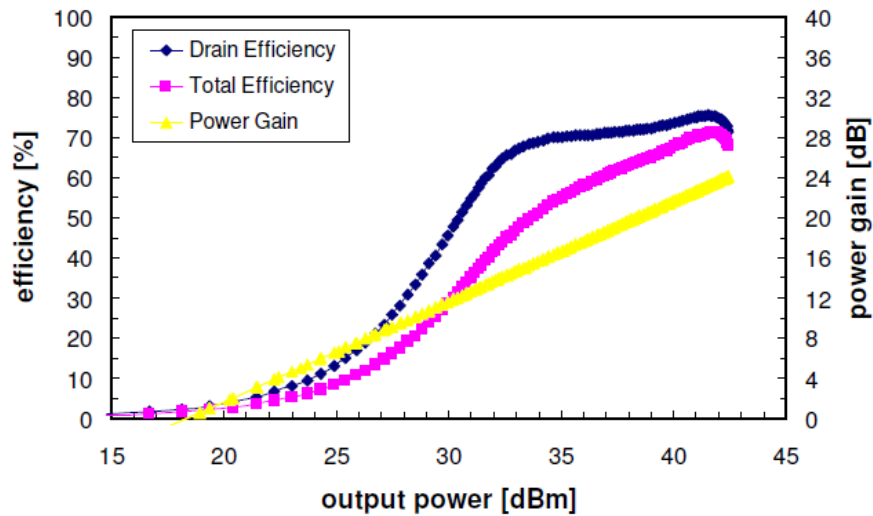


Figure II-48 : Mesures du rendement de drain et de la PAE global, ainsi que du gain en puissance du prototype de « Chireix Outphasing Switch-Mode » présenté dans [62].

➤ Technique “Multi-stage Resistance Compression Network” [64]

Comme nous l’avons décrit précédemment, l’outphasing consiste à utiliser un combineur sans perte non-isolé, ce qui conduit à deux limitations énergétiques fondamentales. La première étant que l’efficacité de recombinaison est dégradée par la variation de la susceptance de l’admittance présentée à chaque amplificateur, ce qui rend la combinaison de puissance inefficace pour les faibles valeurs de l’angle de déphasage (θ). La seconde concerne les fortes variations de charge vues par les amplificateurs de puissance qui dégradent fortement leurs propres performances énergétiques.

La technique proposée [64] consiste à décomposer la technique d'outphasing en plusieurs voies. Dans l'exemple proposé, l'architecture est composée de quatre branches ce qui permet de décomposer le signal à enveloppe variable en quatre signaux modulés en phase à enveloppe constante (Figure II-49). De ce fait, en ajustant le déphasage entre chacune des branches, les variations de déphasage sont limitées d'un facteur deux pour chaque étage de combinaison et les variations de charge vues par les amplificateurs sont fortement atténuées, d'où le terme de « *Resistance Compression Network (RCN)* ».

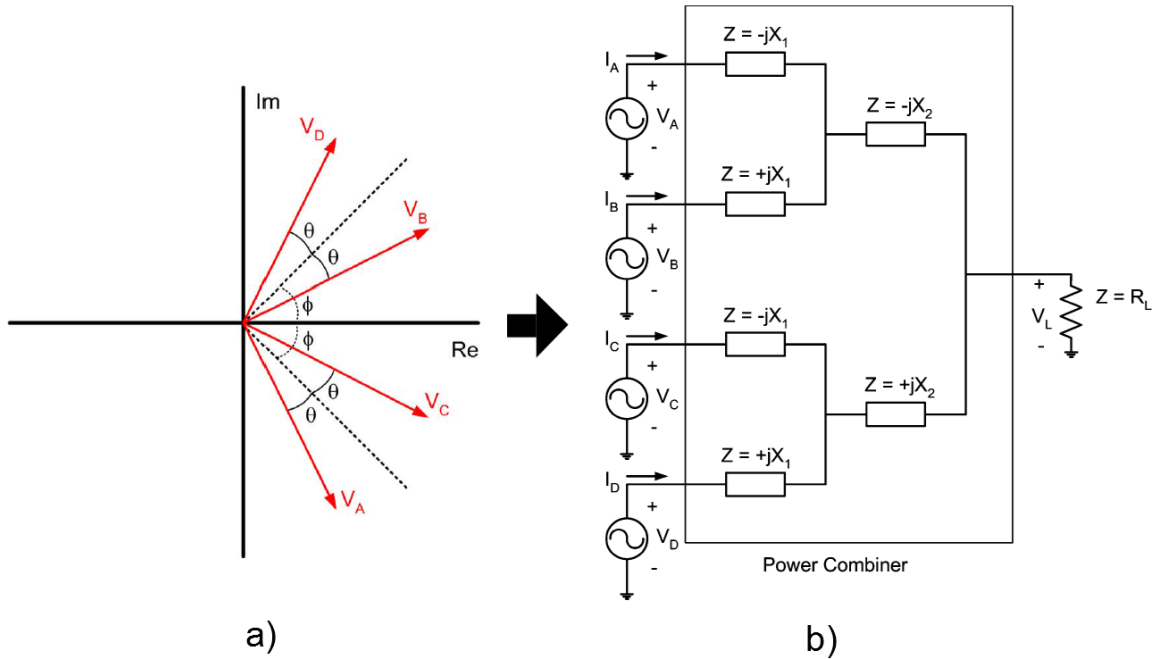


Figure II-49 : a) Représentation polaire de la décomposition d'un signal à enveloppe variable en quatre signaux à enveloppe constante. b) Schéma simplifié de l'architecture « Multi stage RCN » à quatre voies, où chaque amplificateur est représenté par une source de tension idéale [64].

Les performances théoriques de cette technique montrent une nette amélioration du rendement du combineur (Figure II-50). Cependant la décomposition du signal en quatre signaux à enveloppe constante modulés en phase complexifie largement le système car il nécessite quatre sources distinctes et devient une architecture multivoies. De plus, cette nouvelle décomposition du signal complique fortement la fonction de modulation de phase en fonction du temps de chacun des signaux (V_a, V_b, V_c, V_d), rendant le problème d'élargissement du spectre du signal d'entrée évoqué dans la section II.3.2.1 encore moins favorable.

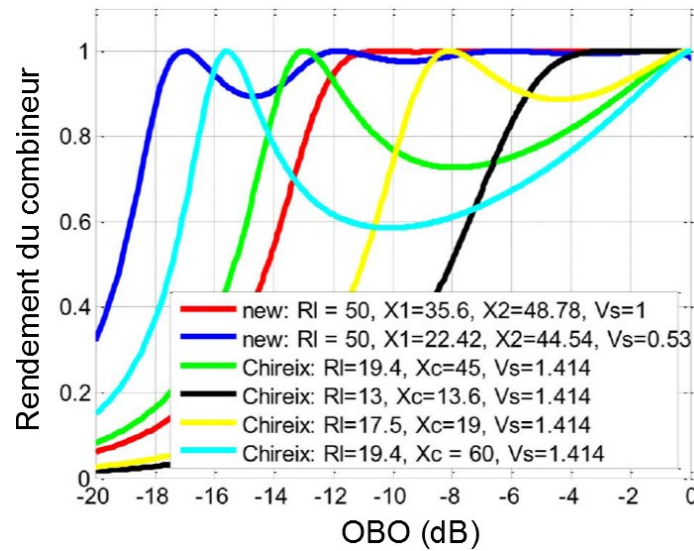


Figure II-50 : Rendement du combineur en fonction du recul en puissance (OBO). Les courbes noire, jaune, verte, cyan correspondent à un combineur Chireix classique à deux branches ayant différents angles de compensation. Les courbes bleue et rouge correspondent au combineur à quatre voies proposé par [65] pour différents angles de compensation.

II.3.3) Doherty-Outphasing continuum.

La technique nommée « Doherty-Outphasing Continuum », initialement proposée dans [66], est une méthode qui permet de garder les propriétés d'amélioration du rendement en fonction du recul en puissance sur une large bande de fréquence. La topologie correspondante est similaire à celle d'un Doherty classique, comme représenté dans la Figure II-51.

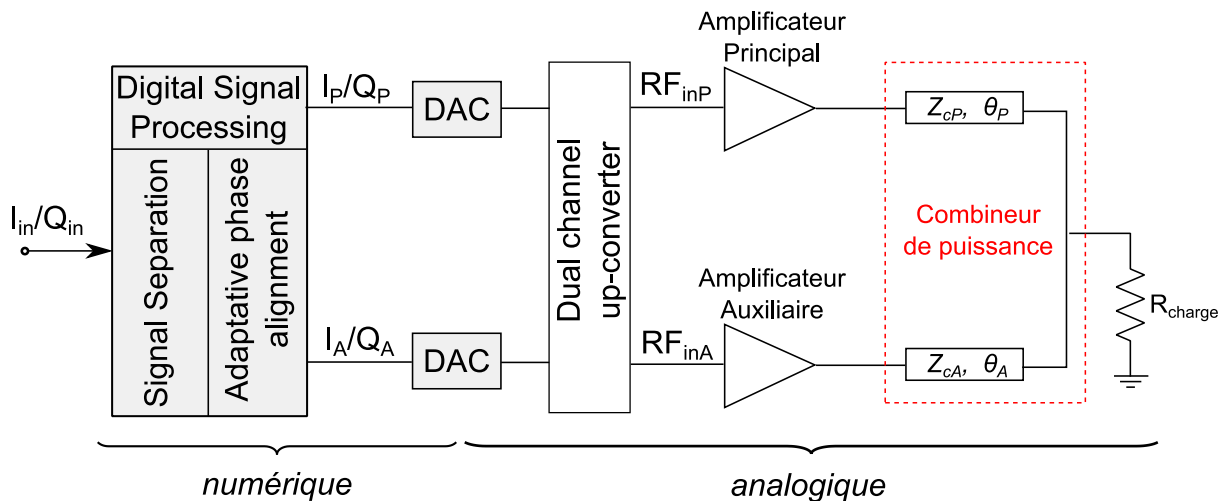


Figure II-51 : Schéma bloc de la technique « Doherty-Outphasing Continuum » [66].

Chaque amplificateur dispose d'une entrée RF indépendante, de façon à gérer indépendamment les niveaux de puissance et les phases de chaque voie.

La Figure II-52 représente un schéma équivalent représentatif de cette technique étudiée dans [67]. Il est composé de deux lignes de transmission ayant pour longueurs électriques (θ_p)

et (θ_a) et pour impédances caractéristiques (Z_p) et (Z_a) . Les amplificateurs sont considérés comme étant des sources de courant au fondamental I_p et I_a . Les fréquences harmoniques sont considérées court-circuitées.

L'objectif consiste dans un premier temps à analyser la réponse du combineur de puissance en fonction du niveau des courants $|I_a|$, $|I_p|$ et du déphasage (φ) entre ces courants pour des valeurs de (θ_p) , (θ_a) , (Z_p) et (Z_a) fixées.

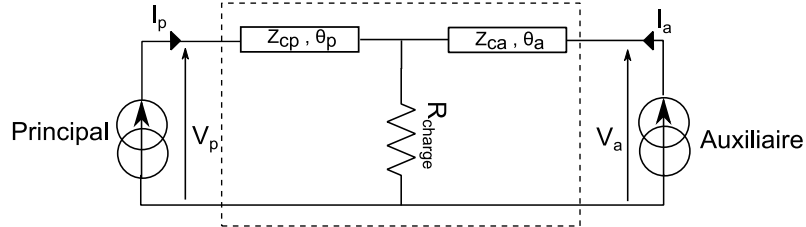


Figure II-52 : Schéma d'un combineur de puissance idéal utilisé dans l'analyse du Doherty-Outphasing Continuum.

Pour chaque combinaison de courants et de déphasages, le rendement et la puissance de sortie sont calculés. Les trajectoires optimales de courant et de déphasage sont alors extraites pour obtenir le meilleur rendement en fonction du recul en puissance de sortie pour un combineur de sortie donné. A titre d'exemple, la Figure II-53 représente le cas d'un amplificateur Doherty classique où $\theta_p=90^\circ$, $\theta_a=0^\circ$, $Z_p=Z_a=R_{opt}$ et $R_{charge}=R_{opt}/2$. Sur la Figure II-53-a), le nuage de points correspond aux résultats de l'ensemble des combinaisons. La ligne rouge représente la trajectoire optimale à suivre pour obtenir le maximum de rendement. La Figure II-53-b) représente les lois de commande de courant et de déphasage extraites à partir de cette ligne rouge.

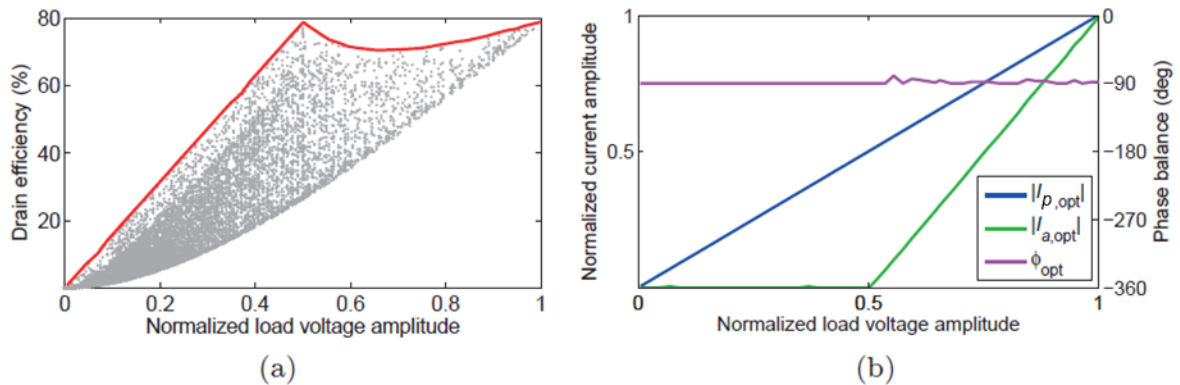


Figure II-53 : a) Rendement de drain fonction de la puissance de sortie pour différentes valeurs de phase et d'amplitude de courant, quand $\theta_p=90^\circ$ et $\theta_a=0^\circ$. b) Lois de commande d'amplitude et de phase des courants correspondant au rendement optimal indiqué par la ligne rouge en (a) [68].

Dans un second temps, l'analyse se poursuit en effectuant cette même méthode pour tous les couples de longueur électrique (θ_p) et (θ_a) des lignes de transmission constituant le combineur de puissance. Pour chaque combinaison (θ_p) , (θ_a) , la trajectoire de courant et de

déphasage donnant le maximum de rendement moyen d'un signal WCDMA ayant un PAPR de 6.7dB est alors extraite. La Figure II-54 représente le rendement moyen du système en fonction de la longueur électrique de chaque ligne. A chaque point de ce graphique correspond un contrôle optimal de courant. La Figure II-55-a) représente le rendement de drain du système en fonction de la puissance de sortie lorsque $\theta_p=60^\circ$, $\theta_a=120^\circ$. La Figure II-55-b) montre que pour ce couple de longueurs électriques, le fonctionnement du système est proche d'un fonctionnement Chireix à recombinaison vectorielle multi-niveaux. On observe que $|I_a|$ et $|I_p|$ sont égaux et ϕ varie de -180° à -90° pour faire varier la puissance de sortie.

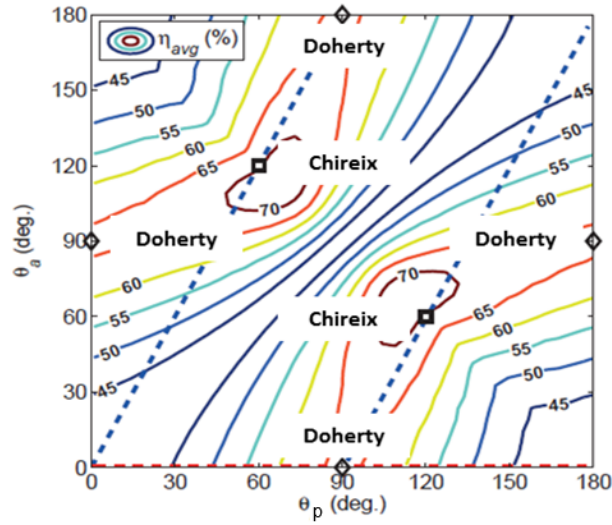


Figure II-54 : Rendement de drain moyen ayant la commande de courant optimale en fonction de θ_p et θ_a pour un signal WCDMA ayant un PAPR de 6,7dB. Les diamants et les carrés indiquent respectivement une solution Doherty et Chireix [68].

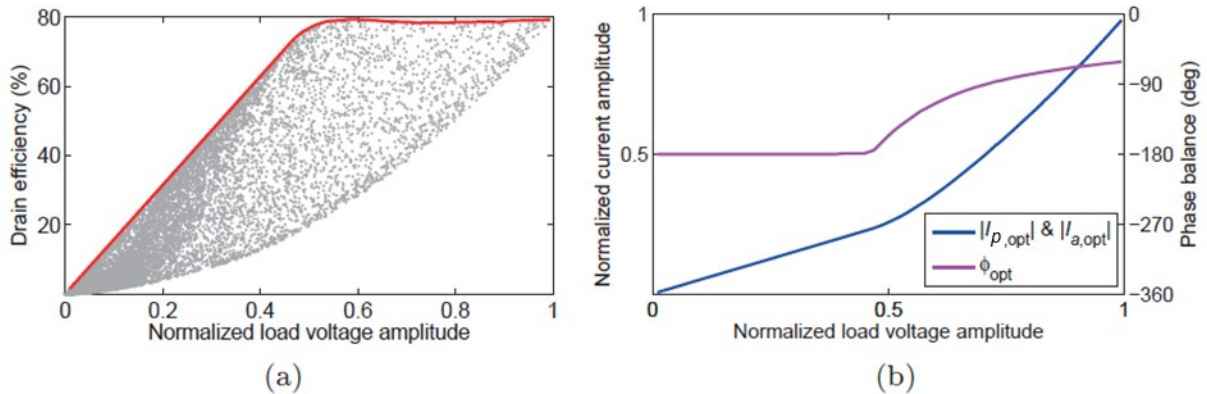


Figure II-55 : a) Rendement de drain fonction de la puissance de sortie pour différentes valeurs de phase et d'amplitude de courant, quand $\theta_p=60^\circ$ et $\theta_a=120^\circ$. b) Lois de commande d'amplitude et de phase des courants correspondant au rendement optimal indiqué par la ligne rouge en (a) [68].

L'avantage de cette méthode est de pouvoir connaître directement l'évolution du rendement du système en fonction de la fréquence. Par exemple, pour un couple de lignes

ayant pour longueurs électriques $\theta_p=90^\circ$, $\theta_a=180^\circ$ à f_0 , leurs valeurs à $0.67 \cdot f_0$ sera $\theta_p=60^\circ$ et $\theta_a=120^\circ$. Dans ce cas, le fonctionnement et le contrôle des courants du système sera équivalent à celui représenté Figure II-53 à f_0 et à celui représenté Figure II-55 à $0.67 \cdot f_0$. Le système est donc reconfigurable en fréquence et va passer d'un fonctionnement Doherty pur à un fonctionnement proche du LINC/Chireix en fonction de la fréquence d'utilisation.

Cette architecture et cette procédure d'analyse permettent d'obtenir une recombinaison de puissance adaptative, avec une forte efficacité en OBO sur une large bande. Le démonstrateur réalisé dans [67], atteint avec cette architecture des rendements en puissance ajoutée supérieurs à 40% pour un recul en puissance de sortie supérieur à 6dB sur une bande de 1-3GHz. Cette méthode est relativement prometteuse pour obtenir un système flexible en fréquence, mais ne permet pas d'améliorer la bande passante instantanée de l'architecture Doherty. Les résultats de performance large bande de cette architecture en régime quasi statique sont intéressants mais les potentialités pour des signaux modulés large bande doivent encore être investiguées.

II.4) Technique de modulation dynamique de tension de polarisation

Il existe une autre approche qui permet une gestion de la ressource en puissance des amplificateurs avec comme contrainte le compromis rendement/linéarité. Cette approche consiste en une gestion dynamique des tensions de polarisation.

De façon simplifiée, la polarisation dynamique de drain vise essentiellement l'amélioration de l'efficacité énergétique et requiert une attention particulière pour son impact sur les performances en linéarité. La polarisation dynamique de grille, quant à elle, est essentiellement axée sur l'amélioration de la linéarité d'un amplificateur à haut rendement.

II.4.1) Polarisation dynamique de grille

II.4.1.1) Principe

La polarisation dynamique de grille permet de traduire verticalement le cycle de charge d'un transistor en fonction du niveau de puissance instantanée de l'enveloppe. Ce principe est illustré par la Figure II-56.

Son effet sur le fonctionnement de l'amplificateur s'apprécie essentiellement sur le profil de gain en puissance comme illustré Figure II-56 pour un amplificateur polarisé au voisinage de la Classe B.

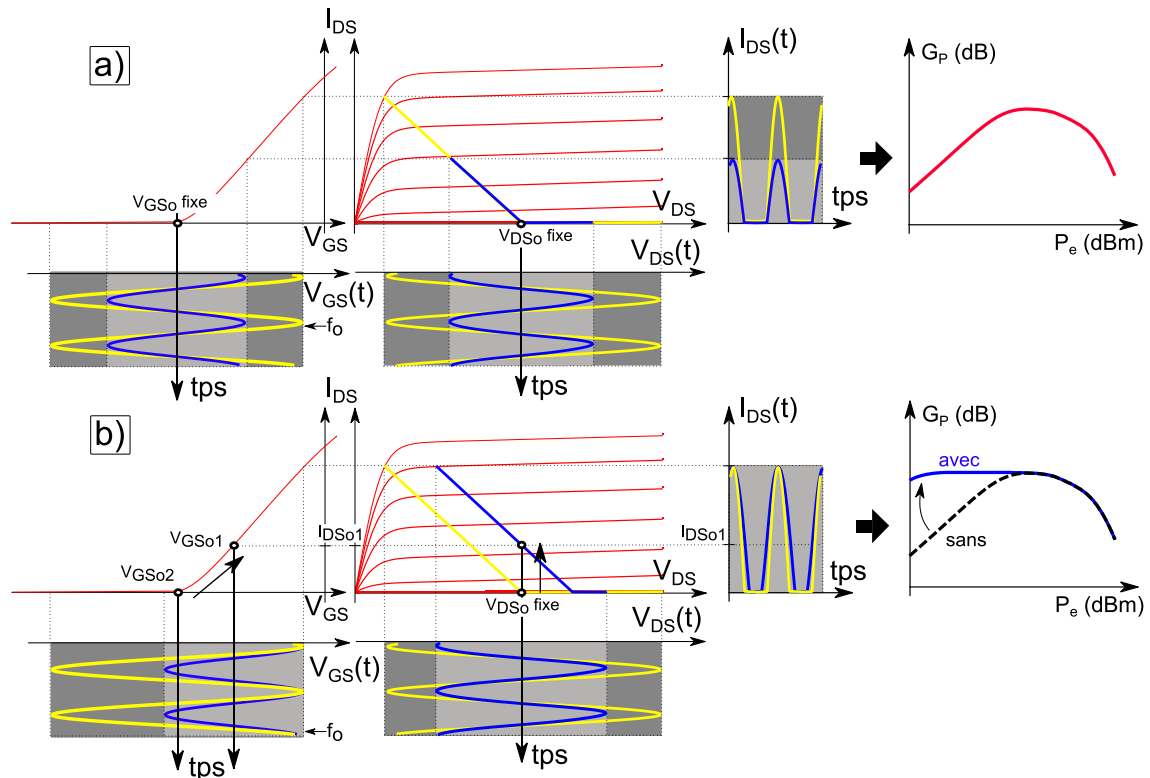


Figure II-56 : a) Cycle de charge d'un amplificateur classe B sans polarisation dynamique de grille. b) Cycle de charge d'un amplificateur classe B avec polarisation dynamique de grille.

Le synoptique de principe de cette technique est montré Figure II-57.

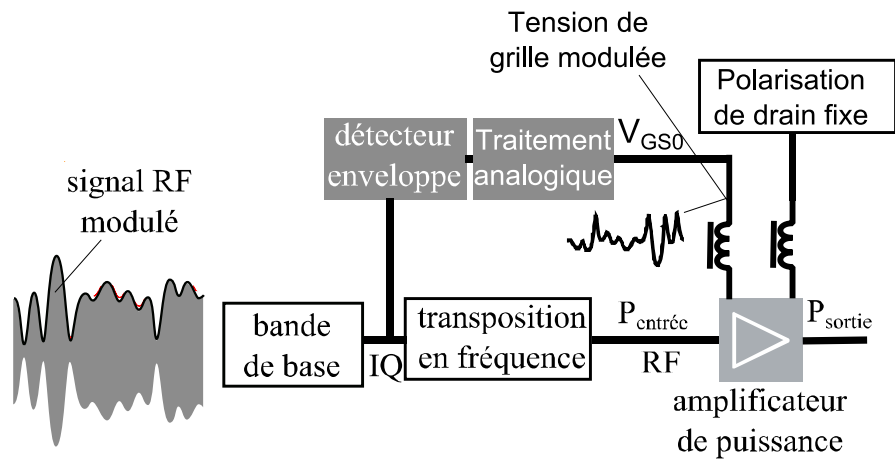


Figure II-57 : Schéma bloc d'un amplificateur avec polarisation dynamique de grille.

Son avantage réside dans l'utilisation de circuits de polarisation basse puissance donc peu consommateurs d'énergie qui peuvent de ce fait être relativement large bande.

Son inconvénient se situe dans le domaine de sa sensibilité. En effet, il s'agit par principe d'appliquer de faibles valeurs de correction de tension, surtout pour des composants ayant de fortes variations de transconductance. Ceci peut engendrer rapidement de la complexité pour mettre en œuvre de fines résolutions en présence notamment de dérives fonctionnelles à long terme de nature électrothermique par exemple.

II.4.1.2) Quelques travaux relatifs à cette technique

La technique de polarisation dynamique de grille a été plusieurs fois étudiée et recensée dans la littérature pour différentes applications.

Dans [69], [70], les auteurs ont décidé d'utiliser cette méthode pour améliorer le rendement en puissance ajoutée d'un amplificateur en Classe A. La méthode consistait à diminuer la tension de polarisation de grille de la Classe A ($V_p/2$) vers la classe AB (V_p) pour les fortes valeurs d'amplitude de l'enveloppe du signal d'entrée, afin d'augmenter le rendement à fort niveau tout en gardant le caractère linéaire de la Classe A à bas niveau. Cette étude est restée basée sur des mesures statiques ou sur des simulations.

Une approche opposée à celle de [69] et [70], a été proposée par [71]. Ici, l'objectif est de vouloir linéariser un amplificateur Classe B, en faisant varier très légèrement la tension de polarisation de grille autour de la tension de pincement (V_p), de façon à assurer un profil de transconductance grand signal au fondamental constant, conduisant à un gain instantané d'enveloppe plat. Cette méthode consiste à remonter la tension de polarisation de grille vers la classe AB pour les faibles valeurs d'amplitude de l'enveloppe du signal d'entrée, comme représenté dans la Figure II-58.

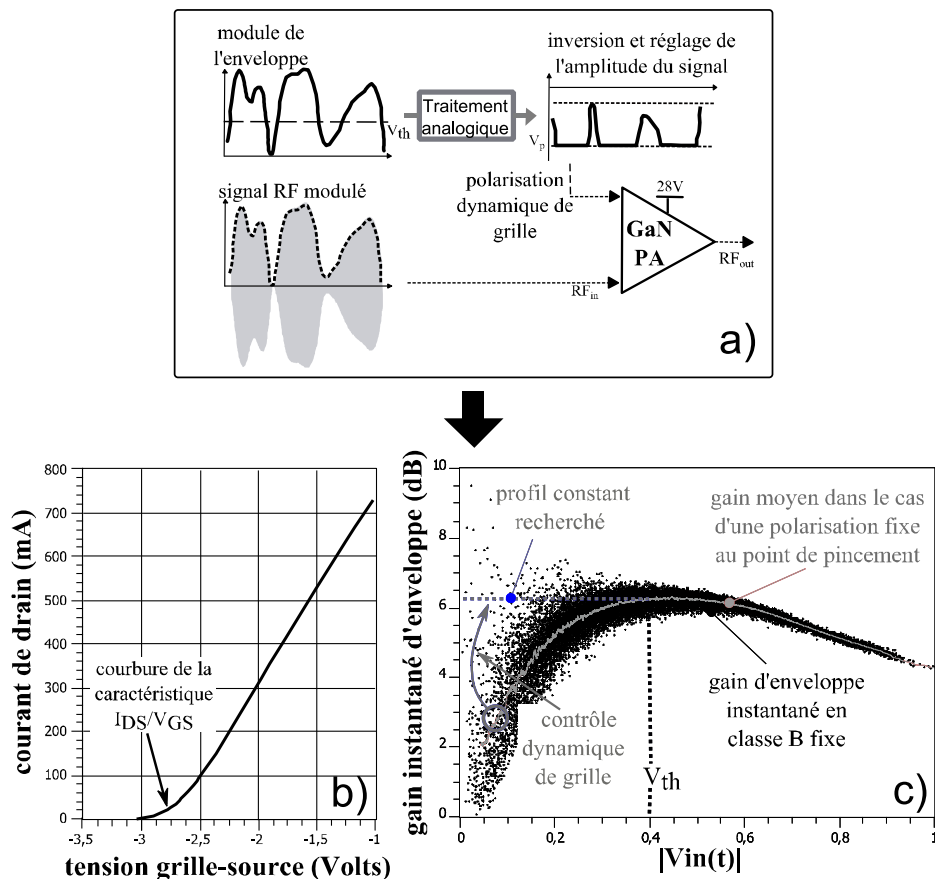


Figure II-58 : a) Schéma bloc du contrôle dynamique de grille pour l'amélioration de la linéarité d'un amplificateur Classe B. b) Caractéristique statique I/V ayant une courbure autour du point de pincement. c) Ajustement de la polarisation de grille pour une valeur d'enveloppe inférieure à un seuil (V_{th}) afin d'assurer un profil de gain plat. [8]

La technique de polarisation dynamique de grille a été aussi largement étudiée par [72] pour améliorer le compromis rendement en puissance ajoutée/linéarité des architectures Doherty.

Dans [72], l'objectif est de polariser dynamiquement la grille des deux amplificateurs auxiliaires composant un amplificateur Doherty à trois voies. En effet, l'architecture Doherty à trois voies est très intéressante pour maintenir un rendement élevé sur un fort recul en puissance (OBO), mais a pour inconvénient de présenter un profil de gain relativement non-linéaire et de voir sa puissance maximale largement insuffisante par rapport à son maximum théorique. Le problème apparaît lorsque l'amplificateur principal doit être maintenu à la saturation avec une puissance de sortie constante, tandis que les amplificateurs auxiliaires commencent juste à conduire. Afin d'obtenir une modulation de charge adéquate qui permet le meilleur compromis entre le rendement et la linéarité (*profil AM-AM linéaire*), la polarisation de grille des amplificateurs auxiliaires est contrôlée de manière adaptative. Les tensions de polarisation de grille des auxiliaires sont remontées progressivement de la Classe C vers la Classe B, de manière à ce que l'amplificateur principal et les amplificateurs auxiliaires atteignent la zone de saturation pour le même niveau d'enveloppe du signal d'entrée.

Dans [73] en 2015, une approche similaire est proposée pour maximiser la puissance de sortie et l'efficacité d'un amplificateur Doherty symétrique. Dans un cas réel, l'architecture Doherty symétrique ne peut pas atteindre son maximum de rendement pour un recul en puissance de 6dB en raison de la zone ohmique (« *knee voltage effect* ») du transistor. Afin d'améliorer cette technique, l'auteur propose une polarisation dynamique de grille de l'amplificateur principal et de l'auxiliaire. La tension de polarisation de grille du principal est augmentée progressivement, lorsque le niveau de l'enveloppe du signal d'entrée augmente, de la Classe AB vers la Classe A, de façon à obtenir une valeur de puissance de sortie maximale plus élevée. Sur l'auxiliaire, la polarisation passe de la Classe C vers la Classe AB pour générer la même puissance maximale que l'amplificateur principal à fort niveau. Avec cette technique, le fonctionnement de l'amplificateur Doherty symétrique se rapproche d'un fonctionnement idéal (*avec des transistors sans zone ohmique*), améliorant ainsi les performances énergétiques.

II.4.2) Polarisation dynamique de drain

II.4.2.1) Principe

La polarisation dynamique de drain permet de traduire horizontalement le cycle de charge en fonction du niveau de l'enveloppe du signal d'entrée afin d'optimiser le bilan énergétique moyen de l'amplificateur. Le principe de la modulation d'alimentation de drain est illustré sur la Figure II-59.

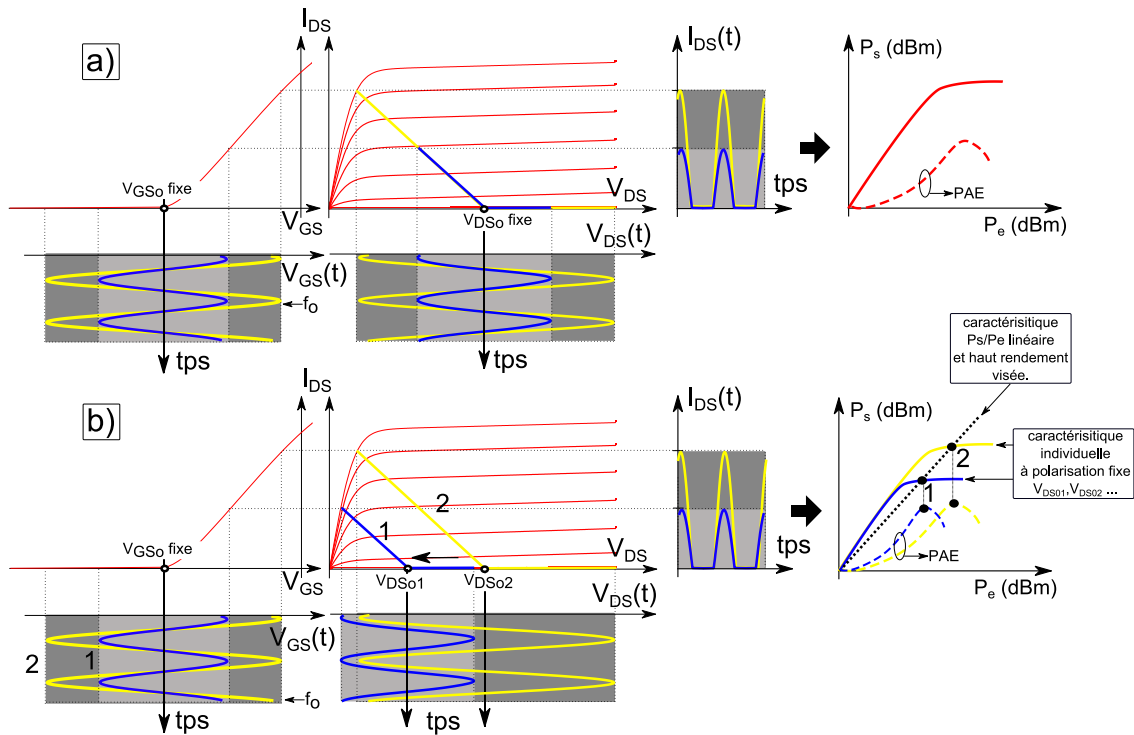


Figure II-59 : a) Cycle de charge d'un amplificateur classe B sans polarisation dynamique de drain. b) Cycle de charge d'un amplificateur classe B avec polarisation dynamique de drain.

Le but est de fournir à l'amplificateur de puissance le minimum d'énergie continue nécessaire pour une puissance de sortie RF désirée en diminuant la tension de polarisation de drain de l'amplificateur lorsque la puissance d'entrée est faible. L'excursion de tension de drain est maintenue dans la zone de saturation. L'amplificateur travaille en compression de gain et donc à rendement maximal quel que soit le niveau de puissance d'entrée. Le contrôle de l'alimentation est réalisé grâce à un modulateur de polarisation (Figure II-60).

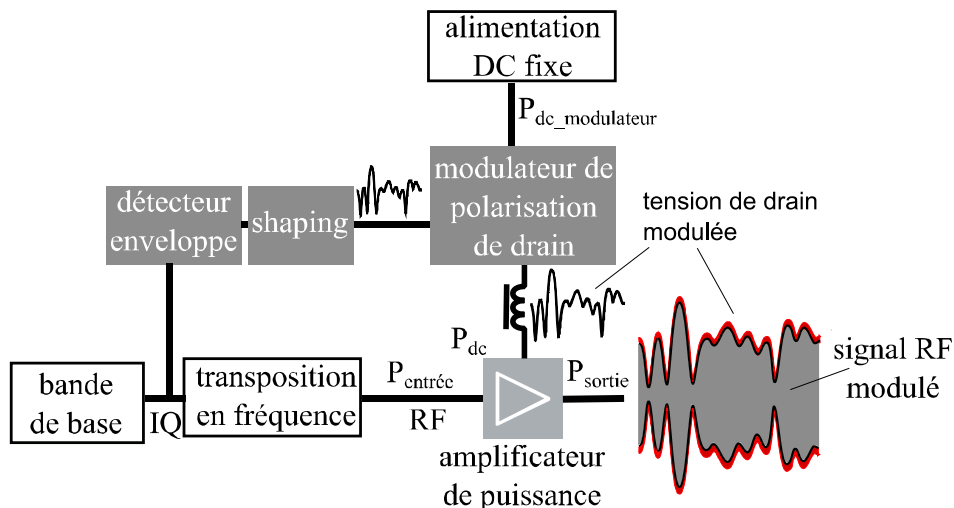


Figure II-60 : Schéma bloc d'un amplificateur avec polarisation dynamique de drain.

Selon le type de signal d'entrée (à enveloppe constante ou à enveloppe variable), la technique d'alimentation dynamique peut être classifiée suivant différentes architectures :

« Envelope Elimination and Restoration (EER) » [12], « Envelope Tracking (ET) ». La particularité intéressante de ces techniques est que la conception du modulateur de polarisation est idéalement indépendante de celle de l'amplificateur de puissance, permettant en théorie, un fonctionnement large bande et à forte efficacité énergétique du système [6]. Cependant, il a été montré que les meilleures performances sont obtenues lorsque le modulateur de polarisation et l'amplificateur sont co-conçus [74].

Dans un premier temps, il convient de définir la trajectoire de polarisation optimale de l'amplificateur en fonction du niveau de puissance de sortie. Pour cela, l'amplificateur est caractérisé statiquement avec un signal CW pour différentes tensions de polarisation de drain. Une table, reliant la tension de polarisation de drain au niveau de puissance de sortie, est alors extraite. La trajectoire de polarisation peut être choisie pour privilégier la linéarité (*contrôle à gain constant*) ou maximiser l'efficacité énergétique (*contrôle à rendement maximal*) du système, comme représenté dans la Figure II-61.

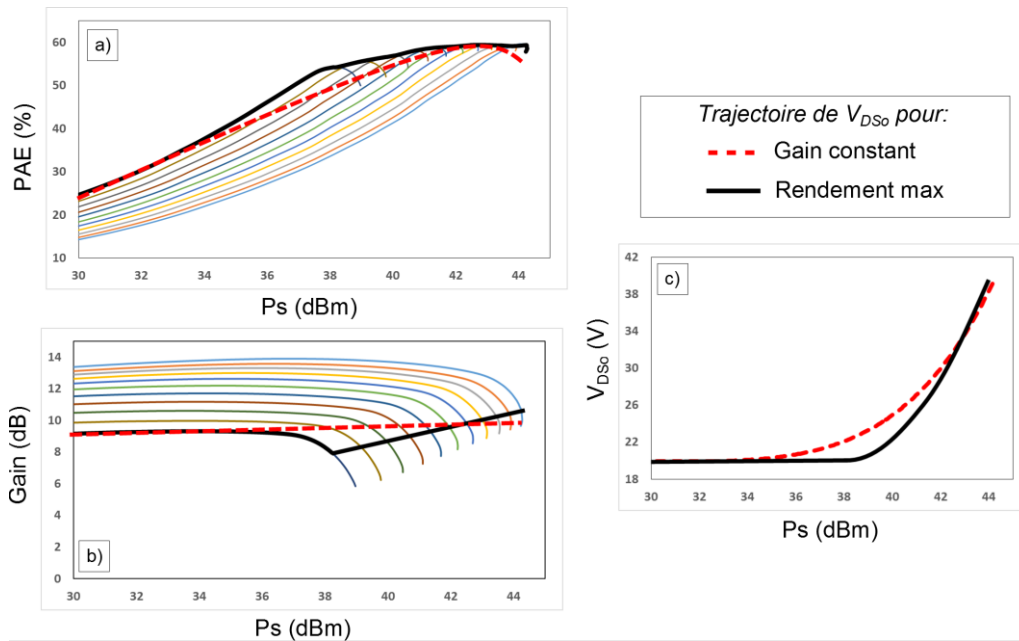


Figure II-61 : Loi de commande de polarisation de drain (V_{DS0}) permettant un rendement maximal (noir) ou un profil de gain plat pour une linéarité optimale (rouge).

Compte tenu des résultats présentés dans la Figure II-61, on observe une nette amélioration du rendement en fonction du recul en puissance.

Le point dur de cette architecture pour obtenir un très bon rendement global réside dans la conception d'un modulateur de polarisation de drain. Le modulateur de polarisation de drain est soumis à de nombreuses contraintes, rendant sa conception un sujet de recherche à part entière [75] car il doit:

- fonctionner à très haut rendement (contrainte énergétique >80%), pour ne pas impacter le rendement énergétique global du système qui est :

$$\bullet \quad \eta = \frac{P_S}{P_{DC_modulateur}} = \frac{P_S}{P_{DC}} \cdot \frac{P_{DC}}{P_{DC_modulateur}} = \eta_{PA} \cdot \eta_{modulateur}$$

- fournir suffisamment de puissance à l'amplificateur de puissance (contrainte de puissance).
- avoir un temps de réponse suffisamment faible pour pouvoir faire varier la tension de polarisation de drain au même rythme que la variation de l'enveloppe du signal RF. (contrainte en bande passante).
- Etre peu sensible aux variations de charge (contrainte de modulation de charge), car le fonctionnement à enveloppe variable de l'amplificateur de puissance RF provoque de fortes et rapides variations d'impédance de charge du modulateur de polarisation.

L'ensemble de ces contraintes est aujourd'hui un frein à l'expansion commerciale de cette méthode appliquée à des amplificateurs de forte puissance de l'ordre de la dizaine de watts. Néanmoins, il existe des produits commerciaux pour les émetteurs radio de moyenne puissance de systèmes de télécommunications portables de faible puissance (*Smartphone : « Samsung Galaxy S5 »*). Pour les applications de télécommunications à forte puissance (*BTS, Satcom...*), le compromis rendement/bande passante instantanée est plus difficile à trouver.

II.4.2.2) Quelques travaux relatifs à cette technique

Il est choisi ici de présenter quelques travaux relatifs à la polarisation dynamique de drain, avec une focalisation plus particulière sur le modulateur d'alimentation qui est le point clef de cette technique. On recense un nombre important de modulateurs d'alimentation dans la littérature scientifique, parmi lesquels le modulateur HSA (« *Hybrid Switching Amplifier* »), le convertisseur de type step-down (*abaisseur de tension*) ou encore le convertisseur step-up (*élevateur de tension*)... Les travaux choisis pour cette étude bibliographique seront classifiés suivant deux types de polarisation dynamique de drain : la polarisation dynamique de drain continue et la polarisation dynamique de drain discrète. Ces deux configurations se distinguent notamment par la mise en forme dynamique des tensions de polarisation comme représentées dans la Figure II-62.

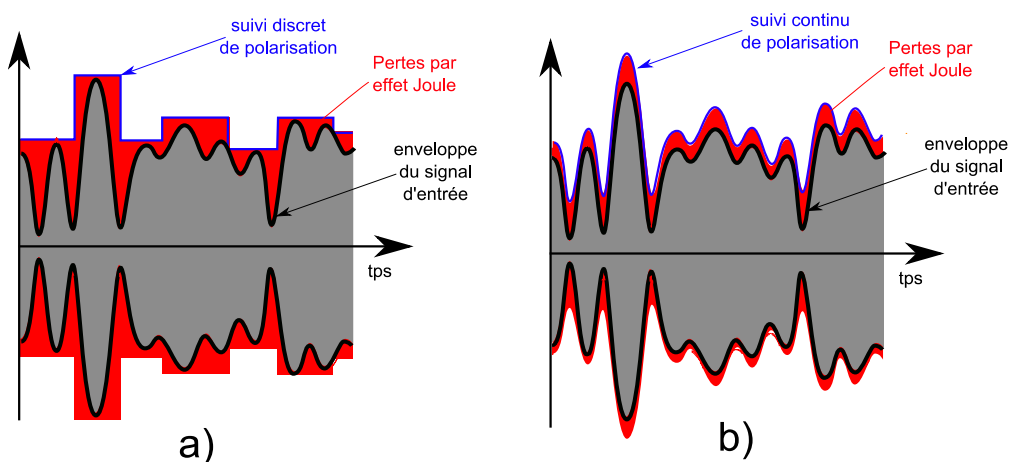


Figure II-62 : a) Polarisation dynamique de drain discrète. b) Polarisation dynamique de drain continue.

La polarisation dynamique discrète limite la tension de drain générée à une succession d'états discrets, tandis qu'en configuration continue l'objectif est de suivre parfaitement l'enveloppe du signal d'entrée.

➤ *Polarisation dynamique de drain continue.*

Suivre exactement l'enveloppe du signal d'entrée permet d'augmenter plus significativement le rendement de l'amplificateur. Dans ce cas, le modulateur d'alimentation doit disposer d'une bande passante relativement importante. On distingue trois principales familles de modulateurs pour la polarisation dynamique de drain continue :

- Modulateur d'alimentation linéaire

Les modulateurs d'alimentation linéaires sont conçus pour reproduire linéairement l'enveloppe du signal. Ils offrent une large bande passante et une excellente pureté spectrale. Cependant, l'efficacité énergétique de ces modulateurs est soumise aux mêmes contraintes que les amplificateurs de puissance RF lorsque les variations de tension deviennent importantes. (*Cas typique des signaux à fort PAPR*). De plus, leur tension de sortie reste limitée à de faibles variations et de très faibles niveaux de composante continues. Ils ne sont pas adaptés aux applications de communication sans-fil modernes. Néanmoins, ce type de modulateur reste un sujet d'étude à part entière, car comme nous l'expliquerons plus tard, lorsqu'ils sont associés à un système d'alimentation à découpage (*Modulateur hybride*), ils permettent de trouver un bon compromis entre l'efficacité, la bande passante et la linéarité. C'est dans ce cadre que l'on recense les topologies de type amplificateur opérationnel AB/B, push-pull [76], cascode [77], Class E² [78], ou bien les classes G et H [79], [80], [81].

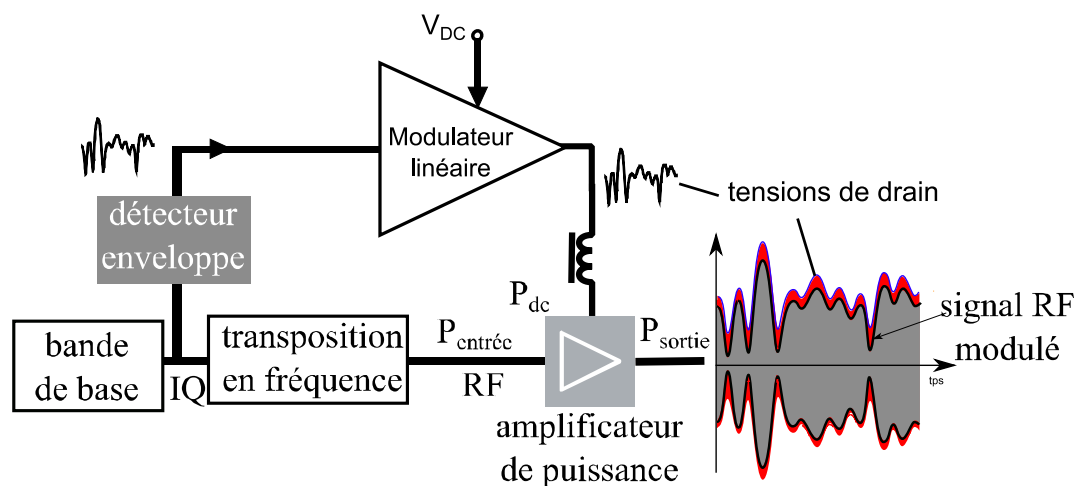


Figure II-63 : Schéma bloc d'un amplificateur avec polarisation dynamique de drain avec un modulateur d'alimentation linéaire.

Par exemple, une topologie cascode GaN a été présentée dans [77] ayant une bande passante allant de 20 MHz à 300MHz pour une efficacité supérieure à 70%. Cependant, aucune étude du couplage avec une structure incluant le DC n'a été présentée.

- Modulateur d'alimentation à découpage (SMPS : « Switch-Mode Power Supply »)

Contrairement au modulateur d'alimentation linéaire, les modulateurs d'alimentation à découpage sont basés sur un fonctionnement dit de « commutation ». Il existe deux types d'alimentation à découpage : les alimentations à découpage isolées et non-isolées. Pour les alimentations isolées, la conversion DC/DC est réalisée à travers un transformateur (Figure II-64). Le fait de convertir l'énergie DC en AC puis de AC vers DC augmente significativement les pertes mais à l'avantage d'atteindre de très forts facteurs de conversion en tension. Cependant, le transformateur utilisé dans ce cas de figure, impose un facteur de conversion de tension fixe, ce qui n'est pas adapté pour les applications de polarisation dynamique. Nous nous intéresserons donc particulièrement aux alimentations à découpage non-isolées, où la conversion DC/DC est réalisée à partir de signaux de commande impulsionnels qui permettent d'atteindre des fonctionnements à très haut rendement. L'information de modulation est transmise en modulant les signaux impulsionnels suivant différents schémas, tels que la PWM (« *Pulse Width Modulation* »), PFM (« *Pulse Frequency Modulation* ») ou « *Sigma-Delta modulation* ($\Sigma\Delta$) » [82]. Les formes d'ondes carrées résultantes sont alors filtrées en sortie pour obtenir la tension DC modulée. (Figure II-65)

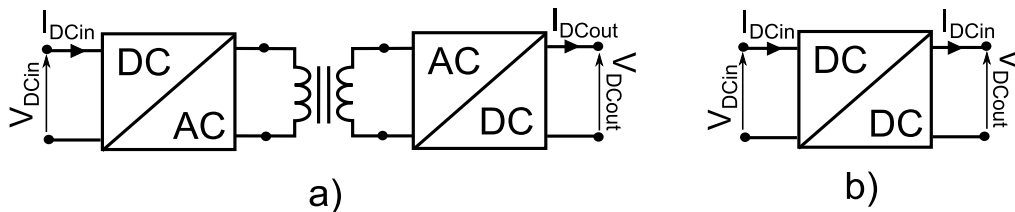


Figure II-64 : Alimentation découpage a) isolée et b) non-isolée.

L'inconvénient majeur de ce type de modulateur se situe au niveau de la fréquence de commutation qui doit être supérieure à cinq fois la fréquence de modulation du signal RF pour reproduire fidèlement la modulation d'origine. La fréquence de commutation est le facteur qui limite la bande passante de ce type de convertisseur, car l'efficacité est inversement proportionnelle de la fréquence de commutation. Cependant, grâce à des fréquences de coupure de l'ordre de la dizaine de GHz et de faibles résistances à l'état passant (R_{DSon}), la technologie GaN a permis de concevoir des commutateurs ayant des hautes vitesses de commutation (de l'ordre de la dizaine de MHz). Dans ce cadre, les modulateurs d'alimentation à découpage non-isolée, et plus particulièrement les topologies Buck et Boost GaN pilotées par un signal codé en PWM, font l'objet de nombreuses investigations dans la littérature. Dans [83] et [84], les auteurs ont réalisé un modulateur basé sur la topologie Boost en technologie GaN appliqué aux applications spatiales avec des fréquences de commutation qui sont respectivement 50 MHz et 10 MHz pour des variations de tension de polarisation allant de la vingtaine à la cinquantaine de volts avec un rendement supérieur à 80%. Un modulateur de type convertisseur Buck en GaN ayant une fréquence de commutation de 50MHz et un rendement de 87% a été réalisé par [85]. Les études sur les modulateurs d'alimentation à découpage haute fréquence présentent rarement le système complet comprenant le couplage avec l'amplificateur de puissance RF ou lorsque c'est le cas le

fonctionnement reste souvent éprouvé pour des caractérisations du système en statique. Une autre difficulté associée à ce type de modulateur d'alimentation concerne la modulation non-linéaire de l'impédance de charge qui est nuisible à son rendement et qui rend sa réponse fréquentielle difficile à prévoir en fonctionnement dynamique. Cela limite clairement la reconfigurabilité du système.

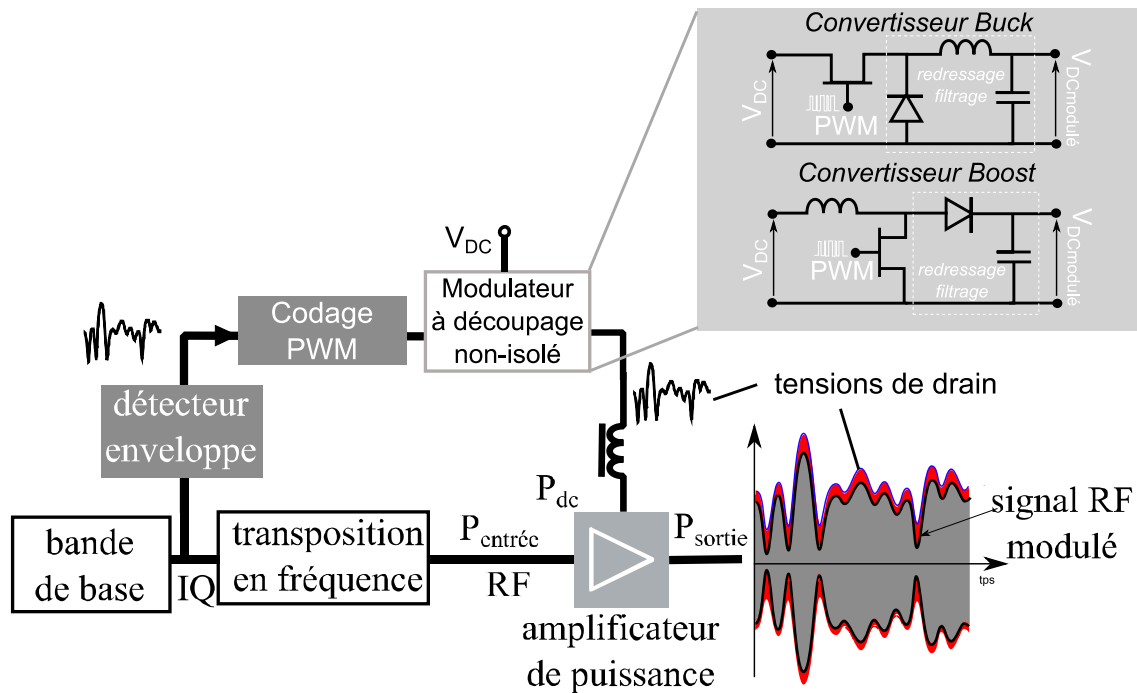


Figure II-65 : Schéma bloc d'un amplificateur avec polarisation dynamique de drain avec un modulateur d'alimentation à découpage non-isolée (cas du convertisseur DC/DC Buck ou Boost).

- Modulateur d'alimentation hybride

Le modulateur d'alimentation hybride propose de combiner les avantages en bande passante d'un modulateur linéaire, pouvant fournir les variations rapides de courant, avec les potentialités en rendement des modulateurs d'alimentation à découpage afin de fournir les variations lentes mais à forte amplitude de courant continu. L'association des deux étages permet de tirer parti des avantages de chacune des méthodes, en termes de bande passante et de rendement. L'association des modulateurs peut se faire suivant différentes méthodologies.

La première consiste à associer les deux types de modulateur en série (« *Serial Hybrid* »). Comme représenté dans la Figure II-66, l'objectif est d'utiliser le modulateur d'alimentation à découpage pour améliorer le rendement du modulateur de l'alimentation linéaire. Dans ce type d'association, le modulateur d'alimentation à découpage doit avoir une puissance de sortie DC supérieure à celle fournie par le modulateur linéaire polarisant l'amplificateur RF. De plus, la fréquence de commutation doit toujours être très élevée pour maintenir les propriétés de linéarité du modulateur d'alimentation linéaire. De ce fait, le modulateur d'alimentation à découpage reste le facteur limitant la bande passante pour cette méthode [86].

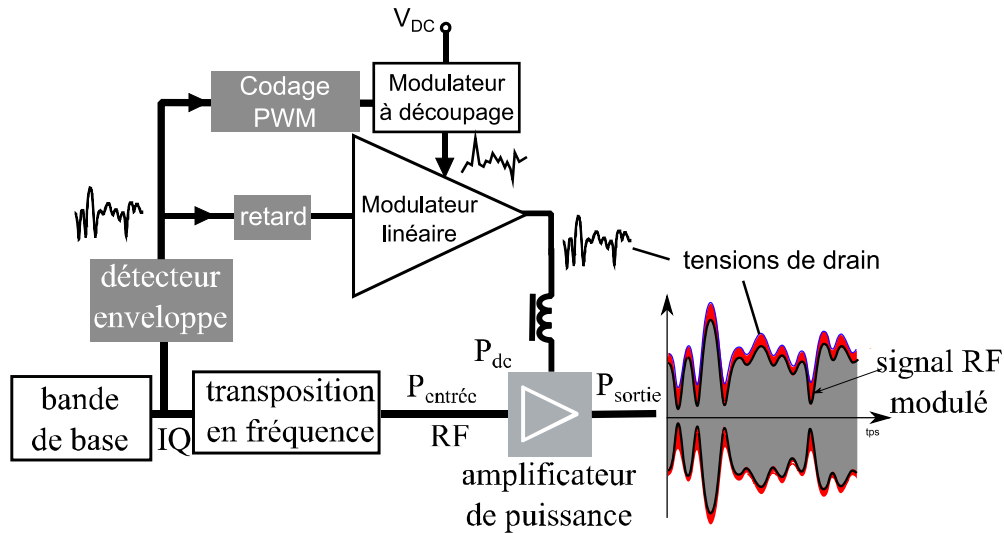


Figure II-66 : Schéma bloc d'un amplificateur avec polarisation dynamique de drain avec un modulateur d'alimentation hybride série.

Par opposition, la seconde association est effectuée en parallèle (« *Parallel Hybrid* »). Comme représenté dans la Figure II-67, l'objectif est d'utiliser un modulateur d'alimentation linéaire pour améliorer le compromis bande passante/rendement du modulateur d'alimentation à découpage. Les courants issus d'un modulateur linéaire et d'un modulateur d'alimentation à découpage sont alors combinés.

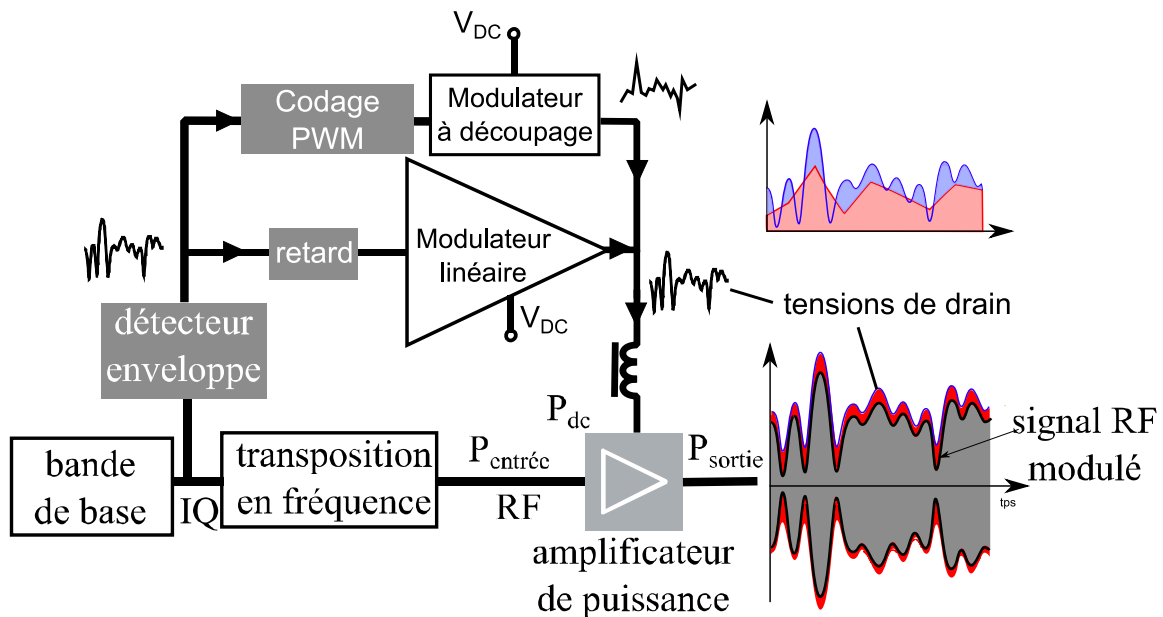


Figure II-67 : Schéma bloc d'un amplificateur avec polarisation dynamique de drain avec un modulateur d'alimentation hybride parallèle.

En adressant le standard LTE 20 MHz, cette méthode tire parti du fait que 80 % de l'énergie spectrale de l'enveloppe est comprise entre le DC et quelques kHz, tandis que seulement 5% se situe au-delà de 20 MHz [87] (Figure II-68). De ce fait, le modulateur

d'alimentation à découpage peut travailler avec une fréquence de découpage relativement faible et donc à haut rendement.

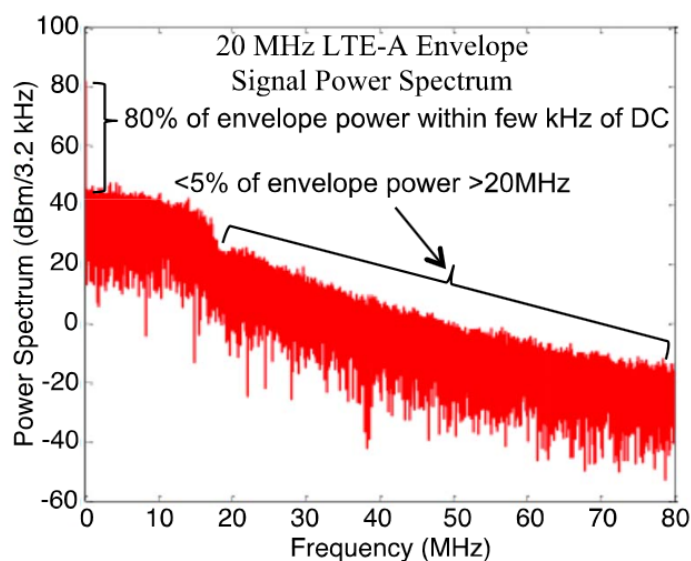


Figure II-68 : Répartition de la puissance spectrale de l'enveloppe d'un signal LTE 20MHz [87].

Grâce à une sonde de courant positionnée à la sortie du modulateur linéaire, une contre réaction permet de contrôler le signal de commande du modulateur à découpage pour minimiser le courant donné ou absorbé par le modulateur linéaire, améliorant ainsi son efficacité. Le modulateur à découpage va suivre les variations basse fréquence de l'enveloppe contenant le plus d'énergie. De son côté, le modulateur linéaire fournit les faibles valeurs de courant à haute fréquence manquantes et corrige les bruits de commutation créés par la modulateur à découpage.

Cette méthode a fait l'objet de nombreuses publications, parmi lesquelles celle de [88] en 2011 qui a présenté un système comprenant un amplificateur de puissance RF 10W fonctionnant à 3.54GHz et un modulateur d'alimentation parallèle hybride. Ce modulateur est composé d'un étage linéaire push-pull et un étage de commutation d'alimentation à 3 niveaux en technologie GaN. Ce modulateur atteint un rendement moyen de 69% pour un signal Wimax de 10MHz et 8.5dB de PAPR avec une fréquence de commutation de 3.4MHz de l'étage Buck. Globalement, le rendement en puissance ajoutée global (*comprenant le modulateur et l'amplificateur*) est égal à 39%. Dans [87], l'auteur présente un démonstrateur en bande X basé sur le même principe mais en utilisant une topologie Buck pour l'étage de commutation. Une PAE globale de 32% est alors obtenue pour un signal LTE de 60MHz et une puissance de sortie de 1W.

Récemment, [89] a proposé une nouvelle association (« *Combined Hybrid* ») qui combine l'association série et parallèle, comme représenté dans la Figure II-69. L'objectif est d'augmenter l'efficacité du modulateur linéaire en le polarisant dynamiquement. Ceci semble plus logique que l'association série présentée précédemment dans la mesure où maintenant le modulateur linéaire ne fournit qu'une faible partie de la puissance totale. Par conséquent le modulateur à découpage 1 fonctionne avec de faibles puissances. Ce dernier peut donc

travailler avec une fréquence de commutation plus élevée que le modulateur à découpage 2 sans impacter fortement le rendement global. La difficulté principale de cette méthode est de trouver le bon dimensionnement et la bonne répartition des fréquences de commutation des modulateurs 1 et 2 pour améliorer le rendement global.

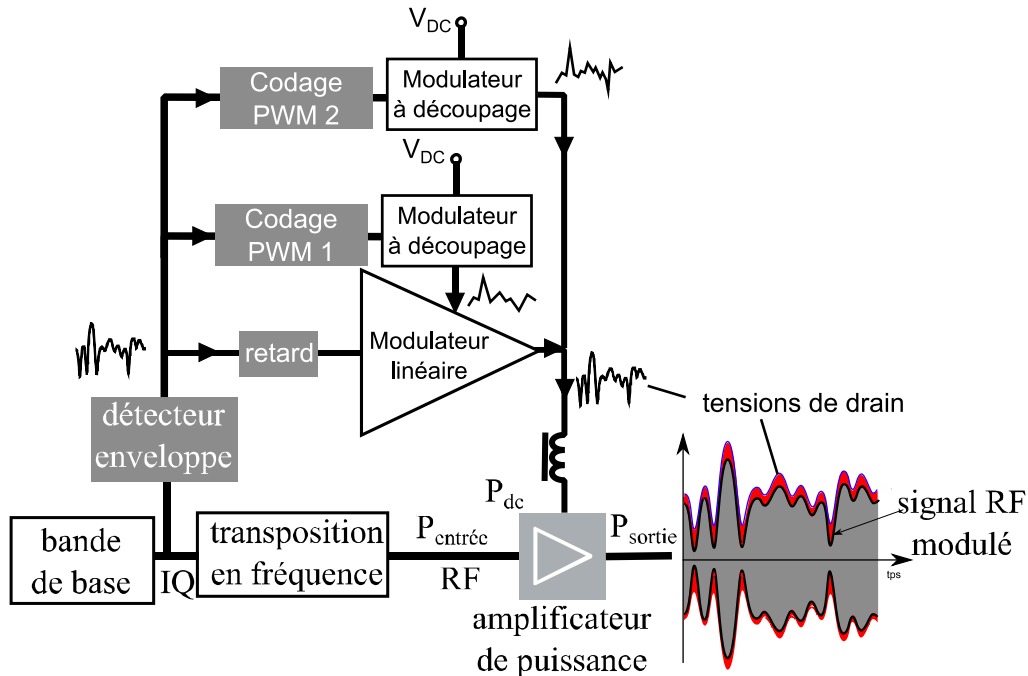


Figure II-69 Schéma bloc d'un amplificateur avec polarisation dynamique de drain avec un modulateur d'alimentation hybride combiné.

Cette structure de modulateur d'alimentation a été largement étudiée par [90]. L'auteur présente les avantages théoriques de cette méthode en utilisant trois sources de courant contrôlées pour le modulateur à découpage 2 et un amplificateur linéaire en Classe AB polarisé dynamiquement sur ses alimentations positive et négative (*Classe H*). (Figure II-70). Il démontre une amélioration théorique de 14 % du rendement global du modulateur en comparaison avec une structure hybride parallèle.

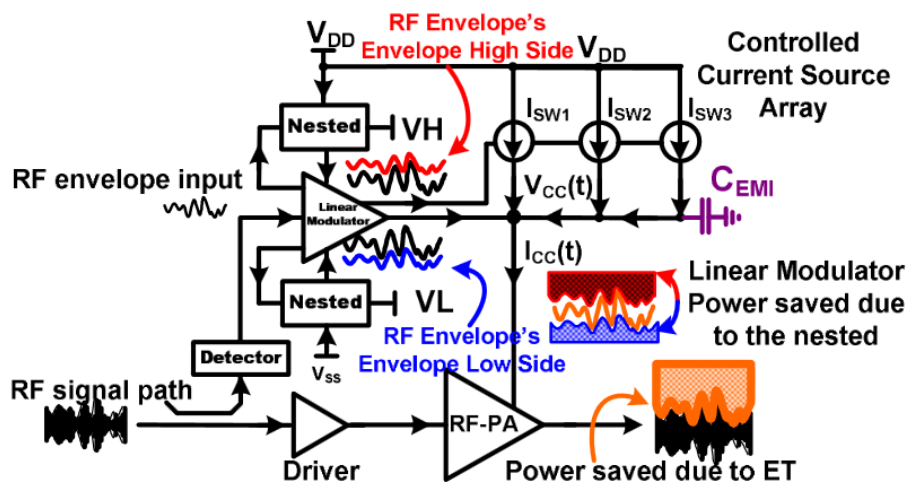


Figure II-70 : Schéma bloc de l'implémentation du modulateur hybride combiné présenté par [90].

L'ensemble des publications recensées dans la littérature sur les modulateurs d'alimentation hybrides reste aujourd'hui focalisée sur des applications basse puissance (*de l'ordre du watt*), du fait que les contraintes en efficacité deviennent de plus en plus critiques en fonction de l'augmentation de puissance. Les propriétés de la technologie GaN offrent un véritable avantage pour la conception de modulateurs à découpage haute fréquence et à forte puissance. Cependant, le modulateur linéaire est difficile à réaliser en GaN car il n'existe pas de transistors complémentaires dans cette technologie et les transistors normalement à l'état off ont des performances encore limitées. Ceci pose un problème pour l'homogénéité technologique des structures hybrides, et limite l'intégration des systèmes.

➤ *Polarisation dynamique de drain discrète.*

Comme évoqué précédemment, la difficulté de la technique de polarisation dynamique de drain est de trouver un compromis entre la bande passante et le rendement du modulateur d'alimentation. La polarisation dynamique de drain discrète permet de réduire les contraintes en bande passante. L'objectif n'est plus de suivre fidèlement l'enveloppe du signal d'entrée, mais de la discrétiser sur N niveaux de tension de drain (Figure II-71). La méthode consiste à commander plusieurs alimentations fixes avec le plus haut rendement possible, comme expliqué dans [91], [92]. Étant donné que la majeure partie des pertes se situent pendant les phases de commutation, le choix du nombre N de niveaux de polarisation est primordial. Une discrétisation fine de l'enveloppe (N tend vers l'infini) se répercute par une amélioration du rendement de l'amplificateur mais aussi par une augmentation des pertes de commutation du modulateur.

Dans [92], relevant de travaux spécifiques au sein d'Xlim, un démonstrateur basé sur une cellule de commutation spécifique, se rapprochant d'une topologie Buck, en technologie GaN III-V Lab, permet de commuter quatre alimentations à 20 MHz et atteint un rendement supérieur à 80 %.

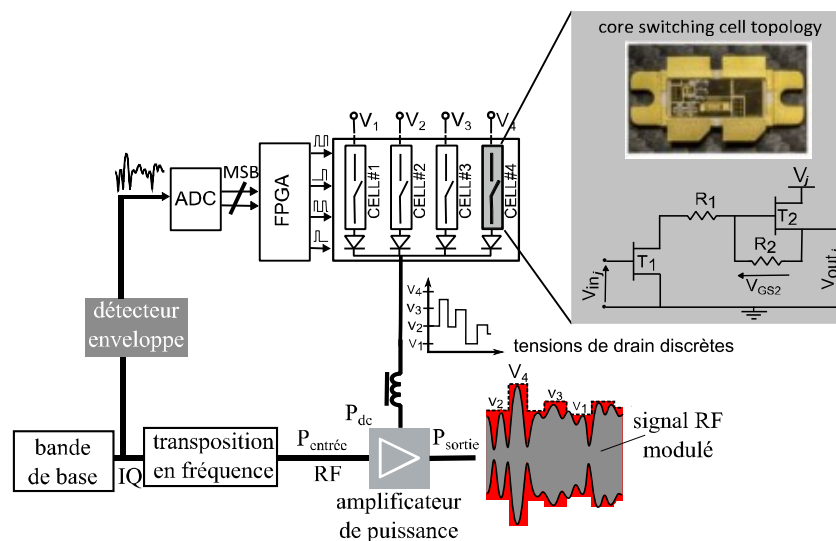


Figure II-71 : Topologie du modulateur de drain discret à quatre niveaux présenté dans [92] ainsi que le synoptique de la cellule de commutation GaN utilisée.

Cependant, la discrétisation de la tension de polarisation et notamment le fait d'avoir des transitions de polarisation franches et rapides posent un problème d'étalement spectral et présente des parasites sur le spectre du signal de sortie. De plus, le profil d'AM/AM devient clairement discontinu, ce qui rend les méthodes de linéarisation relativement complexes. L'option de filtrage est alors soumise à la même problématique de variation d'impédance de charge évoquée pour les modulateurs d'alimentation à découpage.

II.4.3) Association de la polarisation dynamique de grille et de drain

Un des points durs de la technique de polarisation dynamique de drain concerne le couplage non-linéaire qu'il existe entre l'amplificateur de puissance RF et le modulateur de polarisation de drain. Lorsque l'amplificateur RF est soumis à un signal modulé, il est vu par le modulateur comme étant une résistance variable qui est fonction du niveau de l'enveloppe d'entrée et de la tension de polarisation de drain. Cette variation de charge a pour conséquence de désadapter le modulateur de polarisation et donc de dégrader fortement son efficacité. L'énergie sauvée sur l'amplificateur RF par l'ajustement de sa polarisation de drain est alors perdue dans le modulateur de polarisation de drain, ce qui impacte négativement le rendement global. La Figure II-72 montre les mesures statiques de la résistance de drain présentée par un amplificateur de puissance RF 15W (CGH27015-TB) au modulateur de polarisation en fonction de la puissance de sortie et de la tension de polarisation de drain. Le rendement d'un modulateur de polarisation discrète (décrit précédemment [91]) en fonction de la charge qui lui est présenté, est donné dans la Figure II-72.

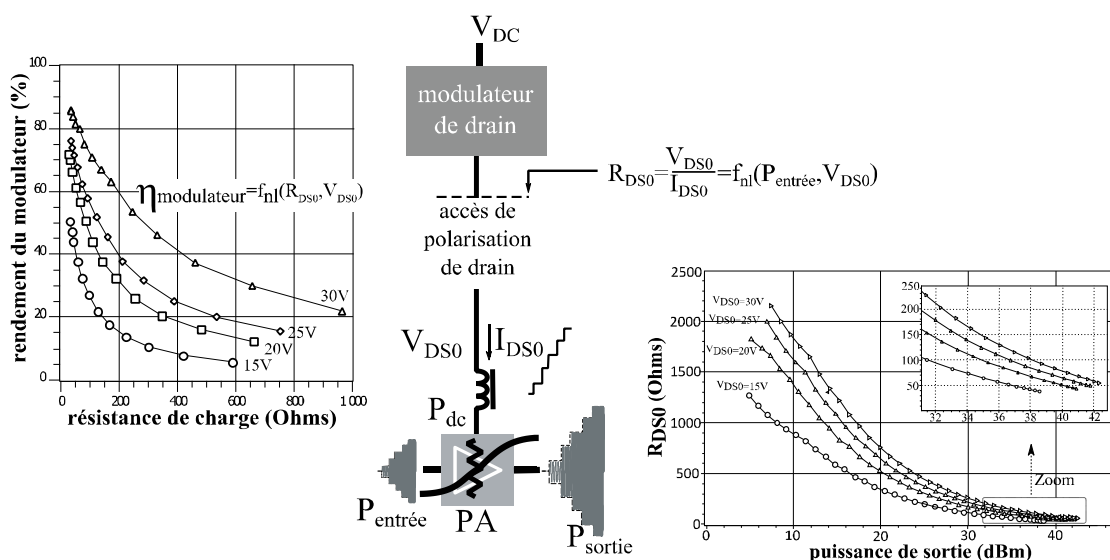


Figure II-72 : Illustration du couplage non-linéaire entre l'amplificateur de puissance et le modulateur de polarisation de drain. Mesures statiques de la résistance de drain présentée par l'amplificateur au modulateur en fonction de P_{sortie} et V_{DS0} (à droite). Mesures statiques du rendement du modulateur en fonction de la charge (à gauche) [8].

Dans ce cas de figure, le rendement du modulateur est fortement dégradé lorsque l'amplificateur présente une forte impédance au modulateur, c'est-à-dire lorsque le niveau de

l'enveloppe du signal modulé sera faible. Il faut noter qu'une telle évolution du rendement en fonction de la charge présentée au modulateur est spécifique à la topologie de modulateur utilisée.

L'idée que nous avons proposée dans [93], consiste à utiliser un système de polarisation dynamique de grille, de façon à limiter au maximum les variations de R_{DS0} en fonction de la puissance d'entrée, et ainsi de maximiser le rendement du modulateur de polarisation en fonction du niveau de l'enveloppe du signal modulé d'entrée. L'intérêt de cette méthode se situe dans la simplicité de l'implémentation du contrôle de polarisation de grille. En dessous d'un certain niveau d'enveloppe, la tension de polarisation de grille (V_{GS0}) de l'amplificateur classe B est remontée dynamiquement et progressivement vers la classe AB pour forcer l'amplificateur à présenter un profil de résistance (R_{DS0}) quasi constant en fonction de la puissance d'entrée (Figure II-73). La difficulté est alors de trouver un compromis entre l'amélioration du rendement du modulateur et la dégradation de celui de l'amplificateur afin d'atteindre des conditions de couplage optimales et d'optimiser l'efficacité globale de l'architecture.

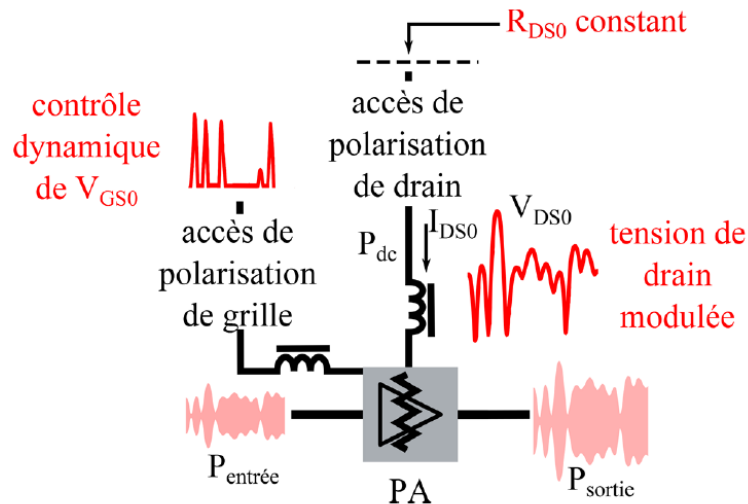


Figure II-73 : Schéma bloc de l'implémentation du contrôle de la polarisation dynamique de grille à bas niveau pour obtenir un profil de la résistance de drain R_{DS0} constant [8].

Ce principe a été testé et mesuré dynamiquement dans [93], avec un signal modulé 16-QAM à 2MSymb/s, $\alpha=0.35$, avec une PAPR de 7.5dB, et en utilisant le modulateur de polarisation de grille rapporté en [8] et le modulateur de polarisation de drain rapporté en [91]. Le synoptique du banc de mesure ainsi qu'une photographie du système sont présentés Figure II-74 et Figure II-75.

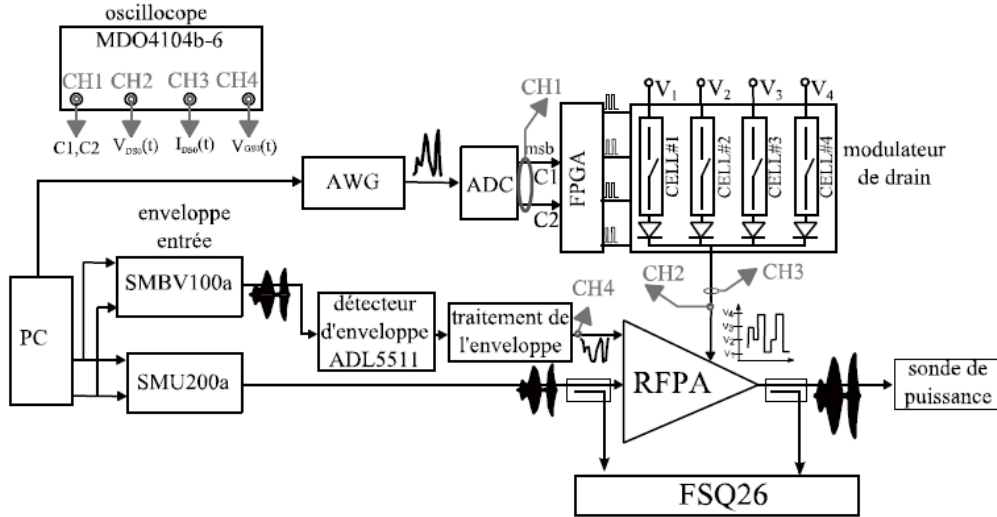


Figure II-74 : Schéma bloc du banc de mesure utilisé pour caractériser l'association de polarisation dynamique de grille et de drain.

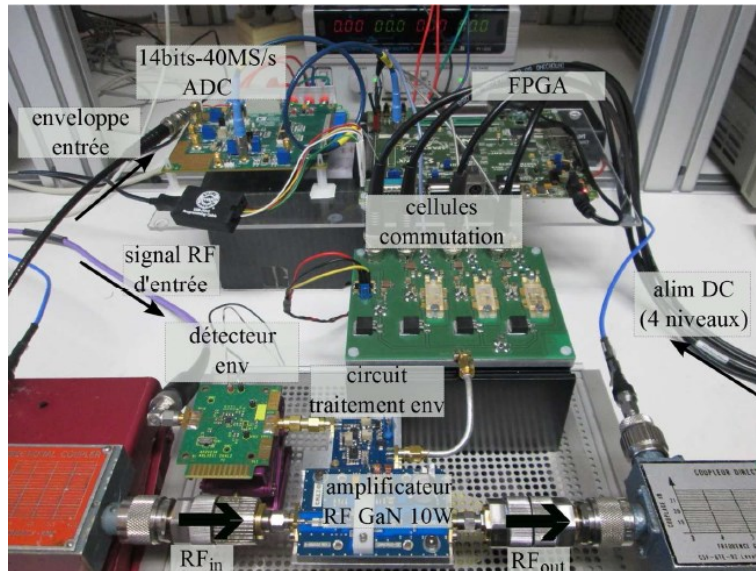


Figure II-75 : Photographie du système de polarisation dynamique de grille et de drain.

L'oscillogramme de la Figure II-76 présente les différentes formes d'ondes ($V_{GS}(t)$, $I_{DS}(t)$, $V_{DS}(t)$, $R_{DS}(t)$, $|V_{sortie}(t)|$) mesurées à l'oscilloscope. La Figure II-77 montre le profil dynamique de la résistance présentée à l'accès de drain ainsi que le profil dynamique d'AM-AM avec ou sans la méthode de polarisation de grille.

Lorsque la polarisation de grille est fixe et égale à $-2.9V$, on remarque que la résistance de drain varie dynamiquement de 28Ω jusqu'à environ 2000Ω . Lorsque le contrôle de grille est appliqué à bas niveau ($-2.9V < V_{GS}(t) < -2.4V$), les variations de résistance de drain sont limitées entre 28Ω et 140Ω , ce qui correspond à une valeur moyenne mesurée de 40Ω . La limitation des variations de la résistance présentée au modulateur permet de faciliter le couplage entre le modulateur et l'amplificateur. L'étude du rendement global n'a volontairement pas été effectuée dans cette étude car le dimensionnement du modulateur (ayant un rendement optimal sur 16Ω) n'était pas en adéquation avec la taille de

l'amplificateur RF 15W utilisé. Cependant, cette étude a démontré qu'il est possible d'atténuer à hauteur de 30% les variations de charge vues par le modulateur de drain.

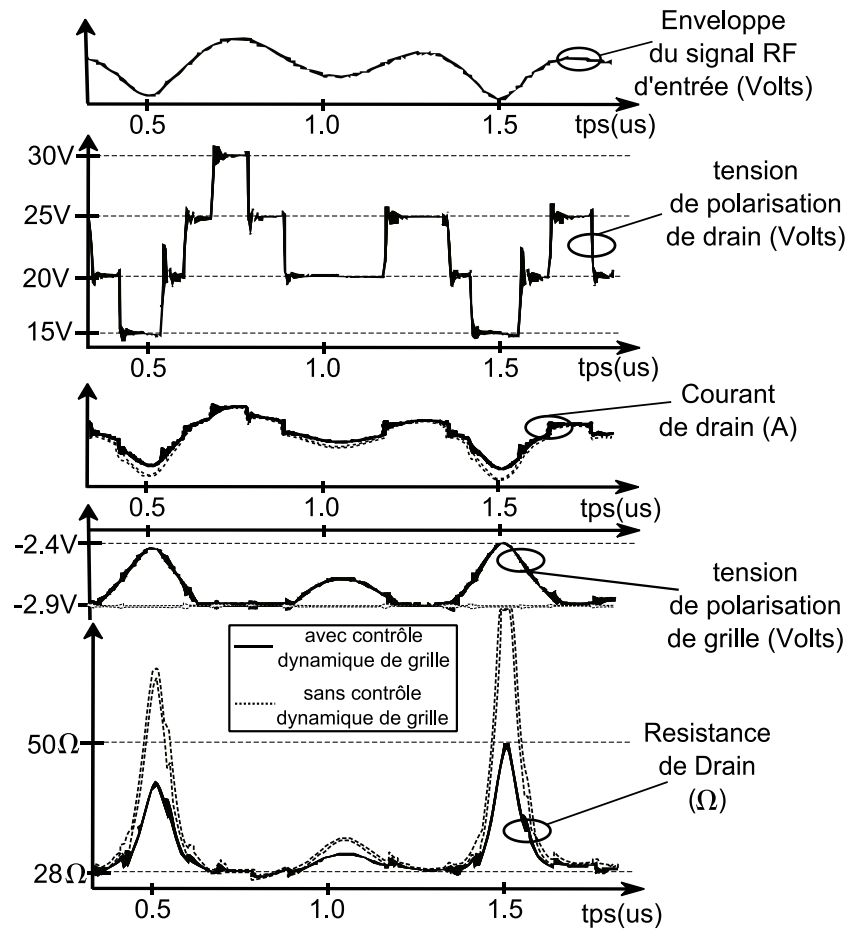


Figure II-76 : Formes d'ondes mesurées avec l'oscilloscope lorsque la tension de polarisation de grille est fixe (pointillé) et lorsque le contrôle de polarisation dynamique de grille est appliqué (trait plein).

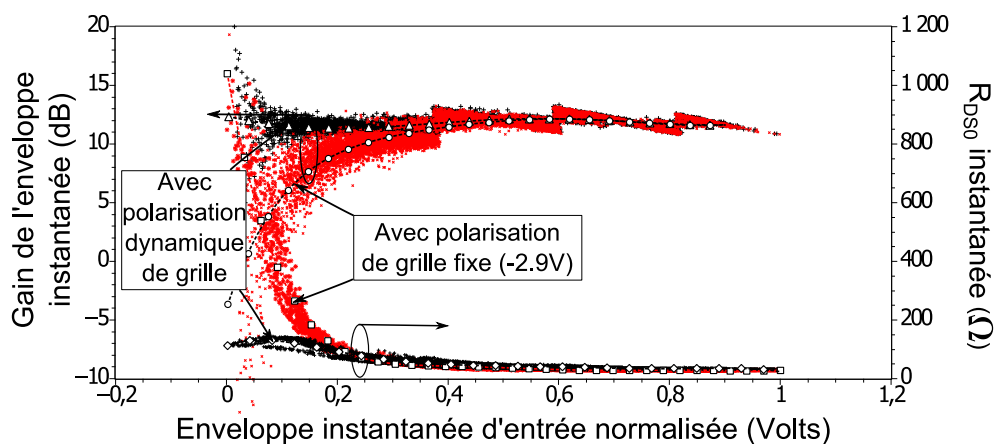


Figure II-77 : Profil instantané de la résistance de drain et de l'AM/AM en fonction du niveau de l'enveloppe d'entrée normalisée avec (noir) et sans (rouge) commande de polarisation dynamique de grille.

II.5) Conclusion

Ce chapitre a situé en premier lieu l'intérêt et la difficulté de l'amplification large bande à haut rendement. L'évolution incontournable des applications microondes de fortes puissances concernées, justifient l'intérêt pour la recherche d'architectures innovantes en technologies GaN. L'analyse des différentes techniques de gestion de la ressource d'énergie des amplificateurs de puissance proposée dans ce chapitre permet de dégager les trois commentaires importants suivants.

Un objectif majeur des travaux de recherche concernant les architectures d'amplificateur de puissance peut se résumer à maintenir le rendement le plus élevé possible pour de très fortes valeurs de recul de puissance par rapport à la puissance maximale de saturation. Les contraintes de linéarité et les besoins de flexibilité rendent la tâche extrêmement difficile et mènent vers des solutions d'association et de conception conjointe de fonctions électroniques intégrées (*Amplification RF, Alimentation agiles, circuits de traitements numérique des signaux et circuits analogiques « driver »*). Dans ce contexte, il devient primordial de quantifier la consommation globale du système.

Les potentialités et bénéfices principaux propres à chacune des techniques exposées n'apparaissent pas encore suffisantes pour s'imposer de manière concurrentielle face à la technique Doherty à laquelle est appliquée une prédistorsion numérique en bande de base.

Les différentes architectures décrites dans ce chapitre ont comme point commun de nécessiter des composants actifs ayant de très fortes réserves de gain pour les bandes de fréquences d'applications. Ceci justifie l'intérêt des investigations autour de la technologie GaN mais aussi met en évidence l'importance de la contribution de conception de circuits « driver d'entrée ».

Les principes de combinaison vectorielle de puissance « outphasing » multivoies apparaissent comme étant des solutions prometteuses mais ne semblent pas pouvoir s'affranchir des techniques de gestion de polarisation pour atteindre de bonnes performances en rendement pour de forts reculs de puissance. L'étude bibliographique relativement complète sur ce sujet nous a incité à rechercher la mise en œuvre d'une fonction « modulateur de puissance à haut rendement ». Pour creuser cet axe d'investigation nous retenons successivement pour la contribution propre à ces travaux de thèse les points suivants :

- La modulation de polarisation sur des états discrets.
- La conception d'un amplificateur de puissance RF large bande à haut rendement.
- La conception d'un modulateur de polarisation basé sur la topologie Boost pour prioriser un fonctionnement très haut rendement.
- Un travail important portant sur le circuit de « driver de grille » pour la commutation de transistor de puissance GaN.

- Une validation de la fonction du démonstrateur réalisé et adapté à des applications de type impulsionnel multi-niveaux.

Ces travaux vont être développés dans les trois chapitres suivants.

Chapitre III : Conception d'un amplificateur GaN 25 W en bande S optimisé pour la polarisation dynamique.

III.1) Introduction

Compte tenu des conclusions faites dans le chapitre 2, nous nous proposons de consacrer ce troisième chapitre à la conception d'un amplificateur de puissance RF en utilisant la technologie HEMT GaN et en soulignant les spécificités de la démarche de conception liées à la connexion ultérieure d'une fonction de modulation de polarisation.

Une attention particulière sera apportée à la conception des circuits de polarisation qui sont les éléments d'interaction entre les signaux microondes et les signaux de commande de polarisation basse fréquence. La conception de cet amplificateur va être orientée principalement sur l'optimisation des performances en rendement pour différentes polarisations afin de répondre aux exigences de fort rendement pour de très fortes valeurs de recul de puissance par rapport à la puissance maximale de saturation. De plus, l'effort de conception sera axé sur l'obtention d'un bon compromis rendement/bande passante afin d'assurer une large flexibilité de fonctionnement.

A partir de ces pré-requis et de l'étude bibliographique réalisée dans le chapitre 2, nous avons défini le cahier des charges des performances attendues, en termes de gamme de tension de polarisation, fréquence centrale, bande passante, gain, rendement et de puissance de sortie. Le Tableau II-1 résume les spécifications établies.

Paramètres	Valeurs
Tensions polarisation de drain	$20\text{ V} < V_{DS0} < 40\text{ V}$
Fréquence centrale (F_0)	2.1 GHz
Bande passante	1 GHz (= 40%)
Gain_{max}	>10 dB
PAE_{max}	>55%
Puissance de sortie $_{\text{max}}$	25 W

Tableau II-1 : Récapitulatif des spécifications visées pour l'amplificateur RF.

III.2) Le transistor Cree

Le transistor HEMT GaN CGHV1F025S de la fonderie Cree a été choisi pour la conception de cet amplificateur. Ce transistor n'est pas pré-adapté, ce qui lui permet d'avoir de bonnes performances en termes de gain et d'efficacité sur une large bande passante ($DC-15GHz$). Il peut donc être utilisé pour les bandes de fréquence L, S, C, X et Ku. Sa puissance de sortie nominale est de 25W. Ce composant peut fonctionner suivant différentes tensions de polarisation de drain allant de 20V à 40V, tout en maintenant un gain et un rendement élevés. Il présente l'intérêt d'un fonctionnement en bande X-Ku ayant de ce fait une réserve de gain importante pour la bande L et S. Le boîtier du CGHV1F025S est de type DFN (*dual-flat-no-lead*) en plastique, et mesure 3mm x 4mm. Ce boîtier a l'avantage d'avoir les accès de grille, drain et source au même niveau, ce qui facilite la conception mécanique des topologies qui ne sont pas en source commune, comme ce sera le cas dans le prochain chapitre pour la commande du modulateur de polarisation. Cependant pour le montage en source commune, retenu pour la conception de l'amplificateur RF, la difficulté est de réaliser suffisamment de trous métallisés (« *via* ») pour connecter la source à la masse. La Figure III-1 montre le boîtier DFN ainsi que l'empreinte du CGHV1F025S.

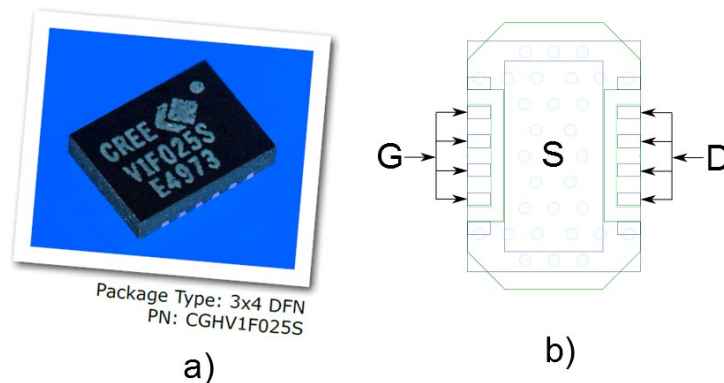


Figure III-1 :a) Photographie du boîtier DFN du transistor CGHV1F025S. b) Layout de l'empreinte du boîtier DFN du transistor CGHV1F025S.

Le modèle utilisé et fourni par le fabricant est de type électrothermique. Bien qu'étant un modèle boîte noire, le fabricant a mis à disposition l'accès à des sondes de courant et de tension intrinsèques, facilitant grandement la conception d'amplificateur de puissance. L'ensemble de ces caractéristiques est résumé dans [94].

III.3) Le substrat RF

L'amplificateur va être réalisé en technologie hybride microruban, c'est-à-dire que le PCB (« *Printed Circuit Board* ») sera composé de lignes microruban et de composants CMS. La réalisation hybride présente l'avantage d'offrir un compromis raisonnable entre les performances, la taille, et la possibilité de réaliser des réglages post-fabrication. Le choix du

substrat joue un rôle important dans les performances globales, la taille et le coût de l'amplificateur. Les caractéristiques principales des substrats sont :

- *La permittivité du diélectrique (ϵ_r)* qui est sélectionnée en fonction du niveau d'intégration du circuit désiré. Plus ϵ_r est élevé, plus les ondes électromagnétiques vont être confinées, ce qui va limiter les pertes par rayonnement et donc diminuer les dimensions du circuit.
- *Les pertes diélectrique ($\tan\delta$)* qui sont primordiales pour limiter les pertes dans les circuits d'adaptation de l'amplificateur.
- *L'épaisseur du substrat (H)* est sélectionnée en fonction de la fréquence de travail. Plus la fréquence est élevée, plus l'épaisseur du substrat doit être faible.
- *La conductivité* qui définit les pertes métalliques du conducteur. Plus la conductivité est élevée, plus les pertes sont faibles.
- *L'épaisseur du conducteur (T)* est un facteur important dans la diminution des pertes. Son choix doit tenir compte de l'effet de peau ($\delta = 1/\sqrt{\pi \cdot \mu \cdot \epsilon \cdot f}$) et donc de la permittivité, de la perméabilité et de la fréquence.

L'ensemble des pertes du circuit doit aussi prendre en compte la qualité de fabrication des lignes de transmission, telles que les irrégularités de gravure ou la rugosité.

Le substrat utilisé est du Rogers RO4350B. Ce substrat est du tissu de verre imprégné d'une résine thermoplastique céramique, ce qui donne au substrat une haute stabilité thermique ainsi que de bonnes propriétés électriques en hyper fréquence. Les caractéristiques du substrat sont décrites dans le Tableau II-2 et sont plus largement détaillées dans [95].

Substrat	Permittivité ϵ_r	Epaisseur H	TanD	Epaisseur T	Conductivité
Rogers RO4350B	3.48	0.508 mm	0.0031	35 μm	5.1e7 S/m

Tableau II-2 : Caractéristiques du substrat RO4350B.

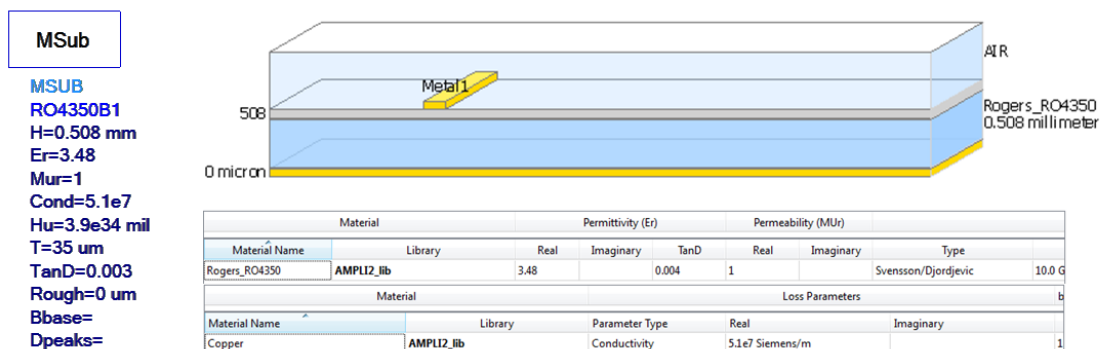


Figure III-2 : Définition du substrat RO4350B dans le logiciel ADS.

III.4) Procédure de conception

La procédure de conception se compose de plusieurs étapes décrites dans la Figure III-3. Le but de cette procédure est d'optimiser les coûts et le temps de développement. Ce protocole a pour objectif de réaliser l'amplificateur en prévoyant le plus précisément possible son futur comportement, et donc de limiter les erreurs et les échecs de conception.

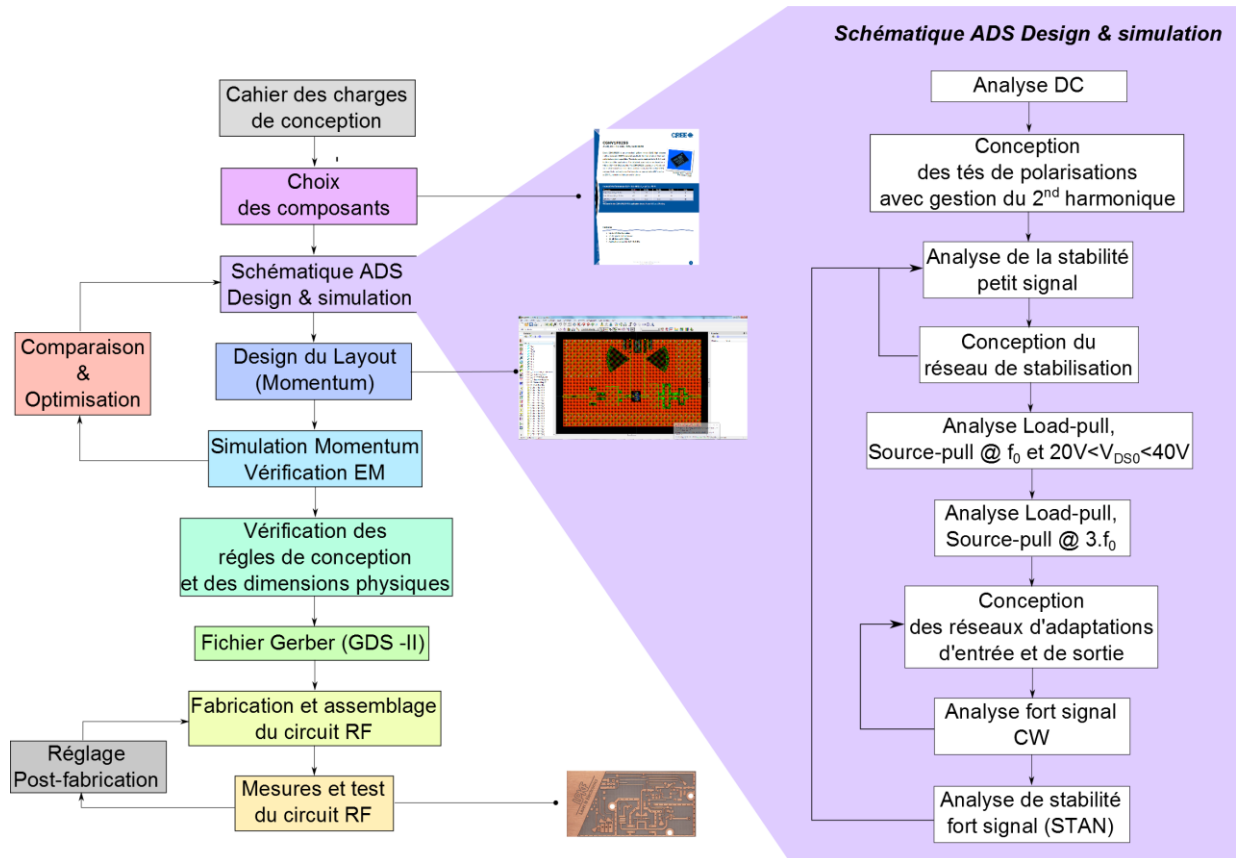


Figure III-3 : Etapes de la procédure de conception d'un amplificateur hybride.

III.5) Analyse DC

Afin de connaître les caractéristiques DC, telle que la tension de pincement (V_P) et le courant de drain maximal (I_{DSmax}) du transistor utilisé, une simulation DC a été réalisée. La Figure III-4 montre le résultat de l'analyse DC du transistor CGHV1F025S. Elle est obtenue grâce à un balayage des tensions de polarisation de grille et de drain. Cette analyse est importante pour choisir le point de polarisation du transistor. Dans notre cas, pour réaliser un amplificateur en classe B ($I_{DSq}=0\text{ mA}$), la tension de polarisation de grille sera égale à $-3.1V$ pour une tension de polarisation de drain de $40V$.

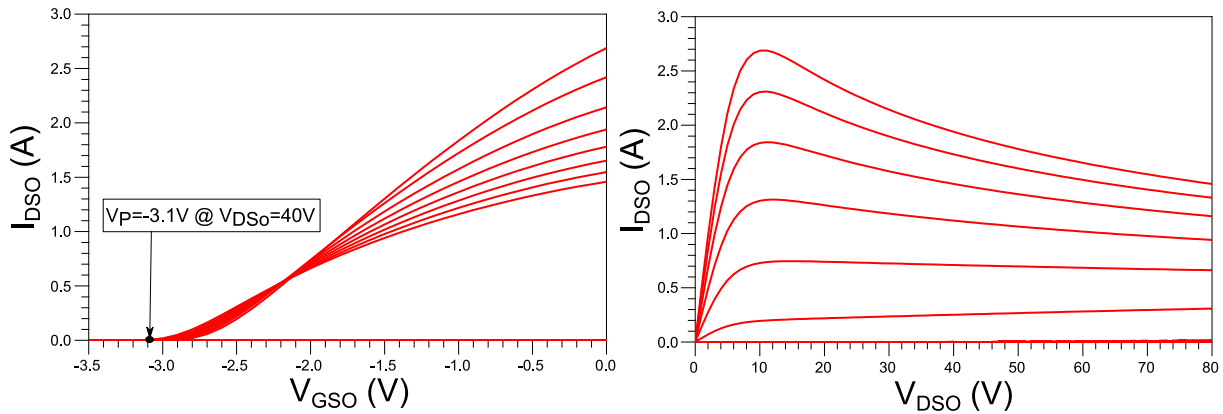


Figure III-4 : Caractéristiques DC I/V simulées du transistor Cree CGHV1F025S.

III.6) Conception des circuits de polarisation

Le réseau de polarisation doit être conçu pour combiner les signaux continus (*dans les architectures sans polarisation dynamique*) ou basse fréquence (*dans les architectures avec polarisation dynamique*) avec les signaux microondes. Dans un cas idéal, aucune modulation de polarisation basse fréquence ne doit prendre naissance dans le circuit de polarisation en présence de fort signal RF modulé appliqué en entrée de l'amplificateur. L'impédance que le circuit de polarisation doit ramener à l'accès du transistor doit donc être basse impédance (*court-circuit*) sur la plus large bande basse fréquence (« *Bande Vidéo* ») et doit apparaître comme un circuit ouvert pour les signaux haute fréquence.

III.6.1) Particularités des circuits de polarisation pour les architectures à polarisation dynamique

Le réseau de polarisation est utilisé pour isoler le signal RF de l'alimentation DC. La conception d'amplificateurs de puissance RF pour un fonctionnement en alimentation dynamique exige une attention particulière pour la conception des circuits de polarisation qui ne peuvent plus être traditionnels. La plupart des tés de polarisation sont conçus avec une self de choc (*inductance de forte valeur*), fournissant une haute impédance sur une bande passante RF relativement large. Toutefois, cette inductance présente une impédance non-négligeable sur la largeur de bande de l'enveloppe du signal modulé utilisé, se répercutant par une chute de tension proportionnelle à la pente de courant continu fourni au transistor. L'amplificateur de puissance pour les applications de polarisation dynamique doit utiliser une self de choc à bande étroite. Celle-ci peut être réalisée avec une ligne de transmission quart d'onde court-circuitée au niveau de l'alimentation de drain par une capacité. À l'accès de drain du transistor, l'association entre la ligne de transmission quart d'onde et cette capacité crée une résonance vue comme un circuit-ouvert à la fréquence fondamentale et aux harmoniques impaires de celle-ci. Elle présente un court-circuit aux harmoniques paires et une impédance très faible dans la bande passante de l'enveloppe. A l'accès de grille, une résistance série est généralement nécessaire entre les capacités de découplage RF et BF pour limiter les

oscillations basse fréquence. La valeur de la résistance série doit être choisie de telle sorte que la condition de stabilité est assurée.

Un té de polarisation classique est également composé d'une rangée de fortes capacités en parallèle à l'alimentation de drain, présentant de faibles impédances dans la bande passante de l'enveloppe. Ces fortes capacités participent à la stabilité basse fréquence de l'amplificateur et minimisent les fluctuations d'alimentation basse fréquence dans les applications à forte puissance et à grande bande passante. Dans un fonctionnement de polarisation dynamique, un modulateur d'alimentation est utilisé pour alimenter le té de polarisation. Dans ce cas, les fortes capacités parallèles (*consommant un courant capacitif non-négligeables*) conduisent à des pertes en puissance, à une baisse d'efficacité du modulateur de drain, et à une forte limitation en bande passante du modulateur. Il faut donc supprimer les capacités de découplage basse fréquence pour un fonctionnement à polarisation dynamique, afin d'optimiser le fonctionnement du modulateur de polarisation. En contrepartie, si l'impédance de sortie du modulateur de drain est très faible sur une bande passante plus grande que la largeur de bande de l'enveloppe, le transistor voit une faible impédance sur l'accès de drain aux basses fréquences (Figure III-5).

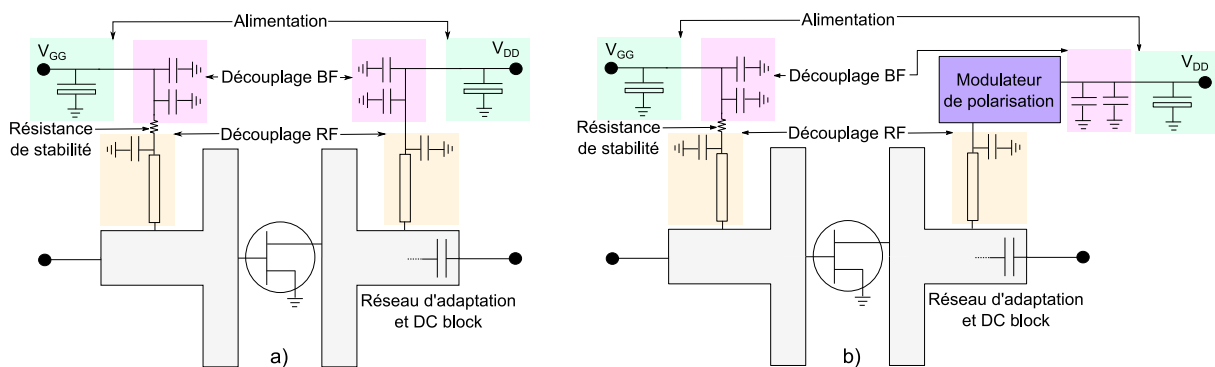


Figure III-5 : a) Circuits de polarisation classique. b) Circuits de polarisation pour les architectures à polarisation dynamique.

Du fait de l'absence de capacité de découplage BF, l'amplificateur peut présenter des instabilités, lorsqu'il est connecté à une alimentation de drain continue fixe, et néanmoins être stable lorsqu'il est connecté à la sortie du modulateur d'alimentation. Dans un cas sans modulateur d'alimentation, l'amplificateur doit être utilisé soit avec une rangée de capacités externes située entre l'amplificateur et l'alimentation, soit avec une alimentation présentant des impédances suffisamment basses dans la bande de l'enveloppe.

III.6.2) Conception des circuits de polarisation

En règle générale, la conception des circuits de polarisation doit être réalisée conjointement avec celle des circuits d'adaptation ce qui permet d'optimiser au plus près du transistor les impédances d'entrée et de sortie vues par celui-ci. Pour une conception d'amplificateur fonctionnant en polarisation dynamique, le circuit de polarisation constitue le point de liaison entre les signaux microondes et les signaux de polarisations modulés, le

rendant de ce fait, un élément de conception crucial en termes de stabilité et de performance énergétique du système global.

Dans ce cadre, nous avons décidé de concevoir séquentiellement les circuits de polarisation et les circuits d'adaptation afin de différencier la problématique de polarisation dynamique de la problématique de la largeur de bande RF de l'amplificateur.

Les capacités de découplage RF des réseaux de polarisation de grille et de drain ont été conçues à partir d'un stub papillon qui présente un court-circuit à la fréquence centrale. Comme l'amplificateur doit être conçu pour être large bande, le stub papillon a été préféré à une ligne quart d'onde pour sa plus grande largeur de bande. Une ligne inverseur d'impédance ($\lambda/4$) est ajoutée pour obtenir un circuit-ouvert à la fréquence fondamentale aux bornes du transistor. Avec l'objectif de polariser dynamiquement l'amplificateur, aucune capacité parallèle découplant les basses fréquences n'est ajoutée. Il faut noter que l'ensemble de l'empreinte et des accès au transistor, sont pris en compte dans l'optimisation du circuit de polarisation.

La Figure III-6-a) représente la conception du circuit de polarisation en éléments distribués, où la ligne quart d'onde est immédiatement suivie par un stub papillon. La Figure III-6-b) montre le layout du circuit de polarisation de drain.

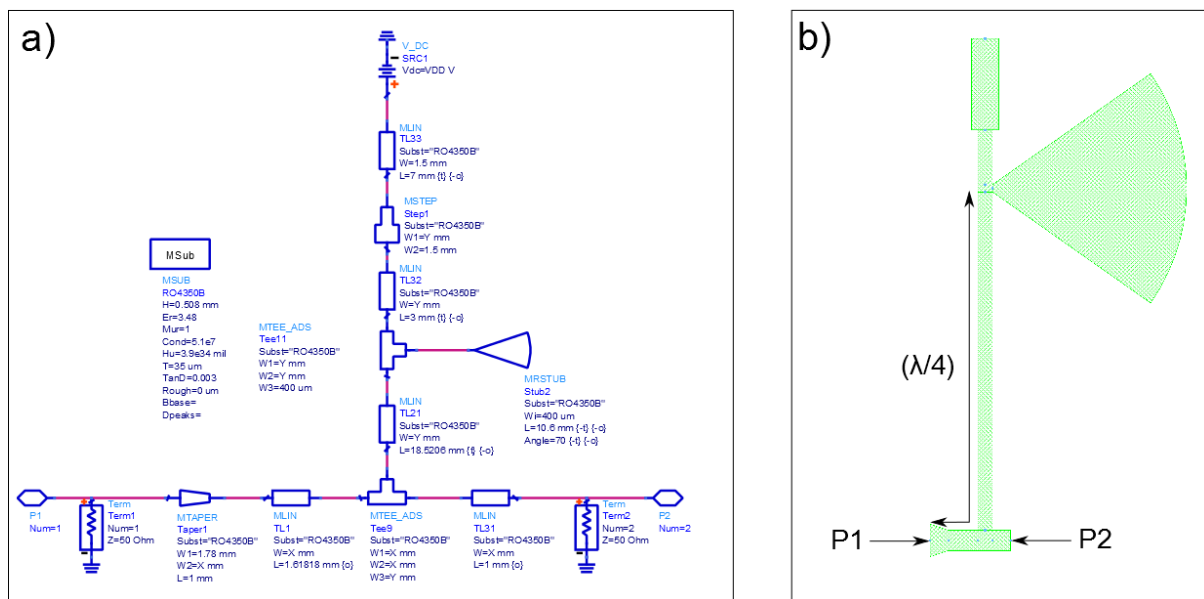


Figure III-6 : a) Circuit de polarisation de drain en éléments distribués. b) Layout du circuit de polarisation de drain.

La Figure III-7 montre les résultats de simulation électromagnétique du circuit de polarisation de drain et on observe que cette conception présente à l'accès RF d'entrée un coefficient de réflexion inférieur à -10dB entre 1,7 à 3,5 GHz et que le coefficient de transmission est inférieur à -10dB entre 4,7 GHz et 5,1 GHz. Du point de vue des basses fréquences, on observe que le coefficient de transmission reste inférieur à -10dB jusqu'à 150 MHz, ce qui est favorable aux applications de polarisation dynamique.

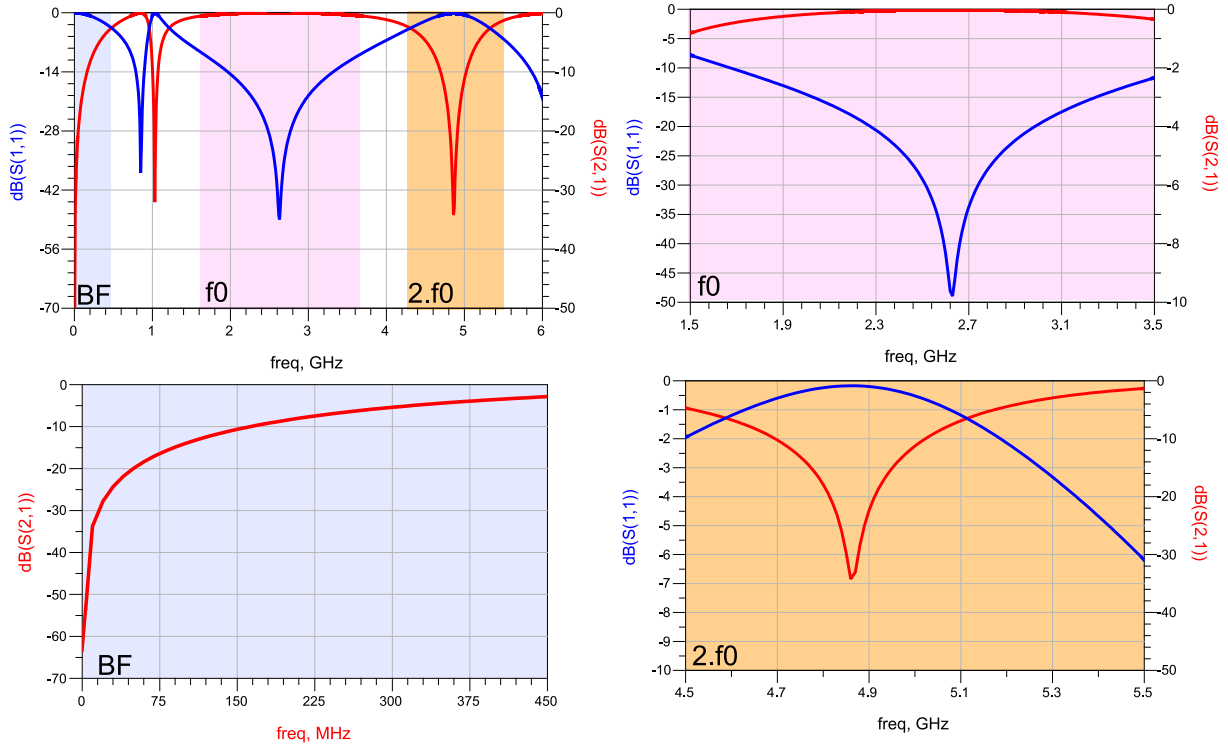


Figure III-7 : Résultat de simulation électromagnétique représentant les coefficients de réflexion ($S(1,1)$: bleu) et de transmission ($S(2,1)$: rouge) du circuit de polarisation de drain. Où la définition des ports 1 et 2 est représentée dans le Figure III-6-b).

Le circuit de polarisation de grille intègre une résistance série pour améliorer la stabilité de l'amplificateur. Comme la résistance série modifie la longueur électrique de la ligne quart d'onde, celle-ci a été ajoutée après le stub papillon pour pouvoir utiliser le même circuit de polarisation de grille que celui de drain.

III.7) Analyse de la stabilité petit signal

La stabilité est un critère primordial à prendre en compte dans la conception d'un amplificateur pour éviter les oscillations. En petit signal, l'analyse de stabilité linéaire est déterminée à partir des paramètres $[S]$ du transistor. Un circuit est inconditionnellement stable si les deux relations suivantes sont respectées [96] :

$$\Delta = 1 + |S_{11}|^2 - |S_{22}|^2 + |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|^2 > 0 \quad (\text{III-1})$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{12} \cdot S_{21}|} > 1 \quad (\text{III-2})$$

Δ étant le déterminant de la matrice $[S]$, et K est appelé le facteur de stabilité de Rollet.

La simulation de stabilité petit signal a été réalisée sur le transistor seul, pour une gamme de fréquence allant de 0.1 à 15 GHz et pour une tension de polarisation de drain de 40V et un courant de repos de 50mA. La Figure III-8 représente la simulation de Δ et K , et

démontre que le transistor n'est pas inconditionnellement stable car le facteur de Rollet est largement inférieur à 1 entre 0.1 et 9.5GHz.

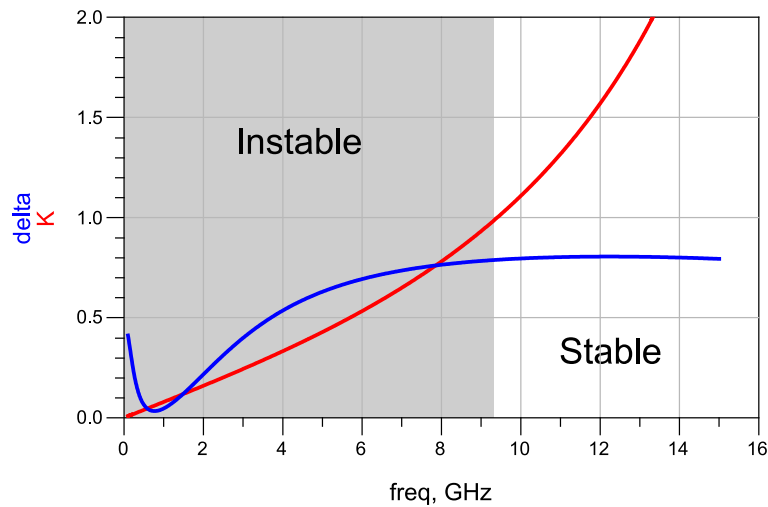


Figure III-8 : Facteur K et delta de l'amplificateur sans réseau de stabilisation.

Afin de visualiser les zones d'instabilité, la Figure III-9 montre l'évolution des cercles de stabilité coté source et coté charge. On observe que les zones d'instabilité que ce soit en entrée ou en sortie, recouvrent une grande partie de l'abaque de Smith. Ceci apparait normal compte tenu de la forte réserve de gain du composant dans la bande L, S. Par conséquent, les impédances de source ou de charge optimales qui doivent être présentées au transistor ne peuvent pas être synthétisées sans provoquer des instabilités. Par prudence, nous nous orientons vers une stabilité inconditionnelle.

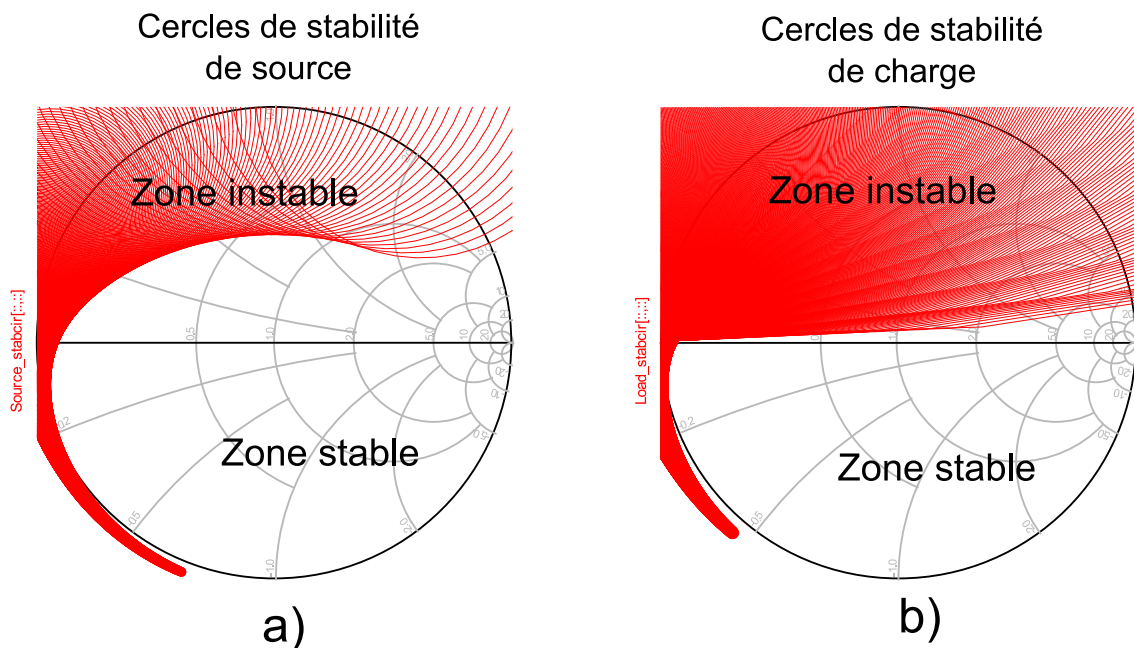


Figure III-9 : a) Cercles de stabilité de source sans réseau de stabilisation. b) Cercles de stabilité de charge sans réseau de stabilisation.

Dans le but de réduire le gain du transistor en basse fréquence, nous avons opté pour un réseau de stabilisation de type RC parallèle. Ce réseau est composé d'une résistance de 82Ω en parallèle avec une capacité de 3pF et va être situé à l'entrée de l'amplificateur. Ce circuit agit comme un filtre passe haut. Afin de garantir un caractère inconditionnellement stable, une résistance série de 22Ω a été ajoutée à l'accès de polarisation de grille. La simulation finale de stabilité linéaire intégrant ce réseau de stabilisation et cette résistance série à l'accès de grille est présentée sur la Figure III-10 et la Figure III-11. Une stabilité inconditionnelle est prédite.

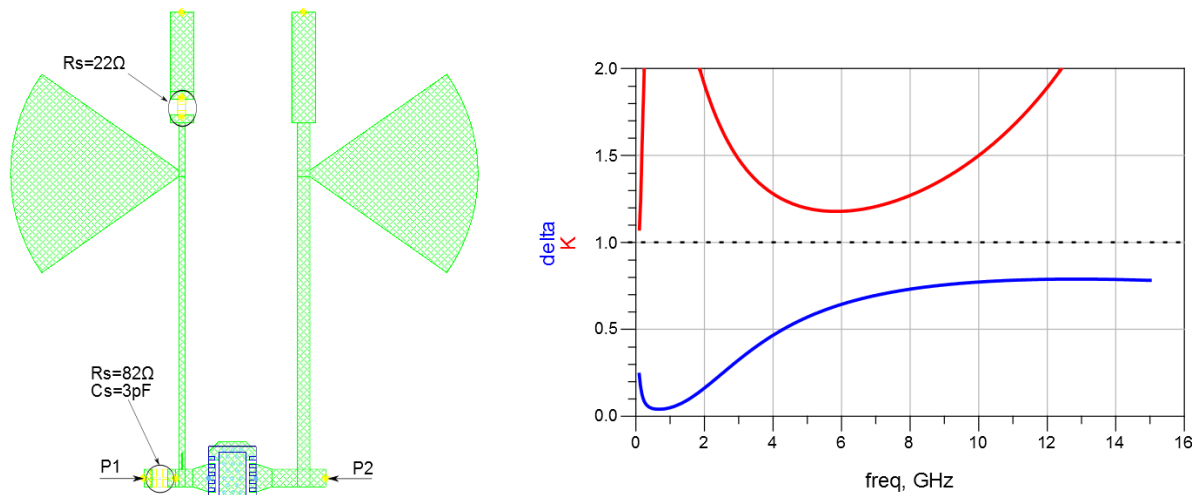


Figure III-10 : Layout de l'empreinte du composant, du réseau de polarisation et de stabilisation (à gauche). Facteurs K et δ de l'amplificateur après intégration du réseau de stabilisation.

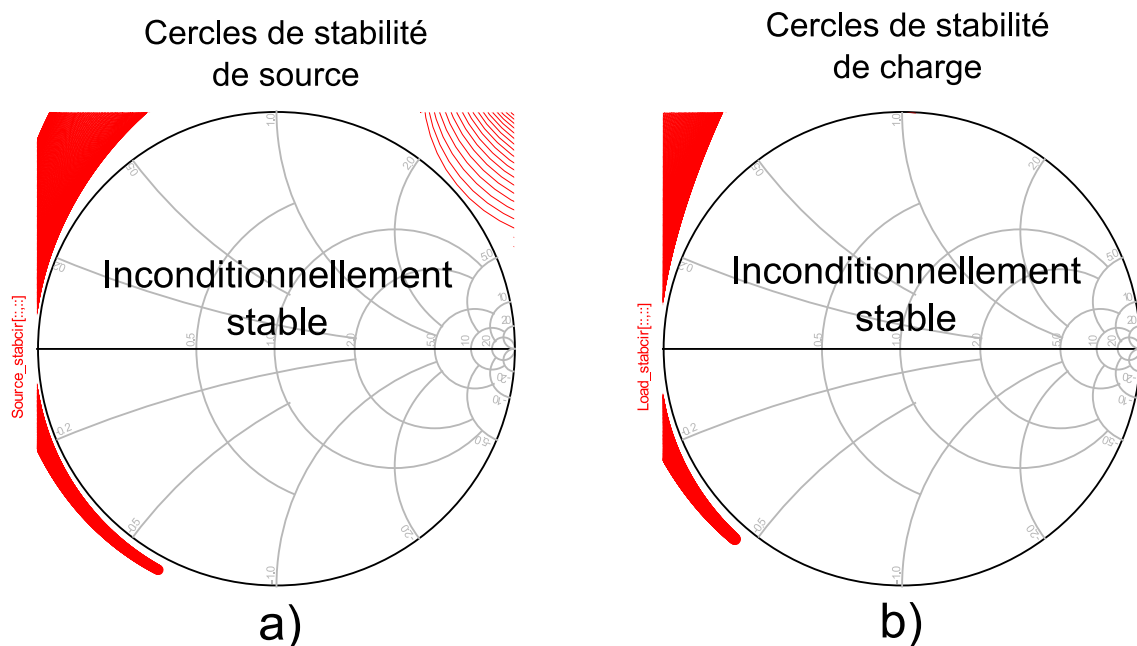


Figure III-11 : a) Cercles de stabilité de source avec intégration du réseau de stabilisation. b) Cercles de stabilité de charge avec intégration du réseau de stabilisation.

III.8) Conception du réseau d'adaptation d'entrée et de sortie

Pour pouvoir réaliser les réseaux d'adaptation d'entrée et de sortie, il est nécessaire de connaître les impédances de source et de charge optimales que doit voir le transistor pour atteindre son maximum de rendement ou sa puissance de sortie maximale. Pour ce faire, des simulations load-pull et source-pull ont été réalisées en fixant les impédances présentées aux fréquences harmoniques à 50Ω . Ces simulations permettent de balayer l'ensemble des impédances de l'abaque de Smith présentées au transistor et de déterminer les performances associées du transistor en termes de rendement en puissance ajoutée et de puissance de sortie. Comme les performances de l'amplificateur dépendent simultanément de l'adaptation d'entrée et de sortie, il est impossible de dissocier l'analyse load-pull de l'analyse source-pull. Pour identifier le couple d'impédance de source et de charge optimale, la méthode d'identification consiste à transférer les résultats d'une analyse à l'autre de manière itérative jusqu'à obtenir des performances équivalentes.

La Figure III-12 montre le résultat d'une simulation load-pull à puissance disponible d'entrée constante à 2.5 GHz, qui prend en compte les circuits de polarisation et le réseau de stabilisation précédemment dimensionnés. La Figure III-12 présente également les formes d'ondes de tension et courant intrinsèques ainsi que les cycles de charge intrinsèques lorsque la valeur de l'impédance présentée au transistor correspond au point de rendement maximal et au point de puissance maximale.

Comme on l'observe dans la Figure III-12, l'impédance optimale permettant d'atteindre le maximum de rendement et celle permettant d'obtenir la puissance de sortie maximale ne sont pas identiques. Le choix de l'impédance doit donc être un compromis entre la puissance de sortie et le rendement en puissance ajoutée à la fréquence centrale.

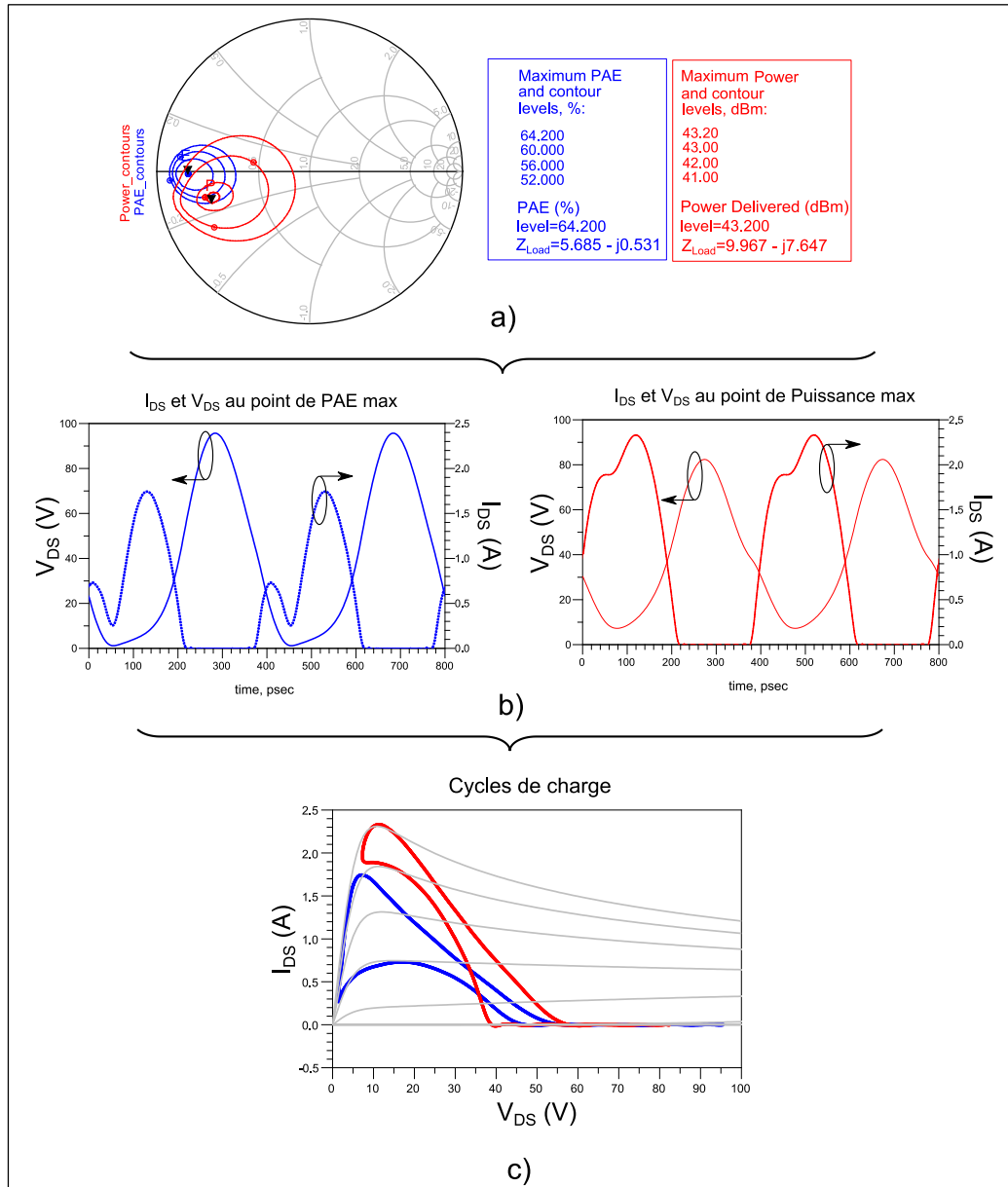


Figure III-12 : Simulation load-pull à puissance disponible d'entrée constante ($f_0=2.5$ GHz).
a) Rouge : Contours de puissance de sortie (dBm). Bleu : Contours de PAE (%). b) Formes d'ondes de tension et courant pour la PAE maximale (bleu) et pour la puissance maximale (rouge). c) Cycles de charge pour la PAE maximale (bleu) et pour la puissance maximale (rouge).

Le réseau d'adaptation de sortie va avoir pour rôle principal, de transformer l'impédance optimale identifiée précédemment, vers un accès 50Ω . Il existe toujours plusieurs trajectoires de transformation pour la même impédance à transformer. Chacune de ces trajectoires a ses avantages ou inconvénients en termes de pertes, de bande passante et de dimension. La réponse fréquentielle, le sens de transformation, l'ordre de filtrage, la bande passante et les pertes sont fixées par la trajectoire retenue. Cette trajectoire est ensuite synthétisée en éléments localisés ou en éléments distribués.

De ce fait, le choix de la topologie du réseau d'adaptation est primordial pour les performances finales de l'amplificateur. Dans le cadre d'une conception d'amplificateur large

bande, la topologie multi-section LC, comme représentée dans la Figure III-13-a), est privilégiée car elle permet d'atteindre de faibles facteurs de qualité du réseau d'adaptation ($Q_0=f_0/\Delta f$) et donc d'être moins sélectif, se prêtant naturellement à une application large bande. La largeur de bande sur laquelle l'adaptation d'impédance sera réalisée, est directement proportionnelle au nombre de sections du réseau d'adaptation [86]. Le nombre de sections du réseau d'adaptation présente un compromis entre la bande passante et les pertes introduites. La Figure III-13-b) représente un exemple de réseau d'adaptation de type LC à quatre sections, permettant d'atteindre un facteur de qualité égal à deux. L'ensemble des cellules LC est ensuite synthétisé par des lignes de transmission.

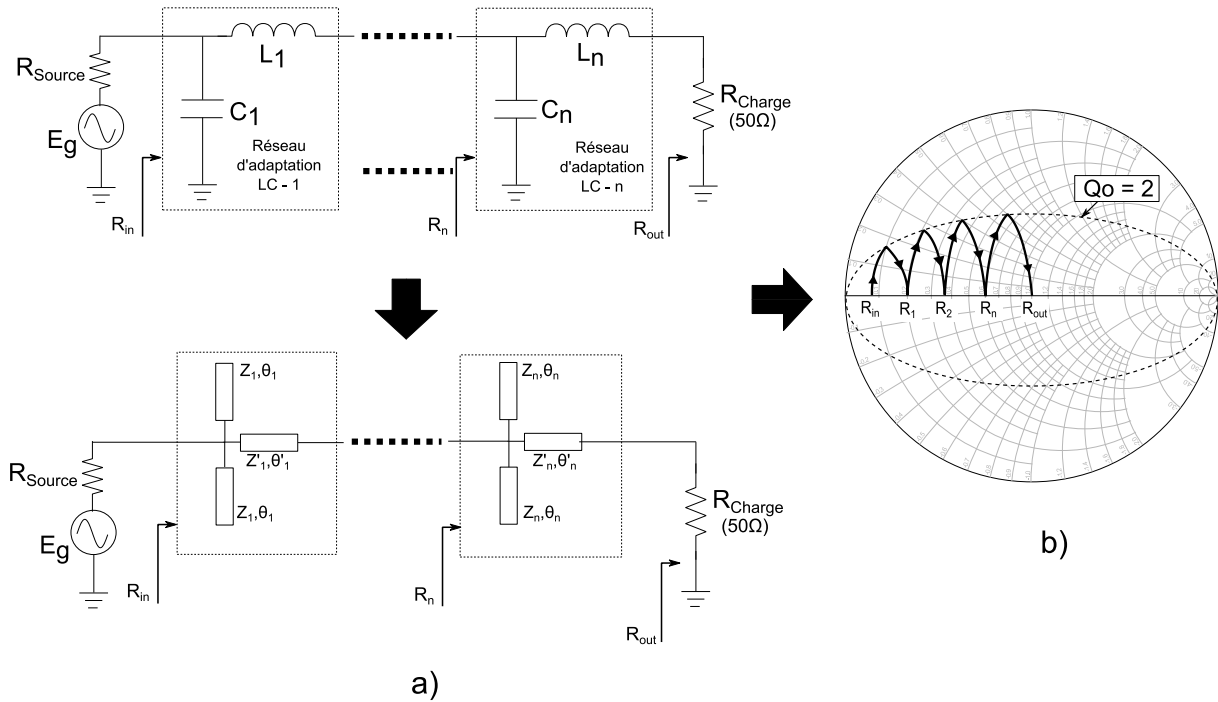


Figure III-13 : a) Réseau d'adaptation LC multi-sections en éléments localisés (haut) et distribués (bas). b) Exemple de trajectoire de transformation du réseau d'adaptation LC à 4 sections ayant un facteur de qualité $Q_0=2$.

Pour réaliser l'adaptation d'impédance de sortie, nous avons opté pour un réseau d'adaptation de type LC à trois sections, permettant de réaliser la trajectoire de transformation ayant un facteur de qualité égal à 0.9 à 2.5GHz, comme représenté dans la Figure III-14.

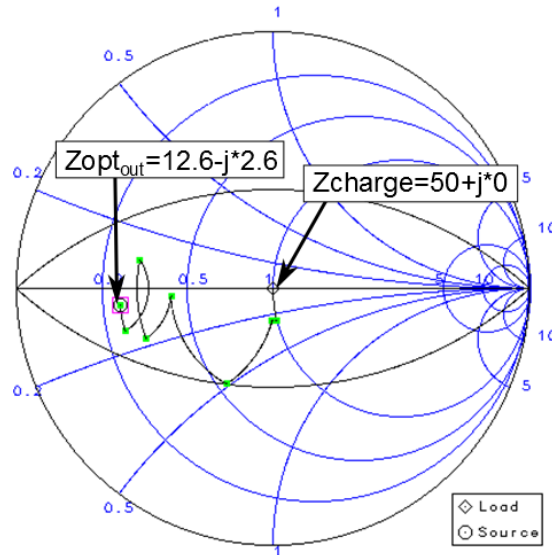


Figure III-14 : Trajectoire de transformation réalisée par le réseau d'adaptation de sortie.

Cependant, lors d'une conception d'amplificateur large bande, l'impédance optimale de charge évolue en fonction de la fréquence. La capacité drain-source en est la principale cause car son impédance est décroissante en fonction de la fréquence de travail. De ce fait, une simulation load-pull à puissance disponible constante a été réalisée pour différentes fréquences de façon à identifier les impédances correspondant au maximum de rendement pour chaque fréquence de la bande visée. L'ensemble des résultats est représenté dans la Figure III-15.

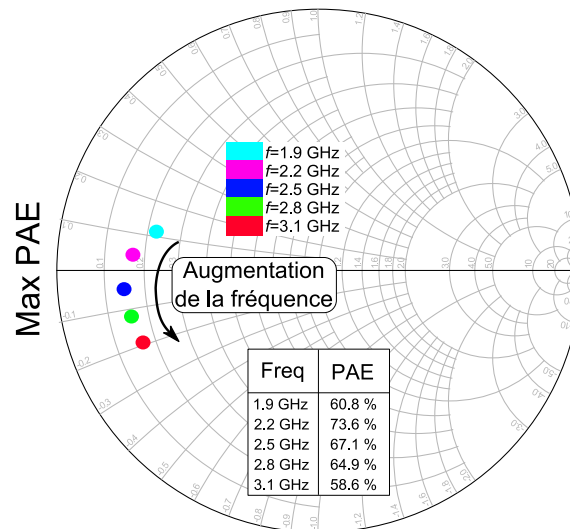


Figure III-15 : Impédances optimales pour une PAE maximale extraites de la simulation load-pull pour différentes fréquences fondamentales.

On remarque une forte dispersion des impédances de charge en fonction de la fréquence, il est alors impossible de réaliser un réseau d'adaptation parfait qui va suivre la dispersion fréquentielle. L'objectif est alors d'optimiser le réseau d'adaptation LC de façon à obtenir une résonance qui va permettre au réseau d'adaptation de rester dans la zone à haut

rendement sur une large bande de fréquence [97], [98], comme représenté dans la Figure III-16.

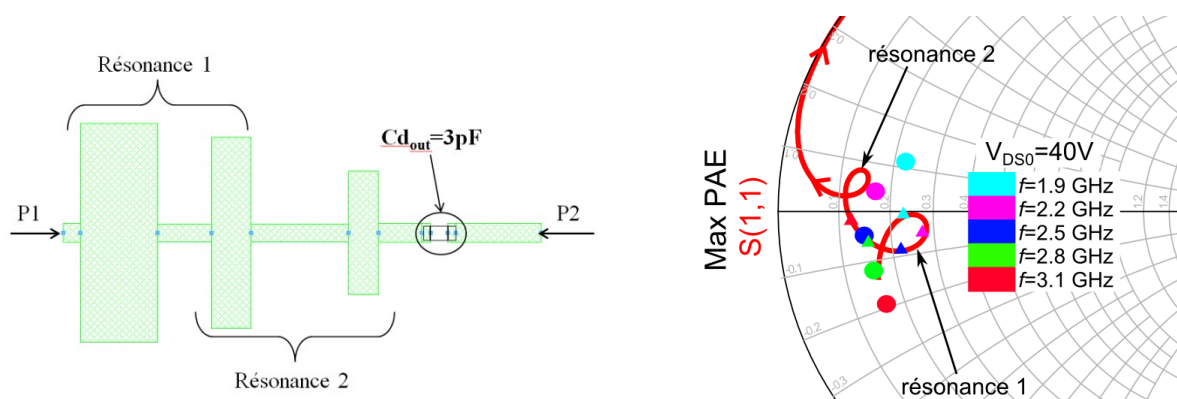


Figure III-16 : Layout de circuit d'adaptation de sortie synthétisé (à gauche). Réponse fréquentielle du réseau d'adaptation de sortie superposé aux résultats des simulations load-pull représentant les impédances de PAE maximale pour différentes fréquences fondamentales (à droite).

Les deux résonances créées à partir du réseau d'adaptation de type LC à trois sections permettent de rester dans la zone à haut rendement en fonction de la fréquence. La résonance 2 peut paraître inutile, mais elle joue un rôle essentiel dans l'orientation de la boucle fréquentielle créée par la première. Il s'est avéré après plusieurs simulations, que sa présence était avantageuse dans le compromis des pertes introduites et de la bande-passante gagnée.

Comme l'objectif est aussi de réaliser une polarisation dynamique, une simulation load-pull à 3dB de compression a été réalisée pour plusieurs polarisations et plusieurs fréquences comme représenté dans la Figure III-17. On remarque que la résonance réalisée par le réseau d'adaptation de sortie permet de rester dans la zone de dispersion d'impédance optimale quelle que soit la tension de polarisation pour les fréquences basses de la bande passante visée (1,9-2,5GHz). Cependant à 3,1GHz, les impédances optimales s'éloignent de la zone de résonance lorsque la tension de polarisation de drain diminue, laissant imaginer qu'il y aura une chute de rendement à cette fréquence.

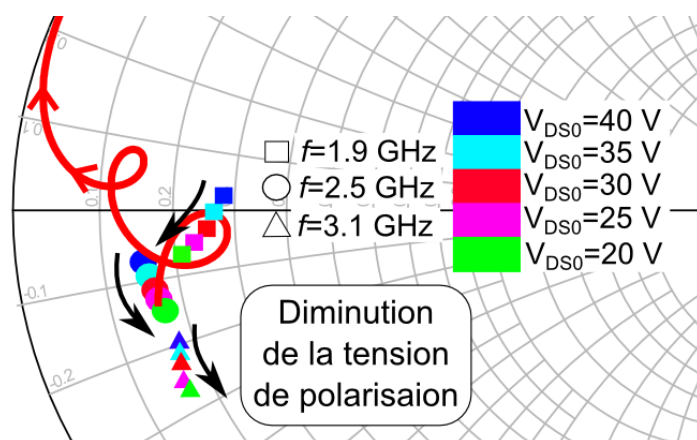


Figure III-17 : Réponse fréquentielle du réseau d'adaptation de sortie superposée sur les résultats des simulations load-pull représentant les impédances de PAE maximale pour différentes fréquences fondamentales et différentes tensions de polarisation de drain.

Les cycles de charge et les formes d'ondes intrinsèques de la Figure III-18 confirment le fait que le réseau d'adaptation de sortie conçu ne permet plus d'adapter correctement le transistor à 3,1 GHz. A cette fréquence, le cycle de charge prend la forme d'une figure de Lissajoux de surface très ouverte, ce qui traduit une diminution de la puissance délivrée. Conjointement, on constate alors, une zone de recouvrement importante entre les formes d'ondes temporelles de tension et courant.

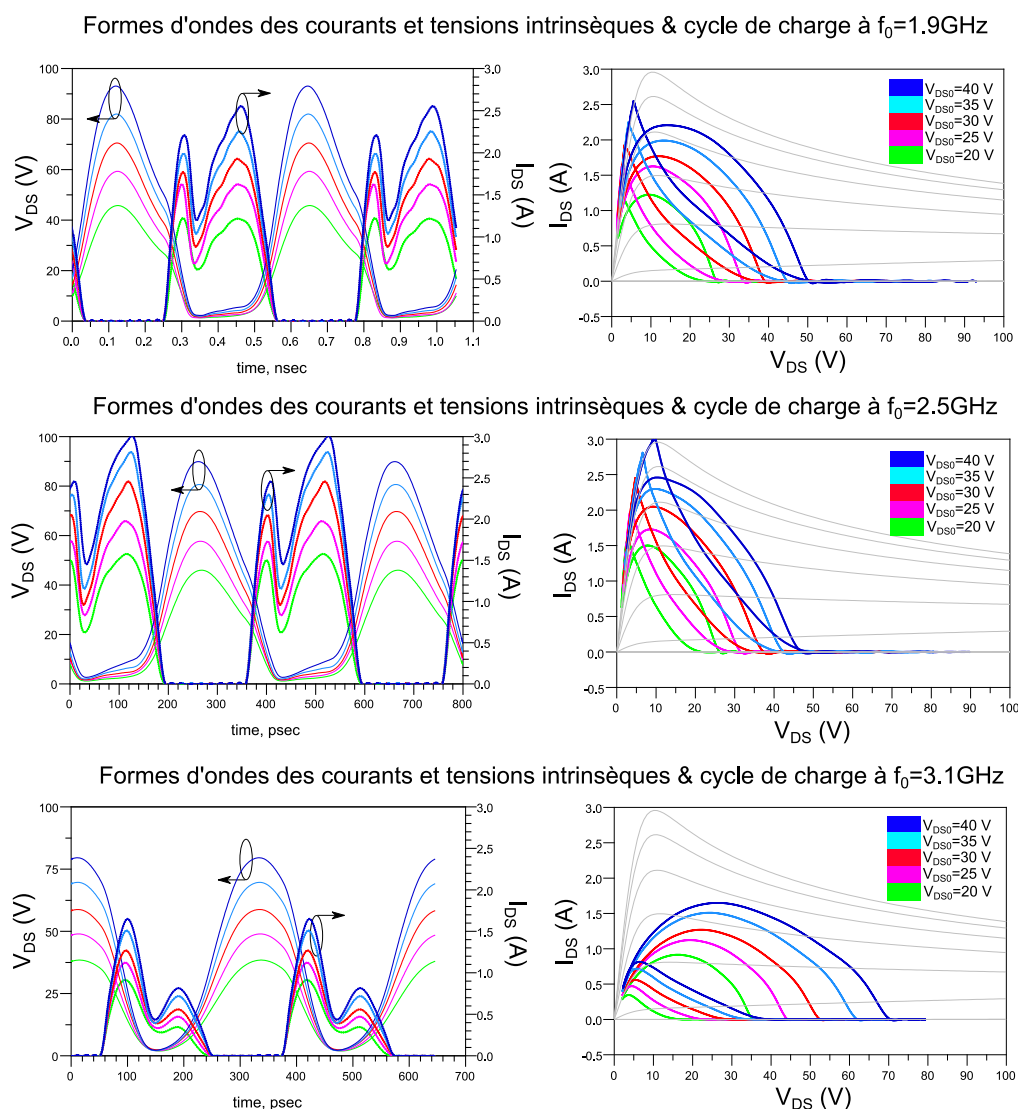


Figure III-18 : Formes d'ondes des tensions et courant intrinsèques ainsi que les cycles de charge associés pour différentes tensions de polarisation de drain et différentes fréquences (1.9 GHz , 2.5 GHz , 3.1GHz).

La seconde harmonique est directement court-circuitée par la ligne de transmission quart d'onde utilisée dans le réseau de polarisation de drain (*rotation de $\lambda/2$ du court-circuit résultant du stub papillon à $2f_0$*). La Figure III-19 représente une simulation load-pull des contours du troisième harmonique, et souligne que le rendement maximal est peu sensible à la charge présentée à $(3.f_0)$, avec une chute maximale de l'efficacité de 6% dans les régions grisées. Néanmoins, l'impédance présentée à la troisième harmonique est située dans une zone où le rendement n'est pas pénalisé sur toute la bande d'utilisation.

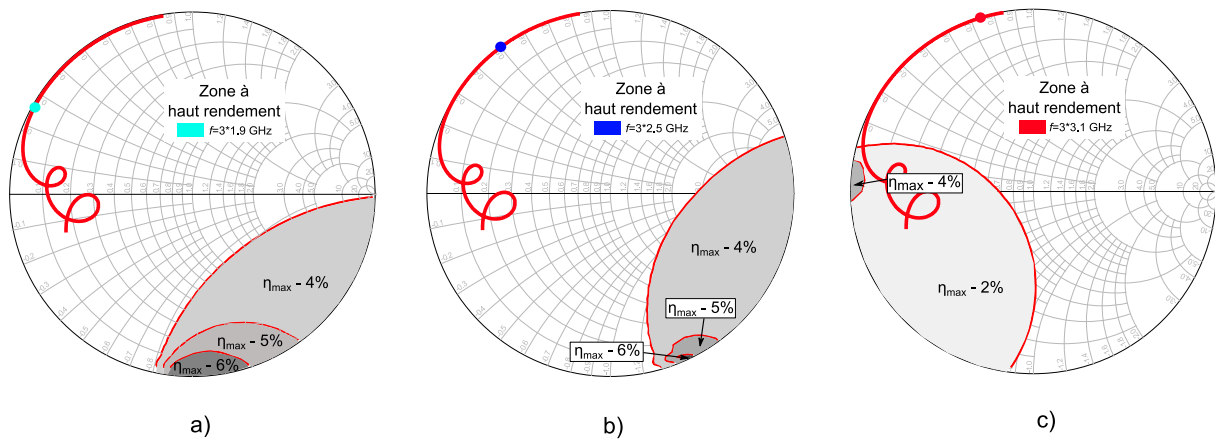


Figure III-19 : Simulation des contours de PAE au troisième harmonique a) $3.f_0 = 5.7 \text{ GHz}$ b) $3.f_0 = 7.5 \text{ GHz}$ c) $3.f_0 = 9.3 \text{ GHz}$.

Le circuit d'adaptation d'entrée a été réalisé suivant la même méthodologie que le réseau d'adaptation de sortie. Les simulations source-pull ont été réalisées en prenant en compte les réseaux de stabilisation et de polarisation, présentés dans la Figure III-10.

La simulation source-pull a été réalisée pour différentes fréquences. Les résultats de cette analyse, montrent que comme pour la sortie, l'impédance optimale d'entrée dépend de la fréquence, comme on peut l'observer dans la Figure III-20-a). Cependant les zones, où le rendement varie de 1% par rapport au rendement maximal, sont très larges sur l'abaque de Smith, ce qui permet d'utiliser une topologie d'adaptation plus simple pour limiter les pertes en entrée. De ce fait, nous avons opté pour un réseau d'adaptation de type LC à deux sections. La Figure III-20-b) montre la trajectoire de transformation réalisée à 2,5GHz.

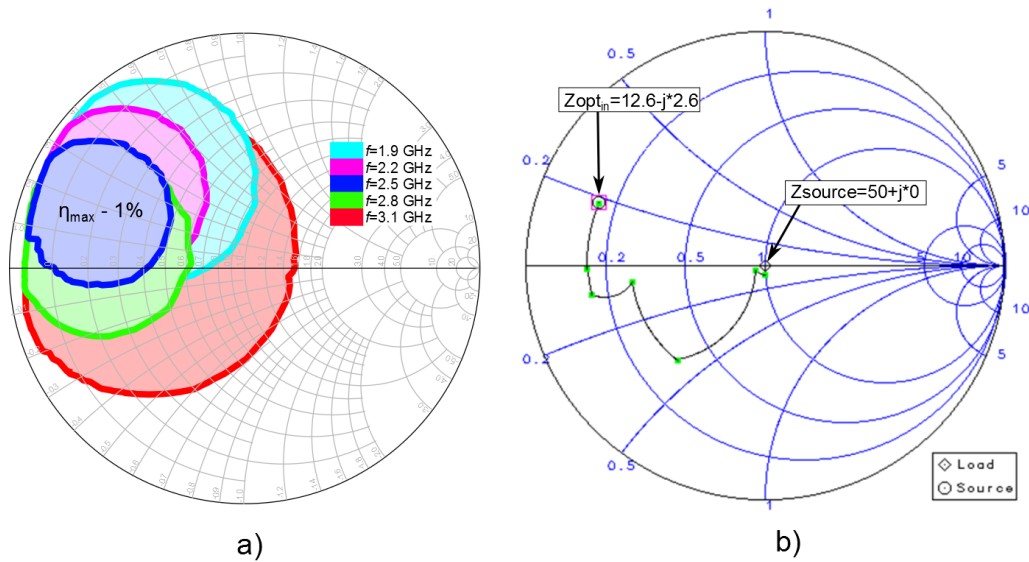


Figure III-20 : a) Résultats des simulations source-pull représentant les zones d'impédances pour lesquelles la PAE maximale varie de 1% pour différentes fréquences fondamentales. b) Trajectoire de transformation réalisée par le réseau d'adaptation d'entrée

Le réseau d'adaptation d'entrée final synthétisé ainsi que sa réponse en fréquence, sont présentés dans Figure III-21.

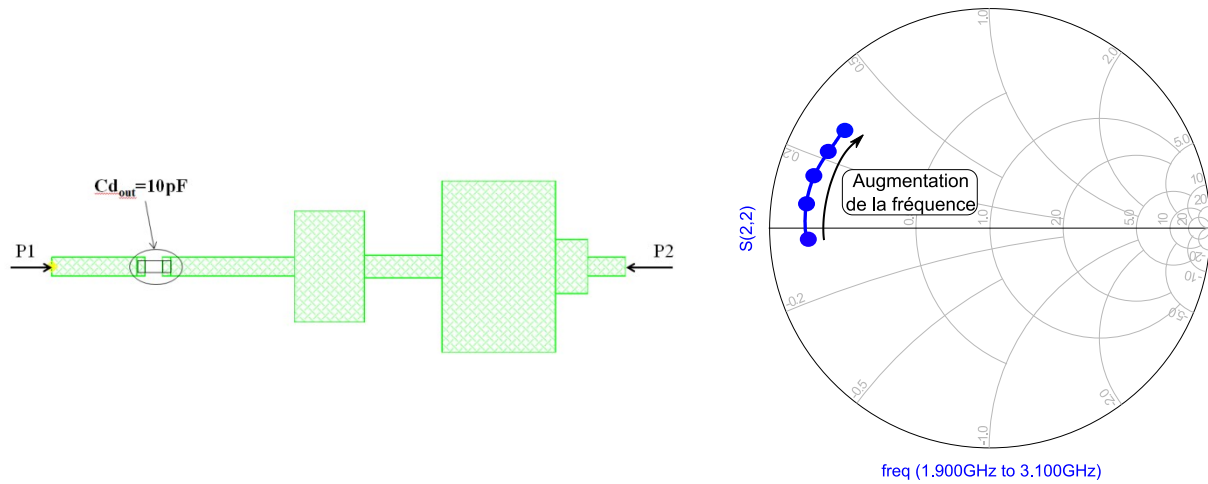


Figure III-21 : *Layout de circuit d'adaptation d'entrée synthétisé (à gauche). Réponse fréquentielle du réseau d'adaptation d'entrée (à droite).*

III.9) Analyse de stabilité non-linéaire.

L'analyse de stabilité petit signal réalisée au début de la conception est nécessaire mais pas suffisante pour prévenir tout risque d'oscillation. En effet, il est possible que l'amplificateur soit parfaitement stable en petit signal et devienne instable en fort signal. De ce fait, il est nécessaire de réaliser une analyse de stabilité en régime non-linéaire.

Nous avons utilisé le programme de simulation de stabilité non-linéaire « STAN » qui a été développé par l'université du Pays Basque et le CNES (*Centre National d'Etudes Spatiales*). Cet outil permet d'identifier les pôles et les zéros de la fonction de transfert de l'amplificateur associé à la linéarisation de la solution à l'état établi de la simulation grand signal [99], [100].

Concrètement, l'analyse consiste à introduire, à différents endroits du circuit (*nœuds*), de faibles perturbations balayant une plage de fréquence, lorsque l'amplificateur fonctionne en fort signal. Cette simulation est réalisée par le logiciel ADS et permet d'extraire la réponse fréquentielle de l'impédance présentée au nœud choisi pour un fonctionnement particulier de l'amplificateur (*puissance, fréquence, polarisation*). Ensuite le logiciel STAN (*sous environnement Scilab*) va permettre d'extraire la fonction de transfert et d'en identifier les pôles et zéros (Figure III-22). Il est alors possible de choisir l'ordre de la fonction de transfert et diviser l'analyse en différentes sous bandes d'analyse. STAN trace les résultats de l'amplitude et de la phase de la fonction de transfert trouvée ainsi que la réponse en fréquence extraite de la simulation ADS, ce qui lui permet d'estimer l'erreur de phase. Cette erreur de phase est une notion importante pour l'utilisateur, car elle permet de valider l'ordre de la fonction de transfert choisie, et donc la constellation de pôles et de zéros obtenue. Si aucun pôle identifié ne présente de partie réelle positive, le système peut être considéré stable.

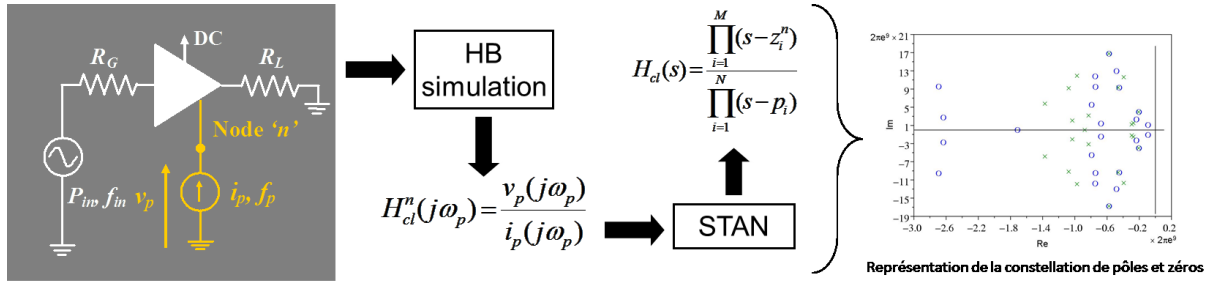


Figure III-22 : Schéma de principe de l'analyse de stabilité non-linéaire.

Pour pouvoir balayer l'ensemble des fonctionnalités de l'amplificateur, plusieurs simulations et analyses ont été réalisées. Afin de cibler tout risque d'oscillations, la perturbation a été introduite sur deux nœuds particuliers (*proche de la grille et proche du drain du transistor*). De plus, sur chaque nœud, l'analyse a été effectuée pour différentes puissances et différentes fréquences centrales (f_0) correspondant à la bande passante de l'amplificateur ($1,8GHz - 2,8GHz$). La bande de fréquence d'analyse, quant à elle, peut être limitée entre 0 et $f_0/2$, car la simulation HB (*Harmonic Balance*) s'effectue en mode « mélangeur ». Dans ce type de simulation, le simulateur réalise un équilibrage harmonique à f_0 et à ses harmoniques, puis effectue une analyse linéaire des bandes latérales LSB (*Low Side Band*) et USB (*Up Side Band*). Ainsi, il n'est pas nécessaire d'injecter une perturbation ayant une fréquence supérieure à $f_0/2$.

Pour faciliter l'identification et limiter l'ordre de la fonction de transfert, les bandes d'analyse ont été découpées en quatre parties comme représenté dans l'exemple de la Figure III-23-b). Au cours de ces analyses, aucun pôle à partie réelle positive n'a été identifié, ce qui permet de valider la stabilité fort signal de l'amplificateur.

Comme l'amplificateur est conçu avec l'objectif d'être polarisé dynamiquement, le réseau de polarisation est réalisé sans capacité de découplage BF afin d'assurer une bande vidéo suffisante. Il est donc impératif d'étudier la stabilité non-linéaire de l'amplificateur pour différentes tensions de polarisation de drain comme expliqué dans [101]. Une des analyses effectuées est présentée dans la Figure III-23-a). On observe que la valeur de la tension de polarisation de drain n'implique pas l'apparition de pôle à partie imaginaire positive. La bande d'analyse basse fréquence ($0-100MHz$) a fait l'objet d'une attention particulière car cette bande correspond à la bande de la modulation de polarisation. Là aussi, on observe qu'aucun pôle à partie réelle positive n'a été identifié quelle que soit la tension de polarisation de drain.

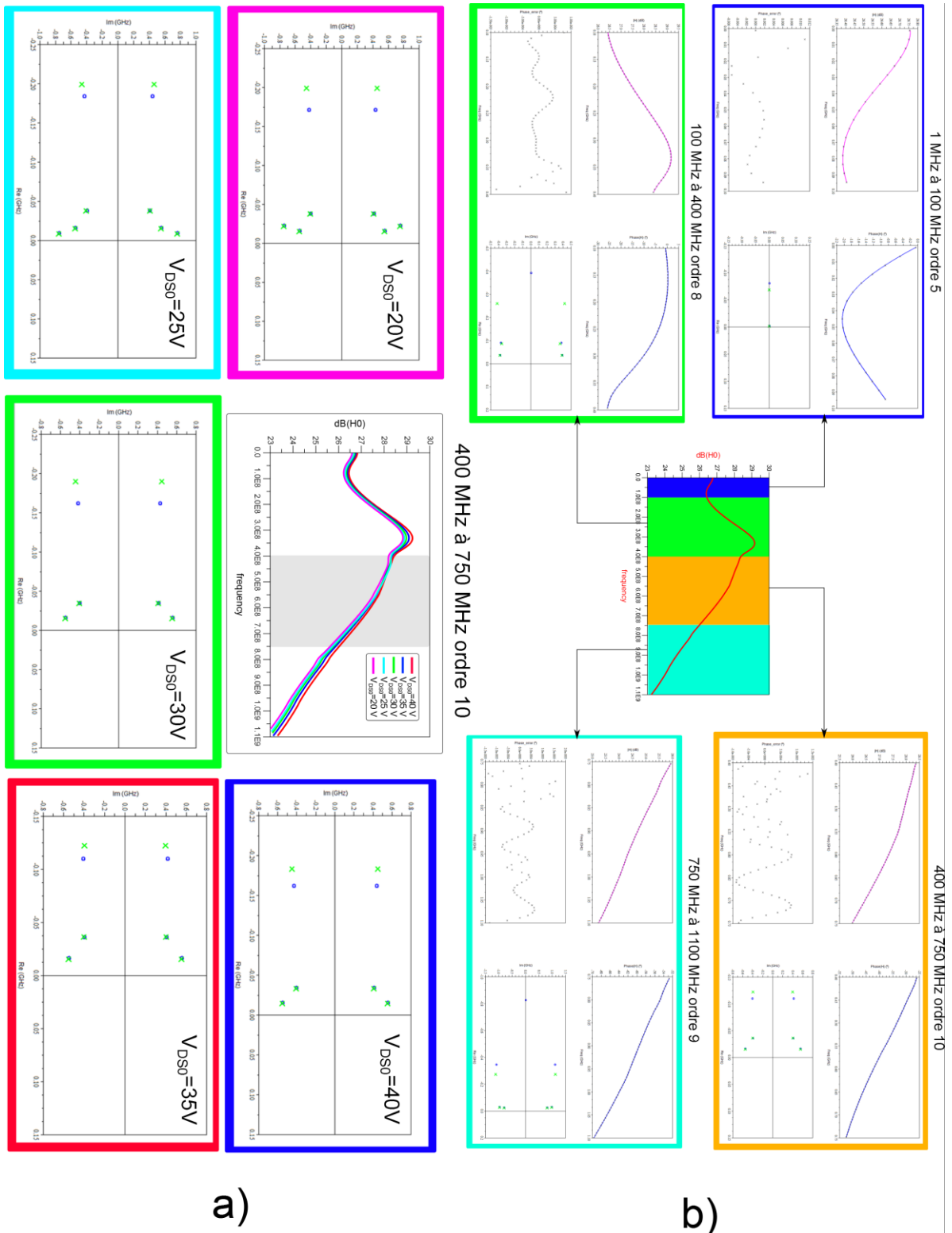


Figure III-23 : a) Exemple d'analyse de la réponse fréquentielle non-linéaire de l'amplificateur sur le nœud proche de la grille pour $f_0 = 2.1$ GHz, $P_{in} = 32$ dBm et une bande d'analyse comprise entre 400 et 750 MHz. Avec au centre la réponse fréquentielle issue de la simulation HB, et autour les résultats pour cinq tensions de polarisation de drain différentes. b) Exemple d'analyse de la réponse fréquentielle non-linéaire de l'amplificateur sur le nœud proche de la grille pour $f_0 = 2.1$ GHz, $P_{in} = 32$ dBm et $V_{DS0} = 40$ V. Avec au centre la réponse fréquentielle issue de la simulation HB, et autour les résultats des quatre bandes d'analyse choisies.

III.10) Présentation de l'amplificateur de puissance.

La Figure III-24 présente le layout complet et les dimensions finales ainsi qu'une photographie de l'amplificateur de puissance réalisé.

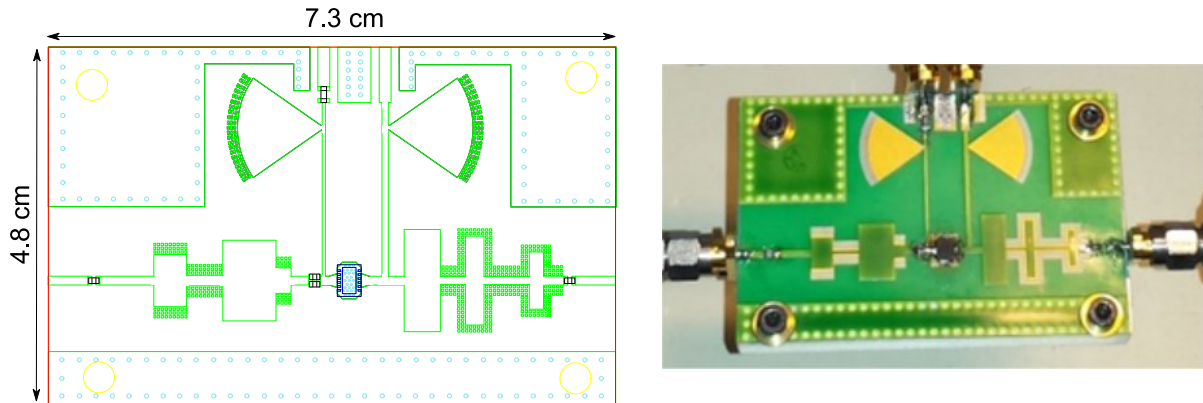


Figure III-24 : Layout (à gauche) et photographie (à droite) de l'amplificateur de puissance RF conçu.

III.11) Résultats de simulation et d'expérimentation.

III.11.1) Résultats de simulation et d'expérimentation en petit signal.

Les résultats de simulation comparés aux mesures en paramètre [S] dans les plans de connexions SMA sont présentés dans la Figure III-25.

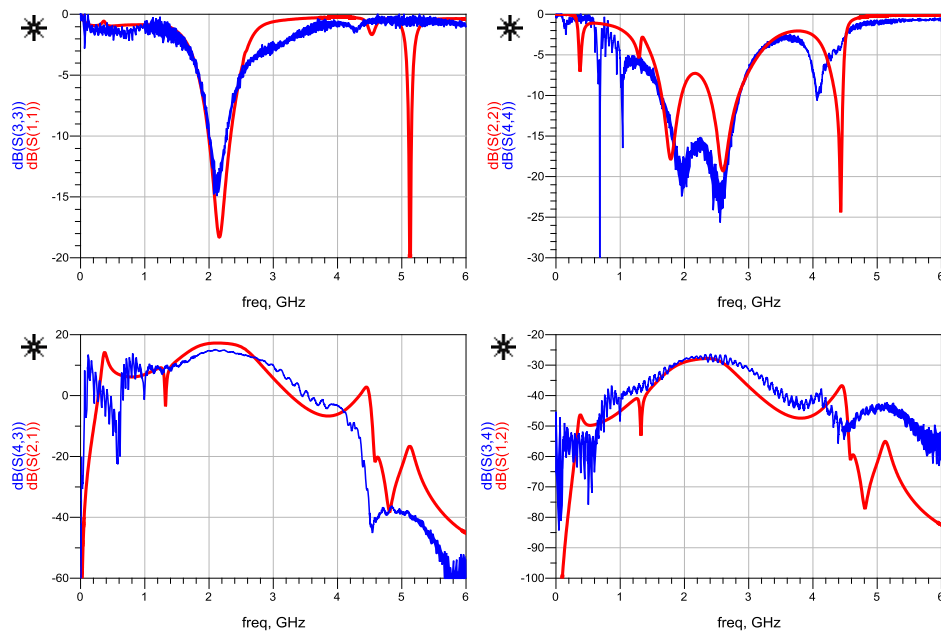


Figure III-25 : Paramètres [S] de l'amplificateur simulés (rouge) et mesurés (bleu) à $I_{DSq}=50mA$ et $V_{DS0}=40V$.

On observe que l'amplificateur est adapté dans la bande souhaitée avec une adaptation d'entrée inférieure à -10dB à la fréquence de 2,1GHz et une adaptation de sortie inférieure à -15dB entre 1,9 et 2,6GHz. On observe que les résultats de simulation et d'expérimentation sont relativement similaires, malgré une légère différence de gain petit signal. La Figure III-26 montre que le gain petit signal mesuré est supérieur à 12dB sur la bande de fréquence 1,7-2,7GHz, avec un gain maximal d'environ 15dB à 2,1GHz.

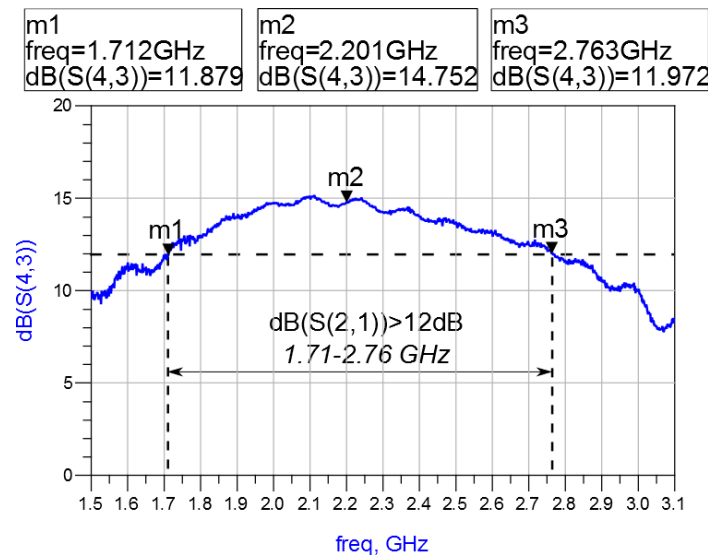


Figure III-26 : Gain petit signal mesuré sur la bande de fréquence 1.5-3.1GHz.

III.11.2) Résultats de simulation et d'expérimentation en fort signal (CW).

Dans cette section, les résultats simulés et mesurés de l'amplificateur, soumis à un signal CW, sont présentés et comparés.

La Figure III-27 montre les courbes caractéristiques de l'amplificateur pour une fréquence de 2.1GHz. Les résultats simulés et mesurés du rendement en puissance ajoutée sont manifestement similaires. On observe que le rendement en puissance ajoutée reste supérieur à 55 % sur 6dB de recul en puissance de sortie en fonction de la tension de polarisation de drain (V_{DS0}). Le maximum de PAE est égal à 59 % pour une polarisation de drain de 40 V et est obtenu pour une compression de gain d'environ 2 dB et une puissance de sortie de 43.9 dBm. Comme pour les résultats en bas niveau, on observe une différence de gain entre la simulation et l'expérimentation de 1.5dB. Pour la conversion AM/PM, on remarque que les mesures présentent une déviation de phase en fonction de la puissance de sortie moins importante que pour les résultats de simulations, avec une déviation de 10° pour une polarisation de drain de 40V.

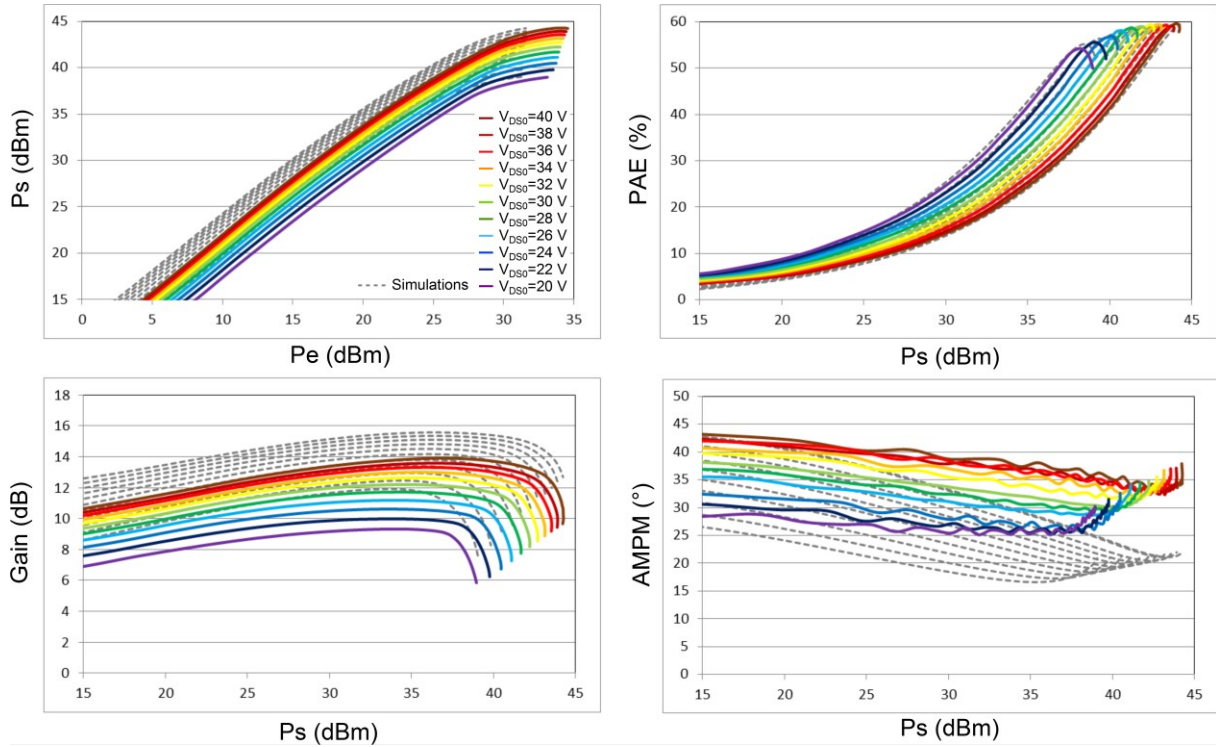


Figure III-27 : Caractéristiques statiques simulées (pointillés) et mesurées (trait plein) de l'amplificateur pour plusieurs polarisations de drain à 2.1GHz et $I_{DSq}=10mA$.

Afin de qualifier la bande de fonctionnement de l'amplificateur, la Figure III-28 présente les maxima de PAE et de puissance de sortie sur une bande de fréquence allant de 1,4GHz à 2,8GHz, et paramétrés en fonction de la polarisation de drain ($20V < V_{DS0} < 40V$)

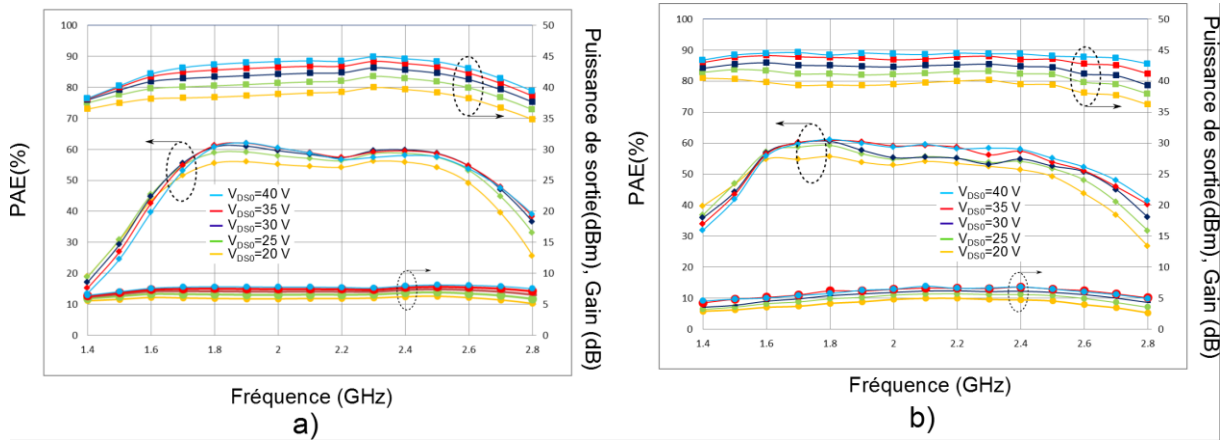


Figure III-28 : a) Gain en puissance, PAE et puissance de sortie simulés en fonction de la fréquence pour plusieurs tensions de polarisation de drain. ($I_{DSq}=10mA$) b) Gain en puissance, PAE et puissance de sortie mesurés en fonction de la fréquence pour plusieurs tensions de polarisation de drain ($I_{DSq}=10mA$).

Une étude de dispersion sur les éléments passifs de l'amplificateur ou un ajustement de la permittivité diélectrique du substrat (ϵ_{eff}) justifierait sûrement le décalage fréquentiel

observé. De plus, le rendement en puissance ajoutée mesuré est légèrement plus faible que celui simulé. Cependant, l'efficacité reste supérieure à 50 % sur une bande passante de 1GHz (1,5-2,5GHz) quelle que soit la polarisation de drain. Les performances en bande passante sont prometteuses et vont pouvoir offrir une certaine flexibilité dans l'utilisation de l'amplificateur.

Avec l'objectif d'utiliser cet amplificateur avec une polarisation dynamique, il est nécessaire de caractériser la loi de commande de polarisation de drain pour pouvoir maximiser son efficacité lorsqu'il travaille avec un fort recul en puissance. La Figure III-29 montre la loi de commande à 2,1 GHz, ainsi que les caractéristiques associées à cette trajectoire de polarisation.

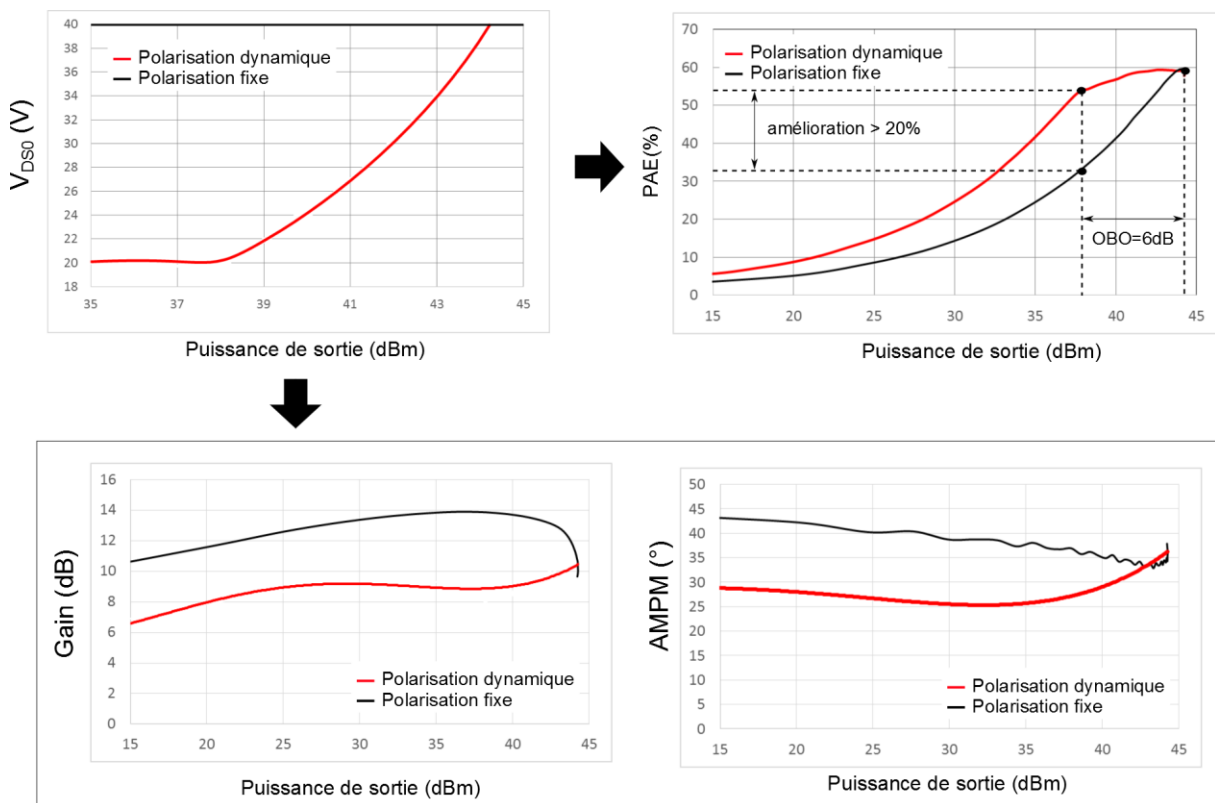


Figure III-29 : Comparaison des caractéristiques mesurées en statique (PAE, AM/AM et AM/PM) de l'amplificateur en polarisation de drain fixe (noir) et en polarisation de drain dynamique (rouge).

En appliquant cette loi de polarisation, la PAE est améliorée de 20% à 6dB de recul en puissance de sortie. Cependant, le gain en puissance diminue de 2 dB et le profil statique d'AM/PM devient moins constant.

Une des caractéristiques importantes de l'amplificateur RF lorsqu'il fonctionne en régime de polarisation dynamique de drain, est le profil de la résistance (R_{DS0}) qu'il présente à son accès de polarisation en fonction de la puissance de sortie. Cette information est primordiale pour connaître la valeur de la résistance minimale vue par le modulateur, ce qui va permettre de dimensionner correctement le modulateur de polarisation de drain et estimer les variations de charge qu'il pourra subir lorsque l'amplificateur sera soumis à un signal

modulé à enveloppe variable. La Figure III-30-a) présente le profil statique de la résistance de drain mesurée de l'amplificateur RF en fonction de la puissance de sortie pour différentes tensions de polarisation de drain. On remarque que la résistance de drain (R_{DS0}) atteint 40Ω pour les puissances de sortie maximales et tend vers un circuit-ouvert pour les faibles valeurs de puissance de sortie. La Figure III-30-b) montre le profil statique de la résistance de drain lorsque la loi de commande maximisant le rendement est appliquée. Dans ce cas (R_{DS0}) reste égale et constante à 40Ω sur un recul en puissance de sortie de 6dB.

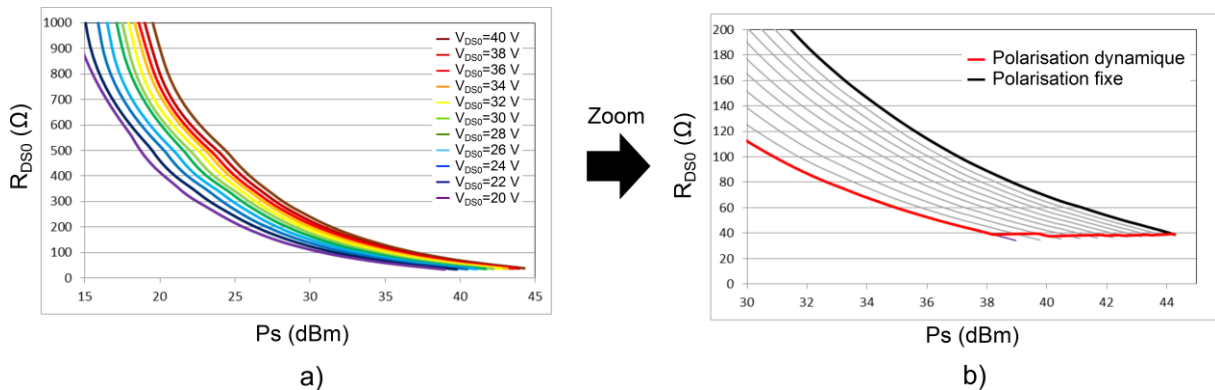


Figure III-30 : a) Mesures des profils statiques de la résistance présentée par l'amplificateur RF à son accès de drain pour différentes tensions de polarisation de drain en fonction de la puissance de sortie. b) Comparaison des profils statiques de la résistance mesurés en statique (R_{DS0}) de l'amplificateur en polarisation de drain fixe (noir) et en polarisation de drain dynamique (rouge).

III.12) Conclusion

Ce chapitre a présenté la démarche de conception d'un amplificateur GaN d'une puissance de 25W optimisé en rendement sur une bande de fréquence relativement large (1,6-2,6 GHz).

Le premier objectif de la conception de ce module d'amplification visait à optimiser les performances du rendement en puissance ajoutée sur une large gamme de tension de polarisation (de 20V à 40V), le tout sur la plus large bande possible. Cette optimisation s'est principalement articulée autour de l'analyse des zones d'impédances propices au fonctionnement à haut rendement dans différentes configurations en termes de tension de polarisation et de fréquence centrale. De ce fait, la conception du circuit d'adaptation de sortie a fait l'objet d'une conception particulière permettant de suivre la trajectoire des différents lieux d'impédances identifiés.

Le second objectif était de réaliser un circuit de polarisation adapté à un fonctionnement en polarisation dynamique, tout en maintenant la stabilité du système. De ce fait, une attention particulière a été portée sur l'analyse de la stabilité non-linéaire de l'amplificateur pour obtenir une connexion stable et efficace de cet amplificateur avec un modulateur de polarisation.

Les performances obtenues lors de la caractérisation statique ont montré des niveaux de rendement en puissance ajoutée compris entre 50 et 60% suivant la tension de polarisation, couvrant une bande de fréquence allant de 1,6 à 2,6 GHz.

Nous pouvons noter que l'impédance présentée au second harmonique a été directement court-circuitée dans les réseaux de polarisation. Un contrôle approprié de cette impédance permettrait sans doute une amélioration significative du rendement global.

Les performances mesurées de l'amplificateur, et plus particulièrement l'évolution de la résistance de polarisation de drain (R_{DS0}) vont servir de paramètres de base pour la conception du modulateur de polarisation qui sera abordée dans le chapitre suivant.

Chapitre IV : Conception d'un modulateur de polarisation haute fréquence de type DC/DC Boost en technologie GaN.

IV.1) Introduction

L'évolution des systèmes de transmission microondes de fortes puissances impose aujourd'hui une gestion de la ressource d'énergie des amplificateurs de puissance comme nous avons pu le conclure dans les chapitres 1 et 2.

Dans ce sens, la technique de polarisation dynamique de drain apparait comme étant un levier non-négligeable pour atteindre de bonnes performances en rendement pour de forts reculs de puissance quelle que soient l'application et l'architecture visées. La clef du succès de cette technique réside dans la conception d'un modulateur de polarisation de drain qui est soumis à de nombreuses contraintes, rendant son optimisation relativement complexe.

Ce chapitre traite de la conception d'un modulateur d'alimentation en soulignant les spécificités de la démarche de conception liées aux problématiques de polarisation dynamiques. Le modulateur de polarisation est le point critique en termes de bilan énergétique des architectures composées d'alimentations agiles.

Dans ce cadre, notre choix de topologie s'est tourné vers un convertisseur DC/DC Boost qui favorise la conversion d'énergie continue à haut rendement, et offre une forte flexibilité de rapport de conversion (*élévateur de tension*), idéale pour ce type d'application. De plus, cette topologie présente l'avantage d'utiliser un transistor en source commune permettant de tirer parti des propriétés intrinsèques de la technologie GaN de façon optimale. La conception de ce modulateur de polarisation sera spécialement orientée vers une application de modulation discrète de ses tensions de sortie. Une attention particulière sera donc apportée sur le temps de réponse du convertisseur DC/DC Boost.

Une des particularités du travail présenté dans ce chapitre, concernera le driver de grille commandant le convertisseur DC/DC Boost, qui présente l'originalité d'être réalisée en technologie GaN.

L'ensemble sera testé en régime statique et en régime dynamique pour une fréquence de commutation de 40MHz.

IV.2) Présentation et principe de fonctionnement de la topologie Boost

Le convertisseur DC/DC Boost est une alimentation à découpage non-isolée qui permet d'élever la tension DC d'alimentation ($V_{DCentrée}$) en une tension DC de valeur supérieure ($V_{DCsortie}$) aux bornes de sa charge (R_{charge}). Ce type de convertisseur est souvent utilisé dans des applications du type véhicule électrique ou système d'éclairage afin d'augmenter la tension disponible d'une source continue. Il est composé d'un transistor, d'une diode, d'une inductance et d'une capacité. Le schéma de principe est représenté Figure IV-1.

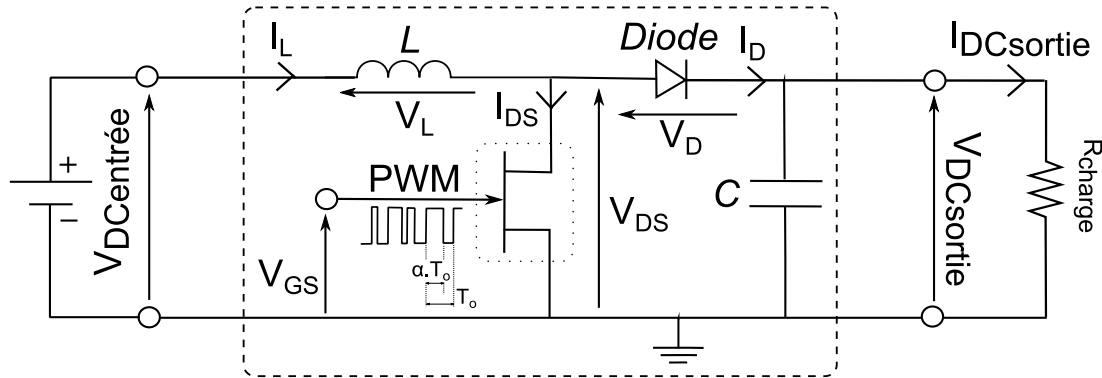


Figure IV-1 : Schéma de principe d'un convertisseur DC/DC Boost.

Afin de pouvoir utiliser l'inductance comme un réservoir d'énergie (*énergie magnétique*), le transistor doit fonctionner comme un interrupteur pour transférer l'énergie accumulée dans l'inductance vers la capacité. Celui-ci est alors piloté à son accès de grille par des signaux impulsionnels ayant un certain rapport cyclique (α), lui permettant de basculer rapidement d'un état passant (ON) à un état bloqué (OFF). Dans ce cas, le fonctionnement du convertisseur DC/DC Boost peut se décomposer en deux phases distinctes selon l'état du transistor, comme représenté dans la Figure IV-2. La commutation du transistor se fait à la fréquence ($1/T_0$). Le temps d'ouverture est noté T_{ON} et α est le rapport cyclique (T_{ON}/T_0) qui est compris entre 0 et 1. La tension de sortie est fonction du rapport cyclique (α) du signal de commande d'entrée.

A l'état ON, le signal pilotant la grille du transistor est supérieur à la tension de pincement (V_p) (Figure IV-2-a), le canal drain-source du transistor s'ouvre ce qui rend son comportement proche d'un court-circuit. La tension drain-source aux bornes du transistor est alors nulle dans le cas idéal où $R_{DS0}=0\Omega$. La diode (D) est bloquée et la charge (R_{charge}) est déconnectée de l'alimentation ($V_{DCentrée}$). Ceci entraîne une augmentation du courant traversant l'inductance (L) qui va emmagasiner l'énergie sous la forme d'énergie magnétique pendant le temps à l'état ON (T_{on}). En sortie, la tension est maintenue grâce à la charge électrique stockée lors du cycle précédent dans la capacité (C), à condition que la constante de temps ($R_{charge}.C$) soit largement supérieure à la durée de l'état ON.

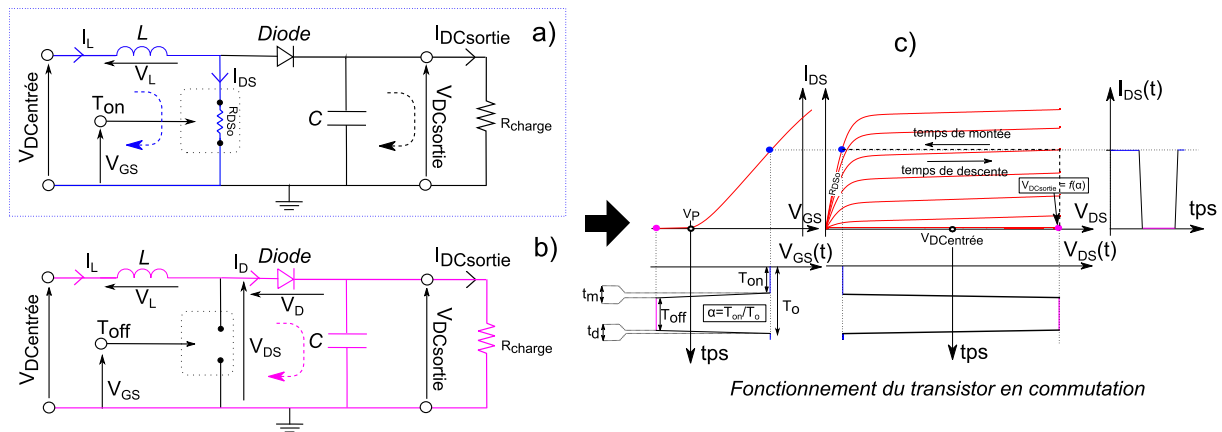


Figure IV-2 a) Fonctionnement du convertisseur Boost lorsque le transistor est passant. b) Fonctionnement du convertisseur Boost lorsque le transistor est pincé. c) Cycle de charge du transistor lorsque qu'il fonctionne en commutation.

A l'état OFF, le signal pilotant la grille du transistor est inférieur à la tension de pincement (V_p) (Figure IV-2-b), le canal drain-source du transistor est fermé ce qui rend son comportement équivalent à un circuit-ouvert. Le courant drain-source aux bornes du transistor est donc nul. Le courant traversant l'inductance, traverse la diode qui est polarisée en direct et la capacité se charge. L'énergie accumulée dans l'inductance lors de l'état ON est transférée vers la capacité pendant l'état OFF, se traduisant par une diminution du courant traversant l'inductance. Si l'on considère la diode comme idéale (*tension de seuil nulle*), la tension de sortie ($V_{DCsortie}$) est alors la somme de la tension DC d'entrée et de la tension aux bornes de l'inductance (V_L), procurant l'effet l'élévateur de tension.

Selon la période du signal de commande, la valeur de l'inductance et le rapport cyclique, on distingue deux modes de fonctionnement pour le convertisseur Boost : le mode CCM (*Continuous Conduction Mode*) et le mode DCM (*Discontinuous Conduction Mode*). Ces deux modes sont habituellement différenciés par la valeur du courant traversant l'inductance à la fin de l'état OFF. Si ce courant n'est jamais nul au cours du cycle, le mode de fonctionnement est dit continu (CCM). Le comportement et plus précisément l'expression du gain en tension de sortie ($V_{DCsortie}/V_{DCentree}$) dépend du mode de fonctionnement. Il est important d'étudier ces deux modes de fonctionnement et de connaître la limite qui les sépare pour pouvoir dimensionner correctement le convertisseur DC/DC Boost en fonction de l'application visée et analyser le comportement en régime dynamique.

IV.2.1) Mode de fonctionnement continu CCM

Le convertisseur DC/DC Boost fonctionne en mode continu (CCM) quand le courant demandé par la charge est suffisamment important ce qui traduit une conversion de puissance optimale. Dans ce cas, le courant (I_L) traversant l'inductance ne s'annule jamais. La Figure IV-3 présente l'évolution temporelle des différents courants et tensions mis en jeu.

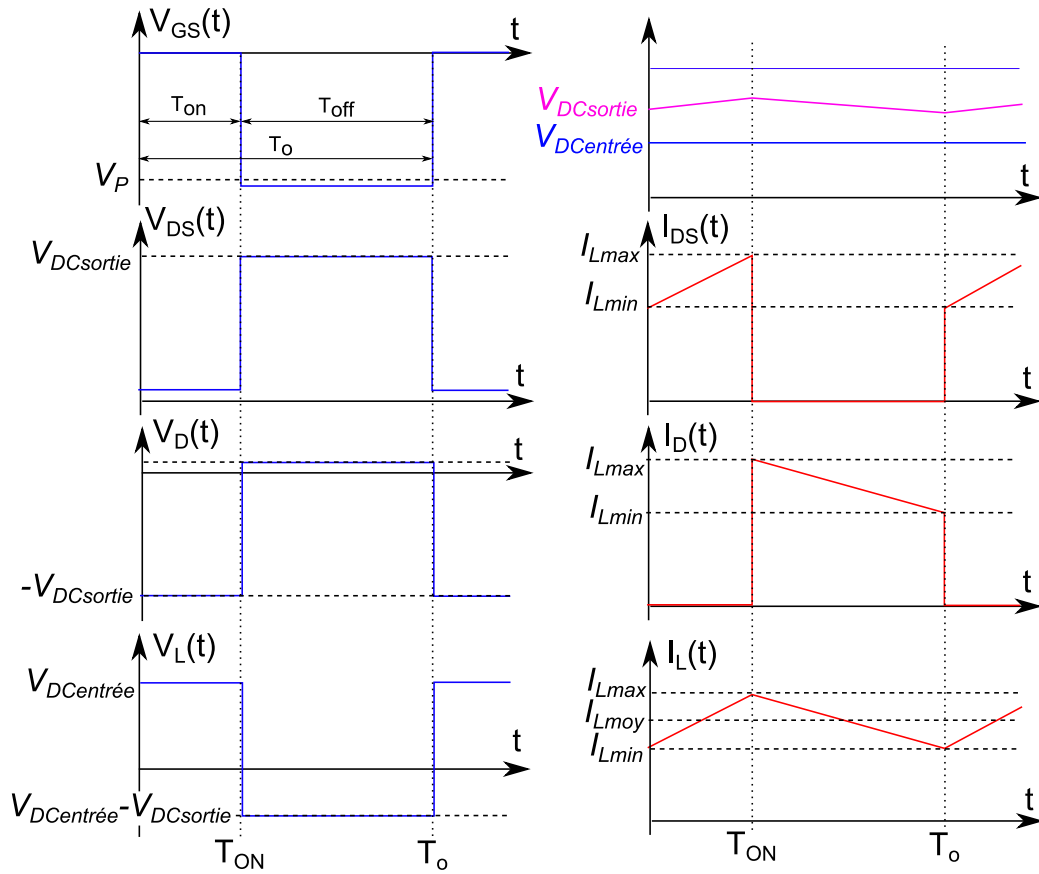


Figure IV-3 : Oscillogrammes des tensions et courants aux bornes des composants constituant le convertisseur DC/DC Boost en mode fonctionnement CCM.

En considérant tous les composants du convertisseur idéaux, nous pouvons déterminer facilement l'expression du gain en tension de sortie à partir de l'évolution du courant traversant l'inductance.

Lorsque le transistor est passant, l'augmentation de courant dans l'inductance à la fin de l'état ON noté (ΔI_{Lon}) peut s'exprimer de la manière suivante :

$$V_{DCentree} = L \cdot \frac{dI_L}{dt} \quad (IV-1)$$

$$\Rightarrow \Delta I_{Lon} = \int_0^{\alpha \cdot T_o} dI_L = \int_0^{\alpha \cdot T_o} \frac{V_{DCentree} \cdot dt}{L} = \frac{V_{DCentree} \cdot \alpha \cdot T_o}{L} \quad (IV-2)$$

Où T_o , T_{ON} et α ont été définis dans le paragraphe IV.2) .

A l'inverse lorsque le transistor est bloqué, la diminution de courant dans l'inductance à la fin de l'état OFF (ΔI_{Loff}) peut s'exprimer de la manière suivante :

$$V_{DCentree} - V_{DCsortie} = L \cdot \frac{dI_L}{dt} \quad (IV-3)$$

$$\Rightarrow \Delta I_{Loff} = \int_0^{(1-\alpha).To} dI_L = \int_0^{(1-\alpha).To} \frac{(V_{DCentree} - V_{DCsortie}).dt}{L} \quad (IV-4)$$

$$\Delta I_{Loff} = \frac{(V_{DCentree} - V_{DCsortie}).(1-\alpha).To}{L} \quad (IV-5)$$

En régime établi, le courant traversant l'inductance est le même au début et à la fin de chaque cycle par conséquent :

$$\Delta I_{Lon} + \Delta I_{Loff} = 0 \quad (IV-6)$$

$$\frac{V_{DCentree}.\alpha.To}{L} = - \frac{(V_{DCentree} - V_{DCsortie}).(1-\alpha).To}{L} \quad (IV-7)$$

$$\frac{V_{DCsortie}}{V_{DCentree}} = \frac{1}{(1-\alpha)} \quad (IV-8)$$

On observe grâce à cette expression IV-8, que dans un cas idéal la tension de sortie dépend uniquement du rapport cyclique appliqué sur la grille du transistor et est supérieure à la tension d'entrée (*Effet élévateur de tension*). On remarque que la fonction définissant le gain en tension en fonction de α est non-linéaire ce qui peut être un point critique pour les applications de polarisation dynamique.

IV.2.2) Mode de fonctionnement discontinu DCM

Le convertisseur DC/DC Boost fonctionne en mode discontinu (*DCM*) quand le courant demandé par la charge est assez faible pour être fourni dans un temps plus court que celui de la période du signal impulsionnel de commande. Il est couramment appelé le mode « Stand-by ». Dans ce cas, le courant traversant l'inductance s'annule pendant le cycle de commutation. L'inductance est donc entièrement déchargée au début de chaque cycle comme présenté dans l'oscillogramme Figure IV-4. La différence entre le mode CCM et DCM est faible, mais elle impacte fortement l'expression du gain en tension de sortie.

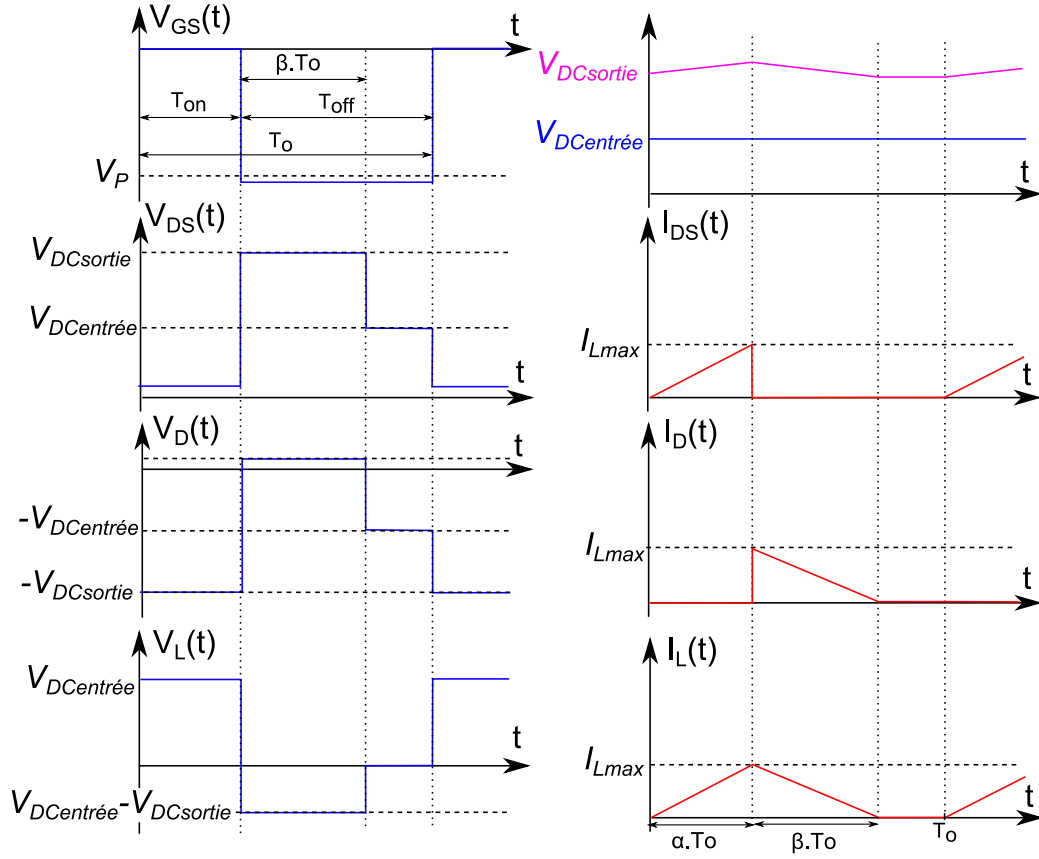


Figure IV-4 : Oscillogrammes des tensions et courants aux bornes des composants constituant le convertisseur DC/DC Boost en mode fonctionnement DCM.

On observe que le courant est nul au début de chaque cycle de commutation. Par conséquent, le courant maximal (I_{Lmax}) à la fin de l'état ON est :

$$I_{Lmax} = \frac{V_{DCentree} \cdot \alpha \cdot T_o}{L} \quad \text{à } t = \alpha \cdot T_o \quad (\text{IV-9})$$

Cependant, lors de l'état OFF le courant dans l'inductance s'annule à $t = \beta \cdot T_o$ dans ce cas :

$$I_{Lmax} + \frac{(V_{DCentree} - V_{DCsortie}) \cdot \beta \cdot T_o}{L} = 0 \quad \text{à } \beta \cdot T_o < t < T_o \quad (\text{IV-10})$$

On en déduit alors l'expression de β :

$$\beta = \frac{V_{DCentree} \cdot \alpha}{V_{DCsortie} - V_{DCentree}} \quad (\text{IV-11})$$

Le courant moyen fourni à la charge ($I_{DCsortie}$) est équivalent à la valeur moyenne du courant traversant la diode (ou traversant l'inductance pendant la période $\beta \cdot T_o$), graphiquement on en déduit son expression :

$$I_{DCsortie} = \frac{I_{Lmax} \cdot \beta}{2} \quad (IV-12)$$

Si on remplace (I_{Lmax}) et (β) par leur expression, on obtient l'expression du gain en tension de sortie :

$$I_{DCsortie} = \frac{V_{DCentrée}^2 \cdot \alpha^2 \cdot T_0}{2 \cdot L \cdot (V_{DCsortie} - V_{DCentrée})} \quad (IV-13)$$

$$\boxed{\frac{V_{DCsortie}}{V_{DCentrée}} = 1 + \frac{V_{DCentrée} \cdot \alpha^2 \cdot T_0}{2 \cdot L \cdot I_{DCsortie}}} \quad (IV-14)$$

En comparant les expressions IV-8 et IV-14, on note que le gain en tension de sortie est bien plus complexe en mode DCM qu'en CCM. En mode DCM, il dépend de la valeur de l'inductance, de la tension d'entrée, du rapport cyclique, de la fréquence de commutation ainsi que du courant de sortie demandé par la charge. De plus, en analysant cette fonction, on remarque que la tension de sortie du convertisseur va tendre rapidement vers l'infini lorsque le courant de sortie demandé par la charge va devenir faible.

IV.2.3) Limite entre le mode CCM et le mode DCM

Comme nous l'avons expliqué dans les paragraphes précédents, le mode de fonctionnement du convertisseur DC/DC Boost dépend de la valeur du courant de sortie et donc de la charge qui lui est présentée. Dans une application dynamique, la charge vue par le convertisseur peut varier dans le temps (*typiquement dans le cas d'une application de polarisation dynamique où la charge dépend de l'amplificateur de puissance RF et de l'amplitude de son signal RF d'entrée*). On peut donc définir le courant limitant la frontière entre la conduction continue et la conduction discontinue, comme étant le courant qui s'annule exactement à la fin du cycle de commutation, ce qui correspond à :

$$\alpha \cdot T_0 + \beta \cdot T_0 = T_0 \quad \Rightarrow \quad \alpha + \beta = 1 \quad (IV-15)$$

Dans ce cas, le courant de sortie limitant le mode CCM et DCM ($I_{DCsortie_lim}$) s'exprime par :

$$I_{DCsortie_lim} = \frac{I_{Lmax} \cdot (1 - \alpha)}{2} \quad (IV-16)$$

En combinant les équations IV-9 et IV-16, on obtient:

$$I_{DCsortie_lim} = \frac{V_{DCentrée} \cdot T_0}{2 \cdot L} \cdot \alpha \cdot (1 - \alpha) \quad (IV-17)$$

Une synthèse graphique des équations IV-8, IV-14 et IV-17 est représentée Figure IV-5. Les valeurs de $V_{DCentrée}$, L et T_0 ont été fixées à des valeurs concrètes représentant notre application visée.

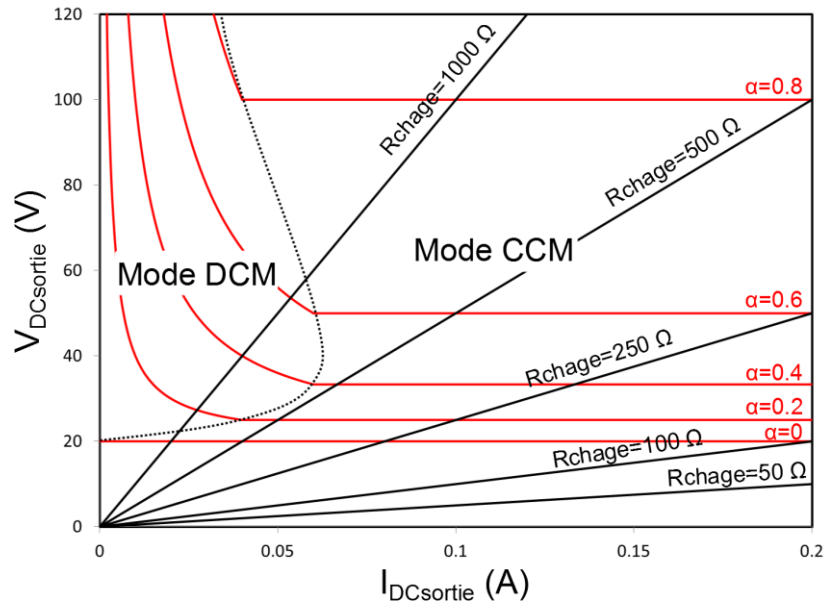


Figure IV-5 : Abaque représentant la limite (trait en pointillé) entre le mode CCM et DCM pour différents rapports cycliques (α), avec $V_{DCentrée}=20V$, $T_0=25ns$ ($f_0=40MHz$) et $L=1\mu H$. Plusieurs droites de charge sont tracées pour évaluer les risques de passage en mode discontinu pendant un fonctionnement dynamique.

On observe que lors du mode discontinu, c'est-à-dire pour les faibles courants, la tension de sortie augmente rapidement et tend vers l'infini. Ce mode peut être dangereux pour le transistor, dans la mesure où la tension drain-source à ses bornes peut être largement supérieure à sa tension d'avalanche. Dans l'exemple représenté dans la Figure IV-5, la droite de charge correspondant à une charge de 1000Ω (typiquement pour une amplitude d'enveloppe du signal RF très faible dans une application de polarisation dynamique) traverse le mode DCM pour des valeurs de rapports cycliques comprises entre 0.1 et 0.6. Il sera donc primordial de veiller à ne pas être dans cette configuration lors d'un fonctionnement dynamique.

IV.2.4) Analyse d'un convertisseur DC/DC Boost non-idéal

L'étude précédente a été faite avec l'hypothèse de composants sans perte. En réalité, les imperfections des composants réels ont des effets importants sur le comportement du convertisseur.

Dans un premier temps, nous allons nous intéresser à l'impact des pertes statiques apportées par chacun des composants sur le fonctionnement de la topologie Boost. Puis nous détaillerons un des points clef de la conversion DC/DC haute fréquence qui concerne les pertes dynamiques.

➤ Les pertes statiques :

Chacun des éléments constituant le convertisseur introduit des pertes résistives série dans le circuit avec plus ou moins d'impact. De ce fait, il est impossible d'atteindre le

rendement maximal théorique de 100%. En considérant que le convertisseur DC/DC Boost fonctionne en mode CCM et sous une condition de faible ondulation ($I_L(t) \approx I_L$ sa composante DC), on identifie les pertes situées dans:

- la résistance série (R_L) de l'inductance (L)

$$P_L = R_L \cdot I_L^2 \quad (\text{IV-18})$$

- la résistance à l'état passant (R_{DSon}) du transistor

$$P_{Tr} = R_{DSon} \cdot I_L^2 \cdot \alpha \quad (\text{IV-19})$$

- la tension de coude en direct (V_f : « *Forward Voltage* ») et la résistance série (R_d) de la diode

$$P_D = (R_D \cdot I_L^2 + V_f \cdot I_L) \cdot (1 - \alpha) \quad (\text{IV-20})$$

Finalement l'ensemble des pertes statiques est égale à :

$$Pertes_{statique} = P_L + P_{Tr} + P_D \quad (\text{IV-21})$$

➤ Impact des pertes statiques :

Toujours avec l'hypothèse que le convertisseur DC/DC Boost fonctionne en mode CCM et sous une condition de faible ondulation ($I_L(t) \approx I_L$ sa composante DC), on estime l'impact des pertes statiques à l'état ON de la manière suivante:

$$V_{Lon}(t) \approx V_{DCentrée} - I_L \cdot (R_L + R_{DSon}) \quad (\text{IV-22})$$

Le courant dans la capacité de sortie du convertisseur Boost peut s'exprimer :

$$I_{Con}(t) \approx -\frac{V_{DCsortie}}{R_{Charge}} \quad (\text{IV-23})$$

Lors de l'état OFF, la tension aux bornes de l'inductance et le courant de sortie s'expriment :

$$V_{Loff}(t) \approx V_{DCentrée} - I_L \cdot (R_L + R_D) - V_f - V_{DCsortie} \quad (\text{IV-24})$$

Et le courant dans la capacité de sortie devient :

$$I_{Coff}(t) \approx I_L - \frac{V_{DCsortie}}{R_{Charge}} \quad (\text{IV-25})$$

Comme énoncé dans la section IV.2.1) en régime établi, la tension aux bornes de l'inductance est la même au début et à la fin de chaque cycle par conséquent la valeur moyenne doit être nulle. Il en est de même pour le courant de sortie.

$$\alpha \cdot (V_{DCentrée} - I_L \cdot (R_L + R_{DSon})) + (1 - \alpha) \cdot (V_{DCentrée} - I_L \cdot (R_L + R_D) - V_f - V_{DCsortie}) = 0 \quad (IV-26)$$

et

$$\alpha \left(-\frac{V_{DCsortie}}{R_{charge}} \right) + (1 - \alpha) \cdot \left(I_L - \frac{V_{DCsortie}}{R_{charge}} \right) = 0 \quad (IV-27)$$

En combinant les équations IV-26 et IV-27 on obtient l'expression de $V_{DCsortie}$ et de I_L en fonction de $V_{DCentrée}$, α , R_{charge} et ainsi que l'ensemble des pertes résistives.

$$\frac{V_{DCsortie}}{V_{DCentrée}} = \frac{1}{(1-\alpha) + \frac{\alpha \cdot (R_L + R_{DSon})}{R_{charge} \cdot (1-\alpha)} + \frac{(R_L + R_D)}{R_{charge}} + \frac{V_f}{V_{DCentrée}} \cdot (1-\alpha)^2} \quad (IV-28)$$

et

$$I_L = \frac{V_{DCentrée}}{(1-\alpha)^2 \cdot R_{charge} + \alpha \cdot (R_L + R_{DSon}) + (1-\alpha) \cdot (R_L + R_D) + \frac{V_f}{V_{DCentrée}} \cdot (1-\alpha)^3 \cdot R_{charge}} \quad (IV-29)$$

On peut en déduire le rendement :

$$\eta = \frac{V_{DCsortie}^2 / R_{charge}}{V_{in} \cdot I_L} = \frac{1}{1 + \frac{(R_L + \alpha \cdot R_{DSon})}{R_{charge} \cdot (1-\alpha)^2} + \frac{R_D}{R_{charge} \cdot (1-\alpha)} + \frac{V_f}{V_{DCentrée}} \cdot (1-\alpha)} \quad (IV-30)$$

On observe que les pertes résistives ont un impact sur le rendement et la tension de sortie du convertisseur DC/DC Boost, qui va être plus ou moins prononcé suivant le rapport cyclique. De plus, on remarque que le rapport entre la résistance de charge et les résistances parasites séries est aussi un facteur qui prédomine les performances du convertisseur. Ces expressions sont relativement intéressantes pour mettre en évidence les composants qui présentent les pertes résistives séries les plus critiques. Dans la Figure IV-6, le rapport entre chaque résistance parasite et la résistance de charge est étudié.

Comme la résistance série de l'inductance est vue par le courant quel que soit l'état de fonctionnement ON ou OFF du convertisseur, sa valeur est prépondérante pour les pertes globales de conversion (*Figure IV-6.a*). Dans le cas idéal, lorsque R_L est très faible devant R_{charge} , le rapport de conversion est équivalent à 1 pour un rapport cyclique nul et tend vers l'infini lorsque le rapport cyclique tend vers 1. Le rendement est, quant à lui, proche de 100%. Cependant, lorsque la valeur de R_L correspond à 10% de la valeur de R_{charge} , le rapport de conversion n'atteint pas deux quel que soit le rapport cyclique et le rendement diminue

fortement lorsque le rapport cyclique augmente ($\eta < 60\%$ pour $\alpha > 0.6$). De ce fait, une attention particulière doit être apportée au choix de l'inductance et à la valeur de sa résistance série parasite.

Le choix du transistor et de sa valeur de résistance à l'état passant (R_{DSon}) est aussi un critère important. Comme on l'observe sur la Figure IV-6.b), cette valeur n'impacte pas les performances de conversion pour les faibles rapports cycliques car elle n'est traversée par le courant que lors de l'état ON. Cependant, lorsque le rapport cyclique devient supérieur à 50%, son impact n'est plus négligeable. Comme pour la résistance série de l'inductance, le rapport R_{DSon}/R_{charge} est critique. Il est alors intéressant d'utiliser un transistor ayant une résistance à l'état passant la plus faible possible pour pouvoir atteindre des rapports de conversion élevés. Il convient de choisir un transistor avec un très fort développement, mais il existe un compromis à faire entre la valeur de la résistance à l'état passant et celle des capacités parasites du transistor qui sont, comme nous allons le voir dans le paragraphe suivant, problématiques pour les pertes de commutation.

Finalement, l'effet de la résistance série de la diode (R_D) est principalement visible sur les faibles valeurs de rapport cyclique car elle n'est traversée par le courant que lors de l'état OFF (Figure IV-6.c)). Il en est de même pour l'effet de la tension de seuil (V_f). La valeur de la tension de seuil de la diode (*généralement proche de 1V*) devient de plus en plus critique lorsque la tension d'entrée du convertisseur Boost est faible ($V_f/V_{DCentree}$ tend vers 1), ce qui ne sera pas le cas dans notre application. Néanmoins, son choix n'est pas à négliger, comme nous le verrons dans le paragraphe suivant, car son influence sur les pertes de commutation est bien plus importante.

La Figure IV-6.d) représente un cas particulier où des valeurs réalistes ont été prises pour les différentes résistances parasites des composants. On remarque que le rapport de conversion maximal ne peut pas être supérieur à trois. De plus, on peut d'ores et déjà affirmer que le rapport cyclique ne peut pas être supérieur à 60 %, si l'on souhaite obtenir un rendement de conversion DC/DC toujours supérieur à 90% sur une charge de 50Ω. La charge présentée au convertisseur Boost est aussi une caractéristique cruciale. Lorsque R_{charge} devient faible, le rendement diminue. On donc peut affirmer que la topologie Boost est limitée par un compromis rendement/puissance de sortie maximale.

On peut noter qu'une estimation des pertes de chaque composant a été réalisée dans [102] pour différentes configurations à une fréquence de commutation de 10MHz.

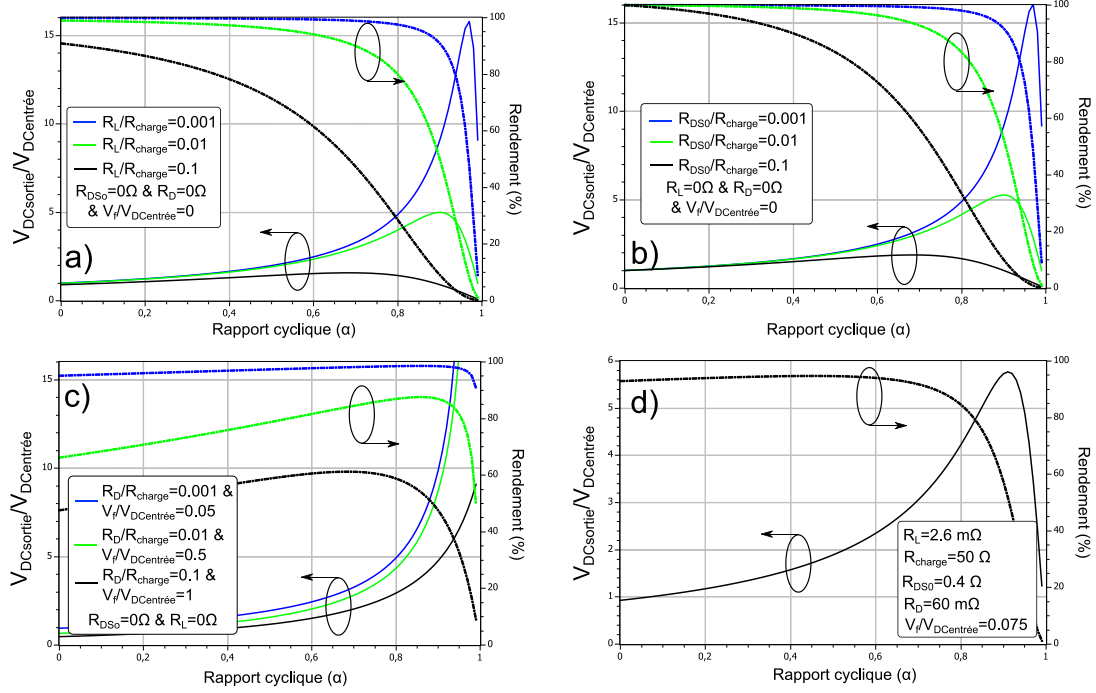


Figure IV-6 : Rapport de conversion et rendement du convertisseur DC/DC Boost en mode CCM. a) Pour différentes valeurs de la résistance parasite de l'inductance (R_L). b) Pour différentes valeurs de la résistance à l'état passant du transistor (R_{DS0}). c) Pour différentes valeurs de la résistance parasite et de la tension de seuil de la diode (V_f et R_D). d) Pour des valeurs d'éléments parasites réalistes.

➤ Les pertes dynamiques du transistor:

Jusqu'à présent le transistor était assimilé à un interrupteur ayant un temps de commutation nul. En réalité, lors de la transition entre l'état OFF et l'état ON, le courant drain-source (I_{DS}) traverse le transistor avant que la tension drain-source (V_{DS}) passe à zéro comme le montre la Figure IV-7-a) [103], [104]. Il se produit le même phénomène lors de la transition entre l'état ON et l'état OFF (Figure IV-7-b)).

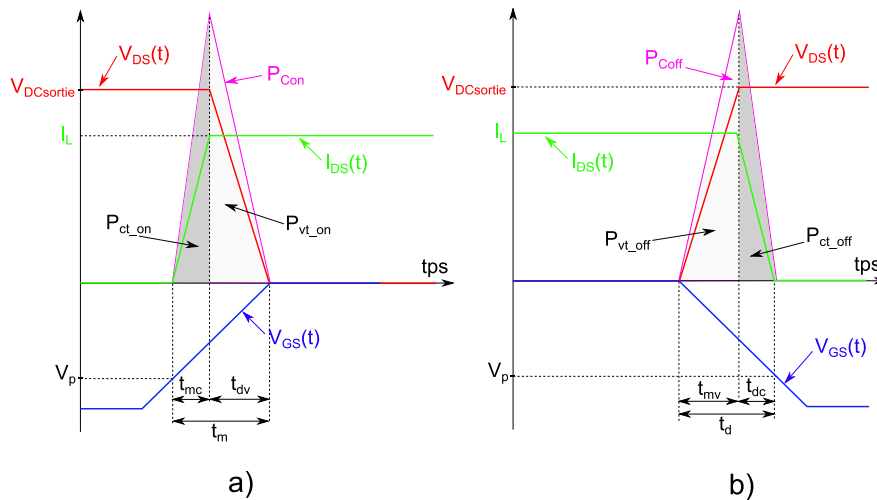


Figure IV-7 : Formes d'ondes idéalisées et utilisées pour définir les pertes de commutation pour : a) une commutation à l'état ON. b) une commutation à l'état OFF.

Il existe donc un chevauchement entre les formes temporelles (I_{DS}) et (V_{DS}) qui engendre des pertes de commutation (P_{cON} et P_{cOFF}). De ce fait et contrairement aux pertes résistives, les pertes de commutation augmentent proportionnellement avec la fréquence de commutation. En considérant que les ondulations de courant dans l'inductance sont très faibles, les pertes de commutation du transistor peuvent être déterminées graphiquement à partir de la Figure IV-7, en faisant la somme des pertes lors d'un changement d'état de ON vers OFF (P_{Coff}) et de OFF vers ON (P_{Con}):

$$P_{commutTr} = P_{Con} + P_{Coff} \quad (IV-31)$$

$$P_{commutTr} = \frac{1}{2} \cdot V_{DCsortie} \cdot I_L \cdot (t_m + t_d) \cdot f_{commut} \quad (IV-32)$$

Où (t_m) et (t_d) sont les temps de montée ou descente nécessaires à l'ouverture et la fermeture du transistor comme représenté sur la Figure IV-7. ($V_{DCsortie}$) est la tension aux bornes du transistor pendant l'état OFF, et (I_L) est le courant qui traverse le transistor pendant l'état ON.

En globalisant les pertes de commutation et les pertes résistives pour le calcul du rendement, on obtient :

$$\eta = \frac{1}{1 + \frac{(R_L + \alpha \cdot R_{DSon})}{R_{Charge} \cdot (1-\alpha)^2} + \frac{R_D}{R_{Charge} \cdot (1-\alpha)} + \frac{V_f}{V_{DCentree}} \cdot (1-\alpha) + \frac{1}{2} \cdot \frac{f_{commut} \cdot (t_m + t_d)}{(1-\alpha)}} \quad (IV-33)$$

En prenant les mêmes valeurs de résistances parasites que dans la Figure IV-6.d) et des temps de montée et de descente égaux à 4ns, la Figure IV-8 présente l'impact des pertes de commutation du transistor sur le rendement lorsque la fréquence de commutation augmente.

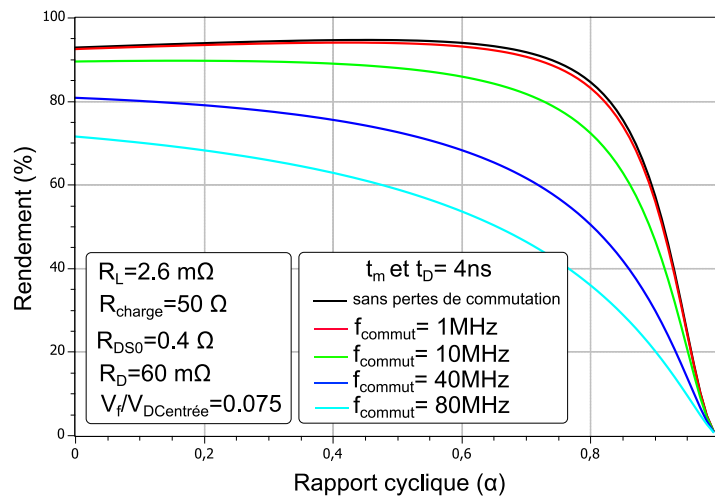


Figure IV-8 : Rendement du convertisseur DC/DC Boost en mode CCM pour différentes fréquences avec des valeurs d'éléments parasites réalistes et des temps de montée et de descente de 4ns .

Dans cet exemple, on remarque que les pertes de commutation deviennent critiques en termes d'efficacité lorsque la fréquence de commutation devient supérieure à 10MHz. En haute fréquence, il est primordial de porter une attention particulière aux temps de commutation (t_m et t_d) du transistor. La Figure IV-9 montre l'influence du temps de commutation sur le profil de rendement pour une fréquence de 40MHz.

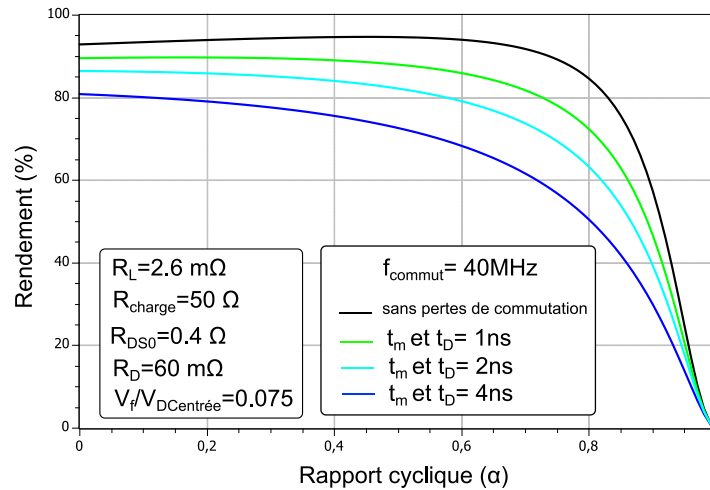


Figure IV-9 : Rendement du convertisseur DC/DC Boost en mode CCM pour différents temps de montée et descente avec des valeurs d'éléments parasites réalistes et une fréquence de commutation de 40MHz.

Les temps de commutation (t_m) et (t_d) sont des paramètres directement imposés par la technologie du transistor, et plus précisément par les éléments parasites le constituant tels que les capacités grille-source (C_{GS}), grille-drain (C_{GD}), drain-source (C_{DS}) et les résistances d'accès (R_G , R_D et R_S) (Figure IV-10).

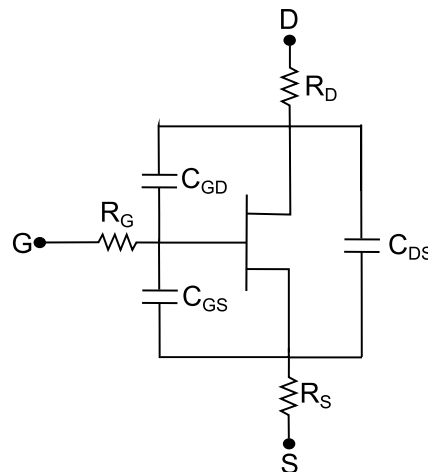


Figure IV-10 : Eléments parasites du transistor.

En effet, l'accès de grille du transistor GaN présente une impédance d'entrée relativement élevée. Par conséquent, le pilotage par l'accès de grille du transistor est réalisé en injectant ou en absorbant une certaine quantité de charges en direction ou en provenance de

la grille. Dans ce cas, la quantité de charge de grille (Q_G) nécessaire pour la commutation du transistor est définie par la somme de la charge de la capacité grille-source (Q_{GS}) et la charge de la capacité grille-drain du transistor (Q_{GD}) :

$$Q_G = Q_{GS} + Q_{GD} \quad (\text{IV-34})$$

La Figure IV-11 présente le profil de la capacité d'entrée ($C_{GS}+C_{GD}$) d'un transistor GaN normalement à l'état passant de 45W en fonction de la tension de commande grille-source. Dans ce cas, la quantité de charge (Q_G) peut être définie de la manière suivante :

$$Q_G = (C_{GSon} + C_{GDOn}) \cdot V_{GSon} - (C_{GSoff} + C_{GDoff}) \cdot V_{GSoff} \quad (\text{IV-35})$$

$$Q_G = (C_{Gon}) \cdot V_{GSon} - (C_{Goff}) \cdot V_{GSoff} \quad (\text{IV-36})$$

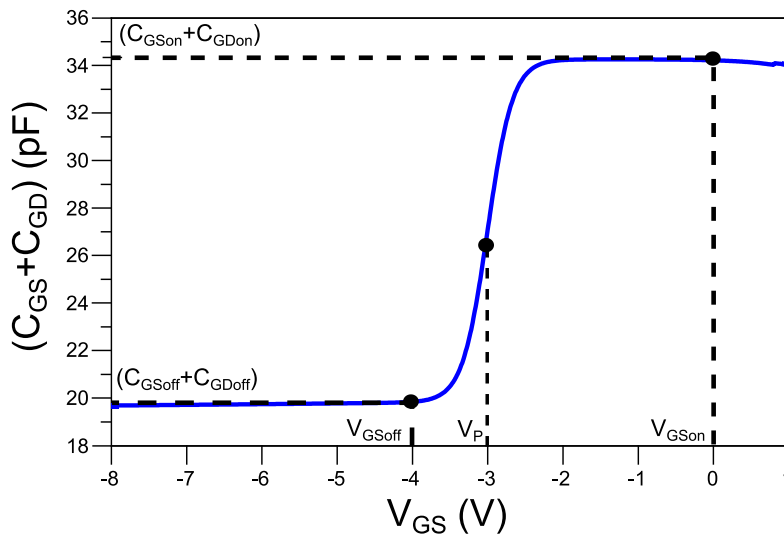


Figure IV-11 : Profil de la capacité d'entrée ($C_{GS}+C_{GD}$) d'un transistor GaN normalement à l'état passant de 45W en fonction de la tension de commande grille-source.

Le temps nécessaire pour le transfert la charge (Q_G) est donné par la relation suivante :

$$t_{m_{ou}_d} = \frac{Q_G}{I_{Gon_{ou}_{off}}} \quad (\text{IV-37})$$

où I_G est le courant utilisé pour charger ou décharger la charge (Q_G).

En utilisant l'approximation de transitions de tension et de courant idéalement linéaires, l'ensemble des pertes de commutation devient :

$$P_{commutTr} = \frac{1}{2} \cdot V_{DS0} \cdot I_{DSmax} \cdot f_{commut} \cdot \left(\frac{Q_G}{I_{G_{ON}}} + \frac{Q_G}{I_{G_{OFF}}} \right) \quad (\text{IV-38})$$

On observe que le courant de grille (I_G) apparait dans l'expression des pertes de commutation et qu'il impacte le temps de commutation. Les pertes de commutation peuvent être diminuées en augmentant le courant de grille (I_{G_on} et I_{G_off}).

Concrètement, pour réaliser un convertisseur DC/DC Boost haute fréquence, il faut limiter les pertes de commutation. Le choix d'une technologie ayant de faibles capacités parasites C_{GS} et C_{GD} est une priorité. De plus, il faudra arriver à fournir et évacuer le courant nécessaire pour charger et décharger ces capacités le plus rapidement possible.

➤ Les pertes dynamiques de la diode:

La diode du convertisseur DC/DC Boost va elle aussi travailler dynamiquement en fonction de la fréquence de commutation. Elle est bloquée à l'état ON, puis elle conduit à l'état OFF. Comme pour le transistor, les pertes dynamiques qui lui sont associées dépendent étroitement du temps nécessaire pour charger ou décharger la capacité parasite la constituant. Lorsque la diode est passante, elle est donc traversée par un fort courant, puis lors de la commutation du transistor à l'état ON, elle est brusquement soumise à une très forte tension inverse ($V_{inverse}$). Le temps que met la diode à se bloquer n'est pas nul, c'est le temps de recouvrement en inverse (t_{rr} : « reverse recovering time»). Durant ce laps de temps, la diode est parcourue par un courant inverse (I_r), ce qui génère des pertes (Figure IV-12).

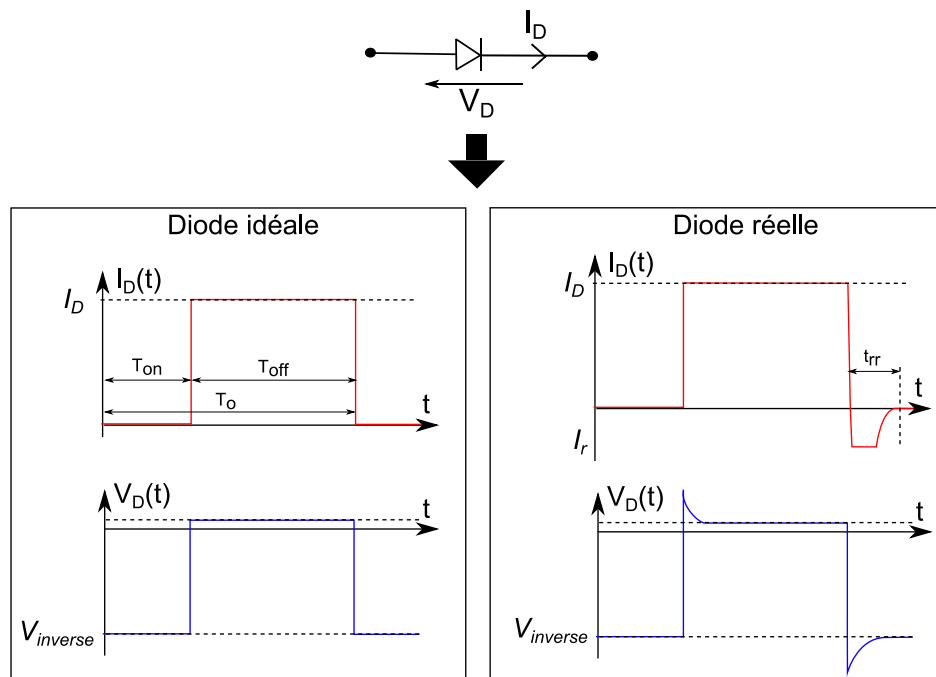


Figure IV-12 : Différence entre une diode idéale et une diode réelle mettant en évidence la notion de temps de recouvrement en inverse.

Pour une application de conversion DC/DC haute fréquence, ce phénomène est l'un des plus critiques en termes de pertes et il s'exprime de la manière suivante :

$$P_{commutD} = \frac{1}{2} \cdot V_{inverse} \cdot I_r \cdot t_{rr} \cdot f_{commut} \quad (IV-39)$$

Le choix de la diode sera essentiellement basé sur ses performances en temps de recouvrement en inverse.

➤ Compromis temps de réponse/rendement du convertisseur DC/DC Boost.

Le temps de réponse du convertisseur définit le temps nécessaire au convertisseur pour établir la tension de sortie désirée. En réalité, le temps de réponse du convertisseur DC/DC Boost est une caractéristique relativement complexe à estimer car il dépend du circuit équivalent RLC composé par l'inductance série (L), la capacité parallèle (C), et la résistance de charge (R_{charge}). La réponse temporelle de ce circuit RLC est liée à la valeur de la tension de sortie et au rapport cyclique du signal de commande du convertisseur. De plus lors d'une application de polarisation dynamique, la charge vue par le convertisseur Boost n'est pas fixe. Dans ce cas, le temps de réponse du convertisseur n'est pas constant et dépend de son rapport de conversion, de son état précédent et de la charge qu'il observe.

Le dimensionnement des composants passifs (L et C) a un impact non-négligeable sur le temps de réponse moyen du convertisseur. Le dimensionnement de ces éléments est principalement dicté par la fréquence de commutation, par le taux de variation de courant dans l'inductance (ΔI_{Lmax}) ainsi que par la qualité de la tension de sortie en termes de taux d'ondulation (« ripple » : $\Delta V_{DCsortie}$) [5] :

$$C_{min} = \frac{I_{DCsortie_max} \cdot \alpha}{f_{commut} \cdot \Delta V_{DCsortie}} \quad (IV-40)$$

et

$$L_{min} = \frac{V_{DCentree} \cdot \alpha}{f_{commut} \cdot \Delta I_{Lmax}} \quad (IV-41)$$

La Figure IV-13 montre la réponse indicielle simulée du convertisseur Boost pour différentes fréquences de commutation. Les composants L et C ont été dimensionnés pour chaque fréquence de commutation avec les caractéristiques suivantes :

- tension d'entrée ($V_{DCentree}=20V$)
- rapport cyclique ($\alpha=50\%$)
- courant de sortie ($IDCsortie=1A$)
- résistance de charge ($R_{charge}=40 \Omega$)
- tension de sortie ($V_{DCsortie}=40V$)
- taux de variation de courant dans l'inductance ($\Delta I_{Lmax}=10\% \cdot I_{Lmax}=0.21 A$)
- ondulation sur la tension de sortie ($\Delta V_{DCsortie}=1\% \cdot V_{DCsortie}=0.4V$)

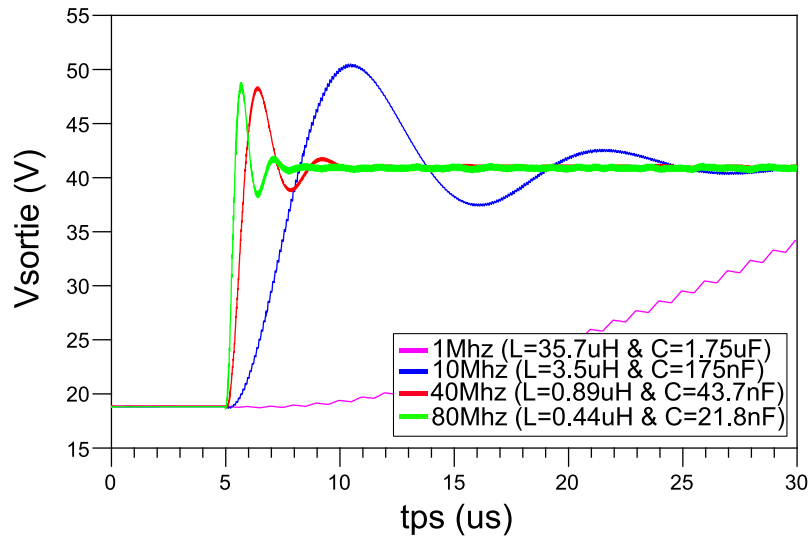


Figure IV-13 : Réponse indicielle simulée du convertisseur Boost pour différentes fréquences de commutation avec des valeurs de L et C appropriées.

On observe que lorsque la fréquence de commutation est augmentée, les valeurs des composants L et C doivent être diminuées, ce qui réduit le temps de réponse. Cependant comme nous l'avons évoqué précédemment, augmenter la fréquence de commutation se traduit par une augmentation des pertes de commutation, et donc une diminution du rendement énergétique du système. Il existe donc un compromis à trouver entre le rendement et le temps de réponse du convertisseur à travers le choix de la fréquence de commutation.

Le Tableau IV-1 récapitule les performances simulées en termes de temps de réponse et de rendement énergétique du convertisseur Boost en fonction de la fréquence.

	1MHz	10MHz	40MHz	80MHz
L	47.6 uH	4.7 uH	1.2 uH	0.6uF
C	1.25 uF	125 nF	31.2 nF	15.6 nF
Temps de réponse	≈300us	≈32us	≈7us	≈3.3us
Rendement	94%	86.4%	80.3%	75.1%

Tableau VI-1 : Performances simulées en termes de temps de réponse et de rendement énergétique du convertisseur Boost en fonction de la fréquence

IV.3) Conception et réalisation d'un convertisseur DC/DC Boost haute fréquence

IV.3.1) Conception du driver de grille en technologie GaN et génération du signal PWM

Comme nous l'avons évoqué précédemment, il existe un compromis entre le temps de réponse et le rendement du convertisseur DC/DC Boost. Diminuer le temps de réponse du convertisseur passe inexorablement par une augmentation de la fréquence de commutation. Cependant, les pertes de commutation sont étroitement liées à la fréquence de commutation. Il faut par conséquent les minimiser. Dans la section IV.2.4) , nous avons mis en évidence que

les pertes de commutation du transistor étaient minimales en injectant et absorbant des courants suffisants pour charger et décharger rapidement les capacités C_{GS} et C_{GD} du transistor. Dans ce cadre, il est impératif de concevoir un driver de grille (« pilote de grille ») qui va permettre d'optimiser les temps de commutation et donc limiter les pertes de commutation dans le transistor. La technologie HEMT GaN normalement à l'état ON présente des capacités C_{GS} et C_{GD} ayant des valeurs largement inférieures à celle de ces concurrents ce qui est propice à un fonctionnement en commutation haute fréquence. Cependant, pour utiliser un transistor GaN normalement à l'état ON en commutation, le driver de grille doit fournir des formes d'ondes carrées négatives. Par conséquent, piloter un transistor HEMT GaN normalement à l'état ON devient un véritable challenge. Plusieurs publications ont déjà proposé des solutions pour piloter les transistors GaN en utilisant des composants complémentaires en silicium (pMOS et nMOS), rendant le système multi-technologie et difficile à intégrer [105], [106]. Texas Instrument a proposé récemment un driver de grille (LM5113 [107]) spécialement conçu pour piloter les transistors GaN, et affichant des temps de montée et de descente de quatre nanosecondes, ce qui reste élevé pour espérer atteindre des fréquences de commutation supérieures à 10MHz.

Dans ce paragraphe, nous allons présenter une topologie de driver de grille originale basée sur deux transistors HEMT GaN normalement à l'état ON.

IV.3.1.1) Topologie et principe

La topologie proposée est présentée dans la Figure IV-14. Ce circuit est dérivé d'une cellule de commutation dont le fonctionnement a été étudié dans la thèse de Patrick Augeau (Xlim) [91]. L'architecture de ce circuit est basée sur une structure proche d'une topologie Push-Pull. Par rapport à la cellule développée par [91], le transistor (T_2) est connecté par sa source à une alimentation négative (V_{DD_L}) et la sortie est située sur le drain de (T_2), ce qui va permettre de charger et décharger alternativement et rapidement le courant dans la capacité d'entrée (C_{in}) du transistor de puissance avec une composante continue négative.

Le transistor (T_1) est le composant qui va délivrer le courant permettant de charger la capacité d'entrée du transistor de puissance (T_P) afin de le rendre passant. Le transistor (T_2) est le composant qui va absorber le courant provenant de la capacité d'entrée enfin de bloquer le transistor de puissance (T_P). (T_2) a aussi pour rôle de contrôler le courant traversant la résistance (R_P), permettant à (T_1) de s'autopolariser. Pour piloter le transistor de puissance (T_P) les tensions (V_{DD_L}) et (V_{DD_H}) sont respectivement réglées à -4V et 1V.

La fréquence de commutation est imposée par la fréquence du signal sinusoïdal d'entrée (V_{in}). En réglant la valeur de la composante continue du signal notée ($V_{Rapport_cyclique}$) qui pilote la grille du transistor (T_2), il est possible de contrôler le rapport cyclique du signal de sortie (V_{GS})

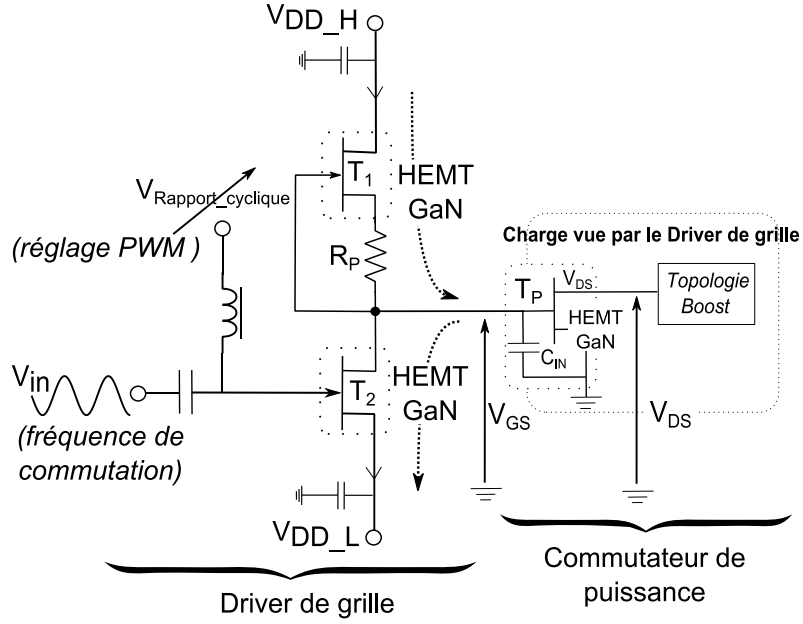


Figure IV-14 : Schéma bloc du driver de grille GaN proposé.

Afin de comprendre le fonctionnement de ce driver de grille, nous allons décomposer son fonctionnement en deux phases distinctes.

➤ Etat ON

Comme représenté dans la Figure IV-15, lorsque la tension $(V_{in}(t) + V_{Rapport\ cyclique})$ est inférieure à la somme de la tension de pincement du transistor (T_2) et de la tension (V_{DD_L}), le transistor (T_2) est bloqué. Le courant (I_{abs}) qui circule dans (T_2) est nul et la tension à ses bornes (V_{DS2}) est égale à ($V_{DS2} = V_{sortie} - V_{DD_L}$). Par conséquent, le courant (I_{inj}) traverse la résistance à l'état ON (R_{DSonT1}) du transistor (T_1), la résistance (R_P) puis est injecté dans la charge (Z_{charge}) représentant ici l'accès de grille du transistor de puissance GaN. Dans ce cas, (I_{inj}) s'exprime par:

$$I_{inj} = \frac{V_{DD_H}}{Z_{Charge} + R_{DSonT1} + R_P} \quad (IV-42)$$

On en déduit :

$$V_{sortie} = R_{Charge} \cdot \frac{V_{DD_H}}{Z_{Charge} + R_{DSonT1} + R_P} \quad (IV-43)$$

et :

$$V_{gs1_ON} = R_P \cdot \frac{V_{DD_H}}{Z_{Charge} + R_{DSonT1} + R_P} \quad (IV-44)$$

On remarque que la tension de sortie (V_{sortie}) et la tension de polarisation (V_{GS1_ON}) de T_1 dépendent de la résistance d'autopolarisation (R_P) mais aussi de la charge (Z_{Charge}). L'étude

de cette fonction montre que quel que soit le couple (R_P, Z_{Charge}) , les valeurs des tensions (V_{sortie}) et (V_{gs1_ON}) sont forcément comprises entre 0 et V_{DD_H} , ce qui correspond bien à la valeur de tension visée en sortie pour piloter un transistor de puissance en commutation.

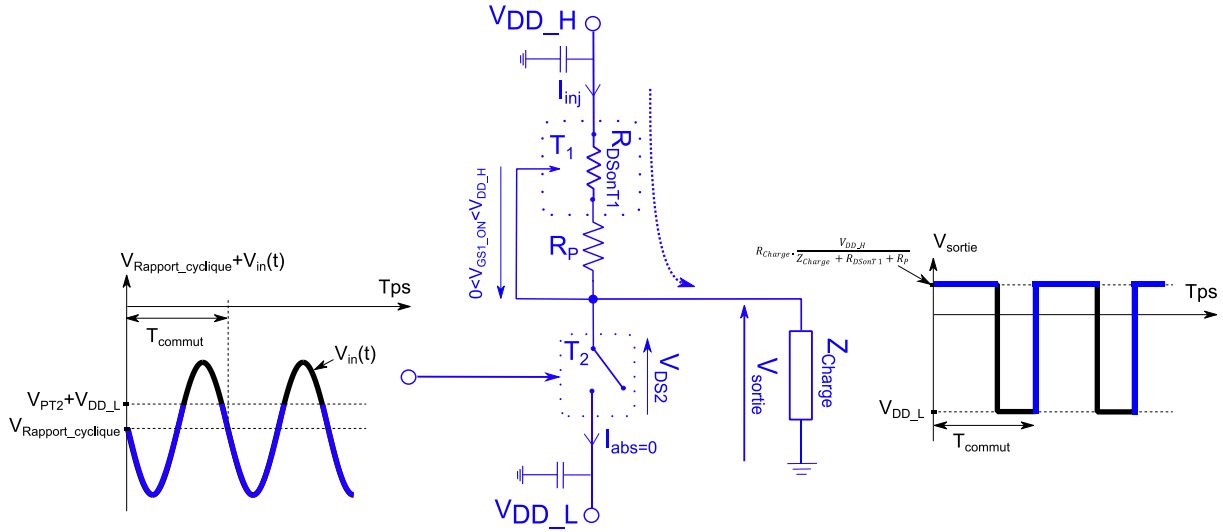


Figure IV-15 : Schéma équivalent du driver de grille à l'état ON.

➤ Etat OFF

Comme représenté dans la Figure IV-16, lorsque la tension ($V_{in}(t) + V_{Rapport\ cyclique}$) est supérieure à la somme de la tension de pincement du transistor (T_2) et de la tension (V_{DD_L}), le transistor (T_2) devient passant et peut être représenté par sa résistance à l'état ON (R_{DSonT2}). Il absorbe donc le courant (I_{abs}) stocké dans la charge. Pendant ce temps, le transistor (T_1) s'autopolarise. Le courant résiduel (I_{inj_OFF}) qui le parcourt et qui traverse également la résistance d'autopolarisation (R_P), crée une contre réaction négative qui permet d'appliquer une tension grille-source négative aux bornes du transistor (T_1) et donc de le pincer partiellement. Concrètement, le point de polarisation (V_{GS1_OFF} , I_{inj_OFF}), correspond au point d'intersection entre la caractéristique statique du transistor $I_{inj_OFF} = f(V_{GS1_OFF})$ et la droite de charge $V_{GS1_OFF} = f(I_{inj_OFF})$ dictée par la loi d'Ohm aux bornes de la résistance (R_P), comme représenté dans la Figure IV-16.

Si l'on considère une caractéristique du transistor linéaire par morceaux. Sur l'intervalle $[V_P; 0]$, la caractéristique du transistor peut s'exprimer de la façon suivante :

$$\begin{cases} I_{inj_OFF} = I_{DSS} \cdot \left(1 + \frac{V_{GS1_OFF}}{V_{PT1}}\right) \\ I_{inj_OFF} = -\frac{V_{GS1_OFF}}{R_P} \end{cases} \quad (IV-45)$$

En résolvant le système d'équation on obtient :

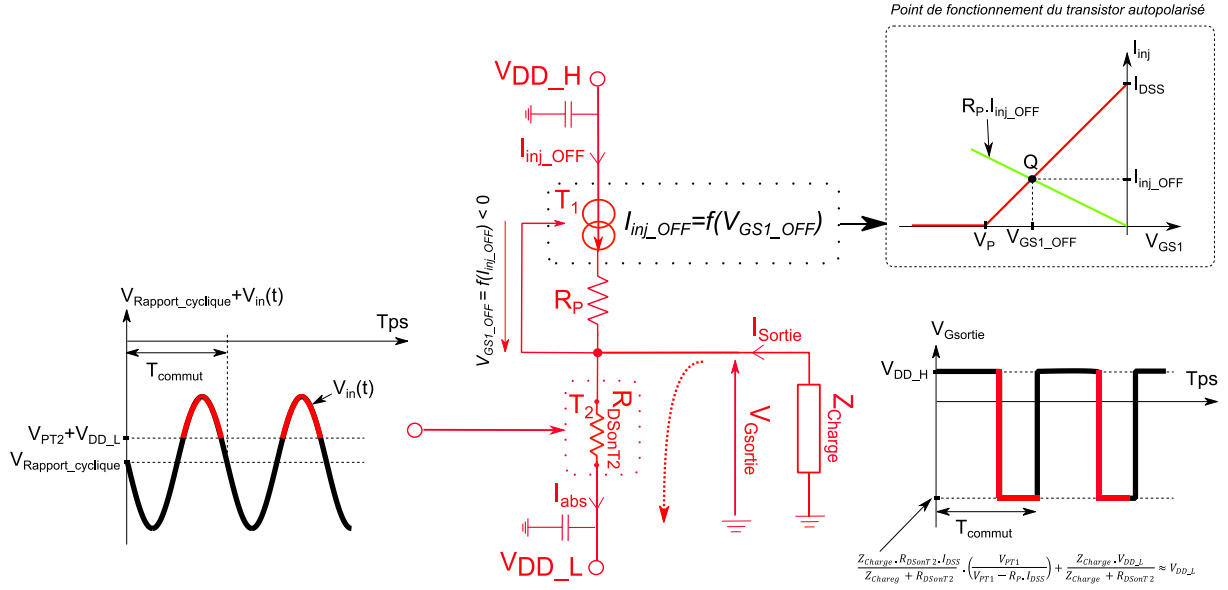


Figure IV-16 : Schéma équivalent du driver de grille à l'état OFF.

$$V_{GS1_OFF} = -R_P \cdot I_{DSS} \cdot \left(\frac{V_{PT1}}{V_{PT1} - R_P \cdot I_{DSS}} \right) \quad (IV-46)$$

et

$$I_{inj_OFF} = I_{DSS} \cdot \left(\frac{V_{PT1}}{V_{PT1} - R_P \cdot I_{DSS}} \right) \quad (IV-47)$$

Physiquement, (T_1) étant autopolarisé, il va débiter un certain courant (I_{inj_OFF}) et créer une tension (V_{GS1_OFF}) afin de maintenir son point de polarisation Q stable.

Il faut noter qu'en réalité la caractéristique $I_{inj_OFF} = f(V_{GS1_OFF})$ du transistor est paramétrée par la tension drain-source (V_{DS1}) à ces bornes, et que cette tension est fonction du couple (R_P, Z_{Charge}) et de (V_{DD_H}) ce qui rend le phénomène d'autopolarisation largement plus complexe.

Connaissant l'expression du courant (I_{inj_OFF}), on peut donc exprimer la tension de sortie :

$$V_{sortie} = R_{DSonT2} \cdot I_{abs} + V_{DD_L} \quad (IV-48)$$

or

$$I_{abs} = I_{inj_OFF} + I_{Sortie} \quad (IV-49)$$

en remplaçant (I_{inj_off}) par son expression et (I_{Sortie}) par (V_{sortie}/Z_{Charge}) on obtient :

$$V_{sortie} = \frac{Z_{Charge} \cdot R_{DSonT2} \cdot I_{DSS}}{Z_{Charge} + R_{DSonT2}} \cdot \left(\frac{V_{PT1}}{V_{PT1} - R_P \cdot I_{DSS}} \right) + \frac{Z_{Charge} \cdot V_{DD_L}}{Z_{Charge} + R_{DSonT2}} \approx V_{DD_L} \quad (IV-50)$$

On remarque que la tension de sortie (V_{sortie}) dépend de la résistance d'autopolarisation (R_P) mais aussi de la charge (Z_{charge}). Par conséquent, le choix de la valeur de (R_P) est primordial afin d'atteindre une tension négative suffisante pour pincer un transistor de puissance et dépend de la charge qu'il présente au driver de grille.

➤ Temps de commutation

Afin d'estimer le temps nécessaire au driver de grille pour charger ou décharger l'accès de grille d'un transistor GaN, nous supposons que l'impédance de charge vue (Z_{charge}) par le driver est modélisée par une résistance (R_{in}), représentant la résistance parasite de l'accès de grille, en série avec une capacité (C_{in}) représentant les capacités grille-source et grille-drain du transistor de puissance.

Théoriquement, il est possible d'estimer facilement la constante de temps d'un circuit RC :

$$\tau = R_{eq} \cdot C_{in} \quad (IV-51)$$

où R_{eq} est la résistance équivalente qui évolue suivant l'état de fonctionnement du driver de grille. On définit le temps de montée ou descente comme étant le temps nécessaire au signal pour passer de 10% à 90% de sa variation totale. Dans ce cas et en considérant que le système est du premier ordre :

$$t_{m_ou_d} = 2,2 \cdot \tau = 2,2 \cdot R_{eq} \cdot C_{in} \quad (IV-52)$$

Lors d'une transition de l'état ON vers OFF (transition descendante), la capacité (C_{in}) est déchargée dans les résistances (R_{in}) et (R_{DSonT2}) :

$$t_d = 2,2 \cdot (R_{in} + R_{DSonT2}) \cdot C_{in} \quad (IV-53)$$

Lors d'une transition de l'état OFF vers ON (transition montante), la capacité (C_{in}) est chargée par le courant provenant de l'alimentation (V_{DD_H}). Ce courant traverse les résistances (R_{DSonT1}), (R_P) et (R_{in}) :

$$t_d = 2,2 \cdot (R_{in} + R_{DSonT1} + R_P) \cdot C_{in} \quad (IV-54)$$

Contrairement à une structure Push-Pull classique, le driver de grille GaN est dissymétrisé par la présence indispensable de la résistance d'autopolarisation (R_P), ce qui rend le temps de montée plus long que le temps de descente.

Nous avons vu précédemment que la résistance (R_P) avait également un impact sur les valeurs de la tension de sortie. De ce fait, la valeur de (R_P) doit être choisie pour trouver un compromis entre la plage de variation de la tension de sortie et le temps de montée du signal de sortie.

La Figure IV-17 présente la forme d'onde de la tension de sortie simulée pour une charge composée de $R_{in}=3\Omega$ et $C_{in}=50pF$ (conforme à un transistor GaN de puissance de la classe 45W qui servira pour la commande de polarisation de drain d'un transistor RF de puissance de 25W) avec une résistance d'autopolarisation $R_P=12\Omega$ et une fréquence de commutation de 40MHz. Le temps de montée et le temps de descente sont respectivement égaux à 2.56ns et 1.1ns. Il faut noter que le temps de montée et de descente minimal pour une telle charge est de 0.33ns.

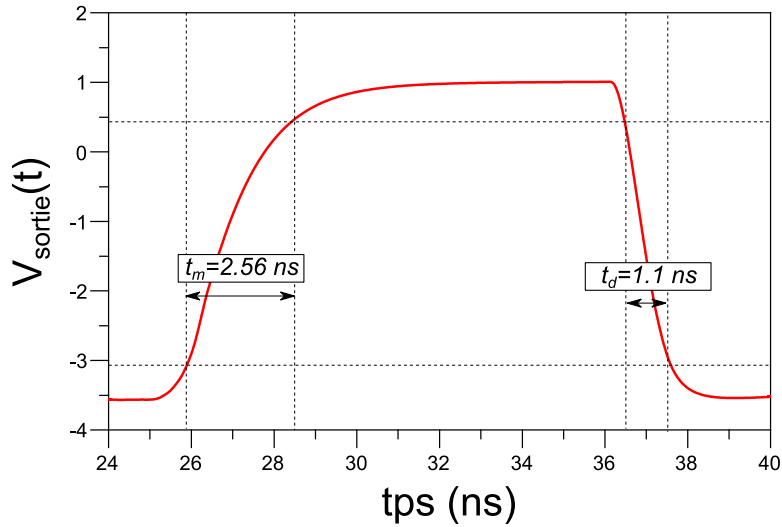


Figure IV-17 : Forme d'onde de la tension de sortie du driver de grille simulé pour une charge composée de $R_{in}=3\Omega$ et $C_{in}=50pF$ à une fréquence de commutation de 40MHz.

IV.3.1.2) Effet de seuil et génération du signal PWM

Comme nous l'avons vu précédemment, la tension d'entrée ($V_{in}(t)+V_{Rapport\ cyclique}$) est comparée à la somme ($V_{PT2}+V_{DD_L}$) de la tension de pincement du transistor (T_2) et de la tension (V_{DD_L}). Cette caractéristique donne au driver de grille un comportement de comparateur à seuil qui peut être avantageusement utilisé pour générer dynamiquement et analogiquement un signal de sortie modulé en largeur d'impulsion (*PWM*). La Figure IV-18_a) montre une simulation de la caractéristique de transfert $V_{sortie}=f(V_{in}+V_{Rapport\ cyclique})$. On remarque dans notre exemple de simulation, qu'une variation d'environ 2.5V autour de la tension ($V_{in}(t)+V_{Rapport\ cyclique}$ qui est égale à -6.8V) est suffisante pour faire changer d'état le driver de grille.

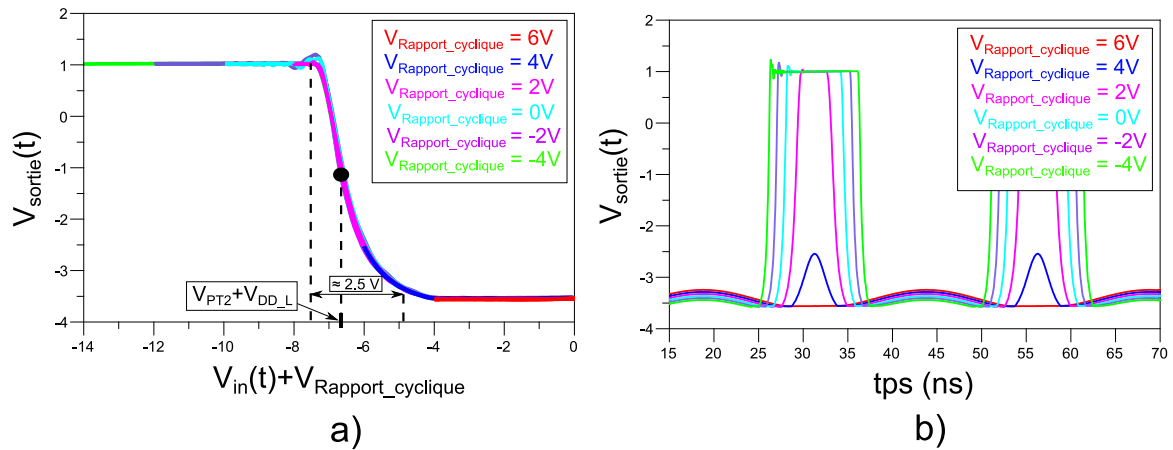


Figure IV-18 : a) Caractéristique de transfert simulée du driver de grille pour différentes valeurs de $V_{\text{Rapport_cyclique}}$. b) Evolution du rapport cyclique de la tension de sortie du driver de grille pour différentes valeurs de $V_{\text{Rapport_cyclique}}$.

De ce fait, le signal d'horloge est un signal sinusoïdal ce qui permet d'éviter les contraintes de génération de signaux de rampe en haute fréquence. En modifiant la composante continue ($V_{\text{Rapport cyclique}}$) du signal d'entrée, il est possible de translater celui-ci autour de la zone de comparaison, et par conséquent de régler le rapport cyclique du signal de sortie, comme représenté dans la Figure IV-18-b). Lorsque la tension ($V_{\text{Rapport cyclique}}$) est trop importante ou trop faible, le signal d'entrée sinusoïdal s'éloigne de la zone de comparaison et reste figé dans un état ou un autre ($\alpha=0\%$ ou $\alpha=100\%$). Les valeurs de rapport cyclique atteignables sont comprises entre 80% et 10%. La Figure IV-19 représente la loi de commande entre la tension ($V_{\text{Rapport cyclique}}$) et la valeur de rapport cyclique obtenu en sortie. On constate que cette loi de commande est pratiquement linéaire. Il est donc possible d'appliquer directement l'enveloppe d'un signal modulé sur l'accès ($V_{\text{Rapport cyclique}}$) du driver de grille et pouvoir générer analogiquement le signal PWM.

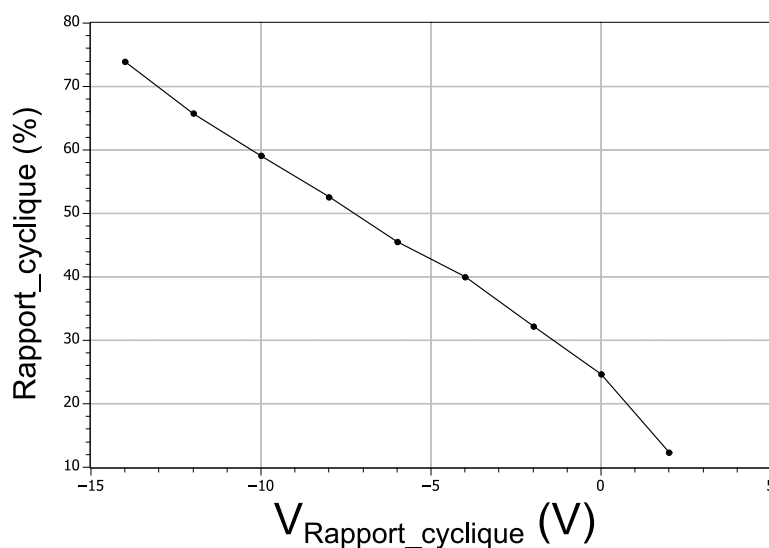


Figure IV-19 : Loi de commande du driver de grille reliant le rapport cyclique de la tension de sortie et la tension de commande $V_{\text{Rapport_cyclique}}$.

IV.3.2) Implémentation du modulateur d'alimentation haute fréquence en technologie GaN

IV.3.2.1) Sélection et dimensionnement des composants du driver de grille

Pour la conception du driver de grille, nous nous sommes basés sur l'utilisation de deux transistors HEMT GaN (CGHV1F006S) de la société Cree ayant une puissance de sortie nominale de 6W. Le boîtier du CGHV1F006S est de type DFN (dual-flat-no-lead) en plastique, et mesure 3mm x 4mm. Ce boîtier a l'avantage d'avoir les accès de grille, drain et source sur le même niveau de hauteur, (*contrairement au boîtier céramique*) ce qui facilite la conception mécanique des topologies qui sont en source flottante, comme c'est le cas dans la topologie du driver proposé. De plus, nous disposons d'un modèle fourni par le fabricant qui est de type électrothermique. L'ensemble de ces caractéristiques est résumé dans [108].

Le choix de la valeur de la résistance d'autopolarisation est primordial pour trouver un compromis entre la plage de variation de la tension de sortie et le temps de montée de la forme d'onde du signal de sortie. Pour cela, nous avons opté pour l'intégration d'une résistance réglable (« *Trimmer* ») de la marque Bourns [109]. Cette résistance a une plage de valeurs allant de 1 Ohm à 100 Ohms sur 12 tours de réglage, ce qui permet une précision de réglage relativement importante.

Afin d'utiliser simplement la fonctionnalité de codage PWM du driver de grille, nous avons implémenté un circuit analogique constitué d'un amplificateur opérationnel, permettant d'inverser la commande de réglage du rapport cyclique ($V_{Rapport_cyclique}$ qui doit être négative) et de la sommer au signal sinusoïdal d'horloge (V_{in}). Nous avons utilisé le composant LT1252 de la société Linear Technology [110] dans un montage sommateur-inverseur. Ce composant supporte des tensions d'alimentation comprises entre $\pm 2V$ et $\pm 14V$ et sa bande passante est égale à 100MHz. Les résistances (R_{g1} , R_{g2} , R_p) utilisées pour le montage sommateur-inverseur ont été choisies pour que le gain de l'amplificateur opérationnel soit de 4, ce qui permet d'injecter les signaux d'entrée (V_{in} et $V_{Rapport_cyclique}$) ayant des faibles valeurs d'amplitude. L'ensemble facilite l'utilisation de générateurs arbitraires de signaux (*AWG*) à faibles niveaux de sortie, pour piloter le modulateur d'alimentation sur le banc de test développé dans notre laboratoire.

Finalement pour limiter le nombre d'alimentations nécessaires, le driver de grille est alimenté par des régulateurs de tension positif (*LT1117* [111]) et négatif (*LT3015* [112]) réglables. Des résistances variables sont utilisées pour pouvoir ajuster facilement les niveaux d'alimentation du driver de grille.

L'ensemble est synthétisé et représenté dans la Figure IV-20.

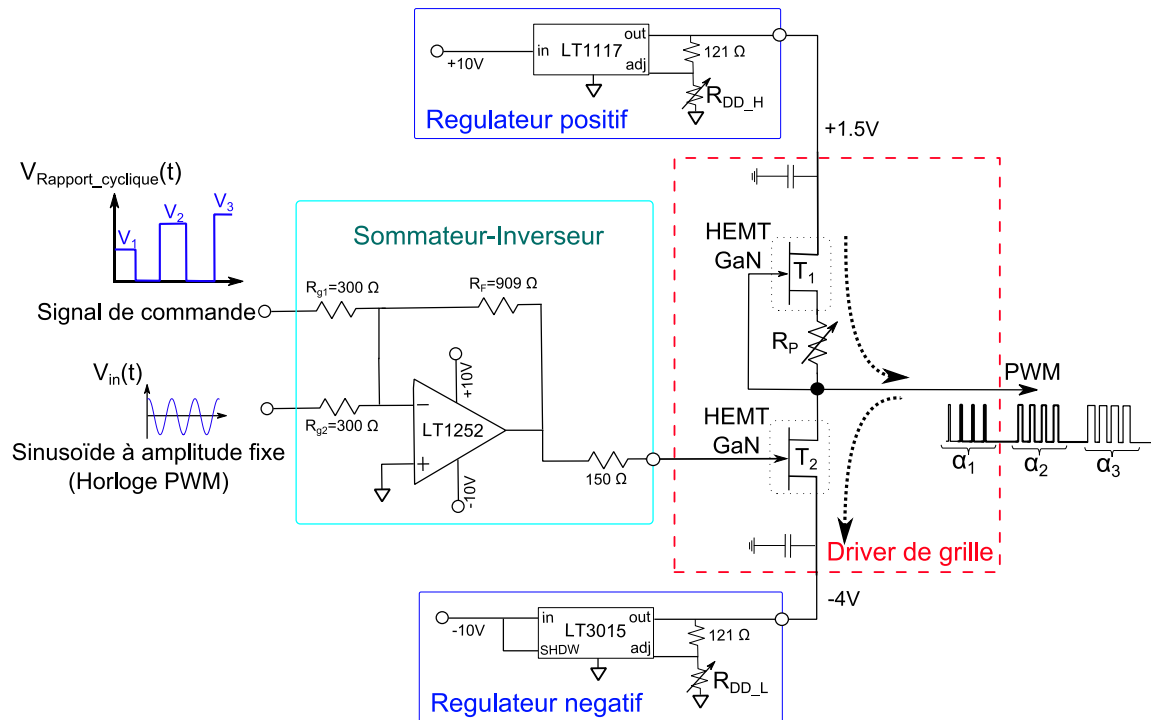


Figure IV-20 : Schéma bloc complet de l'implémentation du driver de grille GaN proposé

IV.3.2.1) Sélection et dimensionnement des composants du convertisseur

DC/DC Boost

L'objectif fixé pour la réalisation du convertisseur DC/DC Boost haute fréquence est d'alimenter dynamiquement l'amplificateur de puissance RF présenté dans le Chapitre 3. Dans ce cas, le cahier des charges du convertisseur Boost est dicté par les performances de l'amplificateur RF. Pour optimiser le rendement énergétique de l'amplificateur en fonction du recul en puissance, sa polarisation de drain doit varier entre 20 et 40V, le convertisseur doit donc réaliser une conversion de tension nominale de 20-40V avec un rendement supérieur à 80%. La puissance de sortie de l'amplificateur de puissance RF étant de 25W à 40V pour un rendement d'environ 60% à sa fréquence centrale d'utilisation (2.1GHz), la puissance maximale délivrée par le convertisseur sera d'environ 40W. Lorsque l'amplificateur fonctionne à la saturation, il présentera au convertisseur une charge minimale de 40Ω. Finalement, pour atteindre un temps de réponse du convertisseur qui sera de l'ordre de temps de l'enveloppe du signal RF (*dizaine de us*), la fréquence de commutation choisie sera de 40 MHz. L'ensemble des caractéristiques du convertisseur est résumé dans le Tableau VI.2

Convertisseur DC-DC Boost	
Fréquence de commutation	40 MHz
Temps de réponse	<10 us
Tension de sortie	20V-40V
Rendement	>80%
Courant de sortie maximal	1 A

Tableau VI.2 : Récapitulatif des spécifications visées par le convertisseur DC/DC Boost.

➤ Choix du transistor

L'élément clef du convertisseur DC/DC est le transistor. Comme nous l'avons souligné précédemment son choix est primordial pour atteindre les performances énergétiques de conversion souhaitées. De part ses propriétés électriques exceptionnelles, le transistor HEMT GaN est le candidat idéal. Cependant, lors d'un fonctionnement à haute fréquence de commutation, son choix doit être judicieusement fait pour trouver un bon compromis entre sa résistance à l'état passant (R_{DSon}), qui va définir son impact sur les pertes statiques et les valeurs de ces capacités parasites (C_{GS} et C_{GD}) qui vont conduire à des pertes dynamiques. Le transistor doit également être de taille suffisante pour supporter la puissance de sortie nécessaire.

Notre choix de transistor s'est porté sur un HEMT GaN sur substrat SiC (CGH4045 [113] de la société Cree. Ce transistor, monté en boîtier céramique, a une puissance de sortie nominale de 45W et est initialement destiné aux applications hyper-fréquences (4GHz). L'ensemble de ses caractéristiques, essentielles aux applications de commutation haute fréquence, sont résumées dans le Tableau IV.3.

<i>Transistor Cree CGH40045</i>	
Tension de claquage	120 V
Courant de saturation	6 A
Tension de pincement	-2.7 V
R_{DSon} pour $V_{GS}=1V$	0.4 Ω
C_{GS} pour $V_{GS}= -8V$	19 pF
C_{GD} pour $V_{GS}= -8V$	0.8 pF

Tableau VI.3 : *Récapitulatif des principales caractéristiques du transistor CGH4045.*

Afin d'estimer la quantité de charges de grille (Q_G) nécessaire à la commutation de ce transistor, la Figure IV-21 présente les profils des capacités grille-source et grille-drain simulés en fonction de la tension de commande grille-source. A partir de la somme de ces profils de capacité on estime la charge totale de grille à 70pC. Le transistor CGH40045 présente donc une figure de mérite de commutation (« *FOM de commutation* ») égale à 28 $\Omega.pC$.

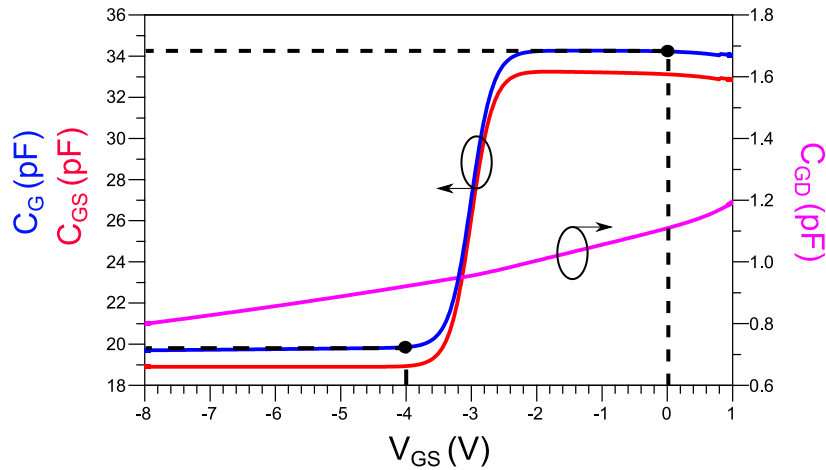


Figure IV-21 : Profils de la capacité grille-source (C_{GS}), de la capacité grille-drain (C_{GD}) et de la capacité d'entrée ($C_{GS}+C_{GD}$) du transistor CGH4045 en fonction de la tension de commande grille-source.

➤ Choix de la diode

Comme pour le transistor, le choix de la diode requiert une attention particulière. Dans une application à haute fréquence de commutation, sa sélection doit permettre de trouver un compromis entre les pertes statiques (*tension de seuil* : V_f) et les pertes dynamique (*temps de recouvrement en inverse* : trr). Par souci de fiabilité, la diode doit avant tout être correctement dimensionnée pour être capable de supporter de forts courants en direct (*dont la valeur est au moins égale à la valeur du courant d'entrée maximale du convertisseur* : 2A) et de fortes tensions en inverse (*dont la valeur est au moins égale à deux fois la tension de sortie maximale du convertisseur* : 80V). Suivant ce cahier des charges, les diodes Schottky SiC apparaissent comme étant de bonnes candidates car elles ont des propriétés en puissance suffisamment importantes pour cette application et présentent l'avantage d'avoir de très faibles temps de recouvrement inverses.

La diode choisie pour la conception du convertisseur DC/DC Boost est une diode Schottky SiC (CSD10060 [114]) de la société Cree. L'ensemble des caractéristiques principales de cette diode est résumé dans le Tableau IV.4.

Diode Cree SiC CSD10060	
Tension inverse maximale V_{invmax}	600 V
Courant moyen maximal en direct I_f	10 A
Capacité totale C pour $V_r=0V$	550 pF
Capacité totale C pour $V_r=200V$	65 pF

Tableau IV.4 : Récapitulatif des principales caractéristiques de la diode CSD10060.

Pour modéliser cette diode, le constructeur fournit un modèle simple (Figure IV-22) permettant d'estimer les pertes statiques en direct de cette diode. On en déduit que la résistance à l'état passant pour une température de jonction de 25°C est égale à 59 mΩ, et que $V_T=0.88V$. On en déduit que la tension de seuil (V_f) pour un courant de 2A et une température de 25°C est égale à 1V.

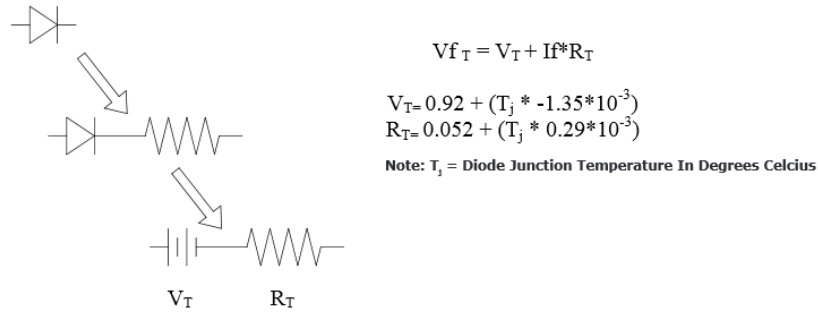


Figure IV-22 : Modèle simplifié permettant d'estimer les pertes statiques de la diode.

Le constructeur ne donne pas directement le temps de recouvrement en inverse, mais la charge capacitive totale (28nC pour $V_{inverse}=600V$ et $I_f=10A$). La Figure IV-23 présente les mesures des formes d'ondes temporelles lors d'une transition de commutation directe vers inverse afin d'évaluer le temps de recouvrement inverse (t_{rr}) de la diode SiC CSD10060.

Un temps de recouvrement inverse (t_{rr}) de 12ns a été mesuré. Ce temps paraît relativement important comparé à une période de signal de 25ns ($f_{commut}=40MHz$). Cependant pour les gammes de tension et courant mises en jeu dans cette application, cette diode offre un bon compromis entre les pertes statiques et dynamiques qu'elle engendre.

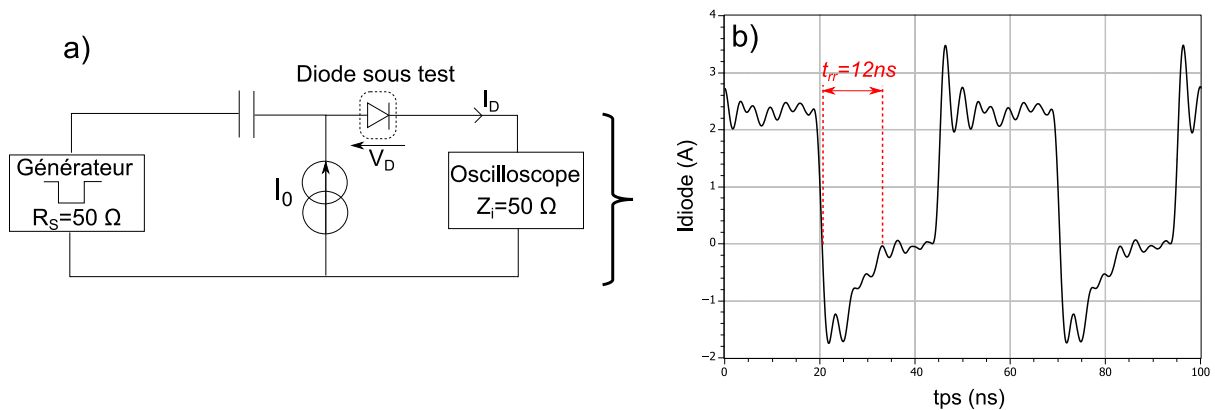


Figure IV-23 : a) Mesure du temps de recouvrement inverse de la diode. b) Résultat de mesure de la forme d'onde temporelle de courant lors d'une transition de commutation directe vers inverse de la diode SiC CSD10060.

➤ Choix de l'inductance

La valeur de l'inductance est définie par l'expression suivante :

$$L_{min} = \frac{V_{DCentree} \cdot \alpha}{f_{commut} \cdot \Delta I_{Lmax}} \quad (IV-55)$$

où $V_{DCentree}$ est la valeur de la tension d'entrée, α le rapport cyclique maximal utilisé, f_{commut} la fréquence de commutation et ΔI_{Lmax} l'ondulation de courant traversant l'inductance.

La tolérance d'ondulation de courant dans l'inductance est un paramètre qui définit le compromis entre le temps de réponse et la limite entre le mode CCM et DCM du convertisseur (Section IV.2.3) . Dans ce cas, lorsque de fortes ondulations du courant (ΔI_{Lmax}) sont tolérées, la valeur de (L) est faible ce qui favorise le temps de réponse et le rendement (*car R_L diminue avec la valeur de L*) du convertisseur, mais rend plus important le risque de passer en mode DCM lors d'un fonctionnement dynamique (*sous contrainte d'une modulation de charge*).

Avec l'objectif d'obtenir une puissance de sortie de 40 W à 40 V, le courant de sortie est de 1A, ce qui correspond à un courant d'entrée de 2.1 A (*en considérant un rapport de conversion de deux et un rendement de conversion de 90 %*). Pour sécuriser et assurer un fonctionnement en mode CCM du convertisseur lors d'un fonctionnement dynamique, l'ondulation de courant dans l'inductance ΔI_{Lmax} choisie sera de 10% donc :

$$\Delta I_{Lmax} = 210 \text{ mA}$$

On obtient donc la valeur de l'inductance théorique assurant une ondulation de courant de 10% :

$$L_{min} = 1.2 \mu\text{H}$$

D'un point de vue technologique, l'inductance choisie doit être capable de supporter le courant maximum DC. Si ce n'est pas le cas, la self atteint la saturation et sa valeur chute ce qui augmente rapidement le courant jusqu'à sa destruction. La fréquence de résonance (« *Serie Resonant Frequency : SRF* ») est une notion importante qui définit la bande de fréquence sur laquelle la valeur de l'inductance reste constante. Elle doit donc être la plus importante possible pour les applications à hautes fréquences de commutation.

L'inductance (*SER1360-102*) de la société Coilcraft, dont les caractéristiques sont résumées dans le Tableau IV.5, a été choisie pour réaliser le convertisseur DC/DC Boost.

<i>Self Coilcraft SER1360-102</i>	
Inductance ($\pm 10\%$)	1 μH
Résistance série	2.6 $\text{m}\Omega$
SRF	75 MHz
Courant de saturation	33.5 A

Tableau IV.5 : Récapitulatif des principales caractéristiques de la self SER1360-102.

➤ Choix de la capacité

La valeur de la capacité est définie par l'expression suivante :

$$C_{min} = \frac{I_{DCsortie_max} \cdot \alpha}{f_{commut} \cdot \Delta V_{DCsortie}} \quad (\text{IV-56})$$

où $I_{DCsortie_max}$ est le courant maximal de sortie, α le rapport cyclique maximal utilisé, f_{commut} la fréquence de commutation et $\Delta V_{DCsortie}$ l'ondulation de la tension de sortie.

Dans un contexte de polarisation dynamique, la valeur de la capacité doit satisfaire un compromis entre le taux d'ondulation de la tension de sortie, qui va représenter le taux de parasites fréquentiels apportés à l'amplificateur RF par son accès de polarisation, et le temps de réponse du convertisseur.

Avec l'objectif d'obtenir un taux d'ondulation de la tension de sortie représentant 1% de la tension maximale de sortie, soit 0.4V à 40V de tension de sortie, la valeur de la capacité théorique est :

$$C_{min} = 31.25 \text{ nF}$$

La principale difficulté réside dans le choix technologique de la capacité C car les éléments parasites tels que la résistance série (« *ESR : Equivalent Serie Resistance* ») et l'effet selfique série (« *ESL : Equivalent Serie Inductor* ») ont un impact non négligeable sur la qualité de la tension de sortie, en termes de parasites fréquentiels. La Figure IV-24 représente le schéma équivalent d'une capacité non-idéale ainsi que l'effet des éléments parasites sur la tension de sortie. L'ESR va tendre à augmenter l'ondulation (« *ripple* ») sur la tension de sortie tandis que l'ESL va générer des pics (« *spikes* ») de tension lors des instants de commutation.

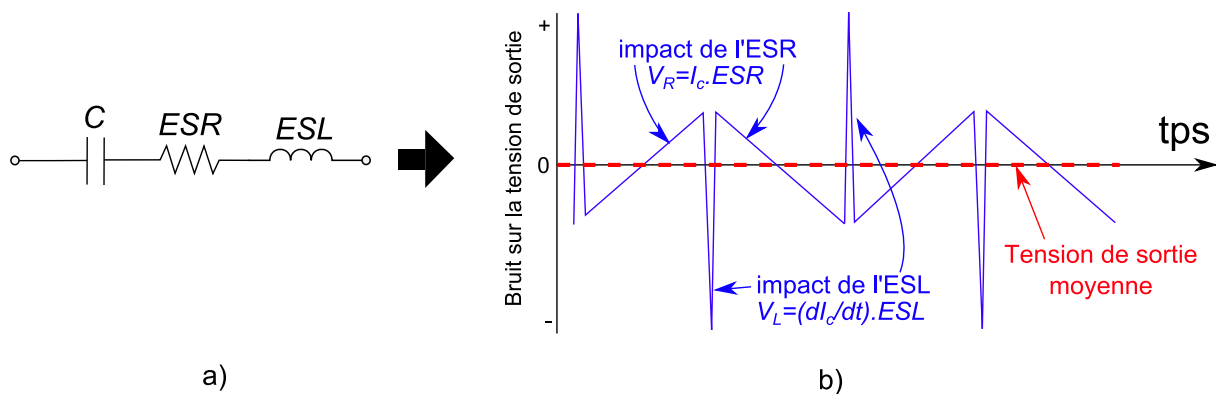


Figure IV-24 : a) Modèle équivalent simplifié d'une capacité. b) Impact des éléments parasites de la capacité de sortie sur la tension de sortie du convertisseur Boost.

La sélection de la capacité de sortie est dans un premier temps limitée à des composants capables de tenir une tension d'au moins 50V. Nous avons donc opté pour une capacité (*X7R*) de la société TDK. Ce type de capacité présente un ESR de 56 mΩ pour une valeur de 33 nF. Comme le montre les résultats de simulation Figure IV-25, les valeurs d'ESR et d'ESL associées à cette capacité produisent une ondulation de sortie ($\Delta V_{DCsortie} > 20\%$) qui n'est pas acceptable. Dans ce cas, l'idée consiste à utiliser plusieurs capacités en parallèle de valeurs inférieures. Ceci permet de réduire l'ESR et l'ESL équivalent global malgré le fait qu'une diminution de la valeur capacitive unitaire se répercute par une augmentation de l'ESR et de l'ESL pour une technologie donnée.

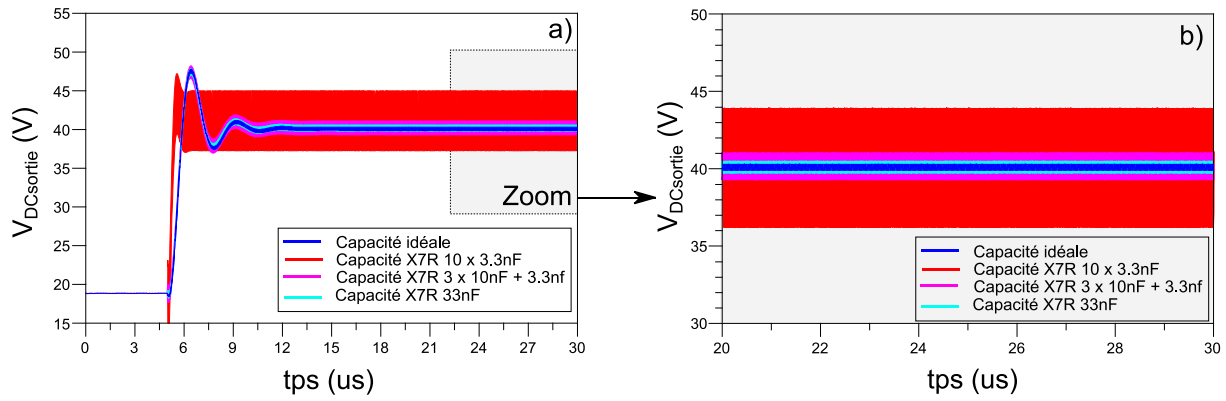


Figure IV-25 : Simulation permettant de comparer l'impact sur les oscillations de la tension de sortie pour différentes associations de capacités de sortie.

Finalement, nous avons choisi d'associer en parallèle dix capacités (X7R) de 3.3nF présentant un ESR équivalent de 42 mΩ. Cette méthode permet d'obtenir une valeur de $\Delta V_{DCsortie}$ inférieure à 2%.

IV.3.2.2) Réalisation du modulateur d'alimentation (*driver de grille et convertisseur DC/DC Boost*)

La Figure IV-26 résume la topologie complète du modulateur de drain réalisé. Le layout du PCB et une photographie du prototype fabriqué avec un substrat Rogers RO4350B sont présentés Figure IV-27.

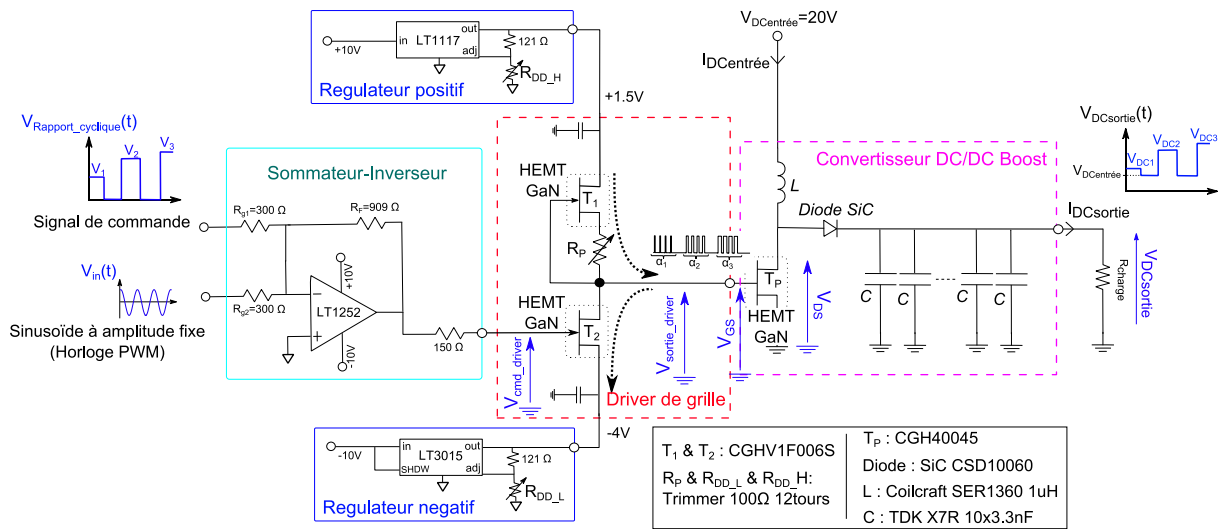


Figure IV-26 : Schéma bloc complet du modulateur de polarisation de drain proposé.

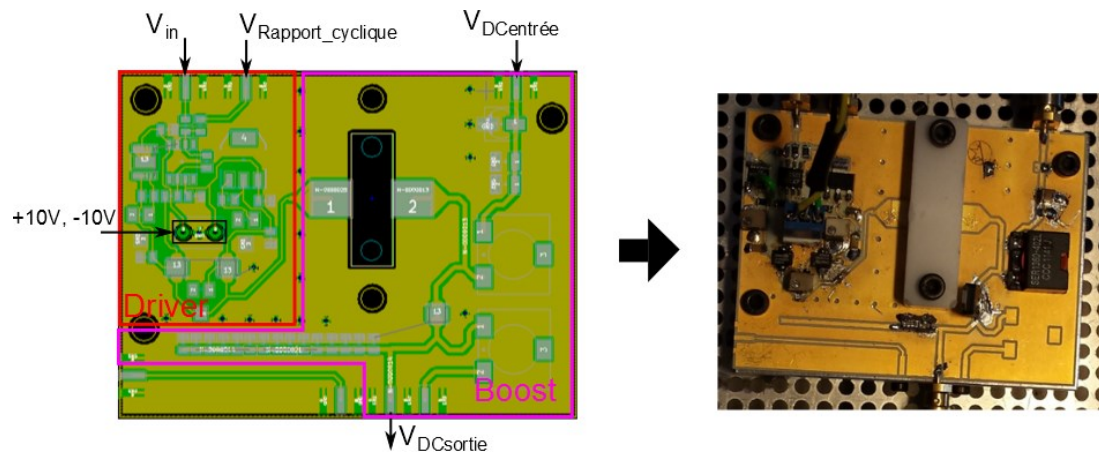


Figure IV-27 : Layout (à gauche) et photographie (à droite) du modulateur de polarisation de drain proposé.

IV.3.3) Mesure du modulateur d'alimentation

L'ensemble du modulateur a été mesuré statiquement et dynamiquement sur une charge fixe de 50Ω . Les deux entrées du driver de grille sont pilotées par un générateur de fonction arbitraire à deux voies (*Tektronix AFG 3252*). Un oscilloscope (*Tektronix MDO4104B-6*), ayant un taux d'échantillonnage de 5GS/s et une bande passante analogique de 1GHz, a été utilisé pour mesurer les caractéristiques de tension et de courant du modulateur.

Pour les fréquences et les tensions qui sont mises en jeu dans ce modulateur, le choix et la mise en place des sondes de tension sur le PCB deviennent les points clés de la précision de mesure. A ces fréquences de commutation, il est important de choisir une technologie de sonde de tension ayant les éléments parasites les plus faibles possibles pour pouvoir mesurer des temps de commutation faibles et ne pas perturber le fonctionnement du circuit. Les sondes de tension actives paraissent relativement intéressantes car elles présentent une capacité et une résistance d'entrée respectivement égale à 1pF et $1M\Omega$, cependant elles sont limitées à des tensions maximales de 15V, ce qui est trop faible pour notre application. Dans ce cas, notre choix s'est dirigé vers une sonde de tension passive (*Tektronix TPP1000*) dont les caractéristiques sont résumées dans le Tableau IV.6.

Sonde de tension Tektronix TPP1000	
Atténuation	x 10
Dynamique de tension	300 V
Bande passante	1 GHz
Capacité d'entrée	< 4 pF
Résistance d'entrée	10 M Ω

Tableau IV.6 : Récapitulatif des principales caractéristiques de la sonde de tension TPP1000.

Comme illustré dans la Figure IV-28, il est également important de placer la sonde le plus près possible du point de mesure désiré, tout en ayant la boucle inductive reliant la sonde à la masse la plus courte possible. Comme expliqué dans [15], la boucle de masse de la sonde doit être minimisée car l'impédance d'entrée de la sonde couplée avec des variations rapides du courant, va provoquer des interférences par induction électromagnétique dans la sonde. De plus, l'impédance d'entrée de la sonde mise en série avec l'inductance de la boucle de masse, forme un circuit résonant LC qui réduit la bande passante de la sonde, et génère des oscillations qui ne sont pas réellement présentes dans le circuit. Il est donc préférable d'utiliser un clip de masse comme représenté sur la Figure IV-28 pour limiter au maximum l'effet inductif de la boucle de masse.

Le courant sera, quant à lui, mesuré en sortie du modulateur grâce à une sonde à effet Hall (*Tektronix TCP0150*) ayant une sensibilité minimale de 5mA.

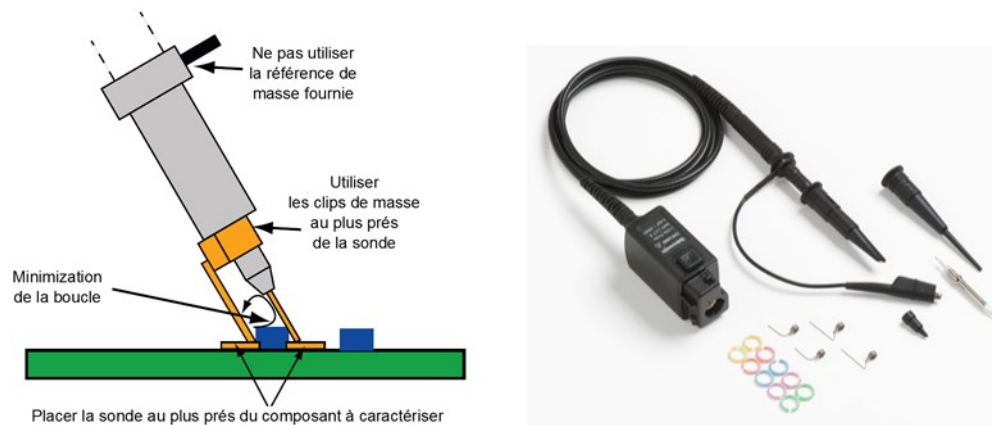


Figure IV-28 : Mesure de tension haute fréquence avec limitation de l'effet inductif de la boucle de masse.

IV.3.3.1) Mesures et caractérisation du driver de grille

Les caractéristiques du driver de grille proposé ont été mesurées en le connectant sur le transistor HEMT GaN de 45W qui compose le convertisseur DC/DC Boost. Pour plus de clarté l'ensemble des points de tension mesurés sont identifiés sur le schéma de la Figure IV-26. Les formes d'ondes mesurées sont présentées Figure IV-29-a) et démontrent une tension de sortie du driver de grille expérimental carrée ayant une composante continue de -1V pour des fréquences de commutation de 20, 40 et 60MHz. Les temps de montée et de descente ont respectivement été mesurés aux alentours de 2 ns et 2.5 ns pour une fréquence de commutation de 40MHz (Figure IV-29-b)). Il faut noter qu'une résistance série de 8Ω a été ajoutée entre la sortie du driver de grille et la grille du transistor du convertisseur Boost pour atténuer les oscillations à l'état bas.

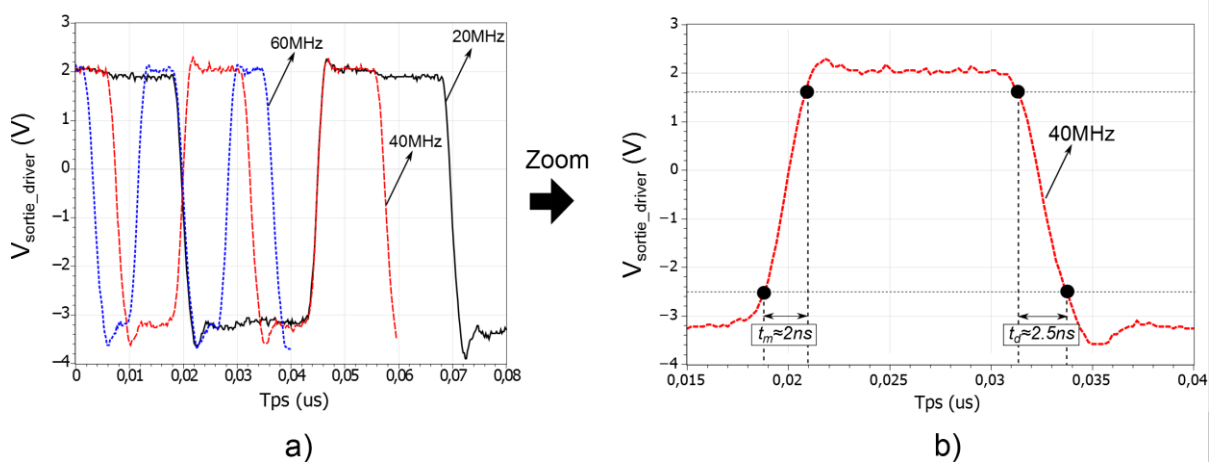


Figure IV-29 : a) Formes d'ondes de tension de sortie du driver de grille mesurées pour des fréquences de commutation de 20, 40 et 60MHz. b) Agrandissement de la forme d'onde de la tension de sortie du driver de grille pour une fréquence de commutation de 40MHz.

L'effet de seuil du driver de grille précédemment décrit (Section IV.3.1.2) a été vérifié expérimentalement. Le driver de grille se comporte bien comme un comparateur à seuil avec deux états stables ($2V$ et $-3V$) comme illustré avec la fonction de transfert mesurée dans la Figure IV-30. On observe qu'une variation inférieure à $2V$ de la tension ($V_{cmd}(t)$) autour de la somme de la tension de pincement (V_{PT2}) du transistor T_2 et de la tension d'alimentation basse (V_{DD_L}) est suffisante pour faire changer d'état le driver de grille.

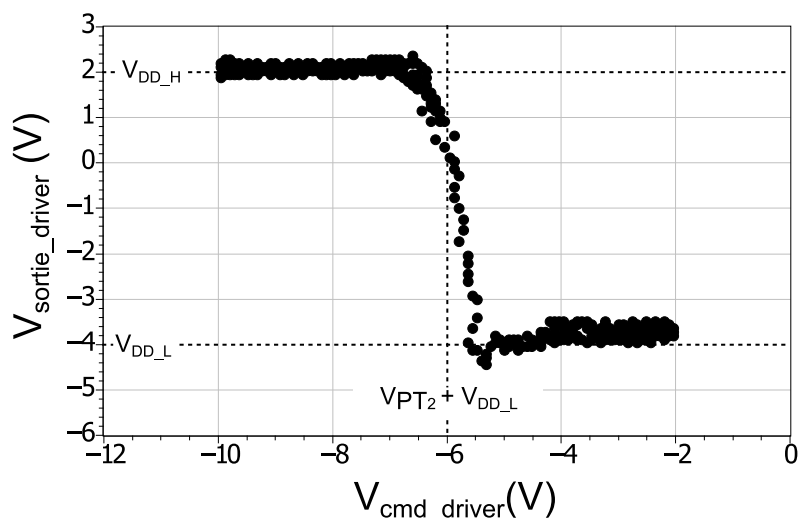


Figure IV-30 : Fonction de transfert dynamique mesurée du driver de grille proposé.

Les résultats de mesures tracés Figure IV-31-a) montrent que les différents rapports cycliques atteignables vont de 10% à 80% pour une fréquence de commutation de 40MHz.

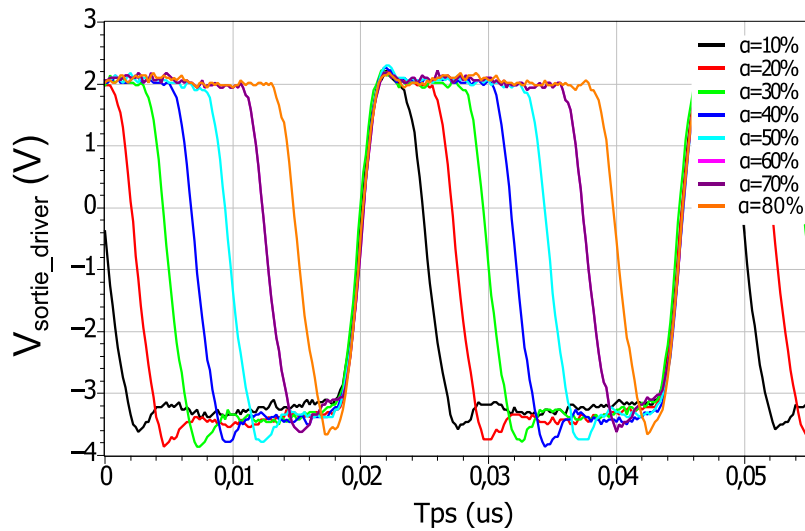


Figure IV-31 :) Formes d'ondes de tension de sortie du driver de grille mesurées à une fréquence de commutation de 40MHz, pour différents rapports cycliques.

Grâce à l'utilisation du montage sommateur-inverseur ayant un gain de 4, l'amplitude de la tension d'entrée sinusoïdale ($V_{in}(t)$) générée par l'AWG est de 1V. La tension permettant de gérer le rapport cyclique ($V_{rapport_cyclique}$) est positive et comprise entre 0.3V et 1.7V, comme présenté Figure IV-32. La Figure IV-32 indique que la commande permettant de faire varier le rapport cyclique suit une loi quasi-linéaire en fonction de la valeur du signal ($V_{rapport_cyclique}$).

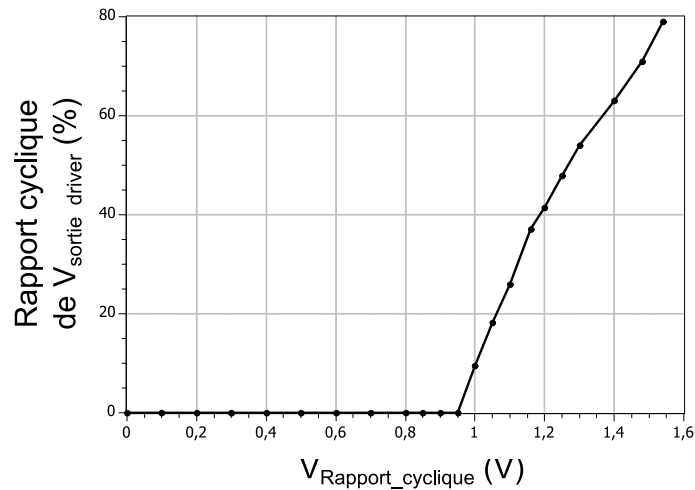


Figure IV-32 : Loi de commande permettant de faire varier le rapport cyclique de la tension de sortie du driver de grille.

Finalement, la consommation du driver de grille a été mesurée à une fréquence de commutation de 40MHz pour différents rapports cycliques. Pour estimer uniquement la consommation du driver de grille, et non celle des régulateurs de tension et de l'amplificateur opérationnel, nous avons réalisé une mesure de la différence de potentiels aux bornes des résistances de sortie des régulateurs de tensions (R_{DD_H} et R_{DD_L}). Les résultats de mesure sont exposés Figure IV-33 et démontrent une consommation maximale du driver de grille de

1W, ce qui reste faible en comparaison de la puissance consommée par le convertisseur DC/DC Boost ($\approx 40W$). Néanmoins, la consommation doit être prise en compte dans le bilan énergétique total du système.

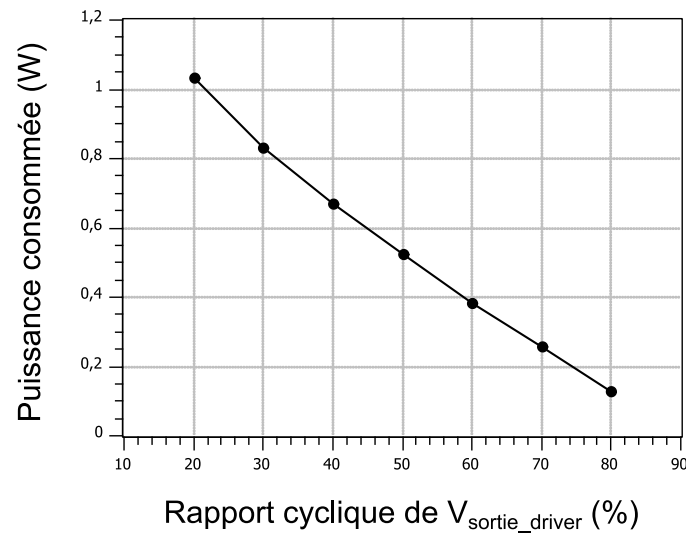


Figure IV-33 : Puissance consommée par le driver de grille en fonction du rapport cyclique de la tension de sortie.

IV.3.3.2) Mesures statiques du modulateur d'alimentation

Les formes d'ondes des tensions de grille (V_{sortie_driver}) et de drain (V_{DS}) du transistor (T_P) du convertisseur Boost ont été mesurées et sont présentées Figure IV-34 pour une fréquence de commutation de 40MHz, un rapport cyclique de 0.5, $V_{DCentree}=20V$ et une résistance de charge (R_{charge}) égale à 50Ω.

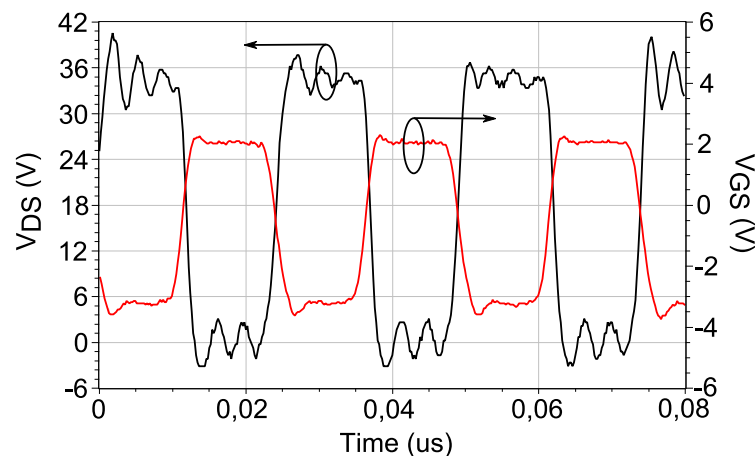


Figure IV-34 : Formes d'ondes des tensions grille-source et drain-source du commutateur de puissance GaN (T_P) à 40MHz et 50% de rapport cyclique.

Le rendement du modulateur a été mesuré statiquement sur une charge de 50Ω à l'aide de sondes de courant et de tension positionnées en sortie du convertisseur DC/DC Boost. La

Figure IV-35 présente les résultats de rendement avec et sans la prise en compte de la consommation du driver de grille pour une fréquence de découpage de 40MHz.

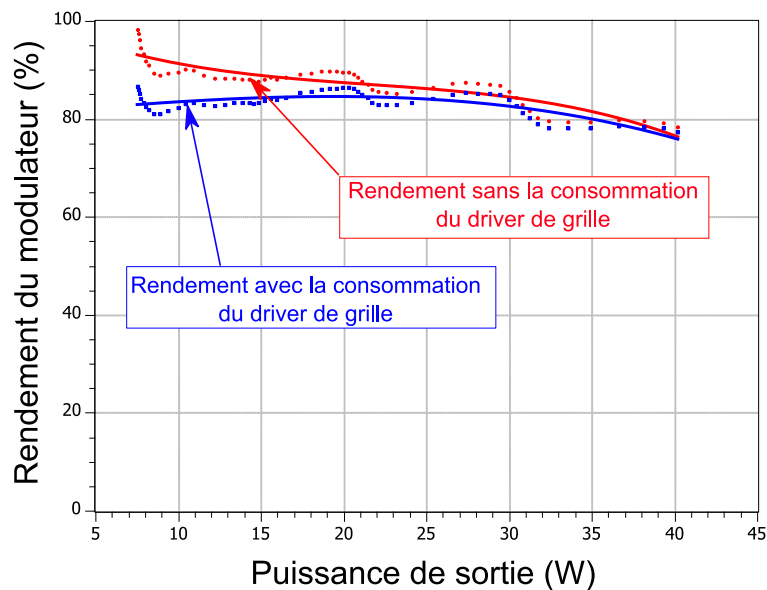


Figure IV-35 : Rendement du modulateur de polarisation de drain réalisé et fonctionnant à une fréquence de commutation de 40 MHz en fonction de sa puissance de sortie : avec (bleu) et sans (rouge) la prise en compte de la consommation du driver de grille.

On observe que l'impact de la consommation du driver de grille sur le rendement global du modulateur n'est visible que pour les faibles puissances de sortie, réduisant le rendement de 10 points. Cependant pour les fortes puissances de sortie, sa consommation devient négligeable devant celle du convertisseur Boost. Sur une charge de 50Ω, le rendement du modulateur d'alimentation reste supérieur à 80% pour des puissances inférieures à 35W.

Il faut noter que pour une puissance de 40W l'efficacité chute à 76% sur 50Ω. Une telle puissance sur 50Ω correspond à une tension de sortie de 45V et donc à un rapport cyclique supérieur à 60%. En réalité, lorsque le convertisseur sera connecté à l'amplificateur RF, il verra une charge minimale de 40Ω ce qui permettra de le commander avec un rapport cyclique inférieur à 60% pour la même puissance de sortie. Son efficacité sera donc meilleure pour une puissance de 40W que celle observée Figure IV-35.

Finalement, la loi de commande du modulateur d'alimentation a été caractérisée et est présentée Figure IV-36-a). On observe que la loi de commande est constituée d'un seuil ($0 < V_{Rapport_cyclique} < 0.9$) où la tension de sortie reste fixe et égale à 18.8V. Pour une tension de commande ($V_{Rapport_cyclique} > 0.9$), la tension de sortie du modulateur d'alimentation évolue quasi linéairement, ce qui va faciliter la mise en forme des signaux de commande dynamiques lors du couplage avec l'amplificateur RF.

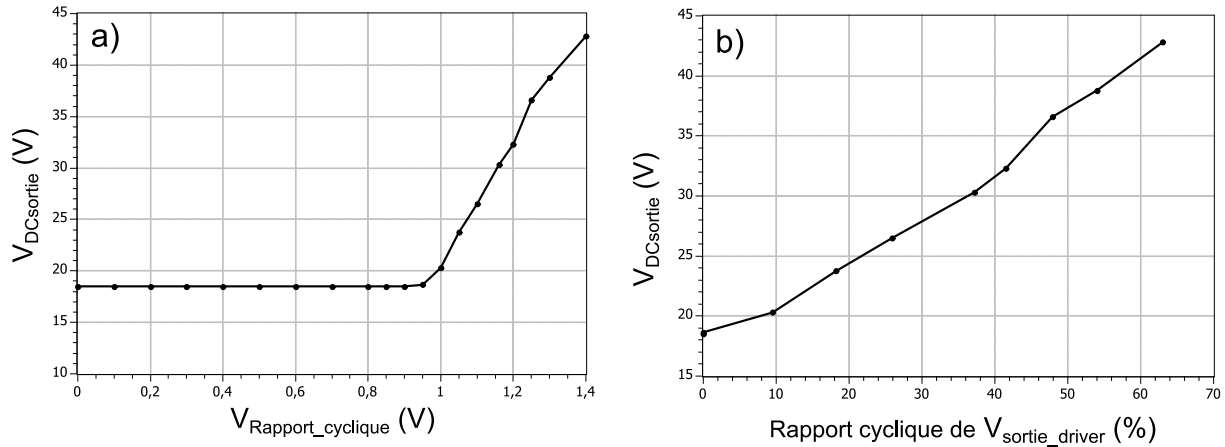


Figure IV-36 : a) Loi de commande du modulateur de polarisation de drain ($V_{DCsortie} = f(V_{Rapport_cyclique})$). b) Loi de commande du convertisseur DC/DC Boost ($V_{DCsortie} = f(\alpha)$).

IV.3.3.3) Mesures dynamiques du modulateur d'alimentation

Afin d'observer le comportement du modulateur d'alimentation en fonctionnement dynamique, nous avons utilisé un signal impulsionnel multi-niveaux sur la tension de commande du driver de grille ($V_{Rapport_cyclique}(t)$). Comme présenté dans la Figure IV-37, ce signal est composé de quatre impulsions (P_1, P_2, P_3, P_4) de $25\mu s$ de large et d'une période de $125\mu s$ ($rapport_cyclique = 20\%$). Chaque impulsion est définie par un niveau d'amplitude, ce qui va permettre grâce à la propriété de comparaison à seuil du driver de grille, de commander le convertisseur Boost suivant quatre rapports cycliques distincts dans le temps (0%, 20%, 40%, 60%). On distingue alors en sortie une tension continue modulée impulsionnellement en amplitude.

Le temps de réponse nécessaire pour passer d'une tension de 18.8V à une tension de 40V sur la quatrième impulsion (P_4) a été mesuré à $8\mu s$ pour une fréquence de commutation de 40MHz et une charge de 50Ω .

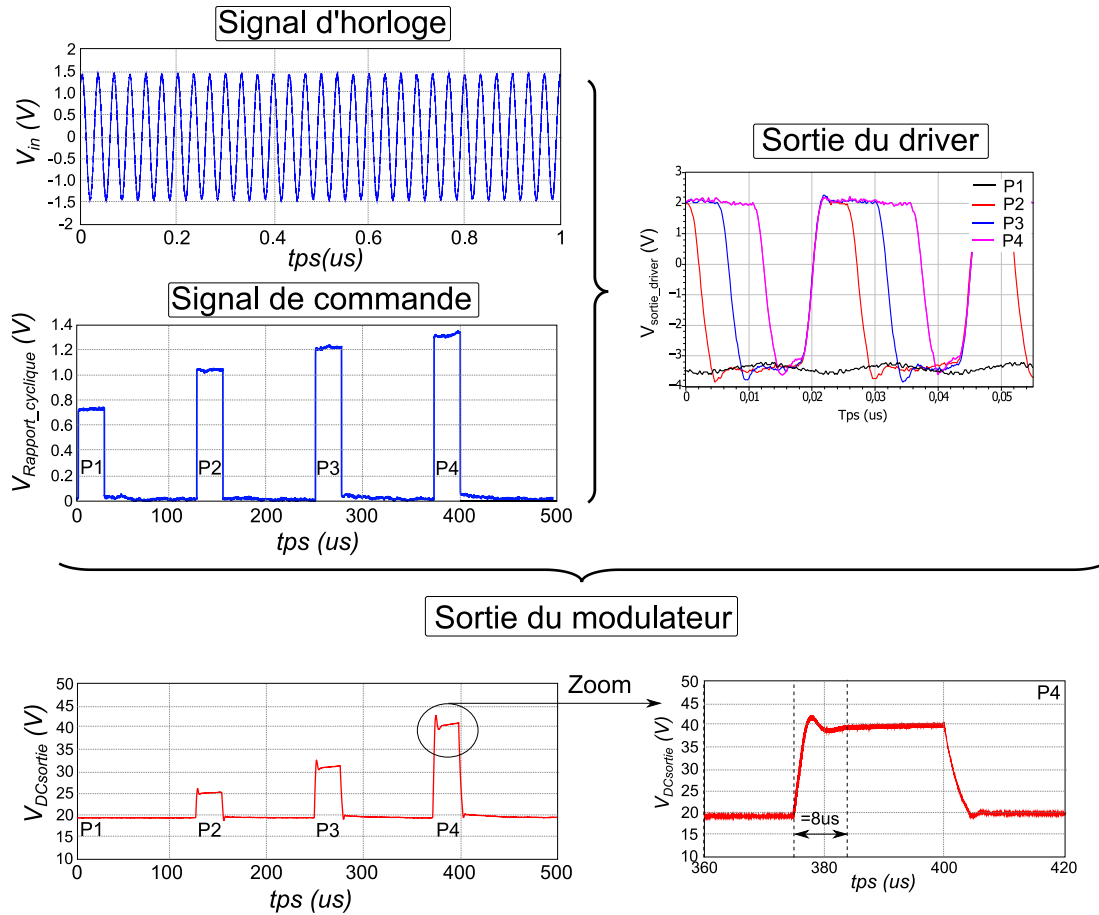


Figure IV-37 : Résultats de mesures dynamiques appliquées à un signal de commande impulsionnel multi-niveaux.

L'enveloppe d'un signal de type télécommunication (LTE 1.4MHz) a été utilisée comme signal de commande sur l'entrée du driver de grille ($V_{Rapport_cyclique}(t)$). La Figure IV-38-a) présente la tension continue modulée de sortie ($V_{DCsortie}$) mesurée. On observe clairement à travers la fonction de transfert du modulateur (Figure IV-38-b)), que le comportement du convertisseur Boost est largement non-linéaire et ne permet pas de suivre l'enveloppe d'un signal de télécommunication même sur une charge fixe.

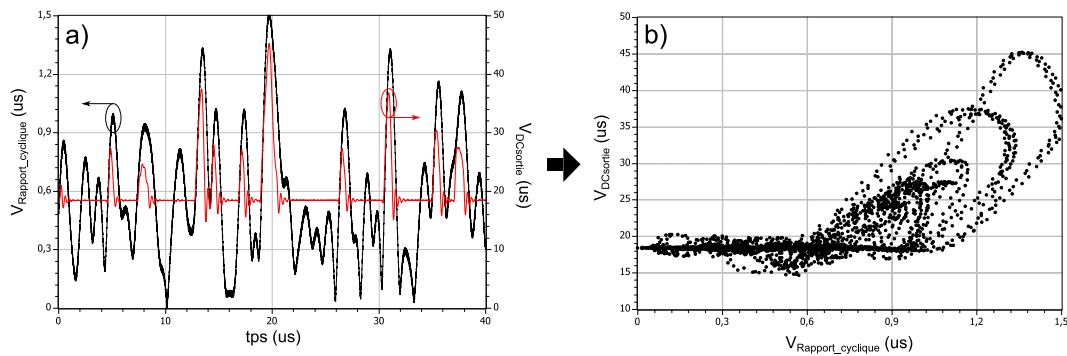


Figure IV-38 : Résultats de mesures dynamiques appliquées à un signal d'enveloppe LTE 1.4MHz. a) Forme temporelle de la tension de sortie du modulateur de polarisation (rouge) et enveloppe du signal de commande (noir). b) Fonction de transfert dynamique associée.

On peut d'ores et déjà affirmer que la topologie Boost n'est pas adaptée pour les applications de polarisation dynamique appliquée aux signaux de télécommunications.

IV.4) Conclusion

Ce chapitre a présenté le développement d'un modulateur de polarisation de drain entièrement réalisé en technologie GaN. Outre les aspects de conception spécifiques à la conversion DC/DC haute fréquence, ce travail s'est largement focalisé sur la recherche d'une architecture de driver de grille innovante en technologie GaN permettant de réduire les pertes de commutation.

Dans ce chapitre, nous avons tout d'abord présenté et analysé le fonctionnement du convertisseur DC/DC Boost, en insistant sur le fait que pour une application du type polarisation dynamique, le mode de fonctionnement (*CCM ou DCM*) du convertisseur n'était pas figé. Nous avons par la suite détaillé précisément les différentes sources de dissipation de puissance et étudié la réponse indicielle du convertisseur Boost, nous amenant à la conclusion qu'il existe un compromis à trouver entre son rendement et son temps de réponse. L'amélioration de ce compromis passe inexorablement par une diminution des pertes de commutation, ce qui nous a dirigé vers la conception d'un circuit driver de grille intégrant une fonctionnalité de codage PWM analogique.

La seconde partie du chapitre a été consacrée au développement et à l'implémentation du modulateur de polarisation de drain en technologie GaN. Une sélection judicieuse des composants a été faite en pesant chacun des compromis pour répondre au mieux à l'application que nous nous étions fixée.

Enfin, les mesures du modulateur de polarisation ont démontré les potentialités de la technologie GaN pour la conversion DC/DC haute fréquence en atteignant un rendement supérieur à 80% pour une fréquence de commutation de 40MHz. Il reste encore certaines limites technologiques notamment liées aux caractéristiques de la diode qui ne permettent pas d'allier fortes tensions de fonctionnement et très faibles temps de recouvrement.

Tout au long de ce chapitre, ce modulateur a été testé sur une charge fixe de 50Ω. En réalité, lors d'une connexion avec l'amplificateur de puissance développé dans le chapitre 3, il sera sujet à une interaction non-linéaire faisant l'objet de l'étude du prochain chapitre.

Chapitre V : Polarisation dynamique de drain et de grille d'un amplificateur RF GaN appliquée à un fonctionnement RF impulsif à plusieurs niveaux.

Ce chapitre présente une caractérisation du système de polarisation dynamique composé de l'amplificateur RF GaN conçu et présenté dans le chapitre 3 et du modulateur d'alimentation Boost GaN présenté dans le chapitre 4 (Figure V-1). Cet ensemble a été testé suivant un fonctionnement RF impulsif à plusieurs niveaux qui pourrait être avantageusement utilisé dans des applications de formation et d'agilité de faisceaux réalisées par les antennes à balayage électronique où plusieurs éléments rayonnants sont alimentés par des signaux RF pondérés en amplitude. Les faibles poids d'amplitude forcent les amplificateurs de puissance à fonctionner avec un fort recul en puissance, diminuant leur efficacité énergétique. Par conséquent, le contrôle dynamique de polarisation de drain paraît intéressant à étudier pour améliorer le rendement global d'un tel système.

Un des points durs qui fait l'objet de ce chapitre concerne le couplage non-linéaire entre le modulateur et l'amplificateur qui impacte globalement le rendement et la linéarité du système. Le travail présenté examine ainsi l'intérêt potentiel d'un contrôle dynamique de la tension de polarisation de grille pour limiter la dégradation du facteur de forme des signaux RF impulsifs de sortie, en s'appuyant sur le développement d'un banc de mesure spécifique.

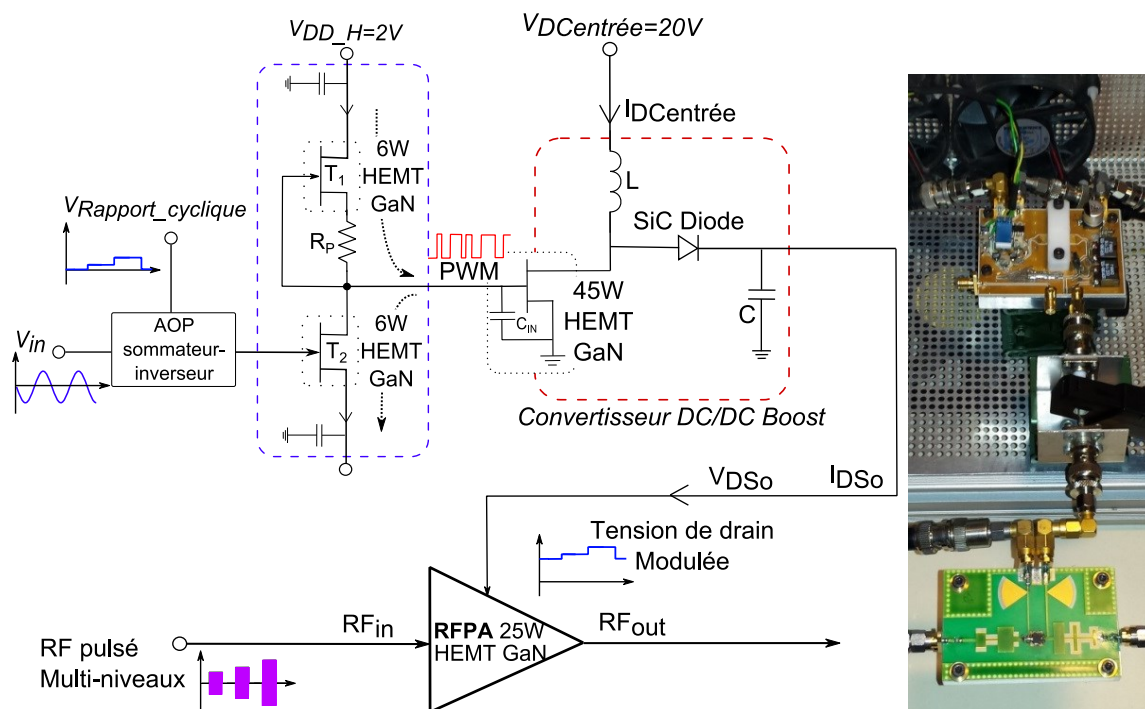


Figure V-1 : Schéma bloc et photographie du système constitué de l'amplificateur RF et du modulateur de polarisation.

V.1) Banc de mesures temporelles d'enveloppe

L'architecture du banc de mesures temporelles d'enveloppe développé est représentée Figure V-2 et plus largement décrite dans [8]. Ce banc intègre la génération de signaux RF modulés au moyen d'un générateur de signaux vectoriels (*VSG*). La mesure temporelle de l'enveloppe des signaux d'entrée et de sortie RF est faite par deux analyseurs de signaux vectoriels (*VSA*) synchronisés et déclenchés par un signal de trigger (*Trigger 1*) qui est généré par le VSG. Afin d'analyser la consommation du dispositif sous test (*DUT*), un oscilloscope est utilisé pour mesurer le profil temporel du courant et les tensions de drain et de grille. La gestion des signaux de polarisation fait usage d'un générateur de signaux arbitraires (*AWG*) qui est déclenché par un deuxième signal de trigger (*Trigger 2*), permettant ainsi de réaliser un alignement temporel des signaux RF et BF avec une résolution de l'ordre du dixième d'échantillon temporel d'enveloppe. Ce banc est conçu pour intégrer des dispositifs de contrôle dynamique de polarisation afin d'étudier par l'expérimentation les problématiques de couplage non-linéaire entre ces dispositifs de polarisation et l'amplificateur de puissance RF. La génération et le traitement numérique des signaux sont réalisés à partir des logiciels « *Matlab* » et « *Labview* ».

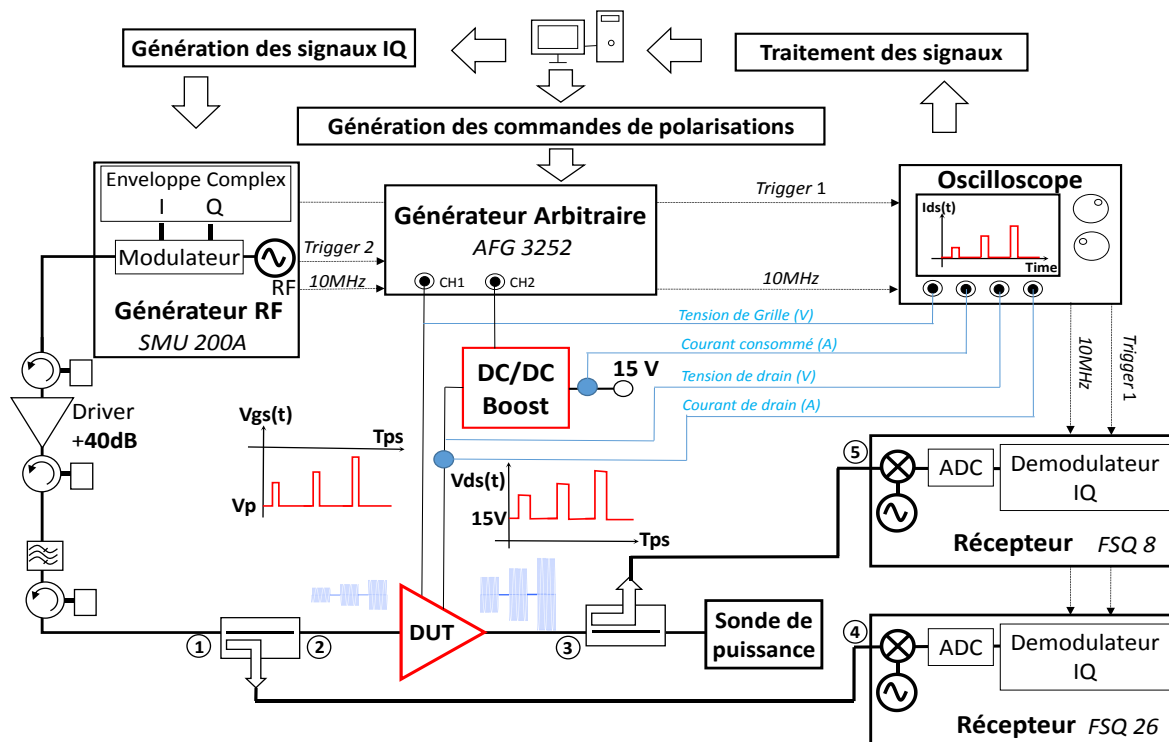


Figure V-2 : Schéma bloc du banc de mesure temporelle d'enveloppe, prenant en compte les différents cas de polarisation dynamique.



Figure V-3: Photographie du banc de mesure temporelle d'enveloppe.

V.1.1) Etalonnage du banc d'enveloppe

Dans le but de connaître parfaitement les ondes mesurées dans les plans d'entrée et de sortie du DUT (plan 2 et 3 de la Figure V-4), une procédure d'étalonnage des éléments passifs situés entre le DUT et les récepteurs est nécessaire (plans 4 et 5 de la Figure V-4). Les différents paramètres S (S_{ij}) de l'ensemble des coupleurs, connecteurs et câbles RF sont préalablement mesurés dans une bande de 250 MHz autour de la fréquence porteuse (2.1GHz) à l'aide d'un analyseur de réseaux vectoriel (ARV). La Figure V-4 illustre les différents blocs passifs à inclure dans la procédure d'étalonnage. Une interpolation linéaire permet d'obtenir les valeurs des paramètres S pour chaque point de fréquence de l'enveloppe entre les points de mesure.

Les enveloppes complexes corrigées $\tilde{E}_{corr}$ et $\tilde{S}_{corr}$, correspondant aux ondes mesurées $\tilde{E}_{mes}$ et $\tilde{S}_{mes}$, sont déterminées dans le domaine fréquentiel par les équations V-1 et V-2.

$$\tilde{E}_{corr}(f) = \frac{\tilde{S}_{21}(f)}{\tilde{S}_{41}(f)} \cdot \tilde{E}_{mes}(f) \quad (V-1)$$

$$\tilde{S}_{corr}(f) = \frac{1}{\tilde{S}_{53}(f)} \cdot \tilde{S}_{mes}(f) \quad (V-2)$$

Les formes temporelles des enveloppes complexes dans les plans d'accès du DUT sont ensuite obtenues en appliquant une FFT inverse sur les enveloppes complexes $\tilde{E}_{corr}(f)$ et $\tilde{S}_{corr}(f)$.

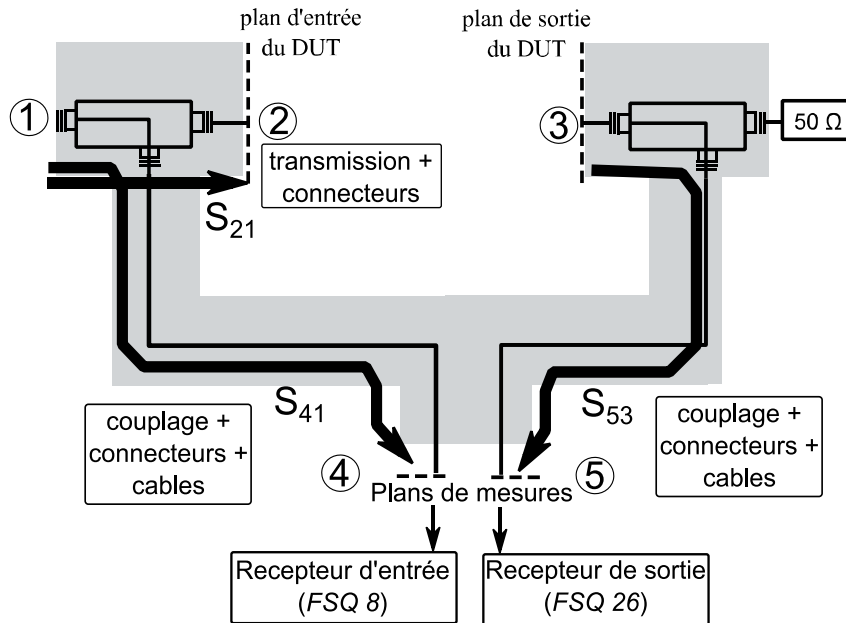


Figure V-4 : Synoptique du bloc passif pris en compte lors de la procédure d'étalonnage.

V.1.2) Validation de la procédure d'étalonnage

La validation de l'étalonnage du banc de mesure est réalisée avec une connexion directe entre les plans 2 et 3. L'égalité des puissances d'entrée et de sortie mesurées est vérifiée puis comparée à la puissance mesurée par la sonde de puissance (NRPZ21 R&S). La mesure est dans un premier temps réalisée en CW (Continuous Wave), pour des niveaux de référence (REF LEVEL=5dBm) et d'atténuation (ATT=30dB) des récepteurs fixé.

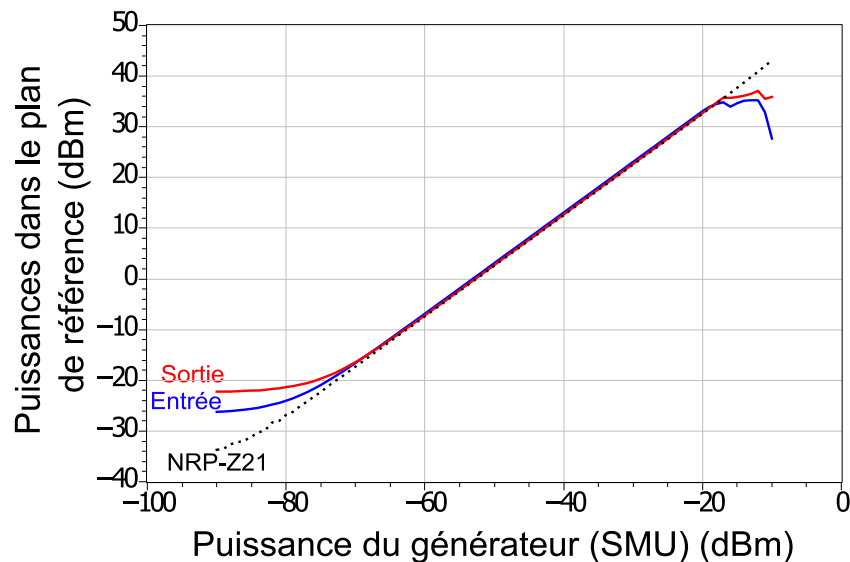


Figure V-5 : Courbes comparatives entre les mesures étalonnées avec les VSA (rouge et bleu) et la mesure de référence de la sonde de puissance (noir) entre les deux plans en connexion directe en fonction de la puissance de générateur.

Le plancher de bruit des récepteurs est observé aux alentours de -25dBm, tandis que la limite de saturation de l'entrée des récepteurs (*mélangeurs de l'étage RF*) se situe à +35dBm. Par conséquent, la dynamique en puissance de mesure de ce banc est d'environ 60dB.

Concernant l'étalonnage en phase, un signal d'enveloppe de type rampe (Figure V-6) est utilisé. Ce signal permet de balayer l'ensemble de la dynamique des récepteurs en une seule acquisition, tout en effectuant des mesures d'enveloppe complexes simultanément en entrée et en sortie. Pour la procédure d'étalonnage, ce type de signal n'a pas d'influence sur le résultat car en connexion directe le système ne présente pas d'effet mémoire.

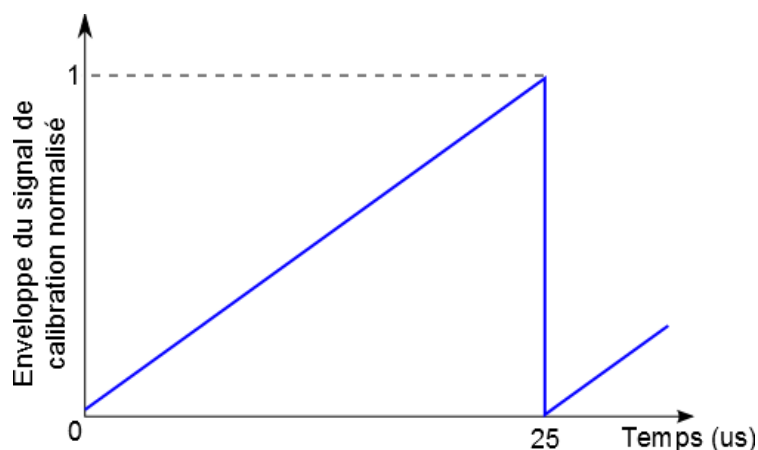


Figure V-6 : Enveloppe du signal rampe normalisé et utilisé pour le calibrage dynamique.

La Figure V-7 montre les mesures d'enveloppe corrigées en amplitude et en phase pour une connexion directe, sur une dynamique de puissance d'enveloppe d'entrée de 50 dB.

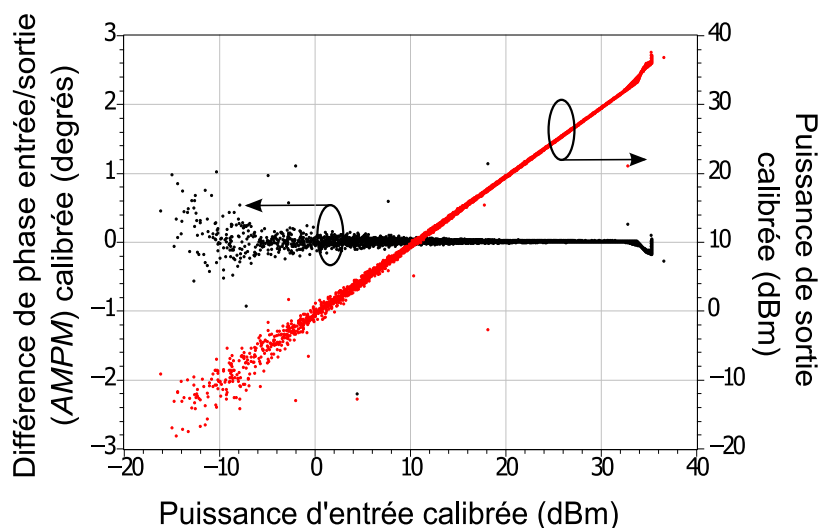


Figure V-7 : AM/AM et AM/PM obtenues avec le signal rampe de calibrage en connexion directe.

V.2) Définition du signal de test utilisé

Afin de tester et valider l'ensemble « amplificateur de puissance RF et modulateur de polarisation de drain », nous avons défini un signal de test qui est représenté Figure V-8. Ce signal impulsionnel est composé de 16 impulsions RF ayant une fréquence porteuse de 2.1GHz. Il dispose de quatre niveaux de puissance et quatre phases à l'origine ce qui permet d'obtenir 16 combinaisons amplitude/phase, comme montré Figure V-8 avec la représentation polaire des signaux en phase et en quadrature normalisée (IQ) du signal. La largeur de chaque impulsion est de 25 μ s pour une période de 125 μ s, représentant un rapport cyclique de 20%.

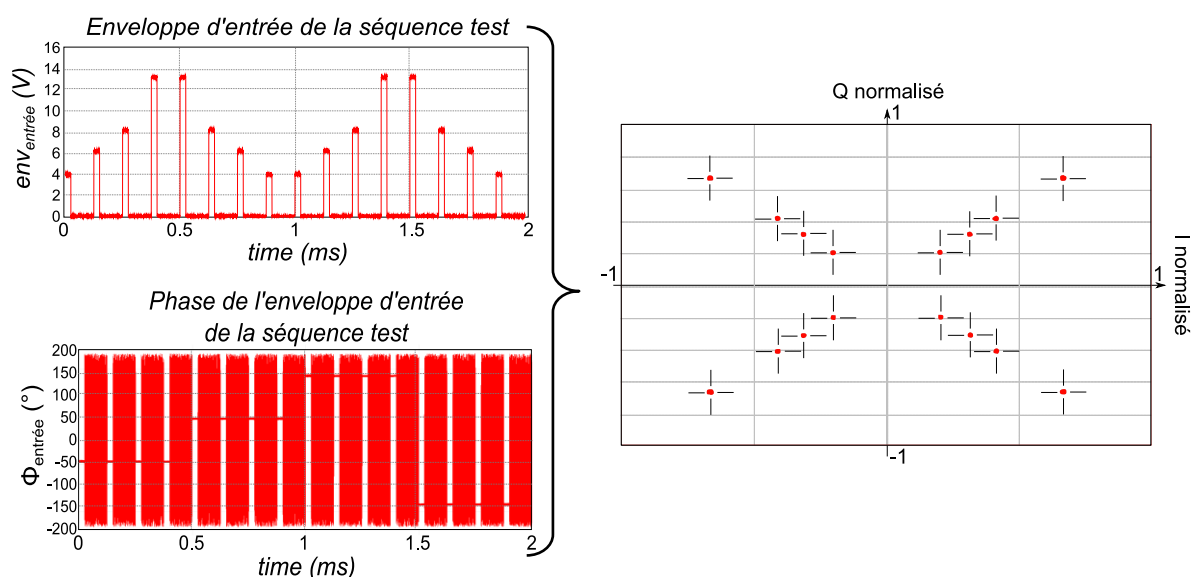


Figure V-8 : Amplitude et phase de l'enveloppe d'entrée, ainsi que la représentation polaire des signaux en phase et en quadrature normalisée (IQ) du signal de test

V.3) Mesures et comparaison entre un fonctionnement de l'amplificateur à polarisation fixe et un fonctionnement à polarisation dynamique

En utilisant le signal de test précédemment défini, nous avons dans un premier temps évalué le bilan énergétique du système en polarisation dynamique puis nous l'avons comparé à celui du même système en polarisation fixe.

Les niveaux du signal de commande du modulateur de polarisation ont été choisis à partir des lois de commande de l'amplificateur (Figure III-29) et du modulateur d'alimentation (Figure IV-36), afin d'optimiser le rendement du système pour chacune des impulsions. Le profil temporel de ce signal de commande a été volontairement défini sous la forme d'échelon (Figure V-9-c)) pour limiter le temps de réponse du modulateur. En effet, cette forme temporelle permet de diminuer les variations de tension de polarisation entre chaque impulsion et donc de diminuer le temps de réponse du modulateur par rapport à un signal de commande de forme impulsionnelle. De plus, ce profil temporel n'est pas préjudiciable en termes de consommation, dans la mesure où la polarisation de grille de l'amplificateur RF est fixée à $I_{DS0}=0\text{mA}$ (Classe B).

Le signal de test RF a été généré à partir du VSG tandis que le signal de commande du modulateur a été synthétisé grâce à l'AWG. L'alignement temporel a été effectué à partir d'un critère visuel sur l'oscilloscope « Multi-Domain » (*Tektronik MDO4104B-6*). En effet, cet oscilloscope permet d'observer simultanément les tensions et courants de polarisation ainsi que l'enveloppe du signal RF de sortie. Il est alors possible en décalant temporellement le signal de déclenchement de l'AWG (*Trigger 2*) d'aligner temporellement les signaux RF et BF.

Les Figure V-9-a) et V-9-d) présentent les oscillogrammes des puissances d'entrée et de sortie instantanées avec et sans polarisation dynamique déduites des données IQ d'entrée et de sortie :

$$P_{e_{ou_s}}(t) = \frac{\left(\sqrt{I_{e_{ou_s}}(t)^2 + Q_{e_{ou_s}}(t)^2} \right)^2}{2 \cdot 50} \quad (V-3)$$

Les Figure V-9-b) et V-9-c) montrent les profils temporels des courants et des tensions de drain de l'amplificateur RF avec et sans polarisation dynamique, qui ont été mesurés avec une sonde de tension et une sonde de courant à effet Hall.

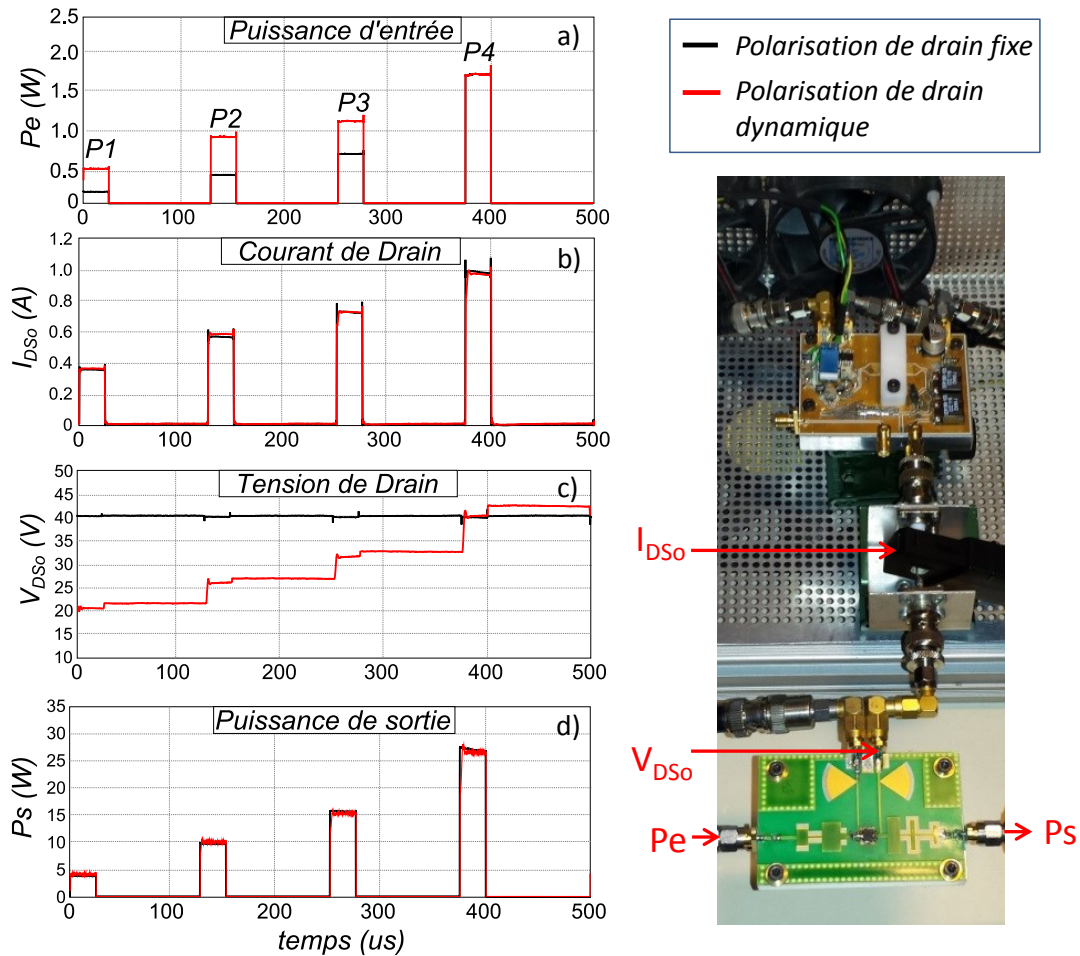


Figure V-9 : Oscillogrammes des tensions et courants de drain ainsi que les puissances d'entrée et de sortie instantanées correspondant à une polarisation fixe (noir), à une polarisation dynamique de drain (rouge).

Nous pouvons remarquer sur la Figure V-9, que la comparaison entre le système à polarisation fixe et à polarisation dynamique a été fixée suivant le même profil de puissance de sortie instantanée. De ce fait, on observe que les puissances instantanées d'entrée des trois premières impulsions sont nettement supérieures pour un fonctionnement en polarisation dynamique. Ceci traduit la chute de gain inhérente à la méthode de polarisation dynamique comme expliqué dans la section III.11.2).

Néanmoins, on observe que le modulateur d'alimentation ajuste efficacement la tension de polarisation de l'amplificateur (Figure V-9-c)), et fournit donc le minimum d'énergie DC nécessaire à l'amplificateur en fonction du niveau de puissance de sortie RF. La tension de polarisation de drain prend respectivement les valeurs 20.5V, 26V, 32V et 40V pendant les impulsions 1, 2, 3 et 4.

Le bilan énergétique a été évalué pour chaque niveau d'impulsion composant le signal de validation. Les valeurs des puissances, tensions et courants utilisés pour calculer les rendements pendant les impulsions représentent une valeur moyenne des échantillons de mesures compris dans une fenêtre d'analyse équivalente à 95% de l'état haut ($T_{on}=25\mu s$) des impulsions RF, comme défini dans l'équation suivante et représenté dans la Figure V-10.

$$\overline{P_{Pulse_n}} = \frac{1}{k} \sum_{i=1}^k P_{Pulse_n}(t_i) \quad (V-4)$$

$$\text{Avec } k = T_{analyse} \cdot f_{echantillonage}$$

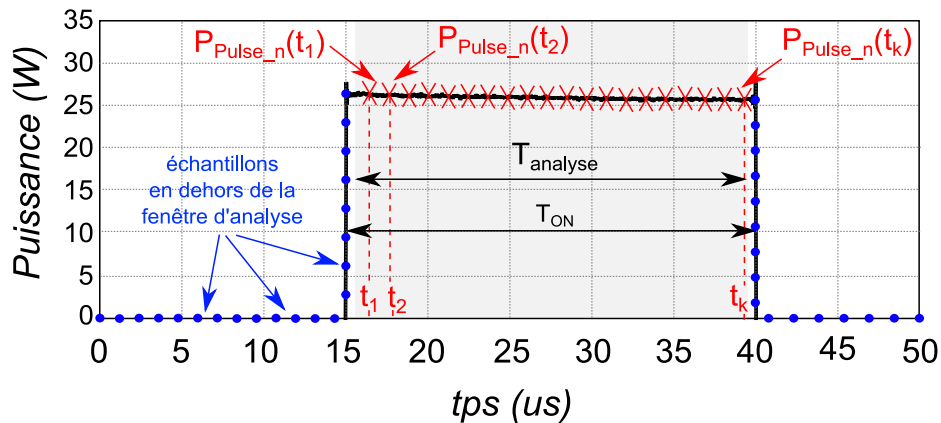


Figure V-10 : Représentation de la méthode de fenêtre d'analyse utilisée pour calculer la puissance moyenne de chaque impulsion.

Le Tableau V-1 présente les performances énergétiques avec et sans la technique de polarisation dynamique de drain suivant chaque niveau d'impulsion. Ce tableau synthétise les rendements électriques de l'amplificateur et du modulateur d'alimentation en fonctionnement dynamique, ainsi que le rendement global du système.

	P1	P2	P3	P4
$P_{\text{Sortie}} \text{ (dBm)}$	35.9	39.8	41.7	44
RFPA PAE polarisation fixe ($V_{\text{DS0}}=40\text{V}$) (%)	29.3	42.5	50.6	62.1
RFPA PAE polarisation dynamique (%)	50.6	60.1	60.9	62.1
Rendement du modulateur de drain (%)	94.1	86.1	86.6	81.7
PAE globale (polarisation dynamique Drain) (%)	47.7	51.7	52.8	50.7

Tableau V-1 : Performances énergétiques mesurées avec et sans la solution de polarisation de drain variable de l'amplificateur RF, ainsi que le rendement du modulateur de drain. La PAE globale intègre la consommation du modulateur de polarisation.

On constate que le système de polarisation dynamique permet d'améliorer le rendement en puissance ajoutée de 18 points pour un recul en puissance de sortie de 8dB (*impulsion P1*) par rapport au système en polarisation fixe. Le système proposé reste profitable énergétiquement jusqu'au troisième niveau d'impulsion (*impulsion P3*), néanmoins pour le quatrième niveau d'impulsion (*impulsion P4*) le système fonctionnant en polarisation fixe est plus efficace. Cette constatation est propre à la méthode de polarisation dynamique car à la puissance de saturation le rendement maximal de l'amplificateur ne peut être équivalent à celui d'un amplificateur fonctionnant en polarisation fixe que si le rendement du modulateur est égal à 100%.

Du point de vue de l'impact de la polarisation dynamique de drain sur l'enveloppe du signal RF de sortie, nous avons observé que le couplage non-linéaire entre l'amplificateur RF et le modulateur d'alimentation est un point critique pour l'intégrité du signal de sortie.

Le banc de caractérisation permet la mesure du profil temporel des tensions et courants de polarisation et donc de déduire les variations temporelles de la résistance de charge présentée par l'accès de polarisation de drain de l'amplificateur RF au modulateur de polarisation, qui est définie en statique par $R_{\text{DS0}}=(V_{\text{DS0}}/I_{\text{DS0}})$. Comme le montre la Figure V-11-a), en régime impulsionnel le profil de celle-ci est clairement discontinu et présente de fortes variations allant de 40Ω à $1\text{k}\Omega$ selon le niveau de puissance des impulsions RF.

Etant donné que la charge vue par le modulateur d'alimentation évolue temporellement, le temps de réponse du modulateur de polarisation devient un paramètre non-linéaire qui dépend du niveau du signal d'entrée RF. Il en découle alors d'importants effets transitoires sur la tension de polarisation de drain de l'amplificateur, qui sont ici associés au circuit RC non linéaire composé de la capacité de sortie (C) du convertisseur DC/DC boost et de la résistance de drain (R_{DS0}) de l'amplificateur RF opérant en fonctionnement fort signal variable

De ce fait, l'amélioration en rendement ajouté par la technique de polarisation dynamique s'accompagne d'effets transitoires visibles sur la polarisation DC qui se répercutent sur le gain d'enveloppe instantané de l'amplificateur, provoquant ainsi une distorsion du facteur de forme d'enveloppe du signal de sortie (Figure V-11-b)). L'agrandissement présenté dans la Figure V-11-c) montre que le facteur de forme de

l'enveloppe du signal de sortie de l'impulsion 4 (correspondant à la puissance de saturation de l'amplificateur) est impacté lors des huit premières microsecondes de l'impulsion par le couplage non-linéaire entre le modulateur et l'amplificateur.

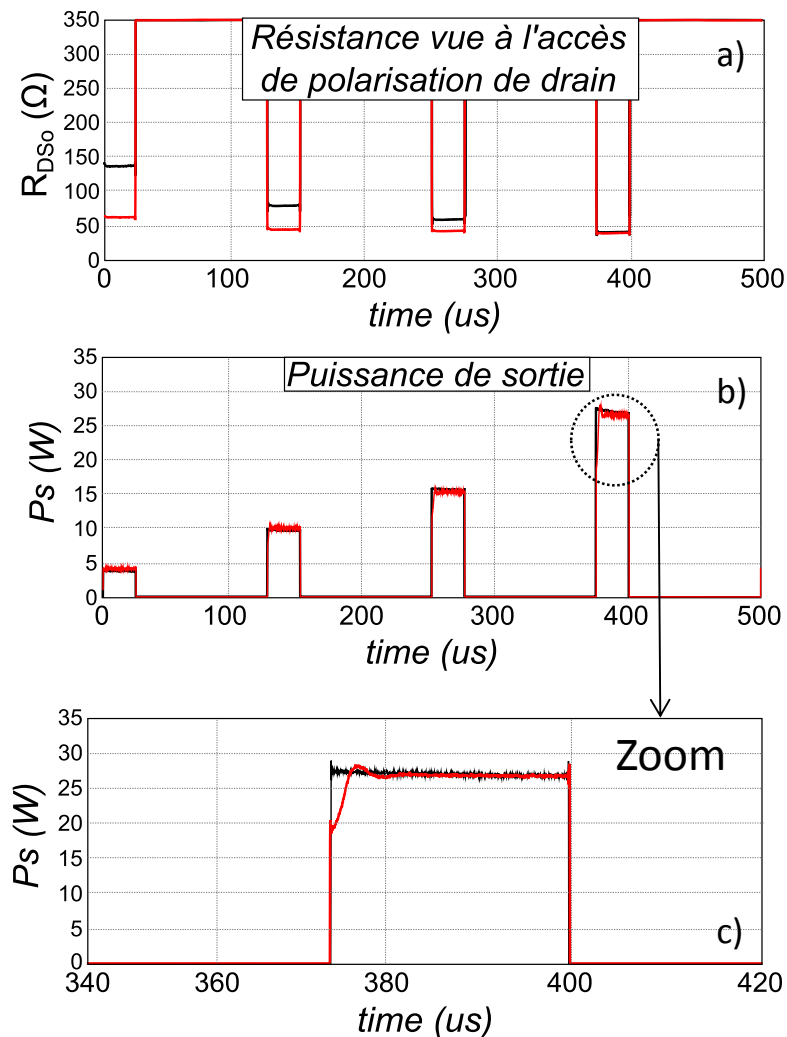


Figure V-11 : Oscillogrammes représentant le profil temporel de la résistance de drain (R_{DS0}) et de la puissance instantanée de sortie correspondante à une polarisation fixe (noir), à une polarisation dynamique de drain (rouge).

Ces effets transitoires sont plus largement appréciables sur la Figure V-12 qui montre la représentation polaire des signaux en phase et en quadrature normalisées (IQ) du signal de test complet de sortie avec et sans polarisation dynamique.

Dans un premier temps, on observe que la méthode de polarisation dynamique entraîne un enroulement de la constellation, ce qui est conforme avec le profil AM/PM de l'amplificateur présenté dans la Figure III-29. Cette observation était prévisible dans la mesure où la commande de polarisation dynamique a été optimisée pour maximiser le rendement de l'amplificateur et non pour obtenir des profils AM/AM et AM/PM constants favorables à la linéarité du système. Néanmoins, ces distorsions de phases et d'amplitudes restent facilement corrigeables en prédistorant numériquement le signal de test d'entrée.

Un second constat est réalisé sur l'étalement des points de la constellation du signal de test en sortie, traduisant la dispersion amplitude/phase pendant l'impulsion RF.

L'impact de la méthode de polarisation de drain dynamique est clairement visible sur l'enveloppe du signal de sortie et peut dans le cadre d'applications radar ou de formation de faisceaux des systèmes d'antennes à balayage électronique, être préjudiciable et entraîner des erreurs de détection ou des erreurs de focalisation. Cette dispersion temporelle amplitude/phase observée pendant les impulsions RF ne peut pas être corrigée numériquement car elle prend sa source au point d'interaction non-linéaire qui existe entre l'amplificateur de puissance et le modulateur de polarisation. Concrètement, toute modification de l'enveloppe du signal RF d'entrée se répercute par une modification du profil de la résistance de drain (R_{DS0}) vue par le modulateur d'alimentation et donc par une modification de la réponse temporelle de celui-ci.

Dans le prochain paragraphe, nous allons présenter la mise en œuvre d'une commande de polarisation de grille dynamique de l'amplificateur RF permettant d'atténuer ces distorsions et maintenir un facteur de forme de l'enveloppe du signal RF de sortie quasi-rectangulaire.

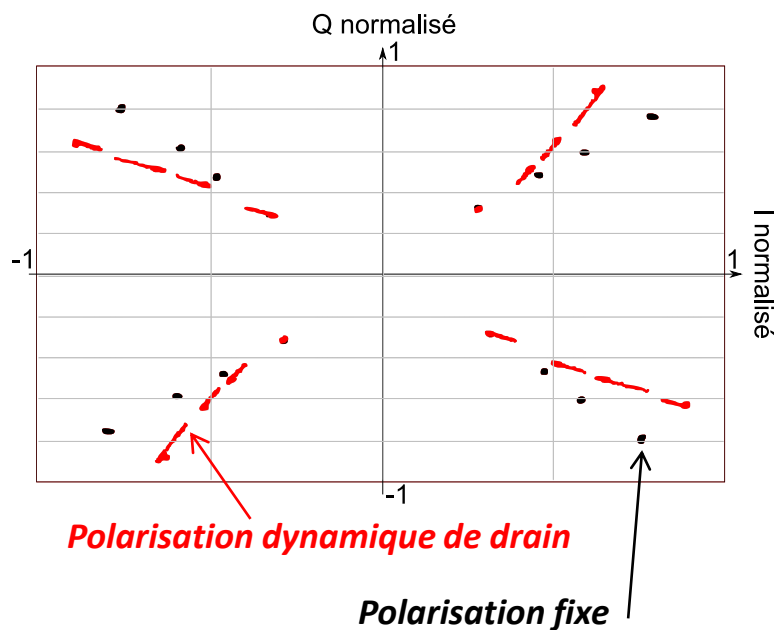


Figure V-12 : Représentation polaire normalisée des signaux en phase et en quadrature (IQ) du signal de test complet de sortie avec (rouge) et sans (noir) polarisation dynamique.

V.4) Application d'une impulsion étroite sur la polarisation de grille pour limiter les effets transitoires.

L'approche proposée consiste à appliquer une impulsion étroite sur l'accès de polarisation de grille de l'amplificateur avant chaque impulsion RF d'entrée (Figure V-13). L'objectif est de pré-régler la résistance de drain (R_{DS0}) en l'absence de signal d'entrée RF à la valeur qu'elle aura pendant l'impulsion RF. Ainsi, les transitoires du circuit RC (composé

The diagram illustrates a 25W RFPA system with a dynamic gate biasing circuit. The RFPA is a HEMT GaN device with an input RF_{in} and output RF_{out} . It is biased with a dynamic gate voltage V_{GS0} and a drain voltage V_{DS0} . The drain current is ID_{So} . The gate voltage V_{GS0} is generated by an AOP (Automatic Output Power) sommateur-inverseur, which takes an input V_{in} and a feedback signal $V_{Rapport_cyclique}$ to produce a pulse-width modulated (PWM) signal. This PWM signal drives a 6W HEMT GaN transistor T_1 in a push-pull configuration with a resistor R_P and another 6W HEMT GaN transistor T_2 . The output of this stage is connected to a DC/DC Boost converter, which consists of an inductor L , a SiC Diode, and a capacitor C_{IN} . The boost converter is powered by a 45W HEMT GaN transistor and a 20V DC source $V_{DCentree}$. The boost converter's output is connected to the drain of the RFPA. The gate of the RFPA is connected to the output of the AOP sommateur-inverseur. The RFPA is a 25W HEMT GaN device.

A cet effet, la deuxième voie de l'AWG alimente l'accès de polarisation de grille de l'amplificateur avec une impulsion étroite comme illustré sur la Figure V-2. Pour une comparaison fixée sur le même profil de puissance de sortie instantanée, la Figure V-14 présente les oscillogrammes de tensions et courants de polarisation ainsi que le profil de variation temporelle de la résistance de drain (R_{DS0}) avec et sans l'impulsion de polarisation de grille. L'amplitude de polarisation de grille de la Figure V-14-a) est réglée expérimentalement afin d'obtenir la même valeur de résistance de drain avant et pendant l'impulsion RF, comme illustré dans la Figure V-14-b). La durée de l'impulsion de polarisation de grille est elle aussi réglée expérimentalement et fait l'objet d'un compromis pour obtenir une forme quasi-rectangulaire d'enveloppe de sortie du signal RF, sans impact majeur sur les performances énergétiques.

Dans le cas présenté, une impulsion de grille de 2 us a été retenue comme étant le meilleur compromis entre le facteur de forme de l'enveloppe RF de sortie et l'impact sur les

performances énergétiques globales comme présenté Figure V-15. Les performances en rendement correspondantes sont indiquées dans le Tableau V-2.

Il faut noter que l'alignement temporel de l'impulsion de polarisation de grille est une étape cruciale dans la réussite de cette méthode. Un décalage temporel se répercute par une discontinuité du profil de la résistance de drain rendant la méthode inefficace, voir même préjudiciable pour le facteur de forme de l'enveloppe de sortie par rapport au cas initial sans polarisation dynamique de grille.

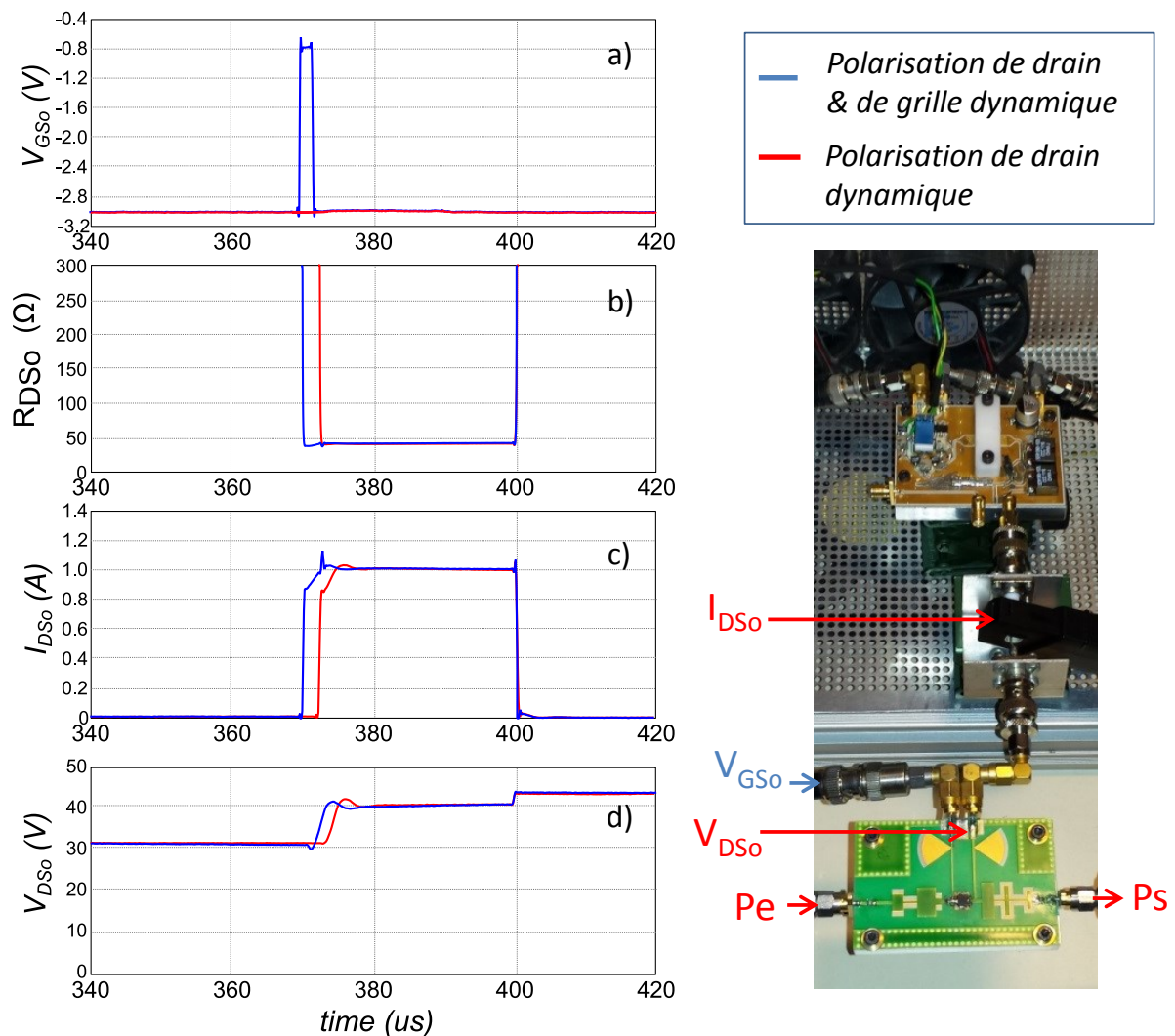


Figure V-14 : Oscillogrammes de la tension de polarisation de grille, ainsi que des tensions, courants et résistances correspondant à une polarisation dynamique de drain (rouge) et à une polarisation dynamique de drain et de grille (bleu).

La Figure V-15 montre que le facteur de forme de l'enveloppe du signal de sortie de l'impulsion correspondant à la puissance de saturation de l'amplificateur est bien corrigé et se rapproche du facteur de forme original (*polarisations fixes*).

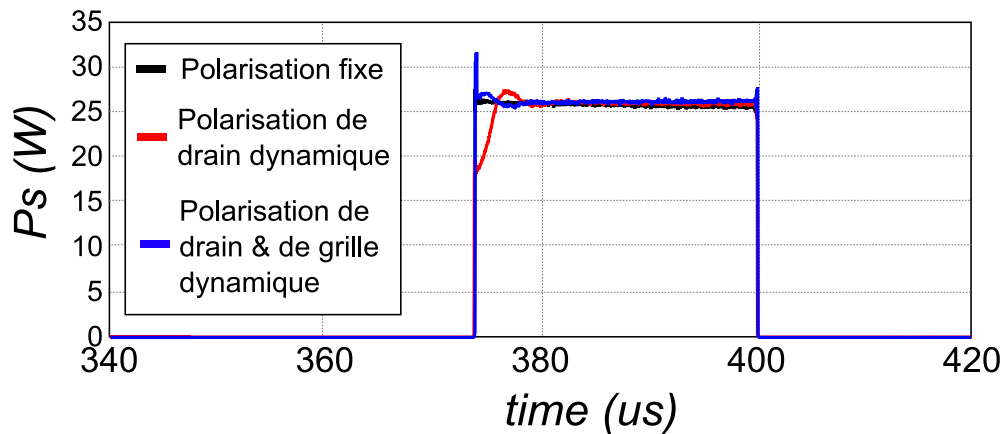


Figure V-15 : Profil temporel de la puissance instantanée de sortie avec (rouge) et sans (noir) polarisation dynamique de drain, et lorsque l'impulsion de polarisation de grille est appliquée et optimisée en temps et amplitude (bleu).

L'amélioration globale est appréciable à travers la représentation polaire normalisée des signaux en phase et en quadrature (IQ) du signal de test complet de sortie de la Figure V-16, où l'on remarque que l'étalement temporel des points de la « constellation » est largement atténué.

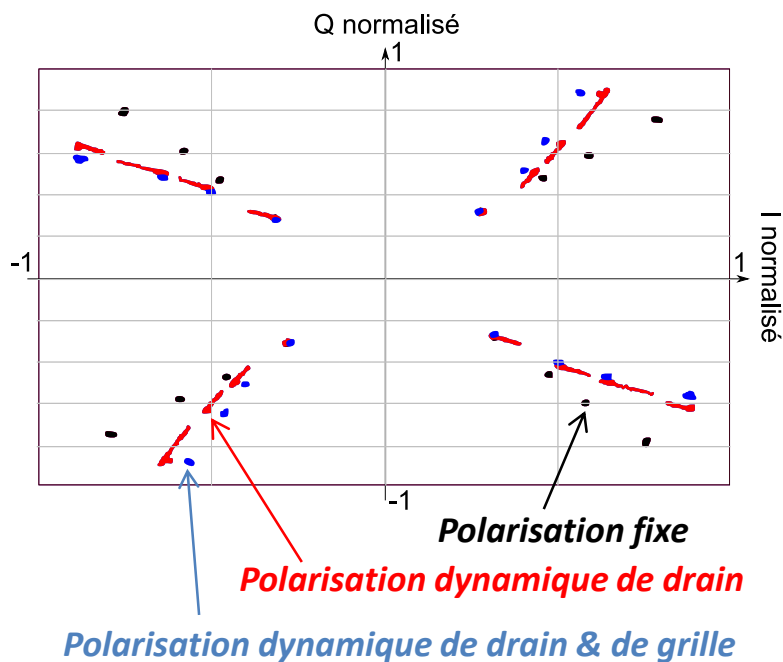


Figure V-16 : Représentation polaire des signaux en phase et en quadrature normalisée (IQ) du signal de test complet de sortie avec (rouge) et sans (noir) polarisation dynamique, et lorsque l'impulsion de polarisation de grille est appliquée (bleu).

D'un point de vue énergétique, l'application de l'impulsion de polarisation de grille force l'amplificateur à consommer de l'énergie continue en l'absence de RF. Cette énergie consommée est alors entièrement dissipée sous forme de chaleur. C'est ce qui limite les

performances de la technique proposée et conduit au compromis entre sur la largeur de l'impulsion de grille appliquée, comme le montre le schéma de la Figure V-17.

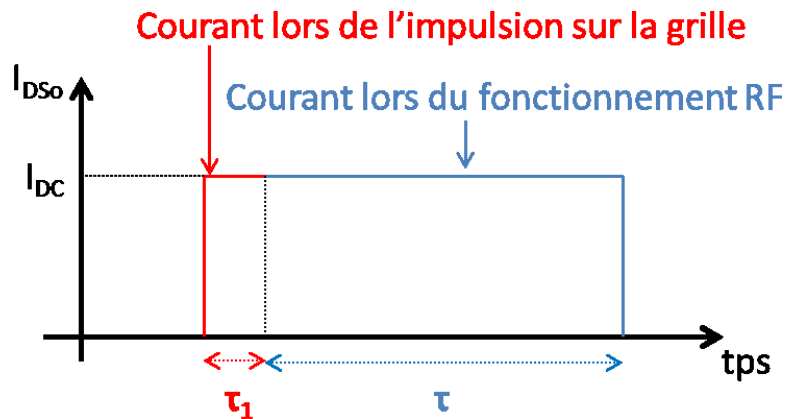


Figure V-17 : Schéma représentant le profil temporel de courant de drain prise en compte pour le calcul du rendement en puissance ajoutée global lorsque l'impulsion de polarisation de grille est appliquée.

Il est donc nécessaire de prendre en compte cette consommation dans le bilan énergétique global. Dans ce cas, le rendement en puissance ajoutée devient :

$$PAE(\%) = \frac{P_{RFout} - P_{RFin}}{V_{DC} \cdot I_{DC} \cdot (1 + \gamma)} \quad (V-5)$$

$$\text{avec } \gamma = \frac{\tau_1}{\tau}$$

$\tau_1 = 2 \mu s$ largeur de l'impulsion de polarisation de grille

$\tau = 25 \mu s$ largeur de l'impulsion RF

Le Tableau V-2 synthétise l'ensemble des rendements énergétiques du système avec et sans l'application de l'impulsion de polarisation de grille.

	P1	P2	P3	P4
Pout (dBm)	35.9	39.8	41.7	44
RFPA PAE ($V_{DS0}=40V$) (%)	29.3	42.5	50.6	62.1
RFPA PAE polarisation dynamique (%)	50.6	60.1	60.9	62.1
Rendement du modulateur de drain (%)	94.1	86.1	86.6	81.7
PAE globale (polarisation dynamique Drain) (%)	47.7	51.7	52.8	50.7
PAE globale (polarisation dynamique Drain et Grille) (%)	45.8	49.7	50.8	48.8

Tableau V-2 : Performances énergétiques mesurées avec et sans l'application de l'impulsion de polarisation de grille.

On observe une diminution de 2 points de rendement en puissance ajoutée pour chaque impulsion lorsque l'impulsion de polarisation de grille est appliquée. Néanmoins, le bilan énergétique global reste favorable pour les impulsions 1, 2 et 3 correspondant respectivement à un recul en puissance de sortie de 8, 4 et 2.3 dB.

V.5) Conclusion

Ce cinquième chapitre s'est focalisé sur la validation du démonstrateur de polarisation dynamique en fonctionnement impulsif multi-niveaux. La stratégie suivie a tout d'abord été de valider l'apport énergétique de cette technique, au moyen d'un banc de mesure d'enveloppe développé spécifiquement. La mise au point du système complet a permis de démontrer une amélioration de 18 points de rendement en puissance ajoutée pour un recul en puissance de sortie de 8dB.

Un des points essentiels traité dans ce chapitre concernait le couplage non-linéaire de l'amplificateur de puissance RF et du modulateur de polarisation qui conduit à des dispersions temporelles de l'enveloppe de sortie et donc à une réduction du facteur de forme du signal RF de sortie. Cette problématique relativement complexe et difficilement simulable a été mise en évidence expérimentalement, et nous a amenés à la conclusion que cette interaction dépendait de nombreux facteurs (*puissance du signal RF d'entrée, topologie du circuit de polarisation, valeur de la tension de polarisation de drain, conception de l'amplificateur de puissance RF, effets mémoires ...*), rendant la réponse temporelle difficilement prédictible et certainement préjudiciable dans des applications de type radar.

Dans ce sens, la dernière partie de ce chapitre nous a amenés à étudier une solution basée sur la gestion de la polarisation de grille pour assister le fonctionnement du système de polarisation dynamique de drain. Une étroite impulsion sur la polarisation de grille a été appliquée pour limiter les effets de dispersion pendant les impulsions RF. Cette technique a montré une nette amélioration du facteur de forme de l'enveloppe du signal RF de sortie et présente l'avantage d'homogénéiser l'ensemble des impulsions RF constituant le signal de validation quelle que soit la puissance ou la tension de polarisation. Un compromis facile et rapide à mettre en place entre l'amélioration obtenue sur le facteur de forme et l'impact sur le rendement global a été trouvé permettant ainsi de conserver l'amélioration énergétique obtenue par la technique de polarisation de drain dynamique. On peut noter que cette technique n'est pas propre à l'architecture réalisée dans ces travaux de recherche et peut être facilement transposable à d'autres conceptions et d'autres applications.

Conclusion générale et perspectives

Ce manuscrit s'est décomposé selon deux grandes parties. La première a permis d'établir le contexte général de ces travaux de recherche. Dans ce sens, les chapitres I et II ont respectivement posé les bases théoriques et dressé un bilan de l'état de l'art concernant le sujet.

Lors du **chapitre I**, nous avons présenté de façon synthétique le rôle et la place de la fonction amplification de puissance RF dans une chaîne de transmission. Puis nous avons souligné par quelques exemples les évolutions incontournables constituant les futures générations de systèmes de transmission RF (*miniaturisation, flexibilité, sobriété énergétique*). Les notions théoriques liées au fonctionnement statique et dynamique de l'amplificateur de puissance RF ont été rappelées (*définitions principales des puissances, rendement énergétique, classe de fonctionnement, linéarité, effets mémoires et critères de linéarité*). Cette base théorique nous a permis d'exposer simplement l'antagonisme existant entre les performances en efficacité énergétique et la linéarité de l'amplification de puissance RF. Finalement, ce chapitre s'est conclu en dressant le bilan des propriétés intrinsèques du matériau GaN et en mettant en évidence les potentialités de la technologie HEMT GaN dans le domaine de l'amplification de puissance hyper fréquence et dans le domaine des alimentations agiles.

Le **chapitre II** s'est consacré à un aspect bibliographique. Dans un premier temps cette étude a exposé clairement le compromis existant entre la bande passante, la puissance et le rendement énergétique maximal d'un amplificateur RF. La seconde partie de cette étude bibliographique s'est spécifiquement focalisée sur les techniques de gestion de la ressource énergétique des amplificateurs de puissance RF. En séparant cette analyse en deux grandes familles d'architectures (architectures avec couplage et combinaison de puissance de deux transistors et techniques de polarisation dynamique) et en gardant comme fil conducteur le compromis rendement/ bande passante /linéarité, nous avons dégagé les avantages et inconvénients de chaque technique décrite sur ce sujet. Il est apparu que les potentialités et bénéfices propres à chacune des techniques ne sont pas encore suffisantes pour s'imposer face à la technique Doherty même si celle-ci reste limitée en bande passante. A travers cette étude bibliographique relativement complète, l'apport de fonctions extérieures intégrées telles que le conditionnement des signaux en bande de base, les circuits drivers ou les alimentations agiles apparaît aller dans le sens de l'évolution des systèmes de transmissions en termes de flexibilité et rendement moyen, quelle que soit l'architecture d'amplification de puissance (*Doherty, Outphasing, Polarisation dynamique*).

La seconde partie de ce manuscrit, est constituée des chapitres III, IV et V, fait état du travail de conception et de caractérisation d'un module d'amplification hyper fréquence fonctionnant en polarisation dynamique, qui est apparu à travers les conclusions des chapitres I et II comme un levier non-négligeable pour l'amélioration du rendement énergétique de la fonction amplification de puissance.

Le **Chapitre III** a présenté la démarche de conception spécifique à un fonctionnement en polarisation dynamique d'un amplificateur RF large bande en technologie GaN. Parmi les phases de conception, le circuit de polarisation a fait l'objet d'une attention particulière afin d'assurer une connexion efficace avec un modulateur de polarisation tout en assurant la stabilité du système. Les réseaux d'adaptation ont quant à eux été conçus pour optimiser la bande passante RF de l'amplificateur et maximiser le rendement sur une large gamme de puissance de sortie en fonction de la tension de polarisation de drain. Les mesures statiques effectuées ont montré une puissance de sortie supérieure à 25W associée à un rendement en puissance ajoutée de l'ordre de 60% suivant la tension de polarisation ($20V < V_{DS0} < 40V$) sur une bande passante allant de 1.6GHz à 2.6GHz. Une gestion décorrélée du circuit de polarisation de l'impédance présentée au second harmonique, semblerait être une piste non-négligeable pour une amélioration significative du rendement global de l'amplificateur.

Le **chapitre IV** a présenté le développement et la conception d'un modulateur de polarisation de drain discret en technologie GaN. Ce chapitre a dans un premier lieu défini les problématiques et les spécificités de la conception d'un convertisseur DC/DC Boost haute fréquence. Le constat principal issu de cet état des lieux a conduit à un compromis existant entre le temps de réponse et le rendement énergétique de conversion qui est paramétré par la valeur de la fréquence de commutation. Dans ce sens, ce travail s'est largement focalisé sur la conception d'une architecture originale de driver de grille en technologie GaN, qui présente l'intérêt de réduire les pertes de commutation, d'être faible consommation ($< 1W$) et surtout de répondre à la problématique de génération de signal de commande PWM haute fréquence. La seconde partie de ce chapitre a été principalement consacrée à l'implémentation globale du modulateur de polarisation de drain où le choix des composants a été discuté pour trouver le meilleur compromis et répondre au mieux à l'application de polarisation dynamique discrète. Sur ce point, les technologies de diodes existantes à ce jour sont apparues comme un point limitant notamment du point de vue du temps de recouvrement en inverse. Les mesures statiques et dynamiques du modulateur de polarisation ont montré un rendement supérieur à 80% pour une fréquence de commutation de 40MHz associé à une puissance maximale de sortie de 40W et un temps de réponse de 8us.

Finalement nous avons développé dans le **chapitre V**, un banc de mesure temporelle d'enveloppe spécifique à la technique de polarisation dynamique. Ce banc de mesure nous a permis dans un premier temps de valider expérimentalement le démonstrateur réalisé et de souligner la problématique de couplage non-linéaire existant entre l'amplificateur de puissance RF et le modulateur de polarisation de drain. Un signal de validation de type RF impulsionnel à plusieurs niveaux a été choisi pour valider le démonstrateur en dynamique et a démontré un intérêt énergétique dans des applications d'antenne à balayage électronique où l'agilité spatiale du diagramme de rayonnement passe par une pondération en phase et en amplitude d'un grand nombre d'éléments rayonnants. L'expérimentation a mis en évidence un impact certain de la polarisation dynamique de drain sur le facteur de forme de l'enveloppe du signal RF de sortie, nous amenant à implémenter une solution de polarisation dynamique de grille afin d'assister et limiter l'interaction non-linéaire entre l'amplificateur et le modulateur d'alimentation. Finalement un compromis a été obtenu entre le facteur de forme de

l'impulsion RF de sortie et le rendement énergétique en fonction du recul en puissance de sortie.

Des prolongements et perspectives de ces travaux pourraient concerner d'un point de vue système le couplage d'une multitude de modules à un réseau d'antennes, pour analyser les atouts en termes d'efficacité énergétique globale définie par le rapport de conversion entre la consommation DC globale et la PIRE (« *Puissance isotrope rayonnée équivalente* »).

D'un point de vue « fonction », il serait intéressant d'étudier l'association de plusieurs circuits, plus intégrés que le démonstrateur proposé dans ces travaux, avec des porteuses en opposition de phase pour s'orienter vers des fonctions « *Modulateur I/Q de puissance à haut rendement* ».

D'un point de vue circuit, il serait judicieux de prolonger les investigations sur les circuits driver de grille en signaux quasi-carrés et avec un facteur de forme variable pour des fréquences de fonctionnement beaucoup plus hautes.

Le tout devrait s'accompagner d'une avancée de développement en laboratoire d'un banc d'instrumentation ayant une structure d'au moins deux voies de génération et synthèse numériques (*AWG 40GHz multi-canaux*) des porteuses hyper-fréquences.

Bibliographie

- [1] Keysight. [En ligne]. Available: <http://about.keysight.com/en/newsroom/backgrounders/wms/>.
- [2] K. Takagi, T. Senju, K. Matsushita, H. Sakurai, K. Onodera, S. Nakanishi, K. Kuroda et T. Soejima, «A 20-Watt Ka-band GaN high power amplifier MMIC,» chez *European Microwave Integrated Circuit Conference (EuMIC)*, 2014.
- [3] Journaldugeek, «<http://www.journaldugeek.com/2015/02/06/4g-bouygues-fait-de-chartres-la-ville-la-plus-rapide-de-france/>,» 6 février 2015. [En ligne].
- [4] FIEEC, «http://www.fieec.fr/iso_album/rapport_idate_-_impact_environnemental_de_la_filiere_tic_en_france_-_janvier_2010.pdf,» 14 janvier 2010. [En ligne].
- [5] D. Sardin, "Méthodes de conception d'amplificateurs de puissance flexibles pour les applications spatiales.", Limoges, 2010.
- [6] S. C. Cripps, "RF Power Amplifiers for Wireless Telecommunication", 2006.
- [7] A. Grebennikov et N. Sokal, "Switchmode RF and Microwave Power Amplifiers - Second Edition", 2007.
- [8] P. Medrel, "Amplification de puissance linéaire à haut rendement en technologie GaN intégrant un contrôle de polarisation de grille", Limoges, 2014.
- [9] J. Delprato, D. Barataud, M. Campovecchio, G. Neveux, C. Tolant et P. Eudeline, «Measured and Simulated Impact of Irregular Radar Pulse Trains on the Pulse-to-Pulse Stability of Microwave Power Amplifiers,» *Microwave Theory and Techniques, IEEE Transactions*, Dec. 2014.
- [10] «GaNSystems,» [En ligne]. Available: http://www.gansystems.com/why_gallium_nitride_new.php.
- [11] T. Mimura, N. Tokoyama, H. Kusakawa et al., «GaAs MOSFET for low-power high-speed logic applications,» *37th Device Research Conference, University of Colorado, Boulder*.
- [12] M. Asif Khan, A. Bhattarai, J. N. Kuznia et D. T. Olson, «High electron mobility transistor based on a GaN-AlxGa1-xN heterojunction,» *Applied Physics Letters*, 65.
- [13] «Efficient PowerConversion,» [En ligne]. Available: <http://epc-co.com/epc>.
- [14] W. Lanford, T. Tanaka, Y. Otoki et I. Adesida, «Recessed-gate enhancement-mode GaN HEMT with high threshold voltage,» *Electronics Letters*, 2005.
- [15] A. Lidow, J. Strydom, M. De Rooij et D. Reusch., 'GaN Transistor for Efficient Power Conversion - Second Edition', 2015.
- [16] Y. Cai, Y. Zhou, K. Lau et K. Chen, «Control of threshold voltage of AlGaIn/GaN HEMTs by fluoride-based plasma treatment: from depletion-mode to enhancement-mode,» *IEEE Transactions on Electron Devices*, 2006.
- [17] X. Hu, G. Simin, J. Yang et al., «Enhancement-mode AlGaIn/GaN HFET with selectively grown pn junction gate,» *Electronics Letters*, 2000.
- [18] M. Murphy, «Cascode circuit employing a depletion-mode». US Patent Brevet No. 7,501,670 B2., 10 Mars 2009.

- [19] X. Huang, Z. Liu, Q. Li et F. Lee, «Evaluation and application of 600V GaN HEMT in cascade structure,», *Proceedings of the 28th Annual IEEE Applied Power Electronics Conference (APEC), Long Beach, CA.,* March 2013.
- [20] R. Keyes, «Figure of merit for semiconductors for high-speed switches,», *Proceedings of the IEEE*, vol.60, no.2, pp.225,225, Feb. 1972..
- [21] J.-G. Tartarin, «La technologie GaN et ses applications pour l'électronique robuste, haute fréquence et de puissance,», *Rapport LAAS n 08644. Veille technologique sur la filière GaN.*, 2008.
- [22] Z. Flores. et J. Alberto., Device Characterization and Modeling of Large-Size GaN HEMTs.
- [23] Nxp goes with GaN, «Nxp goes with GaN,» 2011. [En ligne]. Available: <http://www.compoundsemiconductor.net/article/88567-nxp-goes-with-gan.html>.
- [24] OMMIC. [En ligne]. Available: http://www.microwave-rf.com/docs/PRESENTATION_OMMIC_14_h00_a_14_h_30.pdf.
- [25] [En ligne]. Available: <http://www.digikey.com/product-detail/en/BLF8G10LS-160,118/568-8671-2-ND/2779812>.
- [26] [En ligne]. Available: <http://www.digikey.com/product-search/en?mpart=CGH55030F2&vendor=90>.
- [27] B. Baliga, « Power semiconductor device figure of merit for high-frequency applications,» *Electron Device Letters, IEEE*, Oct. 1989.
- [28] S. Johan, «“eGaN-Silicon Power Shoot-Out: Comparing Figure of Merit (FOM)”», 2010. [En ligne]. Available: <http://powerelectronics.com/sitefiles/powerelectronics.com/files/archive/powerelectronics.com/images/GaliumnitrideTransistors910.pdf>.
- [29] R. John, K. Greg et Y. Lyubos, «GaN Transistors – Drive Control, Thermal Management, Isolation,» *Power electronics technology*, 2013.
- [30] F. Medjdoub, D. Marcon, J. Das, J. Derluyn, K. Cheng, S. Degroote, N. Vellas, C. Gaquiere, M. Germain et S. Decoutere, «GaN-on-Si HEMTs above 10 W/mm at 2 GHz together with high thermal stability at 325°C,» *Microwave Integrated Circuits Conference (EuMIC)*, 2010.
- [31] P. Aflaki, R. Negra et F. Ghannouchi, «Design and implementation of an inverse class-F power amplifier with 79 % efficiency by using a switch-based active device model,» *Radio and Wireless Symposium*, 2008.
- [32] C. Rong, Y. Xu, M. Xia, Y. Luo et R. Ou, «Broadband class E GaN power amplifier design in S band with low-pass match,» *Communication Problem-Solving (ICCP)*, 2014.
- [33] R. Giofre, P. Colantonio, F. Giannini, A. Pantellini, A. Nanni, C. Lanzieri et D. Pistoia, «1–7 GHz Single-Ended Power Amplifier based on GaN HEMT grown on Si-substrate,» *Microwave Integrated Circuits Conference (EuMIC)*, 2012.
- [34] A. Sayed, A. Al Tanany et G. Boeck, «5W, 0.35–8 GHz linear power amplifier using GaN HEMT,» *Microwave Conference, 2009. EuMC*, 2009.
- [35] A. Sayed et G. Boeck, «5W highly linear GaN power amplifier with 3.4 GHz bandwidth,» *Microwave Conference (EUMC)*, 2007.
- [36] P. Saad, H. Nemati, M. Thorsell, K. Andersson et C. Fager, «An inverse class-F GaN HEMT power amplifier with 78% PAE at 3.5 GHz,» *Microwave Conference EuMC*, 2009.

- [37] R. Ma, S. Goswami, K. Yamanaka, Y. Komatsuzaki et A. Ohta, «A 40-dBm high voltage broadband GaN Class-J power amplifier for PoE micro-basestations,» *Microwave Symposium Digest (IMS)*, 2013.
- [38] B. Merrick, J. King et T. Brazil, «A novel continuous Class-F mode Power Amplifier,» *Power Amplifiers for Wireless and Radio Applications (PAWR)*, 2014.
- [39] B. M. Abdrahman, H. N. Ahmed et M. E. Gouda, «Design of a 10W, highly linear, ultra wideband power amplifier based on GaN HEMT,» *Engineering and Technology (ICET)*, 2012.
- [40] B. Abdrahman, H. Ahmed et K. Shehata, «Design and implementation of a 9W, 0.3 – 3.7 GHz linear power amplifier using GaN HEMT,» *Circuits and Systems (MWSCAS)*, 2013.
- [41] S.-H. Kam, M.-W. Lee et J. Yoon-Ha, «A high-efficiency inverse class-E power amplifier using double CRLH-TL for 3.5 GHz WiMAX applications,» *Microwave Conference Proceedings (APMC)*, 2011.
- [42] D. Wu, F. Mkadem et S. Boumaiza, «Design of a broadband and highly efficient 45W GaN power amplifier via simplified real frequency technique,» *Microwave Symposium Digest (MTT)*, 2010.
- [43] H. Sledzik, R. Reber, B. Bunz, P. Schuh, M. Oppermann, M. Musser, M. Seelmann-Eggebert et R. Quay, «GaN based power amplifiers for broadband applications from 2 GHz to 6 GHz,» *Microwave Conference (EuMC)*, 2010.
- [44] C. Runton et al., «Multi-Octave Practical Power Amplifier Realization using GaN on SiC,» *Broadband PAs for Wireless Communications workshop, IMS*, 2012.
- [45] H. Carlin, «Theoretical Limitations on the Broad-Band Matching of Arbitrary Impedances,» *Circuit Theory, IRE Transactions on*, 1961.
- [46] W. Doherty, «A New High Efficiency Power Amplifier for Modulated Waves,» *Radio Engineers, Proceedings of the Institute*, 1936.
- [47] J. Qureshi, N. Li, W. Neo, F. van Rijs, I. Blednov et L. de Vreede, «A wide-band 20W LMOS Doherty power amplifier,» *Microwave Symposium Digest (MTT)*, 2010.
- [48] W. Kim., K. Cho. et S. Stapleton., «N-way Doherty distributed power amplifier». Brevet US7688135-B22010.
- [49] H. Chireix, «High Power Outphasing Modulation,» *Radio Engineers, Proceedings of the Institute of*, 1935.
- [50] D. Cox, «Linear Amplification with Nonlinear Components,» *Communications, IEEE Transactions on*, 1974.
- [51] Y.-C. Chen, K.-Y. Jheng, A.-Y. Wu, H.-W. Tsao et T. Bosen, «Multilevel LINC System Design for Wireless Transmitters,» *VLSI Design, Automation and Test*, 2007.
- [52] S. Chung, P. Godoy, T. Barton, E. Huang, D. Perreault et J. Dawson, «Asymmetric multilevel outphasing architecture for multi-standard transmitters,» *Radio Frequency Integrated Circuits Symposium*, 2009.
- [53] L. Kahn, «Single-Sideband Transmission by Envelope Elimination and Restoration,» *Proceedings of the IRE*, 1952.
- [54] P. Godoy, S. Chung, T. Barton, D. Perreault et J. Dawson, «A highly efficient 1.95-GHz, 18-W asymmetric multilevel outphasing transmitter for wideband applications,» *Microwave Symposium Digest (MTT)*, 2011.

- [55] S. Chung, P. Godoy, T. Barton, D. Perreault et J. Dawson, «Asymmetric multilevel outphasing transmitter using class-E PAs with discrete pulse width modulation,» *Microwave Symposium Digest (MTT)*, 2010.
- [56] F. Raab et N. Sokal, «Transistor power losses in the class E tuned power amplifier,» *Solid-State Circuits*, 1978.
- [57] J. Keyzer, R. Uang, Y. Sugiyama, M. Iwamoto, I. Galton et P. Asbeck, «Generation of RF pulsewidth modulated microwave signals using delta-sigma modulation,» *Microwave Symposium Digest*, 2002.
- [58] J. Walling, S. Taylor et D. Allstot, «A Class-G Supply Modulator and Class-E PA in 130 nm CMOS,» *Solid-State Circuits*, 2009.
- [59] P. Godoy, D. Perreault et J. Dawson, «Outphasing Energy Recovery Amplifier With Resistance Compression for Improved Efficiency,» *Microwave Theory and Techniques*, 2009.
- [60] E.-A. Mohamad, «Amélioration de la linéarité et du rendement énergétique des amplificateurs de puissance de topologie à deux branches pour les communications sans fil : cas d'un amplificateur LINC,» Montréal, 2009.
- [61] G. Poitou et A. Kouki, «MILC: Modified Implementation of the LINC Concept,» *Microwave Symposium Digest IEEE MTT-S International*, 2009.
- [62] M. van der Heijden, M. Acar, J. Vromans et Calvillo-Cortes, «A 19W high-efficiency wide-band CMOS-GaN class-E Chireix RF outphasing power amplifier,» *Microwave Symposium Digest (MTT)*, 2011.
- [63] A. C.-C. David, v. d. H. Mark P., A. Mustafa, d. L. Michel, W. Robin, v. R. Fred et d. V. Leo, «A Package-Integrated Chireix Outphasing RF Switch-Mode High-Power Amplifier,» *TMTTS*, 2013.
- [64] D. Perreault, «A new power combining and outphasing modulation system for high-efficiency power amplification,» *Circuits and Systems (MWSCAS)*, 2010.
- [65] D. Perreault, «A New Power Combining and Outphasing Modulation System for High-Efficiency Power Amplification,» *Circuits and Systems I: Regular Papers*, 2011.
- [66] R. Darraji, F. Ghannouchi et O. Hammi, «A Dual-Input Digitally Driven Doherty Amplifier Architecture for Performance Enhancement of Doherty Transmitters,» *Microwave Theory and Techniques*, 2011.
- [67] C. Andersson, D. Gustafsson, J. Chani Cahuana, R. Hellberg et C. Fager, «A 1–3-GHz Digitally Controlled Dual-RF Input Power-Amplifier Design Based on a Doherty-Outphasing Continuum Analysis,» *Microwave Theory and Techniques*, 2013.
- [68] D. Gustafsson, «An extending the bandwidth of the Doherty power amplifier,» 2014.
- [69] A. Conway, Y. Zhao, P. Asbeck et M. Micovic, «Dynamic gate bias technique for improved linearity of GaN HFET power amplifiers,» *Microwave Symposium Digest, IEEE MTT-S International*, 2005.
- [70] Y. Fun, C. Jen-Shiun, C. Chun-Wen et S. Yu-Chen, «Dynamic Bias Circuits for Efficiency Improvement of RF Power Amplifier,» *Tamkang J. of Sc. and Eng.*, 2004.
- [71] P. Medrel, A. Ramadan, J. Nebus, P. Bouysse, L. Lapierre et J. Villemazet, «High efficiency class B GaN power amplifier with dynamic gate biasing for improved linearity,» *Electronics Letters*, 2012.
- [72] I. Kim, J. Moon, S. Jee et B. Kim, «Optimized Design of a Highly Efficient Three-Stage Doherty PA Using Gate Adaptation,» *Microwave Theory and Techniques, IEEE Transactions on*, 2010.

- [73] Y. Park, J. Lee, S. Jee, S. Kim et B. Kim, «Gate Bias Adaptation of Doherty Power Amplifier for High Efficiency and High Power,» *Microwave and Wireless Components Letters, IEEE*, 2015.
- [74] J. Hoversten, S. Schafer, M. Roberg, M. Norris, D. Maksimovic et Z. Popovic, «Codesign of PA, Supply, and Signal Processing for Linear Supply-Modulated RF Transmitters,» *Microwave Theory and Techniques, IEEE Transactions on*, 2012.
- [75] M. Vasic, O. Garcia, J. Oliver, P. Alou et J. Cobos, «Survey of architectures and optimizations for wide bandwidth envelope amplifier,» *Power Electronics and Motion Control Conference (EPE/PEMC)*, 2012.
- [76] J. Zhou, K. Morris, G. Watkins et K. Yamaguchi, «Three-band high-efficiency modulator for envelope tracking power amplifier using class-B push-pull amplifiers,» *Microwave Conference (EuMC)*, 2012.
- [77] D. Sardin et Z. Popović, «High efficiency 15–500MHz wideband cascode GaN HEMT MMIC amplifiers,» *Microwave Symposium (IMS), IEEE MTT-S International*, 2014.
- [78] J. Garcia, R. Marante, M. Ruiz et G. Hernandez, «A 1 GHz frequency-controlled class E2 DC/DC converter for efficiently handling wideband signal envelopes,» *Microwave Symposium Digest (IMS)*, 2013.
- [79] F. Raab, «Average Efficiency of Class-G Power Amplifiers,» *Consumer Electronics, IEEE Transactions on*, 1986.
- [80] J. Walling, S. Taylor et D. Allstot, «Multiple supply (class-G) linear modulator and PA for non-CE modulation,» *Radio Frequency Integrated Circuits Symposium*, 2009.
- [81] S. Modi, P. Balsara et O. Eliezer, «Reduced bandwidth class H supply modulation for wideband RF power amplifiers,» *Wireless and Microwave Technology Conference (WAMICON)*, 2012.
- [82] L. Bacque, P. Bouysse, W. Rebernak, C. Poumier, L. Lapierre, G. Nanfack-Nkondem, G. Neveux, D. Barataud et R. Quere, «High-Current–High-Speed Dynamic Bias Control System Applied to a 100-W Wideband Push–Pull Amplifier,» *Microwave Theory and Techniques, IEEE Transactions on*, 2008.
- [83] N. Le Gallou, D. Sardin, C. Delepaut, M. Campovecchio et S. Rochette, «Over 10MHz bandwidth envelope-tracking DC/DC converter for flexible high power GaN amplifiers,» *Microwave Symposium Digest (MTT)*, 2011.
- [84] F. Gamand, M. D. Li et C. Gaquiere, «A 10-MHz GaN HEMT DC/DC Boost Converter for Power Amplifier Applications,» *Circuits and Systems II: Express Briefs, IEEE Transactions on*, 2012.
- [85] F. Leroy, O. Deblecker, F. Dualibe, C. Delepaut et N. Le Gallou, «Efficient hard-switching DC/DC converters for envelope-tracking applications,» *Power Electronics and Applications (EPE'14-ECCE Europe)*, 2014.
- [86] Z. Wang, Envelope Tracking Power Amplifiers for Wireless Communications, 2014.
- [87] P. Theilmann, J. Yan, C. Vu, J.-S. Moon, H. Moyer et D. Kimball, «A 60MHz Bandwidth High Efficiency X-Band Envelope Tracking Power Amplifier,» *Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2013.
- [88] J. H. Kim, G. D. Jo, J. H. Oh, Y. H. Kim, K. C. Lee et H. J. Jae, «3.54GHz 10W envelope tracking amplifier with 43% efficiency utilizing the 1.5 bit-high efficiency envelope amplifier,» *Power Amplifiers for Wireless and Radio Applications (PAWR)*, 2011.

- [89] M. Hassan, L. Larson, V. Leung et P. Asbeck, «A Combined Series-Parallel Hybrid Envelope Amplifier for Envelope Tracking Mobile Terminal RF Power Amplifier Applications,» *Solid-State Circuits, IEEE Journal of*, 2012.
- [90] Z. Wang, «A supply modulator with nested structure for wideband envelope tracking power amplifier,» *Power Amplifiers for Wireless and Radio Applications (PAWR)*, 2012.
- [91] P. Augeau, «Alimentations de puissance agiles en technologie GaN pour,» Université de Limoges, 2013.
- [92] P. Augeau., P. Bouysse., A. Martin. et al., «A new GaN-based high-speed and high-power switching circuit for envelope-tracking modulators,» *International Journal of Microwave and Wireless Technologies*, 2014.
- [93] P. Medrel, A. Delias, P. Augeau, A. Martin, G. Neveux, P. Bouysse et J.-M. Nebus, «Implementation of dual gate and drain dynamic voltage biasing to mitigate load modulation effects of supply modulators in envelope tracking power amplifiers,» *Microwave Symposium (IMS)*, 2014.
- [94] Datsheet_GCHV1F025S, «<http://www.cree.com/~media/Files/Cree/RF/Data%20Sheets/CGHV1F025S.pdf>,» [En ligne].
- [95] Datasheet_RO4350B, «<http://www.rogerscorp.com/documents/726/acs/RO4000-LaminatesData-sheet.pdf>,» [En ligne].
- [96] G. Gonzalez, *Microwave Transistor Amplifiers: Analysis and Design* (2nd Edition), 1984.
- [97] Y.-T. Wu, F. Mkadem et S. Boumaiza, «Design of a broadband and highly efficient 45W GaN power amplifier via simplified real frequency technique,» *Microwave Symposium Digest (MTT)*, 2010.
- [98] K. Chen et D. Peroulis, «Design of Highly Efficient Broadband Class-E Power Amplifier Using Synthesized Low-Pass Matching Networks,» *Microwave Theory and Techniques, IEEE Transactions on*, 2011.
- [99] A. Anakabe., J. Collantes., J. Portilla., S. Mons. et A. Mallet., "Detecting and avoiding odd-mode parametric oscillations in microwave power amplifiers", 2005.
- [100] A. Anakabe, J.-M. Collantes, J. Portilla, J. Jugo, A. Mallet, L. Lapierre et J.-P. Fraysse, «Analysis and elimination of parametric oscillations in monolithic power amplifiers,» *Microwave Symposium Digest, 2002 IEEE MTT-S International*, 2002.
- [101] J. Pelaz, J.-M. Collantes, N. Otegi, A. Anakabe et G. Collins, «Experimental Control and Design of Low-Frequency Bias Networks for Dynamically Biased Amplifiers,» *Microwave Theory and Techniques, IEEE Transactions on*, 2015.
- [102] F. Gamand, "Amplificateurs de puissance et convertisseur DC/DC à base de GaN pour des applications hyperfréquences".
- [103] Vishay, «"Power MOSFET Basics : Understanding Gate Charge and Using it to Assess Switching Performance,"», Decembre 2004.
- [104] On-Semiconductor, «"MOSFET Gate-Charge Origin and its Applications,"», Avril 2012.
- [105] B. Wang, N. Tipirneni, M. Riva, A. Monti, G. Simin et E. Santi, «An Efficient High-Frequency Drive Circuit for GaN Power HFETs,» *Industry Applications, IEEE Transactions on*, 2009.

- [106] M. Acar, M. van der Heijden et D. Leenaerts, «0.75 Watt and 5 Watt drivers in standard 65nm CMOS technology for high power RF applications,,» *Radio Frequency Integrated Circuits Symposium (RFIC)*, 2012.
- [107] «TI,» [En ligne]. Available: <http://www.ti.com/lit/ds/symlink/lm5113.pdf>.
- [108] «Cree,» [En ligne]. Available:
<http://www.cree.com/~media/Files/Cree/RF/Data%20Sheets/CGHV1F006S.pdf>.
- [109] «Farnell,» [En ligne]. Available: <http://www.farnell.com/datasheets/1849486.pdf>.
- [110] «LT,» [En ligne]. Available: <http://cds.linear.com/docs/en/datasheet/lt1252.pdf>.
- [111] «LT,» [En ligne]. Available: <http://cds.linear.com/docs/en/datasheet/1117fd.pdf>.
- [112] «LT,» [En ligne]. Available: <http://cds.linear.com/docs/en/datasheet/3015fb.pdf>.
- [113] «Cree,» [En ligne]. Available:
<http://www.cree.com/~media/Files/Cree/RF/Data%20Sheets/CGH40045.pdf>.
- [114] «Cree,» [En ligne]. Available:
<http://media.digikey.com/pdf/Data%20Sheets/CREE%20Power/CSD10060.pdf>.
- [115] «LT,» [En ligne] <http://cds.linear.com/docs/en/datasheet/1117fd.pdf>.

Résumé

Polarisation dynamique de drain et de grille d'un amplificateur RF GaN appliquée à un fonctionnement RF impulsif à plusieurs niveaux.

Les systèmes de transmission de l'information sans fil connaissent un essor considérable et sont intégrés dans la plupart des systèmes électroniques modernes. De manière plus spécifique, la consommation énergétique de la fonction amplification de puissance RF, qui constitue le cœur de ce travail de recherche, est un enjeu économique et écologique de premier plan. Dans ce sens, ce travail présente une architecture de polarisation de drain dynamique permettant de maintenir un rendement énergétique élevé sur une large dynamique de puissance de sortie. La conception et la réalisation d'un amplificateur de puissance RF large bande, d'un modulateur de polarisation de drain haute fréquence et d'un pilote de grille en technologie GaN sont présentés. L'architecture proposée démontre une amélioration du rendement énergétique global. Une focalisation sur la problématique de couplage non-linéaire entre l'amplificateur de puissance RF et le module d'alimentation agile met en évidence les répercussions de cette méthode sur l'intégrité du signal. Une étroite impulsion de polarisation de grille est appliquée afin d'atténuer l'impact de la polarisation dynamique de drain sur les formes d'onde de l'enveloppe du signal RF amplifié. Une validation expérimentale du démonstrateur proposée est effectuée pour un signal impulsif RF multi-niveaux de test. Cette méthode permet de maintenir un facteur de forme de l'enveloppe du signal de sortie RF quasi-rectangulaire sans impact majeur sur les performances globales énergétiques.

Mots clés : Amplificateur de puissance RF, Polarisation de grille et de drain dynamique, Convertisseur de puissance DC/DC, Modulation PWM, Pilote de grille, GaN HEMT, Caractérisation temporelle d'enveloppe.

Abstract

Dual gate and drain dynamic voltage biasing of RF GaN amplifier applied to a multilevel pulsed RF signals.

Wireless communications are experiencing tremendous growth and are integrated into most modern electronic systems. More precisely, saving energy consumption of RF power amplifier is the core of this thesis work. This work presents a dynamic drain bias architecture used to keep a high efficiency over a large output power range. Design and implementation of a wideband RF power amplifier, a drain supply modulator and a gate driver circuit in GaN technology are presented. The built-in prototype demonstrates an overall efficiency improvement. A specific focus on non-linear interaction between the RF power amplifier and the drain supply modulator highlights the effects of this technique on the output envelope signal shape. A narrow pulse gate bias peaking preceding drain bias voltage variations is applied in order to mitigate drain bias current, voltage overshoot and power droop, thus improving pulse envelope waveforms of the RF output signal. An experimental validation of the proposed demonstrator is performed for a RF pulsed test sequence having different power levels. This way enables to keep rectangular pulse envelope shape at the RF output signal without any major impact on overall efficiency performances.

Keywords: Gate & drain dynamic voltage biasing, DC-DC power converters, pulse-width modulation, Gate driver, HEMT GaN, Time domain envelope characterization.