

THESE

Présentée à l'Université de Lille 1
Ecole Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE

Spécialité : MICROONDES ET MICROTECHNOLOGIES

Par

Marina DENG

Ingénieur Polytech Marseille

Contribution à la caractérisation et la modélisation jusqu'à 325 GHz
de transistors HBT des technologies BiCMOS

Soutenue le 11 décembre 2014 devant la Commission d'examen

Membres du jury :

Pr. Gilles DAMBRINE	Directeur de thèse (IEMN – Lille)
Pr. François DANNEVILLE	Co-directeur de thèse (IEMN – Lille)
Pr. Jean GAUBERT	Rapporteur (IM2NP – Marseille)
Pr. Jean-Pierre RASKIN	Rapporteur (UCL – Louvain)
Pr. Christophe GAQUIERE	Membre (IEMN – Lille)
Dr. Thomas QUEMERAIS	Membre (STMicronics – Crolles)
Dr. Nicolas ZEROUNIAN	Membre (IEF – Paris)
Pr. Jean-Michel FOURNIER	Membre (IMEP-LAHC – Grenoble)
Mr. Daniel GLORIA	Invité (STMicronics – Crolles)

Remerciements

*Ce travail de thèse a été effectué à l'Université de Lille 1 – Sciences et Technologies, au sein du Département Hyperfréquences et Semi-conducteurs (DHS) de l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN), dirigé par Monsieur le Professeur **Lionel Buchailot**.*

*Je remercie tout d'abord Monsieur le Professeur **Christophe Gaquière** pour l'intérêt qu'il a porté à mes travaux de thèse et sa présence en tant que président de la Commission d'examen.*

*J'adresse mes remerciements respectueux à Monsieur **Jean Gaubert**, Professeur de l'Université d'Aix-Marseille, et à Monsieur **Jean-Pierre Raskin**, Professeur à l'Université Catholique de Louvain, qui me font l'honneur de juger ce travail et d'en être rapporteurs.*

*Je tiens à remercier sincèrement Monsieur le Professeur **Gilles Dambrine** et Monsieur le Professeur **François Danneville** qui ont dirigé ces travaux. Les conseils scientifiques qu'ils m'ont prodigués, leur disponibilité lors de mes difficultés et leur soutien dans mes initiatives m'ont permis de mener à bien cette étude et de m'épanouir au sein du laboratoire.*

*Je remercie également Monsieur **Nicolas Zerounian**, Maître de conférences à l'Université Paris-Sud, et Monsieur **Jean-Michel Fournier**, Professeur à l'école Grenoble INP-Phelma, de me faire l'honneur de participer à la Commission d'examen en tant qu'examineurs de ce travail.*

*Je remercie chaleureusement Monsieur **Thomas Quémerais**, Docteur et Ingénieur à STMicroelectronics, et Monsieur **Daniel Gloria**, Ingénieur à STMicroelectronics, pour leur encadrement lors de mes séjours à Crolles et le plaisir qu'ils me font à participer au jury de thèse.*

*Je tiens à exprimer toute ma reconnaissance au personnel de la Centrale de Caractérisation de l'IEMN pour leur disponibilité et leur sens du service. Particulièrement, un grand merci à **Sylvie Lépilliet** qui m'a formée, assistée et transmis sa passion pour les mesures hyperfréquences. Son dévouement et sa patience, mais aussi ses encouragements, sont indissociables de ces travaux de thèse.*

*Je voudrais aussi vivement remercier les membres et anciens membres du groupe **ANODE (CARBON compris)** pour leur sympathie et les moments conviviaux, qui ont contribué pour beaucoup au bon déroulement de cette thèse.*

Merci à tou(te)s les doctorant(e)s avec qui j'ai partagé tant de moments agréables à travers l'ASPID, les JNRDM 2014 à Lille, et d'autres occasions.

*... à Baptiste, à ma famille et à tous
ceux qui me sont chers*

Table des matières

Introduction générale.....	9
Chapitre 1 : Caractérisation hyperfréquence de dispositifs silicium : intérêts et challenges	11
I. Introduction du Chapitre 1	12
II. Emergence des applications en gamme millimétrique et térahertz pour le marché de masse	12
III. Intérêt de la filière technologique silicium.....	14
III.1. Intérêt économique	14
III.2. Performances croissantes	15
IV. Caractérisation en régime petit signal et bruit au-delà de 100 GHz.....	20
IV.1. Flot de caractérisation et modélisation en régime petit signal	21
IV.2. Méthodes de caractérisation en bruit RF	24
IV.3. Bancs de mesures de paramètres S et de bruit disponibles.....	32
IV.4. Etat des lieux sur la caractérisation petit signal et bruit avant la thèse	33
V. Conclusion du Chapitre 1.....	35
Chapitre 2 : Mesures et modélisation petit signal et bruit en gamme millimétrique de transistors bipolaires à hétérojonction SiGe.....	37
I. Introduction du Chapitre 2	38
II. Correction des mesures de paramètres S	39
II.1. Calibrage sous pointes du banc de mesures de paramètres S	39
II.2. Epluchage des accès du transistor	46
III. Caractérisation en régime petit signal de transistors bipolaires SiGe de dernière génération	59
III.1. Mesures statiques	59
III.2. Mesures hyperfréquence.....	61
IV. Modélisation petit signal du transistor bipolaire SiGe jusqu'à 325 GHz	65
IV.1. Description du schéma équivalent petit signal	65
IV.2. Extraction des paramètres extrinsèques.....	66
IV.3. Extraction des éléments intrinsèques.....	69
IV.4. Validation de l'extraction des paramètres du schéma équivalent petit signal	73
V. Modélisation en bruit du transistor bipolaire SiGe jusqu'à 170 GHz	80
V.1. Description du modèle de bruit	80
V.2. Mesures de facteur de bruit	81
V.3. Validation du modèle de bruit	85
VI. Conclusion du Chapitre 2.....	87
Chapitre 3 : Caractérisation en bruit de transistors bipolaires à hétérojonction SiGe jusqu'à 170 GHz... 89	89
I. Introduction du Chapitre 3	90
II. Extraction des quatre paramètres de bruit de 130 à 170 GHz du transistor B9MW.....	91
II.1. Architecture du tuner d'impédance B9MW en bande D	91
II.2. Mesures de bruit multi-impédance	92
II.3. Procédure d'extraction des quatre paramètres de bruit.....	93
II.4. Calcul d'erreur sur l'extraction des paramètres de bruit en bande D	100
II.5. Validation de l'extraction par comparaison aux mesures de facteur de bruit.....	109
III. Conception de circuits dédiés à la caractérisation en bruit du transistor B55 jusqu'à 170 GHz	112
III.1. Conception d'amplificateur en bande G	113
III.2. Conception de tuner d'impédance	122
IV. Conclusion du Chapitre 3.....	129
Conclusion générale	131
Références.....	133
Liste des publications.....	147

Introduction générale

De nombreuses applications d'électronique grand public sont aujourd'hui présagées en gamme millimétrique et térahertz. Elles concernent notamment les communications à très haut débit, les radars automobiles pour l'amélioration de la sécurité routière, les capteurs industriels pour l'automatisation de procédés de fabrication, l'imagerie médicale pour la détection de tumeurs et l'imagerie pour la sécurité des personnes. Ces applications émergentes en gamme millimétrique et térahertz représentent un marché à fort potentiel de croissance pour les industries de la microélectronique. La filière silicium a la capacité d'adresser ces applications grâce à des transistors bipolaires à hétérojonction (HBT) silicium-germanium (SiGe) dont les fréquences de coupure ne cessent de croître au travers de développements continus ($f_T/f_{max} = 300/500$ GHz).

Par ailleurs, la conception des circuits en gamme millimétrique et térahertz repose sur la simulation de modèles de composants de plus en plus précis et fiables pour éviter de nombreuses itérations de fabrication qui entraîneraient de longs délais de commercialisation. Une maturation rapide des modèles et du procédé de fabrication est alors requise et elle s'accompagne nécessairement de la caractérisation du composant, au travers de mesures hyperfréquences, telles que les mesures de paramètres S et les mesures de bruit RF.

Un modèle linéaire de composant est en général extrait et validé par des mesures de paramètres S . Ces paramètres S sont corrigés des contributions parasites liées au banc de mesures et à l'ensemble des accès du composant. Au-delà de 100 GHz (fréquences sub-térahertz), les méthodes de correction conventionnelles pour les transistors bipolaires montrent leur limite, limitant ainsi la validation de modèle à des fréquences inférieures à 100 GHz. Le développement de méthodes de correction de mesures efficaces dans les fréquences sub-térahertz est donc un levier important pour la modélisation en régime petit signal et bruit de transistors bipolaires.

De plus, la caractérisation en bruit d'un transistor bipolaire passe également par l'extraction de ses quatre paramètres de bruit en utilisant un système à impédance variable (*tuner*). A partir de 75 GHz, les *tuners* mécaniques du commerce exhibent des performances limitées pour la caractérisation en bruit. Les impédances présentées au transistor ont notamment des amplitudes dégradées par les pertes dues à la connectique entre le *tuner* et le transistor contacté sous pointes. Pour s'affranchir de cette limitation en termes de couverture d'abaque de Smith, l'intégration du *tuner* avec le transistor sous test sur une même tranche de silicium est une solution efficace. La faisabilité en matière d'extraction des quatre paramètres de bruit en utilisant des *tuners in situ* a été démontrée lors de travaux récents sur des transistors MOSFET [113] et HBT [110] de 75 à 110 GHz.

Dans la continuité de plusieurs travaux de thèse concernant la caractérisation et la modélisation en régime petit signal et bruit de transistors bipolaires, nos objectifs de thèse ont donc été de poursuivre la montée en fréquence dans cette même thématique de recherche.

Nos travaux de thèse seront exposés suivant trois parties.

Le premier chapitre présente le contexte de la thèse, en mentionnant les applications d'électronique grand public en gamme millimétrique et térahertz visées par l'industrie de la microélectronique sur silicium. Les performances fréquentielles et en bruit des transistors bipolaires SiGe sont comparées à celles des autres filières technologiques. Les challenges à

relever pour pouvoir caractériser et modéliser les transistors bipolaires au-delà de 100 GHz sont finalement mis en avant.

Le deuxième chapitre est consacré aux mesures et à la modélisation en régime petit signal et bruit de transistors bipolaires. Les méthodes usuelles de calibrage du banc de mesures de paramètres S incluant un analyseur de réseau sont comparées afin de déterminer la méthode la plus efficace pour les mesures en bande G (140 – 220 GHz) et J (220 – 325 GHz). Puis, les techniques conventionnelles d'épluchage du transistor sont discutées et une nouvelle approche élaborée à partir de mesures de paramètres S en bande G est proposée. Enfin, trois transistors de dernière génération en technologie BiCMOS sont modélisés en régime petit signal jusqu'à 220, voire 325 GHz en profitant du développement de la nouvelle technique d'épluchage. Une modélisation en bruit est ensuite réalisée sur l'un de ces transistors, en technologie B9MW, et confrontée aux mesures de bruit effectuées jusqu'à 170 GHz.

Le troisième et dernier chapitre est dédié à la caractérisation en bruit des transistors bipolaires. Profitant de la disponibilité de *tuners in situ* en technologie B9MW et tout à fait fonctionnels en bande D (130 – 170 GHz), l'extraction des quatre paramètres de bruit du transistor B9MW est réalisée de 130 à 170 GHz. Elle nécessite néanmoins de mettre en place un protocole de mesures en bruit, l'implémentation de l'algorithme de Lane et une réflexion sur la précision des mesures, qui seront tous expliqués au cours du Chapitre 3. La précision des mesures de bruit étant une chose critique en bande D , une conception d'amplificateur et de *tuner* à intégrer avec le transistor sous test a été effectuée pour augmenter le gain de chaîne et favoriser la détection des puissances de bruit par l'instrument de mesure. Ces circuits sont réalisés en technologie B55 en vue de caractériser en bruit le transistor bipolaire B55.

Chapitre 1 :

***Caractérisation hyperfréquence
de dispositifs silicium : intérêts
et challenges***

I. Introduction du Chapitre 1

Le premier chapitre a pour but d'exposer le contexte dans lequel cette thèse s'inscrit. Tout d'abord, nous présenterons les diverses applications présagées pour la gamme millimétrique et le spectre térahertz, notamment en ce qui concerne l'électronique « grand public ». Puis, au travers d'une comparaison entre les différentes filières technologiques, nous démontrerons l'intérêt de la filière silicium pour adresser ces applications. Les transistors bipolaires à hétérojonction des technologies BiCMOS (*Bipolar Complementary Metal Oxide Semiconductor*) faisant l'objet de développements continus, leur caractérisation hyperfréquence est sans cesse sollicitée, en particulier pour établir leurs performances en régime petit signal et en bruit. Mais la caractérisation de transistors en régime petit signal et en bruit au-delà de 100 GHz est une actuelle voie de recherche car elle nécessite d'améliorer la qualité des mesures et leur correction. Nous identifierons donc les verrous existants pour la caractérisation de transistors en régime petit signal et bruit et définirons les objectifs de la thèse pour réussir à porter plus haut en fréquence les résultats obtenus par des travaux précédents au sein de l'IEMN et STMicroelectronics.

II. Emergence des applications en gamme millimétrique et térahertz pour le marché de masse

Dans l'ère actuelle de l'Internet des Objets (en anglais : *Internet Of Things, IoT*), les applications de communication sans fil deviennent incontournables. L'industrie de la microélectronique permet l'émergence de ces applications électroniques destinées au marché de masse grâce aux performances croissantes des transistors de dernière génération.

La gamme millimétrique s'étend, par définition, de 30 GHz à 300 GHz (cf. Fig. 1). Elle couvre une partie du spectre térahertz (100 GHz – 10 THz). Ce spectre particulier est divisé en deux bandes : la bande inférieure sub-térahertz (100 GHz à 1 THz) constitue l'électronique térahertz et la bande supérieure constitue la photonique térahertz. L'atténuation dans l'air dans la gamme térahertz est certes particulièrement importante, cependant à certaines fréquences une transmission de signal à quelques centaines de mètres est envisageable grâce à des fenêtres à des fréquences précises : 94, 140, 220, 340, 410, 480 et 670 GHz. Au cours de ce paragraphe, nous allons ainsi mentionner les applications présagées dans divers domaines, voire déjà en cours de commercialisation en gamme millimétrique et, par extension, térahertz.

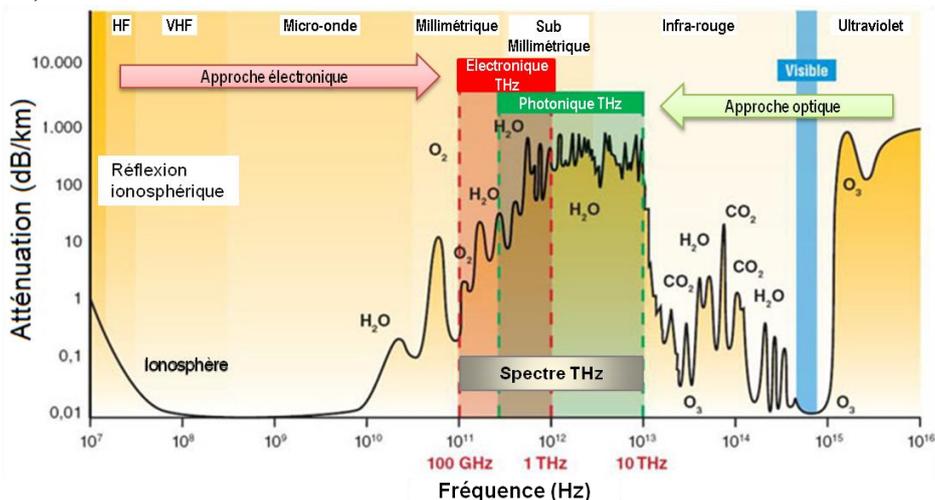


Fig. 1 - Absorption atmosphérique en fonction de la fréquence et spécification des bandes de fréquence

L'avantage de la bande millimétrique, 30 à 300 GHz, par rapport aux bandes de fréquences inférieures est que de plus larges bandes passantes de transmission sont disponibles. Le débit de données étant proportionnel à la largeur de la bande passante, il est naturel de s'intéresser aux ondes millimétriques pour envisager le développement de systèmes de communication très haut débit. Ainsi s'est développée la technologie WiGig[®] (*Wireless Gigabit*) qui utilise la bande de 60 GHz pour supporter des débits de données allant jusqu'à 7 Gbit/s, soit 50 fois plus élevés qu'avec la technologie Wi-Fi[®].

Dans le domaine de l'automobile, des capteurs radars, fonctionnant à 77 GHz pour une longue portée et à 122 GHz pour une courte portée, permettraient l'évaluation précise de vitesse ou de distance, diminuant ainsi les risques de collision. Un démonstrateur de capteur radar courte portée à 122 GHz a ainsi été présenté par la société Bosch en 2012 [1].

De plus, des systèmes d'imagerie et de détection haute définition à base d'ondes térahertz suscitent depuis plusieurs dizaines d'années un fort engouement dans le domaine de la sécurité intérieure, notamment pour une utilisation dans les portiques d'aéroport. En effet, les rayonnements térahertz peuvent pénétrer un grand nombre de matériaux non conducteurs (vêtements, céramique, plastique, carton, etc.). Cette faculté de « voir à travers » rend possible la détection par imagerie d'objets cachés dans des environnements visiblement opaques, chose parfois irréalisable avec les techniques optiques conventionnelles. Deux exemples de travaux de recherche en imagerie térahertz provenant du NIST [2] et de l'Université de Wuppertal [3] sont respectivement illustrés dans les Fig. 2 et Fig. 3.

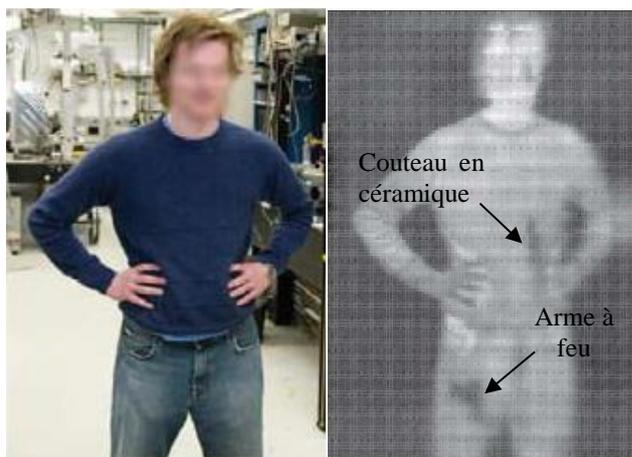


Fig. 2 - Imagerie térahertz passive pour le contrôle de personne :
a) photographie de la cible ; b) imagerie térahertz de la cible

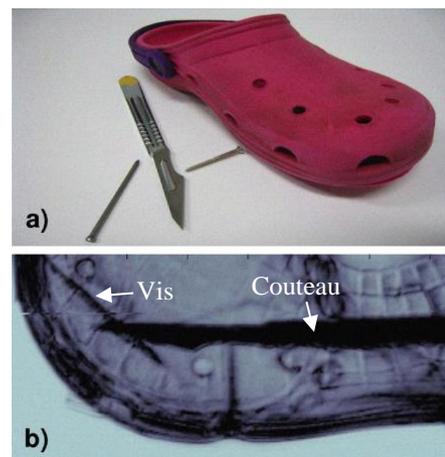


Fig. 3 - Imagerie térahertz active pour la détection haute résolution d'objets : a) photographie de la cible (chaussure Crocs[®], vis et couteau) ; b) imagerie térahertz de la cible

Le premier exemple concerne une caméra térahertz passive dédiée au contrôle de personne. Ce système d'imagerie est basé sur la radiométrie passive qui utilise les émissions thermiques des objets dissipatifs dans la nature. Ne nécessitant aucune source de radiation térahertz, ce système d'imagerie passive détecte les émissions électromagnétiques thermiques des objets présents dans la scène, même à travers des matériaux opaques tels les vêtements. Le challenge majeur dans la réalisation d'un système d'imagerie passive reste le niveau de sensibilité pour des détections en espace intérieur, où les contrastes de température sont moins marqués.

Pour le deuxième exemple, une caméra térahertz active est considérée. Basé sur l'imagerie active, ce système détecte l'énergie réfléchiée par une cible à imager après son illumination par une source térahertz. La sensibilité d'un système d'imagerie active est de ce

fait plus élevée qu'un système d'imagerie passive, mais suppose l'utilisation d'une source térahertz dont la réalisation peut s'avérer coûteuse. Le principal intérêt de la caméra térahertz issue du développement dans la référence [3] est sa partie électronique à base de transistors MOSFET (*Metal–Oxide–Semiconductor Field-Effect Transistor*) sur silicium fabriqués par l'entreprise STMicroelectronics. En effet, comme tout produit électronique grand public, une commercialisation à grande échelle de cette caméra vidéo térahertz diminuerait fortement son coût de production.

Par ailleurs, les ondes térahertz sont peu énergétiques et non-ionisantes et donc non nocives pour les tissus biologiques, ce qui ouvre la voie à de nombreuses applications biomédicales. L'imagerie térahertz avec une résolution de l'ordre du millimètre semble être une solution prometteuse pour le diagnostic de caries dentaires [4], de cancer de la peau [5], de cancer du sein [6], etc., comparativement aux solutions optiques (rayons X et IRM). D'autres matériaux intéressants (substances chimiques, polluants, gaz, explosifs) ont une empreinte unique dans le spectre térahertz et sont donc identifiables au moyen d'une spectroscopie térahertz.

La Fig. 4 résume ainsi les applications émergentes en gamme millimétrique, voire dans la région térahertz, que la filière technologique silicium adresserait :

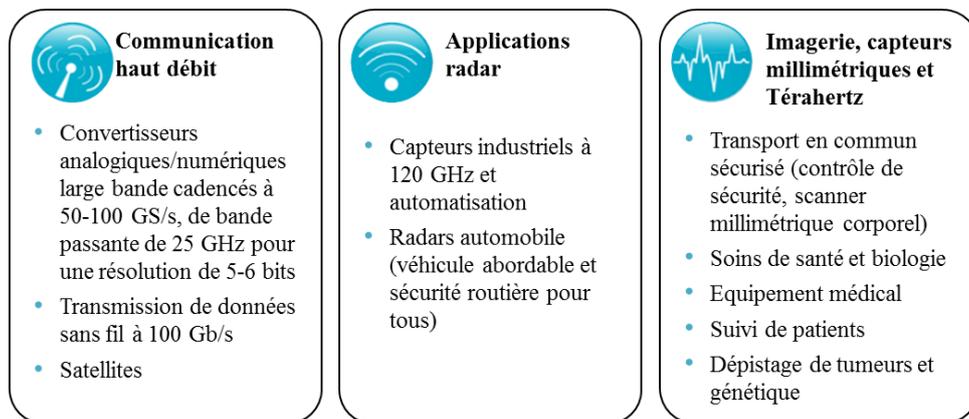


Fig. 4 - Applications potentielles pour les circuits silicium millimétriques et térahertz [7]

III. Intérêt de la filière technologique silicium

III.1. Intérêt économique

L'industrie de la microélectronique sur silicium s'appuie sur un gros volume de production pour assurer une rentabilité maximale. Dans ce contexte, les fabricants de semi-conducteurs de la filière silicium se positionnent sur les marchés de l'électronique grand public (équipements audio/vidéo, appareils électro-ménagers) et des télécommunications (smartphones, tablettes), ainsi que sur les segments de marchés à fort potentiel de croissance tels que l'énergie, la santé, la sécurité et les transports.

Pour les applications numériques, les progrès continus sur la réduction des dimensions des composants et la finesse de gravure additionnés à l'amélioration du savoir-faire en matière de défauts ont considérablement contribué à augmenter la surface maximale de puces réalisables sur une seule tranche de silicium (*wafers*). Depuis le début des années 2000, les fonderies silicium produisent des wafers de 300 mm de diamètre, réduisant ainsi le coût de fabrication de chaque puce tout en augmentant la productivité et la disponibilité des produits électroniques les plus avancés.

Par ailleurs, l'intégration sur une même puce de fonctions différentes (numériques, analogiques et radiofréquence) a joué un rôle décisif dans l'essor de la microélectronique. Cette diversification fonctionnelle, appelée « More than Moore » [8], est l'une des trois voies de recherche actuelles du secteur de la microélectronique (Fig. 5). Elle lui permettrait de jouer un rôle crucial pour surmonter les défis sociétaux du XXI^{ème} siècle qui sont l'explosion des dépenses de santé, les coûts liés au vieillissement de la population, la maîtrise de la consommation d'énergie, la gestion du trafic routier afin de limiter les embouteillages et les accidents de la route, ou encore le renforcement de la sécurité des biens et des personnes [9].

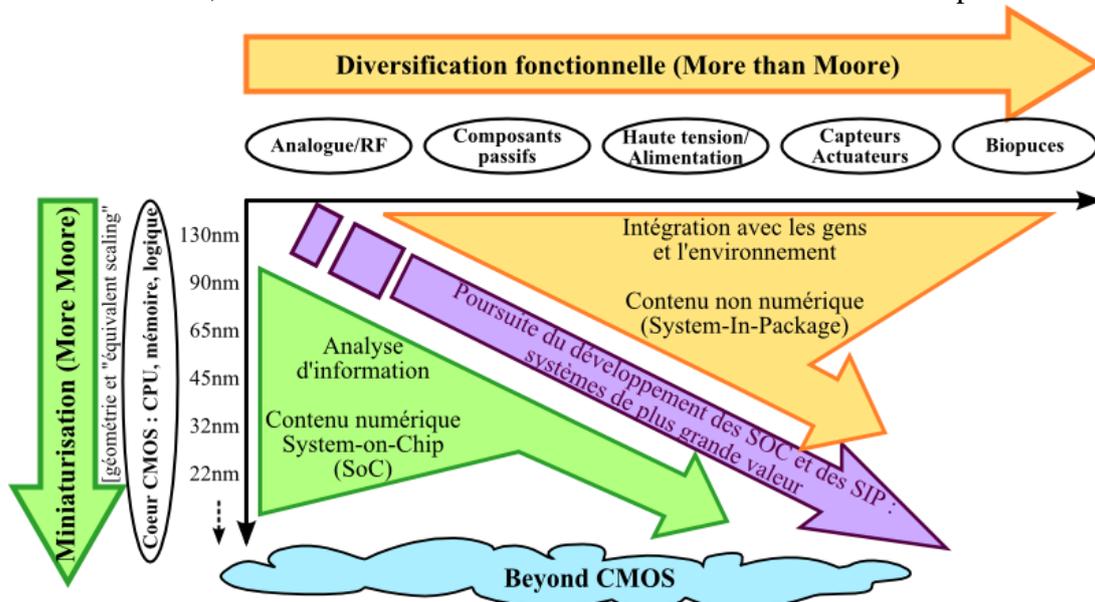


Fig. 5 - Les trois voies de recherche du secteur de la microélectronique [8]

Pour y parvenir, de nombreux projets de recherche européens sont mis en place depuis les années 2000 pour le développement de technologies performantes pour adresser ces domaines stratégiques. L'une des technologies identifiées est celle du transistor bipolaire à hétérojonction (*Heterojunction Bipolar Transistor, HBT*) Silicium-Germanium (SiGe) dont les performances ne cessent de croître grâce aux récents projets européens : DotFive [10], DotSeven [7] et RF2THZ [11]. Ainsi, la technologie BiCMOS qui combine la fabrication, sur le même wafer, de transistors CMOS pour les fonctions numériques/analogiques et de transistors bipolaires pour les fonctions RF rend possible la réalisation de systèmes sur une seule puce à hautes performances et efficacité énergétique.

III.2. Performances croissantes

Les applications millimétriques ont historiquement été réservées à des marchés de niche comme la défense, la sécurité, l'aérospatial et les télécommunications avancées qui pouvaient justifier des coûts de production élevés requis par la fabrication de semi-conducteurs III-V. De par la nature des matériaux, les performances fréquentielles des transistors III-V sont incontestablement supérieures à ceux du silicium. Mais les récents progrès technologiques concernant les transistors bipolaires Silicium-Germanium en font actuellement de très bons candidats pour la conception de circuits dédiés aux applications millimétriques et sub-téraherz émergentes (communication haut débit, radar et imagerie), qui répondent aux défis sociétaux des décennies à venir.

Tout en engendrant une diminution progressive du coût de production, la miniaturisation des transistors sur silicium a contribué à l'amélioration de leurs performances

fréquentielles, qui est d'ailleurs un facteur de croissance du marché certain, comme le montre la Fig. 6.

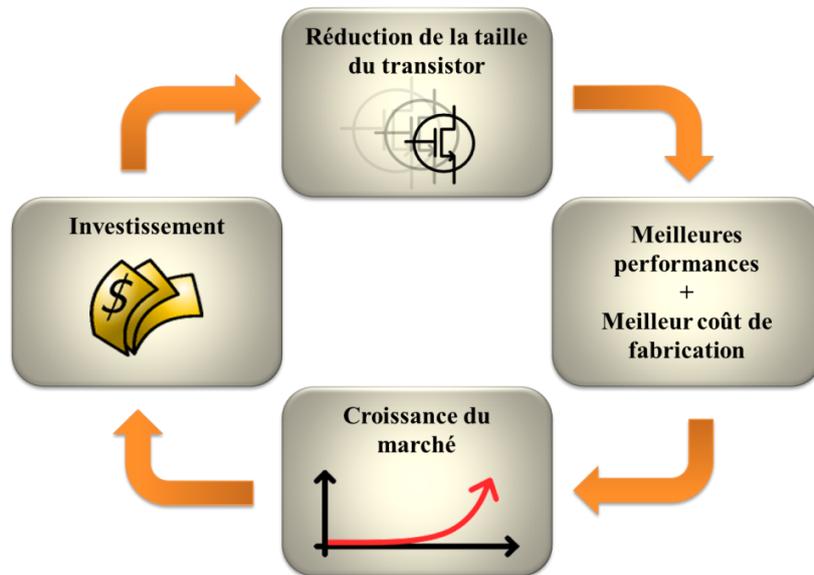


Fig. 6 - Cercle vertueux de l'industrie du semi-conducteur [8]

Les fréquences de coupure f_T et f_{max} sont des grandeurs caractéristiques qui permettent essentiellement d'évaluer les performances fréquentielles des transistors :

- f_T , appelé fréquence de transition, représente la fréquence pour laquelle le gain en courant, H_{21} , est unitaire (0 dB) ;
- f_{max} , appelé fréquence maximale d'oscillation, représente la fréquence pour laquelle le gain en puissance unilatéral de Mason, U , ou du gain disponible maximal, MAG (*Maximum Available Gain*) est unitaire.

Une fréquence de transition élevée assure un bas niveau de bruit haute fréquence ajouté par le dispositif. Une fréquence maximale d'oscillation élevée contribue à l'amélioration des caractéristiques en puissance du dispositif, en termes de gain et de fréquence maximale de fonctionnement.

L'état de l'art des performances fréquentielles des transistors bipolaires à hétérojonction (HBT) à base de SiGe est illustré dans la Fig. 7. La feuille de route tracée par l'ITRS (*International Technology Roadmap for Semiconductors*) en 2013 pour les performances du HBT SiGe est également indiquée afin d'estimer l'évolution de ses performances sur les 15 prochaines années.

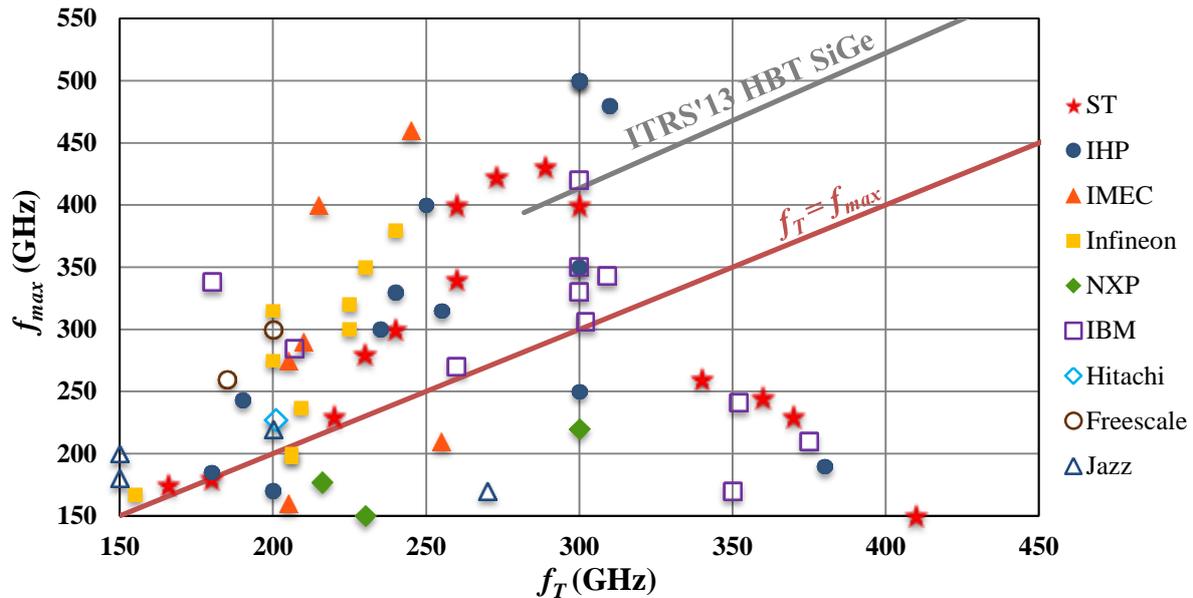


Fig. 7 - Etat de l'art des performances fréquentielles, f_{max} en fonction de f_T , des transistors bipolaires à hétérojonction SiGe de 2002 à 2013 pour les principaux fabricants industriels et académiques

Les références bibliographiques pour les couples f_T/f_{max} reportés dans la Fig. 7 sont listées dans le Tableau 1, les résultats les plus récents apparaissant dans les premières références.

HBT SiGe	
STMicroelectronics	P. Chevalier, [12] [13] [15] [17] [18] [19] [20] [22] ; A. Chantre, [14] ; B. Geynet, [16] ; M. Laurens, [21]
IHP	H. Rücker, [23] [26] [28] [30] ; A. Fox, [24] [27] ; B. Heinemann, [25] [29] [31] [32]
IMEC	S. Van Huylenbroeck, [33] [34] [36] [37] ; L. J. Choi, [35]
Infineon	A. Hamidipour, [38] ; P. Chevalier, [13] ; M. Jahn, [39] ; H. Knapp, [40] ; S. Decoutere, [41] ; R.K. Vytla, [42] ; J. Böck, [43] [44] [47] ; T. Meister, [45] [46]
NXP	W.D. van Noort, [48] ; J. Donkers, [49] [50] ; P. Deixler, [51]
IBM	R.A. Camillo-Castillo, [52] ; J. Yuan, [53] ; B. Orner, [54] ; R. Krithivasan, [55] ; M. Khater, [57] ; J.-S. Rieh, [56] [58] [60] ; B. Jagannathan, [59] [61]
Hitachi	T. Hashimoto, [62]
Freescale	J.P. John, [63] [64]
Jazz	E. Preisler, [65] ; M. Racanelli, [66] [67]

Tableau 1 - Références bibliographiques des couples f_T/f_{max} des transistors bipolaires à hétérojonction SiGe

En Europe, les technologies BiCMOS SiGe les plus avancées sur le nœud technologique CMOS 130nm sont celles de l'institut de recherche allemand IHP Microelectronics : $f_T/f_{max}=300/500\text{GHz}$, (technologie SG13G2, [23]) et de l'entreprise franco-italienne STMicroelectronics : $f_T/f_{max}=300/400\text{GHz}$, (technologie B5T, [12]).

En mars 2013, l'entreprise américaine IBM annonce l'introduction d'une technologie BiCMOS SiGe avec un couple f_T/f_{max} de 300/420GHz (technologie 9HP, [52]) sur le nœud technologique CMOS 90nm, augmentant ainsi davantage le degré d'intégration.

Cependant, un des objectifs de ces travaux de thèse consiste à accompagner la maturation d'une technologie BiCMOS SiGe sur le nœud technologique CMOS 55 nm de STMicroelectronics. Les performances hyperfréquence obtenues lors de campagnes de

caractérisation hyperfréquence sur les premières plaques fabriquées seront exposées au cours du Chapitre 2.

A titre de comparaison, l'état de l'art des performances fréquentielles des transistors III-V et CMOS sur silicium est donné dans la Fig. 8 et les références dans le Tableau 2 et Tableau 3.

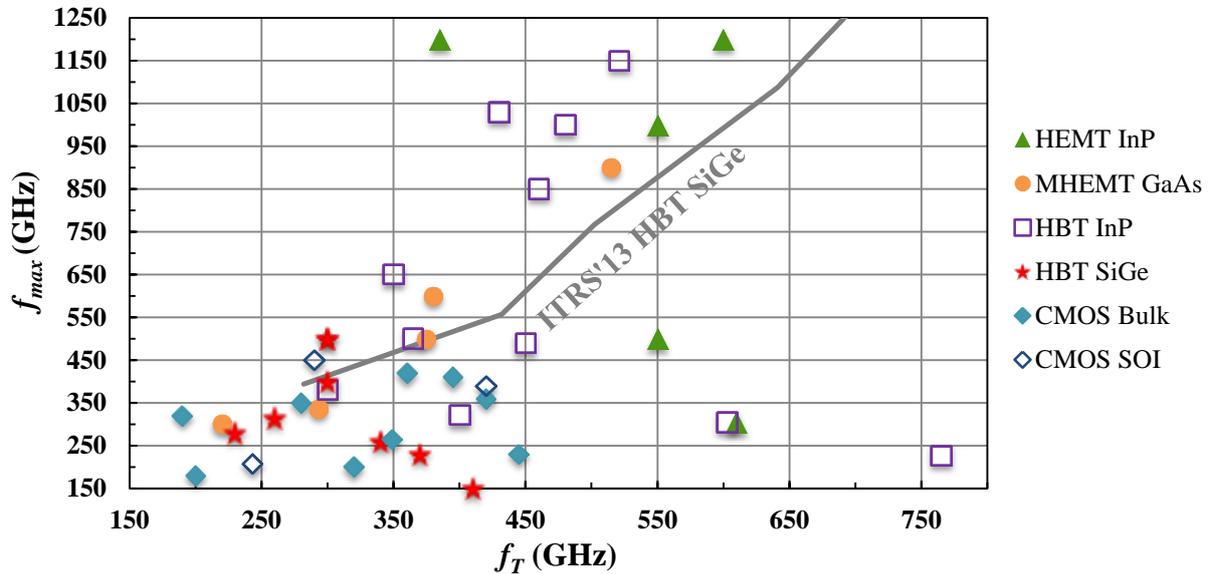


Fig. 8 - Etat de l'art des performances fréquentielles, f_{max} en fonction de f_T , des transistors de filières silicium et III-V de 2004 à 2012

HEMT InP		MHEMT GaAs	
Northrop Grumman Corp.	W. Deal, [68], [69]	Fraunhofer	A. Leuther, [74] [75] [76] [77]
Jet Propulsion Lab.	R. Lai, [70]		
Seoul National University	S.-J. Yeon, [71]		
Rockwell	K. Shinohara, [72]		
University of Glasgow	K. Elgaid, [73]		

Tableau 2 - Références bibliographiques des couples f_T/f_{max} des transistors HEMT sur substrat d'InP et de GaAs

HBT InP		CMOS bulk et CMOS-SOI	
University of California	V. Jain, [78] [80] ; Z. Griffith, [83]	STMicroelectronics	Y. Tagro, [88] ; L. Poulain [90]
Teledyne Scientific Company	M. Urteaga, [79] [81]	Intel	C.H. Jan, [91] [94] ; P. VanDerVoorn, [92] ; I. Post, [96] ; K. Kuhn, [97]
Illinois University	W. Snodgrass, [82]	Qualcomm	M.-T. Yang, [89]
OMMIC	H. Maher, [85]	United Microelectronics Corp.	S.-C. Wang, [93]
ETH Zurich	R. Lövblom, [84] ; Y. Zeng, [86] ; H. G. Liu, [87]	IBM	H. Li, [95] ; S. Lee, [98] [99] [100] [101] ; N. Zamdmer, [102]
Northrop Grumman Corp.	W. Deal, [69]		

Tableau 3 - Références bibliographiques des couples f_T/f_{max} des transistors bipolaires sur substrat d'InP et des transistors MOS sur substrat de silicium massif (bulk) et substrat de silicium sur isolant (SOI)

Bien que les couples f_T/f_{max} des transistors III-V soient nettement supérieurs (> 0.5 THz) à ceux des transistors silicium, une symétrie f_T/f_{max} est observée sur les transistors de filières silicium, assurant ainsi de bonnes performances à la fois en bruit et en puissance pour la conception de circuits RF.

En ce qui concerne les performances en bruit, l'évaluation du facteur de bruit minimum n'est pas toujours systématique pour la caractérisation d'un composant. En effet, la caractérisation en bruit nécessite un banc de mesures spécifique tandis que le couple f_T/f_{max} est facilement extrapolé des mesures de paramètres S jusqu'à quelques dizaines de GHz faites au moyen d'un analyseur de réseau. Ce dernier est un instrument très répandu dans les plateformes de test/caractérisation industriels et académiques. Les références en matière de bruit sur transistor au-delà de 40 GHz sont ainsi listées dans le Tableau 4 :

Technologie	NF _{min}	G _{ass}	Référence
HEMT InP	0.8 dB @60 GHz	8.9 dB @60 GHz	K.-H. G. Duh, [103]
	1.2 dB @94 GHz	7.2 dB @94 GHz	
HEMT GaAs	1.21 dB @40 GHz	6.41 dB @40 GHz	H.S. Yoon, [104]
	1.6 dB @60 GHz	7.6 dB @60 GHz	K.-H. G. Duh, [105]
	2.4 dB @94 GHz	5.4 dB @94 GHz	
HBT InP	2.5 dB @50 GHz	-	P. Sakalas, [106]
	3 dB @100 GHz (sim)	-	
	2 dB @67 GHz	-	T. Quémerais, [107]
HBT SiGe	1.6 dB @50 GHz	-	J. Herricht, [108]
	3 dB @77 GHz (sim)	7.2dB @77 GHz (sim)	K.H.K. Yau, [109]
	3.6 dB @94 GHz (sim)	5.7dB @94 GHz (sim)	
	4.2 dB @170 GHz (sim)	0.5dB @170 GHz (sim)	
	2.6dB @77GHz	-	Y. Tagro, [110]
3.2dB @94GHz	-		
CMOS bulk 45nm	1.8 dB @40 GHz	11.7 dB @40 GHz	L. Poulain, [90]
	2.8 dB @60 GHz	9 dB @60 GHz	
	4.5 dB @94 GHz	6 dB @94 GHz	
CMOS bulk 65nm	1.8 dB @40 GHz	8 dB @40 GHz	S.-C. Wang, [111]
	3 dB @60GHz	6 dB @60 GHz (extrapolé)	
CMOS bulk 45nm	2 dB @40 GHz	10 dB @40 GHz	H. Li, [112]
CMOS SOI 65nm	2 dB @78 GHz	-	Y. Tagro, [113]

Tableau 4 - Etat de l'art en bruit (facteur de bruit minimum et gain associé) des transistors de filières III-V et silicium

De plus, les performances en bruit du transistor sont souvent évaluées sur des circuits démonstrateurs tels que les amplificateurs faible bruit. En effet, les performances d'un amplificateur faible bruit requièrent naturellement des transistors faible bruit mais aussi un savoir-faire en matière de conception pour les réseaux d'adaptation (choix des structures et des composants passifs). Le Tableau 5 présente ainsi l'état de l'art des amplificateurs faible bruit dans différentes technologies, incluant la technologie HBT SiGe.

Technologie	NF	Gain	Référence
PM-HEMT InP	7.5 dB @270 GHz	11.4 dB @270 GHz	T. Gaier, [114]
LM-HEMT InP	13 dB @670 GHz	7 dB @670 GHz	WR. Deal, [115]
	7.3 dB @320 GHz (sim)	19.5 dB @320 GHz	
M-HEMT GaAs	15 dB @600 GHz	14.1 dB @600 GHz	A. Tessmann, [117]
	11.2 dB @300 GHz	8.4 dB @288 GHz	J. Hacker, [118]
HBT InP	9.6 dB @122 GHz	13.5 dB @122 GHz	W. Winkler, [119]
	10 dB @160 GHz	12 dB @160 GHz	E. Laskin, [120]
HBT SiGe	39 dB @245 GHz (sim)	21 dB @245 GHz	K.H.K. Yau, [121]
	11 dB @210 GHz (estimé)	18 dB @210 GHz	Y. Mao, [122]
CMOS SOI 32nm			Z. Wang, [123]

Tableau 5 - Etat de l'art en bruit (facteur de bruit et gain associé) des amplificateurs faible bruit de filières III-V et silicium

IV. Caractérisation en régime petit signal et bruit au-delà de 100 GHz

L'obtention des performances en fréquence et en bruit des transistors requiert une série de mesures sous pointes en régime statique et petit signal, ainsi que des étapes de correction de mesures, que représente la caractérisation hyperfréquence.

De ces mesures en DC et en paramètres S , des modèles de transistors permettant de prédire le comportement des circuits sont extraits et validés jusqu'à une certaine fréquence limite. De plus, la conception de circuits repose essentiellement sur la simulation de ces modèles, qui sont intégrés dans des bibliothèques appelées « *Design Kit* », au sein d'environnements de simulation. La conception de circuit exige d'ailleurs une grande réactivité dans l'établissement des modèles. La précision et la fiabilité des modèles sont d'ailleurs primordiales pour obtenir des circuits fonctionnels dès la première réalisation (*'first-pass design'*). En évitant ainsi d'avoir recours à de multiples prototypes et itérations en matière de fabrication, les délais de commercialisation (*'time-to-market'*) du circuit peuvent être considérablement réduits.

Il existe plusieurs types de modèles pour les transistors :

- a) le modèle compact : il est basé sur des équations issues de la physique du semi-conducteur tenant compte du dimensionnement du transistor et de phénomènes propres à la technologie utilisée. Il est constitué d'un ensemble de paramètres à extraire des mesures DC, des paramètres S à plusieurs points de polarisation, voire en température, etc. Une fois les paramètres du modèle extraits, d'autres types de mesures telles que des mesures en bruit RF et en puissance permettent de vérifier ce modèle compact en régime petit signal et grand signal. Par exemple, en ce qui concerne la technologie CMOS FD-SOI, le modèle compact compte environ 200 paramètres, dont 30 en AC/RF, à extraire de la mesure. Une surface de 10-15 mm² de silicium est alors requise pour réaliser les structures de test dont les mesures permettront d'extraire l'ensemble des paramètres du modèle compact du transistor. Prenant en compte la polarisation et les dimensions du transistor, le modèle compact, très prédictif, est idéal pour la conception de circuits intégrés. HICUM [124] est le modèle compact standard dans l'industrie du semi-conducteur pour le transistor bipolaire ;
- b) le modèle électrique équivalent en régime petit signal : basé sur une représentation électrique liée à la physique du semi-conducteur, il modélise le comportement linéaire du composant autour d'un point de fonctionnement statique. Comportant uniquement des éléments localisés, sa simplicité en termes de compréhension et d'extraction rapide de paramètres à partir de mesures de paramètres S est son principal atout. En période de maturation de technologie, ce modèle est idéal pour faire un retour rapide aux technologues. Bien qu'il soit discrétisé en terme de polarisation du transistor, il peut néanmoins être utilisé pour la conception de circuits fonctionnant uniquement en régime linéaire tels que des amplificateurs faible bruit ;
- c) le modèle électrique équivalent en régime grand signal : également basé sur une représentation électrique du composant, certains éléments de son schéma équivalent sont décrits par des équations non linéaires visant à reproduire une évolution en fonction de la polarisation du composant. Des phénomènes physiques propre au composant, tels que l'ionisation par impact ou l'effet Kirk pour un transistor bipolaire, peuvent être pris en compte dans un modèle électrique équivalent grand signal. En comparaison au modèle petit signal, des mesures additionnelles en amplitude et en phase à la fois dans le domaine fréquentiel et temporel, au moyen d'un analyseur de réseau non linéaire, sont nécessaires pour établir ce type de modèle.

Le schéma équivalent petit signal du transistor bipolaire fait l'objet de ces travaux de thèse. En régime petit signal et bruit, l'extraction de ses paramètres et sa validation aux fréquences millimétriques et submillimétriques seront présentées au cours du Chapitre 2.

Le flot de caractérisation hyperfréquence (obtention des performances fréquentielles du composant et extraction du modèle petit signal) sera brièvement décrit dans la section suivante. Il est en particulier axé sur la gamme de fréquences d'intérêt de cette étude, soit au-delà de 100 GHz, là où les méthodes de mesures et de modélisation conventionnelles atteignent leurs limites.

IV.1. Flot de caractérisation et modélisation en régime petit signal

Le régime petit signal est un régime dynamique où le composant actif (non linéaire), tel que le transistor, est caractérisé par des relations linéaires de courants/tensions ou de rapports d'onde. Les caractéristiques électriques du transistor en régime petit signal peuvent de ce fait être exprimées par des paramètres S (*Scattering*), Z (impédance) ou Y (admittance), qui sont basés sur des rapports de puissance, tension et courant. L'utilisation de paramètres S présente de nombreux avantages en hyperfréquences puisque la plupart des grandeurs caractéristiques d'un composant s'expriment directement en fonction de paramètres S , notamment les gains, les pertes et les facteurs de réflexion.

Les paramètres S sont mesurés, en module et en phase dans le domaine fréquentiel, au moyen d'un analyseur de réseau vectoriel (*Vector Network Analyzer, VNA*). La plage de fréquences de mesure de ce dernier est limitée par la technologie utilisée pour la connectique à base de câbles coaxiaux ou de guides d'onde (par exemple jusqu'à 67 GHz en coaxial 1.85 mm). De plus, les VNA récents sont caractérisés par une grande sensibilité de mesure grâce à une grande dynamique. Par exemple, les VNA en coaxial jusqu'à 26.5 GHz présentent un plancher de bruit se situant à moins de -110 dBm pour une largeur de bande de résolution de 10 Hz. Par ailleurs, des têtes millimétriques sont nécessaires pour la transposition haute fréquence, afin d'étendre la bande de fréquence de mesure jusqu'à 220 GHz, 325 GHz, 500 GHz et au-delà. Le synoptique d'un banc de mesures de paramètres S est représenté dans la Fig. 9.

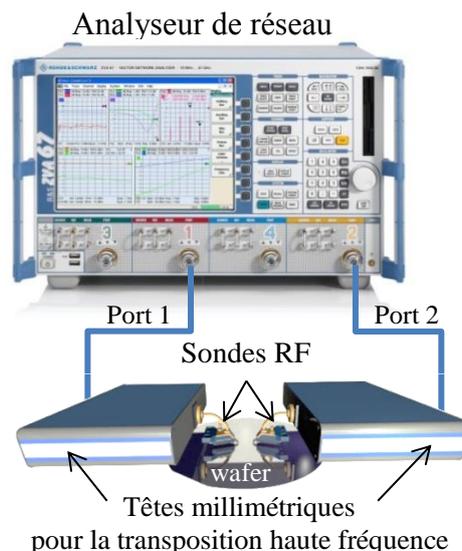


Fig. 9 - Synoptique d'un banc de mesures de paramètres S

Le système de mesure constitué de l'analyseur de réseau et basé sur la réflectométrie présente des imperfections. Ces erreurs sont classées en trois catégories :

- les erreurs systématiques, invariantes et mathématiquement modélisables ;
- les erreurs aléatoires (bruit, durée de vie de la connectique), non modélisables ;
- les erreurs dues aux dérives d'environnement (température, pression, humidité).

Le calibrage du système de mesure de paramètres S revient à déterminer les erreurs systématiques grâce à une série de mesures sur des structures d'étalonnage, appelés standards. Les quadripôles d'erreur ainsi déterminés seront épluchés des mesures de paramètres S effectuées sur le composant sous test (*Device Under Test, DUT*). Le calibrage est réalisé sur un substrat comportant des impédances de référence (*Impedance Standard Substrat, ISS*) sur alumine, matériau de haute qualité diélectrique, par exemple provenant du fournisseur Cascade Microtech®. Le calibrage est alors qualifié de 'off-wafer'. Plusieurs méthodes de calibrage comportant des standards différents existent. Cependant, la méthode *LRRM* (*Load-Reflect-Reflect-Match*) est choisie à l'IEMN. En effet, son utilisation est possible pour des mesures plus large bande que la méthode *TRL* (*Thru-Reflect-Line*) limitée en fréquence par les longueurs de ligne. Le plan de référence de mesures de paramètres S après calibrage *LRRM* est fixé à l'extrémité des sondes alors qu'il est défini au milieu du *Thru* pour la *TRL*.

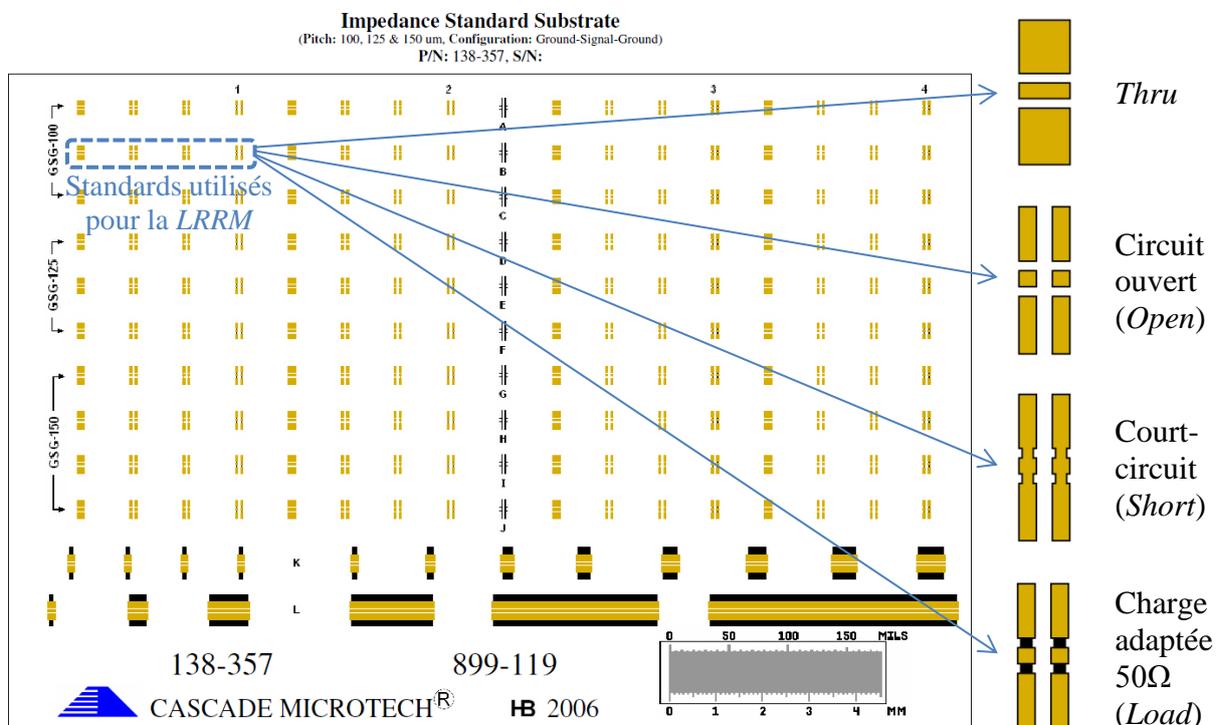


Fig. 10 – Substrat d'impédances de référence (*ISS*) de Cascade Microtech® pour les mesures jusqu'à 220 GHz

Un transistor seul présente des accès constitués par les plots RF, les lignes d'accès, le *Back-End-Of-Line (BEOL)* comptant plusieurs couches de métaux. Il est nécessaire de corriger les mesures de paramètres S , faites dans le plan des sondes, des effets parasites de l'ensemble des accès au transistor. Il s'agit de l'étape d'épluchage (*de-embedding*). La méthode la plus communément utilisée est la méthode *Open-Short*. Associée à un modèle électrique équivalent à éléments localisés, cette méthode utilise deux structures de test, circuit ouvert et court-circuit, réalisées sur le wafer (*on-wafer de-embedding*). Les paramètres S épluchés des accès du transistor permettent d'évaluer les performances fréquentielles du transistor seul (gains, fréquences de coupure). Il s'agit de la méthode d'épluchage employée avant nos travaux de thèse pour éplucher les paramètres S mesurés du transistor en vue de l'extraction des paramètres du modèle (ou schéma équivalent) du transistor bipolaire et sa validation jusqu'à 110 GHz.

La Fig. 11 montre une tentative de caractérisation petit signal, réalisée au tout début de cette thèse, jusqu'à 220 GHz sur le premier transistor mis à disposition par STMicroelectronics Crolles : le transistor bipolaire à hétérojonction SiGe de la technologie B5T. Voici la description du flot de caractérisation en 4 étapes :

1. Les mesures de paramètres S jusqu'à 220 GHz sur le transistor et ses structures de test sont effectuées après un calibrage 'off-wafer' *LRRM*.
2. Les paramètres S du transistor en conditions normales de fonctionnement et polarisé pour extraire les paramètres du modèle petit signal sont épluchés avec la technique *Open-Short*.
3. Les paramètres du schéma équivalent petit signal sont extraits à partir des paramètres S mesurés et épluchés jusqu'à 110 GHz.
4. Une fois l'extraction des paramètres du modèle petit signal réalisée, les paramètres S du modèle sont simulés grâce au logiciel ADS® et comparés à ceux mesurés et épluchés jusqu'à 220 GHz. Il s'agit de l'étape de validation du modèle. Sur cet exemple de transistor B5T, le modèle et les mesures après épluchage de type *Open-Short* divergent nettement au niveau des paramètres de réflexion, S_{11} et S_{22} , et de transmission inverse, S_{12} , au-delà de 100 GHz. L'extraction du modèle est donc invalidée par la confrontation mesure/modèle à partir de 100 GHz.

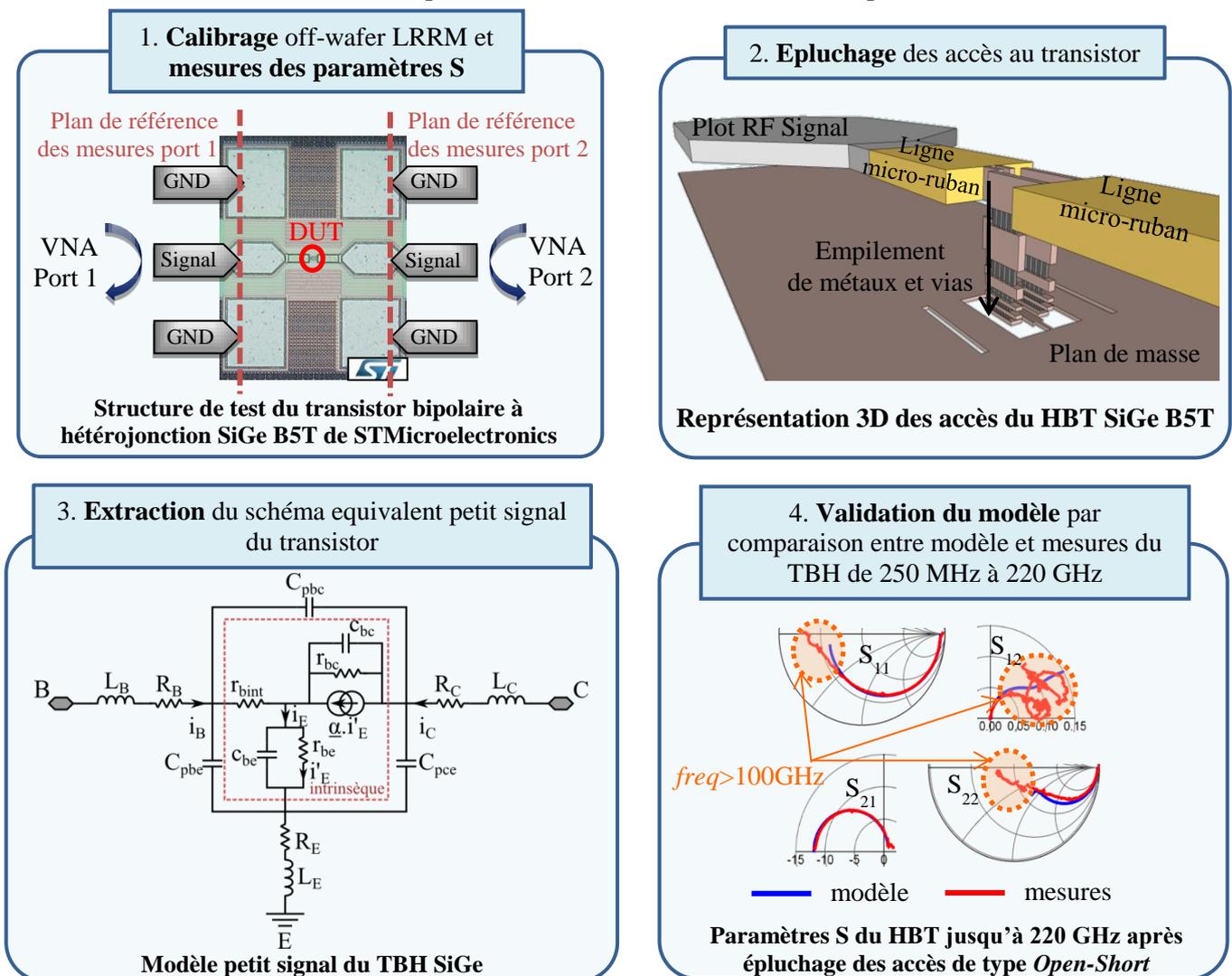


Fig. 11 - Flot de caractérisation hyperfréquence d'un transistor bipolaire à hétérojonction SiGe de la technologie B5T

La raison principale de la différence entre mesure et modèle est le manque de précision dans la modélisation des accès avec la méthode conventionnelle *Open-Short* au-delà de 100 GHz. L'épluchage des accès devient en effet une étape de correction critique du flot de caractérisation hyperfréquence à de si hautes fréquences, sur laquelle repose l'extraction du modèle et sa validation. Dans la gamme sub-téraherz, il est donc primordial d'améliorer la méthode d'épluchage, afin de retrancher de manière plus précise les effets parasites dus aux accès du transistor. Dans le but de modéliser précisément le transistor bipolaire en régime petit signal au-delà de 100 GHz, le premier objectif de cette thèse a donc été de mettre au point une méthode d'épluchage satisfaisante pour les mesures en bande G (140 – 220 GHz). Le véhicule de test a été le transistor B5T, dont plusieurs structures de test étaient disponibles sur le même *wafer*. Ce travail d'amélioration de la méthode d'épluchage sera exposé en détail au cours du deuxième chapitre.

IV.2. Méthodes de caractérisation en bruit RF

Connaître les performances en bruit RF d'un transistor est essentiel pour la conception de systèmes de réception hyperfréquence.

La caractérisation en bruit d'un transistor revient à déterminer les quatre paramètres de bruit qui permettront de modéliser son facteur de bruit pour un coefficient de réflexion de source (Γ_s) donné. Ces quatre paramètres de bruit sont les suivants :

- F_{\min} : facteur de bruit minimal, obtenu lorsque $\Gamma_s = \Gamma_{opt}$
- R_n : résistance équivalente de bruit, exprime la sensibilité à la désadaptation
- le module et la phase de Γ_{opt} : coefficient de réflexion de source optimal pour lequel le facteur de bruit sera minimal, $F(\Gamma_{opt})=F_{\min}$

Le modèle du facteur de bruit en fonction de l'admittance de source est exprimé par l'équation 1, établie par Hermann Anton Haus en 1960 [125], et en fonction du coefficient de réflexion de source par l'équation 2. Sa représentation graphique est un paraboloïde quasi-elliptique comme le montre la Fig. 12.

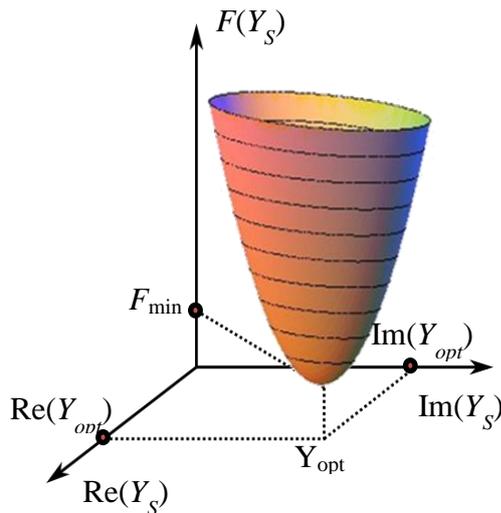


Fig. 12 - Facteur de bruit en fonction de l'admittance de source

$$F(Y_S) = F_{\min} + \frac{R_n}{G_S} \left[(G_S - G_{opt})^2 + (B_S - B_{opt})^2 \right] \quad \text{Eq-1}$$

$$\text{avec } Y_{opt} = G_{opt} + jB_{opt}$$

$$\text{et } Y_S = G_S + jB_S$$

$$F(\Gamma_S) = F_{\min} + \frac{4R_n}{Z_0} \frac{|\Gamma_{opt} - \Gamma_S|^2}{|1 + \Gamma_{opt}|^2 (1 - |\Gamma_S|^2)} \quad \text{Eq-2}$$

Plusieurs méthodes pour extraire les quatre paramètres de bruit d'un transistor à effet de champ existent ; deux méthodes sont applicables au transistor bipolaire à hétérojonction.

Avant d'aborder les deux méthodes d'extraction des quatre paramètres de bruit du transistor bipolaire, il convient de définir les notations que nous utiliserons pour les grandeurs de bruit tout au long du manuscrit.

La puissance de bruit sera notée P . Son unité est le Watt ou le dBm. La conversion du Watt au dBm est effectuée grâce à la relation suivante :

$$P_{dBm} = 10 \cdot \log\left(\frac{P}{0.001}\right) \quad \text{Eq-3}$$

Le facteur de bruit sera noté F lorsqu'il est exprimé en échelle linéaire (sans unité) et noté NF lorsqu'il est exprimé en dB. La conversion de l'échelle linéaire au dB est réalisée grâce à la formule ci-dessous :

$$NF_{dB} = 10 \cdot \log(F) \quad \text{Eq-4}$$

De même, un gain disponible sera exprimé soit en échelle linéaire, soit en dB. Le passage d'une unité à l'autre se fera via l'expression suivante :

$$G_{dB} = 10 \cdot \log(G) \quad \text{Eq-5}$$

a. Méthode multi-impédance

La méthode multi-impédance consiste à extraire à l'aide d'une procédure numérique les quatre paramètres de bruit du transistor à partir des mesures de facteur de bruit ou de puissances de bruit. R.Q. Lane (1969, [126]) a été le pionnier de cette méthode. Pour cette approche, l'équation 1 est linéarisée et exprimée en fonction de quatre paramètres A, B, C, D (Eq-6) à déterminer par la méthode des moindres carrés pondérés. Pour appliquer cette dernière, le terme d'erreur ε est défini tel que dans l'équation 7 : il s'agit de la quantité à minimiser pour obtenir les paramètres A, B, C, D et ensuite en déduire F_{min} , R_n , G_{opt} et B_{opt} .

$$F = A + BG_s + \frac{C + BB_s^2 + DB_s}{G_s} \quad \text{Eq-6}$$

$$\text{avec } A = F_{min} - 2R_nG_{opt}$$

$$B = R_n$$

$$C = R_n(G_{opt}^2 + B_{opt}^2)$$

$$D = -2R_nB_{opt}$$

$$\varepsilon = \frac{1}{2} \sum_{i=1}^n W_i \left[A + B \left(G_i + \frac{B_i^2}{G_i} \right) + \frac{C}{G_i} + \frac{DB_i}{G_i} - F_i \right]^2 \quad \text{Eq-7}$$

F_i représente le facteur de bruit mesuré pour chaque impédance de source d'indice i . W_i est un facteur de pondération.

Une méthode alternative d'extraction numérique a été proposée V. Adamian en 1973 [127]. Elle est souvent associée à une mesure de puissance de bruit en sortie du quadripôle en fonction d'une impédance variable de source à température ambiante ; cette méthode est appelée dans le jargon « *Cold Method* » ou méthode source froide.

Le schéma du banc de mesures de bruit multi-impédance est présenté dans la Fig. 13. Dans cette configuration de mesure, la source de bruit est alimentée à son état *OFF* (0V), dont la température équivalente de bruit est égale à la température ambiante. A la sortie de la

source de bruit, un variateur d'impédance mécanique (*tuner*) présente différentes impédances de source au transistor. La puissance de bruit, P_{out} , est ainsi mesurée par le mesureur de bruit pour chaque position du tuner d'impédance, puis convertie en facteur de bruit après avoir caractérisé en paramètres S chaque élément de la chaîne de mesures.

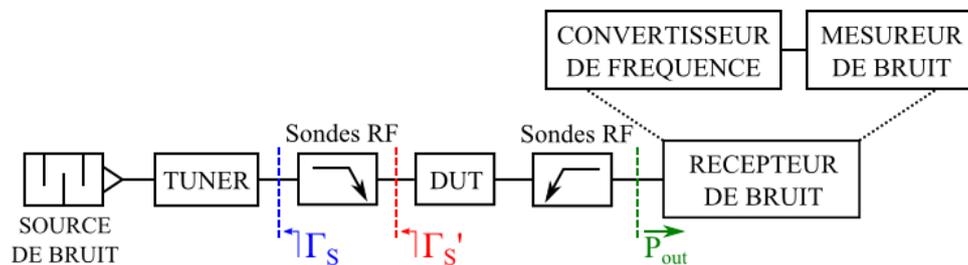


Fig. 13 - Synoptique d'un banc de mesure multi-impédance utilisant la méthode source froide avec un tuner d'impédance mécanique

D'autres méthodes et algorithmes numériques associés ont été par la suite proposés par M. Mitama en 1979 [128] et A. Boudiaf en 1992 [129]. Les procédures d'extraction proposées par Lane, Mitama et Boudiaf sont d'ailleurs comparées par L. Escotte dans [130]. Il en ressort qu'avec un facteur de pondération de $W_i=1/F_i^2$ qui donne plus de poids aux facteurs de bruit proche du minimum de bruit, l'algorithme de Lane (surnommé 'MLane' dans [130]) fournit des résultats relativement précis entre 4 et 18 GHz, comparables à ceux obtenus avec la méthode Boudiaf, réputée pour sa précision et sa rapidité de convergence face à un faible nombre d'impédance de source. La méthode Lane a donc été choisie pour l'extraction des quatre paramètres de bruit pour ces travaux de thèse, pour sa précision et la simplicité de son implémentation.

Jusqu'à 40 GHz, les tuners mécaniques du commerce sont utilisés pour la synthèse d'impédance. Au-delà de 75 GHz, les tuners mécaniques du commerce (voir photographie en Fig. 14) montrent des performances limitées pour la caractérisation en bruit. En effet, les pertes des sondes RF à ces hautes fréquences sont pénalisantes car elles atténuent fortement le module des facteurs de réflexion synthétisés, réduisant ainsi la couverture de l'abaque de Smith (voir Fig. 15).

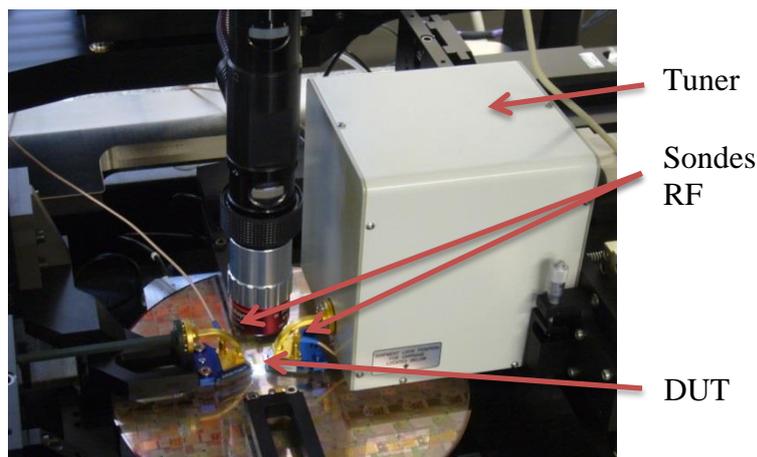


Fig. 14 - Photographie du banc de mesures multi-impédance avec tuner mécanique en bande W 75-110 GHz

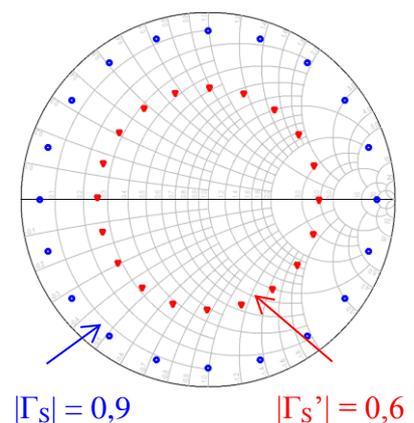


Fig. 15 - Facteurs de réflexion synthétisés par le tuner mécanique à 110 GHz ; en bleu = en sortie du tuner, en rouge = en sortie de sonde RF

Pour s'affranchir de la réduction de la couverture de l'abaque de Smith, une solution est d'intégrer le tuner avec le transistor à caractériser sur un même wafer, comme le montre la Fig. 16. Le tuner intégré est alors dénommé « *tuner in situ* ».

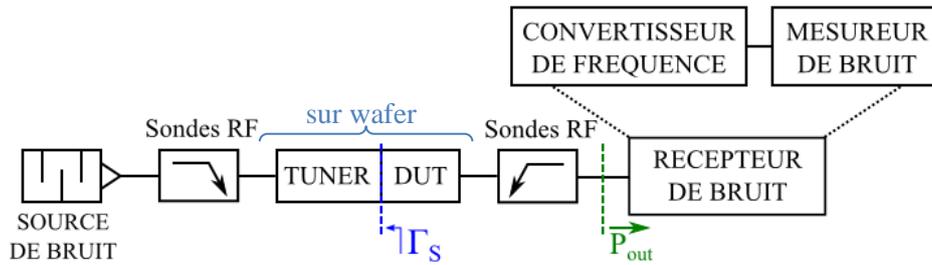


Fig. 16 - Synoptique d'un banc de mesure de puissance de bruit à température ambiante avec tuner d'impédance intégré avec le composant sous test

La réalisation de *tuners in situ*, intégré sur silicium avec le transistor à caractériser, a fait l'objet de nombreuses études en gamme millimétrique.

En bande *W*, de 75 à 110 GHz, des *tuners* ont été réalisés à base de MEMS (T. Vähä-Heikkilä, [131]), varactor (Y. Tagro, [132]) et capacité digitale (L. Poulain, [133]; T. Quémerais, [134]).

En bande *D*, de 110 à 170 GHz, seul un *tuner* avec varactors AMOS (K.H.K. Yau, [121]) a été conçu et exploité pour l'extraction de paramètres de bruit. Cependant, les mesures de bruit sur ce dernier dispositif sont restreintes à une bande d'1 GHz autour de la fréquence de 140 GHz. Cela est dû à l'intégration du récepteur de bruit sur le substrat silicium pour assurer la conversion basse fréquence du signal RF en bande de base. En effet, au-delà de 110 GHz, les composants millimétriques nécessaires pour constituer un récepteur de bruit externe sont peu disponibles sur le marché. Entre 2009 et 2012, durant ses travaux de thèse à l'IEMN, L. Poulain [133] a par conséquent travaillé au développement d'un récepteur de bruit externe fonctionnant de 130 à 170 GHz. La difficulté majeure d'un tel développement est d'obtenir un système peu bruyant avec peu de pertes afin que le niveau de bruit à mesurer soit situé dans la plage de sensibilité de l'appareil de mesure. Par ailleurs, le gain des transistors bipolaires SiGe les plus avancés au-delà de 100 GHz avoisine les 1-2 dB, une valeur bien faible pour assurer une grande précision dans la mesure de bruit. Un choix judicieux des éléments constituant le récepteur de bruit est de ce fait capital pour assurer un facteur de bruit du récepteur suffisamment faible et par conséquent obtenir un degré de confiance relativement important sur les mesures de bruit.

En plus de la mise en place du banc de mesure de bruit de 130 à 170 GHz, L. Poulain a conçu des *tuners in situ* en technologie B9MW. Des mesures de paramètres *S* réalisées en bande *G* sur ces tuners ont démontré leur fonctionnalité. Des travaux sur l'extraction des quatre paramètres du bruit en bande *D* ont alors été initiés mais n'ont pu être consolidés. Le deuxième objectif de notre travail de thèse a donc consisté à exploiter ces *tuners in situ* dans le but d'extraire les quatre paramètres de bruit du transistor B9MW jusqu'à 170 GHz.

Toutefois, atteindre cet objectif de caractérisation en bruit de transistor jusqu'à 170 GHz n'est pas sans obstacle. En raisonnant sur le *Input Minimum Detectable Signal* (MDS_{in}) du récepteur de bruit, nous pouvons effectivement mettre en évidence la difficulté à réaliser des mesures de puissance de bruit à température ambiante, nécessaires à la méthode multi-impédance, notamment au-delà de 100 GHz. Le MDS_{in} du récepteur de bruit est exprimé par l'équation 8 :

$$MDS_{in} = 10 \log(kT_0 \Delta f) + NF_{RCV} + S|_{3dB} \quad \text{Eq-8}$$

- où $kT_0 \Delta f$ représente le plancher de bruit thermique,
 NF_{RCV} correspond au facteur de bruit du récepteur de bruit en dB,
 $S|_{3dB}$, le rapport signal à bruit est considéré comme égal à 3 dB

Pour qu'une puissance de bruit en sortie du système soit détectée à l'entrée du récepteur de bruit, il faut naturellement respecter la condition suivante :

$$P_{out} > MDS_{in} \quad \text{Eq-9}$$

Exprimons à présent la puissance de bruit en sortie du système :

$$P_{out} = 10\log(kT_{amb}\Delta f) + NF_{tot} + G_{tot} \quad \text{Eq-10}$$

où NF_{tot} et G_{tot} représentent respectivement le facteur de bruit et le gain disponible du système

La température ambiante, T_{amb} , étant proche de la température de référence du bruit, T_0 (290K), l'inégalité exprimée dans l'équation 9 peut être simplifiée en :

$$NF_{tot} + G_{tot} > NF_{RCV} + 3dB \quad \text{Eq-11}$$

Pour satisfaire cette inégalité, il est crucial d'avoir un récepteur de bruit avec un facteur de bruit le plus faible possible pour augmenter la sensibilité de la mesure, ainsi qu'un gain de chaîne suffisamment grand pour compenser des facteurs de bruit éventuellement faibles.

D'après les valeurs expérimentales à 130 GHz issues de mesures de bruit sur transistor bipolaire SiGe dans les conditions de polarisation optimales en gain, l'ordre de grandeur de chaque terme est le suivant :

$$NF_{tot} = 8 \text{ dB} \quad | \quad G_{tot} = 0.8 \text{ dB} \quad | \quad NF_{RCV} = 5 \text{ dB}$$

L'inégalité est alors satisfaite mais avec une marge extrêmement faible, de seulement 0.8 dB, entre la puissance de bruit de sortie et le seuil de détection. La représentation graphique en Fig. 17 permet de visualiser cette faible marge dont nous disposons à 130 GHz pour effectuer des mesures de puissance de bruit :

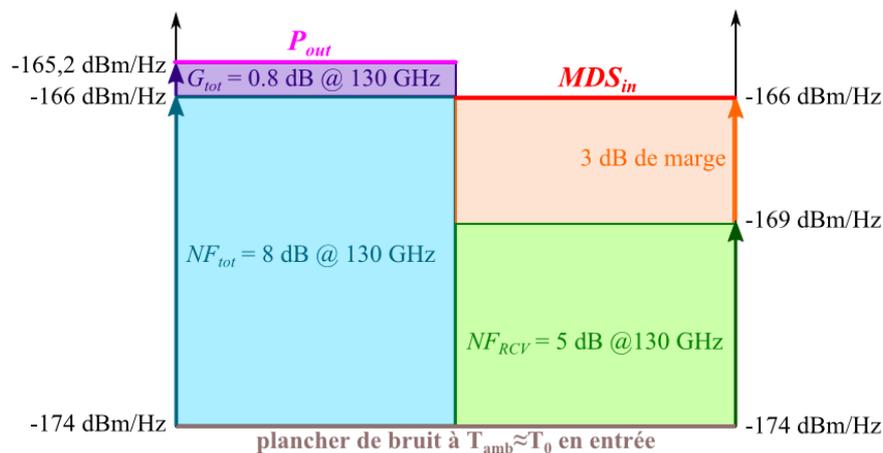


Fig. 17 - Représentation du niveau de puissance de bruit en sortie du système et du seuil de détection MDS_{in} en entrée du mesureur de bruit à 130 GHz

Face aux faibles niveaux de puissance de bruit à détecter par rapport au MDS_{in} , l'extraction des quatre paramètres de bruit du transistor jusqu'à 170 GHz représente un vrai challenge. Pour y parvenir, la précision des mesures de paramètres électriques (S) de l'ensemble du banc (source de bruit, tuner, sondes RF, accès du transistor) et la précision des mesures de puissance de bruit (liée au rapport de bruit en excès de la source de bruit) sont

d'une importance primordiale. Tous ces aspects seront abordés au cours du troisième chapitre, où un calcul d'erreur sur les paramètres mesurés sera également proposé.

La deuxième méthode d'extraction des quatre paramètres de bruit est plus simple à mettre en œuvre que la méthode multi-impédance. Elle utilise un modèle de bruit basé sur un schéma équivalent petit signal dont les paramètres sont extraits de la mesure. Ce modèle de bruit est finalement validé par confrontation aux mesures de *facteur* de bruit.

b. Extraction du modèle de bruit basé sur un schéma équivalent petit signal

Cette méthode requiert d'extraire précisément un schéma équivalent petit signal du transistor à partir de mesures de paramètres S . Afin de valider l'extraction des paramètres du schéma équivalent, les paramètres S simulés sous ADS[®] à partir de ce schéma équivalent sont comparés aux paramètres S mesurés.

Des sources de bruit dans les jonctions base-collecteur et base-émetteur sont ensuite ajoutées au schéma équivalent petit signal. Les équations de ces sources de bruit (bruit de grenaille) sont issues de la physique du composant et sont dépendantes de certains paramètres du schéma équivalent petit signal, d'où la nécessité d'une extraction précise. Le modèle petit signal et bruit utilisé pour nos travaux de recherche est représenté par la Fig. 18. Il s'agit d'un modèle en T, en montage émetteur commun, dérivé du modèle d'Hawkins [135].

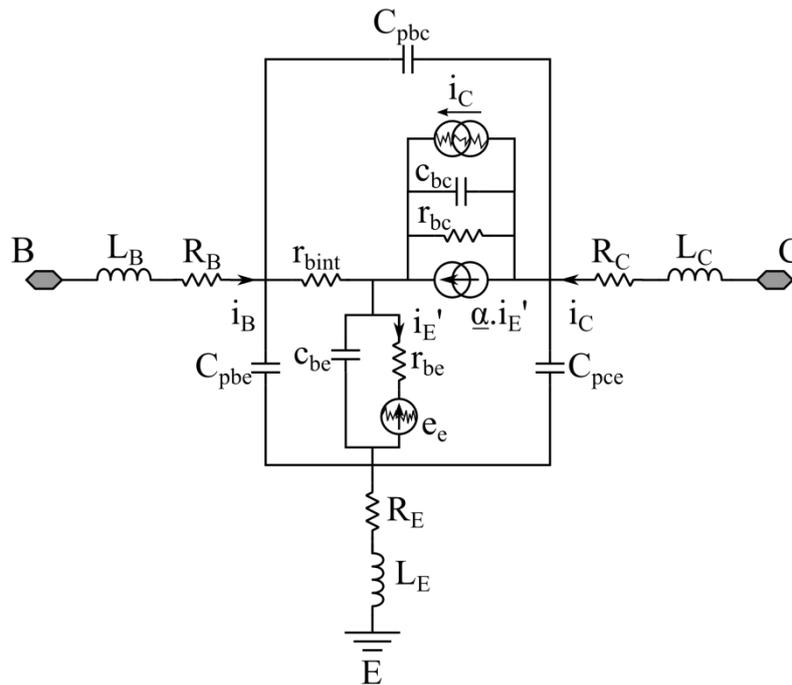


Fig. 18 - Modèle petit signal et bruit du transistor bipolaire à hétérojonction, montage émetteur commun

Le modèle petit signal et bruit ainsi obtenu est simulé sous ADS[®] en paramètres S et bruit et les quatre paramètres de bruit, NF_{min} , R_n , Γ_{opt} (module et phase), ainsi que le facteur de bruit sous 50Ω sont les paramètres calculés.

Enfin, pour valider le modèle petit signal et bruit, une mesure de référence en bruit est requise : nous utilisons alors les mesures de facteur de bruit sous 50Ω (F_{50}) pour vérifier les valeurs de facteur de bruit sous 50Ω retournées par la simulation du modèle.

Le synoptique du banc de mesures de facteur de bruit est illustré par la Fig. 19. La méthode de mesure de facteur de bruit et la procédure de correction des mesures qui sont

présentées sont génériques : elles peuvent être appliquées pour la mesure de composants, transistors, amplificateurs.

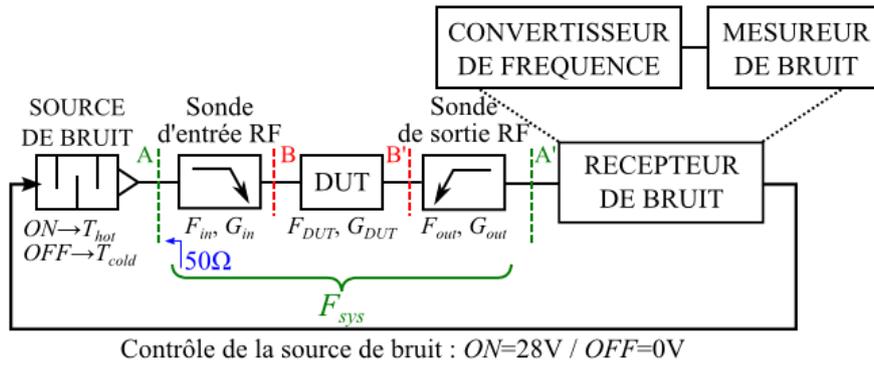


Fig. 19 - Synoptique du banc de mesure sous pointes du facteur de bruit sous 50Ω

Les mesures de facteur de bruit sous 50Ω sont effectuées sous pointes dans le plan AA', entre la sortie de la source de bruit et l'entrée du récepteur de bruit. Elles peuvent être ramenées dans le plan BB', soit au bout des sondes RF, en utilisant le théorème de Friis :

$$F_{sys} = F_{in} + \frac{F_{DUT} - 1}{G_{in}} + \frac{F_{out} - 1}{G_{in}G_{DUT}} \quad \text{Eq-12}$$

avec F_{in} et G_{in} , respectivement le facteur de bruit et le gain disponible du quadripôle d'entrée représentant la sonde RF en entrée et les connectiques (guide d'onde, câble, transition ou bias tee)

F_{DUT} , le facteur de bruit du transistor sous test

F_{out} , le facteur de bruit du quadripôle de sortie représentant la sonde RF en sortie et les connectiques

En considérant que le facteur de bruit d'un quadripôle passif est approximativement égal (à un rapport T_{amb}/T_0 près) à l'inverse de son gain disponible ($F_{in} \approx 1/G_{in}$ et $F_{out} \approx 1/G_{out}$), le facteur de bruit du transistor, F_{DUT} , peut être déduit de l'équation 12 et exprimé comme suit :

$$F_{DUT} \approx F_{sys} G_{in} - \frac{1 - G_{out}}{G_{DUT} G_{out}} \quad \text{Eq-13}$$

Le gain disponible (*available gain*) d'un quadripôle s'exprime de la façon suivante :

$$G_{av} = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)}{|1 - \Gamma_s S_{11}|^2 (1 - |\Gamma_{out}|^2)} \quad \text{Eq-14}$$

$$\text{avec } \Gamma_{out} = S_{22} + \frac{S_{12} S_{21} \Gamma_s}{1 - S_{11} \Gamma_s} \quad \text{Eq-15}$$

où Γ_s est le coefficient de réflexion du générateur
 Γ_{out} est le coefficient de réflexion en sortie du quadripôle

Il est donc nécessaire de connaître les paramètres S des quadripôles d'entrée et de sortie, ainsi que ceux du dispositif sous test (DUT) pour déterminer le facteur de bruit du transistor, F_{DUT} , à partir de la mesure de F_{sys} . Par conséquent, les mesures de facteur de bruit

sur le *DUT* sont généralement précédées de mesures de paramètres *S* sur l'ensemble des éléments constituant le système de mesures : source de bruit, sonde d'entrée et sonde de sortie.

Rappelons brièvement que le principe de la mesure de facteur de bruit est basé sur la méthode du facteur *Y*. La source de bruit possède deux niveaux de température de bruit, T_{cold} et T_{hot} , qui sont contrôlés électriquement par le mesureur de bruit ($0V \rightarrow T_{cold}$; $28V \rightarrow T_{hot}$). La température froide T_{cold} est égale à la température ambiante. Le facteur *Y* correspond au ratio des puissances de bruit mesurées pour les deux températures de bruit de la source. Un calibrage préalable du récepteur de bruit aux deux températures permet de caractériser le récepteur et de déduire sa contribution en bruit de la mesure avec le *DUT*. Moyennant la connaissance du rapport de bruit en excès de la source de bruit, *ENR* (*Excess Noise Ratio*), le facteur de bruit du système est déduit de la mesure du facteur *Y*. Sans entrer dans les détails du calcul, l'expression de chaque grandeur mentionnée est donnée ci-dessous :

$$Y = \frac{P_{hot}}{P_{cold}} \quad \text{Eq-16}$$

$$ENR = \frac{T_{hot} - T_{cold}}{T_0} \quad \text{Eq-17}$$

$$F = \frac{ENR}{Y - 1} \quad \text{Eq-18}$$

Là encore, une des limitations à la montée en fréquence et à la caractérisation en bruit de transistors concerne la sensibilité de mesure du facteur de bruit, déduite de la mesure de puissance de bruit à deux températures. En effet, d'après l'équation 19, le facteur de bruit minimum du transistor est lié à l'inverse de la fréquence de transition f_T et du gain en courant statique β (Niu, 2002, [136]). Ces grandeurs caractéristiques ne cessant d'être améliorées avec l'évolution des technologies BiCMOS, les facteurs de bruit sont de plus en plus faibles pour les dernières générations de transistors, mais à l'inverse leur gain augmente.

$$NF_{min} = 1 + \frac{1}{\beta} + \sqrt{2g_m r_b} \sqrt{\frac{1}{\beta} + \left(\frac{f}{f_T}\right)^2} \quad \text{Eq-19}$$

D'après notre calcul sur le MDS_{in} au §IV.2.a avec les performances de notre récepteur de bruit 130 -170 GHz, obtenir un produit $F_{tot} \times G_{tot}$ supérieur environ à 8 en linéaire (9 en dB) est finalement le critère primordial pour assurer une précision satisfaisante dans les mesures de bruit au-delà de 100 GHz. Ce critère semble limitatif car il invaliderait probablement nos mesures de bruit autour de la polarisation optimale de transistor pour le bruit, où son gain n'est d'ailleurs pas maximal. Afin de remplir le critère du *MDS*, nos travaux de caractérisation en bruit du transistor ont donc été menés dans des conditions de polarisation optimales en gain du transistor. L'étude sur le modèle de bruit sera présentée en fin de Chapitre 2 et l'extraction des paramètres de bruit à l'aide d'un *tuner in situ* sera abordée au cours du Chapitre 3.

IV.3. Bancs de mesures de paramètres S et de bruit disponibles

Nous proposons au cours de ce paragraphe d'exposer les moyens de caractérisation hyperfréquence, en régime petit signal et en bruit, disponibles pour mener notre étude. Les composants qui font l'objet de ces travaux de thèse en caractérisation hyperfréquence sont fabriqués par STMicroelectronics Crolles. Les bancs disponibles à STMicroelectronics Crolles sont présentés dans la Fig. 20. Les transistors fabriqués peuvent y être mesurés en paramètres S jusqu'à 220 GHz et en bruit jusqu'à 90 GHz. La Fig. 21 présente les bancs disponibles à l'IEMN. Avec des opportunités de mesures de paramètres S jusqu'à 500 GHz et en bruit jusqu'à 170 GHz, la caractérisation des transistors bipolaires à hétérojonction SiGe de STMicroelectronics peut être menée jusqu'à la proximité des fréquences de coupure et ainsi démontrer leurs potentialités pour la conception de circuits sub-téraherz.

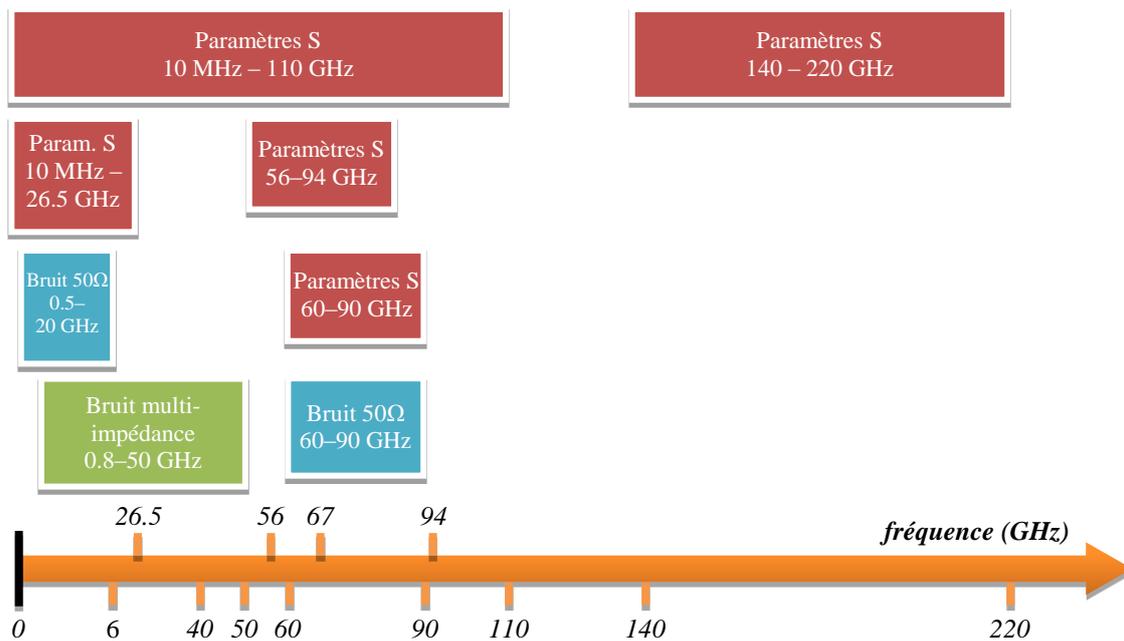


Fig. 20 - Bancs de mesures de paramètres S et de bruit RF sous points disponibles à STMicroelectronics

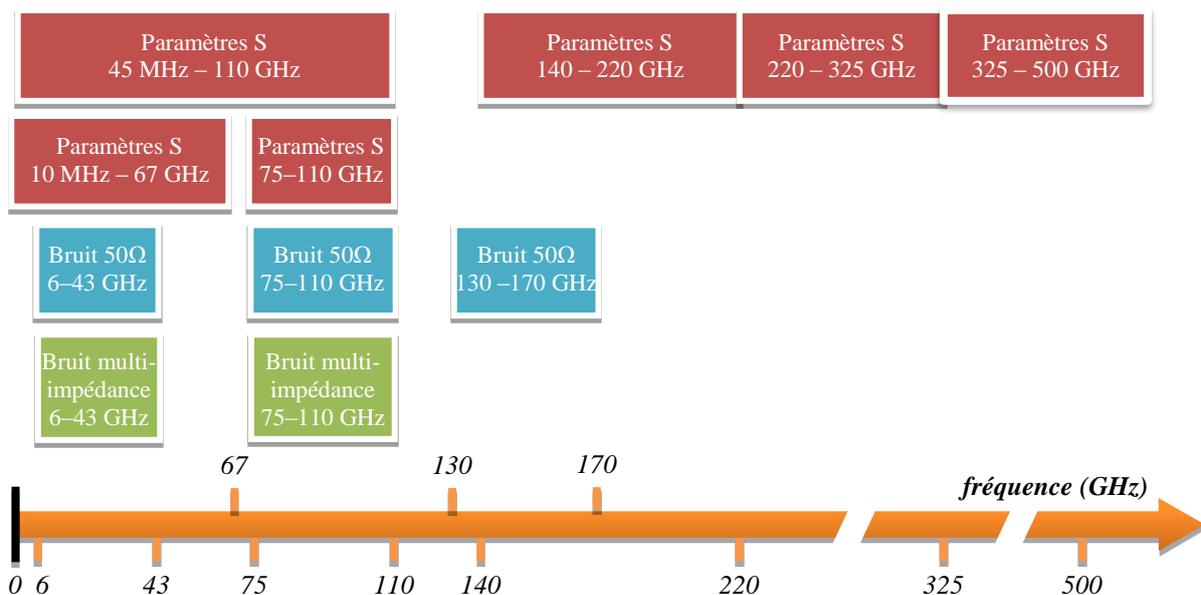


Fig. 21 - Bancs de mesures de paramètres S et de bruit RF sous points disponibles à l'IEMN

A partir de 75 GHz, les bancs de mesures de paramètres S à l'IEMN comportent des connectiques en guide d'onde. Ceux-ci sont à l'origine des bandes passantes de chaque banc. Il est intéressant de rappeler les bandes de fréquence, normes et dimensions des guides d'onde (cf. Tableau 6).

Waveguide frequency bands and interior dimensions				
Frequency Band	Waveguide Standard	Frequency Limits (GHz)	Inside Dimensions (inches)	Inside Dimensions (mm)
L band	WR-650	1.12 to 1.70	6.500 × 3.250	165,1 × 82,55
R band	WR-430	1.70 to 2.60	4.300 × 2.150	109,2 × 54,61
D band	WR-340	2.20 to 3.30	3.400 × 1.700	86,36 × 43,18
S band	WR-284	2.60 to 3.95	2.840 × 1.340	72,14 × 34,04
E band	WR-229	3.30 to 4.90	2.290 × 1.150	58,17 × 29,08
G band	WR-187	3.95 to 5.85	1.872 × 0.872	47,55 × 22,15
F band	WR-159	4.90 to 7.05	1.590 × 0.795	40,39 × 20,19
C band	WR-137	5.85 to 8.20	1.372 × 0.622	34,85 × 15,80
H band	WR-112	7.05 to 10.00	1.122 × 0.497	28,50 × 12,62
X band	WR-90	8.2 to 12.4	0.900 × 0.400	22,86 × 10,16
X-Ku band	WR-75	10.0 to 15.0	0.750 × 0.375	19,05 × 9,525
Ku band	WR-62	12.4 to 18.0	0.622 × 0.311	15,80 × 7,900
K band	WR-51	15.0 to 22.0	0.510 × 0.255	12,95 × 6,477
K band	WR-42	18.0 to 26.5	0.420 × 0.170	10,67 × 4,318
Ka band	WR-28	26.5 to 40.0	0.280 × 0.140	7,112 × 3,556
Q band	WR-22	33 to 50	0.224 × 0.112	5,690 × 2,845
U band	WR-19	40 to 60	0.188 × 0.094	4,775 × 2,388
V band	WR-15	50 to 75	0.148 × 0.074	3,759 × 1,880
E band	WR-12	60 to 90	0.122 × 0.061	3,099 × 1,549
W band	WR-10	75 to 110	0.100 × 0.050	2,540 × 1,270
F band	WR-8	90 to 140	0.080 × 0.040	2,032 × 1,016
D band	WR-6	110 to 170	0.0650 × 0.0325	1,651 × 0,826
G band	WR-5	140 to 220	0.0510 × 0.0255	1,295 × 0,648
	WR-4	170 to 260	0.0430 × 0.0215	1.092 × 0.546
J band	WR-3	220 to 325	0.0340 × 0.0170	0,864 × 0,432
Y band	WR-2	325 to 500	0.0200 × 0.0100	0,508 × 0,254
	WR-1.5	500 to 750	0.0150 × 0.0075	0,381 × 0,191
	WR-1	750 to 1100	0.0100 × 0.0050	0,254 × 0,127

Tableau 6 - Bandes de fréquence, normes et dimensions des guides d'onde

IV.4. Etat des lieux sur la caractérisation petit signal et bruit avant la thèse

Nos travaux de thèse, démarrés en mars 2012, font partie des actions du Laboratoire Commun IEMN/STMicroelectronics Crolles. Plusieurs thèses précédentes ont permis de fixer le point de départ de nos études en matière de caractérisation/modélisation petit signal et bruit de transistor bipolaire. La Fig. 22 mentionne donc les résultats obtenus lors de travaux de thèse dans le cadre du Laboratoire Commun IEMN/STMicroelectronics Crolles, par Nicolas Waldhoff [137], Yoann Tagro [138] et Laurent Poulain [133].

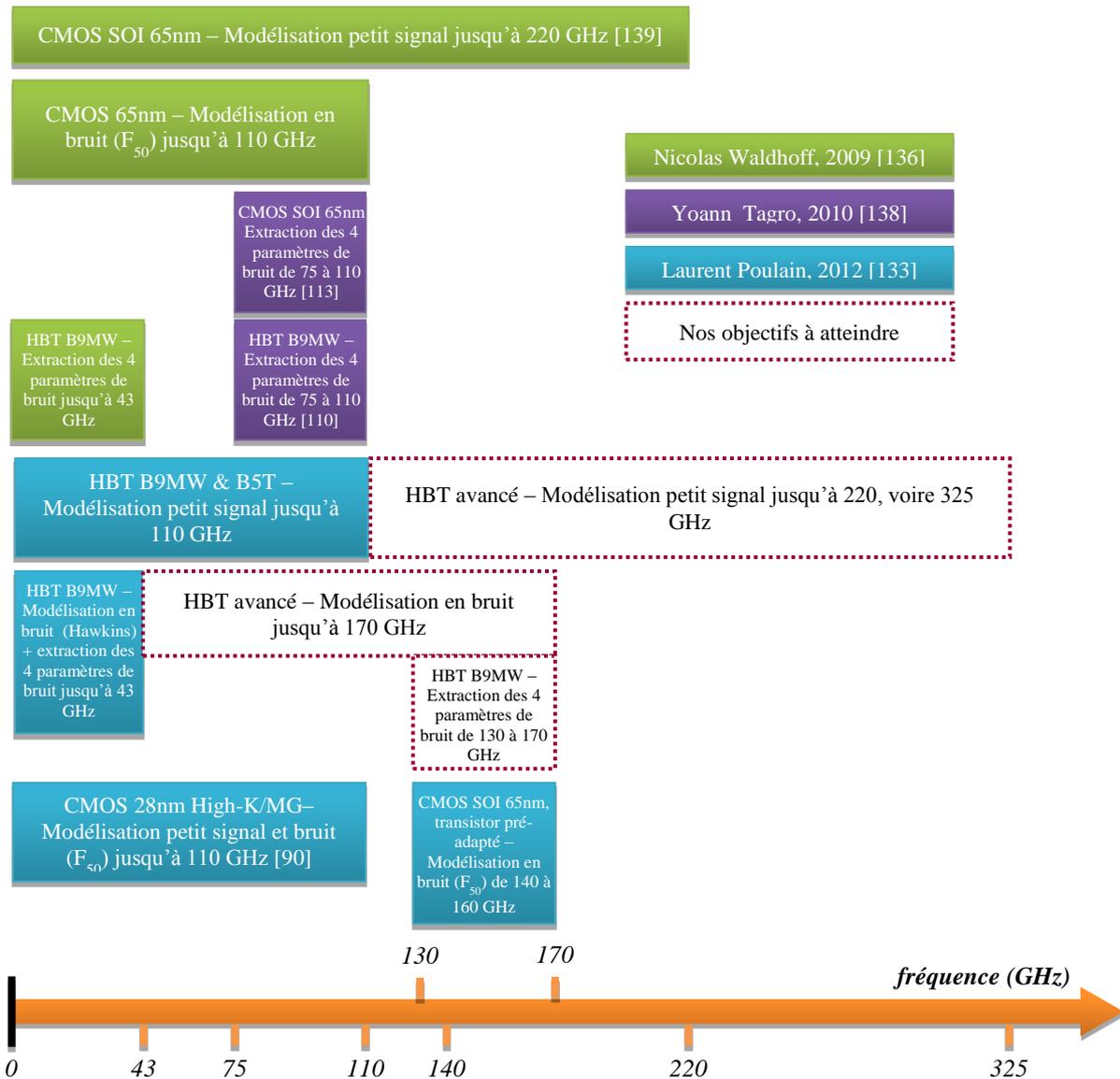


Fig. 22 - Etat des lieux des résultats obtenus en caractérisation petit signal et bruit de transistors MOSFET et HBT dans le cadre du Laboratoire Commun IEMN/STMicroelectronics avant la thèse en 2012

Cette thèse s’inscrit dans la continuité de ces trois travaux de thèse récents, mais concerne essentiellement la caractérisation du transistor bipolaire à hétérojonction (HBT). Comme le montre la Fig. 22, les objectifs que nous nous sommes fixés ont été de porter plus haut fréquence les résultats obtenus, soit :

- la modélisation petit signal du transistor bipolaire jusqu’à 220, voire 325 GHz, en mettant à profit la mesure de paramètres S en bandes G et J
- la modélisation en bruit du transistor bipolaire jusqu’à 170 GHz, possible grâce aux bancs de bruit 6 – 43, 75 – 110 et 130 – 170 GHz
- l’extraction des quatre paramètres de bruit du transistor bipolaire jusqu’à 170 GHz

Un des leviers bien identifié pour parvenir à modéliser le transistor bipolaire au-delà de 110 GHz sera de développer une nouvelle procédure d’épluchage des accès du transistor. Contrairement au transistor MOSFET qui a bénéficié de travaux spécifiques en matière d’épluchage jusqu’à 220 GHz [139], la méthode conventionnelle *Open-Short* reste utilisée jusqu’alors pour extraire les paramètres du schéma équivalent et valider le modèle extrait

jusqu'à 110 GHz. Au-delà de 110 GHz, elle est impraticable pour valider l'extraction du modèle petit signal, ce qui empêche la montée en fréquence. La montée en fréquence pour la modélisation petit signal ne peut donc se faire qu'avec un travail sur la mise au point d'une méthode d'épluchage précise jusqu'à 220 GHz, voire au-delà.

En ce qui concerne la modélisation en bruit jusqu'à 170 GHz, elle passe d'abord par une extraction précise des paramètres du schéma équivalent petit signal, validée jusqu'à 170 GHz par les paramètres S épluchés. L'ajout de sources de bruit suivant le modèle de bruit d'Hawkins vient ensuite compléter le schéma équivalent. Le modèle petit signal et bruit ainsi extrait est ensuite validé par la mesure de facteur de bruit jusqu'à 170 GHz. Deux points seront donc essentiels pour amener la modélisation en bruit du transistor bipolaire jusqu'à 170 GHz : améliorer la méthode d'épluchage pour les paramètres S pour extraire un schéma équivalent précis dans lequel le modèle de bruit d'Hawkins pourra être implémenté et maîtriser la mesure de bruit jusqu'à 170 GHz avec toutes les corrections qu'elle nécessite afin de valider le modèle de bruit.

Le dernier objectif sera d'extraire les quatre paramètres de bruit du transistor bipolaire de 130 à 170 GHz en utilisant des *tuners in situ*. Les *tuners* étant déjà disponibles en B9MW grâce à des conceptions faites par Laurent Poulain, les mesures de paramètres S et de bruit de ces *tuners* intégrés avec le transistor sous test devront être pleinement exploitées entre 130 et 170 GHz. Une importance particulière devra être accordée à la précision des mesures de paramètres S et de bruit, notamment en raison des faibles niveaux de puissance de bruit mesurés, proches des limites de détection de l'instrument de mesure de bruit.

V. Conclusion du Chapitre 1

Le contexte des travaux de thèse a été présenté au cours de ce premier chapitre. De nombreuses applications aux fréquences sub-téraherz sont envisagées par l'industrie du silicium. Les performances fréquentielles croissantes des transistors bipolaires à hétérojonction SiGe de dernière génération ($f_T/f_{max} \geq 300/400$ GHz) en font de très bons candidats pour la conception de circuits pour adresser ces applications.

Toutefois, la conception de circuits sub-téraherz requiert la simulation de modèles de transistor précis et fiables, qui sont extraits et validés par la mesure. Au-delà de 100 GHz, la caractérisation petit signal et bruit souffre du manque de précision des méthodes conventionnelles d'épluchage des accès du transistor bipolaire (*de-embedding*) et de la sensibilité des mesures de bruit. L'amélioration de la méthode d'épluchage a de ce fait été le tout premier objectif de ces travaux de thèse, ceci en vue d'extraire plus précisément les paramètres du schéma équivalent petit signal et de bruit du transistor bipolaire SiGe et de les valider aux fréquences sub-téraherz. Ce travail d'amélioration de la méthode d'épluchage sera exposé dans le Chapitre 2, qui est consacré aux mesures et à la modélisation en régime petit signal et bruit du transistor bipolaire SiGe.

Chapitre 2 :

***Mesures et modélisation petit
signal et bruit en gamme
millimétrique de transistors
bipolaires à hétérojonction
SiGe***

I. Introduction du Chapitre 2

Ce deuxième chapitre est dédié à la mesure et à la modélisation en régime linéaire du transistor bipolaire à hétérojonction SiGe.

Dans un premier temps, une description des méthodes conventionnelles pour la correction de mesures de paramètres S sera faite. Elle concernera tout aussi bien le calibrage du banc de mesures de paramètres S que l'épluchage des accès du transistor. Au travers d'une comparaison entre les méthodes de calibrage usuelles, nous mettrons en avant les avantages de la méthode *LRRM* qui a été retenue pour les mesures de paramètres S réalisées en bande G (140 – 220 GHz) et J (220 – 325 GHz) à l'IEMN. Ensuite, nous aborderons les techniques d'épluchage des accès du transistor. L'épluchage consiste à déduire la contribution des plots, des lignes d'accès et de la métallisation (empilement de métaux et vias) au-dessus du transistor. Les procédés silicium comptent en général plus de six couches de métallisation dont les effets parasites peuvent être conséquents avec la fréquence croissante. La taille des interconnexions dépasse largement celle du transistor à caractériser. Les photographies des Fig. 23 et Fig. 24 donnent une représentation de la zone active d'un transistor bipolaire, d'une largeur d'émetteur de $0.12\ \mu\text{m}$, et un exemple d'interconnexions métalliques qui viennent le contacter, d'une hauteur de plus de $8\ \mu\text{m}$. L'enjeu d'un épluchage à haute fréquence est de ce fait de modéliser précisément ces interconnexions, ainsi que les plots et les lignes d'accès, afin de retrouver les paramètres du transistor sous test. Après une revue des techniques d'épluchage conventionnelles, nous proposons dans ce chapitre une nouvelle procédure d'épluchage élaborée à partir de mesures en bande G sur différentes structures de test.

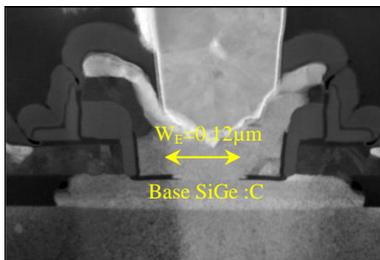


Fig. 23 - Photographie TEM de la jonction base-émetteur d'un transistor B9MW

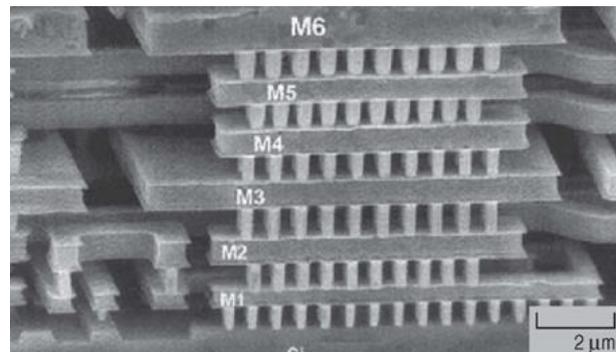


Fig. 24 - Photographie SEM des interconnexions d'un procédé silicium à 6 niveaux de métal

Nous verrons par la suite que la nouvelle technique d'épluchage a permis de modéliser le transistor bipolaire SiGe jusqu'à 220, voire 325 GHz en régime petit signal. Le transistor bipolaire, de même géométrie (HBT CBEB $0.12 \times 4.85\ \mu\text{m}^2$), dans trois technologies BiCMOS successives fera alors l'objet de nos travaux. Avec une polarisation du transistor à l'optimum en gain, le modèle petit signal extrait à partir de paramètres S épluchés sera utilisé pour implémenter le modèle de bruit d'Hawkins. Enfin, une comparaison entre le modèle de bruit extrait et les mesures de bruit sera effectuée jusqu'à 170 GHz, fréquence maximale des bancs de mesure de bruit à l'IEMN.

II. Correction des mesures de paramètres S

Afin d'obtenir les paramètres S du composant sous test, deux étapes de correction de mesures sont requises :

1. le calibrage 'off-wafer' du banc de mesures de paramètres S
2. l'épluchage des accès du transistor, soit 'de-embedding on-wafer'

II.1. Calibrage sous pointes du banc de mesures de paramètres S

Comme présenté au Chapitre 1 - §I.1, le calibrage du banc de mesures de paramètres S (analyseur de réseau, connectiques et têtes millimétriques) est nécessaire pour changer le plan de mesure vectoriellement. Sans calibrage, l'analyseur de réseau vectoriel retournera des mesures de paramètres S au niveau de ses ports. Avec calibrage, il retournera des mesures de paramètres S dans le plan du calibrage (Fig. 25), soit proche de l'extrémité des sondes.

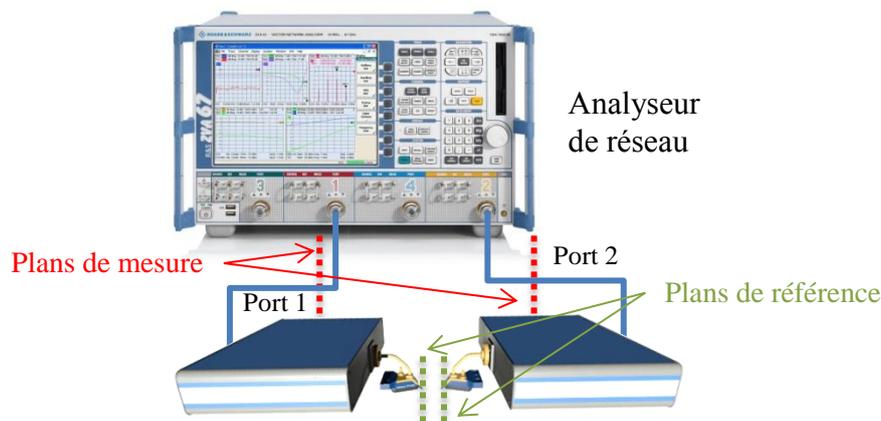


Fig. 25 - Plans de référence des mesures de paramètres S avant et après calibrage du banc de mesure

Rappelons que deux bancs de mesures de paramètres S sont disponibles à l'IEMN aux fréquences sub-téraherz, l'un en bande G (140 – 220 GHz) et l'autre en bande J (220 – 325 GHz). A ces hautes fréquences, les méthodes de calibrage doivent être comparées entre elles afin de choisir celle qui assurerait une mesure avec le moins d'incertitude possible. Nous discuterons alors dans cette section de trois méthodes de calibrage qui sont :

- la méthode *SOLT* (*Short-Open-Load-Thru*)
- la méthode *TRL* (*Thru-Reflect-Line*)
- la méthode *LRRM* (*Load-Reflect-Reflect-Match*)

Toutes ces méthodes reposent sur un modèle dit 'd'erreur', qu'il s'agit de déterminer au moyen d'étalons de référence. Dans le cadre de mesures 2 ports, ce modèle décrit les relations entre deux plans complexes dits 'de mesure' en deux autres plans complexes dits 'de référence'. Les paramètres de ce modèle sont déterminés à l'aide des caractéristiques d'étalons dont ils dépendent totalement ou partiellement.

Pour les mesures hyperfréquence sous pointes, un substrat d'alumine comportant les standards d'étalonnage appelé *ISS* (*Impedance Standard Substrate*) est utilisé. Il est associé à un 'kit' de calibrage (*cal-kit*), qui est un fichier à charger dans l'analyseur de réseau ou le logiciel de calibrage. Ce *cal-kit* contient le modèle électrique équivalent de chaque étalon, en fonction de l'écartement des sondes (*pitch*) et de leur nature (exemple : sondes *Ground-Signal-Ground*, *GSG*). Les étalons sont fabriqués avec une qualité certaine grâce à un usinage par laser (exemple : charges résistives de 50Ω à $\pm 1\%$).

a. La méthode SOLT

La méthode *SOLT* (*Short-Open-Load-Thru*) s'appuie sur un modèle à 12 termes d'erreur (*Full 2-port model*) [140] [141], représenté par les graphes de fluence Fig. 26 :

- six termes d'erreur en mesure directe, lorsque le signal hyperfréquence d'amplitude a_0 est injecté en voie 1 de l'analyseur de réseau ;
- six termes d'erreur en mesure inverse, lorsque le signal hyperfréquence d'amplitude a_3' est injecté en voie 2 de l'analyseur de réseau.

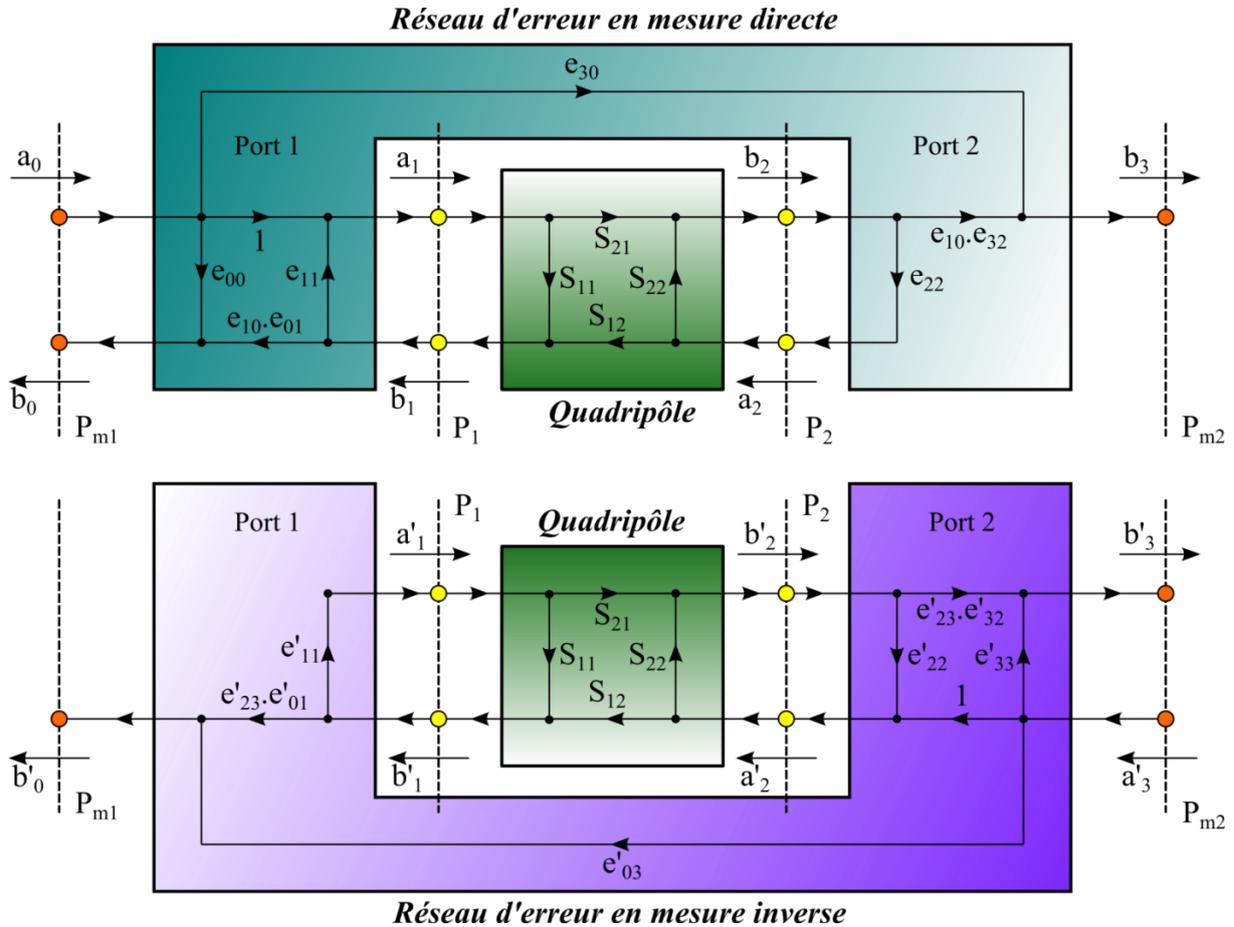


Fig. 26 - Modèle à 12 termes d'erreur pour la mesure d'un quadripôle : il s'agit d'un modèle physique équivalent aux caractéristiques d'un double réflectomètre

La signification de ces douze termes d'erreur est décrite ci-dessous :

Mesure directe

- e_{00} = directivité
- e_{11} = désadaptation de la source
- e_{01}, e_{10} = réponse fréquentielle en réflexion
- e_{10}, e_{32} = réponse fréquentielle en transmission
- e_{22} = désadaptation de la charge
- e_{30} = couplage direct entre les deux ports

Mesure inverse

- e'_{33} = directivité
- e'_{11} = désadaptation de la source
- e'_{23}, e'_{32} = réponse fréquentielle en réflexion
- e'_{23}, e'_{01} = réponse fréquentielle en transmission
- e'_{22} = désadaptation de la charge
- e'_{03} = couplage inverse entre les deux ports

En se basant sur les graphes de fluence Fig. 26, les paramètres S mesurés, S_{ijm} , s'expriment en fonction de ces termes d'erreur et des paramètres S_{ij} du quadripôle à mesurer :

$$\left\{ \begin{array}{l} S_{11m} = \frac{b_0}{a_0} = e_{00} + e_{10} \cdot e_{01} \cdot \frac{S_{11} - e_{22} \Delta_S}{1 - e_{11} S_{11} - e_{22} S_{22} + e_{11} e_{22} \Delta_S} \\ S_{21m} = \frac{b_3}{a_0} = e_{30} + e_{10} \cdot e_{32} \cdot \frac{S_{21}}{1 - e_{11} S_{11} - e_{22} S_{22} + e_{11} e_{22} \Delta_S} \\ S_{22m} = \frac{b'_0}{a'_3} = e'_{33} + e'_{23} \cdot e'_{32} \cdot \frac{S_{22} - e'_{11} \Delta_S}{1 - e'_{11} S_{11} - e'_{22} S_{22} + e'_{11} e'_{22} \Delta_S} \\ S_{12m} = \frac{b'_0}{a'_3} = e'_{03} + e'_{23} \cdot e'_{01} \cdot \frac{S_{12}}{1 - e'_{11} S_{11} - e'_{22} S_{22} + e'_{11} e'_{22} \Delta_S} \end{array} \right. \quad \text{Eq-20}$$

avec $\Delta_S = S_{11} S_{22} - S_{12} S_{21}$

Pour déterminer ces douze termes d'erreur e_{ij} et déduire mathématiquement de la mesure les paramètres S_{ij} du quadripôle sous test, quatre étalons sont nécessaires :

- *Short* : court-circuit, modélisé dans le *cal-kit* par une inductance de l'ordre du pH
- *Open* : circuit ouvert, modélisé dans le *cal-kit* par une capacité de l'ordre de 10 fF \pm quelques fF
- *Load* : charge adaptée, modélisée dans le *cal-kit* par une résistance de 50 Ω en série avec une inductance de quelques pH pour des *pitchs* de 100-150 μ m
- *Thru* : connexion directe ou ligne de transmission de longueur très courte, modélisée dans le *cal-kit* par un délai de 0,5 à 1ps

Par ailleurs, la méthode de calibrage *SOLT* est très proche de la physique. Les standards d'étalonnage ont des caractéristiques analogiques au miroir plan et au corps noir de l'optique géométrique (voir Fig. 27).

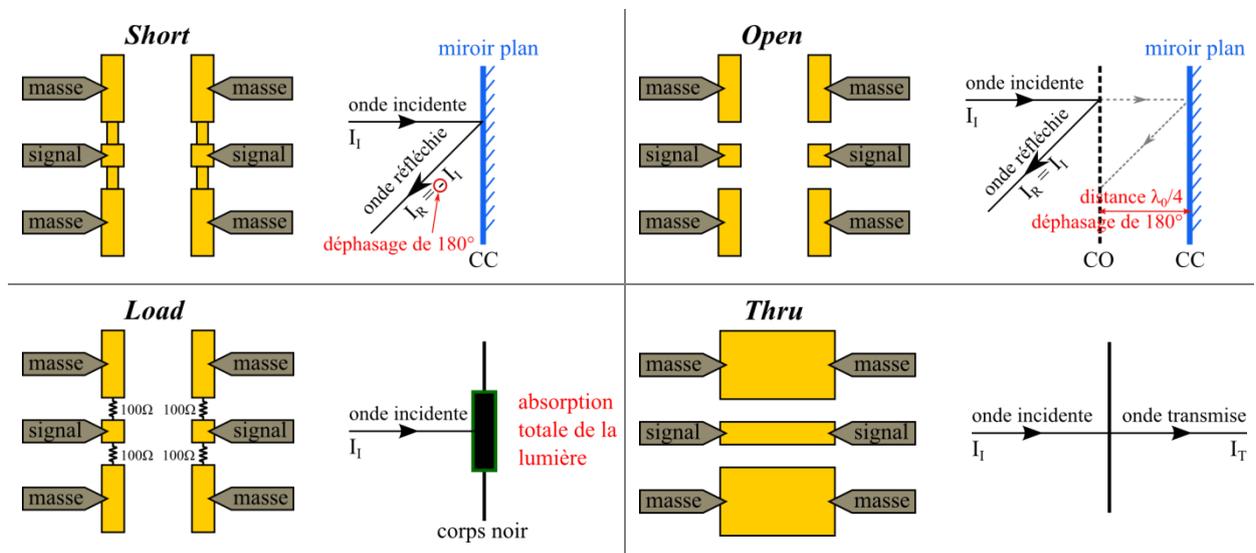


Fig. 27 - Analogie entre le calibrage *SOLT* sur substrat *ISS* et l'optique géométrique

En mesure directe et en mesure inverse :

- les standards *Short* et *Open* permettent de déterminer les erreurs de désadaptation de source et de réponse fréquentielle en réflexion ;
- le standard *Load* amène à la détermination des erreurs de directivité ;
- le standard *Thru* permet de calculer les erreurs de désadaptation de charge et de réponse fréquentielle en transmission.

Une fois les termes d'erreur déterminés, les paramètres S du quadripôle sous test sont déduits à partir de l'équation 20 et calculés comme le montre l'équation 21.

$$\left\{ \begin{array}{l} S_{11} = \frac{\frac{S_{11m} - e_{00}}{e_{10}e_{01}} \left[1 + \frac{S_{22m} - e'_{33}}{e'_{23}e'_{32}} e'_{22} \right] - \frac{S_{21m} - e_{30}}{e_{10}e_{32}} \cdot \frac{S_{12m} - e'_{03}}{e'_{23}e'_{01}} e_{22}}{D} \\ S_{21} = \frac{\frac{S_{21m} - e_{30}}{e_{10}e_{32}} \left[1 + \frac{S_{22m} - e'_{33}}{e'_{23}e'_{32}} \right] (e'_{22} - e_{22})}{D} \\ S_{22} = \frac{\frac{S_{22m} - e'_{33}}{e'_{23}e'_{32}} \left[1 + \frac{S_{11m} - e_{00}}{e_{10}e_{01}} e_{11} \right] - \frac{S_{21m} - e_{30}}{e_{10}e_{32}} \cdot \frac{S_{12m} - e'_{03}}{e'_{23}e'_{01}} e'_{11}}{D} \\ S_{12} = \frac{\frac{S_{12m} - e'_{03}}{e'_{23}e'_{01}} \left[1 + \frac{S_{11m} - e_{00}}{e_{10}e_{01}} \right] (e_{11} - e'_{11})}{D} \end{array} \right. \quad \text{Eq-21}$$

$$\text{avec } D = \left[1 + \frac{S_{11m} - e_{00}}{e_{10}e_{01}} e_{11} \right] \left[1 + \frac{S_{22m} - e'_{33}}{e'_{23}e'_{32}} e_{22} \right] - \frac{S_{21m} - e_{30}}{e_{10}e_{32}} \cdot \frac{S_{12m} - e'_{03}}{e'_{23}e'_{01}} e_{22} e'_{11}$$

Tous les paramètres des standards nécessitant d'être parfaitement connus, la méthode *SOLT* est définie comme une méthode de calibrage direct. Or, à haute fréquence, cela présente un réel désavantage car les modèles électriques équivalents des standards sont moins précis qu'à basse fréquence. Ils sont d'ailleurs décrits dans un plan de référence unique et un positionnement des sondes en dehors de ce plan de référence entrainera une divergence entre la mesure du standard et son modèle équivalent. Par conséquent, la précision du calibrage sera considérablement affectée.

Bien que la méthode *SOLT* soit largement répandue pour le calibrage de banc de mesures de paramètres S , celle-ci n'est pas retenue à l'IEMN pour les mesures dans les fréquences sub-téraherz, en raison de sa forte dépendance vis-à-vis des définitions des standards.

Des méthodes d'auto-calibrage telles que les méthodes *TRL* et *LRRM* s'avèrent être plus robustes et moins sensibles à certains étalons.

b. La méthode TRL

La méthode *TRL* (*Thru-Reflect-Line*) repose sur un modèle à 8 termes d'erreur.

Des hypothèses sont faites sur la nature des erreurs systématiques du modèle à 12 termes [141] :

- l'analyseur de réseau est considéré comme un double réflectomètre parfait qui n'induit aucun couplage entre les voies 1 et 2 ($e_{30}=e'_{03}=0$) ;
- la commutation de l'analyseur de réseau entre la mesure directe et la mesure inverse est parfaite, soit les erreurs de désadaptation de la source et de la charge sont égales dans les deux sens de mesures ($e_{11}=e'_{11}$ et $e_{22}=e'_{22}$).

Le système de mesure est ainsi représenté par la Fig. 28, avec deux réseaux d'erreur A et B et un quadripôle X à mesurer, formalisme introduit par R. Hackborn en 1968 [142].

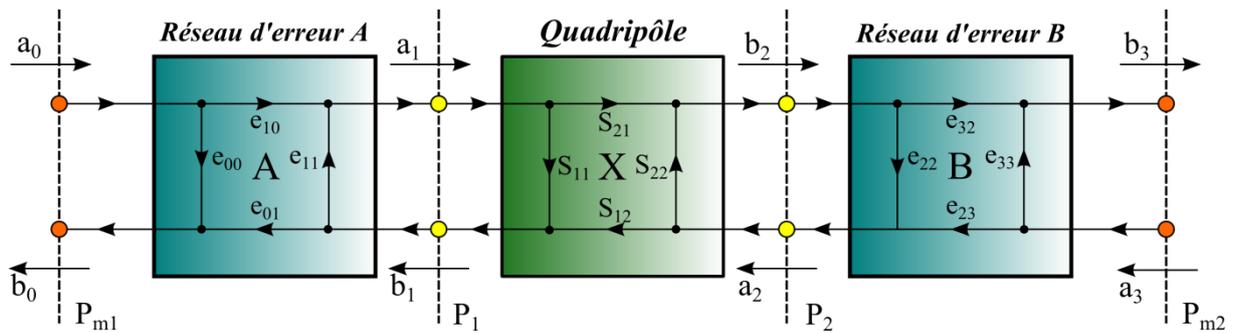


Fig. 28 - Modèle à 8 termes d'erreur pour la mesure d'un quadripôle

La méthode *TRL* est une méthode d'auto-calibrage qui ne nécessite qu'une connaissance partielle des étalons. Les paramètres non définis des étalons sont déterminés automatiquement par un algorithme de résolution. L'algorithme de résolution pour la méthode *TRL* a été introduit pour la première fois en 1979 par Glenn F. Engen et Cletus A. Hoer [144] et une version améliorée, plus rapide et plus robuste, de cet algorithme a été proposée en 1994 par Holger Heuermann et Burkhard Schiek [145].

Les 3 étalons (Fig. 29) utilisés par la méthode *TRL* sont les suivants :

- *Thru* : connexion directe ou ligne de transmission de longueur très courte, dont les paramètres de réflexion sont nuls et les paramètres de transmission sont unitaires. Les paramètres du *Thru* sont supposés totalement connus. Le plan de référence de mesure sera fixé par celui du *Thru*, soit en son centre ;
- *Reflect* : standard caractérisé par un fort coefficient de réflexion identique dans les deux sens de mesure (par exemple : *Short*). Les paramètres du *Reflect* sont totalement inconnus ;
- *Line* : ligne de transmission d'une certaine longueur, dont les paramètres de réflexion sont nuls et les paramètres de transmission S_{12} et S_{21} non unitaires sont inconnus. Les paramètres de la *Line* sont partiellement connus. L'impédance de référence du calibrage sera fixée par l'impédance caractéristique de la *Line*.

Les paramètres inconnus des étalons sont déterminés par calcul matriciel, notamment en respectant le formalisme des matrices de pseudo-transmission.

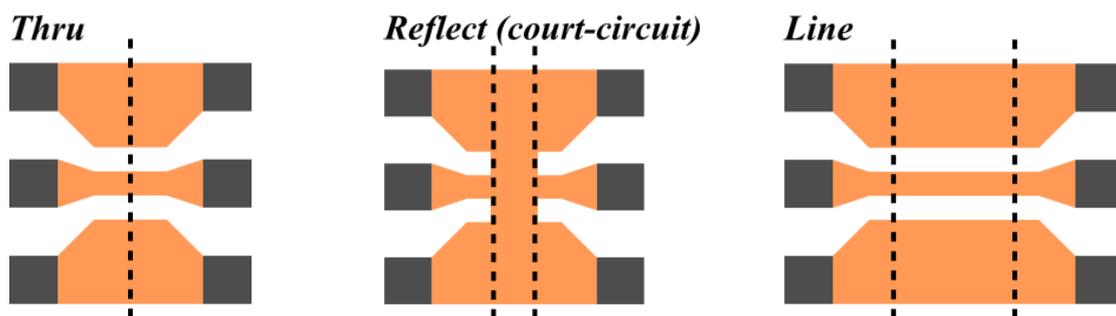


Fig. 29 - Exemple de motifs d'étalonnage pour un calibrage *TRL on wafer*

Contrairement à la méthode *SOLT*, la méthode *TRL* ne dépend que partiellement des caractéristiques de ses standards. La robustesse de son algorithme de résolution et sa précision font de la *TRL* une méthode de calibrage considérée comme traçable. En effet, le *Reflect* doit uniquement avoir un coefficient de réflexion identique dans les deux sens de mesure, dont la valeur permet de lever une indétermination de signe durant le calcul. Le *Thru* et la *Line* doivent être fabriqués de telle sorte que leurs facteurs de réflexion soient nuls. L'impédance

de référence étant fixée par l'impédance caractéristique de la *Line*, cette dernière doit être très proche de 50Ω . Cette dernière condition sur l'impédance caractéristique de la *Line* est la plus difficile à remplir puisqu'elle est difficilement maintenue constante à haute fréquence.

Par ailleurs, les paramètres de transmission de la *Line* doivent être différents de ceux du *Thru* pour ne pas confondre ses plans de référence et avoir un système d'équations sous-déterminé. En d'autres termes, le déphasage entre la *Line* et le *Thru* ne doit pas être proche ni de 0° , ni de 180° . En théorie, les longueurs du *Thru*, l_1 , et de la *Line*, l_2 , devraient être choisies telles qu'on ait en milieu de bande :

$$l_2 - l_1 = \frac{\lambda_g}{4} \quad \text{Eq-22}$$

Pour donner un ordre de grandeur des longueurs de ligne nécessaires pour mettre en œuvre un calibrage *TRL*, nous prendrons comme exemple la bande *G*.

Application numérique pour la bande G, 140 – 220 GHz :

En considérant :

- $f = 180 \text{ GHz}$
- $\epsilon_{r,eff} = 4$ pour les lignes *TFMS* (*Thin Film Microstrip*) des procédés silicium pour un éventuel calibrage *TRL on-wafer*
- $\epsilon_{r,eff} \approx 6$ pour les lignes *CPW* (*Coplanar WaveGuide*) sur substrat d'alumine tel que le substrat de calibrage *ISS*
- l'expression de la longueur du quart d'onde suivante : $\lambda_g = \frac{c}{f \sqrt{\epsilon_{r,eff}}}$

... nous obtenons :

- $l_2 - l_1 \approx 0.2 \text{ mm}$ pour les procédés silicium
- $l_2 - l_1 \approx 1 \text{ mm}$ pour le substrat d'alumine

Pour un calibrage *TRL* en bande *G*, ces différences de longueurs de ligne imposent donc une fabrication de lignes de longueurs de plusieurs centaines de μm sur silicium, voire quelques millimètres sur un substrat de calibrage sur alumine où le nombre d'étalons est limité.

Cependant, en pratique, le calibrage *TRL* n'est plus considéré valide dans les parties inférieures et supérieures de la bande de fréquence de calibrage. En réalité, seulement 60% de la bande de fréquence est utilisable après calibrage *TRL*, soit la plage où $20^\circ \leq \beta(l_2 - l_1) \leq 160^\circ$ (cf. Fig. 30). En bande *G*, cela reviendrait à ne considérer valides que les mesures comprises entre 150 et 210 GHz.



Fig. 30 - Plage de validité d'un calibrage *TRL*

Cette limitation majeure de la méthode *TRL* peut toutefois être contournée en utilisant plusieurs tronçons de ligne. Il s'agit de la méthode *multi-line TRL*, introduite en 1991 par R.B. Marks [146]. Plus précise que la méthode *TRL*, la méthode *multi-line TRL* peut néanmoins nécessiter une surface considérable et revenir coûteuse sur un substrat silicium. De plus, les

dérives de calibrage étant plus fréquentes à haute fréquence (calibrage à refaire plusieurs fois par jour), la méthode *multi-line TRL* s'avère être peu pratique.

Une méthode de calibrage supplémentaire permet de couvrir une large bande de fréquences avec une plus grande facilité de mise en œuvre que la méthode *multi-line TRL* : il s'agit de la méthode *LRRM*.

c. La méthode LRRM

Tout comme la méthode *TRL*, la méthode *LRRM* (*Load-Reflect-Reflect-Match*) est basée sur un modèle à 8 termes d'erreur et représente une méthode d'auto-calibrage. Introduite en 1990 par Andrew Davidson [147], il s'agit d'une variante de la méthode *LRM* (*Load-Reflect-Match*) [148], inventée par Hermann-Josef Eul et Burkhard Schiek comme une alternative à la méthode *TRL*.

Les quatre étalons pour la mise en œuvre du calibrage *LRRM* sont les suivants :

- *Line* : ligne de transmission d'une certaine longueur, dont les paramètres de réflexion sont nuls et les paramètres de transmission S_{12} et S_{21} sont connus. En pratique, nous utilisons un *Thru* de longueur non nulle (délai $\approx 0,5-1$ ps). Les paramètres de la *Line* sont donc totalement connus ;
- *Reflect* $\times 2$: standards caractérisés par un fort coefficient de réflexion identique dans les deux sens de mesure. Deux *Reflect*, un *Open* et un *Short* sont utilisés pour lever une indétermination de signe dans l'algorithme de résolution. Les paramètres des deux *Reflect* sont totalement inconnus mais les facteurs de réflexion dans les deux sens de mesure sont supposés identiques ;
- *Match* : charge non réfléchive, traduisant une ligne de longueur infinie, modélisée par une résistance 50Ω , bien définie, en série avec une inductance. Cette inductance sera déduite par l'algorithme de résolution grâce à une redondance entre les deux *Reflect*. L'impédance caractéristique de la *Match* fixera l'impédance de référence du calibrage. Les paramètres de la *Match* sont partiellement connus.

Les paramètres inconnus des deux *Reflect* et de la *Match* sont déterminés en respectant le formalisme des matrices de pseudo-transmission.

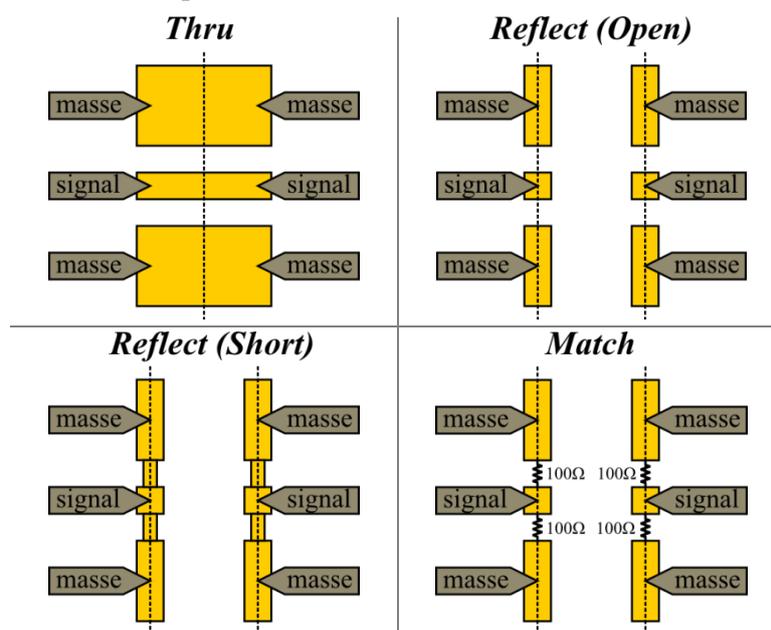


Fig. 31 - Etalons pour la méthode calibrage *LRRM* sur substrat *ISS*

La valeur ajoutée de la méthode *LRRM* par rapport à la méthode *LRM* est qu'une mesure 1 port de la *Match* est suffisante pour calculer rigoureusement les paramètres inconnus des deux *Reflect*. Tout problème d'asymétrie entre les charges adaptées à chaque port est ainsi évité. Le point-clé de l'algorithme de résolution *LRRM* est la détermination précise de l'inductance de la *Match*. Avec des améliorations récentes certaines [149], l'utilisation d'un *Thru* de longueur courte (délai d'1 ps) est toutefois recommandée pour minimiser l'erreur de calibrage. De plus, l'impédance de référence du calibrage est fixée par la *Match*, soit une charge adaptée 50Ω usinée par laser sur substrat *ISS*, très précise en large bande. D'une précision comparable à la méthode *TRL* mais avec l'avantage de ne présenter aucune limitation en fréquence, la méthode *LRRM* est préférée pour les mesures haute fréquence réalisées à l'IEMN. Après calibrage *LRRM*, le plan de référence des mesures de paramètres *S* est situé à l'extrémité des sondes.

II.2. Epluchage des accès du transistor

Après avoir abordé les méthodes de calibrage du banc de mesures de paramètres *S* jusqu'à l'extrémité des sondes, nous présenterons dans cette section les méthodes d'épluchage des accès (*de-embedding*). Cette deuxième étape de correction des mesures consiste à soustraire les effets parasites des accès du transistor pour remonter aux paramètres *S* dans le plan des contacts du transistor.

Tout d'abord, il est important de mentionner que la difficulté de l'épluchage des accès pour des transistors sur silicium provient de la complexité du *Back-End-Of-Line (BEOL)* du procédé de fabrication. Il s'agit de l'ensemble des couches de contacts, vias, isolants et métaux nécessaires pour l'interconnexion des composants passifs (capacités, inductances, résistances) et des composants actifs (transistors, diodes). Un procédé de fabrication BiCMOS SiGe comporte entre six et huit couches de métallisation, alors qu'un procédé de fabrication HEMT GaAs n'en comporte que deux. Les effets parasites dus au *BEOL* pour un transistor bipolaire SiGe sont donc plus importants que pour un transistor III-V et ne sont plus négligeables dans les fréquences millimétriques.

L'épluchage des accès d'un transistor est une étape cruciale pour l'extraction précise des paramètres de son modèle petit signal et de sa validation. Elle repose essentiellement sur un modèle électrique équivalent des accès du transistor. Les méthodes d'épluchage conventionnelles *Open* et *Open-Short* seront présentées dans un premier temps, puis une méthode d'épluchage développée à l'IEMN sera proposée.

a. Méthodes d'épluchage *Open* et *Open-Short*

Les deux techniques d'épluchage *Open* et *Open-Short* reposent sur un modèle dipolaire à éléments localisés représentant les effets parasites des accès du transistor.

La méthode d'épluchage *Open* a été proposée en 1987 par P.J. van Wijnen [150]. Comme son nom l'indique, une seule structure de test de type *Open* est nécessaire (Fig. 32) et le modèle électrique associé à cette technique ne tient compte que des effets capacitifs de l'ensemble des accès (Fig. 33).

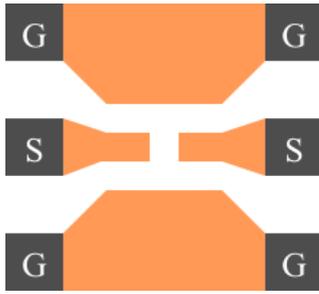


Fig. 32 - Structure d'épluchage *Open*

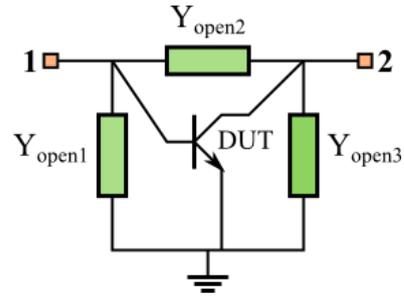


Fig. 33 - Modèle des accès pour la méthode d'épluchage *Open*

La procédure de correction est très simple et utilise des matrices d'admittance $[Y]$:

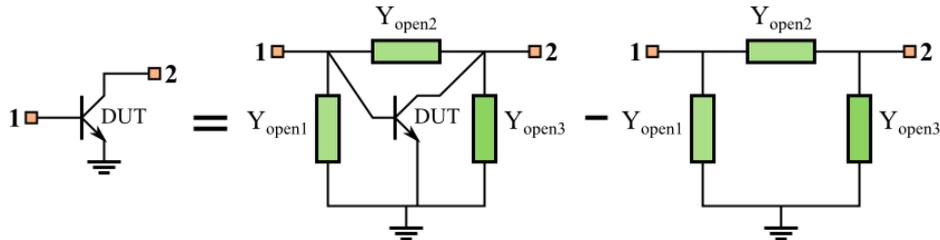


Fig. 34 - Procédure d'épluchage *Open*

- 1) les paramètres S mesurés de la structure *Open* sont transformés en paramètres Y

$$[Y_{open}] = \begin{bmatrix} Y_{open1} + Y_{open2} & -Y_{open2} \\ -Y_{open2} & Y_{open2} + Y_{open3} \end{bmatrix} \quad \text{Eq-23}$$

- 2) les paramètres S du transistor avec ses accès sont transformés en paramètres Y ($[Y_{tot}]$). Les paramètres Y de l'*Open* y sont soustraits afin d'obtenir les paramètres Y du transistor épluchés de ses accès ($[Y_{DUT}]$)

$$[Y_{DUT}] = [Y_{tot}] - [Y_{open}] \quad \text{Eq-24}$$

La méthode d'épluchage *Open-Short* repose sur un modèle plus complexe des accès : les effets parasites résistifs et inductifs dus à la ligne d'accès sont pris en compte. Une structure de type *Short* est ajoutée (Fig. 35) et son modèle électrique associé comprend à la fois les effets capacitifs, résistifs et inductifs (Fig. 36).

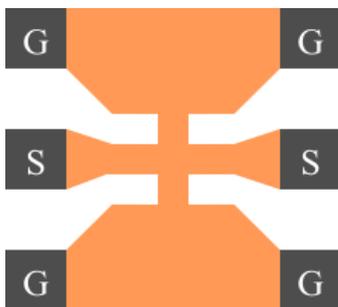


Fig. 35 - Structure d'épluchage *Short*

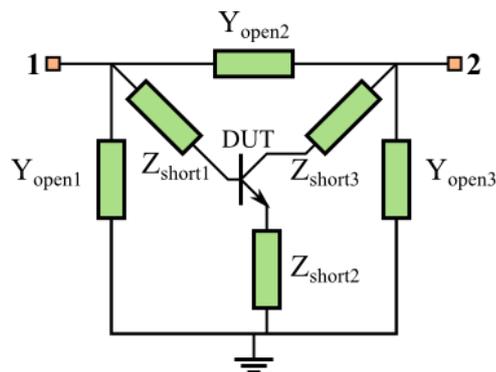


Fig. 36 - Modèle des accès pour la méthode d'épluchage *Short*

La procédure de correction utilise des matrices d'admittance $[Y]$ et d'impédance $[Z]$:

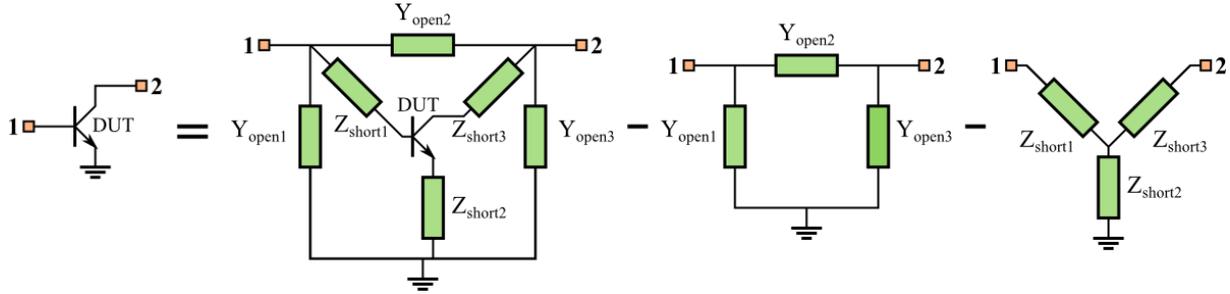


Fig. 37 - Procédure d'épluchage *Open-Short*

- 1) les paramètres S mesurés du *Short* sont transformés en paramètres Y , on y soustrait les paramètres Y de *l'Open*

$$[Y'_{short}] = [Y_{short}] - [Y_{open}] \quad \text{Eq-25}$$

- 2) les paramètres Y du *Short* épluché de *l'Open*, noté *Short'*, sont transformés en paramètres Z

$$[Z'_{short}] = [Y'_{short}]^{-1} = \begin{bmatrix} Z_{shortA} - Z_{short2} & Z_{short2} \\ Z_{short2} & Z_{shortB} - Z_{short2} \end{bmatrix} \quad \text{Eq-26}$$

- 3) les paramètres Y du transistor avec ses accès ($[Y_{tot}]$) sont d'abord épluchés de *l'Open*, puis épluchés en paramètres Z du *Short'*

$$[Y_1] = [Y_{tot}] - [Y_{open}] \Rightarrow [Z_1] = [Y_1]^{-1} \quad \text{Eq-27}$$

$$[Z_{DUT}] = [Z_1] - [Z'_{short}] \quad \text{Eq-28}$$

Avec une complexité graduelle dans l'élaboration des structures de test *Open* et *Short*, la technique d'épluchage *Open-Short* est utilisée depuis plusieurs années pour l'épluchage des accès des transistors bipolaires. Jusqu'à 80 GHz, elle reste une méthode précise pour l'extraction de paramètres de modèle et sa validation, comme le démontrent une étude réalisée à STMicroelectronics (F. Pourchon, [152]). A l'IEMN, elle est utilisée en phase de mesures jusqu'à 110 GHz. Grâce à la simplicité de sa procédure, elle a été programmée dans le logiciel d'acquisition des mesures IC-CAP[®] pour permettre une visualisation directe des paramètres S du transistor épluchés de ses accès. Les gains intrinsèques sont alors facilement calculés et relevés lors d'une cartographie de plaque pour repérer les meilleurs transistors.

Cependant, au-delà de 110 GHz, la méthode *Open-Short* utilisant deux structures de test ne montre plus une précision satisfaisante, certainement parce qu'elle ne tient pas compte des effets distribués provenant des plots et des lignes d'accès. Déjà à plus basse fréquence, des méthodes d'épluchage pour le transistor bipolaire avaient été proposés pour mieux retrancher la contribution de la ligne d'accès [153]. Inspirée de ces travaux pionniers, une étude a donc été menée pour développer une nouvelle procédure d'épluchage, alliant une modélisation simple des accès et une précision améliorée jusqu'à 220 GHz.

b. Nouvelle méthode d'épluchage

Au début des travaux de thèse, les activités de modélisation de transistor bipolaire à hétérojonction ont été accomplies jusqu'à 110 GHz à l'IEMN. En bande G , de 140 à 220 GHz, la vérification du modèle petit signal n'a pu être concluante en raison du manque de précision de la méthode d'épluchage *Open-Short* utilisée [133].

Présentée à la section précédente (cf. §II.2.a), la méthode *Open-Short* repose sur un modèle dipolaire série et parallèle des accès à base d'éléments localisés. Par définition, un

modèle à éléments localisés est valide si et seulement si la longueur caractéristique du circuit considéré est négligeable devant la longueur d'onde guidée, soit $l \leq \lambda_g/20$.

Prenons pour exemple la technologie B5T de transistors bipolaires SiGe, contemporaine du début de ces travaux de thèse. Le plot RF dans cette technologie possède des dimensions telles que $l_{plot}=86\mu\text{m}$ et $h_{plot}=50\mu\text{m}$. Comparons à présent la longueur du plot RF, l_{plot} , à la longueur d'onde guidée, λ_g , d'un mode transverse électrique-magnétique (TEM) pour une permittivité relative de 3-4 telle que dans la plupart des procédés de fabrication sur silicium :

fréquence	100 GHz	200 GHz	300 GHz
λ_g	1.5-1.73 mm	0.75-0.865 mm	0.5-0.58 mm
l_{plot}	$\lambda_g/20$	$\lambda_g/10$	$\lambda_g/6.7$

Tableau 7 - Comparaison entre la longueur du plot et la longueur d'onde guidée

Par conséquent, une représentation dipolaire par éléments localisés est encore valide à 100 GHz, mais ne l'est plus à partir de 200 GHz. Une modélisation quadripolaire des accès tenant compte de leur aspect distribué paraît ainsi plus adaptée en bande *G* (140 – 220 GHz).

Dans cette démarche de modélisation des accès, des mesures statiques et hyperfréquences ont été réalisées en juillet 2012 sur les structures de test de type *Open* et *Short* dans le bloc *Modelling* d'une plaque B5T de STMicroelectronics (lot J136SEC wafer #03). Elles permettent ainsi d'extraire un modèle des accès du transistor bipolaire à hétérojonction de référence de la technologie B5T (géométrie : CBEBEBC 0.12×4.85 μm^2), dans le but d'optimiser le *de-embedding* au-delà de 100 GHz.

L'ensemble des accès du transistor bipolaire B5T est représenté par la Fig. 38 et comporte :

- un plot de contact de dimensions 86×50 μm^2
- une ligne d'accès microruban de longueur 20 μm
- un empilement de métaux et vias de Métal 6 à Métal 1 (M6-M1) liés au *BEOL* des procédés de fabrication B5T/B9MW pour une hauteur totale d'environ 9 μm

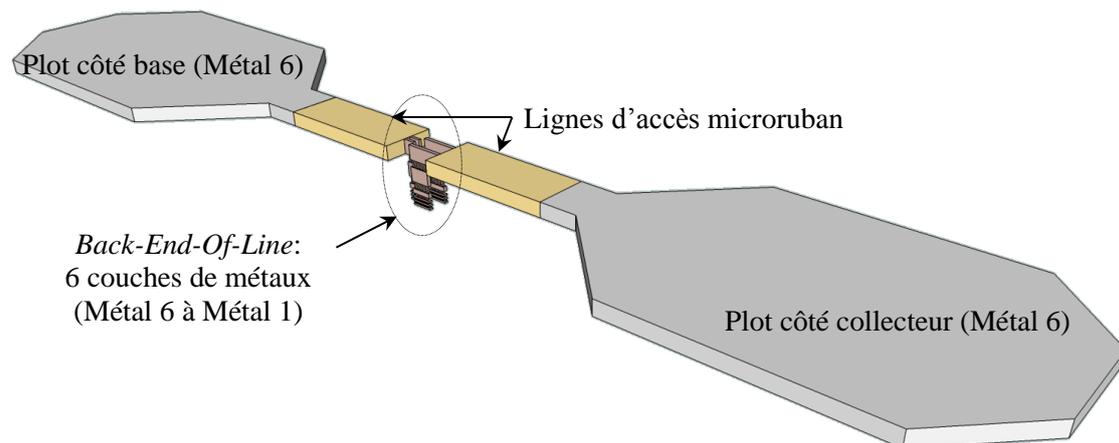


Fig. 38 – Représentation 3D des accès du transistor

* *Etude statique : extraction des résistances*

Le but de cette étude statique est d'établir un modèle résistif de l'ensemble des accès du transistor et d'extraire les paramètres directement de la mesure, comme présenté Fig. 39 :

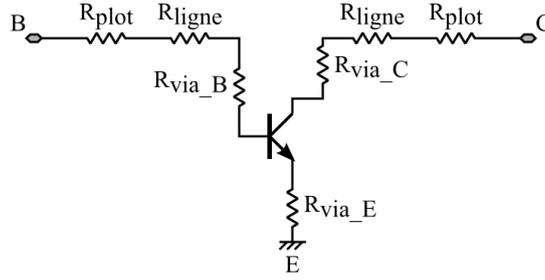


Fig. 39 - Modèle résistif des accès au transistor

→ Détermination de la résistance de pertes de la ligne d'accès et celle du plot

En utilisant l'analyseur paramétrique Keithley® 4200-SCS, des mesures quatre points sont réalisées sur deux lignes microruban de longueurs différentes (cf. Fig. 40). Les mesures quatre points permettent de s'affranchir des résistances du système de mesures (bias, câbles, etc.) et d'obtenir uniquement la résistance du dispositif sous test.

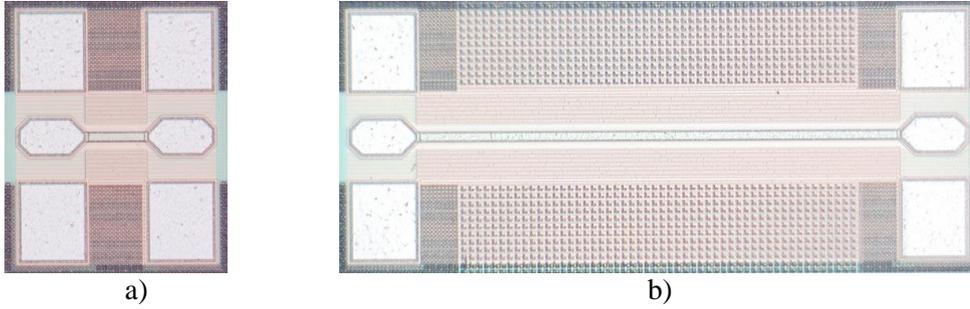


Fig. 40 - Lignes microruban : a) Thru de longueur 51 μm , b) Ligne de longueur 549 μm

La résistance totale d'une ligne de longueur L_i s'exprime :

$$R_{tot_ligne_i} = 2 \times R_{plot} + L_i \times R_{linéique} \quad \text{Eq-29}$$

A partir de l'équation 29, nous déduisons de la mesure des deux lignes, $R_{tot_ligne_1}$, et $R_{tot_ligne_2}$, la résistance linéique et la résistance du plot :

$$R_{linéique} = \frac{R_{tot_ligne_2} - R_{tot_ligne_1}}{L_2 - L_1} = 0.46 \pm 0.1 \text{m}\Omega / \mu\text{m} \quad \text{Eq-30}$$

$$R_{plot} = \frac{R_{tot_ligne_1} - L_1 \times R_{linéique}}{2} = 9.05 \pm 3.6 \text{m}\Omega \quad \text{Eq-31}$$

La ligne d'accès du transistor étant d'une longueur de 20 μm , sa résistance est facilement déduite de la résistance linéique :

$$R_{ligne_20\mu\text{m}} = R_{linéique} \times 20 \mu\text{m} = 9.25 \pm 2.2 \text{m}\Omega \quad \text{Eq-32}$$

En conclusion de cette série de mesures quatre points, la résistance du plot RF a été estimée à 9m Ω et la résistance de la ligne d'accès à 9.25m Ω .

→ Détermination de la résistance de bias

Le système de mesures utilisé pour la bande de fréquences 250 MHz – 110 GHz comporte un circuit de polarisation (*bias tee*). Sa fonction est d'isoler le signal DC (provenant du générateur DC) du signal RF (généralisé par l'analyseur de réseau), tous deux injectés au transistor sous test au travers de la sonde RF. Rappelons qu'un *bias tee* est constitué d'une

inductance et d'une résistance liée à l'inductance en série côté DC et d'une capacité en parallèle pour le retour à la masse :

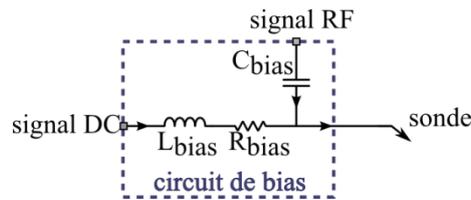


Fig. 41 - Circuit de *bias tee* pour un port de l'analyseur de réseau

La résistance de *bias* étant en série avec celle du *DUT*, elle vient donc s'ajouter à la résistance du *DUT* lors de mesures statiques faites avec l'analyseur de réseau. Il est donc important de la déterminer afin de corriger les mesures. Nous utilisons ainsi, comme motif de test, la règle entièrement métallisée du substrat de calibrage sur alumine *ISS 138-357* de Cascade Microtech[®], considéré comme un court-circuit parfait entre les sondes.

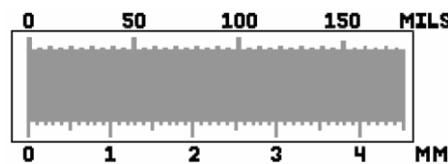


Fig. 42 - Règle métallisée du substrat *ISS 138-357* de Cascade Microtech[®]

A la fois au port 1 et au port 2, pour chaque valeur de tension DC, on mesure le courant et on calcule la résistance ($R = \Delta I / \Delta V$). En supposant le court-circuit parfait, cette résistance est alors composée de la résistance de *bias* en série avec la résistance de contact :

$$\begin{cases} R_{tot_port1} = R_{bias1} + R_{contact} = 1.81 \pm 0.01 \Omega \\ R_{tot_port2} = R_{bias2} + R_{contact} = 1.80 \pm 0.01 \Omega \end{cases} \quad \text{Eq-33}$$

D'après les spécifications de Cascade Microtech[®], la valeur typique de la résistance de contact des sondes Infinity est inférieure à 20 mΩ. Nous vérifions alors qu'entre deux posés de sondes au même port, la résistance de contact ne diffère que de quelques mΩ : la différence entre 2 posés est effectivement comprise entre 4 et 9 mΩ. La résistance de contact (< 20 mΩ) peut être négligée devant la résistance de bias (Ω) pour enfin considérer que :

$$R_{bias1} = R_{bias2} = 1.8 \pm 0.01 \Omega \quad \text{Eq-34}$$

→ *Détermination des résistances liées au BEOL (métaux et vias)*

Pour déterminer les résistances du *BEOL*, nous effectuons des mesures statiques et RF sous pointes avec l'analyseur de réseau HP[®] 8510 XP sur la structure *Complete-Short*. La structure *Complete-Short* est un court-circuit au niveau du Métal 1, qui comporte de chaque côté un plot, une ligne d'accès et la connexion M6 – M1 liée au *BEOL* (Fig. 43).

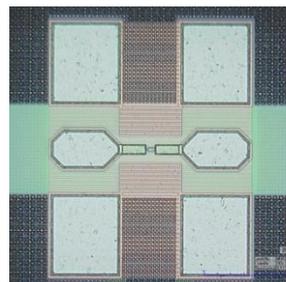


Fig. 43 - Structure de test *Complete-Short*

Après soustraction des résistances de *bias*, plot et ligne calculées précédemment, l'extraction à partir des mesures statiques et RF mène à la même valeur de résistance, à 0.1Ω près, pour les connexions M6-M1. Les mesures RF entre 2 et 10 GHz offrent en plus la possibilité d'isoler la résistance sur chaque contact du transistor (émetteur, base, collecteur). En effet, en utilisant les paramètres *Z* mesurés, nous pouvons exprimer les résistances des connexions M6-M1 de la manière suivante :

$$\begin{aligned} [R_{via}] &= \text{Re}([Z_{Complete_Short}]) - [R_{bias}] - [R_{plot}] - [R_{ligne}] \\ &= \begin{bmatrix} R_{via_11} & R_{via_12} \\ R_{via_21} & R_{via_22} \end{bmatrix} \end{aligned} \quad \text{Eq-35}$$

$$= \begin{bmatrix} R_{via_B} + R_{via_E} & R_{via_E} \\ R_{via_E} & R_{via_C} + R_{via_E} \end{bmatrix}$$

$$R_{via_B} = R_{via_11} - R_{via_12} = 1.02 \pm 0.05 \Omega \quad \text{Eq-36}$$

$$R_{via_C} = R_{via_22} - R_{via_12} = 0.24 \pm 0.05 \Omega \quad \text{Eq-37}$$

$$R_{via_E} = R_{via_12} = 0.62 \pm 0.02 \Omega \quad \text{Eq-38}$$

En conclusion, cette étude statique met en évidence un aspect résistif relativement important des accès au transistor, essentiellement localisé dans l'empilement de métaux et vias M6-M1. En effet, la résistance de la connexion M6-M1 est de l'ordre de 1 Ω alors que les résistances d'un plot et de la ligne d'accès, de l'ordre de 9 mΩ, sont négligeables. Une seule structure de test de type *Complete-Short* est nécessaire pour extraire cette résistance à partir de mesures DC.

* *Etude hyperfréquence : extraction des capacités et des inductances*

L'étude hyperfréquence consiste à compléter le modèle résistif élaboré lors de l'étude statique par des éléments capacitifs et des inductifs. Les mesures hyperfréquences sont effectuées sous pointes de 250 MHz à 110 GHz avec l'analyseur de réseau HP® 8510 XF, puis de 140 GHz à 220 GHz avec l'analyseur de réseau Rohde & Schwarz® ZVA sur trois structures de test supplémentaires (cf. Fig. 44) :

- *Complete-Open* : circuit ouvert dans le plan Métal 1
- *Pad-Open* : circuit ouvert dans le plan Métal 6
- *Pad-Short* : court-circuit dans le plan Métal 6

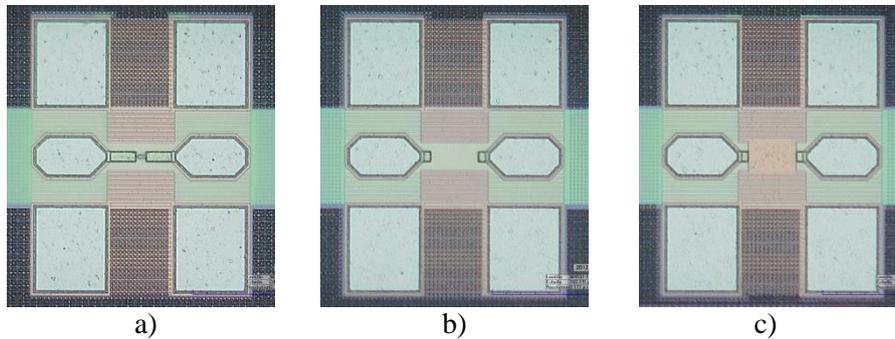
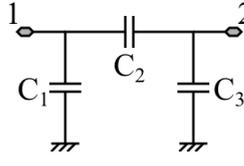


Fig. 44 - Structures de test : a) Complete-Open, b) Pad-Open, c) Pad-Short

→ Détermination des capacités du plot et de la ligne d'accès

Les mesures de paramètres S de la structure *Pad-Open* nous permettent d'extraire la capacité du plot, considérée identique côté base et côté collecteur. Rappelons que le modèle capacité en π d'un circuit ouvert est le suivant :



$$\frac{\text{Im}([Y])}{2\pi f} = \begin{pmatrix} C_1 - C_2 & -C_2 \\ -C_2 & C_1 - C_2 \end{pmatrix} \quad \text{Eq-39}$$

Fig. 45 - Modèle capacitif en π d'un circuit ouvert

Les paramètres S issus de la mesure du *Pad-Open* de 250 MHz à 110 GHz sont transformés en paramètres Y . La valeur moyenne de la capacité du plot est ensuite déduite :

$$C_{plot} = \frac{\text{Im}(Y_{Pad-Open,11} + Y_{Pad-Open,12})}{2\pi f} = 19.16 \pm 1 \text{ fF} \quad \text{Eq-40}$$

En supposant la ligne d'accès purement résistive et inductive, il nous reste à déterminer les capacités de contact au niveau Métal 1. Nous effectuons alors des mesures de paramètres S sur la structure *Complete-Open*. En soustrayant la capacité du plot à la capacité totale du *Complete-Open*, nous déduisons les valeurs moyennes des capacités de contact à partir des mesures de 30 à 100 GHz :

$$C_{BE_ext} = \frac{\text{Im}(Y_{Complete-Open,11} + Y_{Complete-Open,12})}{2\pi f} - C_{plot} = 5.09 \pm 1 \text{ fF} \quad \text{Eq-41}$$

$$C_{CE_ext} = \frac{\text{Im}(Y_{Complete-Open,22} + Y_{Complete-Open,12})}{2\pi f} - C_{plot} = 6.97 \pm 1 \text{ fF} \quad \text{Eq-42}$$

$$C_{BC_ext} = -\frac{\text{Im}(Y_{Complete-Open,12})}{2\pi f} = 3.44 \pm 0.75 \text{ fF} \quad \text{Eq-43}$$

→ Détermination des inductances du plot, de la ligne d'accès

En utilisant les paramètres Z , les inductances du plot, de la ligne d'accès et de la connexion M6-M1 sont directement extraites des mesures sur le *Pad-Short* et le *Complete-Short*. Le plot est supposé parfaitement symétrique. Les valeurs d'inductance résultent d'une moyenne réalisée entre 40 et 100 GHz.

$$L_{plot} = \frac{\text{Im}(Z_{Pad-Short,11} - Z_{Pad-Short,12})}{2\pi f} = 9.33 \pm 0.7 \text{ pH} \quad \text{Eq-44}$$

$$L_{line} + L_{via_B} = \frac{\text{Im}(Z_{Complete-Short,11} - Z_{Complete-Short,12})}{2\pi f} - L_{plot} = 11.1 \pm 1 \text{ pH} \quad \text{Eq-45}$$

$$L_{line} + L_{via_C} = \frac{\text{Im}(Z_{Complete-Short,22} - Z_{Complete-Short,12})}{2\pi f} - L_{plot} = 11.7 \pm 1 \text{ pH} \quad \text{Eq-46}$$

$$L_{via_E} = \frac{\text{Im}(Z_{Complete-Short,12})}{2\pi f} = 0.9 \pm 0.3 \text{ pH} \quad \text{Eq-47}$$

* Schéma équivalent final des accès du transistor

Le modèle électrique final des accès du transistor est illustré en Fig. 46 et les valeurs des paramètres du modèle sont listées dans les tableaux 8, 9 et 10. Les résistances du plot et de la ligne d'accès ont été supprimées en raison de leur faible contribution résistive ($9\text{m}\Omega$). En effet, la ligne d'accès, relativement courte ($20\mu\text{m}$), amène seulement une contribution parasite inductive. Le plot est modélisé par un réseau CLC en π , qui permet une meilleure concordance avec les mesures qu'avec une capacité simple, notamment en bande G ($140 - 220\text{ GHz}$). Ce schéma équivalent des accès est finalement un bon compromis entre simplicité d'architecture et précision jusqu'à 220 GHz , ce qui sera discuté dans la section suivante.

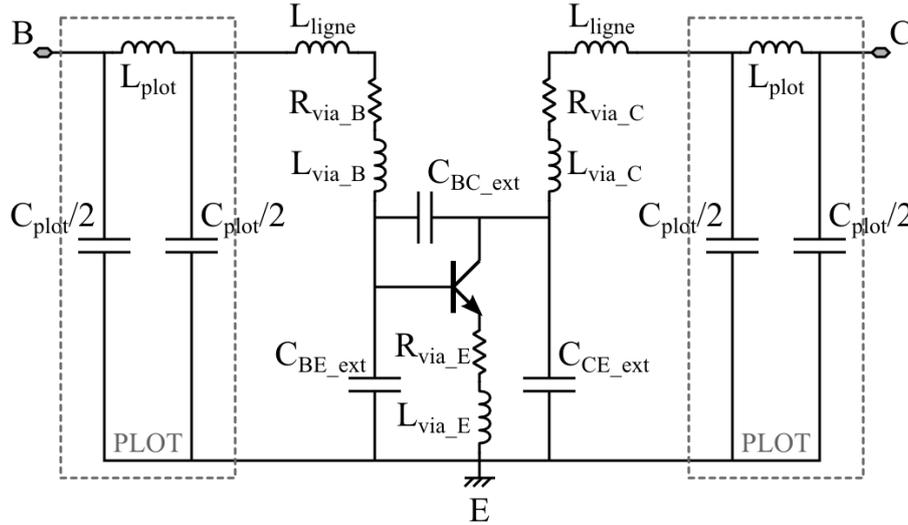


Fig. 46 - Schéma équivalent des accès du transistor B5T CBEBEBC $0.12 \times 4.85\mu\text{m}^2$

$R_{\text{via B}}$	$R_{\text{via C}}$	$R_{\text{via E}}$
1.02Ω	0.24Ω	0.62Ω

Tableau 8 - Valeurs des résistances du schéma équivalent des accès du transistor B5T CBEBEBC $0.12 \times 4.85\mu\text{m}^2$

$C_{\text{BC ext}}$	$C_{\text{BE ext}}$	$C_{\text{CE ext}}$	C_{plot}
3.45fF	5.09fF	6.97fF	19.16fF

Tableau 9 - Valeurs des capacités du schéma équivalent des accès du transistor B5T CBEBEBC $0.12 \times 4.85\mu\text{m}^2$

L_{plot}	$L_{\text{via B}} + L_{\text{ligne}}$	$L_{\text{via C}} + L_{\text{ligne}}$	$L_{\text{via E}}$
9.33pH	11.09pH	11.7pH	2.57pH

Tableau 10 - Valeurs des inductances du schéma équivalent des accès du transistor B5T CBEBEBC $0.12 \times 4.85\mu\text{m}^2$

* Validation de l'extraction sur les structures Complete-Short et Complete-Open

A partir des paramètres du modèle des accès extraits, les modèles des structures dédiées au transistor, soit le Complete-Short et le Complete-Open, sont élaborés. Les modèles du Complete-Open et du Complete-Short sont présentés respectivement en Fig. 47 et Fig. 48 :

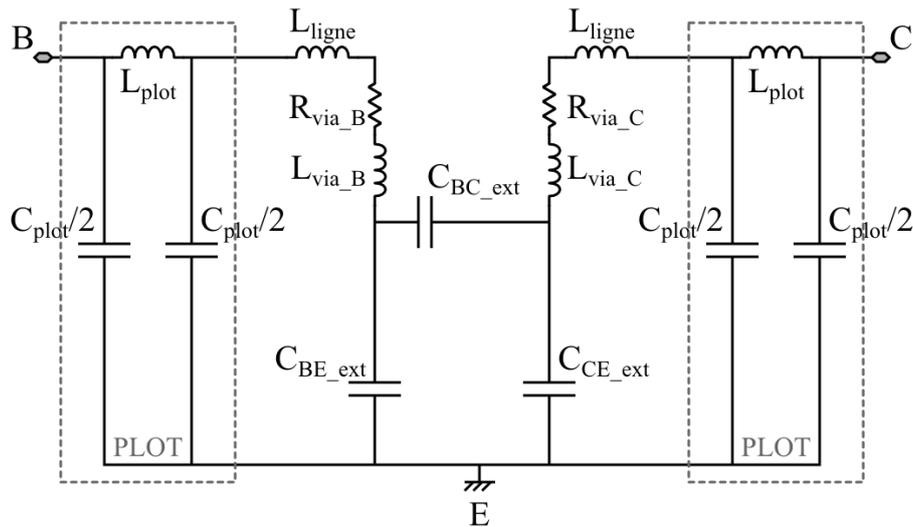


Fig. 47 - Modèle de la structure *Complete-Open*

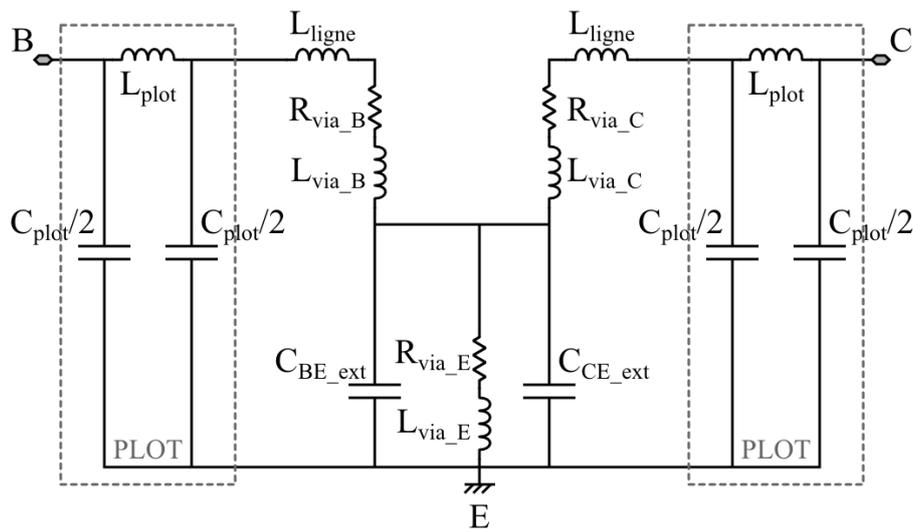


Fig. 48 - Modèle de la structure *Complete-Short*

Les mesures de paramètres S sur le *Complete-Open* et le *Complete-Short* ont été réalisées de 250 MHz à 110 GHz, puis de 130 GHz à 220 GHz. Les paramètres S de leur modèle sont simulés sous ADS[®] et comparé aux paramètres S mesurés jusqu'à 220 GHz.

→ Comparaison mesure/modèle sur le Complete-Open

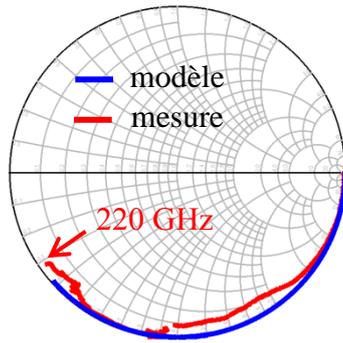


Fig. 49 - S_{11} mesuré et simulé du Complete-Open en fonction de la fréquence jusqu'à 220 GHz

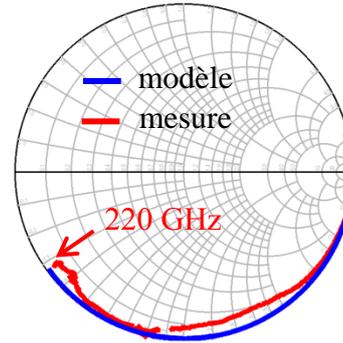
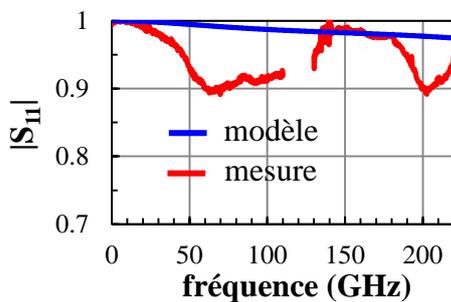
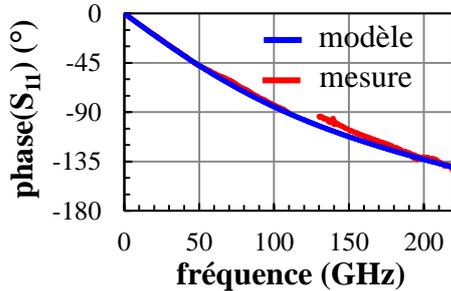


Fig. 50 - S_{22} mesuré et simulé du Complete-Open en fonction de la fréquence jusqu'à 220 GHz



a)



b)

Fig. 51 - S_{11} mesuré et simulé du Complete-Open en fonction de la fréquence jusqu'à 220 GHz : a) en module, b) en phase

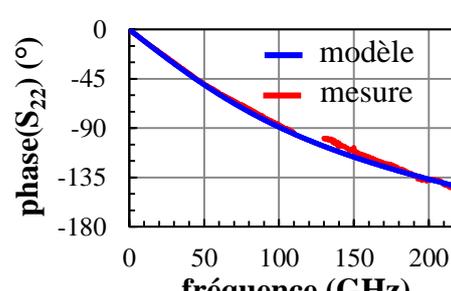
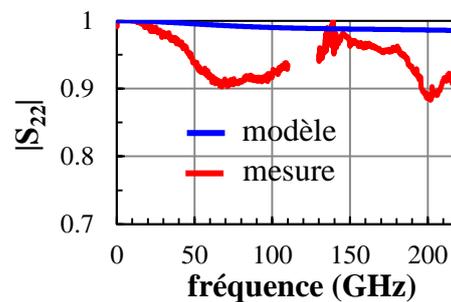


Fig. 52 - S_{22} mesuré et simulé du Complete-Open en fonction de la fréquence jusqu'à 220 GHz : a) en module, b) en phase

Une bonne concordance entre mesure et modèle est constatée de 250 MHz à 220 GHz sur les phases de S_{11} et S_{22} . Cependant, des résonances sont remarquées sur les modules à 80 GHz et 200 GHz, qui ne sont pas prises en compte dans la modélisation du Complete-Open. En ce qui concerne la résonance à 80 GHz, les travaux de Christian Andrei en 2007 à l'IEMN [155] ont mis en évidence un couplage électromagnétique entre le corps des sondes Infinity de Cascade Microtech®, en technologie microruban, et le substrat métallique du wafer silicium qui est à l'origine de la résonance à 80 GHz. En effet, ce couplage n'est pas existant sur substrat d'alumine ISS et ne peut donc être pris en compte lors de la phase de calibrage LRRM. De plus, étant donné que l'espacement entre structures B5T est à présent de 260 μm suite aux travaux de Christian Raya et Jad Bazzi avec l'IMS et STMicronics Crolles entre 2005 et 2011 [156] [157], l'influence du couplage avec les structures adjacentes est minimisé, voire disparu. Si l'on fait abstraction de ces deux résonances à 80 et à 200 GHz, les modules de S_{11} et S_{22} sont relativement bien modélisés.

→ Comparaison mesures/modèle sur le Complete-Short

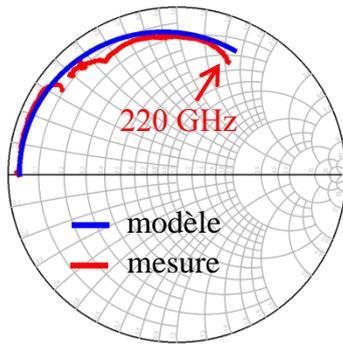


Fig. 53 - S_{11} mesuré et simulé du Complete-Short en fonction de la fréquence jusqu'à 220 GHz

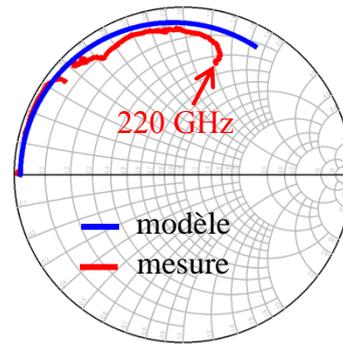


Fig. 54 - S_{22} mesuré et simulé du Complete-Short en fonction de la fréquence jusqu'à 220 GHz

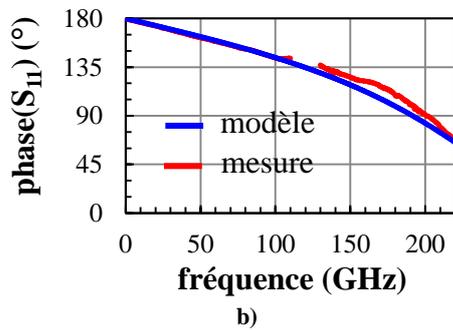
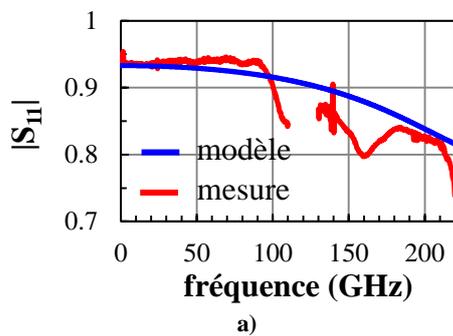


Fig. 55 - S_{11} mesuré et simulé du Complete-Short en fonction de la fréquence jusqu'à 220 GHz : a) en module, b) en phase

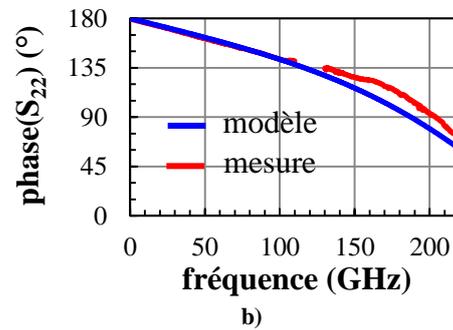
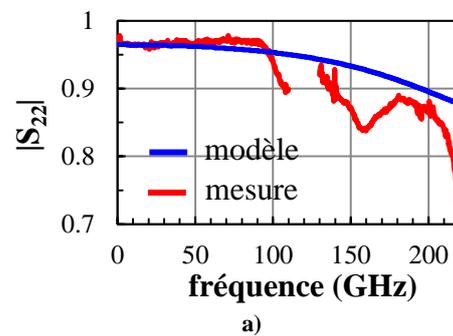


Fig. 56 - S_{22} mesuré et simulé du Complete-Short en fonction de la fréquence jusqu'à 220 GHz : a) en module, b) en phase

Une bonne concordance sur les phases respectives de S_{11} et S_{22} est constatée de 250 MHz à 220 GHz. En revanche, sur les modules de S_{11} et S_{22} , un début de résonance est observé à 110 GHz et une deuxième résonance est remarquée à 160 GHz. Ces résonances n'ont pas encore pu être modélisées et sont certainement aussi présentes sur la mesure du transistor, notamment celle à 160 GHz. Nous soupçonnons un effet substrat non pris en compte dans le modèle des accès. Hormis ces résonances, l'amplitude des modules de S_{11} et S_{22} du Complete-Short semble être bien modélisée jusqu'à 220 GHz.

En conclusion, la comparaison satisfaisante entre mesure et modèle sur deux structures de test permet de valider le modèle des accès et l'extraction de ses paramètres. Au total, quatre structures de test suffisent à extraire l'ensemble des paramètres du modèle des accès : deux *Open* (niveau M6 et niveau M1) et deux *Short* (niveau M6 et niveau M1) sont requis. Ce modèle est utilisé pour mettre en place une nouvelle procédure d'épluchage.

* Nouvelle procédure d'épluchage

La procédure d'épluchage consiste à soustraire mathématiquement, via des matrices chaînes ABCD, la contribution des accès aux mesures du transistor bipolaire faites dans le plan des pointes. Les paramètres du modèle électrique des accès extraits au préalable, le modèle est divisé en trois parties (Fig. 57), pour lesquelles une matrice chaîne ABCD est calculée.

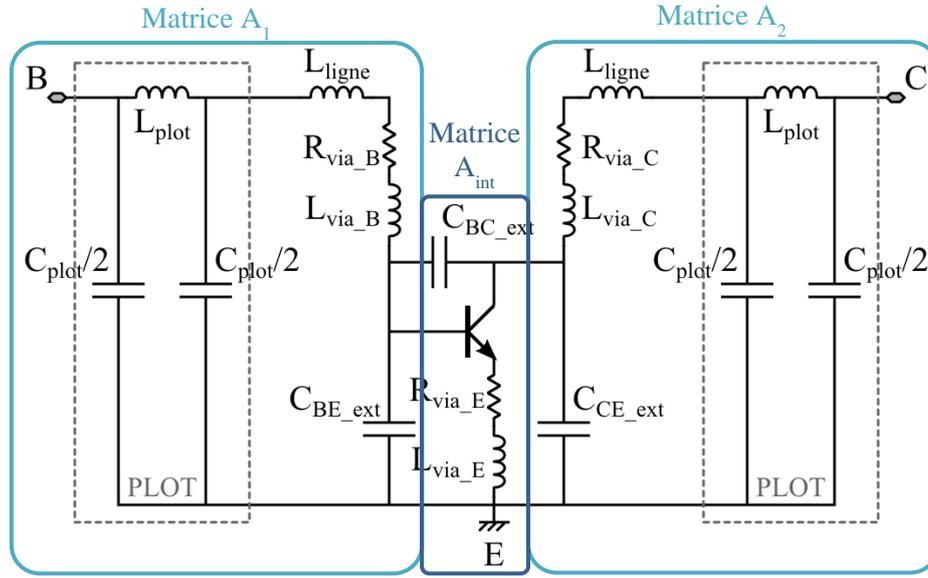


Fig. 57 - Partitionnement du modèle des accès pour la procédure d'épluchage Open-Short amélioré

La matrice chaîne ABCD mesurée est exprimée par :

$$[A_{tot}] = [A_1][A_{int}][A_2] \quad \text{Eq-48}$$

En multipliant l'équation 48 respectivement à gauche et à droite par l'inverse de $[A_1]$ et $[A_2]$, nous déduisons la matrice $[A_{int}]$. $[A_{int}]$ est ensuite transformée en matrice admittance afin d'y éplucher la capacité parasite C_{BC_ext} :

$$[Y'_{int}] = [Y_{int}] - \begin{bmatrix} jC_{BC_ext}\omega & -jC_{BC_ext}\omega \\ -jC_{BC_ext}\omega & jC_{BC_ext}\omega \end{bmatrix} \quad \text{Eq-49}$$

Puis, la matrice $[Y'_{int}]$ est transformée en matrice impédance et les résistances et inductances parasites de l'émetteur sont épluchées :

$$[Z'_{cor}] = [Z'_{int}] - \begin{bmatrix} R_{via_E} + jL_{via_E}\omega & R_{via_E} + jL_{via_E}\omega \\ R_{via_E} + jL_{via_E}\omega & R_{via_E} + jL_{via_E}\omega \end{bmatrix} \quad \text{Eq-50}$$

Enfin, les paramètres S du transistor épluchés de ses accès sont obtenus par une transformation finale de la matrice impédance obtenue dans l'équation 50.

Cette nouvelle procédure d'épluchage a fait l'objet d'une communication internationale dans la conférence *European Microwave Conference*, en octobre 2013 à Nuremberg [158]. Les résultats y sont démontrés pour la caractérisation en régime petit signal de transistors bipolaires à hétérojonction SiGe de la technologie B5T jusqu'à 220 GHz. Une amélioration a été constatée sur les courbes de gain calculées à partir des paramètres S mesurés et épluchés avec la nouvelle approche, ainsi que sur l'extraction des paramètres du schéma équivalent jusqu'à 110 GHz. La Fig. 58 présente les courbes de gain du transistor

B5T. Le gain unilatéral $|U|$ est calculé après un épluchage des accès à la fois avec la méthode *Open-Short* et avec la nouvelle méthode. Les résonances constatées avec la technique conventionnelle *Open-Short* à partir de 170 GHz sont atténuées voire supprimées avec la nouvelle technique d'épluchage. La décroissance en -20 dB par décade est ainsi assurée jusqu'à 220 GHz. De plus, en utilisant la nouvelle technique d'épluchage pour extraire les paramètres du schéma équivalent à partir de paramètres S épluchés, certains paramètres sont plus facilement extraits. Sur la Fig. 59, nous pouvons constater que la valeur de la capacité base-collecteur intrinsèque, de l'ordre de seulement 700 aF, peut être relevée jusqu'à 110 GHz alors que l'incertitude est très grande avec la méthode *Open-Short*. On retrouve également la signature du couplage entre le corps de la sonde et le substrat silicium sur le paramètre c_{bc} à 70 GHz, qui n'est pas pris en compte avec la nouvelle approche d'épluchage.

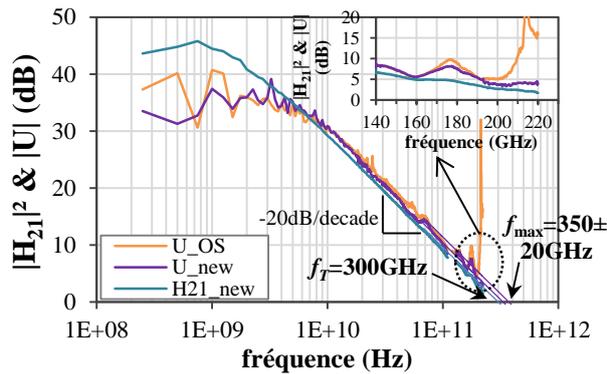


Fig. 58 - Courbes de gain $|H_{21}|^2_{dB}$ et $|U|_{dB}$ du transistor en fonction de la fréquence, après épluchage des accès, jusqu'à 220 GHz

Géométrie du transistor : HBT B5T CBEBC ($I_B=25\mu A$, $I_C=9.24mA$, $V_{CE}=1.5V$)

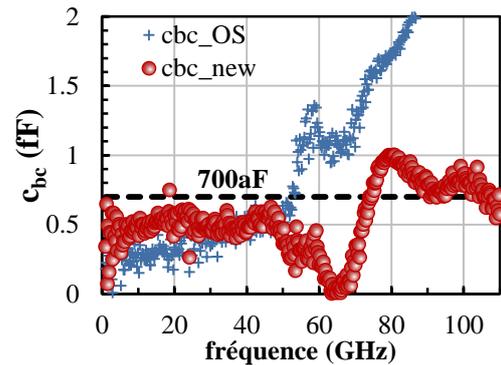


Fig. 59 - Capacité base-collecteur intrinsèque du transistor B5T en fonction de la fréquence, jusqu'à 110 GHz

marqueurs bleus : après épluchage *Open-Short*,
marqueurs rouge : après épluchage basé sur la nouvelle approche

Ainsi, les résultats satisfaisants obtenus en bande G avec la nouvelle technique d'épluchage nous ont poussés à l'appliquer pour caractériser en régime petit signal les transistors bipolaires SiGe des technologies B9MW, B5T et B55 de STMicroelectronics.

III. Caractérisation en régime petit signal de transistors bipolaires SiGe de dernière génération

Les travaux de caractérisation de transistors bipolaires ont été menés sur trois technologies BiCMOS successives de STMicroelectronics (B9MW, B5T et B55), permettant de constater l'évolution des performances. Le transistor sous test possède une topologie CBEBC (2 contacts de collecteur, 2 contacts de base et 1 contact d'émetteur) et des dimensions réelles de $0.12 \times 4.85 \mu m^2$. Les mesures hyperfréquence permettront de déterminer pour chacun des trois transistors le point de polarisation optimal en gain qui sera utilisé par la suite pour les aspects de modélisation petit signal et bruit.

III.1. Mesures statiques

Les mesures statiques ont été réalisées sur le banc de mesures sous pointes 10 MHz – 67 GHz. Pour chaque transistor bipolaire issu des technologies B9MW, B5T et B55, les courbes de Gummel I_C , $I_B=f(V_{BE})$, sont représentées en Fig. 60. Elles nous donnent une indication sur l'idéalité des courants de base et de collecteur et nous renseignent sur les

éventuels défauts de fabrication du transistor. Afin de s'assurer que l'on est hors régime de saturation, la jonction base-collecteur est polarisée à $V_{CB}=0$ V. Le gain statique en courant du montage émetteur commun, β , est représenté sur le même graphique. Sa valeur maximale, reportée dans le Tableau 11, connaît une évolution croissante au fil des technologies BiCMOS.

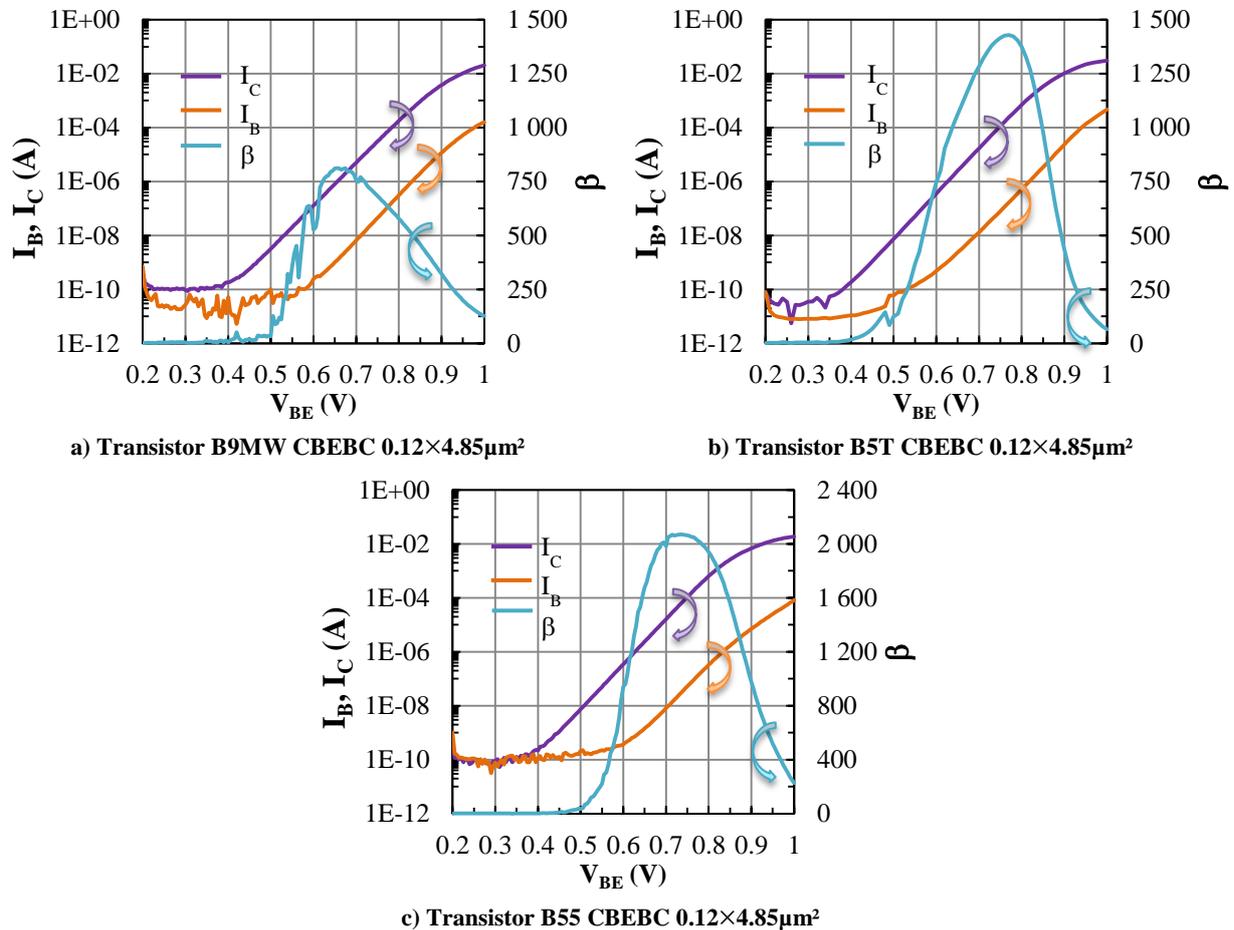


Fig. 60 - Courbes de Gummel (I_C , I_B en fonction de V_{BE}) du transistor bipolaire à hétérojonction CBEBE $0.12 \times 4.85 \mu\text{m}^2$ de trois technologies BiCMOS

B9MW	B5T	B55
$\beta_{\text{max}}=810$ pour $V_{BE}=660\text{mV}$	$\beta_{\text{max}}=1430$ pour $V_{BE}=750\text{mV}$	$\beta_{\text{max}}=2070$ pour $V_{BE}=735\text{mV}$

Tableau 11 - Valeurs maximales du gain en courant des transistors bipolaires SiGe de dernière génération

Les caractéristiques de sortie $I_C=f(V_{CE})$ en montage émetteur commun sont données en Fig. 61. Le courant de base I_B varie de 10 à 120 μA , avec un pas de 10 μA . La tension collecteur-émetteur varie de 0 à 1.2 V par pas de 10 mV. Le transistor B5T ayant été travaillé en premier au début des travaux de thèse, nous avons poussé la polarisation jusqu'à $V_{CE}=1.5\text{V}$. Les deux autres transistors B9MW et B55 ont été mesurés ultérieurement dans des conditions de polarisation plus en phase avec les conditions industrielles de conception de circuits ($V_{CC}=1.2\text{V}$).

La diminution du gain due à l'auto-échauffement est peu visible en technologie B9MW, mais elle est constatée sur les transistors B5T et B55 pour les valeurs de courant de base supérieures à 20 μA . Le phénomène d'avalanche n'est pas observé pour les valeurs de tension collecteur-émetteur V_{CE} inférieures à 1,2 V (B9MW, B55) ou 1,5 V (B5T). Dans ces conditions de polarisation sans phénomène d'avalanche, le modèle petit signal de type

Hawkins, dont l'extraction sera présentée dans le paragraphe III, devrait suffire à modéliser le comportement de ces trois transistors.

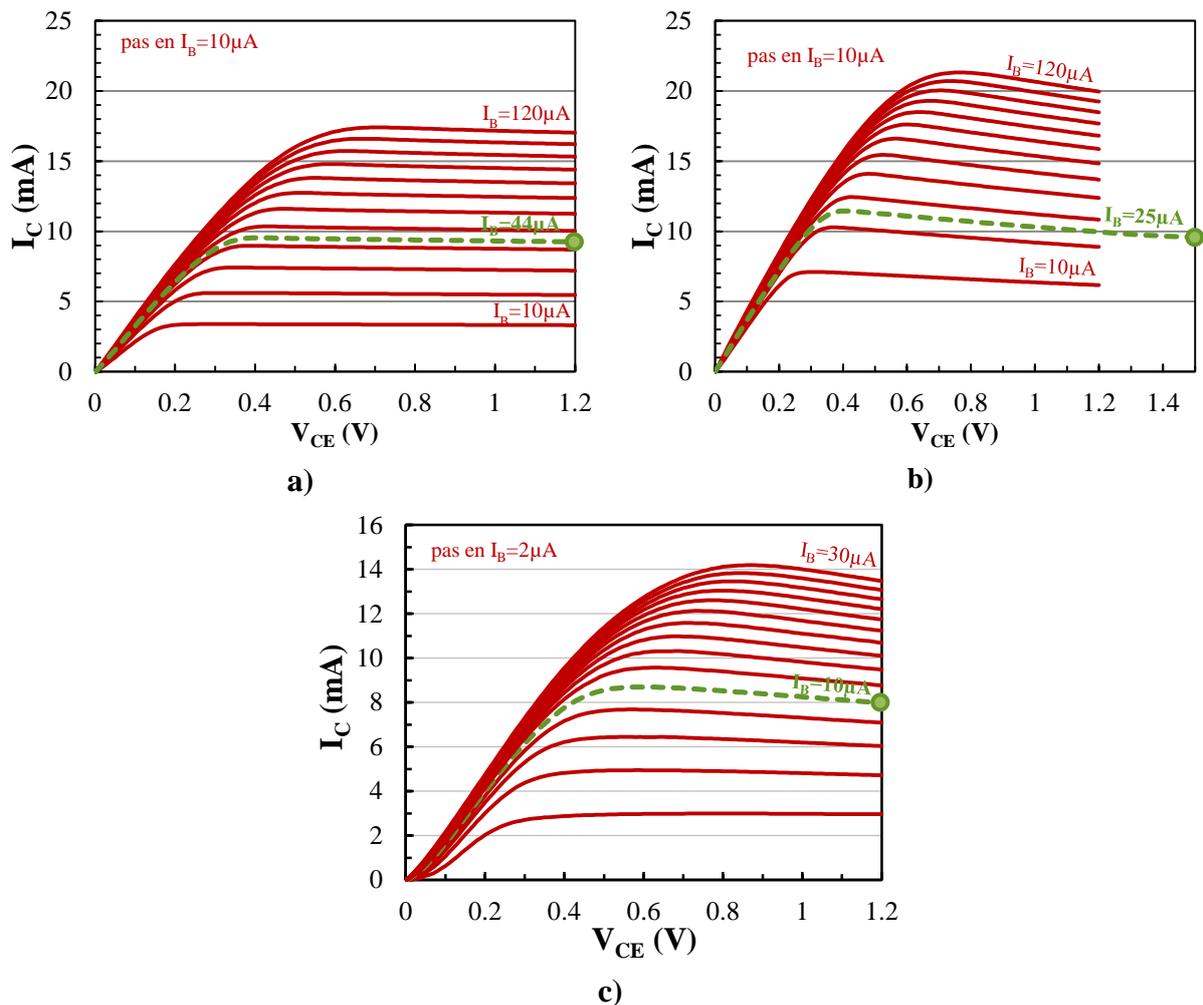
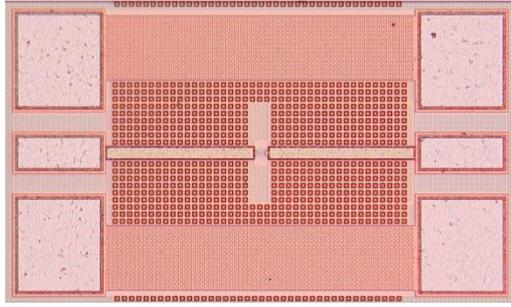


Fig. 61 - Caractéristique de sortie (I_C en fonction de V_{CE}) du transistor bipolaire à hétérojonction SiGe CBEBC $0.12 \times 4.85 \mu\text{m}^2$: a) technologie B9MW, b) technologie B5T, c) technologie B55
 $V_{CE}=0$ à 1.2V par pas de 10mV
 Point vert : point de polarisation optimal en gain

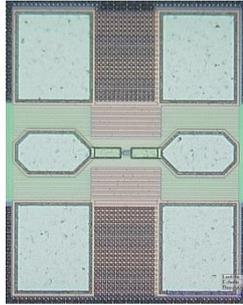
III.2. Mesures hyperfréquence

Pour les transistors B9MW et B5T, les mesures hyperfréquence ont été réalisées jusqu'à 220 GHz. Grâce à une réduction de l'écartement des plots de contact, les paramètres S du transistor B55 ont pu être mesurés jusqu'à 325 GHz. En effet, les sondes hyperfréquences GSG en bande J (220 – 325 GHz) nécessitent un écartement de 50 μm tandis qu'un écartement de 100 μm suffit pour les bandes de fréquence inférieures. Il faut noter que pour réaliser des mesures de 250 MHz à 325 GHz, le *wafers* contenant le transistor à caractériser est passé sur quatre bancs de mesures de paramètres S (contre 2-3 jusqu'à 220 GHz), pour couvrir toutes les bandes de fréquence (cf. Chapitre 1, §IV.3). Les photographies des trois transistors sous test sont montrées Fig. 62 avec les dimensions de leurs accès :



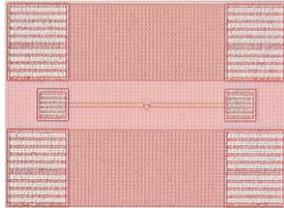
a) Transistor B9MW CBEBE $0.12 \times 4.85 \mu\text{m}^2$

Plot de contact signal : $w \times l = 40 \times 90 \mu\text{m}^2$
 Ligne d'accès : $w = 12.5 \mu\text{m}, l = 144 \mu\text{m}$
 Connexion Métal 6 – Métal 1 : $h = 9.11 \mu\text{m}$



b) Transistor B5T CBEBE $0.12 \times 4.85 \mu\text{m}^2$

Plot de contact signal : $w \times l = 50 \times 84 \mu\text{m}^2$
 Ligne d'accès : $w = 11 \mu\text{m}, l = 28 \mu\text{m}$
 Connexion Métal 6 – Métal 1 : $h = 9.11 \mu\text{m}$



c) Transistor B55 CBEBE $0.12 \times 4.85 \mu\text{m}^2$

Plot de contact signal : $w \times l = 36 \times 36 \mu\text{m}^2$
 Ligne d'accès : $w = 4.5 \mu\text{m}, l = 90 \mu\text{m}$
 Connexion Métal 8 – Métal 1 : $h = 5.83 \mu\text{m}$

Fig. 62 - Photographies des transistors sous test

Les dimensions des accès entrent en compte dans la correction des mesures de paramètres S pour extraire les paramètres propres au transistor sans ses accès. En raison des longueurs importantes des lignes d'accès du transistor B9MW et B55, elles n'ont pu être modélisées simplement avec une simple inductance comme en B5T (cf. §II.2.b). Nous avons adapté la nouvelle technique d'épluchage en utilisant le modèle de ligne multicouche fourni dans ADS[®] pour prendre en compte l'aspect distribué de ces lignes de transmission. Les modèles de ligne ont été vérifiés grâce à des mesures de paramètres S sur différentes longueurs de lignes jusqu'à 220 GHz en B9MW et 325 GHz en B55. Malgré la précision du modèle de ligne multicouche, l'épluchage des accès est plus simple à mettre en œuvre lorsque la ligne d'accès est courte (de l'ordre de 30 μm) et sa précision a pu être vérifiée jusqu'à 220 GHz [158].

Deux figures de mérite pour évaluer le gain du transistor et sa fréquence de fonctionnement maximale sont la fréquence de transition, f_T , et la fréquence d'oscillation maximale, f_{max} . Ces deux fréquences de coupure sont liées aux paramètres technologiques du transistor et f_{max} peut être déduit approximativement de f_T suivant l'équation 52 [159] :

$$f_T = \frac{1}{2\pi \left(\tau_F + \frac{kT}{qI_C} (C_{BE} + C_{BC}) + (R_E + R_C) C_{BC} \right)} \quad \text{Eq-51}$$

$$f_{\text{max}} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad \text{Eq-52}$$

En pratique, ces fréquences de coupure sont extraites des courbes de gain, calculées à partir de paramètres S mesurés (équations 53 et 54). En effet, l'extrapolation du gain en courant $|H_{21}|$ permet de déterminer f_T et l'extrapolation du gain en puissance unilatéral ou de Mason $|U|$ nous donne la valeur de f_{\max} . Les fréquences de coupure sont définies lorsque les gains deviennent unitaires, elles peuvent ainsi être exprimées comme des produits gain-bande en fonction des pentes théoriques en -20 dB/décade (équations 55 et 56). L'extrapolation à une fréquence suffit à relever le couple f_T/f_{\max} . Nous choisissons la fréquence de 40 GHz, où les courbes de gain respectent une décroissance en -20 dB/décade.

$$|H_{21}| = \frac{2S_{11}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \quad \text{Eq-53}$$

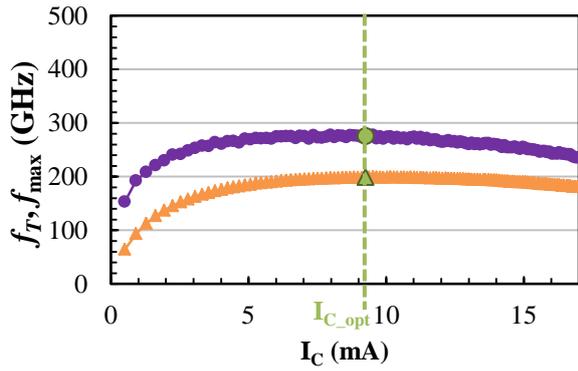
$$|U| = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left[k \frac{|S_{21}|}{|S_{12}|} - \text{Re} \left(\frac{S_{21}}{S_{12}} \right) \right]} \quad \text{avec } k = \frac{1-|S_{11}|^2-|S_{22}|^2+|S_{11}S_{22}-S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad \text{Eq-54}$$

$$|H_{21}|_{\text{slope}} = \frac{f_T}{f} \Leftrightarrow f_T = |H_{21}|_{\text{slope}} \times f \quad \text{Eq-55}$$

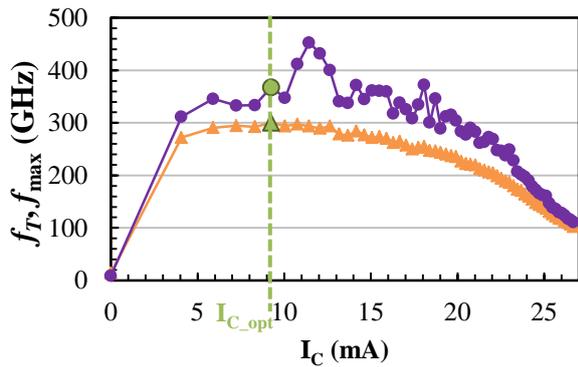
$$|U|_{\text{slope}} = \left(\frac{f_{\max}}{f} \right)^2 \Leftrightarrow f_{\max} = \sqrt{|U|_{\text{slope}}} \times f \quad \text{Eq-56}$$

Afin de déterminer le point de polarisation optimal en gain, la procédure utilisée consiste à mesurer les paramètres S à 40 GHz d'un transistor à plusieurs points de polarisation. Pour les transistors B9MW, B5T et B55, nous faisons varier le courant de base, avec une tension de collecteur-émetteur fixe (1.2V en B9MW et B55, 1.5V en B5T). Les valeurs de f_T et f_{\max} sont représentées en fonction du courant de collecteur dans la Fig. 63. Les courbes obtenues pour les transistors B9MW (Fig. 63-a) et B55 (Fig. 63-c) sont issues de mesures faites avec l'analyseur de réseau Agilent® PNA E8361A, tandis que les mesures pour le transistor B5T (Fig. 63-b) ont été réalisées avec l'analyseur de réseau HP® 8510 XF. En raison de la dynamique moins élevée de cet ancien analyseur de réseau, les mesures sont plus bruitées pour le transistor B5T que pour les transistors B9MW et B55.

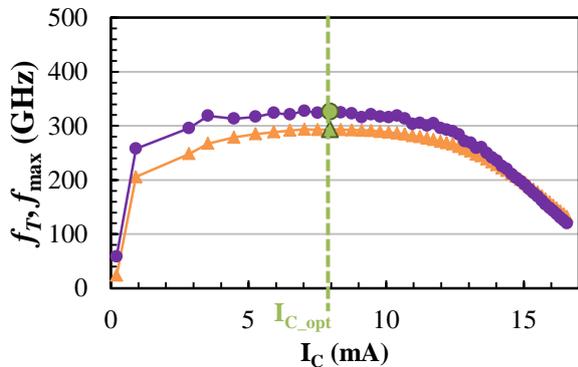
Une fois que le point de polarisation optimal en gain est relevé, des mesures de paramètres S large bande de 130 à 220 GHz sont réalisées pour les travaux de modélisation en régime petit signal du transistor bipolaire à hétérojonction SiGe. Les paramètres S sont épluchés de la contribution des accès grâce à la nouvelle méthode d'épluchage mise en place. Puis les gains large bande sont calculés jusqu'à 220 GHz, voire 325 GHz, et les couples f_T/f_{\max} issus de leur extrapolation sont vérifiés par les mesures large bande (Fig. 64).



a) transistor B9MW CBEBC $0.12 \times 4.85 \mu\text{m}$ ($I_B=1$ à $120 \mu\text{A}$ par pas de $1 \mu\text{A}$, $V_{CE}=1.2\text{V}$)

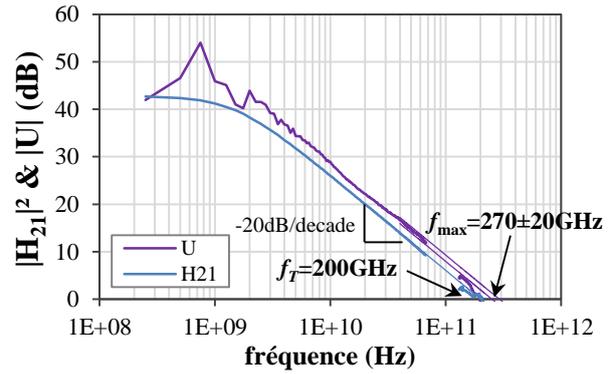


b) transistor B5T CBEBC $0.12 \times 4.85 \mu\text{m}$ ($I_B=0$ à $300 \mu\text{A}$ par pas de $5 \mu\text{A}$, $V_{CE}=1.5\text{V}$)

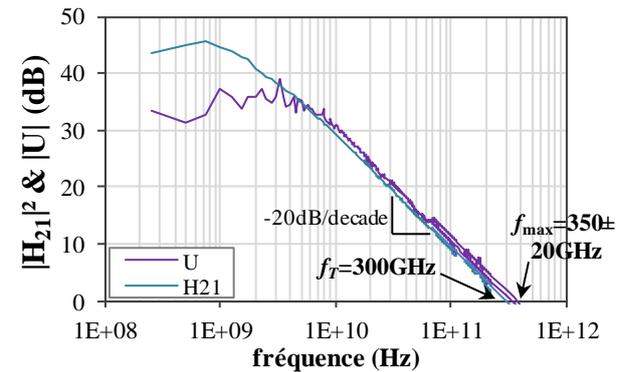


c) transistor B55 CBEBC $0.12 \times 4.85 \mu\text{m}$ ($I_B=1$ à $50 \mu\text{A}$ par pas de $1 \mu\text{A}$, $V_{CE}=1.2\text{V}$)

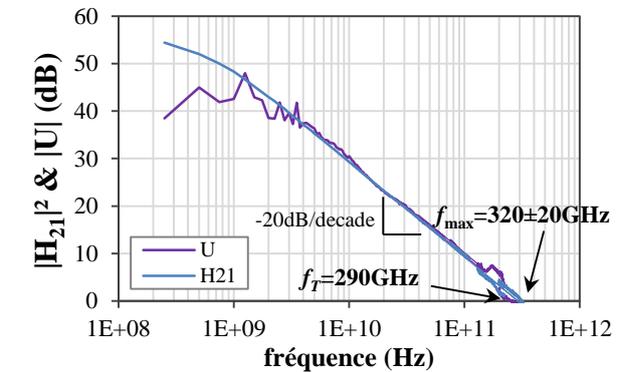
Fig. 63 - f_T/f_{max} en fonction du courant de collecteur du transistor bipolaire à hétérojonction SiGe
Point vert : point de polarisation optimal en gain



a) transistor B9MW ($I_B=44 \mu\text{A}$, $I_C=9.24\text{mA}$, $V_{CE}=1.2\text{V}$)



b) transistor B5T ($I_B=25 \mu\text{A}$, $I_C=9.24\text{mA}$, $V_{CE}=1.5\text{V}$)



c) transistor B55 ($I_B=10 \mu\text{A}$, $I_C=8\text{mA}$, $V_{CE}=1.2\text{V}$)

Fig. 64 - Courbes de gain $|H_{21}|^2_{\text{dB}}$ et $|U|_{\text{dB}}$ en fonction de la fréquence, après épluchage des accès

Les couples f_T/f_{\max} au point de polarisation optimal en gain des trois transistors sont consignés dans le Tableau 12.

	B9MW	B5T	B55
f_T	200 GHz	300 GHz	290 GHz
f_{\max}	270 ± 20 GHz	350 ± 20 GHz	320 ± 20 GHz
I_B	44 μ A	25 μ A	10 μ A
I_C	9.25 mA	9.24 mA	7.96 mA
V_{CE}	1.2 V	1.5 V	1.2 V
J_C	15.9 mA/ μ m ²	15.9 mA/ μ m ²	13.7 mA/ μ m ²

Tableau 12 - Couples f_T/f_{\max} dans les conditions de polarisation optimales en gain des transistors bipolaires à hétérojonction SiGe CBEBC 0.12 \times 5 μ m² des technologies BiCMOS avancées de STMicroelectronics

Le transistor de référence dans les trois technologies BiCMOS successives connaît bien une évolution croissante de B9MW à B5T, avec un couple f_T/f_{\max} passant de 200/270 GHz à 300/350 GHz. B5T est une technologie de développement, transitoire entre les deux technologies de production B9MW et B55. Son but, d'ailleurs atteint, était d'améliorer les performances du transistor bipolaire afin de l'intégrer dans la future technologie de production B55. Avec un couple f_T/f_{\max} de 290/320 GHz, le transistor sous test B55 issu d'une toute première fabrication du procédé B55 (octobre 2013) montre des performances certes inférieures au B5T mais qui seront améliorées avec la maturation du procédé de fabrication.

IV. Modélisation petit signal du transistor bipolaire SiGe jusqu'à 325 GHz

Le transistor bipolaire à hétérojonction SiGe de référence dans les trois technologies successives B9MW, B5T et B55 a été modélisé en régime petit signal au point de polarisation optimal en gain (cf. Tableau 12). L'extraction des paramètres du modèle a été réalisée à partir des paramètres S mesurés et épluchés des accès jusqu'à 67, voire 110 GHz. L'extraction a été finalement validée en comparant la simulation du modèle avec les mesures jusqu'à 220, voire 325 GHz. Nous détaillerons les étapes d'extraction des paramètres du modèle petit signal seulement pour le transistor B5T. La comparaison mesure/modèle sera présentée et le modèle HICUM sera aussi mentionné pour les trois transistors B9MW, B5T et B55.

IV.1. Description du schéma équivalent petit signal

Le schéma équivalent petit signal que nous utilisons pour modéliser le comportement hyperfréquence du transistor bipolaire est illustré à la Fig. 65. Il s'agit d'un modèle linéaire en T à éléments localisés, valable à un seul point de polarisation. Inspiré du modèle de Hawkins [135], il est à la fois simple à mettre en œuvre et proche de la physique du dispositif.

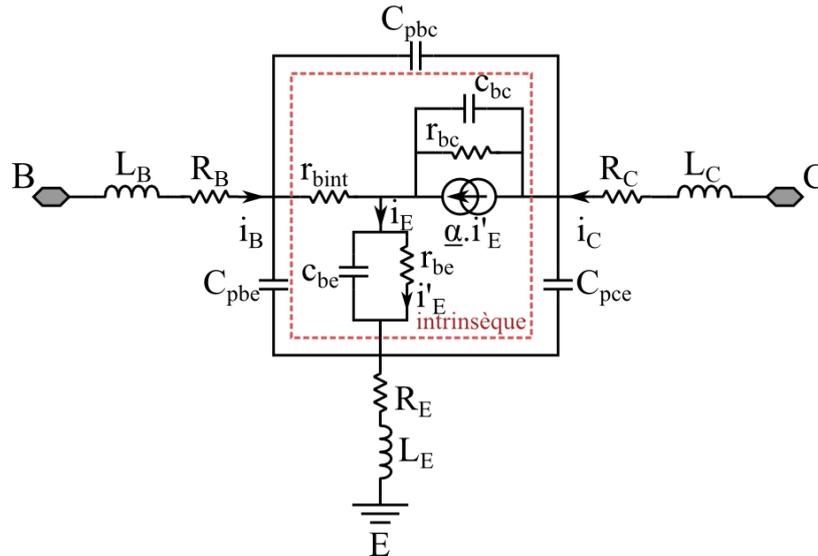


Fig. 65 - Schéma équivalent petit signal du transistor bipolaire à hétérojonction SiGe, montage émetteur commun

Ce modèle petit signal en T est constitué :

- d'éléments extrinsèques, supposés indépendants de la polarisation :
 - des inductances de base (L_B), collecteur (L_C) et émetteur (L_E)
 - des résistances de base (R_B), collecteur (R_C) et émetteur (R_E)
 - des capacités parasites base-émetteur (C_{pbe}), base-collecteur (C_{pbc}) et collecteur-émetteur (C_{pce})
- d'éléments intrinsèques, dépendants de la polarisation :
 - une résistance de base intrinsèque r_{bint}
 - une résistance r_{be} et une capacité c_{be} modélisant la jonction base-émetteur : en régime actif, la jonction base-émetteur est polarisée en direct, ce qui signifie que sa résistance est faible et sa capacité est forte
 - une résistance r_{bc} et une capacité c_{bc} modélisant la jonction base-collecteur : en régime actif, la jonction base-collecteur est polarisée en inverse, ce qui signifie que sa résistance est forte et sa capacité est faible
 - le gain en courant α en montage base commune, proche de l'unité

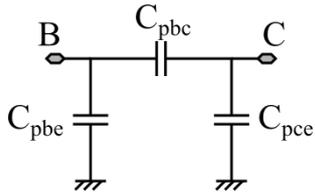
L'extraction des différents éléments s'appuie sur la méthode proposée par Jean-Maxence Belquin en 1997 dans [160]. Les mesures de paramètres S sont réalisées après un calibrage *LRRM off-wafer* et sont épluchées avec la méthode nouvellement développée pour la bande G . Les éléments extrinsèques sont obtenus sous différentes conditions de polarisation du transistor. Puis, les éléments intrinsèques sont déduits par calcul sur les matrices impédance.

IV.2. Extraction des paramètres extrinsèques

a. Jonctions polarisées en inverse : extraction des capacités extrinsèques

Les capacités parasites extrinsèques C_{pbe} , C_{pbc} et C_{pce} sont déterminées en polarisant en inverse les jonctions base-émetteur et base-collecteur. Pour masquer la contribution des capacités intrinsèques, notamment c_{bc} , il est nécessaire d'avoir une forte polarisation inverse sur la jonction base-émetteur ($V_{BE} \ll 0V$). En pratique, nous avons choisi de diminuer progressivement V_{BE} jusqu'à obtenir une valeur relativement stable de C_{pbc} en fonction de V_{BE} : $-1V \leq V_{BE} \leq -500mV$, par pas de 100mV.

Les paramètres S mesurés sont transformés en paramètres Y . La matrice d'admittance $[Y_{ext}]$ correspondante s'écrit :



$$[Y_{ext}] = \begin{bmatrix} j(C_{pbe} + C_{pbc})\omega & -jC_{pbc}\omega \\ -jC_{pbc}\omega & j(C_{pce} + C_{pbc})\omega \end{bmatrix} \quad \text{Eq-57}$$

Fig. 66 - Modèle des capacités extrinsèques

Les capacités extrinsèques sont déterminées à partir des paramètres Y :

$$C_{pbe} = \frac{\text{Im}(Y_{ext,11} + Y_{ext,12})}{\omega} \quad \text{Eq-58}$$

$$C_{pbc} = -\frac{\text{Im}(Y_{ext,12})}{\omega} \quad \text{Eq-59}$$

$$C_{pce} = \frac{\text{Im}(Y_{ext,22} + Y_{ext,12})}{\omega} \quad \text{Eq-60}$$

Les résultats expérimentaux sont illustrés sur la Fig. 67 ci-dessous. En considérant une valeur moyenne sur la bande de fréquence de mesure (250 MHz – 110 GHz), les capacités C_{pbe} , C_{pbc} et C_{pce} sont respectivement de 8 fF, 5 fF et 1.2 fF.

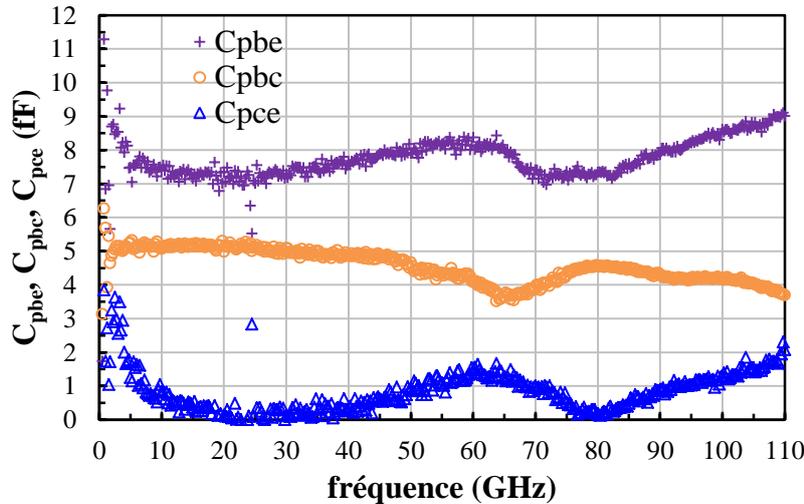


Fig. 67 - Capacités extrinsèques du transistor B5T en fonction de la fréquence

b. Jonctions polarisées en direct : extraction des résistances et inductances extrinsèques

Supposons que les jonctions base-émetteur et base-collecteur sont toutes deux polarisées en direct, la matrice impédance Z déduite des paramètres S s'exprime comme suit :

$$[Z] = \begin{bmatrix} R_B + r_{bint} + r_{be} + R_E + j(L_B + L_E)\omega & r_{be} + R_E + jL_E\omega \\ r_{be} + R_E + jL_E\omega & R_C + r_{bc} + r_{be} + R_E + j(L_C + L_E)\omega \end{bmatrix} \quad \text{Eq-61}$$

Tout d'abord, la jonction base-émetteur est polarisée en direct ($I_B > 0A$) et le collecteur est déconnecté d'un point de vue DC ($I_C = 0A$). Le courant de base se retrouve donc majoritairement dans l'émetteur. Les résistances R_B et R_E sont respectivement déduites de l'extrapolation à l'origine de $Re(Z_{11} - Z_{12})$ et $Re(Z_{12})$ en fonction de $1/I_B$ (proche de $1/I_E$). Les inductances L_B et L_E sont déduites de la partie imaginaire des paramètres Z . Les expressions de R_B , R_E , L_B et L_E sont données par les équations 62 à 65 :

$$R_B = \text{Re}(Z_{11} - Z_{12}) \Big|_{I_B \rightarrow +\infty} \quad \text{Eq-62}$$

$$R_E = \text{Re}(Z_{12}) \Big|_{I_E \rightarrow +\infty} \quad \text{Eq-63}$$

$$L_B = \frac{\text{Im}(Z_{11} - Z_{12})}{\omega} \quad \text{Eq-64}$$

$$L_E = \frac{\text{Im}(Z_{12})}{\omega} \quad \text{Eq-65}$$

En augmentant le courant de base avec $V_{CE} = 0V$, ce courant se retrouve essentiellement dans le collecteur, contribuant ainsi à la diminution de la résistance de diffusion r_{bc} . Pour masquer la résistance r_{bc} , la résistance R_C est déduite de l'extrapolation à l'origine de $Re(Z_{22} - Z_{12})$ en fonction de $1/I_B$ (proche de $1/I_C$). L'inductance L_C est déduite de la partie imaginaire des paramètres Z . Les expressions de R_C et L_C sont données par les équations 66 et 67 :

$$R_C = \text{Re}(Z_{22} - Z_{12}) \Big|_{I_C \rightarrow +\infty} \quad \text{Eq-66}$$

$$L_C = \frac{\text{Im}(Z_{22} - Z_{12})}{\omega} \quad \text{Eq-67}$$

Une fois que les éléments « série » extrinsèques sont déterminés à partir des mesures, la matrice impédance $[Z_{ext}]$ correspondante est exprimée comme dans l'équation 68 et servira à déduire les paramètres intrinsèques du transistor. L'ensemble des éléments « série » extrinsèques est représenté par un modèle en T comme le montre la Fig. 68.

$$[Z_{ext}] = \begin{bmatrix} R_B + R_E + j(L_B + L_E)\omega & R_E + jL_E\omega \\ R_E + jL_E\omega & R_C + R_E + j(L_C + L_E)\omega \end{bmatrix} \quad \text{Eq-68}$$

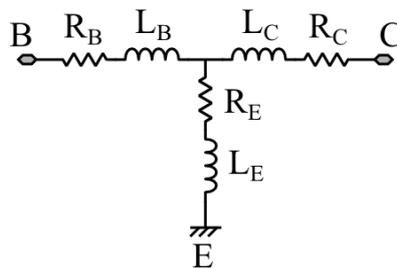


Fig. 68 - Modèle des éléments série extrinsèques

D'un point de vue expérimental, pour le transistor B5T, nous avons choisi des conditions de polarisation telles que : $100\mu A \leq I_B \leq 1mA$ par pas de $100\mu A$. Pour extraire les valeurs des résistances et inductances extrinsèques, nous traçons leur variation à basse fréquence ($f = 3 \text{ GHz}$), en fonction de l'inverse du courant de base et nous relevons la valeur de l'ordonnée à l'origine :

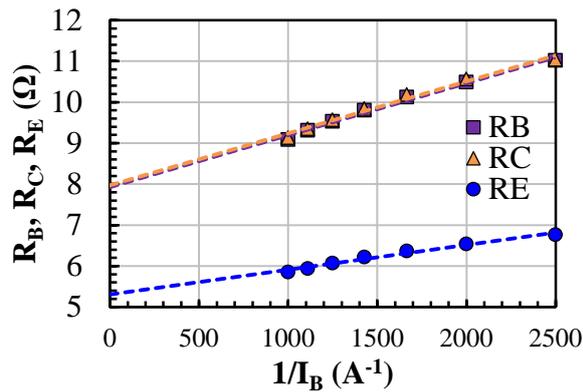


Fig. 69 - R_B , R_C , R_E en fonction de $1/I_B$

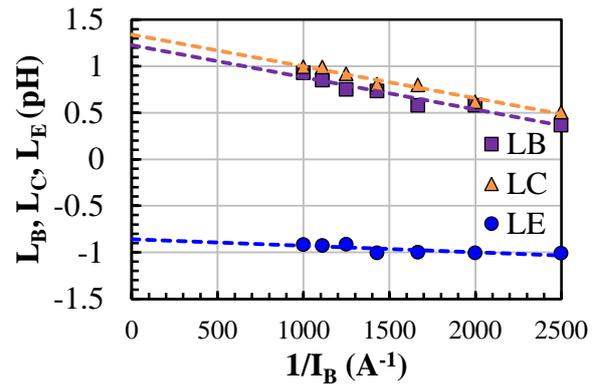


Fig. 70 - L_B , L_C , L_E en fonction de $1/I_B$

Etant donné que l'inductance d'émetteur extraite semble négative, nous la considérerons comme nulle. En effet, une inductance d'accès d'émetteur de 2.57pH a été extraite lors de la modélisation des accès du transistor et a donc été en grande partie déjà épluchée, voire un peu trop, ce qui expliquerait la valeur négative de L_E .

c. Valeurs des éléments extrinsèques du modèle du transistor

Voici le tableau récapitulatif des éléments extrinsèques du transistor bipolaire B5T :

R_B	R_C	R_E	L_B	L_C	L_E	C_{pbe}	C_{pce}	C_{pbc}
8 Ω	8 Ω	5.3 Ω	1.2 pH	1.3 pH	0 pH	8 fF	5 fF	1.2 fF

Tableau 13 - Valeurs des éléments extrinsèques du modèle du transistor B5T CBEBC $0.12 \times 4.85 \mu m^2$; polarisation au pic de f_T : $I_B=25 \mu A$, $I_C=9.24 mA$, $V_{CE}=1.5V$

En utilisant la même méthodologie, nous obtenons également les valeurs des éléments extrinsèques des transistors de même géométrie en technologie B9MW et B55, résumées ci-dessous :

R_B	R_C	R_E	L_B	L_C	L_E	C_{pbe}	C_{pce}	C_{pbc}
9 Ω	9 Ω	5 Ω	0.8 pH	0.9 pH	2 pH	15 fF	8 fF	10 fF

Tableau 14 - Valeurs des éléments extrinsèques du modèle du transistor B9MW CBEBC $0.12 \times 4.85 \mu m^2$; polarisation au pic de f_T : $I_B=44 \mu A$, $I_C=9.25 mA$, $V_{CE}=1.2V$

R_B	R_C	R_E	L_B	L_C	L_E	C_{pbe}	C_{pce}	C_{pbc}
9 Ω	9 Ω	8 Ω	1 pH	1 pH	0.5 pH	8.6 fF	4.4 fF	4.5 fF

Tableau 15 - Valeurs des éléments extrinsèques du modèle du transistor B55 CBEBC $0.12 \times 4.85 \mu m^2$; polarisation au pic de f_T : $I_B=10 \mu A$, $I_C=7.96 mA$, $V_{CE}=1.2V$

IV.3. Extraction des éléments intrinsèques

a. Méthodologie d'extraction

Afin de déterminer les éléments intrinsèques du modèle, les éléments extrinsèques extraits précédemment sont retirés des mesures sur transistor après épluchage des accès. Les capacités parasites C_{pbe} , C_{pbc} et C_{pce} sont d'abord retirées en paramètres Y via la matrice Y_{ext} . Puis les résistances R_B , R_E , R_C et les inductances L_B , L_E , L_C sont épluchées en paramètres Z via la matrice Z_{ext} . La procédure est décrite dans l'équation 69 :

$$\begin{aligned}
1) & S_{DUT} \Rightarrow Y_{DUT} \\
2) & Y_{int} = Y_{DUT} - Y_{ext} \Rightarrow Z_{int1} \\
3) & Z_{int} = Z_{int1} - Z_{ext}
\end{aligned}
\tag{Eq-69}$$

La partie intrinsèque du modèle est illustrée en Fig. 71 et les paramètres de la matrice impédance Z_{int} correspondante sont exprimés dans les équations 70 à 73.

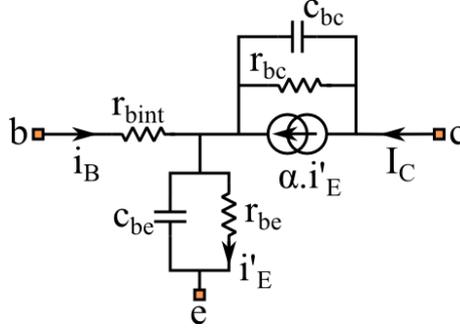


Fig. 71 - Schéma équivalent du transistor bipolaire intrinsèque

$$Z_{int,11} = \left. \frac{v_{be}}{i_B} \right|_{i_C=0} = r_{bint} + \frac{r_{be}}{1 + jr_{be}C_{be}\omega} \tag{Eq-70}$$

$$Z_{int,12} = \left. \frac{v_{be}}{i_C} \right|_{i_B=0} = \frac{r_{be}}{1 + jr_{be}C_{be}\omega} \tag{Eq-71}$$

$$Z_{int,21} = \left. \frac{v_{ce}}{i_B} \right|_{i_C=0} = \frac{r_{be}}{1 + jr_{be}C_{be}\omega} - \frac{\alpha r_{bc}}{(1 + jr_{bc}C_{bc}\omega)(1 + jr_{be}C_{be}\omega)} \tag{Eq-72}$$

$$Z_{int,22} = \left. \frac{v_{ce}}{i_C} \right|_{i_B=0} = \frac{r_{be}}{1 + jr_{be}C_{be}\omega} + \frac{r_{bc}(1 - \alpha + jr_{be}C_{be}\omega)}{(1 + jr_{bc}C_{bc}\omega)(1 + jr_{be}C_{be}\omega)} \tag{Eq-73}$$

Les éléments intrinsèques du schéma équivalent petit signal du transistor bipolaire sont alors déduits des paramètres Z_{int} de la manière suivante :

$$r_{bint} = Z_{int,11} - Z_{int,12} \tag{Eq-74}$$

$$r_{be} = \lim_{\omega \rightarrow 0} (Z_{int,12}) \tag{Eq-75}$$

$$r_{bc} = \lim_{\omega \rightarrow 0} (Z_{int,22} - Z_{int,12}) \tag{Eq-76}$$

$$C_{be} = \frac{\text{Im}(Z_{int,12}^{-1})}{\omega} \tag{Eq-77}$$

$$C_{bc} = \frac{\text{Im}((Z_{int,22} - Z_{int,12})^{-1})}{\omega} \tag{Eq-78}$$

$$\alpha = \frac{\alpha_0}{1 + j \frac{f}{f_\alpha}} \text{ avec } \alpha_0 = \lim_{f \rightarrow 0} \frac{Z_{int,12} - Z_{int,21}}{Z_{int,22} - Z_{int,21}} \tag{Eq-79}$$

Notons que deux manières existent pour déterminer la fréquence de coupure intrinsèque du transistor f_α :

- soit en calculant le gain $|H_{21}|_{\text{int}}$ à partir des paramètres S intrinsèques provenant de la matrice impédance Z_{int} : sa fréquence de coupure, extrapolée dans la décroissance en -20 dB/décade, correspondra à f_α
- soit en utilisant la relation entre f_α et le temps de transit total de l'émetteur jusqu'au collecteur τ_{EC} :

$$f_\alpha = \frac{1}{2\pi\tau_{\text{EC}}} = \frac{kT\Delta f}{qI_C \cdot 2\pi \cdot (c_{be} + c_{bc})} \quad \text{Eq-80}$$

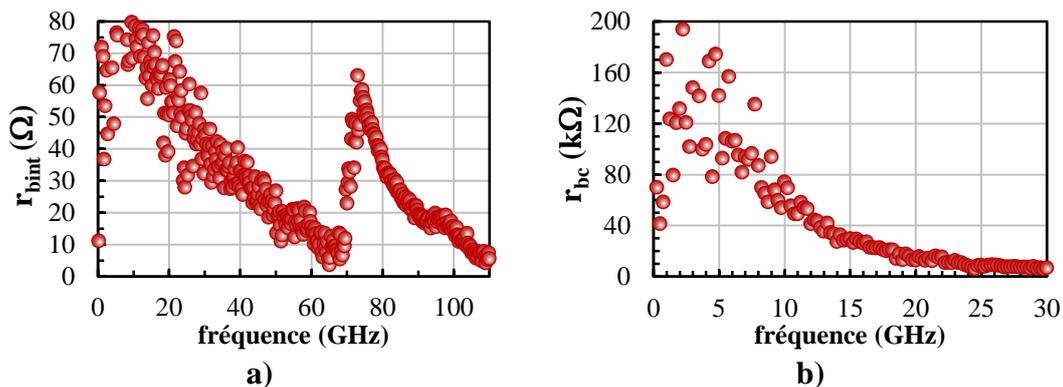
Pour le transistor B5T, nous avons choisi la première méthode pour déterminer f_α (=380 GHz), étant donné que la nouvelle méthode d'épluchage a été développée spécifiquement pour ce transistor. En effet, notre degré de confiance dans l'extraction des paramètres intrinsèques du transistor B5T est relativement grand car la précision de l'épluchage des accès a été optimisée pour celui-ci. Ceci se confirme d'ailleurs sur le paramètre intrinsèque c_{bc} (cf. Fig. 72-d). Extrait avec la technique *Open-Short*, c_{bc} est difficilement extrait au-delà de 40 GHz. En revanche, avec la nouvelle technique d'épluchage, hormis la résonance due au couplage avec le corps de la sonde à 60 GHz et en fin de bande de mesure, une valeur de 0.7fF semble mieux convenir sur l'ensemble de la plage de fréquence de mesure.

Par ailleurs, la résistance de base intrinsèque, r_{bint} , est très difficile à extraire. En effet, la modélisation de la base intrinsèque en utilisant une simple résistance est très basique. Des effets distribués, dépendants de la fréquence, sont constatés sur la réponse de r_{bint} en fonction de la fréquence. Malheureusement, un travail d'amélioration du modèle n'a pu être effectué et la valeur de r_{bint} a été généralement relevée à très basse fréquence et ajustée par rapport aux mesures de facteur de bruit, disponibles pour les trois transistors B9MW, B5T et B55.

De plus, la résistance de jonction base-collecteur, r_{bc} , souffre également du manque de précision sur la modélisation de la base intrinsèque (cf. Fig. 72-b). Egalement difficile à extraire, sa valeur est ajustée sur les courbes de gain mesurées, $|H_{21}|$ et $|U|$, à basse fréquence (< 10GHz).

La résistance de la jonction base-émetteur, r_{be} (Fig. 72-c), est extraite à basse fréquence (<10 GHz). La valeur de c_{be} , relativement grande, est moyennée à haute fréquence, entre 50 et 100 GHz (100 fF), tout en faisant abstraction de la résonance à 60 GHz due à l'environnement de mesure de paramètres S .

Enfin, la valeur du paramètre α_0 est facilement extraite à basse fréquence. Pour les transistors B9MW et B55, nous avons préféré utiliser l'équation 80 pour obtenir f_α à partir des éléments c_{be} et c_{bc} extraits de la mesure.



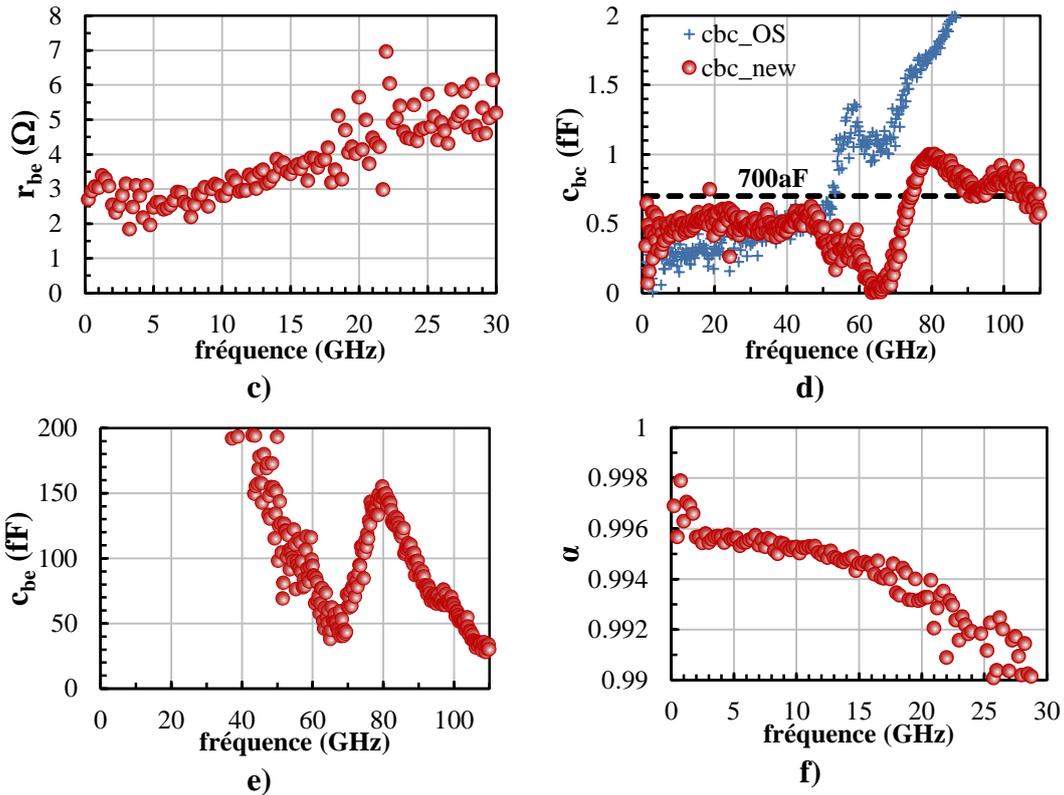


Fig. 72 - Eléments intrinsèques du schéma équivalent petit signal du transistor B5T en fonction de la fréquence

b. Valeurs des éléments intrinsèques du modèle du transistor

Les valeurs des éléments intrinsèques du modèle du transistor B5T sont résumées dans le Tableau 16. De la même manière sont extraites les valeurs des éléments extrinsèques des transistors de même géométrie en technologie B9MW et B55, résumées ci-dessous.

Γ_{bint}	α_0	f_a	Γ_{bc}	C_{bc}	Γ_{be}	C_{be}
16 Ω	0.996	380 GHz	130 k Ω	0.7 fF	3 Ω	100 fF

Tableau 16 - Valeurs des éléments intrinsèques du modèle du transistor B5T CBEBC 0.2×4.85 μm^2 ; Polarisation au pic de f_T : $I_B=25 \mu\text{A}$, $I_C=9.24 \text{ mA}$, $V_{CE}=1.5\text{V}$

Γ_{bint}	α_0	Γ_{bc}	C_{bc}	Γ_{be}	C_{be}
16 Ω	0.993	900 k Ω	1.6 fF	2.4 Ω	100 fF

Tableau 17 - Valeurs des éléments extrinsèques du modèle du transistor B9MW CBEBC 0.12×4.85 μm^2 ; Polarisation au pic de f_T : $I_B=44 \mu\text{A}$, $I_C=9.24 \text{ mA}$, $V_{CE}=1.2\text{V}$

Γ_{bint}	α_0	Γ_{bc}	C_{bc}	Γ_{be}	C_{be}
45 Ω	0.998	500 k Ω	1.2 fF	3.8 Ω	100 fF

Tableau 18 - Valeurs des éléments extrinsèques du modèle du transistor B55 CBEBC 0.12×4.85 μm^2 ; Polarisation au pic de f_T : $I_B=10 \mu\text{A}$, $I_C=8 \text{ mA}$, $V_{CE}=1.2\text{V}$

IV.4. Validation de l'extraction des paramètres du schéma équivalent petit signal

a. Transistor B5T

Le modèle petit signal, dont la procédure d'extraction de paramètres a été détaillée dans la section précédente, est simulé en paramètres S avec le logiciel ADS[®] jusqu'à 220 GHz. Les paramètres S simulés et mesurés jusqu'à 220 GHz du transistor sans ses accès sont montrés Fig. 73.

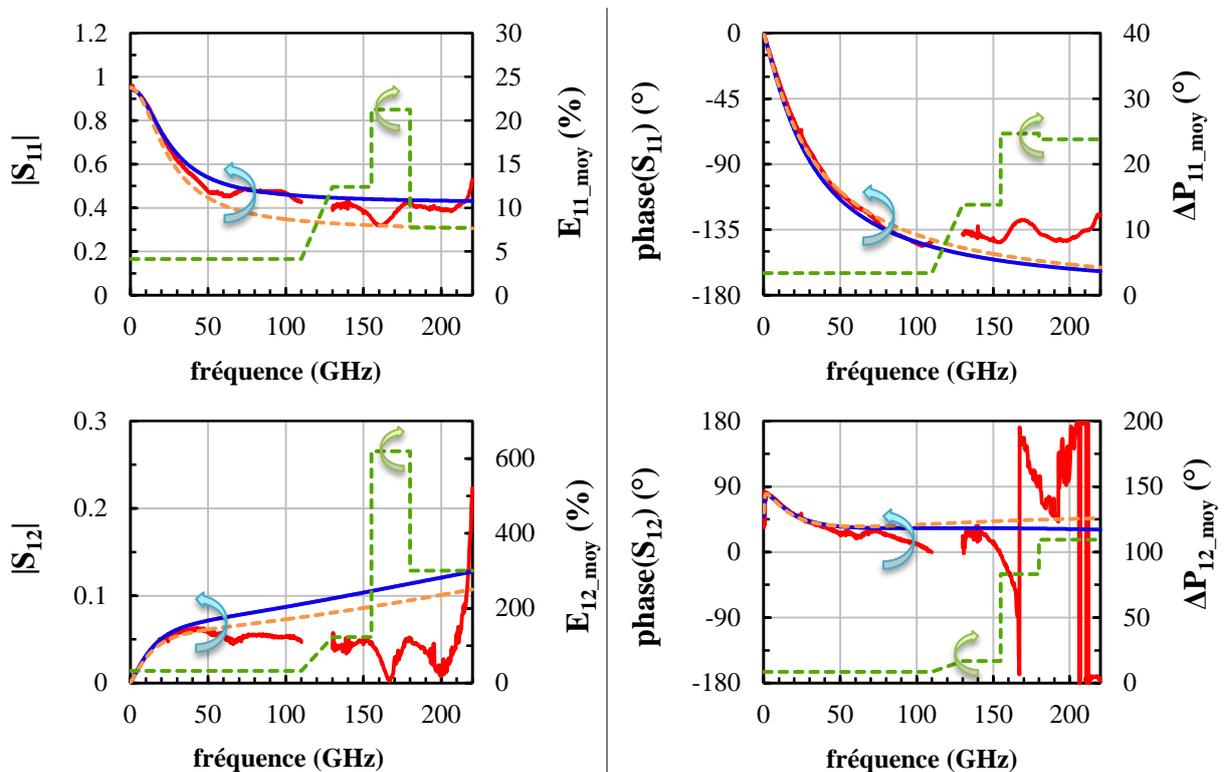
Les erreurs relatives sur les modules et les différences sur les phases entre mesure et simulation sont mentionnées sur les axes secondaires. De plus, nous proposons une comparaison en paramètres S entre notre modèle petit signal et le modèle HICUM intégré dans le Design Kit de la technologie B5T. Si l'on utilise la notion de *TRL (Technology Readiness Level)* qui définit le niveau de maturité technologique, le modèle HICUM, modèle compact standard de l'industrie, serait d'un niveau *TRL* de 7 à 9. Notre modèle petit signal analytique, adapté à la recherche avancée, serait d'un niveau *TRL* de 3 à 5. La comparaison, intéressante pour aussi valider le modèle HICUM à haute fréquence et situer notre modèle, est faite à courant de collecteur identique (cf. Tableau 19).

	I_B	I_C	V_{BE}	V_{CE}
Modèle IEMN	25 μ A	9.240 mA	878 mV	1.5 V
Modèle HICUM	27.85 μ A	9.244 mA	892 mV	1.5 V

Tableau 19 - Point de polarisation des modèles IEMN et HICUM pour la comparaison de paramètres S

La comparaison entre les paramètres S mesurés et simulés est faite dans le même plan, c'est-à-dire que :

- les paramètres S sont épluchés jusqu'au niveau actif
- le modèle IEMN est situé au niveau actif du transistor
- le modèle HICUM est donné au niveau M1



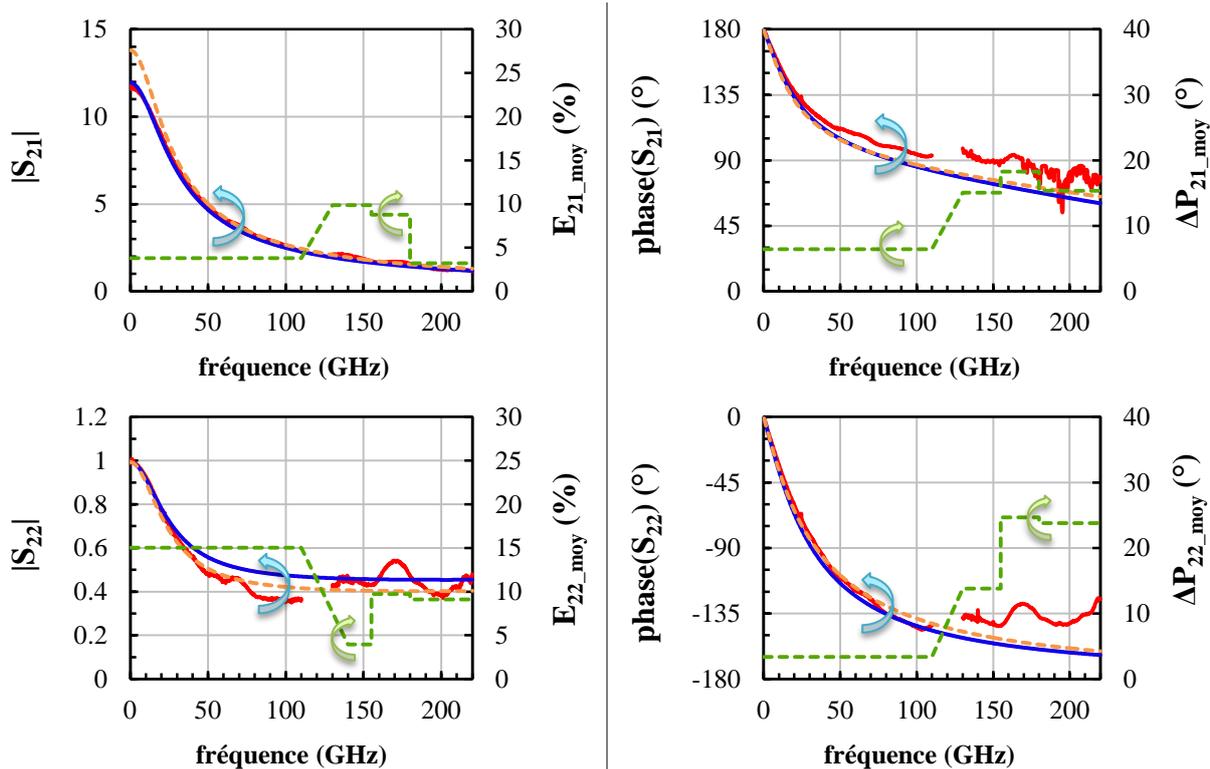


Fig. 73 - Paramètres S en module et phase du transistor B5T sans ses accès, simulés et mesurés jusqu'à 220 GHz
 Géométrie du transistor : B5T CBEBC $0.12 \times 4.85 \mu\text{m}^2$; polarisation au pic de f_T : $I_B=25\mu\text{A}$, $I_C=9.24\text{mA}$, $V_{CE}=1.5\text{V}$
 ligne rouge : mesure, ligne bleue : modèle IEMN, pointillés orange : modèle HICUM, pointillés verts : erreur entre le modèle IEMN et les mesures

L'erreur relative entre les paramètres S simulés (modèle IEMN) et mesurés en module est donnée par le Tableau 20 :

fréq \ E_{ij_moy}	250 MHz - 110 GHz	140 GHz - 155 GHz	155 GHz - 180 GHz	180 GHz - 220 GHz
E_{11_moy} (%)	4,14	12,4	21,2	7,7
E_{12_moy} (%)	32,4	123	619	301
E_{21_moy} (%)	3,82	9,87	8,79	3,21
E_{22_moy} (%)	15,0	3,95	9,74	9,09

Tableau 20 - Erreur relative entre les modules des paramètres S du transistor B5T simulés du modèle IEMN et mesurés

La différence entre les paramètres S simulés (modèle IEMN) et mesurés en phase est donnée par le Tableau 21 :

fréq \ ΔP_{ij_moy}	250 MHz - 110 GHz	140 GHz - 155 GHz	155 GHz - 180 GHz	180 GHz - 220 GHz
ΔP_{11_moy} (°)	3,39	13,8	24,7	23,8
ΔP_{12_moy} (°)	8,6	17	83	109
ΔP_{21_moy} (°)	6,46	15,08	18,27	15,36
ΔP_{22_moy} (°)	4,3	28,67	34,27	26,12

Tableau 21 - Différence entre les phases des paramètres S du transistor B5T simulés du modèle IEMN et mesurés

La nouvelle méthode d'épluchage mise au point en bande G ne tenant pas compte du couplage sondes/substrat [155] ou entre électrodes internes [161], des résonances centrées sur 160 GHz et 200 GHz sont observées sur les modules des paramètres S du transistor. Ces

résonances se traduisent par des sauts de phase sur les phases des paramètres S du transistor. La précision des mesures est donc affectée par ces résonances non modélisées, comme le démontrent l'erreur relative sur les modules et la différence sur les phases de S_{11} , S_{12} et S_{22} dans la bande 155 – 180 GHz.

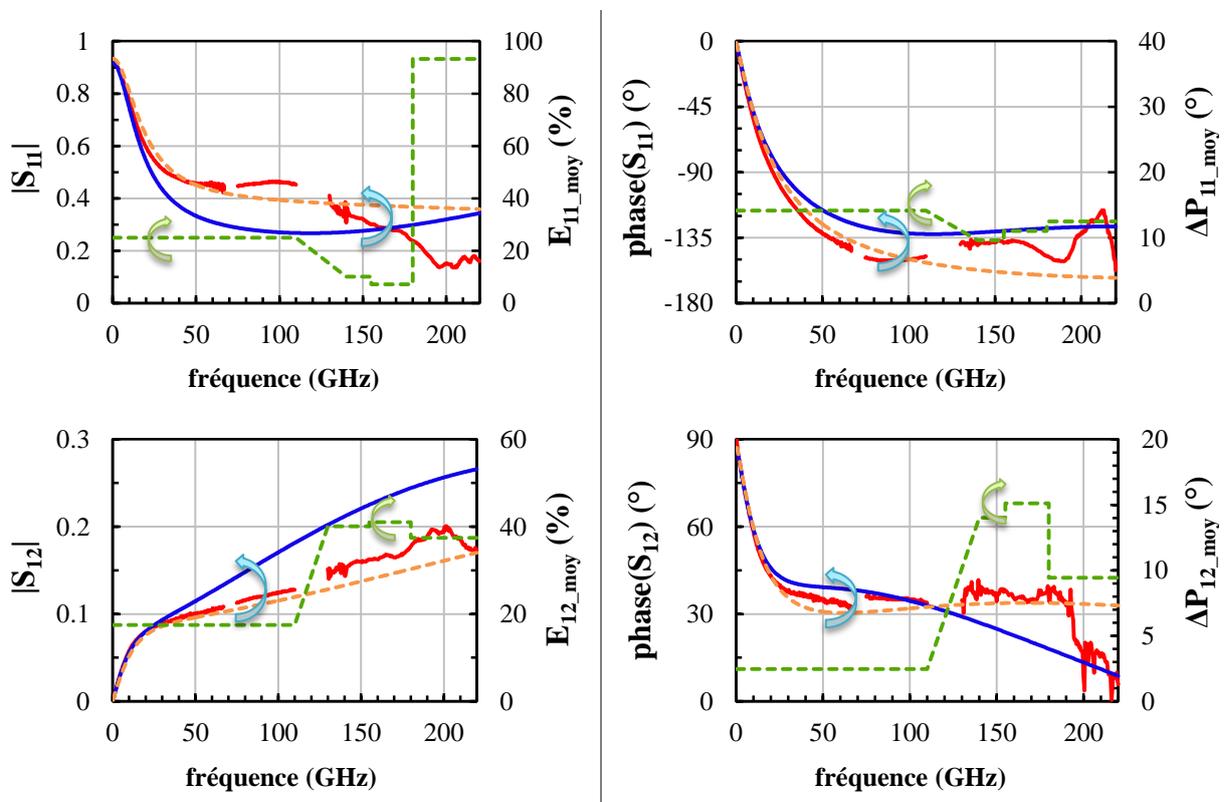
Néanmoins, par comparaison aux mesures, la modélisation petit signal du transistor B5T est très satisfaisante sur toute la bande de fréquences considérée, soit de 250 MHz à 220 GHz. La méthode d'épluchage développée pour corriger les mesures au-delà de 100 GHz s'avère particulièrement efficace en fin de bande G . De plus, notre modèle B5T concorde relativement bien en module et en phase avec le modèle HICUM extrait pour ce transistor à STMicroelectronics, qui est utilisé par les concepteurs de circuit. Notre modèle B5T a de ce fait été mis à profit pour la conception d'amplificateur faible bruit, que nous aborderons au Chapitre 3.

b. Transistor B9MW

Le modèle petit signal du transistor B9MW, de même géométrie que le B5T présenté dans la section précédente, est également simulé en paramètres S sous ADS[®]. Les paramètres S simulés sont comparés à ceux mesurés après épluchage des accès jusqu'à 220 GHz (cf. Fig. 74). Les paramètres S du modèle HICUM à même courant de collecteur sont aussi simulés et mentionnés.

	I_B	I_C	V_{BE}	V_{CE}
Modèle IEMN	44 μ A	9.248 mA	937 mV	1.2 V
Modèle HICUM	32.3 μ A	9.245 mA	914 mV	1.2 V

Tableau 22 - Point de polarisation des modèles IEMN et HICUM pour la comparaison de paramètres S



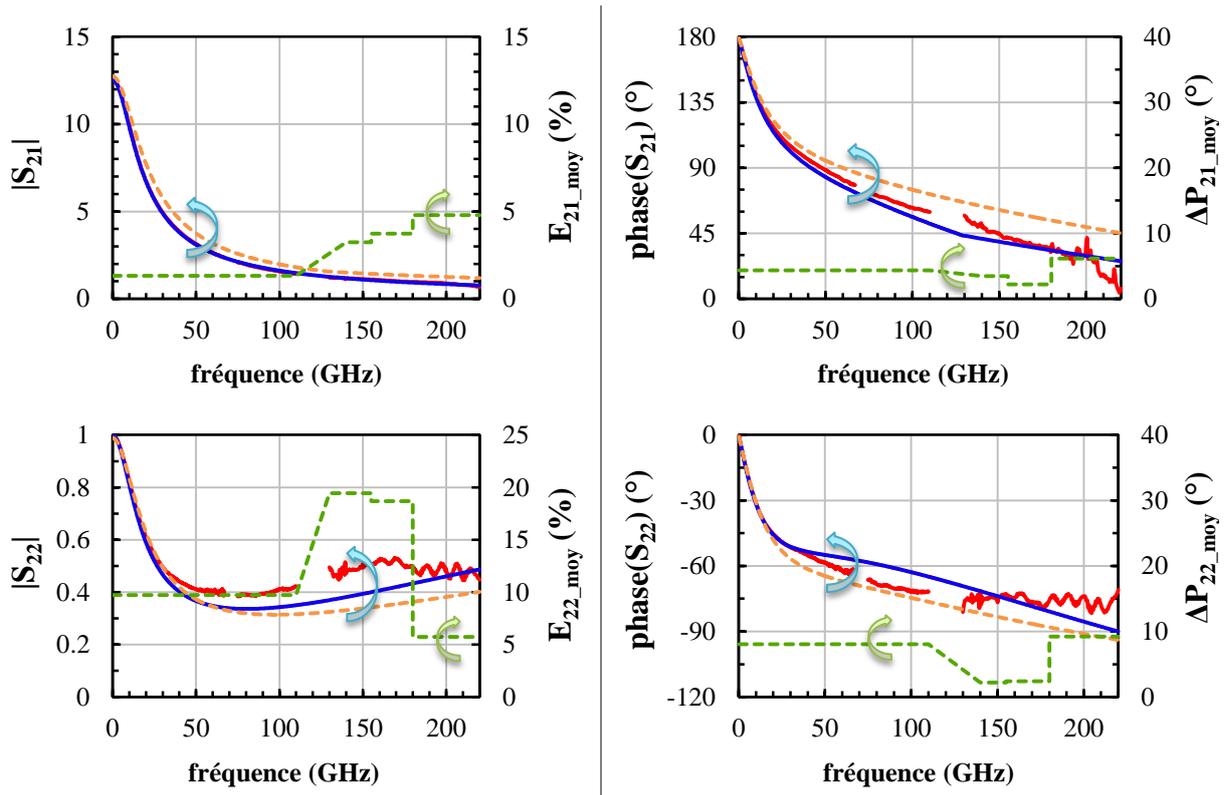


Fig. 74 - Paramètres S en module et phase du transistor B9MW sans ses accès, simulés et mesurés jusqu'à 220 GHz
 Géométrie du transistor : B9MW CBEBC $0.12 \times 4.85 \mu\text{m}^2$; polarisation au pic de f_T : $I_B=44\mu\text{A}$, $I_C=9.25\text{mA}$, $V_{CE}=1.2\text{V}$
 ligne rouge : mesure, ligne bleue : modèle IEMN, pointillés orange : modèle HICUM, pointillés verts : erreur entre le modèle IEMN et les mesures

L'erreur relative entre les paramètres S simulés (modèle IEMN) et mesurés en module est donnée par le Tableau 23 :

fréq	250 MHz - 110 GHz	140 GHz - 155 GHz	155 GHz - 180 GHz	180 GHz - 220 GHz
E_{ij_moy}				
E_{11_moy} (%)	24.9	10.1	7.20	93.3
E_{12_moy} (%)	17.5	40.1	41	37.5
E_{21_moy} (%)	1.32	3.25	3.73	4.80
E_{22_moy} (%)	9.73	19.45	18.7	5.72

Tableau 23 - Erreur relative entre les modules des paramètres S du transistor B9MW simulés du modèle IEMN et mesurés

La différence entre les paramètres S simulés (modèle IEMN) et mesurés en phase est donnée par le Tableau 24 :

fréq	250 MHz - 110 GHz	140 GHz - 155 GHz	155 GHz - 180 GHz	180 GHz - 220 GHz
ΔP_{ij_moy}				
ΔP_{11_moy} (°)	14.1	9.6	24,7	23,8
ΔP_{12_moy} (°)	2.46	14.0	15.1	9.44
ΔP_{21_moy} (°)	4.37	3.45	2.21	6.13
ΔP_{22_moy} (°)	8.04	2.19	2.40	9.24

Tableau 24 - Différence entre les phases des paramètres S du transistor B9MW simulés du modèle IEMN et mesurés

Les modules des paramètres S mesurés du transistor B9MW ne montrent pas de résonance à 160 GHz. Seule une résonance centrée sur 200-220 GHz est constatée sur les modules des 4 paramètres S . Etant donné que cette résonance apparaît aussi sur les mesures

du transistor B5T, son origine est certainement due à l'environnement de mesures en bande G. Le couplage entre le corps de la sonde hyperfréquence et le substrat (*back probe environment*) est une cause probable.

Contrairement au modèle B5T, l'extraction du schéma équivalent est moins satisfaisante sur le transistor B9MW. Les erreurs relatives sur les modules des paramètres S_{11} , S_{21} et S_{22} sont comprises entre 1.7 et 25% en dessous de 180 GHz. Le paramètre S_{12} , du fait de sa faible amplitude (<0.2 en linéaire) est très difficile à modéliser par un schéma équivalent aussi simple et il est plus particulièrement exposé aux erreurs liées à l'épluchage des accès. En effet, en raison des longues lignes d'accès (144 μ m), leur effet distribué a dû être pris en compte dans la modélisation des accès du transistor. Pour cela, nous avons utilisé le modèle de ligne multicouche d'ADS[®]. Sur une ligne de 400 μ m, l'erreur relative entre mesure et modèle sur le module de S_{21} est inférieure à 10% de 130 à 180 GHz, comme le montre la Fig. 76. Plus particulièrement en bande G, en cumulant les erreurs sur la modélisation des lignes d'accès de base et de collecteur, ainsi que sur celle du plot et de la connexion Métal 6 – Métal 1, la précision des mesures de paramètres S corrigées des accès se retrouve grandement affectée de 130 à 220 GHz. De plus, la technologie B9MW étant d'une grande maturité, le modèle HICUM associé s'avère être très fiable au moins jusqu'à 110 GHz. Au-delà, l'imprécision des mesures liée à l'épluchage ne permet pas de valider les modèles.

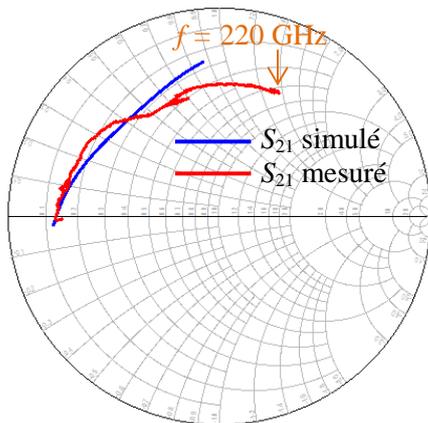


Fig. 75 - Paramètre S_{21} de la ligne microstrip simulé et mesuré de 130 à 220 GHz ;
Dimensions : $w=12.5\mu\text{m}$, $l=400\mu\text{m}$

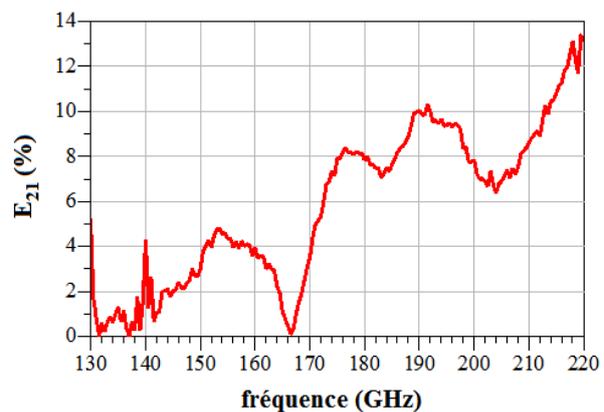


Fig. 76 - Erreur relative liée au paramètre S_{21} en module de la ligne microruban de 130 à 220 GHz ;
Dimensions : $w=12.5\mu\text{m}$, $l=400\mu\text{m}$

Tout comme le montre cet exemple avec le transistor B9MW, la longueur de la ligne d'accès peut être un facteur très pénalisant, à la fois pour l'extraction de paramètres de modèle à partir de mesures et à la fois pour la validation de modèle. Il est donc important de dimensionner de la longueur la plus courte possible (de l'ordre de quelques dizaines de micromètres) pour pouvoir monter en fréquence.

c. Transistor B55

Le modèle petit signal du transistor B55, de même géométrie que le B9MW et le B5T présentés dans les deux sections précédentes, est simulé en paramètres S sous ADS[®]. Il est ensuite comparé à la fois aux mesures de paramètres S et au modèle HICUM (modèle préliminaire MAT5) à même courant de collecteur, et ce jusque 325 GHz (cf. Fig. 77).

	I_B	I_C	V_{BE}	V_{CE}
Modèle IEMN	10 μ A	7.96 mA	901 mV	1.2 V
Modèle HICUM	14.77 μ A	7.994 mA	908 mV	1.2 V

Tableau 25 - Point de polarisation des modèles IEMN et HICUM pour la comparaison de paramètres S

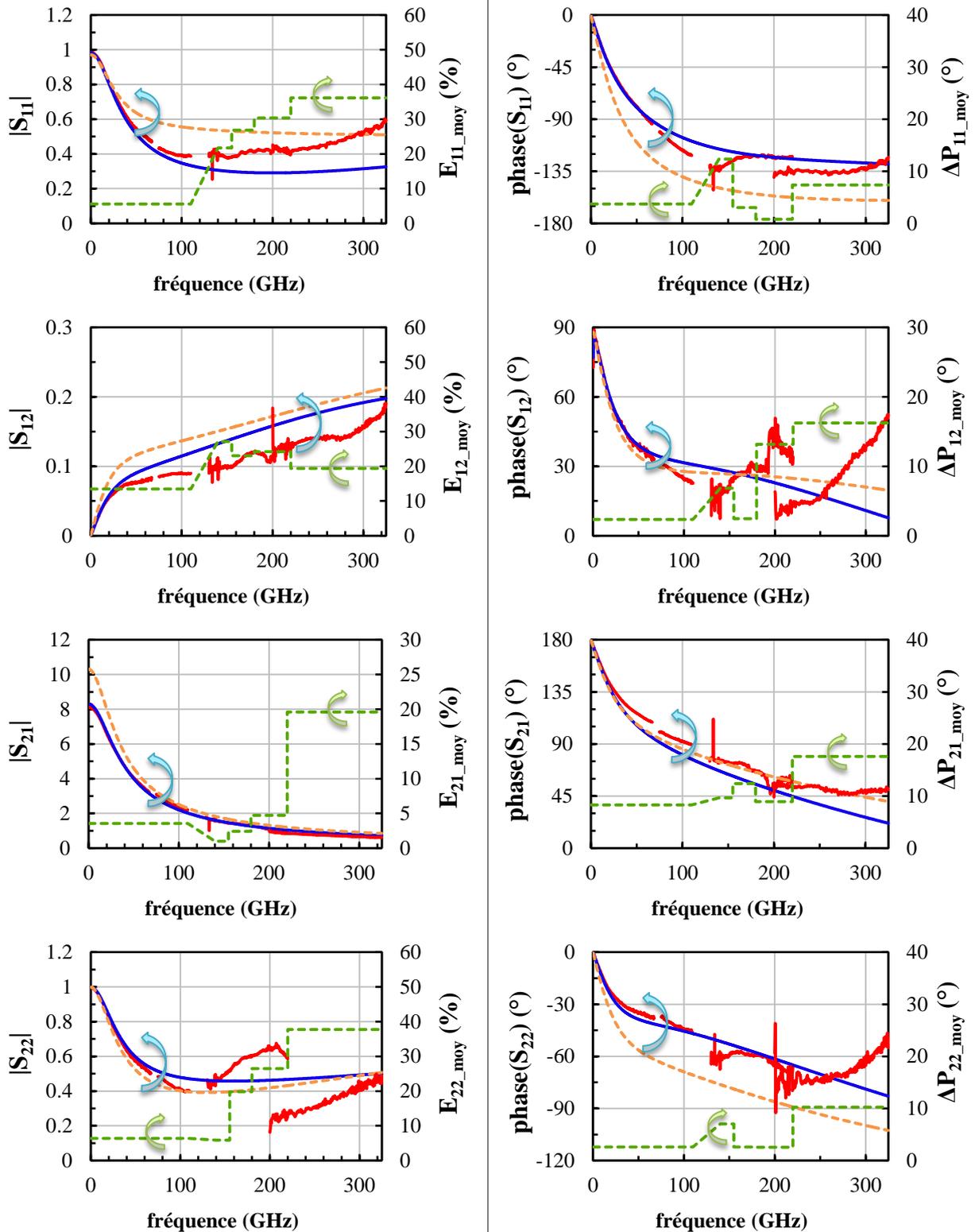


Fig. 77 - Paramètres S en module et phase du transistor B55 sans ses accès, simulés et mesurés jusqu'à 325 GHz
 Géométrie du transistor : B55 CBEBEBC $0.12 \times 4.85 \mu\text{m}^2$; polarisation au pic de f_T : $I_B=10\mu\text{A}$, $I_C=7.96\text{mA}$, $V_{CE}=1.2\text{V}$
 ligne rouge : mesure, ligne bleue : modèle IEMN, pointillés orange : modèle HICUM, pointillés verts : erreur entre le modèle IEMN et les mesures

L'erreur relative entre les modules et la différence sur les phases des paramètres S simulés (modèle IEMN) et mesurés sont respectivement données par le Tableau 26 et le Tableau 27 :

fréq	250 MHz - 110 GHz	140 GHz - 155 GHz	155 GHz - 180 GHz	180 GHz - 220 GHz	220 GHz - 325 GHz
E_{ij_moy}					
E_{11_moy} (%)	5.57	21.7	26.8	30.4	36.1
E_{12_moy} (%)	13.4	27.1	23.1	24.2	19.4
E_{21_moy} (%)	3.57	0.97	2.42	4.73	19.6
E_{22_moy} (%)	6.35	5.85	19.8	26.5	37.7

Tableau 26 - Erreur relative entre les modules des paramètres S du transistor B55 simulés du modèle IEMN et mesurés

fréq	250 MHz - 110 GHz	140 GHz - 155 GHz	155 GHz - 180 GHz	180 GHz - 220 GHz	220 GHz - 325 GHz
ΔP_{ij_moy}					
ΔP_{11_moy} (°)	3.72	12.3	3.03	0.77	7.39
ΔP_{12_moy} (°)	2.35	6.82	2.45	13.2	16.2
ΔP_{21_moy} (°)	8.27	9.67	12.4	8.92	17.6
ΔP_{22_moy} (°)	2.59	7.03	2.61	2.52	10.3

Tableau 27 - Différence entre les phases des paramètres S du transistor B55 simulés du modèle IEMN et mesurés

Grâce à une réduction des dimensions du plot de contact, le transistor B55 a ainsi pu être modélisé jusqu'à 325 GHz. De plus, la méthode d'épluchage par modélisation des accès avec éléments localisés que nous avons utilisée semble suffisante pour corriger les mesures de paramètres S jusqu'à 325 GHz. En effet, pour le transistor B55 sous test, la longueur du plot étant de 36 μ m, soit $\lambda_g/16$ à 300 GHz, reste modélisable par un réseau CLC en π .

Jusqu'en bande G (140 – 220 GHz), les résultats de modélisation petit signal sont assez satisfaisants avec une moyenne sur les erreurs en module des quatre paramètres S de 18% de 140 à 220 GHz.

En bande J (220 – 325 GHz), le gain du transistor B55 est très faible ($f_{max} \approx 320$ GHz). L'erreur moyenne sur les modules en bande J , entre 20 et 38%, est acceptable dans ces conditions difficiles de modélisation. En travaillant davantage à la réduction des dimensions des accès, en particulier la longueur de la ligne d'accès (ici : 90 μ m), cette erreur peut certainement être diminuée. Quant aux phases des paramètres S , elles semblent être très bien modélisées avec une différence inférieure à 18° sur l'intégralité de la bande de fréquence de mesure, de 250 MHz à 325 GHz. Malgré sa simplicité, notre modèle petit signal analytique reste valide pour modéliser le comportement linéaire du transistor bipolaire jusqu'à 325 GHz, dans le cadre de recherche avancée.

En conclusion de ce paragraphe, grâce à une modélisation fine des accès du transistor par des éléments localisés extraits de la mesure, la méthode d'épluchage a permis de mieux maîtriser la correction des mesures de paramètres S de 100 à 220 GHz. L'amélioration de l'épluchage est constatée aussi bien sur l'extraction de paramètres du modèle petit signal que sur sa validation. Au-delà de 220 GHz, des travaux restent à entreprendre sur la correction des mesures et certainement sur l'élaboration d'un modèle petit signal plus complexe. La prise en compte des effets substrat et le partitionnement des éléments de la base comme le fait déjà le modèle HICUM sont des perspectives d'amélioration. Par ailleurs, retenons aussi que pour limiter les phénomènes de couplage difficiles à modéliser et à éplucher des mesures, la réduction des dimensions des accès au transistor reste une solution simple et efficace pour la montée en fréquence.

V. Modélisation en bruit du transistor bipolaire SiGe jusqu'à 170 GHz

Le modèle HICUM n'ayant pas été validé au-delà de 70 GHz, en petit signal et en bruit, pour le transistor B9MW, un travail de modélisation en bruit a été entrepris pour valider l'extraction des quatre paramètres de bruit du transistor B9MW, qui sera présentée au Chapitre 3. Nous décrivons dans un premier temps le modèle de bruit utilisé, puis nous présenterons la procédure de mesure de facteur de bruit nécessaire à la validation du modèle de bruit jusqu'à 170 GHz. Le transistor sous test est le HBT B9MW de géométrie CBEBE, de dimensions réelles $0.12 \times 4.85 \mu\text{m}^2$. Il est polarisé au point optimal de gain, soit : $V_{CE}=1.2\text{V}$, $I_B=44\mu\text{A}$, $I_C=9.25\text{mA}$ et $J_C=16\text{mA}/\mu\text{m}^2$.

V.1. Description du modèle de bruit

Pour un transistor bipolaire à hétérojonction, le bruit RF, appelé également bruit large bande, possède trois contributions :

- le bruit thermique induit par les résistances du composant, en particulier la résistance de base
- le bruit de grenaille associé au courant de base
- le bruit de grenaille associé au courant de collecteur

Le modèle utilisé pour représenter le bruit RF (cf. Fig. 78) est dérivé du modèle de Hawkins [135]. Des sources de bruit non corrélées sont ajoutées dans la jonction base-collecteur et dans la jonction base-émetteur au schéma équivalent petit signal extrait dans le paragraphe III. e_e représente la source de tension de bruit d'émetteur et i_C est la source de courant de bruit de collecteur. Le courant de bruit de collecteur est seulement corrélé au courant de bruit d'émetteur par le biais du gain en courant en base commune $\underline{\alpha}$, puisqu'une fraction α du courant d'émetteur est transmise au collecteur. Pour le modèle d'Hawkins, i_C est décorrélié du générateur e_e . Les fluctuations quadratiques moyennes pour ces deux sources de bruit sont données ci-dessous :

$$\overline{i_C^2} = 2kT \frac{\alpha_0 - |\underline{\alpha}|^2}{r_{be}} \Delta f \quad \text{Eq-81}$$

$$\overline{e_e^2} = 4kT r_{be} \Delta f \quad \text{Eq-82}$$

Ces sources de bruit sont exprimées en fonction des paramètres du schéma équivalent petit signal $\underline{\alpha}$ et r_{be} . La dépendance en fréquence provient essentiellement du terme $\underline{\alpha}$.

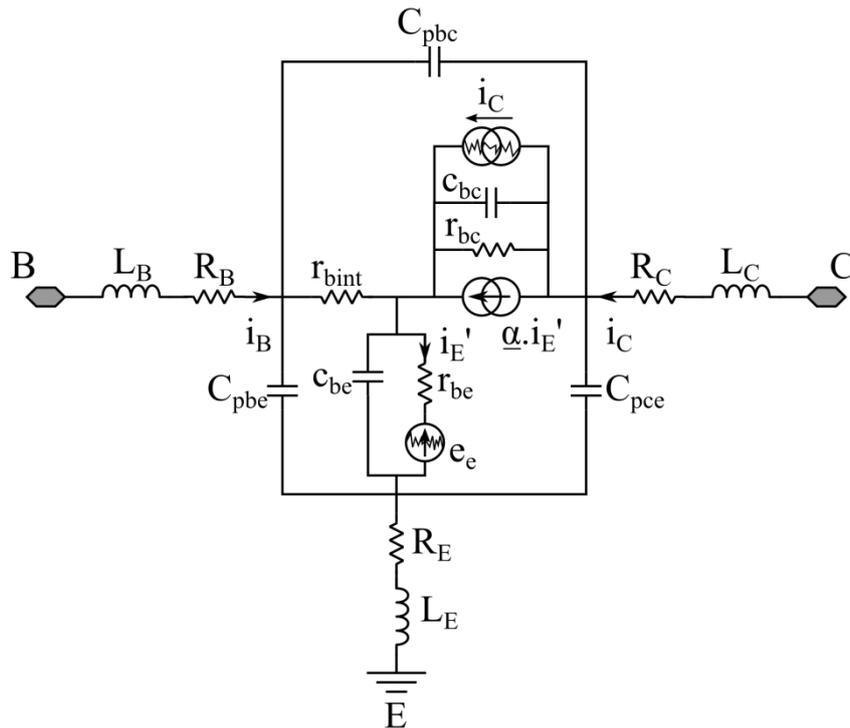


Fig. 78 - Modèle bruit de type Hawkins du transistor bipolaire à hétérojonction, montage émetteur commun, avec des sources de bruit i_c et e_e non corrélées

L'extraction précise des éléments du modèle petit signal s'avère donc cruciale pour la modélisation en bruit du transistor. La validation du modèle de bruit repose ensuite sur la comparaison entre les facteurs de bruit sous impédance 50Ω simulés aux facteurs de bruit mesurés sous 50Ω à plusieurs points de fréquence.

V.2. Mesures de facteur de bruit

a. Bancs de mesure de facteur de bruit

L'IEMN dispose de trois bancs de mesure de facteur de bruit :

- un premier banc couvre la bande 6 – 43 GHz, avec deux montages différents pour la transposition en fréquence (mélangeur à modifier entre les bandes 6 – 20 GHz et 20 – 43 GHz, pour tenir compte des bandes de fréquences limitées des isolateurs utilisés à l'entrée du récepteur de bruit côté RF)
- un deuxième banc s'étend de 75 à 110 GHz, ce qui correspond à la bande *W*
- un troisième banc permet la mesure de bruit de 130 à 170 GHz, soit sur une partie de la bande *D* (110 – 170 GHz)

Ces trois bancs utilisent le même mesureur de bruit HP[®] 8970, mais leur système de transposition en fréquence et la source de bruit diffèrent. Nous allons nous intéresser plus particulièrement au banc de mesure de bruit bande *D* (cf. photographies en Fig. 79 et Fig. 80), dont le récepteur a été développé au cours d'une thèse à l'IEMN en collaboration avec STMicroelectronics [133]. La synoptique du banc de mesure de bruit en bande *D* est détaillée en Fig. 81.

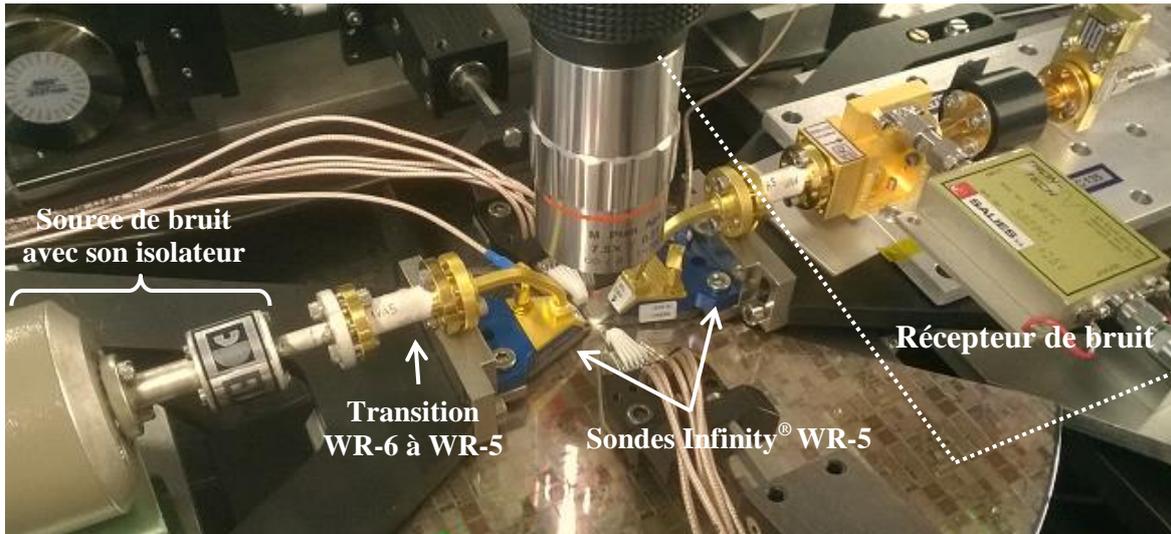


Fig. 79 - Photographie du banc de mesure de bruit en bande *D* (130 – 170 GHz)

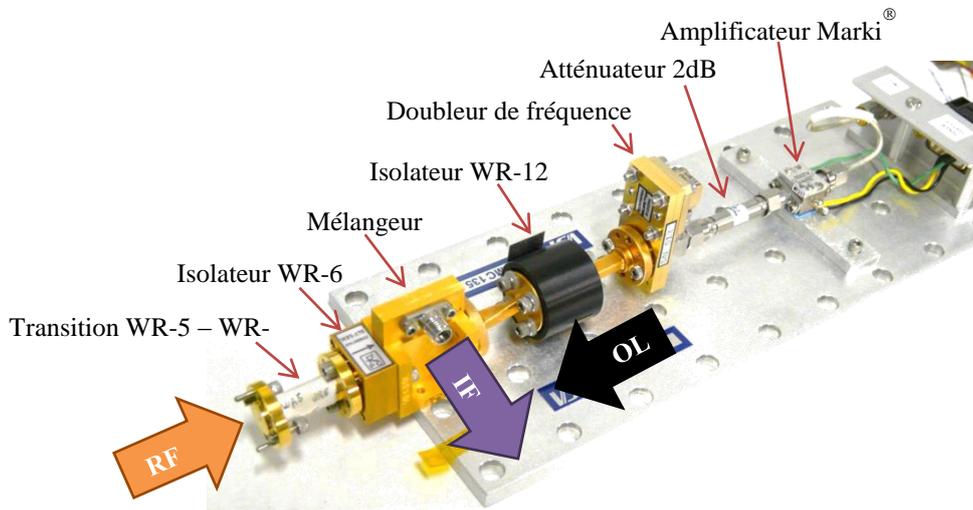


Fig. 80 - Photographie du récepteur de bruit en bande *D* (130 – 170 GHz)

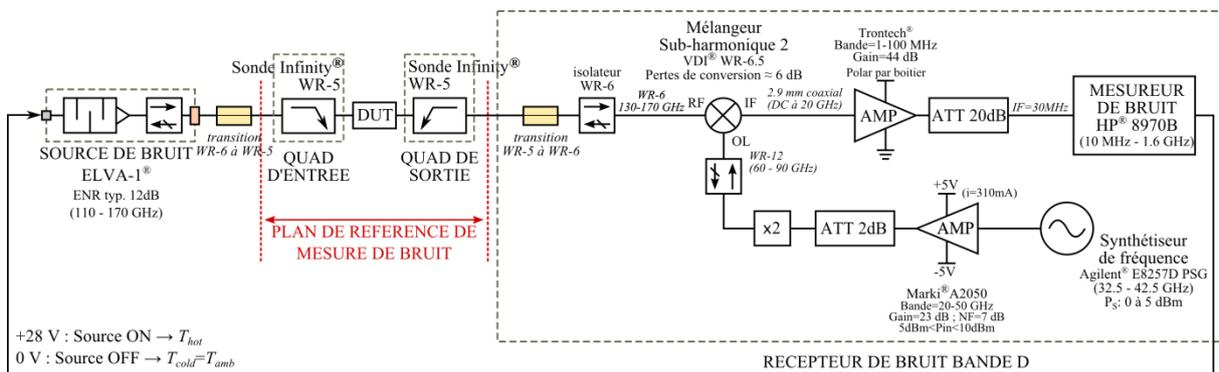


Fig. 81 - Synoptique du banc de mesure de facteur de bruit sous 50Ω (F_{50}) en bande *D* (130 - 170 GHz)

Ce banc inclut d'abord une source de bruit à l'état solide avec un rapport de bruit en excès (*ENR*) de 12 dB. Puis, un dispositif sous test (*DUT*) sur une tranche de silicium est contacté par des sondes Infinity® WR-5 (140-220 GHz). Enfin, un récepteur de bruit assure la conversion basse fréquence du signal RF en un signal IF traité par le mesureur de bruit HP® 8970.

La source de bruit possède deux niveaux de température équivalente de bruit, T_{cold} et T_{hot} , respectivement activées par une commande en tension de 0V et +28V envoyée par le mesureur de bruit à la source de bruit. Pour chaque point de fréquence, le mesureur de bruit, piloté par un programme IC-CAP[®], actionne l'un et l'autre niveau de bruit et détecte la puissance totale de bruit en sortie du récepteur.

b. Calibrage du récepteur de bruit et mesure de facteur de bruit

Afin de retirer la contribution en bruit du récepteur de bruit (abaisseur de fréquence + mesureur de bruit), une étape de calibrage est nécessaire. Elle consiste à déterminer la température équivalente de bruit du récepteur de bruit en connectant directement la source de bruit au récepteur de bruit (cf. Fig. 82-a).

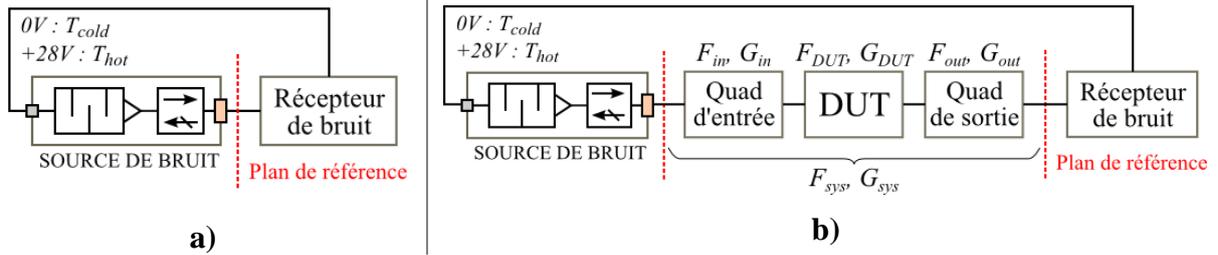


Fig. 82 - Banc de mesure de bruit : a) en configuration de calibrage du récepteur de bruit; b) en configuration de mesures de F_{50} sous pointes

Dans la configuration de calibrage, à chaque point de fréquence de la bande de mesure, le mesureur de bruit actionne les deux températures de bruit de la source, mesure le facteur Y_{rec} et en déduit la température T_{rec} qui sera stockée en mémoire. En mode « calibré », le mesureur de bruit retranche le facteur de bruit du récepteur F_{rec} de toute mesure à chaque point de fréquence de sa bande de calibrage. La température de la source de bruit à l'état froid, T_{cold} , correspond à sa température physique, soit la température ambiante. La température à l'état chaud, T_{hot} , est déduite par le mesureur de bruit des valeurs de l'ENR à chaque point de fréquence qui lui ont été rentrées en mémoire (données du constructeur). Les expressions de chaque grandeur sont données ci-dessous :

$$ENR = \frac{T_{hot}^{source} - T_{cold}^{source}}{T_0} \Rightarrow T_{hot}^{source} = ENR \times T_0 + T_{cold}^{source} \quad \text{Eq-83}$$

$$Y_{rec} = \frac{P_{hot}^{rec}}{P_{cold}^{rec}} = \frac{T_{hot}^{source} + T_{rec}}{T_{cold}^{source} + T_{rec}} \quad \text{Eq-84}$$

$$T_{rec} = \frac{T_{hot}^{source} - Y_{rec} T_{cold}^{source}}{Y_{rec} - 1} \quad \text{Eq-85}$$

$$F_{rec} = 1 + \frac{T_{rec}}{T_0} \quad \text{Eq-86}$$

avec T_0 , la température de référence de bruit : $T_0 = 290$ K

Les quadripôles d'entrée et de sortie représentent la contribution des sondes en entrée et sortie du *DUT*. Etant donné que l'ENR de la source de bruit est définie par le constructeur directement à la sortie de l'isolateur, les deux transitions WR-6/WR-5 et WR-5/WR-6 sont volontairement incluses dans le calibrage du récepteur de bruit. Cet artifice permet de retirer automatiquement la contribution en bruit de la transition WR-6/WR-5 en configuration de mesure de bruit sous pointes avec le *DUT*, après calibrage du récepteur.

En configuration de mesure de bruit sous pointes avec un dispositif sous test (cf. Fig. 82-b), le facteur de bruit du système « quadripôle d'entrée + DUT + quadripôle de sortie » (noté F_{50}) est retourné par le mesureur de bruit calibré. Le calcul interne est en réalité composé de la mesure du facteur Y du système avec le récepteur, suivi du calcul du gain du système, puis de sa température équivalente et enfin de son facteur de bruit. La procédure est décrite par les équations 87 à 90 :

$$T_{sys+rec} = \frac{T_{hot}^{source} - Y_{sys+rec} T_{cold}^{source}}{Y_{sys+rec} - 1} \quad \text{Eq-87}$$

$$G_{sys} = \frac{P_{hot}^{sys+rec} - P_{cold}^{sys+rec}}{P_{hot}^{rec} - P_{cold}^{rec}} \quad \text{Eq-88}$$

$$T_{sys} = T_{sys+rec} - \frac{T_{rec}}{G_{sys}} \quad \text{Eq-89}$$

$$F_{sys} = 1 + \frac{T_{sys}}{T_0} \quad \text{Eq-90}$$

Pour s'assurer que les facteurs de bruit mesurés sont bien au-dessus du seuil de détection du récepteur de bruit, nous calculons le produit $F_{sys} \times G_{sys}$ ainsi que le seuil de détection du récepteur de bruit (*Input Minimum Detectable Signal*, MDS_{in}) (cf. Fig. 83). Rappelons que le MDS_{in} du récepteur de bruit est égal au facteur de bruit du récepteur avec une marge de 3dB (cf. calcul du MDS_{in} au Chapitre 1 - §IV.2.a).

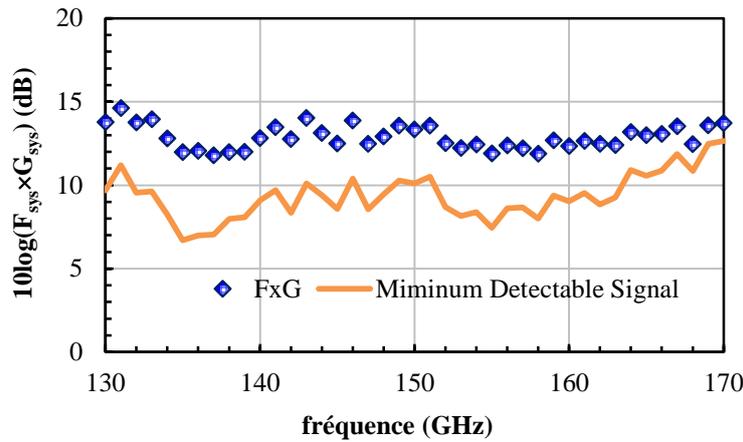


Fig. 83 - Produit $F_{sys} \times G_{sys}$ et MDS_{in} du récepteur de bruit en fonction de la fréquence, de 130 à 170 GHz

Le produit $F_{sys} \times G_{sys}$ est bien supérieur au MDS_{in} du récepteur de bruit pour tous les points de fréquence entre 130 et 170 GHz. Nous pouvons donc avoir un certain degré de confiance sur ces points de mesure de facteur de bruit et poursuivre notre étude avec leur correction.

c. Correction des mesures de facteur de bruit

Pour remonter au facteur de bruit du transistor sous test, F_{DUT} , à partir de la mesure de F_{sys} , il faut connaître les gains disponibles des quadripôles d'entrée et de sortie. En effet, le facteur de bruit d'un quadripôle passif s'exprime uniquement en fonction de son gain disponible, de la température ambiante et de la température de référence de bruit :

$$F_{passif} = 1 + \left(\frac{1}{G_{passif}} - 1 \right) \cdot \frac{T_{amb}}{T_0} \quad \text{Eq-91}$$

Le gain disponible d'un quadripôle étant calculé à partir de son coefficient de réflexion de source et de ses paramètres S (cf. Eq-86 et Eq-87), nous avons finalement besoin de mesurer :

- le coefficient de réflexion de la source de bruit
- les paramètres S des quadripôles d'entrée et de sortie
- les paramètres S du dispositif sous test (ici, un transistor bipolaire)

$$G_{av} = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)}{|1 - \Gamma_s S_{11}|^2 (1 - |\Gamma_{out}|^2)} \quad \text{Eq-92}$$

$$\text{avec } \Gamma_{out} = S_{22} + \frac{S_{12} S_{21} \Gamma_s}{1 - S_{11} \Gamma_s} \quad \text{Eq-93}$$

où Γ_s est le coefficient de réflexion du générateur
 Γ_{out} est le coefficient de réflexion en sortie du quadripôle

Une campagne de mesures de bruit est donc fastidieuse puisqu'elle implique une campagne de mesures de paramètres S pour connaître tous les éléments qui constituent le banc de mesure de bruit, dans toute la gamme de fréquence considérée.

L'impédance de référence du banc de mesure de bruit est naturellement proche de 50Ω . Le coefficient de réflexion de la source de bruit, Γ_s , est proche de 0 en module (0.06 en moyenne entre 130 et 170 GHz). Après un calibrage deux ports de type *TRM* (*Thru-Reflect-Match*) en guide d'onde de l'analyseur de réseau vectoriel de 130 à 220 GHz, Γ_s est déterminé par une mesure à un seul port.

Grâce à un calibrage *LRRM* de l'analyseur de réseau sur substrat d'alumine *ISS* de 130 à 220 GHz, les quadripôles d'entrée et de sortie sont déterminés par des mesures à un port réalisées sur trois étalons de référence en guide WR-5. Nous utilisons pour déterminer ces quadripôles d'erreur la méthode *SOL* (*Short-Open-Load*), basée sur le modèle à 3 termes d'erreur et dont la procédure de mesures et l'implémentation dans IC-CAP® sont décrites dans [162].

Enfin, les paramètres S du transistor sont mesurés sous pointes. Le calibrage *LRRM* sur *ISS* effectué au préalable lors de la détermination des quadripôles d'entrée et de sortie est en général mis à profit.

Le facteur de bruit du transistor est finalement déduit grâce à l'équation suivante :

$$F_{DUT} = 1 + G_{in} (F_{sys} - F_{in}) - \frac{F_{out} - 1}{G_{DUT}} \approx F_{sys} G_{in} - \frac{1 - G_{out}}{G_{DUT} G_{out}} \quad \text{Eq-94}$$

V.3. Validation du modèle de bruit

Afin de valider la modélisation en bruit, nous procédons à une comparaison de facteur de bruit entre mesure et modèle.

Le modèle de bruit de type Hawkins étant dans le plan du transistor sans ses accès, soit au niveau Métal 1, les mesures doivent être ramenées dans le même plan. Pour ce faire, les accès de base et de collecteur, modélisés pour l'épluchage du transistor, sont inclus

respectivement dans les quadripôles d'entrée et de sortie. Le facteur de bruit du transistor est ainsi ramené au niveau Métal 1.

L'impédance de source à la sortie de la source de bruit est certes proche de 50Ω , mais dans le plan Métal 1, elle varie de 27 à 70Ω comme le montre la Fig. 84. Les sources de bruit WR-10 (bande W) et WR-6 (bande D) comportent bien un isolateur pour éviter ce phénomène de désadaptation.

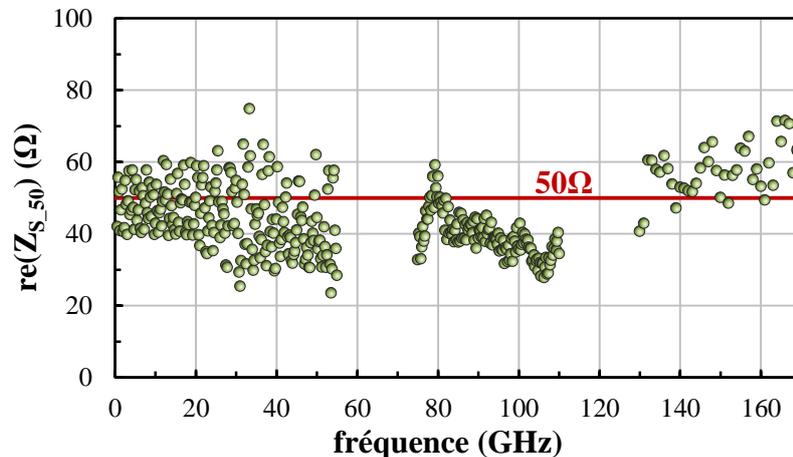


Fig. 84 - Partie réelle de l'impédance de source dans le plan Métal 1

Le modèle de bruit doit être impérativement simulé sous l'impédance de source dans le plan Métal 1 pour être dans les mêmes conditions que la mesure de facteur de bruit. Ainsi, le facteur de bruit du transistor sans ses accès, dans le plan Métal 1, est obtenu grâce à une simulation de bruit sous ADS® à partir de notre modèle Hawkins et du modèle HICUM du Design Kit B9MW, de 500 MHz à 170 GHz. La plage de mesure de facteur de bruit s'étend de 6 à 170 GHz.

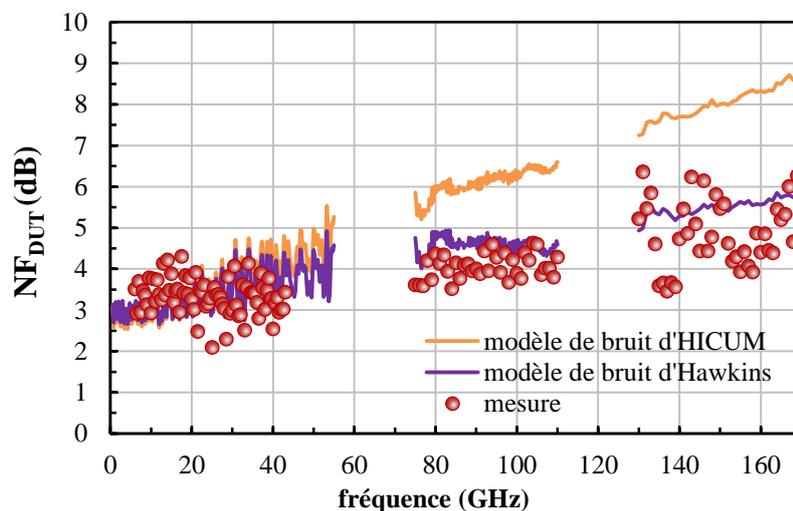


Fig. 85 - Facteur de bruit mesuré et simulé du transistor sans ses accès
géométrie du transistor : B9MW CBEBC $0.12 \times 4.85 \mu\text{m}^2$; $V_{CE}=1.2\text{V}$, $I_C=9.25\text{mA}$ ($I_{B_mesure}=44\mu\text{A}$)

L'accord apparent entre la mesure et le modèle d'Hawkins jusqu'à 170 GHz a pu être obtenu en ajustant la valeur de c_{be} , passant de 100fF à 30fF . Cette réduction sur c_{be} implique directement une augmentation de la fréquence du gain en courant f_a , autrement dit une diminution du temps de transit des électrons de la base dans le collecteur. Le modèle de bruit d'Hawkins est en réalité limité en fréquence : un ajustement sur le temps de transit est

nécessaire au-delà de 40 GHz. La consistance entre le schéma équivalent petit signal (SEPS) extrait des paramètres S mesurés et le SEPS utilisé pour ajuster le facteur de bruit à partir du modèle d'Hawkins est donc perdue à haute fréquence. L'illustration est faite sur le module du paramètre S_{21} du transistor sans ses accès, mesuré et simulé pour les différents cas précités :

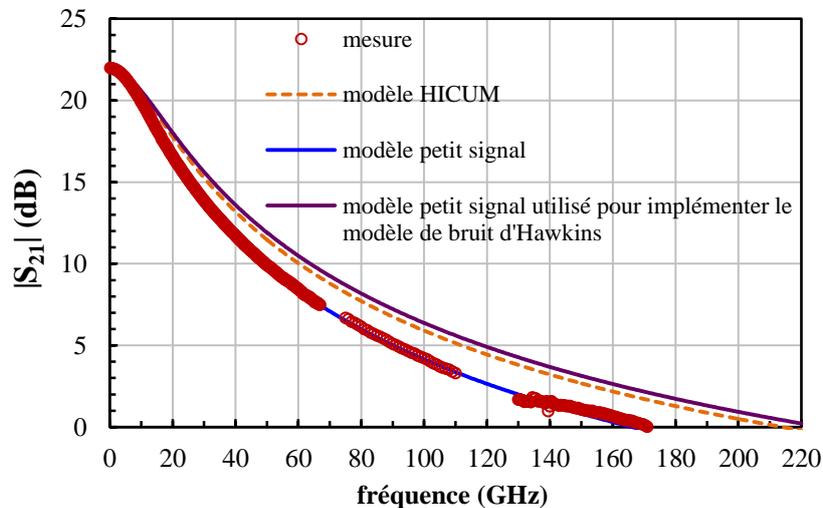


Fig. 86 - Module de S_{21} en dB mesuré et simulé du transistor sans ses accès jusqu'à 220 GHz
géométrie du transistor : B9MW CBEBE $0.12 \times 4.85 \mu\text{m}^2$; $V_{CE}=1.2\text{V}$, $I_C=9.25\text{mA}$ ($I_{B_mesure}=44\mu\text{A}$)

Une différence moyenne de 2 dB est constatée sur le module de S_{21} entre le SEPS utilisé pour implémenter le modèle de bruit Hawkins et le modèle petit signal de 250 MHz à 220 GHz. Au même point de polarisation, le modèle HICUM affiche une différence moyenne de 1.7 dB de 250 MHz à 220 GHz.

Néanmoins, malgré son manque d'auto-consistance à haute fréquence entre le comportement petit signal et bruit, le modèle de bruit d'Hawkins reste une bonne alternative au modèle HICUM, qui ne semble plus valide à partir de 75 GHz. La rapidité de sa mise en œuvre est indéniable puisqu'il faut seulement ajouter deux sources de bruit au schéma équivalent petit signal. L'ajustement d'un seul paramètre du schéma équivalent est requise pour s'accorder avec les mesures de facteur de bruit jusqu'à 170 GHz. Les quatre paramètres de bruit F_{min} , R_n et Γ_{opt} en module et phase, peuvent donc être estimés à partir de ce modèle de bruit.

VI. Conclusion du Chapitre 2

Au cours de ce deuxième chapitre, nous avons abordé les aspects de mesure et modélisation, à la fois en régime petit signal et en bruit RF.

Les méthodes de correction de mesures ont été discutées et une nouvelle approche en matière d'épluchage des accès du transistor a été proposée. Son efficacité par rapport aux techniques conventionnelles, telle que la méthode *Open-Short*, a été démontrée en bande G .

Cette nouvelle procédure d'épluchage a été utilisée pour la modélisation petit signal et bruit du transistor bipolaire. Un transistor de même topologie dans trois technologies BiCMOS successives (B9MW, B5T et B55) a servi de véhicule de test et a été polarisé au maximum de gain pour être dans les conditions optimales de mesure en paramètres S et bruit. L'extraction des paramètres du schéma équivalent a été effectuée à partir des paramètres S mesurés et épluchés avec la nouvelle technique d'épluchage jusqu'à 110 GHz. Puis, l'extrapolation du modèle petit signal et la comparaison avec les paramètres S mesurés et

épluchés, également avec la nouvelle technique d'épluchage, a montré une précision satisfaisante jusqu'à 220 GHz. Des mesures de paramètres S jusqu'à 325 GHz sur le transistor B55 ont été permises par une réduction de l'écartement des plots compatible avec les sondes RF de l'IEMN en bande J ($pitch = 50 \mu\text{m}$). La comparaison entre le modèle petit signal et la mesure du transistor B55 de 220 à 325 GHz est relativement satisfaisante. En effet, les paramètres S épluchés restent peu précis à de si hautes fréquences et ne permettent pas une validation réelle du modèle extrait. Néanmoins, ces résultats en terme de modélisation petit signal de transistor bipolaire SiGe jusqu'à 325 GHz sont très encourageants et des pistes de consolidation ont été identifiées. Un redimensionnement des accès du transistor, notamment une réduction de la longueur des lignes d'accès, est nécessaire pour améliorer davantage la précision de l'épluchage jusqu'à 325 GHz. Le modèle petit signal utilisé reste également très basique. Il gagnerait en précision avec un partitionnement de la résistance de base intrinsèque pour tenir compte d'éventuels effets haute fréquence.

La modélisation en bruit avec un modèle de type Hawkins, utilisant des sources de bruit non corrélées, s'avère limitée en fréquence (validité jusqu'à 40 GHz). Un ajustement du temps de transit des porteurs entre la base et le collecteur est nécessaire pour avoir un bon accord entre le facteur de bruit simulé et mesuré sous une impédance proche de 50Ω jusqu'à 170 GHz. Avec cet ajustement, le modèle de bruit d'Hawkins est une alternative intéressante au modèle HICUM. Il sera ainsi mis à profit dans le Chapitre 3 car il offre un moyen de validation indépendant à l'extraction des quatre paramètres de bruit du transistor B9MW avec un *tuner in situ* jusqu'à 170 GHz.

Chapitre 3 :

*Caractérisation en bruit de
transistors bipolaires à
hétérojonction SiGe jusqu'à
170 GHz*

I. Introduction du Chapitre 3

Au cours du deuxième chapitre, des mesures hyperfréquences réalisées sur les dernières générations de transistor bipolaire à hétérojonction SiGe (B5T et B55) ont montré des fréquences de transition de l'ordre de 300 GHz. En plus de ses performances fréquentielles relativement élevées pour la filière silicium, le transistor bipolaire à hétérojonction SiGe possède aussi des caractéristiques intéressantes pour le bruit. En effet, le facteur de bruit minimum d'un transistor bipolaire est d'autant plus faible que sa fréquence de transition est grande. Ceci laisse présager des performances en bruit très intéressantes sur les dernières générations de transistors pour la conception de circuits tels que des amplificateurs faible bruit.

La caractérisation en bruit d'un transistor bipolaire implique nécessairement de connaître ses quatre paramètres de bruit, NF_{min} , R_n et Γ_{opt} en module et phase. L'extraction des quatre paramètres de bruit est réalisable en ayant recours à la méthode multi-impédance avec un *tuner* d'impédance. Au-delà de 75 GHz, les *tuners* mécaniques du commerce sont limités en terme de couverture de l'abaque de Smith en raison de l'accumulation des pertes dans la connectique jusqu'au transistor contacté sous pointes. Une solution alternative est de concevoir un *tuner* sur silicium, intégré avec le transistor sous test.

Grâce aux travaux de thèse de Laurent Poulain [133], un banc de mesures de bruit 130 – 170 GHz a été installé à l'IEMN et des *tuners in situ* ont été conçus en technologie B9MW pour l'extraction de paramètres de bruit de transistor en bande D (130 – 170 GHz). Le transistor sous test est un transistor bipolaire de référence de la technologie B9MW, avec une largeur réelle d'émetteur de 0.12 μm et une longueur réelle d'émetteur de 4.85 μm . Les *tuners in situ* en B9MW ont été mesurés en paramètres S et des prémices de résultats sur l'extraction des paramètres de bruit du transistor ont pu être obtenues au point de polarisation optimal en gain.

Dans un premier temps, l'un des objectifs de ce travail de thèse en matière de caractérisation en bruit de transistors bipolaires de technologie BiCMOS a été de mettre à profit ces *tuners in situ*, disponibles et pleinement fonctionnels afin de consolider les résultats préliminaires obtenus. L'extraction des quatre paramètres de bruit à l'aide d'un *tuner* intégré fait l'objet en partie de ce troisième chapitre. Des mesures en paramètres S en bande G (140 – 220 GHz) et des mesures de bruit en bande D (130 – 170 GHz) ont été réalisées pour la constellation entière d'impédance des *tuners* et à plusieurs points de polarisation autour de l'optimum en gain. Les quatre paramètres de bruit du transistor ont été extraits avec succès dans l'intégralité de la bande 130 – 170 GHz. Nous avons également tiré avantage de la nouvelle technique d'épluchage développée en début de thèse pour comparer dans le même plan, au niveau du Métal 1 (M1), les résultats d'extraction des paramètres de bruit obtenus et le modèle de bruit d'Hawkins extrait pour le transistor seul (cf. Chapitre 2 - §V). De plus, un calcul d'erreur sur la mesure de bruit du transistor est proposé pour estimer l'incertitude sur les valeurs de paramètres de bruit du transistor B9MW extraites pour la première fois si haut en fréquence. Par ailleurs, un autre moyen de validation indépendant pour l'extraction des quatre paramètres de bruit en bande D est la comparaison entre le facteur de bruit recalculé à partir des quatre paramètres de bruit extrait et celui mesuré, dans le plan M1. Cette comparaison a été réalisée pour deux coefficients de réflexion de source très différents et a permis d'éprouver la robustesse de l'algorithme de Lane vis-à-vis de la constellation d'impédance de source utilisée.

Cependant, malgré l'obtention de résultats pour la caractérisation en bruit de transistor bipolaire, les niveaux de puissance de bruit sont tout de même en limite de la sensibilité de l'instrument de mesure de bruit en bande D (cf. Chapitre 1 - §III.2.a). L'intégration d'un amplificateur devant le *tuner in situ* pour augmenter le gain de chaîne et ainsi augmenter le niveau de puissance de bruit à mesurer a suscité tout notre intérêt. Une démarche de conception d'amplificateur en bande G a donc été entreprise. La nouvelle technologie BiCMOS de production B55 a été choisie pour la conception de circuits dans le but de caractériser en bruit le transistor bipolaire de cette même technologie. L'architecture du *tuner in situ* en B9MW a de ce fait dû être transposée en B55 afin de bénéficier du travail déjà réalisé sur l'extraction des quatre paramètres de bruit du transistor B9MW en bande D . Nous présenterons donc dans la deuxième partie de ce chapitre les circuits réalisés pour obtenir un système intégré 'amplificateur + *tuner*' dédié à la caractérisation en bruit du transistor B55 en bande D .

II. Extraction des quatre paramètres de bruit de 130 à 170 GHz du transistor B9MW

II.1. Architecture du tuner d'impédance B9MW en bande D

L'architecture du *tuner in situ* est basée sur l'utilisation d'une ligne de transmission 50Ω chargée par une capacité digitale de type *DTC* ('Digitally Tunable Capacitance'). L'architecture de la *DTC* a été développée par Romain Debroucke [163]. Avec cinq bits de contrôle à deux niveaux de tension (0 ou 1.2V), la *DTC* génère jusqu'à 32 états d'impédance différents. Par rapport au varactor MOS à accumulation, la *DTC* présente un meilleur rapport C_{max}/C_{min} : 9 pour la *DTC* contre 1.8 pour un varactor MOS à 75 GHz. Une meilleure couverture d'abaque est donc atteinte avec un tuner à base de *DTC* qu'avec un tuner à base de varactor.

La stabilité du transistor sous test étant un aspect important à prendre en compte, une capacité de liaison de 300fF est insérée entre la *DTC* et la ligne de transmission 50Ω afin de masquer la *DTC* à basse fréquence et ainsi présenter 50Ω au transistor sous test. En effet, le gain du transistor étant maximal à basse fréquence, il est fortement instable à basse fréquence. L'idée d'obtenir un tuner qui revient à 50Ω en dehors de sa plage d'utilisation est inspirée du fonctionnement des tuners mécaniques du commerce.

Trois *tuners* ont été conçus par Laurent Poulain en technologie B9MW pour couvrir différentes zones d'impédance en bande D . Pour chaque *tuner*, une version du *tuner* seul et une version du *tuner* intégré avec le transistor ont été fabriquées. Dans la bande 130 – 170 GHz, les pertes d'insertion de ces *tuners* varient entre 2 et 5.2 dB pour l'ensemble des positions. Leurs coefficients de réflexion ont été mesurés et une correction est faite sur les mesures afin de ramener les coefficients de réflexion dans le plan du transistor sans ses accès au Métal 1. La constellation de ces coefficients de réflexion de source pour les trois *tuners* est représentée à la Fig. 87. Sur cette même figure, le modèle HICUM permet de situer le coefficient de source optimal en bruit du transistor sous test. L'intégration du *tuner* avec le transistor se fait par une connexion de Métal 6 à Métal 1 comme le montre la photographie en Fig. 88 et le schéma de la Fig. 89.

L'extraction des quatre paramètres de bruit de 130 à 170 GHz du transistor bipolaire B9MW mène aux mêmes résultats sur les trois *tuners*. Nous avons donc concentré l'exploitation des mesures sur un seul *tuner* : le *tuner VI*.

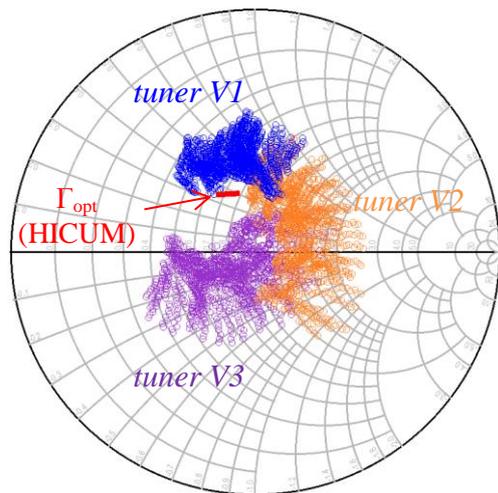


Fig. 87 - Impédances synthétisées par les 3 *tuners* B9MW et coefficient de source optimal du transistor simulé à partir du modèle HICUM de 130 à 170 GHz dans le plan M1

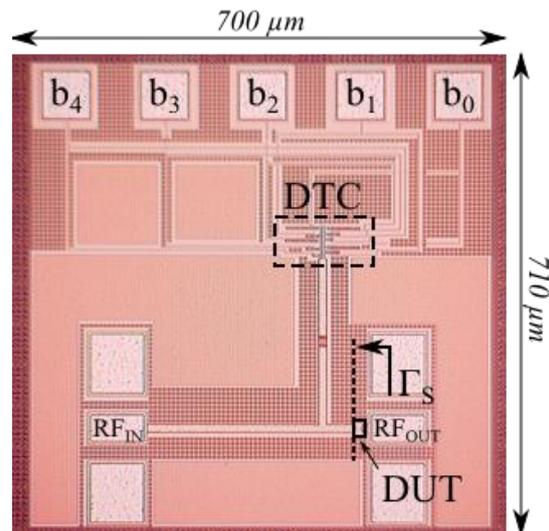


Fig. 88 - Photographie du système intégré multi-impédance bande *D* (*tuner* VI) dédié à l'extraction des 4 paramètres de bruit du transistor bipolaire B9MW

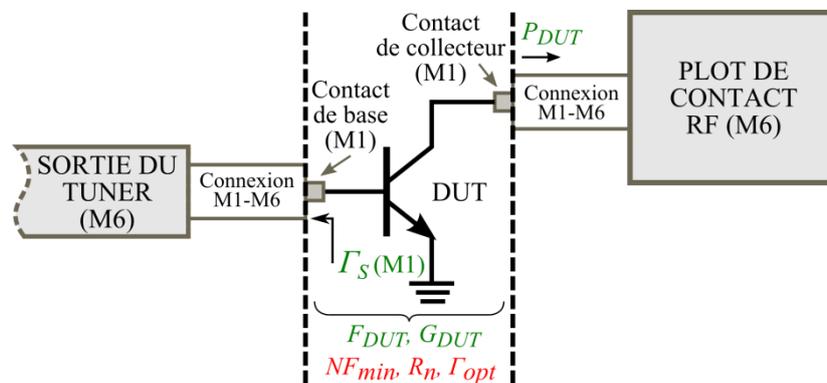


Fig. 89 - Schéma du système intégré multi-impédance : le transistor est directement connecté à la sortie du *tuner* par le biais d'une connexion Métal 6 – Métal 1, les paramètres de bruit sont extraits dans le plan Métal 1

II.2. Mesures de bruit multi-impédance

Le banc de mesure de bruit multi-impédance, représenté à la Fig. 90, utilise le même récepteur de bruit et source de bruit que le banc de mesure de facteur de bruit présenté dans le Chapitre 2 - §V.2. La source de bruit à l'état solide ELVA-1[®] est seulement utilisée pour calibrer le récepteur de bruit (cf. plan de référence de mesure de bruit sur la Fig. 90). Autrement, elle est continuellement à son état *OFF* afin d'utiliser la méthode source froide (V. Adamian, 1973, [127]). Des sondes RF en guide d'onde WR-5 (140 – 220 GHz) sont utilisées et deux transitions WR-5/WR-6 permettent de connecter la source de bruit en entrée et le récepteur en sortie. Le changement de bande de fréquence peut entraîner une dégradation de la précision de mesure dans la partie inférieure de la bande *D* (130 – 140 GHz). Les positions du *tuner in situ* sont contrôlées automatiquement grâce à des alimentations programmables pilotées par un programme IC-CAP[®] spécialement développé pour cette application. L'automatisation du banc de mesure avec le *tuner in situ* a en effet considérablement réduit le temps de mesure. Elle a permis de balayer l'ensemble des 32 positions du *tuner* de manière automatique, au lieu d'être contraints à se limiter à quelques points d'impédance positionnés manuellement avant nos travaux de thèse.

Pour chaque position du *tuner*, les puissances de bruit du système intégré multi-impédance sont mesurées de 130 à 170 GHz, par pas de 1 GHz. Le transistor sous test correspond au HBT B9MW [15] de configuration CBECB avec des dimensions réelles de $0.12 \times 4.85 \mu\text{m}^2$. Le pic f_{max} (290 GHz) et le pic f_T (230 GHz) de ce transistor sont respectivement atteints à des densités de courant de collecteur de $J_C=21\text{mA}/\mu\text{m}^2$ et $J_C=17\text{mA}/\mu\text{m}^2$. Le transistor est polarisé à une tension collecteur-émetteur de 1.2V et sept valeurs de densités de courant de collecteur allant de 14 à 29 $\text{mA}/\mu\text{m}^2$. Les puissances de bruit mesurées sont comprises entre 2 et 5 dB au-dessus du plancher de bruit de référence (-174 dBm/Hz), et ce pour tous les états d'impédance du tuner et tous les points de fréquence.

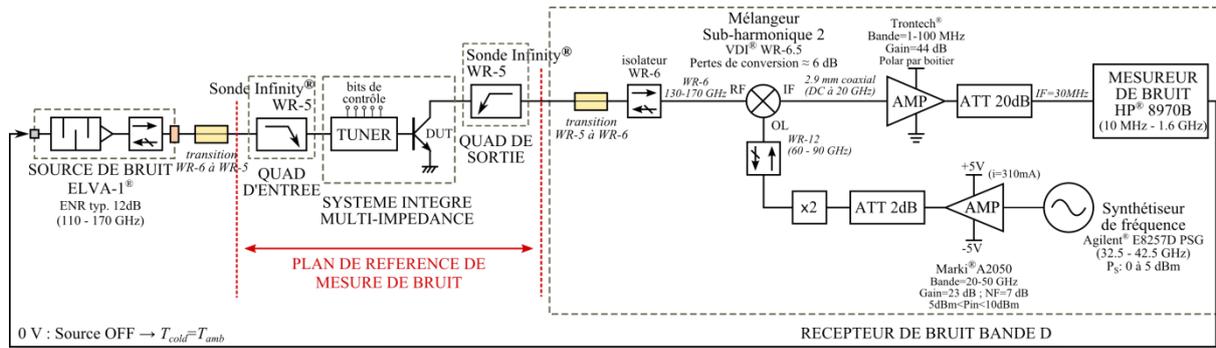


Fig. 90 - Synoptique du banc de mesures de bruit avec tuner d'impédance en bande D (130 – 170 GHz)

II.3. Procédure d'extraction des quatre paramètres de bruit

Les quatre paramètres de bruit du transistor sont extraits en utilisant la méthode source froide, basée sur l'équation 95 et associée à l'algorithme de Lane [126].

$$F_{DUT}(\Gamma_S) = F_{\min} + \frac{4R_n}{Z_0} \cdot \frac{|\Gamma_{opt} - \Gamma_S|^2}{|1 + \Gamma_{opt}|^2 \cdot (1 - |\Gamma_S|^2)} = \frac{P_{av,DUT}(\Gamma_S)}{G_{DUT}(\Gamma_S) \cdot k \cdot T_0 \cdot \Delta f} \quad \text{Eq-95}$$

Afin d'extraire les quatre paramètres de bruit du transistor sans ses accès, plusieurs étapes de correction des mesures sont nécessaires pour ramener le plan de référence des mesures au plan M1. Nous détaillerons ces étapes de correction avant d'aborder l'implémentation de l'algorithme de Lane utilisé pour l'extraction.

a. Correction des mesures

D'après l'équation 95, trois paramètres issus de la mesure, sont nécessaires pour calculer le facteur de bruit du transistor, F_{DUT} , à injecter dans l'algorithme de Lane :

- 1) l'impédance de source présentée au transistor dans le plan M1 noté Γ_S
- 2) le gain disponible du transistor sans ses accès, dans le plan M1, noté G_{DUT}
- 3) la puissance de bruit disponible en sortie du transistor, dans le plan M1, notée $P_{av,DUT}$

Le schéma simplifié de la configuration de mesure de bruit, mentionnant ces trois paramètres, est représenté en Fig. 91.

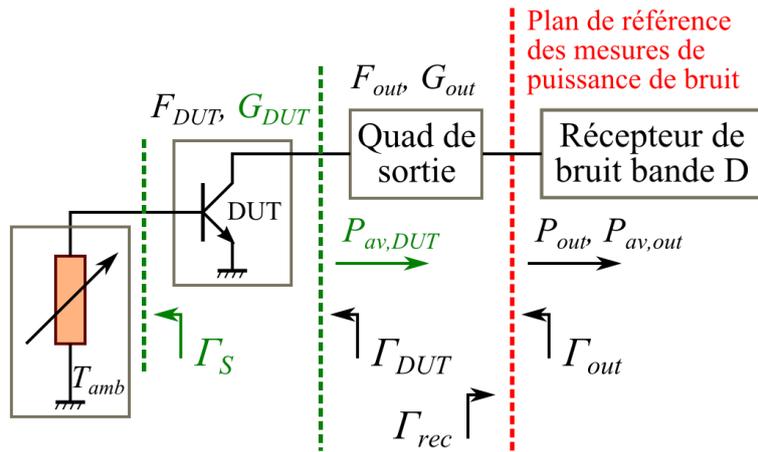


Fig. 91 - Schéma simplifié de la mesure de puissance de bruit pour la méthode source froide : F_S , G_{DUT} et $P_{av,DUT}$ sont trois paramètres déterminés dans le plan M1 à partir de mesures

* Impédances de source présentées au transistor

Dans sa version intégrée avec le transistor, le *tuner* est directement connecté au transistor par le biais d'un empilement de métaux et vias du Métal 6 au Métal 1 (M6-M1). Les paramètres S mesurés du tuner seul sont donc corrigés de la contribution du plot de sortie. Un modèle de plot dont les paramètres sont extraits des paramètres S mesurés en bande G (130 – 220 GHz) sur une structure de test *Pad-Open* est alors utilisé.

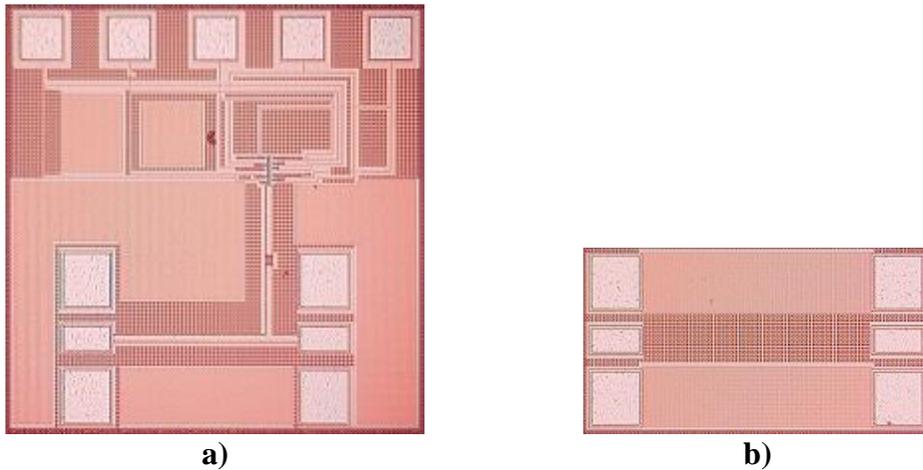


Fig. 92 - Photographies des structures de test mesurées pour déterminer F_S : a) *tuner VI* seul; b) *Pad-Open*

La procédure de correction consiste simplement à retrancher via les matrices chaîne ABCD la contribution du plot de sortie, représenté par un réseau CLC en π :

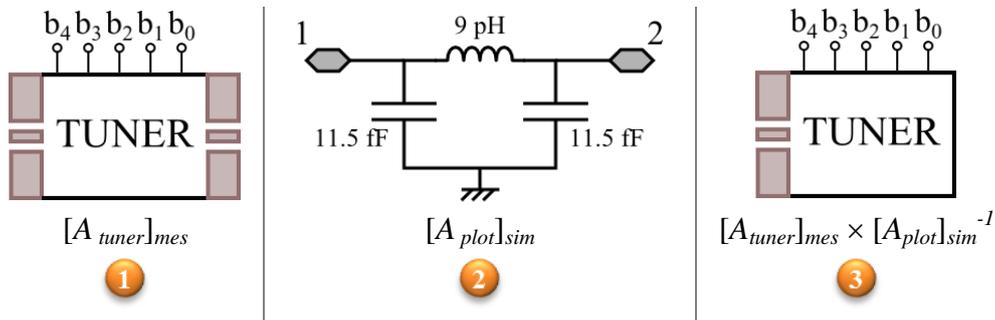


Fig. 93 - Procédure d'épluchage du plot de sortie pour les mesures de paramètres S sur *tuner* seul

Les paramètres S de la source de bruit et du quadripôle d'entrée sont également mesurés. La connexion M6-M1 est modélisée grâce aux mesures de paramètres S en bande G (130 – 220 GHz) sur une structure de test de type *Short* au niveau M1 et d'une ligne de transmission. Le modèle de la connexion M6-M1 est une faible résistance de 0.3Ω , aucun effet inductif n'est constaté. Enfin, les impédances de source présentées au transistor dans le plan M1 sont déduites par calcul sous ADS[®] de l'ensemble des éléments mis en cascade, comme le montre la Fig. 94 :

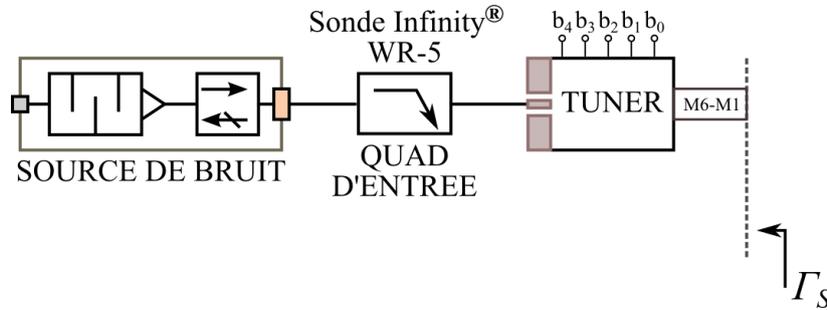


Fig. 94 - Représentation du plan des impédances de source présentées au transistor dans le plan M1

* *Gain disponible du transistor*

Le gain disponible du transistor est calculé à partir des paramètres S_{DUT} du transistor épluchés de ses accès et de l'impédance de source déterminée précédemment. La méthode d'épluchage est celle mise au point pour la bande G (cf Chapitre 2 - §II.2.b), avec l'extraction préalable d'un schéma équivalent des accès du transistor à partir de paramètres S mesurés sur différentes structures de test (*Open-M1, Short-M1, Pad-Open, Line*).

$$G_{DUT} = \frac{|S_{DUT,21}|^2 (1 - |\Gamma_s|^2)}{|1 - \Gamma_s S_{DUT,11}|^2 (1 - |\Gamma_{DUT}|^2)} \quad \text{Eq-96}$$

$$\text{avec } \Gamma_{DUT} = S_{DUT,22} + \frac{S_{DUT,12} S_{DUT,21} \Gamma_s}{1 - S_{DUT,11} \Gamma_s} \quad \text{Eq-97}$$

où Γ_s est le coefficient de réflexion de source, présenté par le *tuner* dans le plan M1

Γ_{DUT} est le coefficient de réflexion en sortie du transistor

* *Puissance de bruit disponible du transistor*

La transformation de la puissance de bruit mesurée dans le plan de référence en puissance de bruit disponible dans le plan M1 (cf. Fig. 91) requiert un certain calcul :

- 1) la puissance mesurée, P_{out} , est d'abord transformée en puissance disponible, $P_{av,out}$ (cf. Eq-98) ;
- 2) elle est ensuite ramenée dans le plan M1, puissance notée $P_{av,DUT}$ (cf. Eq-99).

Cela nécessite donc de connaître les paramètres S_{out} du quadripôle de sortie et le coefficient de réflexion Γ_{rec} à l'entrée du récepteur de bruit

Γ_{rec} est mesuré directement sur la tête millimétrique bande G après un calibrage 2 ports *TRM* (*Thru-Reflect-Match*) en guide WR-5 et une mesure 1 port. Tout comme la méthode *LRRM*, la méthode *TRM* est partiellement dépendante de la définition de ses standards, assurant ainsi une précision certaine.

Les paramètres S_{out} sont déterminés avec la méthode *SOL* (*Short-Open-Load*) décrite dans [162].

$$P_{av,out} = P_{out} \frac{1 - |\Gamma_{out} \Gamma_{rec}|^2}{(1 - |\Gamma_{out}|^2)(1 - |\Gamma_{rec}|^2)} \quad \text{Eq-98}$$

$$P_{av,DUT} = \frac{P_{av,out}}{G_{out}} - kT_{amb} \left(\frac{1}{G_{out}} - 1 \right) \Delta f \quad \text{Eq-99}$$

$$\text{avec } \Gamma_{out} = S_{out,22} + \frac{S_{out,12} S_{out,21} \Gamma_{DUT}}{1 - S_{out,11} \Gamma_{DUT}} \quad \text{Eq-100}$$

$$\text{et } G_{out} = \frac{|S_{out,21}|^2 (1 - |\Gamma_{DUT}|^2)}{|1 - \Gamma_{DUT} S_{out,11}|^2 (1 - |\Gamma_{out}|^2)} \quad \text{Eq-101}$$

Une fois que Γ_S , G_{DUT} et P_{DUT} sont connus, le facteur de bruit du transistor F_{DUT} peut enfin être calculé et injecté dans l'algorithme de Lane afin d'en extraire les quatre paramètres de bruit : F_{min} , R_n , le module et la phase de Γ_{opt} .

b. Procédure d'extraction des quatre paramètres de bruit

Nous proposons dans cette section d'expliquer le principe de l'algorithme de Lane [126] et de détailler l'implémentation que nous en avons faite dans ADS[®] basée sur [164].

Pour le principe, le facteur de bruit est exprimé en fonction de l'admittance de source :

$$\begin{aligned} F(Y_S) &= F_{min} + \frac{R_n}{G_S} \left[(G_S - G_{opt})^2 + (B_S - B_{opt})^2 \right] \quad \text{Eq-102} \\ &= F_{min} - 2R_n G_{opt} + \frac{G_S^2 + B_S^2}{G_S} R_n + \frac{1}{G_S} R_n (G_{opt}^2 + B_{opt}^2) - \frac{B_S}{G_S} 2R_n B_{opt} \end{aligned}$$

avec $G_i = \text{Re}(Y_i)$ et $B_i = \text{Im}(Y_i)$

On pose A , B , C et D tels que :

$$\begin{cases} A = F_{min} - 2R_n G_{opt} \\ B = R_n \\ C = R_n (G_{opt}^2 + B_{opt}^2) \\ D = -2R_n B_{opt} \end{cases} \quad \text{Eq-103}$$

Par identification, nous pouvons réécrire le facteur de bruit sous la forme suivante :

$$F(G_S, B_S) = A + B G_S + \frac{C + B B_S^2 + D B_S}{G_S} \quad \text{Eq-104}$$

Les paramètres A , B , C et D sont ensuite déterminés en utilisant la méthode des moindres carrés pondérés. Pour appliquer cette dernière, il convient de définir un terme d'erreur ε , que l'on cherchera à minimiser :

$$\varepsilon = \frac{1}{2} \sum_{i=1}^n W_i \left[A + B \left(G_i + \frac{B_i^2}{G_i} \right) + \frac{C}{G_i} + \frac{D B_i}{G_i} - F_i \right]^2 \quad \text{Eq-105}$$

- où n est le nombre de points de mesures
 F_i représente le facteur de bruit mesuré pour une impédance de source d'indice i .
 W_i est un facteur de pondération que l'on prendra égal à $1/F_i^2$

On définit P la quantité exprimée par :

$$P = A + B \left(G_i + \frac{B_i^2}{G_i} \right) + \frac{C}{G_i} + \frac{DB_i}{G_i} - F_i \quad \text{Eq-106}$$

Le minimum de ε sera atteint pour des valeurs de A , B , C et D telles que :

$$\begin{cases} \frac{\partial \varepsilon}{\partial A} = \sum_{i=1}^n W_i P \frac{\partial F}{\partial A} = \sum_{i=1}^n W_i P = 0 \\ \frac{\partial \varepsilon}{\partial B} = \sum_{i=1}^n W_i P \frac{\partial F}{\partial B} = \sum_{i=1}^n W_i P \left(G_i + \frac{B_i^2}{G_i} \right) = 0 \\ \frac{\partial \varepsilon}{\partial C} = \sum_{i=1}^n W_i P \frac{\partial F}{\partial C} = \sum_{i=1}^n W_i P \frac{1}{G_i} = 0 \\ \frac{\partial \varepsilon}{\partial D} = \sum_{i=1}^n W_i P \frac{\partial F}{\partial D} = \sum_{i=1}^n W_i P \frac{B_i}{G_i} = 0 \end{cases} \quad \text{Eq-107}$$

$$\begin{cases} \sum_{i=1}^n W_i A + \sum_{i=1}^n W_i \left(G_i + \frac{B_i^2}{G_i} \right) B + \sum_{i=1}^n \frac{W_i}{G_i} C + \sum_{i=1}^n \frac{W_i B_i}{G_i} D = \sum_{i=1}^n W_i F_i \\ \sum_{i=1}^n W_i \left(G_i + \frac{B_i^2}{G_i} \right) A + \sum_{i=1}^n W_i \left(G_i + \frac{B_i^2}{G_i} \right)^2 B + \sum_{i=1}^n \frac{W_i}{G_i} \left(G_i + \frac{B_i^2}{G_i} \right) C + \sum_{i=1}^n \frac{W_i B_i}{G_i} \left(G_i + \frac{B_i^2}{G_i} \right) D = \sum_{i=1}^n W_i \left(G_i + \frac{B_i^2}{G_i} \right) F_i \\ \sum_{i=1}^n \frac{W_i}{G_i} A + \sum_{i=1}^n \frac{W_i}{G_i} \left(G_i + \frac{B_i^2}{G_i} \right) B + \sum_{i=1}^n \frac{W_i}{G_i^2} C + \sum_{i=1}^n \frac{W_i B_i}{G_i^2} D = \sum_{i=1}^n \frac{W_i}{G_i} F_i \\ \sum_{i=1}^n \frac{W_i B_i}{G_i} A + \sum_{i=1}^n \frac{W_i B_i}{G_i} \left(G_i + \frac{B_i^2}{G_i} \right) B + \sum_{i=1}^n \frac{W_i B_i}{G_i^2} C + \sum_{i=1}^n \frac{W_i B_i^2}{G_i^2} D = \sum_{i=1}^n \frac{W_i B_i}{G_i} F_i \end{cases} \quad \text{Eq-108}$$

$$\Leftrightarrow \begin{cases} E_{11}A + E_{12}B + E_{13}C + E_{14}D = E_{15} \\ E_{21}A + E_{22}B + E_{23}C + E_{24}D = E_{25} \\ E_{31}A + E_{32}B + E_{33}C + E_{34}D = E_{35} \\ E_{41}A + E_{42}B + E_{43}C + E_{44}D = E_{45} \end{cases} \quad \text{Eq-109}$$

Par identification des coefficients devant A , B , C et D entre les équations 108 et 109, chaque terme E_{ij} s'exprime en fonction de G_i , B_i et F_i . De ce fait, ils sont uniquement dépendants de paramètres mesurés ($\Gamma_S \rightarrow Y_i = G_i + jB_i$ et $F_{DUT} = F_i$). En utilisant les notations matricielles, le système d'équations s'écrit :

$$\begin{bmatrix} E_{11} & \dots & E_{14} \\ \vdots & \ddots & \vdots \\ E_{41} & \dots & E_{44} \end{bmatrix} \times \begin{bmatrix} A \\ B \\ C \\ D \end{bmatrix} = \begin{bmatrix} E_{15} \\ E_{25} \\ E_{35} \\ E_{45} \end{bmatrix} \quad \text{Eq-110}$$

En multipliant à gauche de l'égalité par l'inverse de la matrice 4×4 $[E_{ij}]$, nous obtenons les valeurs de A , B , C et D :

$$\begin{bmatrix} A \\ B \\ C \\ D \end{bmatrix} = \begin{bmatrix} E_{11} & \dots & E_{14} \\ \vdots & \ddots & \vdots \\ E_{41} & \dots & E_{44} \end{bmatrix}^{-1} \times \begin{bmatrix} E_{15} \\ E_{25} \\ E_{35} \\ E_{45} \end{bmatrix} \quad \text{Eq-111}$$

Les quatre paramètres de bruit F_{min} , R_n , G_{opt} et B_{opt} sont enfin calculés à partir de A , B , C et D selon les relations suivantes :

$$\begin{cases} F_{min} = A + \sqrt{4BC - D^2} \\ R_n = B \\ G_{opt} = \frac{\sqrt{4BC - D^2}}{2B} \\ B_{opt} = -\frac{D}{2B} \end{cases} \quad \text{Eq-112}$$

La méthode d'extraction basée sur l'algorithme de Lane se résume à la résolution numérique d'un système d'équations linéaire, construit à partir de paramètres mesurés. Elle n'est pas exempte de défauts, puisqu'elle ne tient pas compte de l'incertitude de mesure et peut donc converger vers des solutions non physiques.

c. Résultats de l'extraction des paramètres de bruit en bande D

Une méthode pour vérifier la validité des valeurs des paramètres extraits est de satisfaire l'inégalité suivante [165] :

$$1 \leq \frac{4NT_0}{T_{min}} \leq 2 \quad \text{Eq-113}$$

avec T_0 , la température de référence de bruit : $T_0 = 290\text{K}$
 N , le paramètre de Lange : $N = R_n \cdot G_{opt}$
 T_{min} , la température de bruit minimum : $T_{min} = (F_{min} - 1) \cdot T_0$

Ce critère est formulé à partir de la corrélation des sources de bruit qui ne peut excéder 100% et dont la partie réelle est positive.

La quantité $4NT_0/T_{min}$ est donc calculée pour chaque point de fréquence de mesure (130 à 170 GHz par pas de 1 GHz). En appliquant le critère exprimé dans l'équation 113, 31 points sur 41 ont pu être validés, ce qui représente 76% de l'ensemble des valeurs extraites.

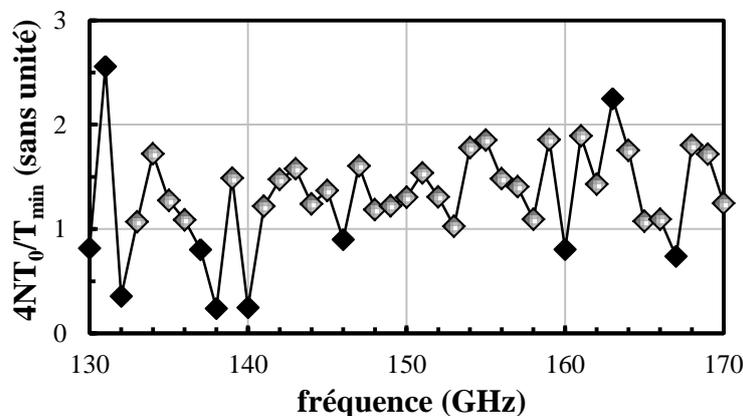


Fig. 95 - Vérification de la validité des valeurs des paramètres de bruit extraits en fonction de la fréquence : les points gris sont considérés valides, les points noirs sont invalidés

Les résultats de l'extraction des quatre paramètres de bruit, après vérification de leur validité, sont représentés en Fig. 96. Le point de polarisation présenté est le même utilisé pour l'extraction du modèle de bruit d'Hawkins pour permettre la comparaison entre les paramètres extraits et simulés : $V_{CE} = 1.2V$, $I_B = 44\mu A$, $I_C = 9.25 mA$, $J_C = 16 mA/\mu m^2$.

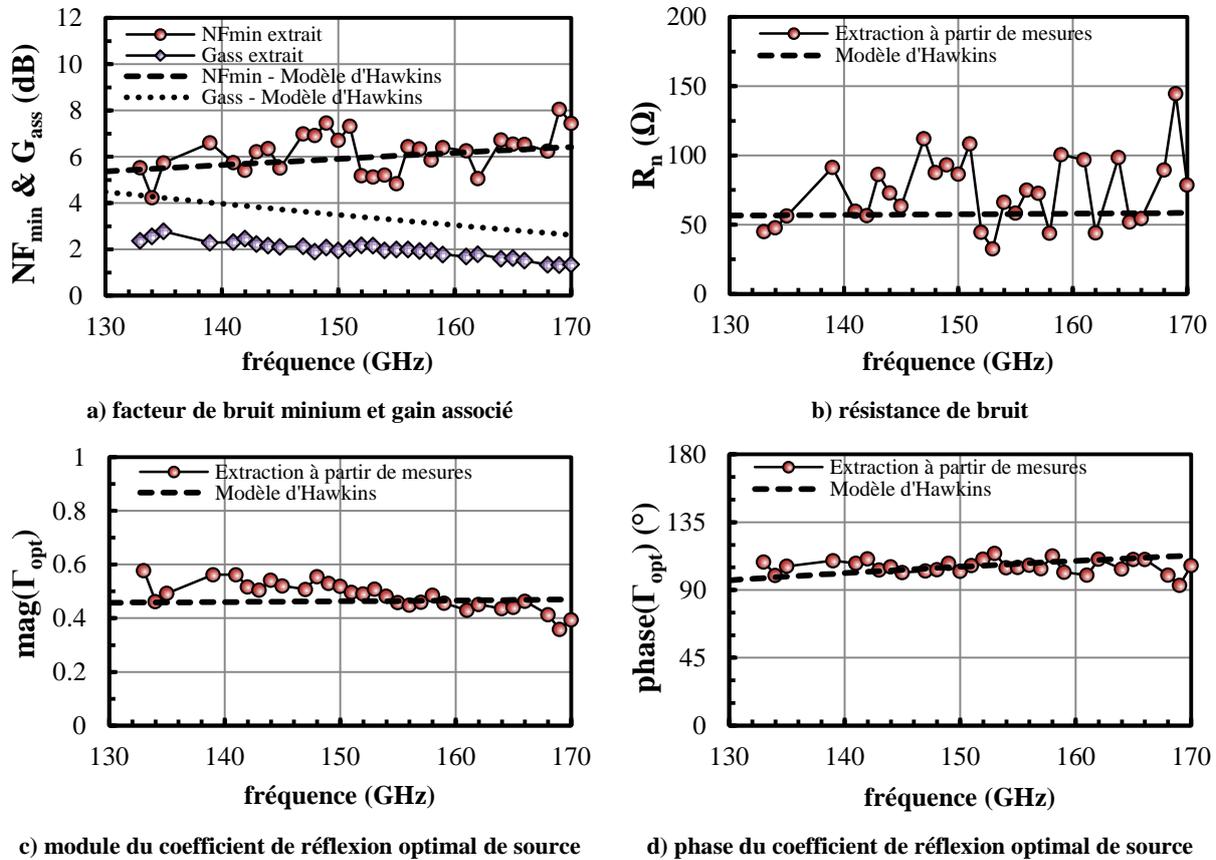


Fig. 96 - Quatre paramètres de bruit extraits à partir de mesures multi-impédance avec le tuner VI en fonction de la fréquence, de 130 à 170 GHz

Géométrie du transistor sous test : HBT B9MW CBEBC $0.12 \times 4.85 \mu m^2$, $V_{CE} = 1.2V$, $J_C = 16 mA/\mu m^2$

Toutes les valeurs extraites de NF_{min} sont comprises entre 4 et 8 dB, avec une déviation moyenne de ± 1 dB entre deux points de fréquence successifs. Une observation similaire peut être faite sur R_n , dont 90% des valeurs sont comprises entre 40 et 100 Ω avec une déviation moyenne de $\pm 20 \Omega$ entre deux points de fréquence consécutifs.

Les valeurs extraites des paramètres de bruit paraissent physiquement acceptables. Cette technique expérimentale associée à un système intégré multi-impédance apparaît donc comme une solution efficace pour extraire les paramètres de bruit du transistor bipolaire dans l'intégralité de la bande 130 – 170 GHz.

De plus, le modèle de bruit d'Hawkins, validé par les facteurs de bruit mesurés de 6 à 170 GHz (Chapitre 2 - §V.3) pour ce transistor au même point de polarisation, a été simulé sous ADS®. Les paramètres de bruit simulés sont mentionnés en pointillés sur la Fig. 96. La confrontation entre les valeurs des paramètres de bruit extraites et simulées montre néanmoins qu'il est très difficile d'extraire un modèle de bruit précis en bande D . Rappelons que la fréquence de transition intrinsèque du schéma équivalent petit signal (SEPS) utilisé pour implémenter le modèle de bruit d'Hawkins a dû être ajustée sur les mesures de facteur de bruit en bande D . Cette non-consistance entre le SEPS du modèle d'Hawkins et les paramètres S mesurés est donc retrouvée sur la comparaison entre le gain associé recalculé à partir des paramètres de bruit et le gain associé simulé à partir du modèle d'Hawkins.

Ces résultats sont obtenus pour la première fois dans toute la bande D et sont publiés dans la revue internationale IEEE Microwave and Wireless Component Letters [166]. Par conséquent, la comparaison avec des travaux précédents est difficile. Néanmoins, le Tableau 28 résume les résultats de bruit disponibles en bande D pour une géométrie de transistor proche, incluant nos travaux. En tant qu'élément de comparaison supplémentaire, le modèle de bruit d'Hawkins est mentionné.

		Fréquence			
		135 GHz	139 GHz	141 GHz	170 GHz
NF_{min}	a)	-	4.8 dB	5.1 dB	-
	b)	5.7 dB	6.6 dB	5.7 dB	7.4 dB
	c)	5.5 dB	5.6 dB	5.7 dB	6.4 dB
R_n	a)	-	75 Ω	180 Ω	-
	b)	56 Ω	91 Ω	60 Ω	79 Ω
	c)	57 Ω	57 Ω	57 Ω	58 Ω
$ G_{opt} $	a)	-	0.19	0.19	-
	b)	0.49	0.56	0.56	0.39
	c)	0.46	0.46	0.46	0.47
phase(G_{opt})	a)	-	158°	176°	-
	b)	106°	109°	108°	106°
	c)	99°	101°	101°	113°

Tableau 28 - Valeurs des paramètres de bruit en bande D issues de la littérature pour le transistor bipolaire B9MW

- a) Paramètres de bruit extraits [121], HBT SiGe 2xCBEBC-C, $L_E=3.75 \mu\text{m}$, $J_C=6 \text{ mA}/\mu\text{m}^2$
- b) Paramètres de bruit extraits (nos travaux), HBT SiGe CBEBC, $L_E=4.85 \mu\text{m}$, $J_C=16 \text{ mA}/\mu\text{m}^2$**
- c) Modèle de bruit d'Hawkins (nos travaux), HBT SiGe CBEBC, $L_E=4.85 \mu\text{m}$, $J_C=16 \text{ mA}/\mu\text{m}^2$

En ce qui concerne nos travaux, les valeurs extraites à partir de mesures de bruit multi-impédance et les valeurs simulées à partir du modèle de bruit d'Hawkins diffèrent quelque peu. Un écart moyen de 1.3 dB entre 130 et 170 GHz est relevé entre le NF_{min} extrait et le NF_{min} simulé. Sur R_n , la différence est relativement grande avec une moyenne de 32 Ω . Par contre, le module et la phase de G_{opt} ont des valeurs équivalentes entre l'extraction et la simulation : une différence moyenne de 0.1 sur le module et de 4° sur la phase est observée.

Un autre moyen de validation indépendant est alors nécessaire à ce stade. Une nouvelle approche serait de déterminer l'incertitude de mesure à partir de calculs rigoureux afin de définir des barres d'erreur sur les valeurs extraites des paramètres de bruit de 130 à 170 GHz. Ce thème sera abordé dans le prochain paragraphe.

II.4. Calcul d'erreur sur l'extraction des paramètres de bruit en bande D

De plus en plus dans la littérature, même dans des revues prestigieuses, la précision des mesures n'est que très peu, voire pas du tout, discutée. Or, en sciences expérimentales, il n'existe pas de mesures exactes. Elles sont en réalité entachées d'erreurs plus ou moins importantes selon le protocole choisi, la précision de l'instrument de mesure et le rôle de l'opérateur. Il est donc important d'évaluer correctement ces erreurs et fournir un intervalle de mesure correspondant à un certain niveau de confiance.

Dans le cas d'une mesure indirecte, déduite d'autres grandeurs mesurées et considérées comme indépendantes, chaque grandeur mesurée aura une incertitude. Ces dernières vont se combiner pour produire l'incertitude totale. Nous parlerons alors de *propagation des incertitudes*, qui est le terme exact pour l'expression couramment utilisée de

calcul d'erreur. L'incertitude absolue sur une mesure indirecte f déduite de mesures indépendantes x, y et z est donnée par :

$$\Delta f(x, y, z) = \sqrt{\left(\frac{\partial f}{\partial x} \Delta x\right)^2 + \left(\frac{\partial f}{\partial y} \Delta y\right)^2 + \left(\frac{\partial f}{\partial z} \Delta z\right)^2} \quad \text{Eq-114}$$

En ce qui concerne l'extraction des paramètres de bruit, l'incertitude totale sur les paramètres de bruit provient principalement de l'*ENR* de la source de bruit et du gain disponible du transistor. En effet, le calibrage du récepteur de bruit repose sur la valeur de l'*ENR* de la source de bruit. De ce fait, toute erreur sur l'*ENR* de la source de bruit affecte directement toutes les mesures de puissance ou de facteur de bruit. De plus, les nombreuses étapes de correction sur les mesures de paramètres S (*de-embedding*) ne sont pas parfaitement précises, par conséquent, le gain du transistor, calculé à partir des paramètres S du transistor épluchés des accès, est aussi entaché d'erreur.

Pour quantifier l'incertitude sur les paramètres de bruit extraits, évaluer l'incertitude sur le facteur de bruit du transistor, F_{DUT} , est de la plus haute importance car ce paramètre est directement utilisé dans l'algorithme de Lane. Cependant, en appliquant la méthode de mesures multi-impédance associée à la technique source froide, l'un des premiers paramètres mesuré est la puissance de bruit disponible, $P_{av,out}$, dans le plan de référence de mesure de bruit (cf. Fig. 91). Son expression en fonction du facteur de bruit du transistor, F_{DUT} , est donnée par l'équation ci-dessous :

$$P_{av,out} = kT_0 \Delta f G_{tot} F_{tot} = kT_0 \Delta f G_{DUT} G_{out} \left(F_{DUT} + \frac{F_{out} - 1}{G_{DUT}} \right) \quad \text{Eq-115}$$

avec G_{DUT} , le gain disponible du transistor
 G_{out} , le gain disponible du quadripôle de sortie
 F_{out} , le facteur de bruit du quadripôle de sortie

On en déduit simplement l'expression de F_{DUT} :

$$F_{DUT} = \frac{1}{G_{DUT}} \left(1 - \frac{1}{G_{out}} + \frac{P_{av,out}}{kT_0 \Delta f G_{out}} \right) \quad \text{Eq-116}$$

En appliquant la formule de propagation des incertitudes (cf. Eq-114), l'incertitude sur F_{DUT} est exprimée comme suit :

$$\Delta F_{DUT} = \sqrt{\left(\frac{\partial F_{DUT}}{\partial P_{av,out}} \Delta P_{av,out} \right)^2 + \left(\frac{\partial F_{DUT}}{\partial G_{DUT}} \Delta G_{DUT} \right)^2} \quad \text{Eq-117}$$

$$\text{avec } \frac{\partial F_{DUT}}{\partial P_{av,out}} = \frac{1}{kT_0 \Delta f G_{DUT} G_{out}} \quad \text{Eq-118}$$

$$\text{et } \frac{\partial F_{DUT}}{\partial G_{DUT}} = -\frac{1}{G_{DUT}^2} \left(1 - \frac{1}{G_{out}} + \frac{P_{av,out}}{kT_0 \Delta f G_{out}} \right) \quad \text{Eq-119}$$

Les dérivées partielles sont facilement évaluées à partir des mesures de paramètres S et de puissance de bruit. En revanche, les erreurs absolues sur la puissance de bruit, $\Delta P_{av,out}$, et

sur le gain du transistor, ΔG_{DUT} , restent à quantifier. $\Delta P_{av,out}$ est supposé directement lié à l'erreur sur l'ENR de la source de bruit. Un montage expérimental a donc été préparé pour vérifier l'ENR de la source de bruit à l'état solide en bande D , de 130 à 170 GHz.

a. Vérification de l'ENR de la source de bruit à l'état solide

Toute mesure de puissance ou de facteur de bruit étant relative à l'ENR de la source de bruit à l'état solide, il est nécessaire de vérifier les valeurs données par le constructeur. En effet, ces valeurs du constructeur sont utilisées pour calibrer le récepteur de bruit et pour la mesure de facteur de bruit. Elles méritent donc d'être vérifiées afin d'estimer l'erreur sur la mesure de puissance ou de facteur de bruit après calibrage du récepteur.

Lors de travaux précédents réalisés en bande W [136], une erreur moyenne de 0.3 dB a été estimée de 75 à 110 GHz entre l'ENR spécifiée par le constructeur et celle recalculée à partir de mesures de puissance de bruit à deux températures utilisant la méthode du facteur Y . Ce protocole expérimental est décrit dans la note d'application du constructeur Elva-1[®] [167]. Nous nous baserons sur ces travaux en bande W pour recalculer l'ENR de la source de bruit à l'état solide en bande D .

Le principe sur lequel repose le protocole expérimental est que la température du récepteur de bruit est identique quelle que soit la source de bruit qui lui est présentée. Nous recréons donc une source de bruit à deux températures physiques en présentant au récepteur de bruit, au travers d'une antenne cornet conique en guide WR-5, une charge absorbante placée à la température ambiante ($T_{hot1}=297K$), puis placée dans de l'azote liquide ($T_{cold1}=77K$) (cf. Fig. 97-a). La charge absorbante est réalisée au moyen d'un absorbant. La source de bruit à l'état solide est également présentée au récepteur de bruit. Sa température froide correspond à la température ambiante ($T_{cold2}=297K$). Sa température chaude (T_{hot2}) sera recalculée à partir de la température du récepteur de bruit, supposée identique dans les deux configurations de source de bruit.

Les deux montages expérimentaux sont présentés en Fig. 97. Nous considérons les deux transitions WR-5/WR-6 incluses dans le récepteur de bruit, puisqu'elles sont présentes dans le montage à deux températures ('hot/cold'), ainsi qu'avec la source de bruit à l'état solide.

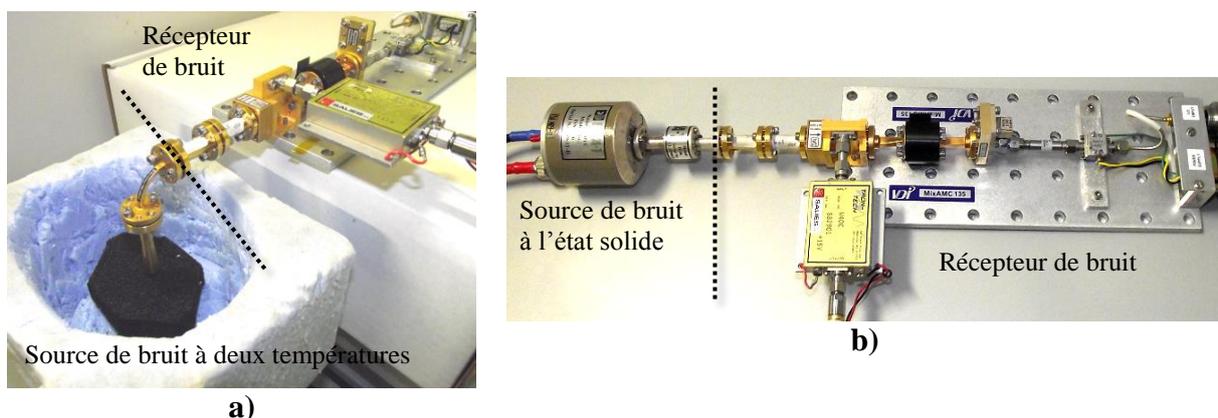


Fig. 97 - Montage expérimental dédié à la vérification de l'ENR de la source de bruit à l'état solide en bande D :
a) un absorbant est placé à la température ambiante puis dans de l'azote liquide, b) la source de bruit est directement connectée au récepteur de bruit et ses deux niveaux de température sont commandés par le mesureur de bruit

La procédure de mesure avec la source de bruit à deux températures est présentée en Fig. 98.

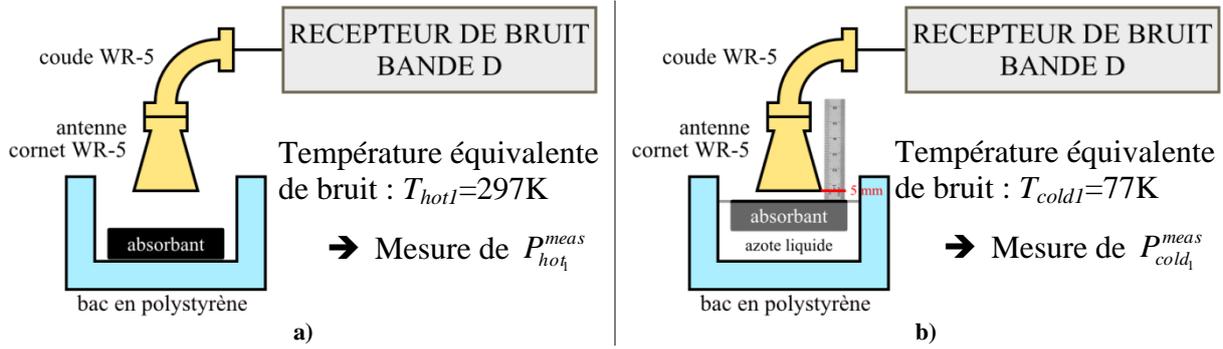


Fig. 98 - Configuration de mesure de puissance de bruit avec la source de bruit à 2 températures :
a) absorbant à température ambiante, b) absorbant plongé dans l'azote liquide

Les puissances de bruit associées à chaque température sont mesurées pour tous les points de fréquence de la bande de mesure, soit de 130 à 170 GHz par pas de 1 GHz. Le facteur Y_1 de la configuration de mesure avec la source de bruit à deux températures physiques est déduit des puissances de bruit mesurées :

$$Y_1 = \frac{\alpha \cdot T_{hot_1} + T_{rec}}{\alpha \cdot T_{cold_1} + T_{rec}} = \frac{P_{hot_1}^{meas}}{P_{cold_1}^{meas}} \quad \text{Eq-120}$$

avec α , le coefficient de pertes dus au coude et à l'antenne cornet.
Sa valeur mesurée est de : $\alpha = 0.856$

Nous procédons de même pour les puissances de bruit à température froide (T_{cold2}) et chaude (T_{hot2}) avec la source à l'état solide.

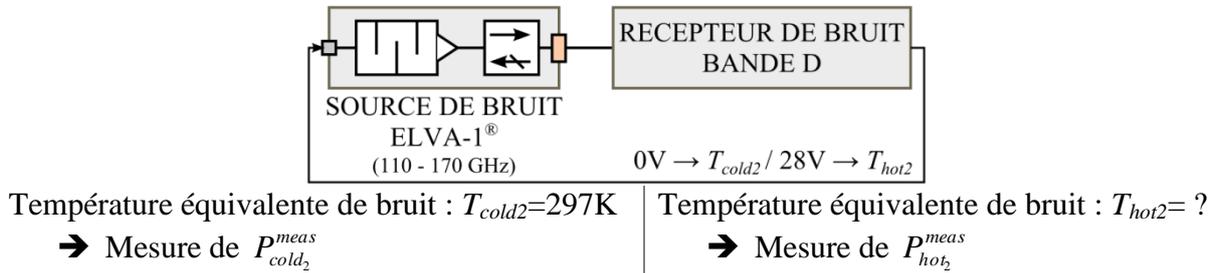


Fig. 99 - Configuration de mesure de puissance de bruit avec la source de bruit à l'état solide

Le facteur Y_2 correspondant s'exprime comme suit :

$$Y_2 = \frac{T_{hot_2} + T_{rec}}{T_{cold_2} + T_{rec}} = \frac{P_{hot_2}^{meas}}{P_{cold_2}^{meas}} \quad \text{Eq-121}$$

Dans chacune de ces deux configurations, l'expression du facteur Y fait apparaître la température du récepteur de bruit, T_{rec} . Elle est alors déduite des expressions des facteurs Y dans les deux configurations de mesure :

$$T_{rec} = \frac{\alpha \cdot (T_{hot_1} - Y_1 T_{cold_1})}{Y_1 - 1} = \frac{T_{hot_2} - Y_2 T_{cold_2}}{Y_2 - 1} \approx 1000K \quad \text{Eq-122}$$

La température chaude de la source de bruit à l'état solide, notre inconnue, est finalement exprimée en fonction des facteurs Y mesurés et des températures connues :

$$T_{hot_2} = \frac{Y_2 - 1}{Y_1 - 1} \cdot \alpha \cdot (T_{hot_1} - Y_1 T_{cold_1}) + Y_2 T_{cold_2} \quad \text{Eq-123}$$

L'ENR de la source de bruit à l'état solide est ainsi recalculé à partir des valeurs de T_{hot2} obtenues expérimentalement :

$$ENR = \frac{T_{hot_2} - T_{cold_2}}{T_0} \Rightarrow ENR_{dB} = 10 \times \log\left(\frac{T_{hot_2} - T_{cold_2}}{T_0}\right) \quad \text{Eq-124}$$

La comparaison entre l'ENR recalculé et l'ENR donné par le constructeur est présentée dans la Fig. 100. Les valeurs du constructeur sont données tous les 2 GHz entre 110 et 170 GHz. Une interpolation est faite entre deux points de fréquence pour obtenir l'ENR du constructeur tous les 1 GHz. L'ENR spécifié par le constructeur est plus faible entre 134 et 138 GHz, avec des valeurs comprises entre 11 et 12 dB. Le module du coefficient de réflexion de la source de bruit à l'état solide, $|Γ_{source}|$, est également mentionné sur la Fig. 100. La comparaison entre l'allure de l'ENR du constructeur et de $|Γ_{source}|$ met en évidence une corrélation entre l'ENR et $|Γ_{source}|$ puisqu'un creux apparaît pour ces deux paramètres entre 132 et 134 GHz. Non visible sur l'ENR recalculé avec la méthode à deux températures, cette désadaptation entre 130 et 140 GHz n'est pas prise en compte lors de l'évaluation de la différence moyenne entre l'ENR recalculé et l'ENR du constructeur.

Sur l'ensemble de la bande 140 – 170 GHz, la différence entre les deux valeurs d'ENR est comprise entre -0.2 et +2.6 dB et une différence moyenne de 1.13 dB est relevée (cf. Fig. 101). Il est important de souligner qu'il s'agit là d'un pire cas pour l'évaluation de $ΔENR$ puisque l'ENR recalculé peut être également affecté par des erreurs de mesure. En supposant fixe la température du récepteur, d'environ 1000K, toute dérive entre les deux configurations de source de bruit affecterait la valeur de l'ENR recalculé. D'après nos résultats expérimentaux, en prenant en compte l'erreur possible sur le calcul de l'ENR de la source de bruit, nous choisissons de fixer la valeur de $ΔENR$ à $±0.5dB$ pour l'ensemble de la bande 130 – 170 GHz.

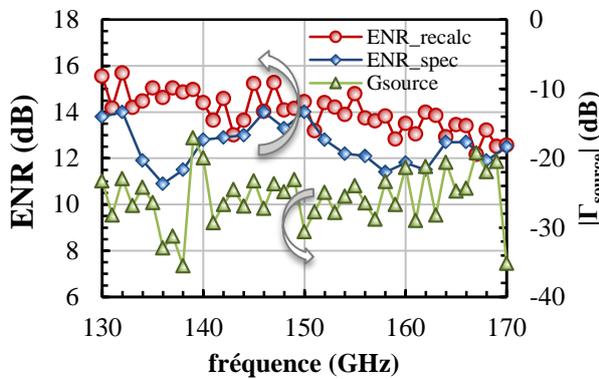


Fig. 100 - Comparaison entre l'ENR recalculé à partir de valeurs expérimentales (méthode du facteur Y) et l'ENR spécifiée par le constructeur

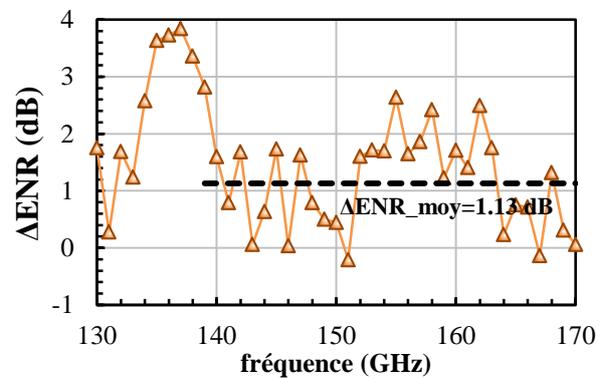


Fig. 101 – Différence entre l'ENR recalculé à partir de valeurs expérimentales (méthode à deux températures) et l'ENR spécifiée par le constructeur ($ΔENR=ENR_{recalc} - ENR_{spec}$)

Afin de calculer précisément l'incertitude sur la puissance de bruit mesurée, nous utilisons ces valeurs de $ΔENR$ en dB en fonction de la fréquence. Néanmoins, une conversion de dBm en linéaire est requise pour déterminer $ΔP_{av,out}$. La procédure de conversion est décrite par les équations 125 et 126 :

$$P_{av,out_dBm} + ΔENR_{dB} \Leftrightarrow P_{av,out} \times 10^{\frac{ΔENR_{dB}}{10}} = P_{av,out} + ΔP_{av,out} \quad \text{Eq-125}$$

$$\Delta P_{av,out} = \left(10^{\frac{\Delta ENR_{dB}}{10}} - 1 \right) \times P_{av,out} \quad \text{Eq-126}$$

b. Evaluation de l'incertitude sur le gain du transistor

L'incertitude sur le gain du transistor provient essentiellement de l'incertitude sur les étapes de correction des mesures de paramètres S . Rappelons que le gain du dispositif sous test est exprimé par :

$$G_{DUT} = \frac{|S_{DUT,21}|^2 (1 - |\Gamma_s|^2)}{|1 - \Gamma_s S_{DUT,11}|^2 (1 - |\Gamma_{DUT}|^2)} \quad \text{Eq-127}$$

L'incertitude sur le gain du dispositif sous test, ΔG_{DUT} , est calculée à partir de la formule Eq-128. En négligeant les incertitudes sur les facteurs de réflexion, nous obtenons :

$$\Delta G_{DUT} = \frac{2|S_{DUT,21}|(1 - |\Gamma_{DUT}|^2)}{|1 - S_{DUT,11}\Gamma_{out}|(1 - |\Gamma_{out}|^2)} \Delta |S_{DUT,21}| \quad \text{Eq-128}$$

Pour déterminer l'incertitude sur le module du paramètre S_{21} , nous choisissons de travailler à partir de deux structures de test utilisées pour le *de-embedding* : une structure *Open-MI* et une structure *Short-MI*. En effet, ces structures de test ont été modélisées en vue du *de-embedding* des accès du transistor ; les paramètres de leur schéma équivalent ont été extraits à partir de paramètres S mesurés. Toute différence entre les paramètres S mesurés et simulés de ces structures de test pourra se retrouver sur ceux du transistor. Nous calculons donc la différence entre $|S_{21}|$ simulé et mesuré de la structure *Open-MI* et de la structure *Short-MI*. De la moyenne des deux différences en valeur absolue, nous déduirons $\Delta |S_{DUT,21}|$:

$$\Delta |S_{DUT,21}| = \frac{1}{2} \times \left[\text{abs}(|S_{open,21}|_{sim} - |S_{open,21}|_{meas}) + \text{abs}(|S_{short,21}|_{sim} - |S_{short,21}|_{meas}) \right] \quad \text{Eq-129}$$

Les différents paramètres en fonction de la fréquence sont représentés dans les figures 102 à 104. De 130 à 170 GHz, la valeur moyenne de $\Delta |S_{DUT,21}|$ est de 0.035 en linéaire.

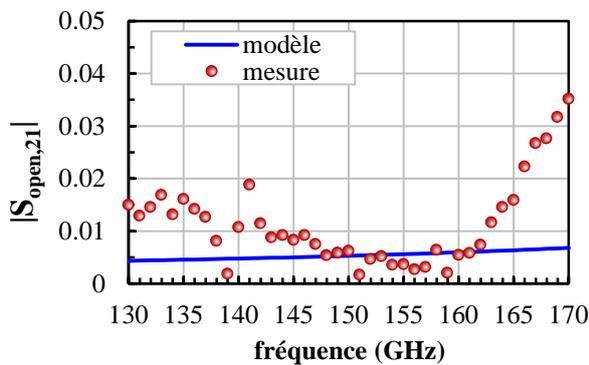


Fig. 102 - $|S_{21}|$ simulé et mesuré de la structure *Open-MI* en fonction de la fréquence de 130 à 170 GHz

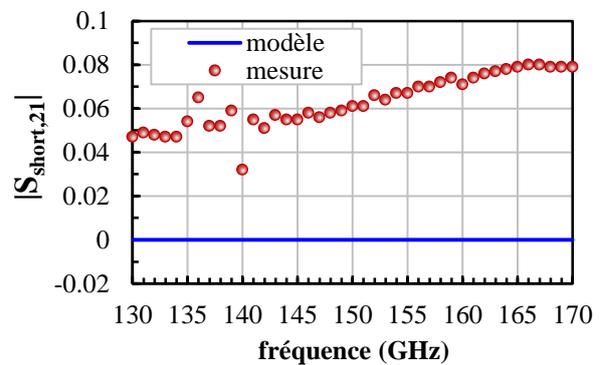


Fig. 103 - $|S_{21}|$ simulé et mesuré de la structure *Short-MI* en fonction de la fréquence de 130 à 170 GHz

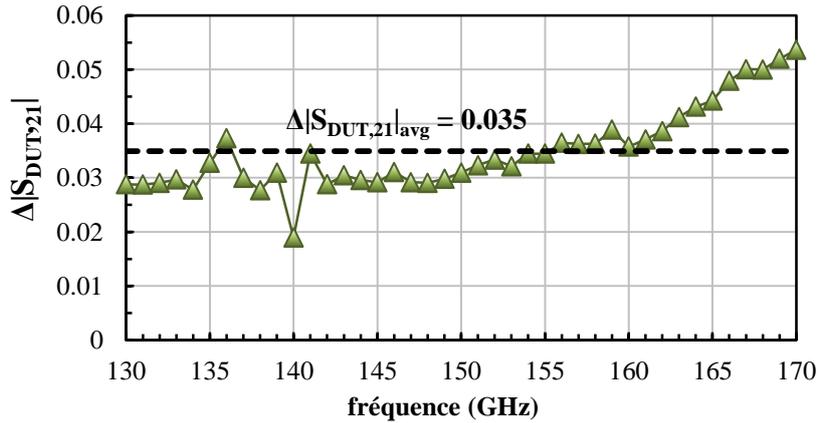


Fig. 104 - $\Delta|S_{DUT,21}|$ en fonction de la fréquence de 130 à 170 GHz

c. Calcul d'erreur sur le facteur de bruit du transistor

Une fois que les incertitudes sur la puissance de bruit mesurée et le gain disponible du transistor sont déterminées, l'erreur sur le facteur de bruit du transistor peut être évaluée. Son expression entière est donnée ci-dessous :

$$\Delta F_{DUT} = \sqrt{\left(\frac{1}{kT_0 \Delta f G_{DUT} G_{out}} \Delta P_{av,out} \right)^2 + \left(-\frac{1}{G_{DUT}^2} \left(1 - \frac{1}{G_{out}} + \frac{P_{av,out}}{kT_0 \Delta f G_{out}} \right) \Delta G_{DUT} \right)^2} \quad \text{Eq-130}$$

D'après l'expression de l'incertitude sur le facteur de bruit du transistor, une corrélation est constatée entre cette incertitude et l'inverse du gain du transistor, ainsi qu'avec l'inverse du gain du transistor au carré.

Etant donné que les mesures de bruit ont concerné plusieurs points de polarisation du transistor ($J_C = 14$ à $29 \text{ mA}/\mu\text{m}^2$), cette observation a été vérifiée sur quatre points de polarisation : 14, 21, 24 et $29 \text{ mA}/\mu\text{m}^2$. Les fréquences de coupure f_T et f_{max} correspondantes sont mentionnées dans la Fig. 105. L'erreur absolue sur le facteur de bruit et l'inverse du gain disponible au carré du transistor à ces quatre points de polarisation sont respectivement illustrés en Fig. 106 et Fig. 107.

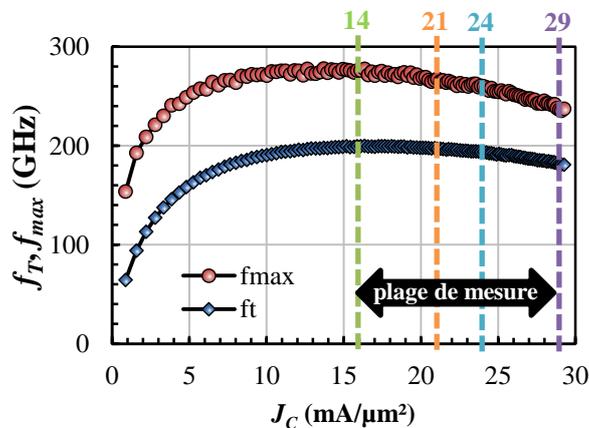


Fig. 105 - Fréquences de coupure f_T et f_{max} du transistor en fonction de la densité de courant de collecteur
Géométrie du transistor : HBT B9MW CBEBC $0.12 \times 4.85 \mu\text{m}^2$, $V_{CE} = 1.2\text{V}$

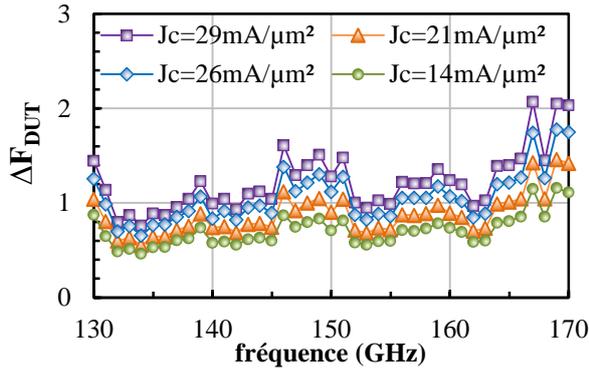


Fig. 106 - Erreur absolue sur le facteur de bruit du transistor pour une seule position du tuner en bande D en fonction de la fréquence

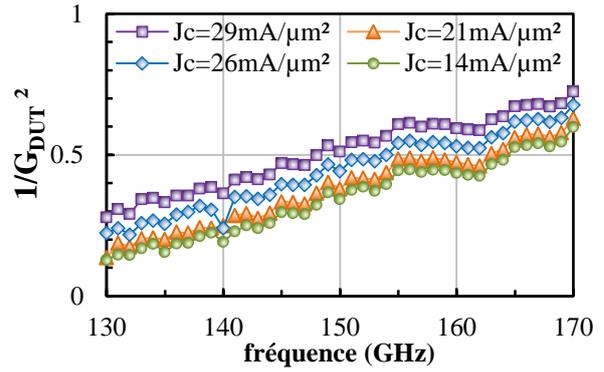


Fig. 107 - Inverse du gain disponible au carré du transistor pour une seule position du tuner en bande D en fonction de la fréquence

Le point de polarisation $J_C = 29 \text{ mA}/\mu\text{m}^2$ mène au gain minimum de la plage de mesure ; l'erreur sur le facteur de bruit à $J_C = 29 \text{ mA}/\mu\text{m}^2$ est la plus importante parmi les quatre points de polarisation. Inversement, le point de polarisation $J_C = 14 \text{ mA}/\mu\text{m}^2$ mène au gain maximum de la plage de mesure ; l'erreur sur le facteur de bruit à $J_C = 14 \text{ mA}/\mu\text{m}^2$ est la plus faible parmi les quatre points de polarisation. La corrélation entre ΔF_{DUT} et l'inverse de G_{DUT} et son carré est donc bien vérifiée sur plusieurs points de polarisation du transistor. Cependant, la Fig. 106 met en évidence la signature de l'erreur sur la puissance de bruit disponible mesurée, $\Delta P_{av,out}$, liée à l'erreur sur l'ENR de la source de bruit.

Si nous élevons au carré l'expression de ΔF_{DUT} formulée à l'équation 130, nous obtenons :

$$\Delta F_{DUT}^2 = \left(\frac{\partial F_{DUT}}{\partial P_{av,out}} \Delta P_{av,out} \right)^2 + \left(\frac{\partial F_{DUT}}{\partial G_{DUT}} \Delta G_{DUT} \right)^2 \quad \text{Eq-131}$$

$$= (\alpha \cdot \Delta P_{av,out})^2 + (\beta \cdot \Delta G_{DUT})^2$$

Nous pouvons ainsi calculer la contribution des termes $(\alpha \cdot \Delta P_{av,out})^2$ et $(\beta \cdot \Delta G_{DUT})^2$ sur ΔF_{DUT}^2 , présentée en Fig. 108.

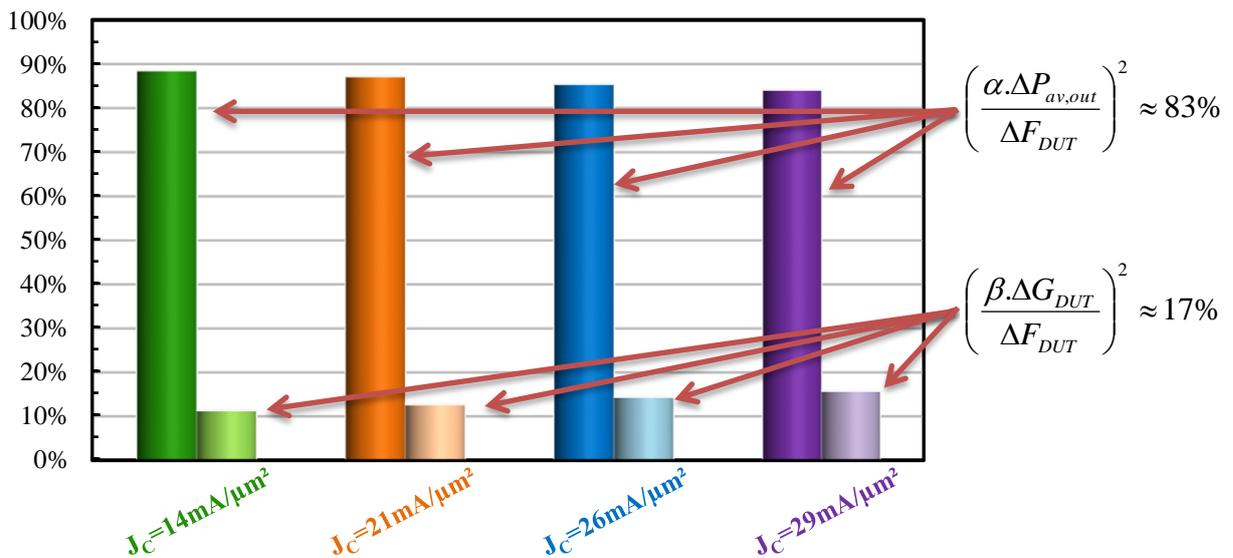


Fig. 108 - Contributions des termes $(\alpha \cdot \Delta P_{av,out})^2$ et $(\beta \cdot \Delta G_{DUT})^2$ à ΔF_{DUT}^2 pour quatre points de polarisation du transistor

La contribution du terme $(\alpha.\Delta P_{av,out})^2$ est prédominante sur celle de $(\beta.\Delta G_{DUT})^2$: 83% contre 17% en moyenne sur l'ensemble des points de polarisation de $J_C=14$ à $29 \text{ mA}/\mu\text{m}^2$ et dans la bande de fréquence 130 – 170 GHz. En conclusion, l'erreur sur le facteur de bruit du transistor en bande D résulte majoritairement de l'erreur sur l' ENR de la source de bruit que celle sur les paramètres S . Néanmoins, la part d'erreur liée à ΔG_{DUT} tend à augmenter à mesure que G_{DUT} diminue, passant par exemple de 11% à 16% entre $J_C=14 \text{ mA}/\mu\text{m}^2$ et $J_C=29 \text{ mA}/\mu\text{m}^2$.

d. Application à l'extraction des 4 paramètres de bruit

Le calcul d'erreur sur le facteur de bruit du transistor est mis à profit pour évaluer l'incertitude sur les valeurs des quatre paramètres de bruit extraits par l'algorithme de Lane. Une extraction des paramètres de bruit est faite en utilisant ' $F_{DUT} + \Delta F_{DUT}$ ' et ' $F_{DUT} - \Delta F_{DUT}$ ' dans l'algorithme de Lane pour aboutir à des barres d'erreur autour de chaque valeur de paramètre de 130 à 170 GHz. Les résultats sont mentionnés dans la Fig. 109.

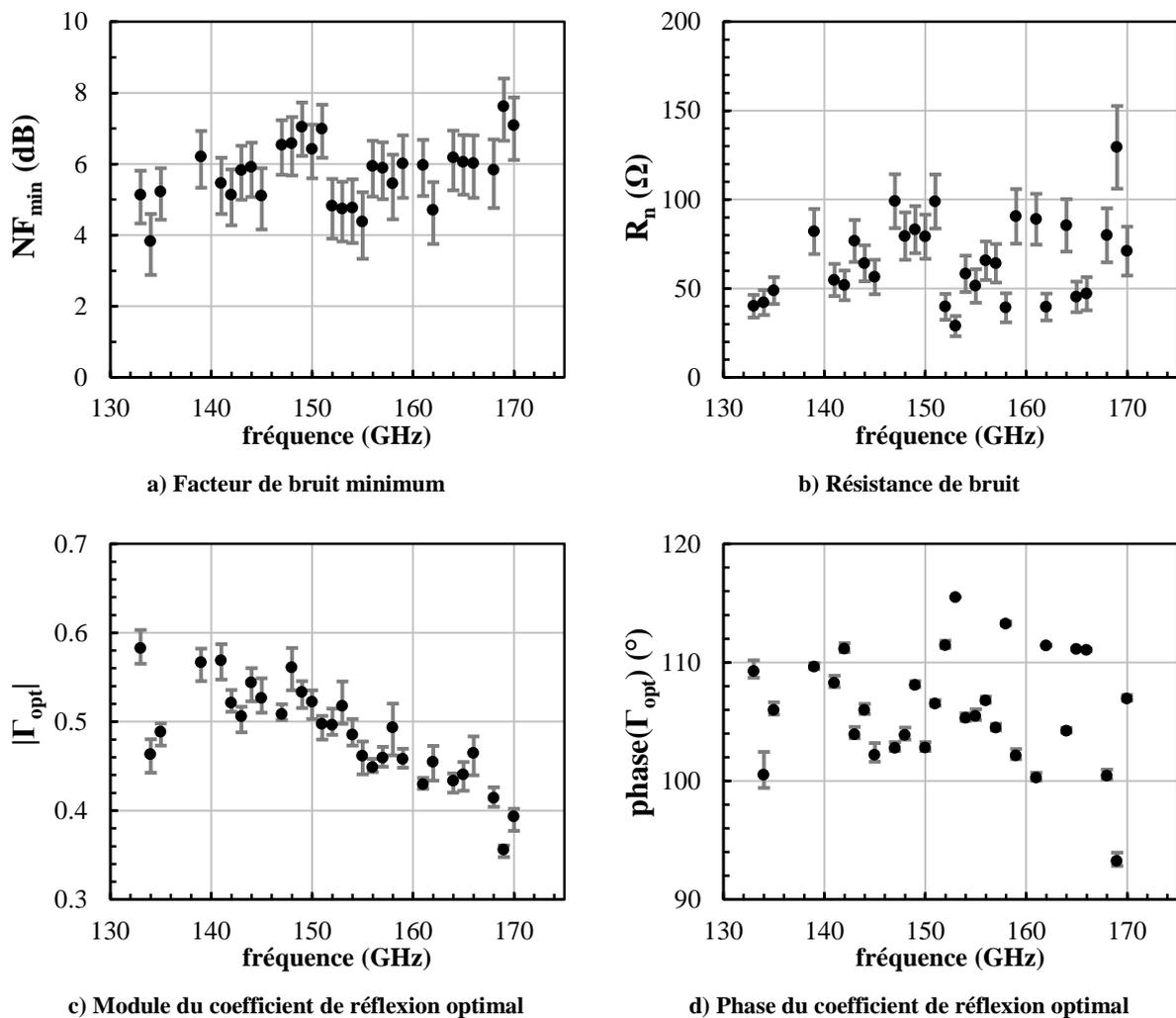


Fig. 109 - Quatre paramètres de bruit extraits à partir de mesures multi-impédance avec le *tuner VI* avec leurs barres d'erreur déterminées par le calcul d'erreur en fonction de la fréquence, de 130 à 170 GHz
Géométrie du transistor sous test : HBT B9MW CBEBC $0.12 \times 4.85 \mu\text{m}^2$, $V_{CE} = 1.2\text{V}$, $J_C = 16 \text{ mA}/\mu\text{m}^2$

Les valeurs minimales, maximales et moyennes des erreurs sur chaque paramètre de bruit sont relevées dans trois parties de la bande D :

- de 130 à 140 GHz où le changement de bande WR-6 à WR-5 imposé par l'utilisation des sondes WR-5 pourrait affecter la précision du banc de mesure
- de 140 à 160 GHz, soit la bande centrale de mesure
- de 160 à 170 GHz, soit la bande supérieure de mesure

Ces valeurs sont consignées dans le Tableau 29.

		Fréquence		
		130 – 140 GHz	141 – 160 GHz	161 – 170 GHz
ΔNF_{\min}	min	0.66 dB	0.68 dB	0.72 dB
	max	0.95 dB	1.04 dB	1.07 dB
	moy	0.78 dB	0.82 dB	0.87 dB
ΔR_n	min	6.45 Ω	5.65 Ω	7.55 Ω
	max	12.76 Ω	15.34 Ω	23.28 Ω
	moy	8.46 Ω	10.9 Ω	13.36 Ω
$\Delta \Gamma_{\text{opt}} $	min	0.009	0.006	0.005
	max	0.021	0.031	0.025
	moy	0.017	0.016	0.013
$\Delta \text{phase}(\Gamma_{\text{opt}}) (^{\circ})$	min	0.18 $^{\circ}$	0.03 $^{\circ}$	0.04 $^{\circ}$
	max	1.91 $^{\circ}$	0.99 $^{\circ}$	0.71 $^{\circ}$
	moy	0.75 $^{\circ}$	0.36 $^{\circ}$	0.24 $^{\circ}$

Tableau 29 - Erreurs absolues maximales, minimales et moyennes sur l'extraction des quatre paramètres de bruit du transistor en bande D

Géométrie du transistor sous test : HBT B9MW CBEBC 0.12×4.85 μm^2 , $V_{\text{CE}} = 1.2\text{V}$, $J_{\text{C}} = 16\text{mA}/\mu\text{m}^2$

D'après le relevé des erreurs sur les paramètres de bruit extraits en bande D , nous constatons que l'incertitude moyenne est un peu plus élevée en début de bande D (130 – 140 GHz) seulement sur la phase de Γ_{opt} . Sur les autres paramètres de bruit, l'incertitude est quasiment identique dans l'intégralité de la bande 130 – 170 GHz. Cela s'explique par le fait que nous avons imposé dans notre calcul d'erreur une valeur constante de ΔENR de $\pm 0.5\text{dB}$ pour toute cette bande de fréquence et l'erreur sur l' ENR est la contributrice majoritaire à l'incertitude sur le facteur de bruit mesuré en bande D .

Ce calcul d'erreur a été proposé lors de la conférence IEEE International Symposium on Radio Frequency Integration Technology, en août 2014 [168].

II.5. Validation de l'extraction par comparaison aux mesures de facteur de bruit

Avec le *tuner in situ*, nous disposons des mesures de facteur de bruit sur le transistor B9MW sous plusieurs impédances de source.

En extrayant via l'algorithme de Lane les quatre paramètres de bruit avec les 32 facteurs de bruit mesurés, il est possible de recalculer le facteur de bruit à partir des paramètres de bruit pour une position du tuner suivant la formule suivante :

$$F(\Gamma_s) = F_{\min} + \frac{4R_n}{Z_0} \frac{|\Gamma_{opt} - \Gamma_s|^2}{|1 + \Gamma_{opt}|^2 (1 - |\Gamma_s|^2)} \quad \text{Eq-132}$$

Le coefficient de réflexion de source du tuner a été déterminé dans le plan M1 par calcul à partir des paramètres S mesurés du tuner seul.

En choisissant deux coefficients de source différents, la comparaison du facteur de bruit mesuré au facteur de bruit recalculé dans le plan M1 permet d'étudier une éventuelle dépendance de l'algorithme de Lane vis-à-vis de la constellation de coefficient de source à présenter au transistor. Rappelons qu'un facteur de pondération de $W_i = 1/F_i^2$ qui donne plus de poids aux facteurs de bruit proche de F_{\min} a été utilisée dans notre implémentation de l'algorithme de Lane.

Le premier coefficient de source utilisé pour la comparaison est celui proche du coefficient de réflexion optimal pour le bruit, Γ_{opt} . (cf. Fig. 110). Ce coefficient de source correspond au code de polarisation '11000' du tuner VI. Pour cette position du tuner proche de Γ_{opt} , la comparaison entre le facteur de bruit mesuré et celui recalculé à partir des quatre paramètres de bruit extraits des 32 mesures de facteur de bruit est présentée à la Fig. 111. D'une valeur moyenne de 0.03 dB de 130 à 170 GHz, la différence entre le facteur de bruit mesuré et recalculé est très faible (cf. Fig. 111-b). Au vu du poids donné à la mesure du facteur de bruit proche de F_{\min} via le facteur de pondération W_i , le modèle de bruit extrait par l'algorithme de Lane est d'une précision satisfaisante pour tout coefficient de source proche de Γ_{opt} . Cette précision devrait être altérée pour un coefficient de source loin de la zone optimale de bruit.

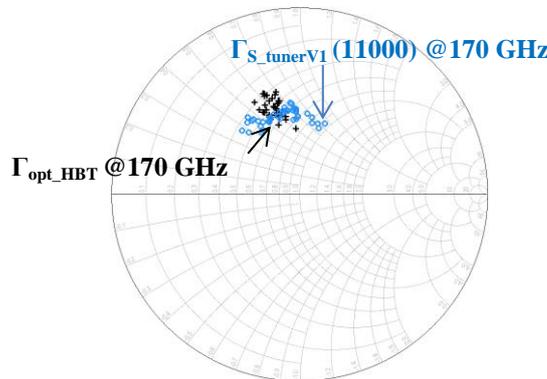


Fig. 110 - Coefficient de réflexion du tuner VI correspondant au code '11000' proche de Γ_{opt} de 130 à 170 GHz

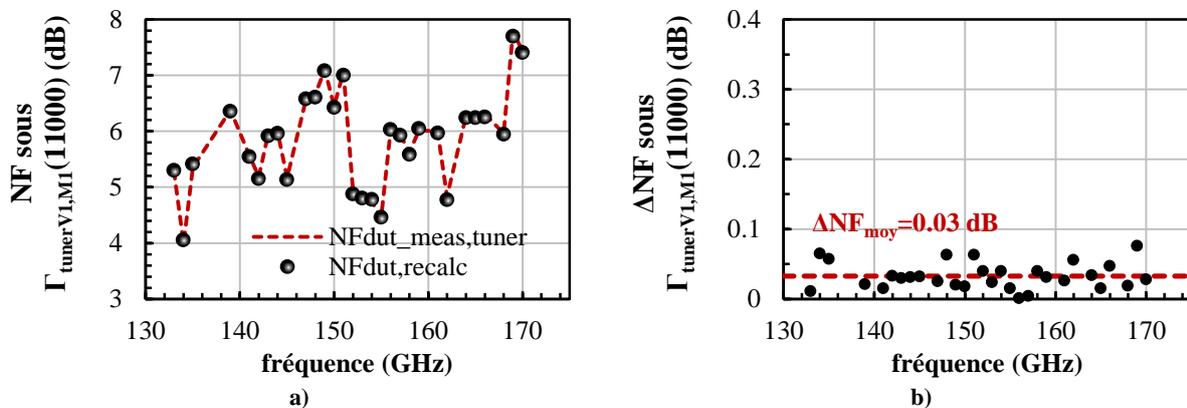


Fig. 111 - Comparaison entre le facteur de bruit du transistor mesuré et recalculé à partir des paramètres de bruit extraits sous une impédance proche de Γ_{opt} ($\Gamma_{tuner,M1} \Leftrightarrow$ code=11000) (plan M1) de 130 à 170 GHz
Géométrie du transistor sous test : HBT B9MW CBEBC $0.12 \times 4.85 \mu\text{m}^2$, $V_{CE} = 1.2\text{V}$, $J_C = 16\text{mA}/\mu\text{m}^2$

Le deuxième coefficient de source utilisé est celui le plus éloigné possible de Γ_{opt} parmi tous ceux synthétisés par le *tuner* V3 (cf. Fig. 112). Il correspond au code '00000' du *tuner* V3. Comme attendu, le facteur de bruit mesuré sous ce coefficient de source loin de Γ_{opt} est plus élevé que celui de la position '11000' du *tuner* V1, proche de Γ_{opt} . La comparaison entre le facteur de bruit mesuré et celui recalculé, montrée en Fig. 113 met en évidence une différence moyenne de 0.17 dB de 130 à 170 GHz, soit une différence moyenne 6 fois plus importante que celle obtenue avec le coefficient de source proche de Γ_{opt} . Cependant, en valeur absolue, une erreur de 0.17 dB sur le facteur de bruit est tout à fait acceptable à ces hautes fréquences et fait partie de la marge d'erreur calculée.

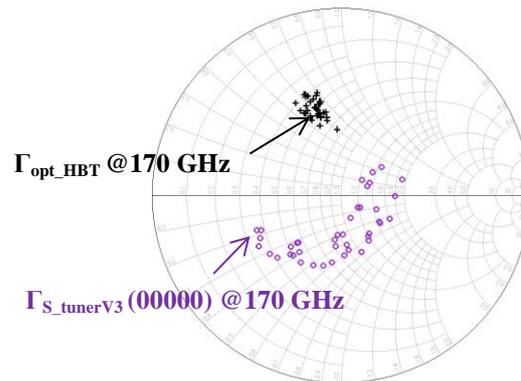


Fig. 112 - Coefficient de réflexion du *tuner* V3 correspondant au code '00000' loin de Γ_{opt} de 130 à 170 GHz

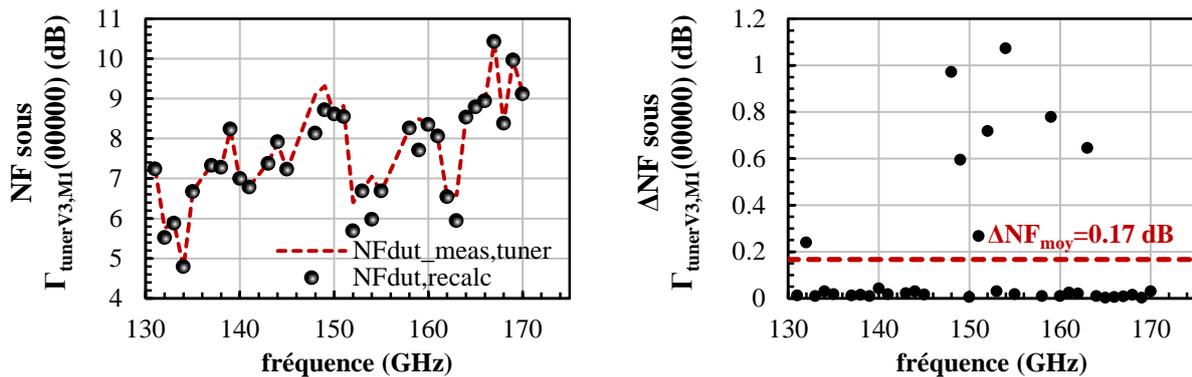


Fig. 113 - Comparaison entre le facteur de bruit du transistor mesuré et recalculé à partir des paramètres de bruit extraits sous une impédance loin de Γ_{opt} ($\Gamma_{tunerV3,M1} \Leftrightarrow$ code=00000) (plan M1) de 130 à 170 GHz
Géométrie du transistor sous test : HBT B9MW CBEBC $0.12 \times 4.85 \mu\text{m}^2$, $V_{CE} = 1.2\text{V}$, $J_C = 16\text{mA}/\mu\text{m}^2$

D'après une comparaison entre le facteur de bruit mesuré et celui recalculé à partir des quatre paramètres de bruit extraits, l'algorithme de Lane avec un facteur de pondération $W_i = 1/F_i^2$ montre ainsi une précision assez satisfaisante ($\Delta NF_{moy} \leq 0.17\text{dB}$) pour l'extraction des quatre paramètres de bruit dans l'intégralité de la bande 130 – 170 GHz. La technique multi-impédance associée à l'algorithme de Lane semble peu dépendante expérimentalement du choix des lieux d'impédance de source, hormis le fait que la précision de l'extraction est quelque peu dégradée lorsqu'on s'éloigne de Γ_{opt} . L'algorithme de Lane paraît en effet converger vers une solution unique quel que soit l'impédance de source présentée au transistor, proche ou loin de Γ_{opt} . Sa robustesse est donc prouvée expérimentalement grâce à l'extraction des quatre paramètres de bruit du transistor bipolaire B9MW à l'aide d'un *tuner in situ* en bande D.

En conclusion de cette première partie du Chapitre 3, pour la première fois des résultats ont été obtenus pour l'extraction des quatre paramètres de bruit d'un transistor

B9MW sur l'intégralité de la bande 130 – 170 GHz, et ce à plusieurs points de polarisation dont l'optimum en gain. L'extraction des quatre paramètres de bruit du transistor a été confrontée au modèle de bruit d'Hawkins extrait pour le transistor seul. Les mesures de bruit ont été remises en question lors d'un calcul d'erreur, ce qui a permis d'estimer des barres d'erreur sur les paramètres de bruit extraits. La comparaison avec la mesure de facteur de bruit de 130 à 170 GHz a démontré la robustesse de l'algorithme de Lane, qui semble indépendant du choix du lieu des impédances de source, tout comme l'énonce la théorie.

Afin de pallier aux incertitudes importantes liées à la mesure de bruit en bande D , entrevues dans ce paragraphe lors du calcul d'erreur, une nouvelle approche pourrait être d'augmenter le gain de chaîne du système de mesure en intégrant un amplificateur avec le *tuner* d'impédance. La faisabilité d'un tel système 'amplificateur + *tuner*' pour l'extraction des quatre paramètres de bruit de transistor bipolaire a été démontrée par T. Quémerais [134] en bande W sur la technologie B5T. Pour poursuivre la montée en fréquence et caractériser en bruit le transistor bipolaire de dernière génération de la technologie B55, un travail de conception de circuits a été effectué en bande D et les circuits réalisés seront présentés dans le prochain paragraphe.

III. Conception de circuits dédiés à la caractérisation en bruit du transistor B55 jusqu'à 170 GHz

Le deuxième objectif lié à la caractérisation en bruit de transistor de nos travaux de thèse a concerné la conception de circuits dédiés à l'extraction des quatre paramètres de bruit du transistor B55 en bande D . Deux types de circuits ont été conçus : il s'agit d'un amplificateur large bande et d'un *tuner* d'impédance fonctionnant en bande D , voire en bande G .

La conception des circuits, qui comprend la simulation et le dessin des masques (*layout*), a été effectuée sur le site de STMicroelectronics Crolles afin de bénéficier de l'environnement Cadence® et du *Design Kit* B55 contenant le modèle HICUM en version Spice sous Eldo®.

Un premier séjour en décembre 2012 a permis de concevoir deux amplificateurs en bande G sur le tout premier masque B55, appelé BORNEO. Aucune plaque en technologie B55 n'ayant été fabriquée à cette période, le modèle HICUM du *Design Kit* utilisé a été mis au point grâce à des simulations *TCAD* (*Technology Computer Aided Design*). Il est défini par un niveau de maturité 'MAT5'. Pour cette conception initiale de circuits, des erreurs de connexion sur le dessin des masques de ces amplificateurs nous ont malheureusement empêchés d'obtenir des résultats de mesure sur la première plaque fabriquée. Néanmoins, une deuxième fabrication nous a été proposée et nous avons profité de cette opportunité pour faire les corrections nécessaires. La deuxième plaque du masque BORNEO a été reçue fin août 2014. Des mesures de paramètres S ont donc pu être réalisées sur les amplificateurs en bande G courant septembre 2014 et pourront être confrontées aux résultats de simulation.

Les fabrications de plaques en technologie B55 courant 2013 ont permis aux modélistes de STMicroelectronics d'ajuster le modèle HICUM et celui des composants passifs (lignes microstrip, capacités, résistances) sur des mesures sur silicium. Basés sur ces nouveaux modèles de maturité 'MAT10' de transistors et de composants passifs, un nouvel amplificateur et un *tuner* d'impédance en bande G ont fait l'objet d'un deuxième et troisième séjour en mai et juin 2014 à STMicroelectronics Crolles. Ces derniers circuits sont encore en cours de fabrication, nous n'en présenterons donc que les résultats de simulation.

III.1. Conception d'amplificateur en bande G

Le challenge majeur de la conception de l'amplificateur en bande G a été sa réalisation dans la technologie B55. En cours d'élaboration, les modèles de transistors et des composants passifs n'étaient pas encore à un stade de maturation suffisante. Après le travail d'extraction de modèle sur la plaque B5T (présenté dans le Chapitre 2) et en l'absence du Design Kit B55, le schéma équivalent petit signal extrait en B5T jusqu'à 220 GHz au point de polarisation optimal en gain a été mis à profit pour entamer une conception préliminaire d'amplificateur et définir son architecture. Nous verrons dans un premier temps l'architecture choisie pour minimiser les risques sur le fonctionnement de l'amplificateur en bande G réalisé sur le premier masque B55, puis nous montrerons les résultats obtenus en termes de simulations et mesures.

a. Architecture

L'amplificateur en bande G étant destiné à être intégré avec un tuner d'impédance pour la caractérisation en bruit du transistor, il doit remplir les conditions suivantes :

- 1) la bande passante à -10 dB doit couvrir au minimum la bande 130 – 170 GHz, qui correspond à la bande de mesure avec notre récepteur de bruit
- 2) le gain doit être supérieur à 8-9 dB dans la bande 130 – 170 GHz
- 3) le facteur de bruit doit être autour de 10 dB dans la bande 130 – 170 GHz

Pour répondre à ce cahier des charges, nous avons choisi d'utiliser le plus petit transistor bipolaire de référence, de dimensions dessinées $0.2 \times 5 \mu\text{m}^2$, pour tenter de minimiser le facteur de bruit de l'ensemble du circuit, n'ayant pas à disposition un modèle de bruit assez fiable en bande G. En effet, nous avons préféré ni polariser ni adapter le premier étage de l'amplificateur au minimum de bruit, probablement mal localisé par le modèle HICUM de faible maturité, mais au maximum de gain.

L'architecture de l'amplificateur est une architecture conventionnelle basée sur la mise en cascade de plusieurs étages de transistor bipolaire en montage émetteur commun. Elle est inspirée de l'architecture de l'amplificateur faible bruit, à un seul étage de transistor bipolaire B5T, conçu par Thomas Quémerais en bande W [134]. Les réseaux d'adaptation utilisent des lignes de transmission dont la modélisation est mieux maîtrisée que pour les capacités et les inductances en gamme millimétrique. Une version à trois étages et une autre à quatre étages de l'amplificateur en bande G ont été réalisées en technologie B55.

La stabilité des circuits étant un point essentiel en gamme sub-THz, nous avons opté pour une adaptation de l'entrée et la sortie de chaque étage sur 50Ω . L'enjeu est d'obtenir un amplificateur inconditionnellement stable, qui ne pourra jamais entrer en oscillation. La stabilité de chaque étage est vérifiée en ayant recours aux conditions de Rollet [169] qui spécifient qu'un quadripôle est considéré comme inconditionnellement stable si :

$$\begin{cases} k > 1 \\ |\Delta_S| < 1 \end{cases} \quad \text{Eq-133}$$

$$\text{avec } k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta_S|^2}{2|S_{12}||S_{21}|} \quad \text{Eq-134}$$

$$\text{et } \Delta_S = S_{11} \cdot S_{22} - S_{12} \cdot S_{21} \quad \text{Eq-135}$$

En général, la condition sur facteur de Rollet, k , est plus difficile à atteindre (cf. Eq-133), car la condition sur Δ_S est souvent vérifiée lorsque la première l'est. Dans le cas de la technologie B55, le transistor bipolaire montre un facteur de Rollet très proche de 1. Nous choisissons alors de dégénérer les émetteurs des étages centraux.

Chaque transistor est polarisé au maximum de gain afin d'assurer un gain de chaîne le plus grand possible. D'après la simulation sous Eldo[®], les tensions de base et de collecteur devraient respectivement être de 1,55 V et 1,215 V. La polarisation des bases des transistors se fait au moyen d'une forte résistance de 30 k Ω qui forme avec la tension de polarisation une source de courant de base très stable. La polarisation des collecteurs se fait au travers du réseau d'adaptation.

Une capacité de découplage de 2 pF (8 capacités de 54 fF en parallèle) est connectée en parallèle de chaque ligne de polarisation de base et collecteur des transistors. Reliée au plan de masse, elle permet de découpler le signal RF de la voie DC. Une capacité de liaison de 54 fF est insérée en série sur la base et le collecteur de chaque transistor à la fois pour découpler le signal DC de la voie RF et casser le gain à basse fréquence pour assurer la stabilité de chaque étage.

Afin d'élargir la bande passante au maximum, une adaptation double stub en parallèle a été effectuée pour ramener à 50 Ω l'entrée du premier étage et la sortie du dernier étage. L'entrée et la sortie des autres étages sont adaptées sur 50 Ω avec des simples stubs en parallèle. L'impédance de chaque ligne principale et stub des réseaux d'adaptation est de 50 Ω . Les stubs utilisés côté base sont court-circuités. Bien qu'ils nécessitent de grandes longueurs de ligne pour l'adaptation inter-étage en simple stub, leur dessin de masque, avec une simple connexion au plan de masse, est plus simple à réaliser que celui des stubs en circuit ouvert. Côté collecteur, la présence de la capacité de découplage permet naturellement de réaliser des stubs en circuit ouvert.

Le plot d'entrée est pris en compte dans l'adaptation sur 50 Ω . D'après une modélisation effectuée à STMicroelectronics, le plot est modélisé électriquement par un circuit RC parallèle, avec une capacité de 27 fF et une résistance de 500 Ω . Le plot de sortie n'est pas pris en compte puisque l'amplificateur sera intégré, à sa sortie, avec un *tuner*.

Les schémas et dimensions des amplificateurs à 3 et 4 étages avec adaptation inter-étage sur 50 Ω sont donnés dans les tableaux 30 et 31. La réduction de taille (*shrink*) due au procédé de fabrication impose que : $dimension\ idéale = dimension\ dessinée \times 0.9$

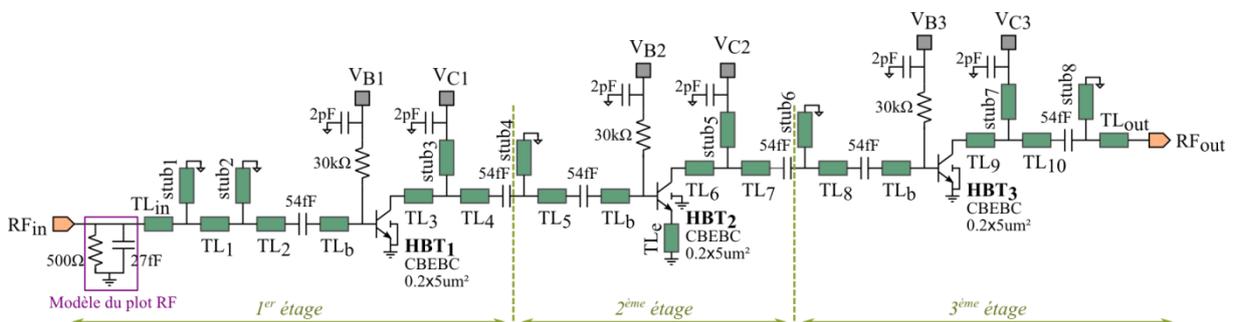


Fig. 114 - Schéma de l'amplificateur B55 à 3 étages en émetteur commun avec adaptation 50 Ω en bande G

1 ^{er} étage	TL _{in}	stub ₁	TL ₁	stub ₂	TL ₂	TL ₃	stub ₃	TL ₄
Longueur idéale (µm)	22	90	83	78	25	35	66	5
Longueur dessinée (µm)	24.4	100.0	92.2	86.7	27.8	38.9	73.3	5.6

2 ^{ème} étage	stub ₄	TL ₅	TL ₆	stub ₅	TL ₇
Longueur idéale (µm)	310	140	50	100	5
Longueur dessinée (µm)	344.4	155.6	55.6	111.1	5.6

3 ^{ème} étage	stub ₆	TL ₈	TL ₉	stub ₇	TL ₁₀	stub ₈	TL _{out}
Longueur idéale (µm)	70	25	5	64	25	80	18
Longueur dessinée (µm)	77.8	27.8	5.6	71.1	27.8	88.9	20.0

Autre	TL _b	TL _e	TL _e	Autres TLines et stubs
Longueur idéale (µm)	5	20		
Longueur dessinée (µm)	5.6	22.2		
			Largeur idéale (µm)	1
			Largeur dessinée (µm)	1.1
				6
				6.67

Tableau 30 - Dimensions des lignes et stubs de l'amplificateur à 3 étages en émetteur commun avec adaptation 50Ω en bande G

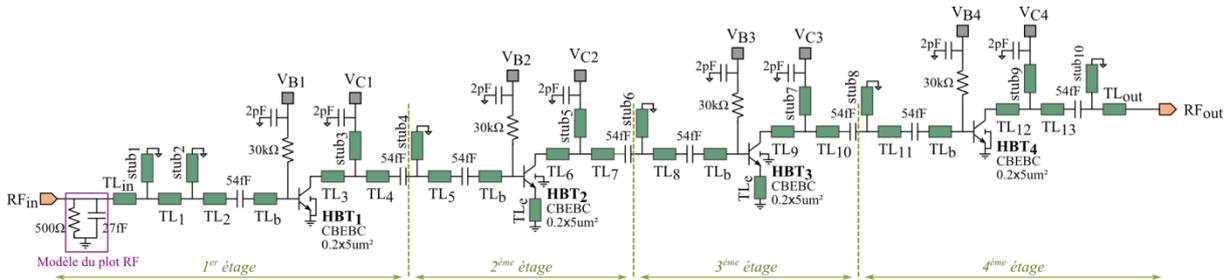


Fig. 115 - Schéma de l'amplificateur B55 à 4 étages en émetteur commun avec adaptation 50Ω en bande G

1 ^{er} étage	TL _{in}	stub ₁	TL ₁	stub ₂	TL ₂	TL ₃	stub ₃	TL ₄
Longueur idéale (µm)	22	90	83	78	25	35	66	5
Longueur dessinée (µm)	24.4	100.0	92.2	86.7	27.8	38.9	73.3	5.6

2 ^{ème} étage	stub ₄	TL ₅	TL ₆	stub ₅	TL ₇
Longueur idéale (µm)	310	140	50	100	5
Longueur dessinée (µm)	344.4	155.6	55.6	111.1	5.6

3 ^{ème} étage	stub ₆	TL ₈	TL ₉	stub ₇	TL ₁₀
Longueur idéale (µm)	70	25	50	100	5
Longueur dessinée (µm)	77.8	27.8	55.6	111.1	5.6

4 ^{ème} étage	stub ₈	TL ₁₁	TL ₁₂	stub ₉	TL ₁₃	stub ₁₀	TL _{out}
Longueur idéale (µm)	70	25	5	64	25	80	18
Longueur dessinée (µm)	77.8	27.8	5.6	71.1	27.8	88.9	20.0

Autre	TL _b	TL _e	TL _e	Autres TLines et stubs
Longueur idéale (µm)	5	20		
Longueur dessinée (µm)	5.6	22.2		
			Largeur idéale (µm)	1
			Largeur dessinée (µm)	1.1
				6
				6.67

Tableau 31 - Dimensions des lignes et stubs de l'amplificateur B55 à 4 étages en émetteur commun avec adaptation 50Ω en bande G

b. Démarche de conception et résultats

Nous proposons dans cette section de détailler la démarche de conception, étage par étage. Enfin, les résultats de simulation sur les amplificateurs à 3 et 4 étages seront confrontés en paramètres S aux mesures réalisées sur la plaque corrigée du masque BORNEO. Tous les résultats de simulation sont obtenus avec le simulateur Spice Eldo de Mentor Graphics® et le modèle HICUM Level 0 version 1.3 ‘MAT 5’.

* Démarche de conception étage par étage

Premier étage

Pour le premier étage représenté en Fig. 116, le plot RF d’entrée du circuit et la capacité de liaison sont tous deux pris en compte dans l’adaptation sur $50\ \Omega$. L’adaptation en entrée du premier étage sur $50\ \Omega$ est faite en double stub parallèle court-circuité, ce qui permet de maximiser la bande passante en entrée, définie comme la plage de fréquence pour laquelle $|S_{11}| \leq -10\ \text{dB}$. L’adaptation en sortie du premier étage sur $50\ \Omega$ est faite en simple stub parallèle en circuit ouvert. L’adaptation est centrée autour de $170 - 180\ \text{GHz}$ en simulation afin d’anticiper un décalage éventuel de $20\ \text{GHz}$ sur la bande passante réelle, c’est-à-dire un centrage réel autour de $150 - 160\ \text{GHz}$.

Les modules des paramètres S_{11} , S_{21} et S_{22} , ainsi que le facteur de Rollet, sont simulés en AC de 120 à $220\ \text{GHz}$ (cf. Fig. 117). Le facteur de Rollet, étant supérieur à 1.3 dans toute la bande de fréquence simulée, montre que le premier étage de l’amplificateur est bien inconditionnellement stable. Nous obtenons pour ce premier étage une bande passante à $-10\ \text{dB}$ allant de 165 à $195\ \text{GHz}$.

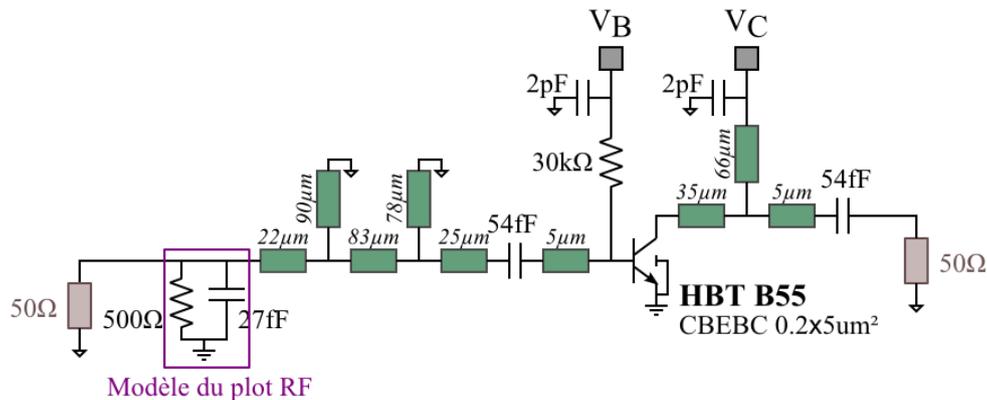


Fig. 116 - Schéma du premier étage de l'amplificateur avec adaptation sur $50\ \Omega$ en bande G

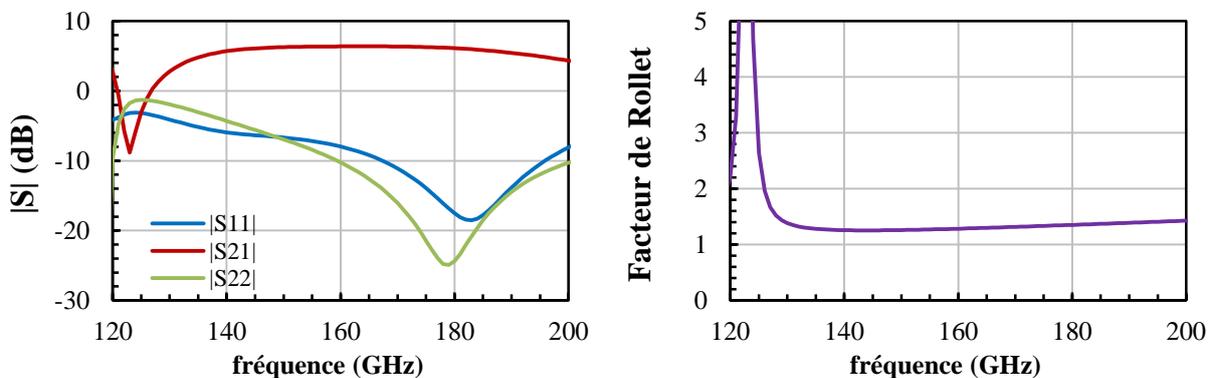


Fig. 117 - Résultats de simulation Eldo® pour le premier étage de l'amplificateur avec adaptation $50\ \Omega$ en bande G

Etage central

L'étage central, représenté en Fig. 118, est adapté sur $50\ \Omega$ en entrée en simple stub parallèle court-circuité et en sortie en simple stub parallèle en circuit ouvert. L'entrée du deuxième étage est la plus délicate à adapter en simple stub. La bande passante à $-10\ \text{dB}$ est très étroite, nous essayons de centrer la résonance sur S_{11} à $170\ \text{GHz}$. Le module de S_{22} est inférieur à $-10\ \text{dB}$ sur une très large bande de 140 à plus de $200\ \text{GHz}$.

En terme de stabilité, nous avons dû dégénérer l'émetteur en y plaçant une ligne de transmission de $20\ \mu\text{m}$ de longueur sur $1\ \mu\text{m}$ de largeur, équivalente à une faible inductance, afin d'obtenir la stabilité inconditionnelle du deuxième étage.

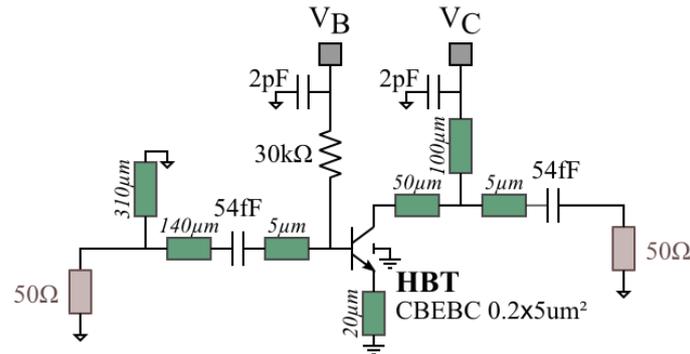


Fig. 118 - Schéma du deuxième étage de l'amplificateur avec adaptation $50\ \Omega$ en bande G

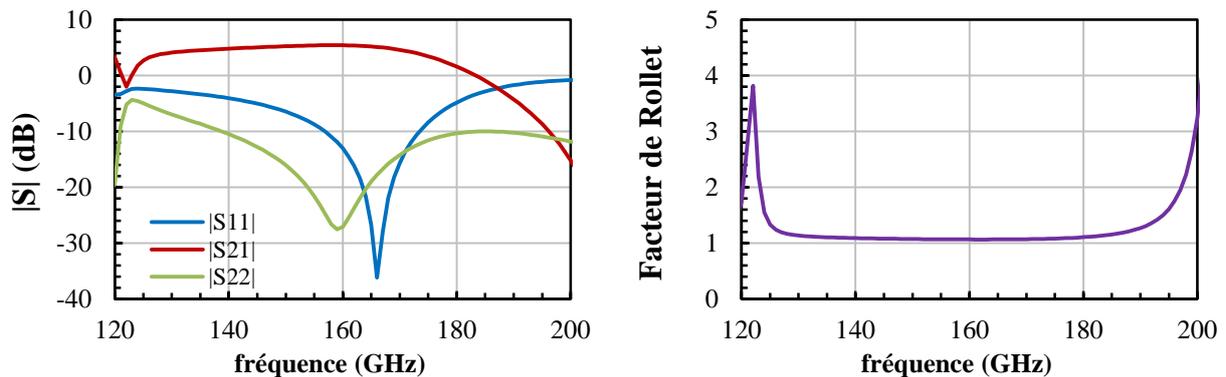


Fig. 119 - Résultats de simulation Eldo® pour le premier étage de l'amplificateur avec adaptation $50\ \Omega$ en bande G

Sur l'amplificateur à 4 étages, le troisième étage est quasiment identique au deuxième étage (cf. schéma de l'amplificateur en Fig. 115), excepté la longueur de la ligne et du stub en entrée. Son explication ne présente donc pas d'intérêt particulier.

Dernier étage

Le dernier étage, représenté en Fig. 120, est adapté en simple stub parallèle court-circuité en entrée et en double stub en sortie. L'adaptation double stub en sortie permet d'ajuster la bande passante pour la rendre la plus large possible en sortie de l'amplificateur avec tous les étages mis en cascade.

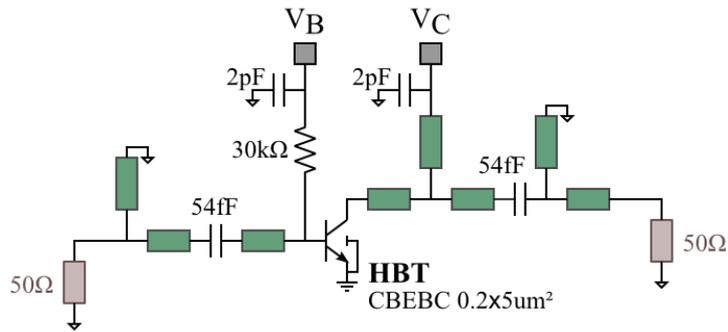


Fig. 120 - Schéma du dernier étage de l'amplificateur avec adaptation 50Ω en bande G

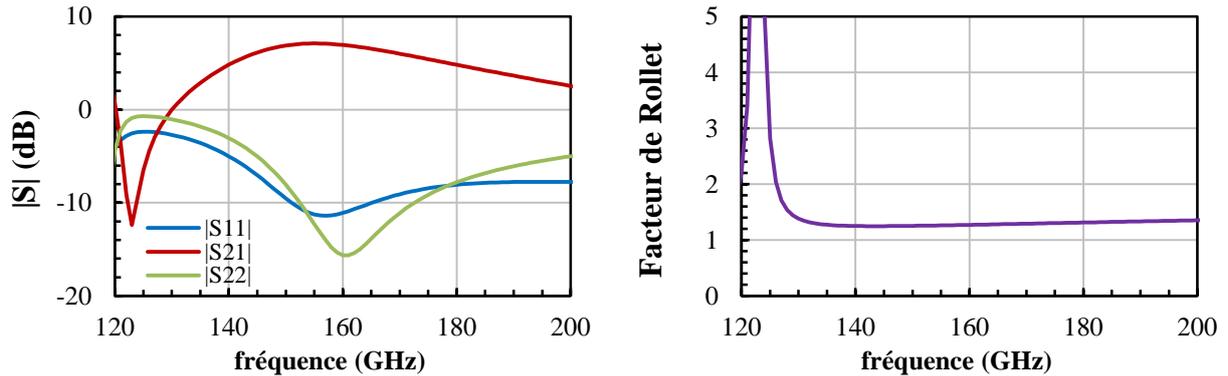


Fig. 121 - Résultats de simulation Eldo® pour le dernier étage de l'amplificateur avec adaptation 50Ω en bande G

* Résultats de simulation et de mesure sur l'amplificateur à 3 étages avec adaptation inter-étage sur 50Ω

Une fois que les étages d'entrée, central et de sortie sont dimensionnés, ils sont mis en cascade pour former l'amplificateur à 3 étages. Lors de la phase de dessin des masques, n'ayant pas de modèle de ligne coudée à disposition, nous avons préféré dessiner des lignes droites afin d'éviter de s'écarter du modèle de ligne pour cet amplificateur fonctionnant dans la gamme sub-THz. Ses dimensions ne sont donc pas optimisées et sont de 725×850μm², comme le montre la Fig. 122.

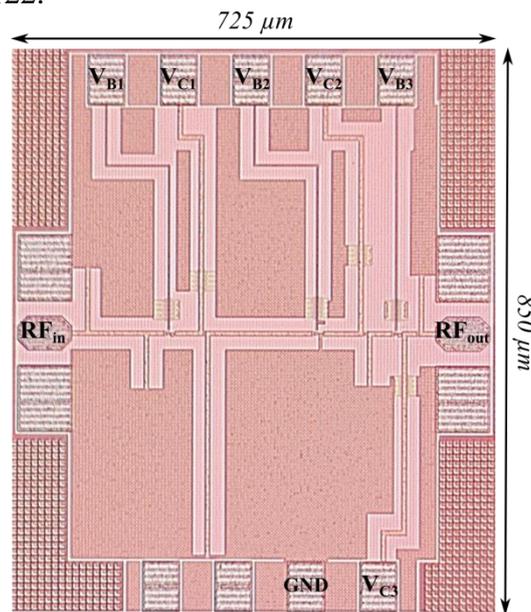


Fig. 122 - Photographie de l'amplificateur B55 à 3 étages en émetteur commun avec adaptation 50Ω en bande G

La stabilité de l'amplificateur étant un problème important, nous avons recours à deux moyens de vérification :

- 1) Déterminer le facteur de Rollet de l'amplificateur à 3 étages
- 2) Utiliser l'analyse de stabilité proposée par le simulateur Eldo RF[®]. Le simulateur est effectivement capable de réaliser une analyse de stabilité locale autour d'un point de fonctionnement. L'analyse .SST STABIL calcule les pôles du circuit et identifie ceux qui ont une partie réelle négative et mèneront à une instabilité du circuit

Les résultats de simulation sont exposés en Fig. 123. Le facteur de Rollet est bien supérieur à 1 dans toute la bande 120 – 200 GHz. L'analyse de stabilité d'Eldo RF[®] ne détecte aucun pôle à partie réelle négative : l'amplificateur à 3 étages semble stable.

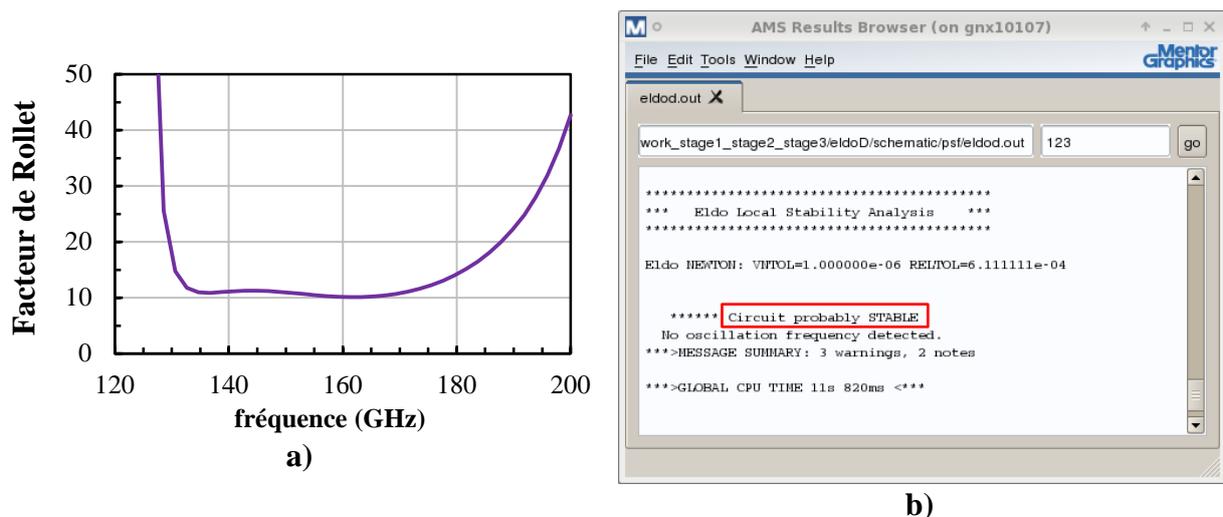


Fig. 123 - Résultats d'analyse de stabilité pour l'amplificateur B55 à 3 étages : a) facteur de Rollet k appliqué à l'amplificateur, b) analyse .SST STABIL d'Eldo[®]

Les paramètres S simulés entre 120 et 220 GHz sont maintenant comparés à ceux mesurés (cf. Fig. 124).

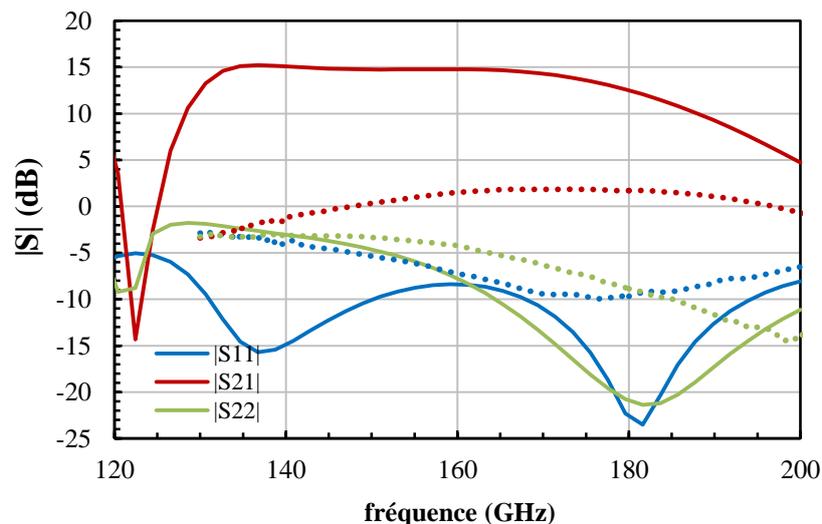


Fig. 124 - Paramètres S simulés et mesurés de l'amplificateur B55 à 3 étages en fonction de la fréquence, de 120 à 200 GHz ; ligne=simulation, pointillé=mesure

Les mesures de paramètres S (en pointillés) sur la plaque corrigée du masque BORNEO ont été réalisées de 130 à 220 GHz par pas de 250 MHz, après un calibrage $LRRM$ sur substrat ISS . Chaque étage a été polarisé au maximum de gain, avec un courant de base de

10 μA pour chaque transistor et une tension de collecteur-émetteur de 1,2 V. Le courant total de collecteur mesuré est de 21 mA, exactement comme le prédit la simulation DC sous Eldo[®] sur le modèle HICUM ‘MAT5’. Cependant, le module de S_{21} mesuré ne dépasse pas 1.86 dB (valeur maximale atteinte à 166 GHz), contre 15 dB en simulation de 140 à 170 GHz. Les modules de S_{11} et S_{22} mesurés restent supérieurs à -10 dB dans toute la bande 130 – 200 GHz. L’adaptation réelle n’est donc pas aussi bonne qu’en simulation. Les grandes différences entre la mesure et la simulation laissent supposer un fort décalage entre le modèle et le comportement réel des transistors et des composants passifs présents dans le circuit. Cela sera retrouvé également sur l’amplificateur à 4 étages. Par manque de temps, nous n’avons malheureusement pas pu procéder à des rétro-simulations à partir des paramètres S de chaque composant mesuré seul en bande G , qui auraient pu fournir des explications sur ces différences importantes, notamment sur le gain.

* *Résultats de simulation et de mesure sur l’amplificateur à 4 étages avec adaptation inter-étage sur 50Ω*

L’amplificateur à 4 étages résulte de la mise en cascade de l’étage d’entrée, de deux étages centraux et de l’étage de sortie, dont les démarches de conception ont été expliquées précédemment au §III.1.b. Tout comme l’amplificateur à 3 étages, le dessin des masques n’a pas été optimisé en couplant les lignes afin d’éviter toute dérive par rapport au modèle de ligne. Les dimensions de l’amplificateur à 4 étages sont de $950 \times 850 \mu\text{m}^2$ (cf. Fig. 122).

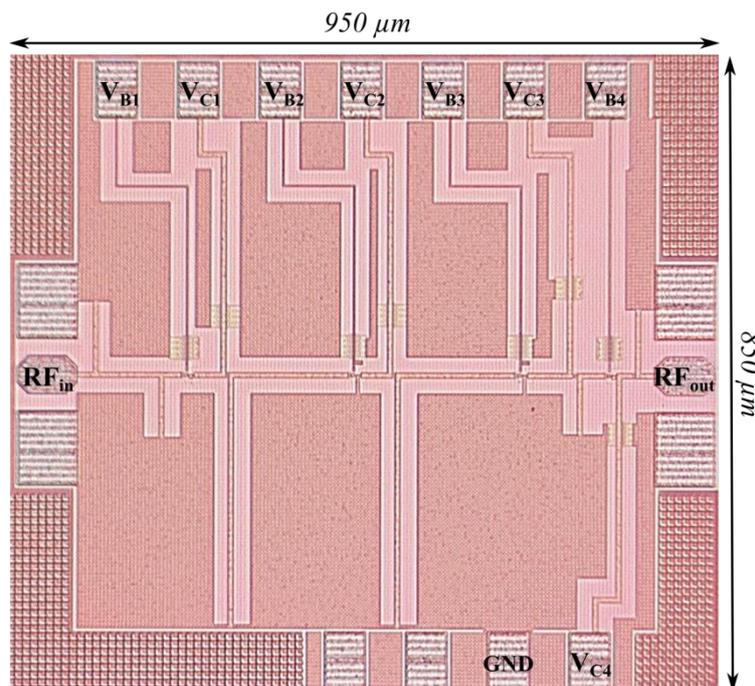


Fig. 125 - Photographie de l’amplificateur B55 à 4 étages en émetteur commun avec adaptation 50Ω en bande G

La stabilité est vérifiée de la même manière que précédemment sur l’amplificateur à 4 étages. L’analyse .SST STABIL avec Eldo RF ne décèle aucune source d’instabilité pour l’amplificateur à 4 étages. Le facteur de Rollet calculé sur l’amplificateur à 4 étages est bien supérieur à 1 de 120 à 200 GHz (cf. Fig. 126).

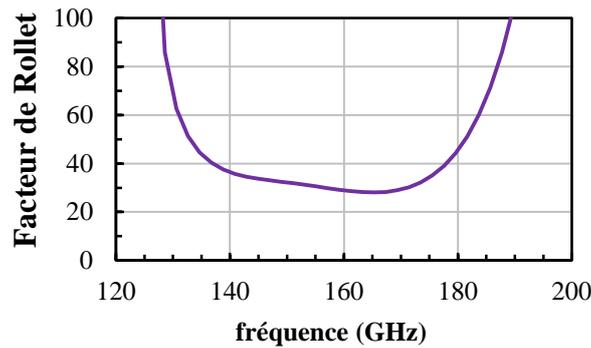


Fig. 126 - Facteur de Rollet k appliqué à l'amplificateur B55 à 4 étages en fonction de la fréquence

La confrontation mesure/simulation de 120 à 200 GHz est illustrée dans la Fig. 127.

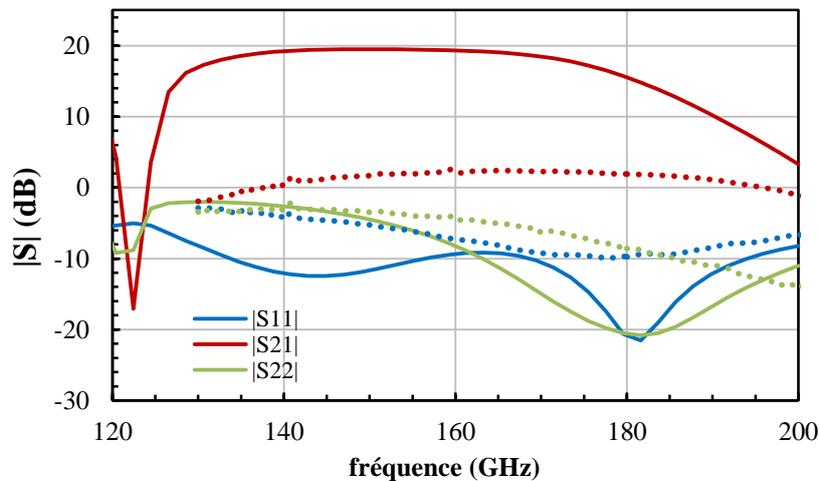


Fig. 127 - Paramètres S simulés et mesurés de l'amplificateur B55 à 4 étages en fonction de la fréquence, de 120 à 200 GHz ; ligne=simulation, pointillé=mesure

A partir de la plaque corrigée du masque BORNEO, les paramètres S de l'amplificateur à 4 étages ont été mesurés (en pointillés) de 130 à 220 GHz par pas de 250 MHz, après un calibrage $LRRM$ sur substrat ISS . Chaque étage a été polarisé au maximum de gain, avec un courant de base de 10 μA pour chaque transistor et une tension de collecteur-émetteur de 1,2 V. Le courant total de collecteur mesuré est de 28 mA, soit une valeur identique à la simulation DC sous Eldo[®] sur le modèle HICUM 'MAT5'. Cependant, le module de S_{21} mesuré atteint une valeur maximale de 2.4 dB à 166 GHz, alors que nous l'estimions à 18 dB de 140 à 170 GHz par simulation. Les modules de S_{11} et S_{22} mesurés restent également supérieurs à -10 dB dans toute la bande 130 – 200 GHz. Une forte dérive entre la simulation et les mesures se retrouve donc aussi sur la réalisation de cet amplificateur à 4 étages.

En conclusion, bien que le transistor de chaque étage délivre le courant de collecteur correspondant au maximum de gain (7 mA par étage), l'adaptation réelle en entrée et en sortie de l'amplificateur semble assez décalée par rapport à la simulation, ce qui laisse imaginer une différence également importante sur les réseaux d'adaptation inter-étage. De ce fait, le gain total de l'amplificateur avec ses 3 ou 4 étages serait considérablement affecté.

Par ailleurs, nous n'avons pas pu disposer d'un temps nécessaire pour investiguer la source de ces différences entre simulation et mesure et procéder à des rétro-simulations à l'aide de paramètres S mesurés sur chaque composant du circuit seul en bande G . A la place, la conception de circuits à partir de modèles de composants de maturité supérieure a été

envisagée. Nous avons donc par la suite conçu un *tuner* d'impédance fonctionnant en bande *G* destiné à être intégré avec un amplificateur.

III.2. Conception de tuner d'impédance

a. Architecture du tuner

L'architecture du *tuner* d'impédance, représenté en Fig. 128, est similaire à celle du *tuner* conçu par L. Poulain en B9MW [133] qui avait été détaillée au Chapitre 3 - §II.1. Elle repose sur l'utilisation d'une ligne de transmission 50Ω chargée par une capacité digitale de type *DTC* (*Digitally Tunable Capacitance*). La capacité de liaison de 44 fF agit comme un filtre passe-haut et permet de masquer la *DTC* à basse fréquence. Ainsi, le *tuner* retourne sur 50Ω à basse fréquence, impédance sous laquelle le transistor seul est mesuré et ne montre pas d'instabilité.

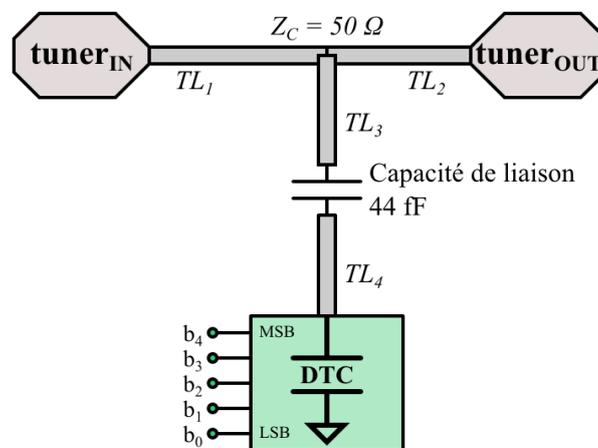


Fig. 128 - Architecture du tuner d'impédance B55 dédié à la caractérisation en bruit de transistor bipolaire B55 en bande *G*

En technologie B9MW, la *DTC* était composée de transistors MOSFET en nœud technologique 130 nm . En passant à la technologie B55, cette *DTC* a dû être conçue à nouveau avec des transistors MOS en nœud technologique 65 nm .

Comme discuté dans le premier paragraphe sur l'extraction des quatre paramètres de bruit du transistor bipolaire, la constellation d'impédance présentée au transistor est importante. En dimensionnant les quatre lignes de transmission du *tuner*, nous essaierons d'optimiser cette constellation d'impédance pour obtenir une couverture de l'abaque de Smith relativement grande dans la zone optimale pour le bruit du transistor. Le lieu des impédances optimales pour le bruit du transistor bipolaire B55 sera prédit par simulation du modèle HICUM du niveau de maturité 'MAT10', c'est-à-dire ajusté sur des mesures de transistor.

b. Démarche de conception

* Conception de la capacité digitale *DTC*

Le principe de fonctionnement est illustré dans la Fig. 129. Une cellule élémentaire est constituée d'une ligne de transmission haute impédance et d'un transistor MOS. Le transistor MOS, contrôlé par sa tension de grille b_i , est considéré comme un interrupteur ouvert ou fermé. En interrupteur fermé, son schéma électrique équivalent est une résistance R_{ON} . En interrupteur ouvert, son comportement électrique équivalent est celui d'une capacité C_{OFF} . La

ligne de transmission haute impédance a un comportement plus inductif que capacitif et accentue le déphasage de l'impédance de la cellule élémentaire en fonction de la fréquence.

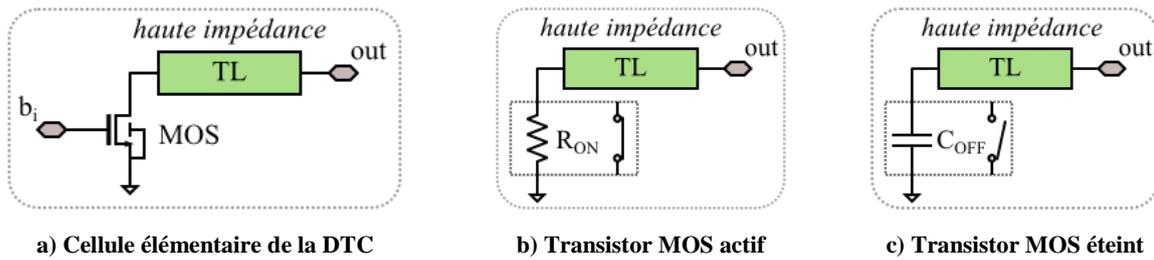


Fig. 129 - Principe de fonctionnement de la DTC avec 1 bit de contrôle

La tension de grille pour « éteindre » (état *OFF*) ou « allumer » (état *ON*) le transistor MOS est respectivement de -1,2 V et 1,2 V. A chaque état correspond une valeur de capacité comme le montre la Fig. 130 : la capacité de la cellule élémentaire est maximale lorsque le transistor MOS est à l'état *OFF* et elle est minimale lorsqu'il est à l'état *ON*.

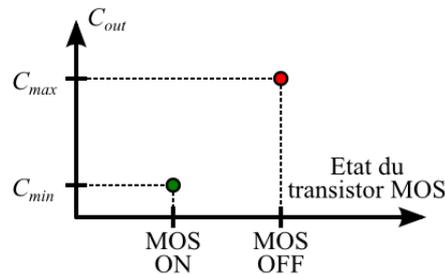


Fig. 130 - Capacité équivalente du transistor MOS en fonction de ses états *ON* et *OFF*

Le choix des dimensions du transistor MOS en technologie CMOS065 a porté sur la différence de capacité en sortie de la cellule élémentaire entre les deux états du transistor MOS. En effet, la différence de capacité ' $C_{max} - C_{min}$ ' est d'autant plus grande que la longueur et la largeur de grille est grande. Nous avons fixé la longueur de grille à 0,13 μm et choisi d'implémenter cinq transistors de largeurs de grille différentes. En effet, en augmentant progressivement (pratiquement $\times 2$) les largeurs de grille d'un transistor à un autre, une grande répartition est observée sur la capacité de sortie C_{out} en fonction des combinaisons possibles sur les bits de contrôle. Nous avons choisi de limiter la DTC à 5 étages de transistors MOS pour bénéficier du même programme IC-CAP[®] développé pour piloter les alimentations du *tuner in situ* à 5 bits en B9MW lors de la mesure de bruit.

Le schéma de la DTC est représenté à la Fig. 131. Les dimensions mentionnées dans le Tableau 32 sont des dimensions idéales. La réduction de taille des lignes liée à la fabrication impose la règle suivante : '*dimension idéale = dimension dessinée $\times 0.9$* '.

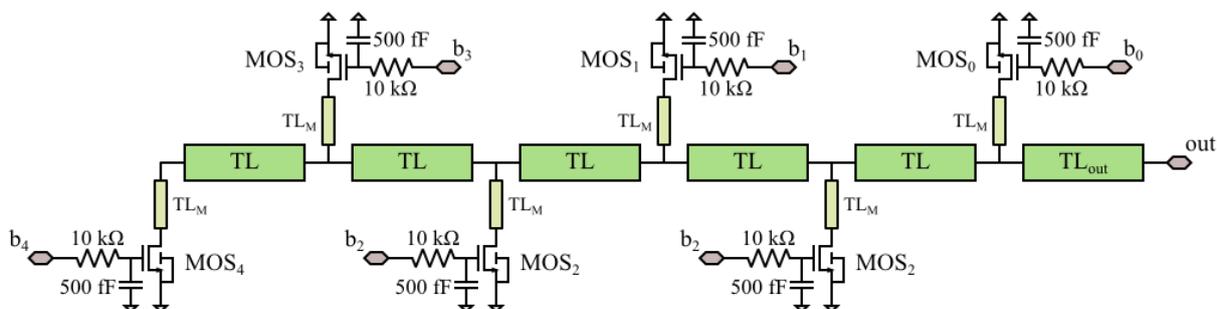


Fig. 131 - Schéma de la DTC B55 avec 5 bits de contrôle fonctionnant en bande G

Lignes de transmission	TL	TL _{out}	TL _M	Transistors MOS	MOS ₀	MOS ₁	MOS ₂	MOS ₃	MOS ₄
Longueur idéale (μm)	5	10.72	5	Largeur de grille (μm)	1	2	4	8	2×12
Largeur idéale (μm)	1	1	0.6	Longueur de grille (μm)	0.13	0.13	0.13	0.13	0.13

Tableau 32 - Dimensions des lignes de transmission et transistors MOS de la DTC B55 à 5 bits

La ligne de transmission principale, notée TL dans le schéma, possède une largeur de 1 μm qui correspond à une impédance caractéristique de 80 Ω. La ligne de sortie, TL_{out}, de 1 μm de largeur sur 10.72 μm, permet de connecter un plot de contact RF tout en respectant les règles de dessin des masques. Les lignes TL_M sont des lignes d'accès au transistor MOS. Elles sont également de haute impédance avec une largeur de 0.6 μm et une longueur de 4.365 μm. Il est impératif de les prendre en compte dans la simulation car elles contribuent aussi au déphasage du coefficient de réflexion S_{11} en fonction de la fréquence, illustré en Fig. 133.

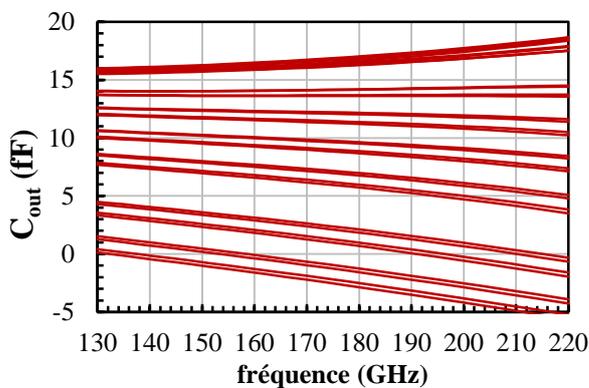


Fig. 132 - Ensemble des capacités synthétisées par la DTC en fonction de la fréquence, de 130 à 220 GHz

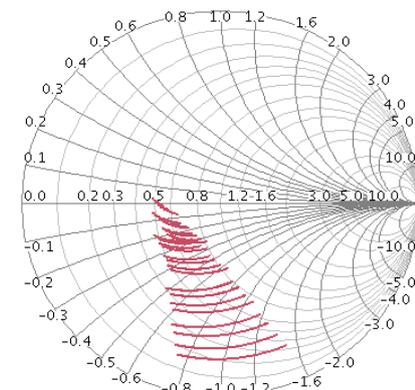


Fig. 133 - S_{11} de la DTC en fonction de la fréquence, de 130 à 220 GHz

Les capacités synthétisées par la DTC avec toutes les combinaisons de bits présentent un ratio C_{max}/C_{min} assez important. A 130 GHz, le ratio C_{max}/C_{min} est de 122. Pour les fréquences supérieures, il n'est pas quantifiable car la DTC devient inductive lorsque tous les transistors MOS sont à l'état ON et se comportent tels des résistances. Le Tableau 33 mentionne les valeurs de C_{max} et C_{min} à quelques points de fréquences d'intérêt pour les mesures en bande G.

	Fréquence		
	130 GHz	170 GHz	220 GHz
C_{max}	15.99 fF	16.72 fF	18.67 fF
C_{min}	0.131 fF	-2.22 fF	-5.59 fF
C_{max}/C_{min}	122	N. A.	N. A.

Tableau 33 - Valeurs maximales et minimales de la DTC en bande G

Cette DTC est l'élément clé de la conception du tuner *in situ* en B55 en bande G. Son dessin des masques a donc été soigneusement réalisé avec des blindages au plan de masse au niveau Métal 1 pour minimiser aux mieux les effets parasites éventuels aux fréquences sub-THz. Le dessin des masques de la DTC seule occupe une surface de 315×550μm² (cf. Fig. 134). La surface majoritairement consommée provient des plots de contact RF et DC.

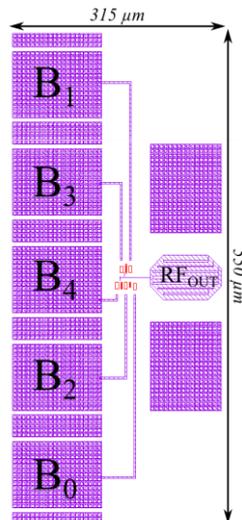


Fig. 134 - Dessin des masques de la DTC B55 à 5 bits de contrôle fonctionnant en bande G

* Conception du tuner

Le *tuner in situ* B55 contient une ligne de transmission principale d'une impédance caractéristique de 50Ω chargée par la *DTC* à 5 bits. La position de la *DTC* et la longueur des quatre tronçons de lignes sont choisies pour couvrir le lieu des impédances optimales en bruit du transistor pour plusieurs points de polarisation entre 130 et 170 GHz (bande de mesure de bruit en bande *D*). Une simulation AC et bruit avec Eldo est alors réalisée sur un transistor seul, de dimensions dessinées $0.2 \times 5.56 \mu\text{m}^2$, en utilisant le modèle HICUM Level 0 version 1.3. Les tensions base-émetteur varient de 0.8 à 0.9 V par pas de 10 mV, ce qui correspond à une polarisation optimale en gain. Les coefficients de réflexion synthétisés par le *tuner* et le coefficient de réflexion optimal en bruit du transistor sont présentés dans la Fig. 135.

De plus, une simulation AC à basse fréquence de 100 MHz à 50 GHz permet de situer le coefficient de réflexion du *tuner* par rapport aux cercles de stabilité du transistor B55. Le résultat de simulation, représenté en Fig. 136, montre qu'à priori aucun problème de stabilité du transistor ne serait induit par le *tuner*, de 100 MHz à 50 GHz.

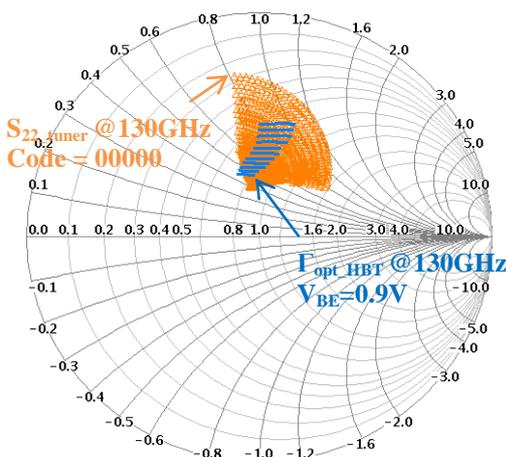


Fig. 135 - Coefficients de réflexion synthétisés par le *tuner* B55 et coefficient optimal en bruit du transistor de 130 à 170 GHz

Géométrie du transistor : HBT B55 CBEBE $0.2 \times 5 \mu\text{m}^2$ (dimensions dessinées), $V_{BE} = 0.8$ à 0.9V par pas de 10mV

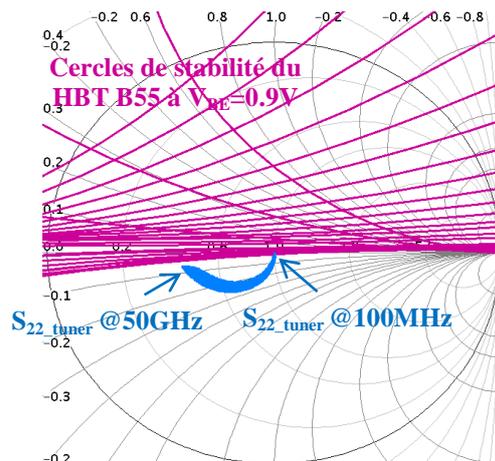


Fig. 136 - Coefficients de réflexion synthétisés par le *tuner* B55 et cercles de stabilité du transistor de 100 MHz à 50 GHz

Géométrie du transistor : HBT B55 CBEBE $0.2 \times 5 \mu\text{m}^2$ (dimensions dessinées), $V_{BE} = 0.9\text{V}$

Le gain d'insertion ($|S_{21}|$) et le gain disponible sont également déterminés par la simulation. Entre 130 et 170 GHz, le gain d'insertion varie de -13 à -3 dB et le gain disponible de -18 à -4 dB. Certaines positions du *tuner* sont plus défavorables au gain que d'autres. L'ajout d'un amplificateur aiderait probablement à augmenter le gain de chaîne pour la mesure en bruit du système '*tuner* + transistor'.

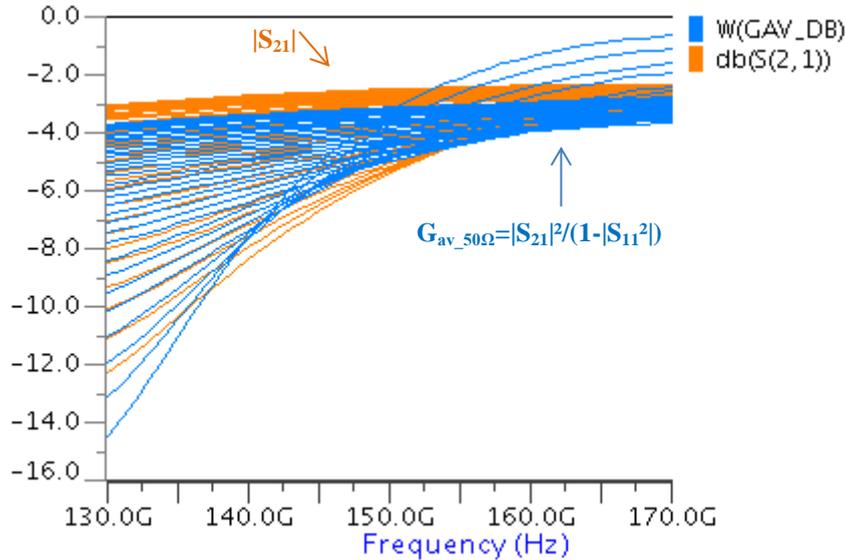


Fig. 137 - Gain d'insertion et gain disponible du *tuner in situ* B55 de 130 à 170 GHz

Le schéma du *tuner* avec ses dimensions de lignes idéales est présenté en Fig. 138. Les lignes de transmission ont toutes une impédance caractéristique de 50Ω , ce qui correspond à une largeur idéale de ligne de $7.7 \mu\text{m}$. Le dessin des masques du *tuner* est présenté en Fig. 139. Il compte une surface de $660 \times 740 \mu\text{m}^2$.

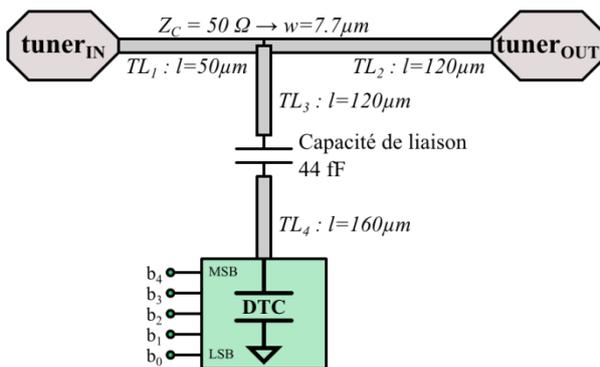


Fig. 138 - Schéma du *tuner in situ* B55 en bande G

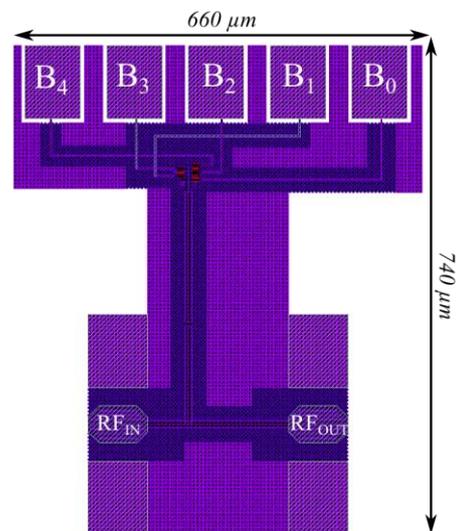


Fig. 139 - Dessin des masques du *tuner in situ* B55 en bande G

Le *tuner in situ* ainsi conçu en B55 présente une constellation d'impédance qui semblerait plus grande que celle du *tuner in situ* en B9MW. Une version de ce *tuner* intégrée avec le transistor sous test $0.2 \times 5.56 \mu\text{m}^2$ a été réalisée, ainsi qu'une version intégrée avec un amplificateur. En effet, l'amplificateur à 3 étages conçu pour le premier masque B55 BORNEO a été réajusté par rapport au modèle HICUM 'MAT10'. Les résultats de simulation de co-intégration du *tuner* avec l'amplificateur seront montrés dans la partie suivante.

c. Co-intégration du tuner avec un amplificateur

L'architecture de l'amplificateur B55 bande G est identique à celle réalisée sur le masque BORNEO. Il est constitué de trois étages de transistors bipolaires, avec une adaptation à base de lignes de transmission en entrée et en sortie sur 50Ω . Afin de minimiser le bruit de l'amplificateur, le transistor du premier étage est polarisé au minimum de bruit ; les transistors du deuxième et troisième étage sont polarisés au maximum de gain. Le schéma de cet amplificateur est présenté en Fig. 140 et les dimensions de ses lignes sont mentionnées dans le Tableau 34. Le modèle du plot, de type CLC en π , a été extrait à partir de paramètres S mesurés en bande G sur une structure de test de type *Pad-Open* sur la première fabrication B55 avec le masque BORNEO.

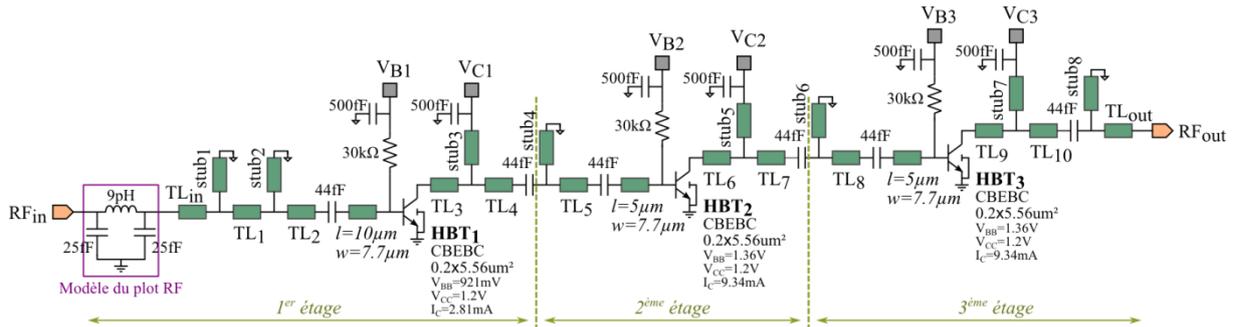


Fig. 140 - Schéma de l'amplificateur B55 à 3 étages avec adaptation sur 50Ω en bande G (deuxième fabrication)

1 ^{er} étage								
	TL _{in}	stub ₁	TL ₁	stub ₂	TL ₂	TL ₃	stub ₃	TL ₄
Longueur idéale (μm)	25	130	25	110	25	40	100	20
Longueur dessinée (μm)	27.8	144.4	27.8	122.2	27.8	44.4	111.1	22.22
Largeur idéale (μm)	7.7							
Largeur dessinée (μm)	8.555							
2 ^{ème} étage								
	stub ₄	TL ₅	TL ₆	stub ₅	TL ₇			
Longueur idéale (μm)	120	5	30	100	20			
Longueur dessinée (μm)	133.3	5.56	33.33	111.1	22.22			
Largeur idéale (μm)	7.7							
Largeur dessinée (μm)	8.555							
3 ^{ème} étage								
	stub ₆	TL ₈	TL ₉	stub ₇	TL ₁₀	stub ₈	TL _{out}	
Longueur idéale (μm)	120	30	60	130	20	180	30	
Longueur dessinée (μm)	133.3	33.33	66.7	144.4	22.22	88.9	33.33	
Largeur idéale (μm)	7.7							
Largeur dessinée (μm)	8.555							

Tableau 34 - Dimensions des lignes de l'amplificateur B55 à 3 étages avec adaptation sur 50Ω en bande G (deuxième fabrication)

Sur l'amplificateur seul, les résultats de simulation AC et bruit avec Eldo[®] de 100 à 220 GHz sont montrés en Fig. 141. La bande passante à -10 dB s'étend de 130 à 200 GHz. Le gain correspondant varie de 4,5 à 14 dB. Le facteur de Rollet étant supérieur à 1, l'amplificateur devrait être inconditionnellement stable. Nous le vérifions également avec l'analyse .SST STABIL. Le facteur de bruit de l'amplificateur varie de 8 à 13 dB dans la bande 130 – 220 GHz.

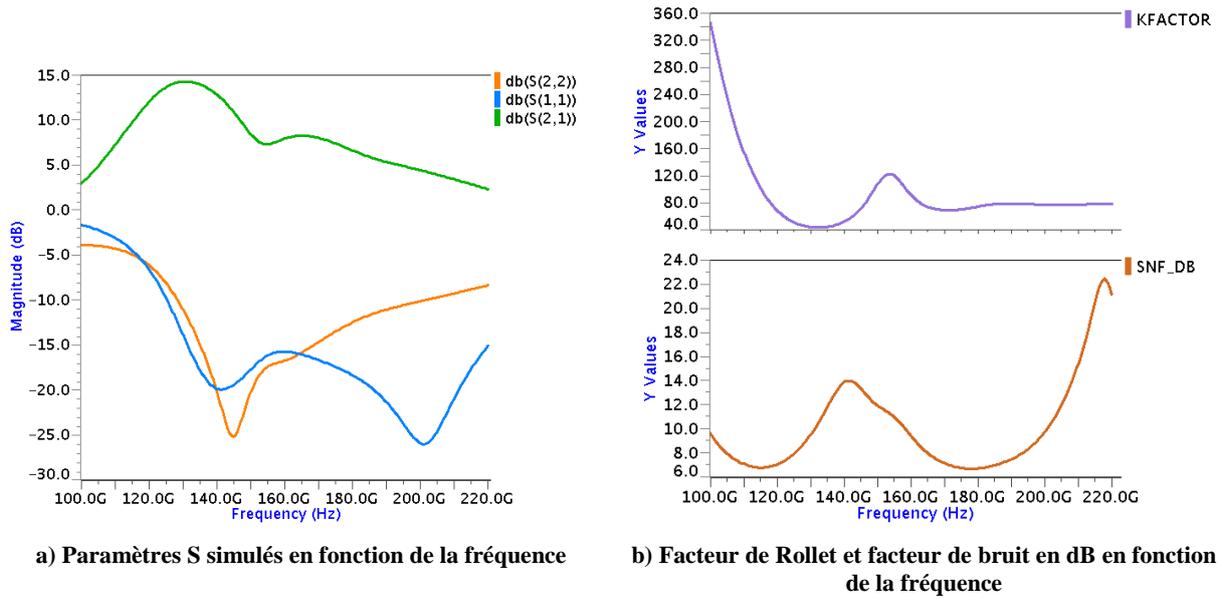


Fig. 141 - Résultats de simulation AC et bruit avec Eldo[®] de 100 à 220 GHz pour l'amplificateur B55 à 3 étages avec adaptation 50Ω en bande G

En mettant en cascade l'amplificateur et le *tuner in situ*, nous obtenons les résultats présentés dans les Fig. 142 et Fig. 143. L'ajout de l'amplificateur modifie quelque peu les impédances synthétisées. Cependant, la constellation des impédances synthétisées reste grande et couvre bien le lieu des impédances optimales en bruit du transistor pour plusieurs points de polarisation. Le système 'amplificateur + tuner', que l'on appellera '*tuner actif*', montre un gain qui varie de -3 à 10 dB entre 130 et 170 GHz, en restant supérieur à 5 dB à partir de 140 GHz. Dans la même bande de fréquence, le facteur de bruit du *tuner actif* est compris entre 8.4 et 9,9 dB.

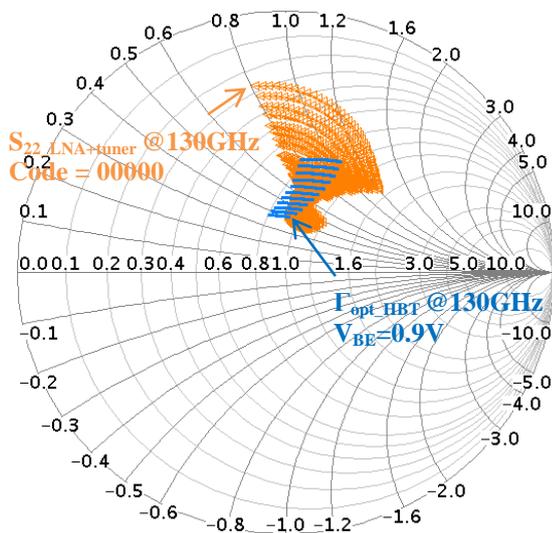


Fig. 142 - Coefficients de réflexion synthétisés par le *tuner actif* B55 (amplificateur+tuner) et coefficient optimal en bruit du transistor 130 à 170 GHz ; Géométrie du transistor : HBT B55 CBECB $0.2 \times 5 \mu m^2$ (dimensions dessinées), $V_{BE} = 0.8$ à $0.9V$ par pas de 10mV

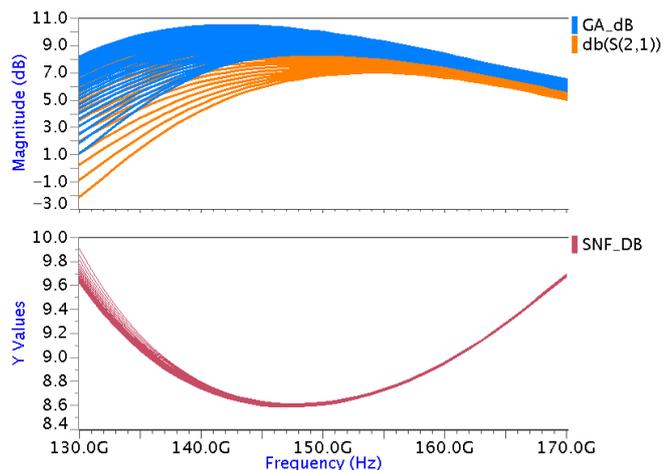


Fig. 143 - Gain disponible, gain d'insertion et facteur de bruit du *tuner actif* en fonction de la fréquence, de 130 à 170 GHz

Le dessin des masques de l'amplificateur seul et de la cellule complète 'amplificateur + tuner + transistor' sont respectivement présentés dans les Fig. 144 et Fig. 145.

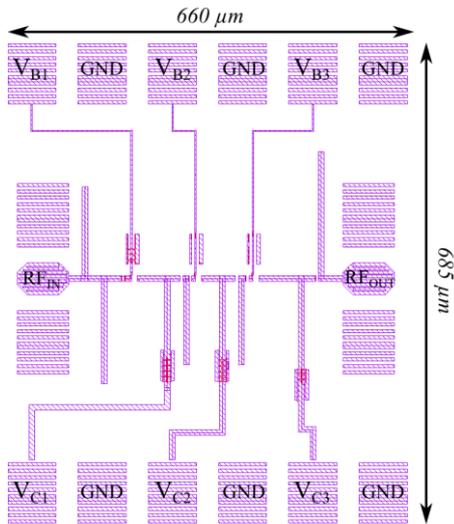


Fig. 144 - Dessin des masques de l'amplificateur B55 à 3 étages en bande G

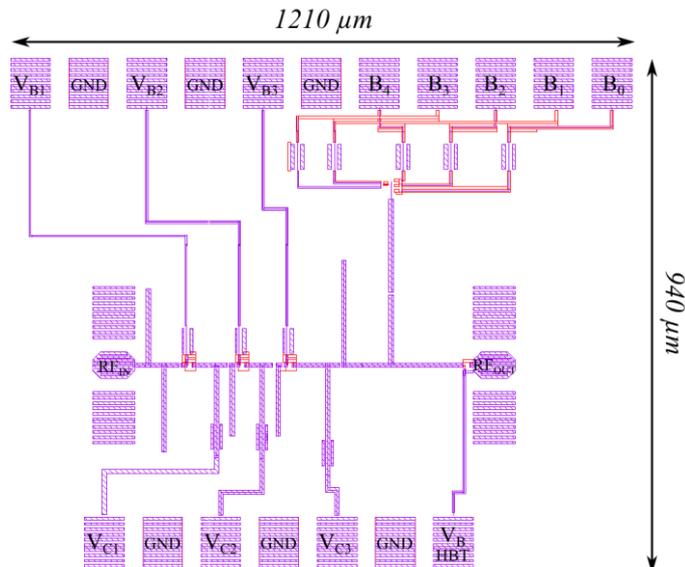


Fig. 145 - Dessin des masques du tuner actif B55 en bande G avec le transistor sous test

Le tuner actif présente ainsi des performances intéressantes pour la caractérisation en bruit du transistor bipolaire B55. Avec une grande constellation d'impédance autour du Γ_{opt} en bruit du transistor et un gain allant jusqu'à 10 dB, il permettrait de rehausser le gain de chaîne lors de la mesure de bruit et de ce fait améliorer la précision des mesures de bruit de 130 à 170 GHz.

IV. Conclusion du Chapitre 3

Ce dernier chapitre a permis de présenter nos travaux en matière d'extraction des quatre paramètres de bruit du transistor bipolaire SiGe. Avec un tuner disponible en B9MW, le transistor B9MW a servi de véhicule de test pour mettre en place toute une méthodologie de mesures et d'extraction des paramètres de bruit utilisant l'algorithme de Lane. En développant une interface IC-CAP® pour piloter des alimentations programmables, les mesures de bruit ont été réalisées pour les 32 positions possibles du tuner, générant ainsi un système de 32 équations redondantes pour l'algorithme de résolution de Lane pour sept points de polarisation du transistor. En mettant une nouvelle fois à profit la nouvelle technique d'épluchage, les erreurs de correction de paramètres S ont été minimisées. L'extraction des quatre paramètres de bruit du transistor B9MW a finalement pu être réalisée pour la première fois dans l'intégralité de la bande 130 – 170 GHz. Afin d'estimer l'incertitude sur les paramètres extraits, un calcul d'erreur sur les paramètres mesurés a été proposé. Une erreur maximale de ± 1 dB sur NF_{min} a été estimée entre 130 et 170 GHz. La robustesse de l'algorithme de Lane a également été éprouvée en comparant le facteur de bruit recalculé à partir des paramètres de bruit extraits et celui mesuré. Pour une impédance loin ou proche de l'optimum en bruit, l'erreur moyenne due à l'algorithme de Lane de 130 à 170 GHz n'excède pas 0.17 dB. L'algorithme de Lane ne semble donc pas dépendre du choix des lieux d'impédance à présenter au transistor. Néanmoins, l'utilisation d'un facteur de pondération égal à l'inverse du facteur de bruit mesuré au carré permet d'atteindre une plus grande précision pour les faibles valeurs de facteurs de bruit mesurés. En d'autres termes, en

synthétisant des impédances proches du Γ_{opt} en bruit du transistor, la précision de l'extraction serait plus grande.

Les conclusions tirées de l'étude menée sur l'extraction des paramètres de bruit du transistor B9MW ont ensuite permis d'aborder un travail de conception de circuits dédié à la caractérisation en bruit du transistor B55. Un amplificateur large bande en bande G , ainsi qu'un *tuner in situ*, ont été réalisés en B55, technologie BiCMOS la plus avancée de STMicroelectronics, dans le but de caractériser le transistor B55. L'amplificateur large bande a pour vocation d'être intégré avec le *tuner* et le transistor sous test. L'intérêt majeur d'intégrer l'amplificateur est d'augmenter le gain de chaîne et situer les mesures de bruit bien au-dessus du seuil de détection de l'instrument de mesure de bruit. Le système 'amplificateur + *tuner*', en cours de fabrication, a montré des performances très intéressantes d'après les simulations à partir du modèle HICUM de niveau de maturité 'MAT10' : la constellation d'impédance est relativement importante, entourant la zone optimale en bruit du transistor B55, et le gain varie de 1 à 10 dB entre 130 et 170 GHz pour l'ensemble des 32 positions du *tuner*.

Conclusion générale

Les objectifs de cette thèse ont concerné la montée en fréquence pour la caractérisation et la modélisation en régime petit signal et bruit de transistors bipolaires à hétérojonction SiGe.

Le contexte des travaux de thèse a d'abord été présenté au cours du premier chapitre, mentionnant les nombreuses applications d'électronique grand public aux fréquences millimétriques et térahertz visées par l'industrie du silicium. Nous avons démontré au travers d'une comparaison entre les filières technologiques de semi-conducteur que le transistor bipolaire SiGe était un très bon candidat pour la conception de circuits sub-térahertz (fréquence > 100 GHz). Cependant, nous avons identifié les verrous limitant la caractérisation et modélisation en régime petit signal et bruit de transistors bipolaires au-delà de 100 GHz. Le premier verrou était la méthode d'épluchage des accès du transistor, car le manque de précision des méthodes d'épluchage empêchaient l'extraction et la validation de modèle aux fréquences supérieures à 80-100 GHz. Le deuxième verrou était la sensibilité des mesures de bruit de 130 à 170 GHz. Une importance particulière devait alors être accordée à la précision des mesures de paramètres électriques et leur correction, notamment lors de l'utilisation d'un *tuner in situ* pour extraire les quatre paramètres de bruit du transistor, qui requiert un grand nombre d'étapes de mesures et de correction.

L'amélioration de la technique d'épluchage a donc été le point de départ de ces travaux de thèse, pour lever toute limitation concernant la correction de paramètres S mesurés au-delà de 100 GHz. Une nouvelle approche a été proposée dans le deuxième chapitre et a montré son efficacité surtout en bande G . Elle a été utilisée pour l'extraction précise de paramètres de schéma équivalent petit signal et sa validation jusqu'à 220 GHz. Entre 220 et 325 GHz, la confrontation entre mesure et modèle est partiellement satisfaisante avec une erreur moyenne de l'ordre de 30% sur l'ensemble des paramètres S en module. Pour réduire l'écart entre la mesure et le modèle, l'épluchage des accès pourrait gagner en précision en réduisant la taille des accès, surtout au niveau des lignes d'accès. Cependant, des travaux pour améliorer notre schéma équivalent petit signal du transistor bipolaire, assez basique, restent à accomplir pour mieux tenir compte des effets distribués existants dans la base intrinsèque. Une étude a tout de même été menée pour implémenter le modèle de bruit d'Hawkins basé sur ce schéma équivalent. Une comparaison entre le facteur de bruit simulé et mesuré a montré un bon accord jusqu'à 170 GHz, moyennant la réduction du temps de transit dans la base, équivalent à l'augmentation de la fréquence de transition intrinsèque. Malgré le manque d'auto-consistance entre le régime petit signal et le bruit, le modèle d'Hawkins reste une alternative au modèle de bruit HICUM non valide au-delà de 75 GHz.

Enfin, l'extraction des quatre paramètres de bruit avec *tuner in situ* du transistor B9MW réalisée pour la première fois de 130 à 170 GHz a été présentée dans le dernier chapitre. Plusieurs conditions de mesures et de corrections ont dû être réunies pour y parvenir. Premièrement, les mesures de bruit ont dû être automatisées de façon à profiter de la constellation entière d'impédances synthétisées par le *tuner* et générer un maximum d'équation pour l'algorithme de résolution de Lane. Deuxièmement, pour ramener dans le plan Métal 1 tous les paramètres mesurés (paramètres S et bruit), la nouvelle technique d'épluchage, mise au point en bande G , a une nouvelle fois été utilisée. Ne disposant pas d'un modèle de bruit fiable pour valider l'extraction des paramètres de bruit, la précision de l'extraction a tout de même été questionnée au travers d'un calcul d'erreur sur le facteur de

bruit mesuré et utilisé dans l'algorithme de Lane. Une incertitude maximale et acceptable de 1 dB entre 130 et 170 GHz a été estimée sur NF_{min} . De plus, une comparaison entre le facteur de bruit recalculé à partir des paramètres de bruit extraits et celui mesuré sous deux impédances de source très différentes a démontré l'indépendance de l'algorithme de Lane vis-à-vis du choix du lieu des impédances à présenter au transistor. Confortés dans notre méthodologie d'extraction des paramètres de bruit, le travail en B9MW a été porté en B55. Une conception de circuits dédiés à la caractérisation en bruit du transistor B55 a donc été effectuée. Un amplificateur B55 a été conçu et fabriqué sur le tout premier masque B55. Malheureusement, un écart important entre la mesure et la simulation a été constaté sur cet amplificateur. Dans le cadre d'un deuxième masque, un tuner a été conçu et ses performances simulées semblent très prometteuses. Intégré avec l'amplificateur pour augmenter le gain de chaîne et de ce fait la précision de mesure de bruit, le *tuner* 'actif' garderait une grande couverture d'abaque de Smith pour les différentes impédances de source à présenter au transistor sous test.

Références

- [1] M. G. Girma, J. Hasch, I. Sarkas, S. P. Voinigescu, et T. Zwick, « 122 GHz radar sensor based on a monostatic SiGe-BiCMOS IC with an on-chip antenna », European Microwave Integrated Circuits Conference, 2012, p. 357-360.
- [2] E. N. Grossman, C. R. Dietlein, M. Leivo, A. Rautiainen, et A. Luukanen, « A passive, real-time, terahertz camera for security screening, using superconducting microbolometers », in IEEE MTT-S International Microwave Symposium Digest, 2009, p. 1453-1456.
- [3] H. Sherry, R. Al Hadi, J. Grzyb, E. Ojefors, A. Cathelin, A. Kaiser, et U. R. Pfeiffer, « Lens-integrated THz imaging arrays in 65nm CMOS technologies », IEEE Radio Frequency Integrated Circuits Symposium, 2011, p. 1-4.
- [4] D. Crawley, C. Longbottom, V. P. Wallace, B. Cole, D. Arnone, et M. Pepper, « Three-dimensional terahertz pulse imaging of dental tissue », Journal of Biomedical Optics, vol. 8, n° 2, p. 303-307, avr. 2003.
- [5] R. M. Woodward, V. P. Wallace, R. J. Pye, B. E. Cole, D. D. Arnone, E. H. Linfield, et M. Pepper, « Terahertz pulse imaging of ex vivo basal cell carcinoma », Journal of Investigative Dermatology, vol. 120, n° 1, p. 72-78, janv. 2003.
- [6] A. J. Fitzgerald, V. P. Wallace, M. Jimenez-Linan, L. Bobrow, R. J. Pye, A. D. Purushotham, et D. D. Arnone, « Terahertz pulsed imaging of human breast tumors », *Radiology*, vol. 239, n° 2, p. 533-540, mai 2006.
- [7] Projet européen DOTSEVEN, « Towards 0.7 Terahertz Silicon Germanium Heterojunction Bipolar Technology », <http://www.dotseven.eu/>
- [8] Présentation ITRS, "More-than-Moore", white paper, <http://www.itrs.net/papers.html>
- [9] Rapport n° 417 (2007-2008) de M. Claude SAUNIER, sénateur, fait au nom de l'Office parlementaire d'évaluation des choix scientifiques et technologiques, déposé le 25 juin 2008, « L'industrie de la microélectronique : reprendre l'offensive », <http://www.senat.fr>
- [10] Projet européen DOTFIVE, « Towards 0.5 TeraHertz Silicon / Germanium Heterojunction bipolar technology », <http://www.dotfive.eu/>
- [11] Projet européen CATRENE RF2THZ SISOC, « From RF to MMW and THz silicon SoC technologies », <http://www.catrene.org>
- [12] P. Chevalier, T. Lacave, E. Canderle, A. Pottrain, Y. Carminati, J. Rosa, F. Pourchon, N. Derrier, G. Avenier, A. Montagne, A. Balteanu, E. Dacquay, I. Sarkas, D. Celi, D. Gloria, C. Gaquiere, S. P. Voinigescu, et A. Chantre, « Scaling of SiGe BiCMOS Technologies for Applications above 100 GHz », IEEE Compound Semiconductor Integrated Circuit Symposium, 2012, p. 1-4.
- [13] P. Chevalier, T. F. Meister, B. Heinemann, S. Van Huylenbroeck, W. Liebl, A. Fox, A. Sibaja-Hernandez, et A. Chantre, « Towards THz SiGe HBTs », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2011, p. 57 -65.
- [14] A. Chantre, P. Chevalier, T. Lacave, G. Avenier, M. Buczko, Y. Campidelli, L. Depoyan, L. Berthier, et C. Gaquière, « Pushing Conventional SiGe HBT Technology

Towards “Dotfive” Terahertz », European Microwave Integrated Circuits Conference, 2010, p. 21 -24.

- [15] P. Chevalier, F. Pourchon, T. Lacave, G. Avenier, Y. Campidelli, L. Depoyan, G. Troillard, M. Buczko, D. Gloria, D. Celi, C. Gaquiere, et A. Chantre, « A conventional double-polysilicon FSA-SEG Si/SiGe:C HBT reaching 400 GHz f_{\max} », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2009, p. 1 - 4.
- [16] B. Geynet, P. Chevalier, F. Brossard, B. Vandelle, T. Schwartzmann, M. Buczko, G. Avenier, D. Dutartre, G. Dambrine, F. Danneville, et A. Chantre, « A selective epitaxy collector module for high-speed Si/SiGe:C HBTs », Solid-State Electronics, vol. 53, n° 8, p. 873- 876, août 2009.
- [17] P. Chevalier, B. Geynet, B. Vandelle, F. Brossard, F. Pourchon, G. Avenier, D. Gloria, D. Dutartre, S. Lepilliet, G. Dambrine, N. Zerounian, K. Yau, E. Laskin, S. T. Nicolson, S. P. Voinigescu, et A. Chantre, « Si/SiGe HBTs for Millimeter-wave BiCMOS Technologies », Device Research Conference, 2008, p. 195 - 198.
- [18] P. Chevalier, B. Barbalat, M. Laurens, B. Vandelle, L. Rubaldo, B. Geynet, S. P. Voinigescu, T. O. Dickson, N. Zerounian, S. Chouteau, D. Dutartre, A. Monroy, F. Aniel, G. Dambrine, et A. Chantre, « High-Speed SiGe BiCMOS Technologies: 120-nm Status and End-of-Roadmap Challenges », IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2007, p. 18 - 23.
- [19] P. Chevalier, B. Barbalat, L. Rubaldo, B. Vandelle, D. Dutartre, P. Bouillon, T. Jagueneau, C. Richard, F. Saguin, A. Margain, et A. Chantre, « 300 GHz f_{\max} self-aligned SiGeC HBT optimized towards CMOS compatibility », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2005, p. 120 - 123.
- [20] P. Chevalier, C. Fellous, L. Rubaldo, D. Dutartre, M. Laurens, T. Jagueneau, F. Leverd, S. Bord, C. Richard, D. Lenoble, J. Bonnouvrier, M. Marty, A. Perrotin, D. Gloria, F. Saguin, B. Barbalat, R. Beerkens, N. Zerounian, F. Aniel, et A. Chantre, « 230 GHz self-aligned SiGeC HBT for 90 nm BiCMOS technology », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2004, p. 225 - 228.
- [21] M. Laurens, B. Martinet, O. Kermarrec, Y. Campidelli, F. Deleglise, D. Dutarte, G. Troillard, D. Gloria, J. Bonnouvrier, R. Beerkens, V. Rousset, F. Leverd, A. Chantre, et A. Monroy, « A 150GHz f_T/f_{\max} 0.13 μ m SiGe:C BiCMOS technology », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2003, p. 199 - 202.
- [22] P. Chevalier, C. Fellous, B. Martinet, F. Leverd, F. Saguin, D. Dutartre, et A. Chantre, « 180 GHz f_T and f_{\max} self-aligned SiGeC HBT using selective epitaxial growth of the base », European Solid-State Device Research Conference, 2003, p. 299 – 302.
- [23] H. Rücker, B. Heinemann, et A. Fox, « Half-Terahertz SiGe BiCMOS technology », IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2012, p. 133 - 136.
- [24] A. Fox, B. Heinemann, R. Barth, S. Marschmeyer, C. Wipf, et Y. Yamamoto, « SiGe:C HBT architecture with epitaxial external base », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2011, p. 70 - 73.
- [25] B. Heinemann, R. Barth, D. Bolze, J. Drews, G. G. Fischer, A. Fox, O. Fursenko, T. Grabolla, U. Haak, D. Knoll, R. Kurps, M. Lisker, S. Marschmeyer, H. Rücker, D. Schmidt, J. Schmidt, M. A. Schubert, B. Tillack, C. Wipf, D. Wolansky, et Y.

- Yamamoto, « SiGe HBT technology with f_T/f_{max} of 300GHz/500GHz and 2.0 ps CML gate delay », IEEE International Electron Devices Meeting, 2010, p. 30.5.1 - 30.5.4.
- [26] H. Rücker, B. Heinemann, W. Winkler, R. Barth, J. Borngraber, J. Drews, G. G. Fischer, A. Fox, T. Grabolla, U. Haak, D. Knoll, F. Korndorfer, A. Mai, S. Marschmeyer, P. Schley, D. Schmidt, J. Schmidt, K. Schulz, B. Tillack, D. Wolansky, et Y. Yamamoto, « A 0.13 μm SiGe BiCMOS technology featuring f_T/f_{max} of 240/330 GHz and gate delays below 3 ps », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2009, p. 166 - 169.
- [27] A. Fox, B. Heinemann, R. Barth, D. Bolze, J. Drews, U. Haak, D. Knoll, B. Kuck, R. Kurps, S. Marschmeyer, H. H. Richter, H. Rucker, P. Schley, D. Schmidt, B. Tillack, G. Weidner, C. Wipf, D. Wolansky, et Y. Yamamoto, « SiGe HBT module with 2.5 ps gate delay », IEEE International Electron Devices Meeting, 2008, p. 1 - 4.
- [28] H. Rücker, B. Heinemann, R. Barth, J. Bauer, D. B. K. Blum, D. Bolze, J. Drews, G. G. Fischer, A. Fox, O. Fursenko, T. Grabolla, U. Haak, W. Hoppner, D. Knoll, K. Kopke, B. Kuck, A. Mai, S. Marschmeyer, T. Morgenstern, H. H. Richter, P. Schley, D. Schmidt, K. Schulz, B. Tillack, G. Weidner, W. Winkler, D. Wolansky, H.-E. Wulf, et Y. Yamamoto, « SiGe BiCMOS Technology with 3.0 ps Gate Delay », IEEE International Electron Devices Meeting, 2007, p. 651 - 654.
- [29] B. Heinemann, R. Barth, D. Bolze, J. Drews, P. Formanek, T. Grabolla, U. Haak, W. Hoppner, D. K. Kopke, B. Kuck, R. Kurps, S. Marschmeyer, H. H. Richter, H. Rucker, P. Schley, D. Schmidt, W. Winkler, D. Wolansky, H. E. Wulf, et Y. Yamamoto, « A low-parasitic collector construction for high-speed SiGe:C HBTs », IEEE International Electron Devices Meeting, 2004, p. 251 - 254.
- [30] H. Rücker, B. Heinemann, R. Barth, D. Bolze, J. Drews, U. Haak, W. Hoppner, D. Knoll, K. Kopke, S. Marschmeyer, H. H. Richter, P. Schley, D. Schmidt, R. Scholz, B. Tillack, W. Winkler, H.-E. Wulf, et Y. Yamamoto, « SiGe:C BiCMOS technology with 3.6 ps gate delay », IEEE International Electron Devices Meeting, 2003, p. 5.3.1 - 5.3.4.
- [31] B. Heinemann, R. Barth, D. Bolze, J. Drews, P. Formanek, O. Fursenko, M. Glante, K. Glowatzki, A. Gregor, U. Haak, W. Hoppner, D. Knoll, R. Kurps, S. Marschmeyer, S. Orłowski, H. Rucker, P. Schley, D. Schmidt, R. Scholz, W. Winkler, et Y. Yamamoto, « A complementary BiCMOS technology with high speed npn and pnp SiGe:C HBTs », IEEE International Electron Devices Meeting, 2003, p. 5.2.1 - 5.2.4.
- [32] B. Heinemann, H. Rucker, R. Barth, J. Bauer, D. Bolze, E. Bugiel, J. Drews, K.-E. Ehwald, T. Grabolla, U. Haak, W. Hoppner, D. Knoll, D. Kruger, B. Kuck, R. Kurps, M. Marschmeyer, H. H. Richter, P. Schley, D. Schmidt, R. Scholz, B. Tillack, W. Winkler, D. Wolansky, H.-E. Wulf, Y. Yamamoto, et P. Zaumseil, « Novel collector design for high-speed SiGe:C HBTs », IEEE International Electron Devices Meeting, 2002, p. 775 - 778.
- [33] S. Van Huylbroeck, A. Sibaja-Hernandez, R. Venegas, S. You, F. Vleugels, D. Radisic, W. Lee, W. Vanherle, K. De Meyer, et S. Decoutere, « Pedestal collector optimization for high speed SiGe:C HBT », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2011, p. 66 - 69.
- [34] S. Van Huylbroeck, A. Sibaja-Hernandez, R. Venegas, S. You, G. Winderickx, D. Radisic, W. Lee, P. Ong, T. Vandeweyer, N. D. Nguyen, K. De Meyer, et S.

- Decoutere, « A 400GHz f_{MAX} fully self-aligned SiGe:C HBT architecture », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2009, p. 5 - 8.
- [35] L. J. Choi, S. Van Huylenbroeck, J. Donkers, W. D. van Noort, A. Piontek, A. Sibaja-Hernandez, P. Meunier-Beillard, F. Neuilly, E. Kunnen, P. Leray, F. Vleugels, R. Venegas, E. Hijzen, et S. Decoutere, « A Novel Isolation Scheme featuring Cavities in the Collector for a High-Speed 0.13 μm SiGe:C BiCMOS Technology », IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2007, p. 158 - 161.
- [36] S. Van Huylenbroeck, L. J. Choi, A. Sibaja-Hernandez, A. Piontek, D. Linten, M. Dehan, O. Dupuis, G. Carchon, F. Vleugels, E. Kunnen, P. Leray, K. Devriendt, X. P. Shi, R. Loo, E. Hijzen, et S. Decoutere, « A 205/275GHz f_T/f_{max} Airgap Isolated 0.13 μm BiCMOS Technology featuring on-chip High Quality Passives », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2006, p. 1 - 4.
- [37] S. Van Huylenbroeck, A. Sibaja-Hernandez, A. Piontek, L. J. Choi, M. W. Xu, N. Ouassif, F. Vleugels, K. Van Wichelen, L. Witters, E. Kunnen, P. Leray, K. Devriendt, X. Shi, R. Loo, et S. Decoutere, « Lateral and vertical scaling of a QSA HBT for a 0.13 μm 200GHz SiGe:C BiCMOS technology », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2004, p. 229 - 232.
- [38] A. Hamidipour, M. Jahn, T. F. Meister, K. Aufinger, et A. Stelzer, « A comparison of power amplifiers in two generations of SiGe:C technologies », German Microwave Conference, 2012, p. 1 - 3.
- [39] M. Jahn, H. Knapp, et A. Stelzer, « A 122-GHz SiGe-Based Signal-Generation Chip Employing a Fundamental-Wave Oscillator With Capacitive Feedback Frequency-Enhancement », IEEE Journal of Solid-State Circuits, vol. 46, n^o 9, p. 2009 - 2020, sept. 2011.
- [40] H. Knapp, T. F. Meister, W. Liebl, D. Claeys, T. Popp, K. Aufinger, H. Schäfer, J. Böck, S. Boguth, et R. Lachner, « Static frequency dividers up to 133GHz in SiGe:C bipolar technology », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2010, p. 29 - 32.
- [41] S. Decoutere, S. Van Huylenbroeck, B. Heinemann, A. Fox, P. Chevalier, A. Chantre, T. F. Meister, K. Aufinger, et M. Schroter, « Advanced process modules and architectures for half-terahertz SiGe:C HBTs », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2009, p. 9 - 16.
- [42] R. K. Vytla, T. F. Meister, K. Aufinger, D. Lukashevich, S. Boguth, H. Knapp, J. Bock, H. Schäfer, et R. Lachner, « Simultaneous Integration of SiGe High Speed Transistors and High Voltage Transistors », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2006, p. 1 - 4.
- [43] J. Böck, H. Schäfer, H. Knapp, K. Aufinger, M. Wurzer, S. Boguth, T. Bottner, R. Stengl, W. Perndl, et T. F. Meister, « 3.3 ps SiGe bipolar technology », IEEE International Electron Devices Meeting, 2004, p. 255 - 258.
- [44] J. Böck, H. Schäfer, K. Aufinger, R. Stengl, S. Boguth, R. Schreiter, M. Rest, H. Knapp, M. Wurzer, W. Perndl, T. Bottner, et T. F. Meister, « SiGe bipolar technology for automotive radar applications », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2004, p. 84 - 87.

- [45] T. F. Meister, H. Knapp, H. Schäfer, K. Aufinger, R. Stengl, S. Boguth, R. Schreiter, M. Rest, W. Perndl, M. Wurzer, T. Bottner, et J. Böck, « High-speed SiGe HBT technology and applications to mm-wave circuits », 2004, p. 61 - 64.
- [46] T. F. Meister, H. Schafer, K. Aufinger, R. Stengl, S. Boguth, R. Schreiter, M. Rest, H. Knapp, M. Wurzer, A. Mitchell, T. Bottner, et J. Bock, « SiGe bipolar technology with 3.9 ps gate delay », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2003, p. 103 - 106.
- [47] J. Böck, H. Schafer, H. Knapp, D. Zoschg, K. Aufinger, M. Wurzer, S. Boguth, M. Rest, R. Schreiter, R. Stengl, et T. F. Meister, « Sub 5 ps SiGe bipolar technology », IEEE International Electron Devices Meeting, 2002, p. 763 - 766.
- [48] W. D. van Noort, A. Rodriguez, H. Sun, F. Zaato, N. Zhang, T. Nesheiwat, F. Neuilly, J. Melai, et E. Hijzen, « BiCMOS technology improvements for microwave application », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2008, p. 93 -96.
- [49] J. J. T. M. Donkers, M. C. J. C. M. Kramer, S. Van Huylbroeck, L. J. Choi, P. Meunier-Beillard, A. Sibaja-Hernandez, G. Boccardi, W. van Noort, G. A. M. Hurkx, T. Vanhoucke, F. Vleugels, G. Wmderickx, E. Kunnen, S. Peeters, D. Baute, B. De Vos, T. Vandeweyer, R. Loo, R. Venegas, R. Pijper, F. C. Voogt, S. Decoutere, et E. A. Hijzen, « A Novel Fully Self-Aligned SiGe:C HBT Architecture Featuring a Single-Step Epitaxial Collector-Base Process », IEEE International Electron Devices Meeting, 2007, p. 655 -658.
- [50] J. J. T. M. Donkers, T. Vanhoucke, P. Agarwal, R. J. E. Hueting, P. Meunier-Beillard, M. N. Vijayaraghavan, P. H. C. Magnee, M. A. Verheijen, R. de Kort, et J. W. Slotboom, « Metal emitter SiGe:C HBTs », IEEE International Electron Devices Meeting, 2004, p. 243 - 246.
- [51] P. Deixler, A. Rodriguez, W. De Boer, H. Sun, R. Colclaser, D. Bower, N. Bell, A. Yao, R. Brock, Y. Bouttement, G. A. M. Hurkx, L. F. Tiemeijer, J. C. J. Paasschens, H. G. A. Huizing, D. M. H. Hartskeerl, P. Agrarwal, P. H. C. Magnee, E. Aksen, et J. W. Slotboom, « QUBiC4X: An $f_T/f_{max} = 130/140\text{GHz}$ SiGe:C-BiCMOS manufacturing technology with elite passives for emerging microwave applications », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2004, p. 233 - 236.
- [52] R. A. Camillo-Castillo, Q. Z. Liu, J. W. Adkisson, M. H. Khater, P. B. Gray, V. Jain, R. K. Leidy, J. J. Pekarik, J. P. Gambino, B. Zetterlund, C. Willets, C. Parrish, S. U. Engelmann, A. Pyzyna, P. Cheng, et D. L. Harame, « SiGe HBTs in 90nm BiCMOS technology demonstrating 300GHz/420GHz f_T/f_{MAX} through reduced R_b and C_{cb} parasitics », IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2013, p. 227 – 230.
- [53] J. Yuan, J. D. Cressler, R. Krithivasan, T. Thirvikraman, M. H. Khater, D. C. Ahlgren, A. J. Joseph, et J.-S. Rieh, « On the Performance Limits of Cryogenically Operated SiGe HBTs and Its Relation to Scaling for Terahertz Speeds », IEEE Transactions on Electron Devices, vol. 56, n° 5, p. 1007 -1019, mai 2009.
- [54] B. A. Orner, M. Dahlstrom, A. Pothiawala, R. M. Rassel, Q. Liu, H. Ding, M. Khater, D. Ahlgren, A. Joseph, et J. Dunn, « A BiCMOS Technology Featuring a 300/330 GHz (f_T/f_{max}) SiGe HBT for Millimeter Wave Applications », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2006, p. 1 -4.

- [55] R. Krithivasan, Y. Lu, J. D. Cressler, J.-S. Rieh, M. H. Khater, D. Ahlgren, et G. Freeman, « Half-terahertz operation of SiGe HBTs », *IEEE Electron Device Letters*, vol. 27, n° 7, p. 567 - 569, juill. 2006.
- [56] J.-S. Rieh, D. Greenberg, M. Khater, K. T. Schonenberg, S.-J. Jeng, F. Pagette, T. Adam, A. Chinthakindi, J. Florkey, B. Jagannathan, J. Johnson, R. Krishnasamy, D. Sanderson, C. Schnabel, P. Smith, A. Stricker, S. Sweeney, K. Vaed, T. Yanagisawa, D. Ahlgren, K. Stein, et G. Freeman, « SiGe HBTs for millimeter-wave applications with simultaneously optimized f_T and f_{max} of 300 GHz », *IEEE Radio Frequency Integrated Circuits Symposium*, 2004, p. 395 - 398.
- [57] M. Khater, J.-S. Rieh, T. Adam, A. Chinthakindi, J. Johnson, R. Krishnasamy, M. Meghelli, F. Pagette, D. Sanderson, C. Schnabel, K. T. Schonenberg, P. Smith, K. Stein, A. Stricker, S.-J. Jeng, D. Ahlgren, et G. Freeman, « SiGe HBT technology with $f_{max}/f_T=350/300$ GHz and gate delay below 3.3 ps », *IEEE International Electron Devices Meeting*, 2004, p. 247 - 250.
- [58] J.-S. Rieh, B. Jagannathan, H. Chen, K. Schonenberg, S.-J. Jeng, M. Khater, D. Ahlgren, G. Freeman, et S. Subbanna, « Performance and design considerations for high speed SiGe HBTs of $f_T/f_{max}=375$ GHz/210 GHz », *IEEE International Conference on Indium Phosphide and Related Materials*, 2003, p. 374 - 377.
- [59] B. Jagannathan, M. Meghelli, K. Chan, J.-S. Rieh, K. Schonenberg, D. Ahlgren, S. Subbanna, et G. Freeman, « 3.9 ps SiGe HBT ECL ring oscillator and transistor design for minimum gate delay », *IEEE Electron Device Letters*, vol. 24, n° 5, p. 324 - 326, mai 2003.
- [60] J.-S. Rieh, B. Jagannathan, H. Chen, K. T. Schonenberg, D. Angell, A. Chinthakindi, J. Florkey, F. Golan, D. Greenberg, S.-J. Jeng, M. Khater, F. Pagette, C. Schnabel, P. Smith, A. Stricker, K. Vaed, R. Volant, D. Ahlgren, G. Freeman, K. Stein, et S. Subbanna, « SiGe HBTs with cut-off frequency of 350 GHz », *IEEE International Electron Devices Meeting*, 2002, p. 771 - 774.
- [61] B. Jagannathan, M. Khater, F. Pagette, J.-S. Rieh, D. Angell, H. Chen, J. Florkey, F. Golan, D. R. Greenberg, R. Groves, S. J. Jeng, J. Johnson, E. Mengistu, K. T. Schonenberg, C. M. Schnabel, P. Smith, A. Stricker, D. Ahlgren, G. Freeman, K. Stein, et S. Subbanna, « Self-aligned SiGe NPN transistors with 285 GHz f_{MAX} and 207 GHz f_T in a manufacturable technology », *IEEE Electron Device Letters*, vol. 23, n° 5, p. 258 - 260, mai 2002.
- [62] T. Hashimoto, Y. Nonaka, T. Tominari, H. Fujiwara, K. Tokunaga, M. Arai, S. Wada, T. Udo, M. Seto, M. Miura, H. Shimamoto, K. Washio, et H. Tomioka, « Direction to improve SiGe BiCMOS technology featuring 200-GHz SiGe HBT and 80-nm gate CMOS », *IEEE International Electron Devices Meeting*, 2003, p. 5.5.1 - 5.5.4.
- [63] J. P. John, J. Kirchgessner, D. Morgan, J. Hildreth, M. Dawdy, R. Reuter, et H. Li, « Novel Collector Structure Enabling Low-Cost Millimeter-Wave SiGe:C BiCMOS Technology », *IEEE Radio Frequency Integrated Circuits Symposium*, 2007, p. 559 - 562.
- [64] J. P. John, J. Kirchgessner, M. Menner, H. Rueda, F. Chai, D. Morgan, J. Hildreth, M. Dawdy, R. Reuter, et H. Li, « Development of a Cost-Effective, Selective-Epi, SiGe:C HBT Module for 77GHz Automotive Radar », *IEEE Bipolar/BiCMOS Circuit and Technology Meeting*, 2006, p. 1 - 4.

- [65] E. Preisler, L. Lanzerotti, P. D. Hurwitz, et M. Racanelli, « Demonstration of a 270 GHz f_T SiGe-C HBT within a manufacturing-proven 0.18 μm BiCMOS process without the use of a raised extrinsic base », IEEE Bipolar/BiCMOS Circuit and Technology Meeting, 2008, p. 125 -128.
- [66] M. Racanelli et P. Kempf, « SiGe BiCMOS technology for RF circuit applications », IEEE Transactions on Electron Devices, vol. 52, n^o 7, p. 1259 - 1270, juill. 2005.
- [67] M. Racanelli et P. Kempf, « SiGe BiCMOS technology for communication products », IEEE Custom Integrated Circuits Conference, 2003, p. 331 - 334.
- [68] W. Deal, X. B. Mei, K. M. K. H. Leong, V. Radisic, S. Sarkozy, et R. Lai, « THz Monolithic Integrated Circuits Using InP High Electron Mobility Transistors », IEEE Transactions on Terahertz Science and Technology, vol. 1, n^o 1, p. 25 - 32, sept. 2011.
- [69] W. R. Deal, « Solid-state amplifiers for terahertz electronics », IEEE MTT-S International Microwave Symposium Digest, 2010, p. 1122 - 1125.
- [70] R. Lai, X. B. Mei, W. R. Deal, W. Yoshida, Y.-M. Kim, P.-H. Liu, J. Lee, J. Uyeda, V. Radisic, M. Lange, T. Gaier, L. Samoska, et A. Fung, « Sub 50 nm InP HEMT Device with F_{max} Greater than 1 THz », IEEE International Electron Devices Meeting, 2007, p. 609 - 611.
- [71] S.-J. Yeon, M. Park, J. Choi, et K. Seo, « 610 GHz InAlAs/In_{0.75}GaAs Metamorphic HEMTs with an Ultra-Short 15-nm-Gate », in IEEE International Electron Devices Meeting, 2007, p. 613 - 616.
- [72] K. Shinohara, P. S. Chen, J. Bergman, H. Kazemi, B. Brar, I. Watanabe, T. Matsui, Y. Yamashita, A. Endoh, K. Hikosaka, T. Mimura, et S. Hiyamizu, « Ultra-High-Speed Low-Noise InP-HEMT Technology », in Microwave Symposium Digest, 2006. IEEE MTT-S International, 2006, p. 337 - 340.
- [73] K. Elgaid, H. McLelland, C. R. Stanley, et I. Thayne, « Low noise W-band MMIC amplifier using 50nm InP technology for millimeterwave receivers applications », IEEE International Conference on Indium Phosphide and Related Materials, 2005, p. 523-525.
- [74] A. Leuther, A. Tessmann, I. Kallfass, H. Massler, R. Loesch, M. Schlechtweg, M. Mikulla, et O. Ambacher, « Metamorphic HEMT technology for submillimeter-wave MMIC applications », IEEE International Conference on Indium Phosphide Related Materials, 2010, p. 1 - 6.
- [75] A. Leuther, A. Tessmann, I. Kallfass, R. Losch, M. Seelmann-Eggebert, N. Wadefalk, F. Schafer, J. D. Gallego Puyol, M. Schlechtweg, M. Mikulla, et O. Ambacher, « Metamorphic HEMT technology for low-noise applications », in IEEE International Conference on Indium Phosphide Related Materials, 2009, p. 188 - 191.
- [76] A. Leuther, A. Tessmann, H. Massler, R. Losch, M. Schlechtweg, M. Mikulla, et O. Ambacher, « 35 nm metamorphic HEMT MMIC technology », International Conference on Indium Phosphide and Related Materials, 2008, p. 1 - 4.
- [77] A. Leuther, A. Tessmann, M. Dammann, W. Reinert, M. Schlechtweg, M. Mikulla, M. Walther, et G. Weimann, « 70 nm low-noise metamorphic HEMT technology on 4 inch GaAs wafers », in International Conference on Indium Phosphide and Related Materials, 2003, p. 215 - 218.
- [78] V. Jain, J. C. Rode, H.-W. Chiang, A. Baraskar, E. Lobisser, B. J. Thibeault, M. Rodwell, M. Urteaga, D. Loubychev, A. Snyder, Y. Wu, J. M. Fastenau, et W. K. Liu,

- « 1.0 THz f_{\max} InP DHBTs in a refractory emitter and self-aligned base process for reduced base access resistance », in Device Research Conference, 2011, p. 271 - 272.
- [79] M. Urteaga, R. Pierson, P. Rowell, V. Jain, E. Lobisser, et M. J. W. Rodwell, « 130nm InP DHBTs with $f_t > 0.52\text{THz}$ and $f_{\max} > 1.1\text{THz}$ », in Device Research Conference, 2011, p. 281 - 282.
- [80] V. Jain, E. Lobisser, A. Baraskar, B. J. Thibeault, M. J. W. Rodwell, M. Urteaga, D. Loubychev, A. Snyder, Y. Wu, J. M. Fastenau, et W. K. Liu, « InGaAs/InP DHBTs demonstrating simultaneous $f_T/f_{\max} \sim 460/850$ GHz in a refractory emitter process », IEEE International Conference on Indium Phosphide and Related Materials, 2011, p. 1 - 4.
- [81] M. Urteaga, M. Seo, J. Hacker, Z. Griffith, A. Young, R. Pierson, P. Rowell, A. Skalare, V. Jain, E. Lobisser, et M. J. W. Rodwell, « InP HBTs for THz frequency integrated circuits », in IEEE International Conference on Indium Phosphide and Related Materials, 2011, p. 1 - 4.
- [82] W. Snodgrass, W. Hafez, N. Harff, et M. Feng, « Pseudomorphic InP/InGaAs Heterojunction Bipolar Transistors (PHBTs) Experimentally Demonstrating $f_T = 765$ GHz at 25°C Increasing to $f_T = 845$ GHz at -55°C », IEEE International Electron Devices Meeting, 2006, p. 1 - 4.
- [83] Z. Griffith, M. J. W. Rodwell, X.-M. Fang, D. Loubychev, Y. Wu, J. M. Fastenau, et A. Liu, « InGaAs/InP DHBTs with 120-nm collector having simultaneously high f_T , $f_{\max} \geq 450$ GHz », IEEE Electron Device Letters, vol. 26, n° 8, p. 530 - 532, août 2005.
- [84] R. Lovblom, R. Fluckiger, Y. Zeng, O. Ostinelli, A. Alt, H. Benedickter, et C. R. Bolognesi, « InP/GaAsSb DHBTs With 500-GHz Maximum Oscillation Frequency », IEEE Electron Device Letters, vol. 32, n° 5, p. 629 - 631, mai 2011.
- [85] H. Maher, V. Delmouly, U. Rouchy, M. Renvoise, P. Frijlink, D. Smith, M. Zaknoute, D. Ducatteau, V. Avramovic, A. Scavennec, J. Godin, M. Riet, C. Maneux, et B. Ardouin, « A 300 GHz InP/GaAsSb/InP HBT for high data rate applications », IEEE International Conference on Indium Phosphide and Related Materials, 2011, p. 1 - 4.
- [86] Y. Zeng, O. Ostinelli, R. Lovblom, A. Alt, H. Benedickter, et C. R. Bolognesi, « 400-GHz InP/GaAsSb DHBTs With Low-Noise Microwave Performance », IEEE Electron Device Letters, vol. 31, n° 10, p. 1122 - 1124, oct. 2010.
- [87] H. G. Liu, O. Ostinelli, Y. Zeng, et C. R. Bolognesi, « 600 GHz InP/GaAsSb/InP DHBTs Grown by MOCVD with a Ga(As,Sb) Graded-Base and $f_T \times BV_{CEO} \gg 2.5$ THz-V at Room Temperature », in IEEE International Electron Devices Meeting, 2007, p. 667 - 670.
- [88] Y. Tagro, L. Poulain, S. Lepilliet, B. Dormieu, D. Gloria, P. Scheer, G. Dambrine, et F. Danneville, « RF noise investigation in High-k/Metal Gate 28-nm CMOS transistors », IEEE MTT-S International Microwave Symposium Digest, 2012, p. 1 - 3.
- [89] M.-T. Yang, K. Liao, R. Welstand, C. Teng, W. Sy, Y. Chen, R. Dutta, P. Chidambaram, M. Han, Y. Du, et G. Yeap, « RF and mixed-signal performances of a low cost 28nm low-power CMOS technology for wireless system-on-chip applications », Symposium on VLSI Technology, 2011, p. 40-41.
- [90] L. Poulain, N. Waldhoff, D. Gloria, F. Danneville, et G. Dambrine, « Small signal and HF noise performance of 45 nm CMOS technology in mmW range », IEEE Radio Frequency Integrated Circuits Symposium, 2011, p. 1 - 4.

- [91] C.-H. Jan, M. Agostinelli, H. Deshpande, M. . El-Tanani, W. Hafez, U. Jalan, L. Janbay, M. Kang, H. Lakdawala, J. Lin, Y.-L. Lu, S. Mudanai, J. Park, A. Rahman, J. Rizk, W.-K. Shin, K. Soumyanath, H. Tashiro, C. Tsai, P. Vandervoorn, J.-Y. Yeh, et P. Bai, « RF CMOS technology scaling in High-k/metal gate era for RF SoC (system-on-chip) applications », in *IEEE International Electron Devices Meeting*, 2010, p. 27.2.1 - 27.2.4.
- [92] P. Vandervoorn, M. Agostinelli, S.-J. Choi, G. Curello, H. Deshpande, M. . El-Tanani, W. Hafez, U. Jalan, L. Janbay, M. Kang, K. Koh, K. Komeyli, H. Lakdawala, J. Lin, N. Lindert, S. Mudanai, J. Park, K. Phoa, A. Rahman, J. Rizk, L. Rockford, G. Sacks, K. Soumyanath, H. Tashiro, S. Taylor, C. Tsai, H. Xu, J. Xu, L. Yang, I. Young, J.-Y. Yeh, J. Yip, P. Bai, et C.-H. Jan, « A 32nm low power RF CMOS SOC technology featuring high-k/metal gate », *IEEE Symposium on VLSI Technology*, 2010, p. 137 - 138.
- [93] S.-C. Wang, P. Su, K.-M. Chen, K.-H. Liao, B.-Y. Chen, S.-Y. Huang, C.-C. Hung, et G.-W. Huang, « Comprehensive Noise Characterization and Modeling for 65-nm MOSFETs for Millimeter-Wave Applications », *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, n° 4, p. 740 - 746, avr. 2010.
- [94] C.-H. Jan, P. Bai, S. Biswas, M. Buehler, Z.-P. Chen, G. Curello, S. Gannavaram, W. Hafez, J. He, J. Hicks, U. Jalan, N. Lazo, J. Lin, N. Lindert, C. Litteken, M. Jones, M. Kang, K. Komeyli, A. Mezhiba, S. Naskar, S. Olson, J. Park, R. Parker, L. Pei, I. Post, N. Pradhan, C. Prasad, M. Prince, J. Rizk, G. Sacks, H. Tashiro, D. Towner, C. Tsai, Y. Wang, L. Yang, J.-Y. Yeh, J. Yip, et K. Mistry, « A 45nm low power system-on-chip technology with dual gate (logic and I/O) high-k/metal gate strained silicon transistors », in *IEEE International Electron Devices Meeting*, 2008, p. 1 - 4.
- [95] H. Li, B. Jagannathan, J. Wang, T.-C. Su, S. Sweeney, J. J. Pekarik, Y. Shi, D. Greenberg, Z. Jin, R. Groves, L. Wagner, et S. Csutak, « Technology Scaling and Device Design for 350 GHz RF Performance in a 45nm Bulk CMOS Process », *IEEE Symposium on VLSI Technology*, 2007, p. 56 - 57.
- [96] I. Post, M. Akbar, G. Curello, S. Gannavaram, W. Hafez, U. Jalan, K. Komeyii, J. Lin, N. Lindert, J. Park, J. Rizk, G. Sacks, C. Tsai, D. Yeh, P. Bai, et C.-H. Jan, « A 65nm CMOS SOC Technology Featuring Strained Silicon Transistors for RF Applications », in *IEEE International Electron Devices Meeting*, 2006, p. 1 - 3.
- [97] K. Kuhn, R. Basco, D. Becher, M. Hattendorf, P. Packan, I. Post, P. Vandervoorn, et I. Young, « A comparison of state-of-the-art NMOS and SiGe HBT devices for analog/mixed-signal/RF circuit applications », *Symposium on VLSI Technology*, 2004, p. 224 - 225.
- [98] S. Lee, J. Johnson, B. Greene, A. Chou, K. Zhao, M. Chowdhury, J. Sim, A. Kumar, D. Kim, A. Sutton, S. Ku, Y. Liang, Y. Wang, D. Slisher, K. Duncan, P. Hyde, R. Thoma, J. Deng, Y. Deng, R. Rupani, R. Williams, L. Wagner, C. Wermer, H. Li, B. Johnson, D. Daley, J.-O. Plouchart, S. Narasimha, C. Putnam, E. Maciejewski, W. Henson, et S. Springer, « Advanced modeling and optimization of high performance 32nm HKMG SOI CMOS for RF/analog SoC applications », *IEEE Symposium on VLSI Technology*, 2012, p. 135 - 136.
- [99] S. Lee, B. Jagannathan, S. Narasimha, A. Chou, N. Zamdmer, J. Johnson, R. Williams, L. Wagner, J. Kim, J.-O. Plouchart, J. Pekarik, S. Springer, et G. Freeman, « Record RF performance of 45-nm SOI CMOS Technology », *IEEE International Electron Devices Meeting*, 2007, p. 255 - 258.

- [100] S. Lee, J. Kim, D. Kim, B. Jagannathan, C. Cho, J. Johnson, B. Dufrene, N. Zamdmer, L. Wagner, R. Williams, D. Fried, K. Rim, J. Pekarik, S. Springer, J.-O. Plouchart, et G. Freeman, « SOI CMOS Technology with 360GHz f_T NFET, 260GHz f_T PFET, and Record Circuit Performance for Millimeter-Wave Digital and Analog System-on-Chip Applications », IEEE Symposium on VLSI Technology, 2007, p. 54 - 55.
- [101] S. Lee, L. Wagner, B. Jagannathan, S. Csutak, J. Pekarik, M. Breitwisch, R. Ramachandran, et G. Freeman, « Record RF performance of sub-46 nm L/sub gate/NFETs in microprocessor SOI CMOS technologies », IEEE International Electron Devices Meeting, 2005, p. 241 - 244.
- [102] N. Zamdmer, J. Kim, R. Trzcinski, J.-O. Plouchart, S. Narasimha, M. Khare, L. Wagner, et S. Chaloux, « A 243-GHz f_T and 208-GHz f_{max} , 90-nm SOI CMOS SoC technology with low-power millimeter-wave digital and RF circuit capability », IEEE Symposium on VLSI Technology, 2004, p. 98 - 99.
- [103] K.-H. G. Duh, P. C. Chao, S.-M. J. Liu, P. Ho, M.-Y. Kao, et J. M. Ballingall, « A super low-noise 0.1 μm T-gate InAlAs-InGaAs-InP HEMT », IEEE Microwave and Guided Wave Letters, vol. 1, n^o 5, p. 114 – 116, mai 1991.
- [104] H. S. Yoon, J.-H. Lee, J. Y. Shim, J. Y. Hong, D. M. Kang, W.-J. Chang, H.-C. Kim, et K.-I. Cho, « 0.15 μm gate length InAlAs/InGaAs power metamorphic HEMT on GaAs substrate with extremely low noise characteristics », International Conference on Indium Phosphide and Related Materials, 2003, p. 114 – 117.
- [105] K. H. G. Duh, P. C. Chao, P. Ho, A. Tessmer, S. M. J. Liu, M.-Y. Kao, P. M. Smith, et J. M. Ballingall, « W-band InGaAs HEMT low noise amplifiers », IEEE MTT-S International Microwave Symposium Digest, 1990, p. 595 – 598, vol.1.
- [106] P. Sakalas et M. Schroter, « Microwave noise in InP and SiGe HBTs: Modeling and challenges », International Conference on Noise and Fluctuations, 2013, p. 1 – 6.
- [107] T. Quemerais, D. Gloria, S. Jan, N. Derrier, et P. Chevalier, « Millimeter-wave characterization of Si/SiGe HBTs noise parameters featuring f_T/f_{MAX} of 310/400 GHz », IEEE Radio Frequency Integrated Circuits Symposium, 2012, p. 351 – 354.
- [108] J. Herricht, P. Sakalas, M. Ramonas, M. Schroter, C. Jungemann, A. Mukherjee, et K. E. Moebus, « Systematic Compact Modeling of Correlated Noise in Bipolar Transistors », IEEE Transactions on Microwave Theory and Techniques, vol. 60, n^o 11, p. 3403 – 3412, nov. 2012.
- [109] K. H. K. Yau, P. Chevalier, A. Chantre, et S. P. Voinigescu, « Characterization of the Noise Parameters of SiGe HBTs in the 70-170-GHz Range », Microwave Theory and Techniques, IEEE Transactions on, vol. 59, n^o 8, p. 1983 – 2000, août 2011.
- [110] Y. Tagro, D. Gloria, S. Boret, S. Lepillet, et G. Dambrine, « SiGe HBT noise parameters extraction using in-situ silicon integrated tuner in MMW range 60-110GHz », IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2009, p. 83-86.
- [111] S.-C. Wang, P. Su, K.-M. Chen, K.-H. Liao, B.-Y. Chen, S.-Y. Huang, C.-C. Hung, et G.-W. Huang, « Comprehensive Noise Characterization and Modeling for 65-nm MOSFETs for Millimeter-Wave Applications », IEEE Transactions on Microwave Theory and Techniques, vol. 58, n^o 4, p. 740 – 746, avr. 2010.
- [112] H. Li, B. Jagannathan, J. Wang, T.-C. Su, S. Sweeney, J. J. Pekarik, Y. Shi, D. Greenberg, Z. Jin, R. Groves, L. Wagner, et S. Csutak, « Technology Scaling and

- Device Design for 350 GHz RF Performance in a 45nm Bulk CMOS Process », IEEE Symposium on VLSI Technology, 2007, p. 56 – 57.
- [113] Y. Tagro, D. Gloria, S. Boret, Y. Morandini, et G. Dambrine, « In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction using Multi-Impedance Method for Transistor Characterization », IEEE International Conference on Microelectronic Test Structures, 2009, p. 184 – 188.
- [114] T. Gaier, L. Samoska, A. Fung, W. R. Deal, V. Radisic, X. B. Mei, W. Yoshida, P.-H. Liu, J. Uyeda, M. Barsky, et R. Lai, « Measurement of a 270 GHz Low Noise Amplifier With 7.5 dB Noise Figure », IEEE Microwave and Wireless Components Letters, vol. 17, no 7, p. 546 – 548, juill. 2007.
- [115] W. R. Deal, K. Leong, V. Radisic, S. Sarkozy, B. Gorospe, J. Lee, P.-H. Liu, W. Yoshida, J. Zhou, M. Lange, R. Lai, et X. B. Mei, « Low Noise Amplification at 0.67 THz Using 30 nm InP HEMTs », IEEE Microwave and Wireless Components Letters, vol. 21, no 7, p. 368 – 370, juill. 2011.
- [116] A. Leuther, A. Tessmann, I. Kallfass, H. Massler, R. Loesch, M. Schlechtweg, M. Mikulla, et O. Ambacher, « Metamorphic HEMT technology for submillimeter-wave MMIC applications », International Conference on Indium Phosphide Related Materials, 2010, p. 1 – 6.
- [117] A. Tessmann, A. Leuther, H. Massler, V. Hurm, M. Kuri, M. Zink, M. Riessle, H. P. Stulz, M. Schlechtweg, et O. Ambacher, « A 600 GHz low-noise amplifier module », IEEE MTT-S International Microwave Symposium, 2014, p. 1 – 3.
- [118] J. Hacker, M. Seo, A. Young, Z. Griffith, M. Urteaga, T. Reed, et M. Rodwell, « THz MMICs based on InP HBT Technology », IEEE MTT-S International Microwave Symposium, 2010, p. 1126 – 1129.
- [119] W. Winkler, W. Debski, B. Heinemann, F. Korndorfer, H. Rucker, K. Schmalz, C. Scheytt, et B. Tillack, « LNA and Mixer for 122 GHz Receiver in SiGe Technology », European Solid-State Circuits Conference, 2009, p. 316 – 319.
- [120] E. Laskin, P. Chevalier, B. Sautreuil, et S. P. Voinigescu, « A 140-GHz double-sideband transceiver with amplitude and frequency modulation operating over a few meters », IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2009, p. 178 – 181.
- [121] K. H. K. Yau, P. Chevalier, A. Chantre, et S. P. Voinigescu, « Characterization of the Noise Parameters of SiGe HBTs in the 70-170-GHz Range », IEEE Transactions on Microwave Theory and Techniques, vol. 59, n° 8, p. 1983 – 2000, août 2011.
- [122] Y. Mao, K. Schmalz, J. Borngraber, et J.-C. Scheytt, « A 245 GHz CB LNA and SHM mixer in SiGe technology », IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2012, p. 5 – 8.
- [123] Z. Wang, P.-Y. Chiang, P. Nazari, C.-C. Wang, Z. Chen, et P. Heydari, « A CMOS 210-GHz Fundamental Transceiver With OOK Modulation », IEEE Journal of Solid-State Circuits, vol. 49, n° 3, p. 564 - 580, mars 2014.
- [124] http://www.iee.et.tu-dresden.de/iee/eb/hic_new/hic_start.html
- [125] H.A. Haus, W. R. Atkinson, G. M. Branch, W. B. Davenport, W. H. Fonger, W. A. Harris, S. W. Harrison, W. W. McLeod, E. K. Stodola, et T. E. Talpey, « Representation of Noise in Linear Twoports », Proceedings of the IRE, vol. 48, n° 1, p. 69 – 74, janv. 1960.

- [126] R. Q. Lane, « The determination of device noise parameters », Proceedings of the IEEE, vol. 57, n° 8, p. 1461 – 1462, août 1969.
- [127] V. Adamian et A. Uhler, « A Novel Procedure for Receiver Noise Characterization », IEEE Transactions on Instrumentation and Measurement, vol. 22, n° 2, p. 181 – 182, juin 1973.
- [128] M. Mitama et H. Katoh, « An Improved Computational Method for Noise Parameter Measurement », IEEE Transactions on Microwave Theory and Techniques, vol. 27, n° 6, p. 612 - 615, juin 1979.
- [129] A. Boudiaf, M. LaPorte, J. Dangla, et G. Vernet, « Accuracy improvements in two-port noise parameter extraction method », IEEE MTT-S International Microwave Symposium Digest, 1992, p. 1569 - 1572 vol.3.
- [130] L. Escotte, R. Plana, et J. Graffeuil, « Evaluation of noise parameter extraction methods », IEEE Transactions on Microwave Theory and Techniques, vol. 41, n° 3, p. 382 – 387, 1993.
- [131] T. Vähä-Heikkilä, J. Varis, J. Tuovinen, et G. M. Rebeiz, « W-band RF MEMS double and triple-stub impedance tuners », IEEE MTT-S International Microwave Symposium Digest, 2005, p. 923 – 926.
- [132] Y. Tagro, N. Waldhoff, D. Gloria, S. Boret, et G. Dambrine, « In Situ Silicon-Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction Using Multi-Impedance Method for Transistor Characterization », IEEE Transactions on Semiconductor Manufacturing, vol. 25, n° 2, p. 170 – 177, 2012.
- [133] L. Poulain, « Développement d'un outil de caractérisation millimétrique de bruit dans la bande de fréquences 110 – 320 GHz », thèse de doctorat, Université Lille 1, 2012.
- [134] T. Quémerais, D. Gloria, S. Jan, N. Derrier, et P. Chevalier, « Millimeter-wave characterization of Si/SiGe HBTs noise parameters featuring f_T/f_{MAX} of 310/400 GHz », IEEE Radio Frequency Integrated Circuits Symposium, 2012, p. 351 – 354.
- [135] R. J. Hawkins, « Limitations of Nielsen's and related noise equations applied to microwave bipolar transistors, and a new expression for the frequency and current dependent noise figure », Solid-State Electronics, vol. 20, n° 3, p. 191-196, mars 1977.
- [136] G. Niu, J. D. Cressler, S. Zhang, A. Joseph, et D. Harame, « Noise-gain tradeoff in RF SiGe HBTs », Solid-State Electronics, vol. 46, n° 9, p. 1445-1451, sept. 2002.
- [137] N. Waldhoff, « Caractérisations et modélisations des technologies CMOS et BiCMOS de dernières générations jusque 220 GHz », thèse de doctorat, Université Lille 1, 2009.
- [138] Y. Tagro, « Mise au point d'une méthodologie de caractérisation des 4 paramètres de bruit HF des technologies CMOS et HBT avancées dans la bande 60-110 GHz : « développement de système à impédance variable in situ » », thèse de doctorat, Université Lille 1, 2010.
- [139] N. Waldhoff, C. Andrei, D. Gloria, S. Lepilliet, F. Danneville, et G. Dambrine, « Improved Characterization Methodology for MOSFETs up to 220 GHz », IEEE Transactions on Microwave Theory and Techniques, vol. 57, n° 5, p. 1237 - 1243, mai 2009.
- [140] S. Rehnmark, « On the Calibration Process of Automatic Network Analyzer Systems », IEEE Transactions on Microwave Theory and Techniques, Volume 22, Issue 4, p. 457 – 458, avril 1974.

- [141] D. Rytting, « Network Analyzer Error Models and Calibration Methods », ARFTG/NIST Short Course on RF Measurements for a Wireless World, San Diego, CA, Nov. 29–30, 2001.
- [142] R. A. Hackborn, « An automatic network analyzer system », *Microwave Journal* 11, n°5, 45 – 52, mai 1968.
- [143] Cascade Microtech, « A Guide to Better Vector Network Analyzer Calibrations for Probe-Tip Measurements », Technical Brief, 1994.
- [144] G. F. Engen and C. A. Hoer, « Thru-Reflect-Line: An Improved Technique for Calibrating the Dual 6-Port Automatic Network Analyzer », *IEEE Trans. on Microwave Theory and Techniques*, vol. MTT-27, n°12, p. 987 – 993, déc. 1979.
- [145] H. Heuermann et B. Schiek, « Robust algorithms for Txx network analyzer self-calibration procedures », *IEEE Transactions on Instrumentation and Measurement*, vol. 43, n° 1, p. 18-23, févr. 1994.
- [146] R. B. Marks, « A multiline method of network analyzer calibration », *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, n° 7, p. 1205 – 1215, juill. 1991.
- [147] A. Davidson, K. Jones, et E. Strid, « LRM and LRRM Calibrations with Automatic Determination of Load Inductance », *IEEE ARFTG Conference Digest-Fall*, 1990, vol. 18, p. 57 - 63.
- [148] H.-J. Eul et B. Schiek, « Thru-Match-Reflect: One Result of a Rigorous Theory for De-Embedding and Network Analyzer Calibration », *European Microwave Conference*, 1988, p. 909 - 914.
- [149] L. Hayden, « An enhanced Line-Reflect-Reflect-Match calibration », *IEEE ARFTG Conference*, 2006, p. 143-149.
- [150] P. J. van Wijnen, H. R. Claessen, et E. A. Wolsheimer, « A new straightforward calibration and correction procedure for 'on-wafer' high frequency S-parameter measurements (45 MHz-18 GHz) », *IEEE Bipolar/BiCMOS Circuits Technology Meeting*, 1987, p. 70 – 73.
- [151] M. C. A. M. Koolen, J. A. M. Geelen, et M. P. J. G. Versleijen, « An improved de-embedding technique for on-wafer high-frequency characterization », *IEEE Bipolar/BiCMOS Circuits Technology Meeting*, 1991, p. 188 – 191.
- [152] F. Pourchon, C. Raya, N. Derrier, P. Chevalier, D. Gloria, S. Pruvost, et D. Celi, « From measurement to intrinsic device characteristics: Test structures and parasitic determination », *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 2008, p. 232 - 239.
- [153] J.-L. Carbonero, R. Joly, G. Morin, B. Cabon, « On-wafer high-frequency measurement improvements », *IEEE International Conference on Microelectronic Test Structures*, 2014, pp.168 – 173.
- [154] C. Raya, « Modélisation et optimisation de transistors bipolaires à hétérojonction Si/SiGeC ultra rapides pour applications millimétriques », thèse de doctorat, Université de Bordeaux 1, 2011.
- [155] C. Andrei, D. Gloria, F. Danneville, P. Scheer, et G. Dambrine, « Coupling on-wafer measurement errors and their impact on calibration and de-embedding up to 110 GHz

- for CMOS millimeter wave characterizations », IEEE International Conference on Microelectronic Test Structures, 2007, pp. 253 – 256.
- [156] C. Raya, D. Celi, et T. Zimmer, « Investigation of De-embedding Methods up to 110GHz », 8th HICUM Workshop, 2008.
- [157] J. Bazzi, « Caractérisation des transistors bipolaires à Hétérojonction SiGe à très hautes fréquences », thèse de doctorat, Université de Bordeaux 1, 2011.
- [158] M. Deng, D. Gloria, N. Derrier, P. Chevalier, S. Lépilliet, F. Danneville, et G. Dambrine, « Benefits and validation of 4-dummies de-embedding method for characterization of SiGe HBT in G-band », European Microwave Conference, 2013, p. 1359 – 1362.
- [159] D. J. Roulston, « Bipolar semiconductor devices », New York : McGraw-Hill, 1990.
- [160] J. M. Belquin, A. Tachafine, S. Delage, A. Cappy, et G. Dambrine, « Determination of the equivalent circuit of heterojunction bipolar transistors using a full analytical method », Asia-Pacific Microwave Conference, 1994, p. 603 – 606.
- [161] C. Andrei, D. Gloria, F. Danneville, et G. Dambrine, « Efficient De-Embedding Technique for 110-GHz Deep-Channel-MOSFET Characterization », IEEE Microwave and Wireless Components Letters, vol. 17, n° 4, p. 301 – 303, avril 2007.
- [162] G. Pailloncy, « Propriétés hyperfréquences et de bruit de MOSFETs sur substrat massif et SOI jusqu'au noeud technologique 65 nm », thèse de doctorat, Université de Lille 1, 2005.
- [163] R. Debroucke, A. Pottrain, D. Titz, F. Giancesello, D. Gloria, C. Luxey, et C. Gaquière, « CMOS digital tunable capacitance with tuning ratio up to 13 and 10dBm linearity for RF and millimeterwave design », IEEE Radio Frequency Integrated Circuits Symposium, 2011, p. 1 – 4.
- [164] M. Hruskovic, J. Hribic, M. Kostal, M. Groschl, et E. Benes, « Active Two-Port Equivalent Noise Parameters », Radioengineering, vol. 4, n°2, p. 18 – 21, juin 1995.
- [165] M. W. Pospieszalski, « Interpreting Transistor Noise », IEEE Microwave Magazine, vol. 11, n° 6, p. 61-69, 2010.
- [166] M. Deng, L. Poulain, D. Gloria, T. Quémerais, P. Chevalier, S. Lépilliet, F. Danneville, et G. Dambrine, « Millimeter-Wave In Situ Tuner: An Efficient Solution to Extract the Noise Parameters of SiGe HBTs in the Whole 130–170 GHz Range », IEEE Microwave and Wireless Components Letters, vol.24, no.9, pp.649 – 651, Sept. 2014.
- [167] Elva-1, « Method of Broadband Noise Source Calibration », Application Note.
- [168] M. Deng, D. Gloria, T. Quémerais, P. Chevalier, S. Lépilliet, F. Danneville, et G. Dambrine, « Uncertainties assessment of noise parameters in D-band using in situ tuner techniques », IEEE International Symposium on Radio Frequency Integration Technology, août 2014.
- [169] J. M. Rollett, « Stability and Power-Gain Invariants of Linear Twoports », IRE Transactions on Circuit Theory, vol. 9, n° 1, p. 29-32, mars 1962.

Liste des publications

** Publication dans une revue internationale avec comité de lecture

M. Deng, L. Poulain, D. Gloria, T. Quémerais, P. Chevalier, S. Lépilliet, F. Danneville, and G. Dambrine, « Millimeter-Wave In Situ Tuner: An Efficient Solution to Extract the Noise Parameters of SiGe HBTs in the Whole 130–170 GHz Range », IEEE Microwave and Wireless Components Letters, vol.24, no.9, p. 649 – 651, sept. 2014.

** Communications internationales avec comité de lecture et actes

○ Présentations orales

M. Deng, D. Gloria, N. Derrier, P. Chevalier, S. Lépilliet, F. Danneville, et G. Dambrine, « Benefits and validation of 4-dummies de-embedding method for characterization of SiGe HBT in G-band », European Microwave Conference, Nuremberg, oct. 2013, p. 1359 – 1362.

M. Deng, D. Gloria, T. Quémerais, P. Chevalier, S. Lépilliet, F. Danneville, et G. Dambrine, « Uncertainties assessment of noise parameters in *D*-band using in situ tuner techniques », IEEE International Symposium on Radio Frequency Integration Technology, Hefei, août 2014, *shortlisted for the best paper awards*.

** Communications nationales avec actes

○ Présentations par affiche

M. Deng, T. Quémerais, D. Gloria, P. Chevalier, S. Lépilliet, F. Danneville, et G. Dambrine, « Caractérisation et extraction du schéma équivalent petit signal en bande G de transistor bipolaire à hétérojonction SiGe:C de dernière génération et montrant des performances $f_T/f_{max}=300/400$ GHz », 18^{èmes} Journées Nationales Microondes, Paris, mai 2013.

M. Deng, « Caractérisation et modélisation en petit signal de transistor bipolaire à hétérojonction Si/SiGe:C jusqu'à 220 GHz », 16^{èmes} Journées Nationales du Réseau Doctoral en Micro-nanoélectronique, Grenoble, juin 2013.

M. Deng, S. Lépilliet, F. Danneville, et Gilles Dambrine, « Caractérisation en bruit hyperfréquences de transistors bipolaires à hétérojonction SiGe:C avancés jusque 170 GHz », 17^{èmes} Journées Nationales du Réseau Doctoral en Micro-nanoélectronique, Lille, mai 2014.

** Communication sans actes

○ Présentation orale

[Invité] T. Quémerais, D. Gloria, S. Oeuvrard, C. Gaquière, F. Danneville, G. Dambrine, M. Deng, « Millimeter-wave noise and power characterization using in situ tuner », Workshop, IEEE International Microwave Symposium, Tampa, juin 2014.

Contribution à la caractérisation et la modélisation jusqu'à 325 GHz de transistors HBT des technologies BiCMOS

Résumé – L'émergence des applications grand public en gamme millimétrique et térahertz, telles que la communication très haut débit, le radar automobile et l'imagerie, est aujourd'hui rendue possible grâce aux progrès continus sur les performances des transistors. La technologie BiCMOS SiGe compte parmi les technologies clés génériques capables d'adresser ces applications. Les transistors bipolaires à hétérojonction (HBT) de dernière génération montrent en effet des fréquences de coupure supérieures à 300 GHz. Néanmoins, la conception de circuits RF dans les fréquences sub-térahertz nécessite des modèles de transistor précis et fiables, qui sont extraits et validés par des mesures hyperfréquences. L'objectif de ce travail a donc été de caractériser et modéliser les transistors HBT des technologies BiCMOS en régime petit signal et en bruit RF au-delà de 110 GHz. Après la mise au point d'une technique d'épluchage des accès du transistor à partir de mesures en bande *G* (140 – 220 GHz), la modélisation petit signal des transistors HBT des technologies B9MW, B5T et B55 de STMicroelectronics a pu être réalisée jusqu'à 220 et 325 GHz, tout en montrant les limitations dues à la montée en fréquence. Dans un deuxième temps, l'extraction des quatre paramètres de bruit du transistor HBT SiGe a été réalisée pour la première fois dans l'intégralité de la bande 130 – 170 GHz, démontrant l'efficacité de la méthode multi-impédance associée à l'algorithme de Lane à ces hautes fréquences. Dans la perspective d'intégrer le système de mesure de bruit en vue de caractériser en bruit le transistor HBT, un amplificateur et un *tuner* d'impédance ont été conçus, en technologie B55, pour un fonctionnement de 130 à 170 GHz.

Mots-clés : caractérisation, modélisation, hyperfréquences, millimétrique, régime petit signal, bruit RF, schéma équivalent, transistor bipolaire à hétérojonction SiGe, BiCMOS

Contribution to characterization and modelling up to 325 GHz of BiCMOS HBT transistors

Abstract – The emergence of millimeter-wave and terahertz applications for the general public, such as very high speed communication, automotive radar and imaging, is now possible thanks to the continuous progress on transistors performances. The SiGe BiCMOS technology ranks among the key enabling technologies able to address these applications. In fact, the heterojunction bipolar transistor of last generations feature cut-off frequencies higher than 300 GHz. Nevertheless, RF circuit design at sub-terahertz frequencies strongly rely on accurate and reliable transistor models, which are extracted and validated by RF measurements. This work aimed to characterize and model the BiCMOS HBTs in small-signal regime and RF noise beyond 110 GHz. Thanks to the development of a transistor access de-embedding technique from measurements in *G*-band (140 – 220 GHz), the small-signal modelling of HBTs from B9MW, B5T and B55 technologies of STMicroelectronics could be achieved up to 220 and 325 GHz. Furthermore, the four noise parameters extraction of the SiGe HBT was completed for the first time in the entire 130 – 170 GHz frequency range, thus demonstrating the efficiency of source-pull technique associated to Lane algorithm at such high frequencies. In order to integrate the noise measurement system for the HBT noise characterization, an amplifier and impedance tuner were designed, in B55 process, for a 130 – 170 GHz operating frequency range.

Keywords: characterization, modelling, millimeter-wave, small signal regime, RF noise, equivalent circuit, SiGe HBT, BiCMOS