

Université  
de Toulouse

# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National des Sciences Appliquées de Toulouse (INSA de Toulouse)

---

**Présentée et soutenue par :**

**AL ATTAR Sari**

**le** mercredi 11 juillet 2012

**Titre :**

Conception et mise au point d'un procédé d'assemblage  
(Packaging) 3D ultra-compact de puces silicium amincies,  
empilées et interconnectées par des vias micrométrique verticaux  
traversant latéralement le matériau d'enrobage.

---

**École doctorale et discipline ou spécialité :**

ED GEET : Micro et Nanosystèmes

**Unité de recherche :**

LAAS-CNRS

**Directeur(s) de Thèse :**

Pr Jean-Yves Fourniols

MCF Ali Boukabache

**Jury :**

Rapporteurs :

Pr Mohammed Benzohra, Pr Eric Rius

## TABLE DES MATIERES

<b>Introduction générale.....</b>	<b>4</b>
<b>CHAPITRE I : Les procédés d'intégration 3D.....</b>	<b>9</b>
<b>Introduction .....</b>	<b>9</b>
<b>I.1 Réflexions sur l'assemblage 3D .....</b>	<b>10</b>
I.1.1    Évolution des systèmes électroniques intégrés .....	11
I.1.2    Limitations des réseaux d'interconnexions 3D actuel.....	18
I.1.3    Intégration 3D ultra Compacte .....	20
I.1.4    Evolution du marché électronique 3D.....	22
<b>I.2 une approche d'intégration technologique 3D.....</b>	<b>25</b>
I.2.1    Les exigences technologiques .....	26
I.2.2    La méthodologie de conception .....	27
<b>I.3 Les principaux procédés d'assemblages 3D .....</b>	<b>28</b>
I.3.1    Les technologies TSV : « Through Silicon Via » .....	29
I.3.2    Les technologies TPV : « Through Polymères Via ».....	32
I.3.3    Commentaires.....	34
<b>I.4 Les procédés d'assemblages hétérogènes.....</b>	<b>35</b>
I.4.1    L'hétérogénéité dans les microsystèmes .....	35
I.4.2    Le procédé d'assemblage à base de la résine SU8 .....	36
<b>I.5 Notre méthodologie de travail .....</b>	<b>38</b>
<b>CHAPITRE II : Mise en œuvre du procédé TPV .....</b>	<b>44</b>
<b>Introduction .....</b>	<b>44</b>
<b>II.1 Retour sur les approches TPV .....</b>	<b>45</b>
<b>II.2 Procédé TPV-SOFT .....</b>	<b>47</b>
II.2.1    Pourquoi la résine SU8 pour TPV ? .....	48
II.2.2    limites de compatibilité de la SU8 avec la technologie TPV .....	56
II.2.3    chargement de la SU8 par des microparticules de Silice : .....	58
<b>II.3 TPV (ou TPV par Laser) .....</b>	<b>63</b>
II.3.1    Principes .....	63
II.3.2    Description technologique.....	64
<b>II.4 Comparaison des deux procédés.....</b>	<b>80</b>

<b>II.5 Obstacles fondamentaux.....</b>	<b>81</b>
<b>CHAPITRE III : Analyse et traitement du process technologique TPV .....</b>	<b>87</b>
<b>Introduction .....</b>	<b>87</b>
<b>III.1. Le mouvement des puces pendant la polymérisation .....</b>	<b>88</b>
III.1.1 La physico-chimie de la polymérisation des résines époxy .....	88
III.1.2 Les contraintes au moment du retrait.....	89
III.1.3 La polymérisation des résines chargées .....	93
III.1.4 Applications au TPV.....	95
III.1.5 La situation et les recommandations possibles .....	98
<b>III.2 Perçage laser des trous d'interconnexions .....</b>	<b>102</b>
III.2.1 Rappels théoriques sur les interactions laser-matière .....	102
III.2.2 Interaction laser/polymère chargé en billes de silice .....	106
III.2.3 Formation des aérosols .....	108
III.2.4 Processus sous vide.....	109
<b>III.3 Métallisation chimique des vias.....</b>	<b>110</b>
III.3.1 procédés par déplacement .....	111
III.3.2 procédés par contact.....	111
III.3.3 procédés par réduction chimique (electroless).....	112
III.3.4 Adhérence et état des surfaces .....	114
<b>III.4 Caractérisation physique de la métallisation dans les trous.....</b>	<b>117</b>
<b>III.5 Caractérisations électriques des modules empilés.....</b>	<b>121</b>
<b>Chapitre IV : Analyse et prospective .....</b>	<b>130</b>
<b>Introduction .....</b>	<b>130</b>
<b>IV.1 Technologies de perçage des vias : .....</b>	<b>131</b>
IV.1.1 Laser femtoseconde .....	131
a) Sélectivité de gravure.....	131
b) Vitesse de gravure .....	132
c) Profil des trous. ....	135
d) Temps de perçage d'un trou .....	139
e) Zone Affectée Thermiquement : ZAT .....	139
IV.1.2 Laser Excimère .....	141
a) Sélectivité de gravure.....	141
b) Vitesse de gravure .....	143
c) Profil des trous .....	144

d) Zone Affectée Thermiquement : ZAT .....	145
IV.1.3 Laser YAG triplé .....	146
a) Zone Affectée Thermiquement (ZAT) .....	147
b) Temps de perçage .....	148
IV.1.4 Conclusions.....	148
<b>IV.2    Considérations synthétiques sur les procédés TPV .....</b>	<b>149</b>
IV.2.1 Les étapes de réalisation du procédé TPV .....	149
IV.2.2 Les modules prototypes TPV .....	153
IV.2.3 Conclusions .....	156
<b>IV.3 TPV-SOFT à base de SU8.....</b>	<b>157</b>
IV.3.1 Bilan d'avancement des travaux .....	157
IV.3.2 Prospective TPV-SOFT :.....	158
IV.4 Modélisation et évaluation de la fiabilité des modules.....	158
<b>IV.4.1 Modèle étudié .....</b>	<b>160</b>
IV.4.2 Simulation thermomécanique. ....	164
IV.4.3 Contrainte liée au retrait de polymérisation.....	167
<b>Conclusion générale .....</b>	<b>171</b>

## Introduction générale

Depuis l'origine de la microélectronique en 1961 et l'invention du transistor bipolaire, **la miniaturisation des circuits et des systèmes est l'un des facteurs essentiels de succès** : sur le plan des performances, de la consommation et de la rapidité, ainsi que sur les plans industriel et commercial. Historiquement, cet objectif de miniaturisation s'est manifesté dans les composants silicium et dans les circuits intégrés.

Initialement, tous les efforts de la miniaturisation des circuits électroniques ont été centrés sur le développement des circuits intégrés afin d'y intégrer un maximum de fonctions logiques par unité de surface. Dans ce cadre, plusieurs filières technologiques (CMOS, BiCMOS etc...) ont été développées pour la réalisation de transistors avec les plus petites dimensions possibles. Cet élément fondateur, qui constitue le composant électronique de base dans la fabrication des circuits intégrés, a été dimensionnellement réduit (loi de MOORE). En 2004, l'industrie réussit à produire massivement des transistors dont la grille atteint quelques centaines de nanomètres. Son objectif était de pouvoir produire, dans les années à venir, des transistors dont la longueur de la grille ne mesurerait pas plus de quelques dizaines de nanomètres. En 2010, cet objectif a été atteint avec des transistors MOSFET 20nm. Dans cette course à la miniaturisation, la loi de Moore qui reste le guide de progression des micro-technologies ultimes, prévoit de maîtriser des dimensions de quelques nanomètres en 2040 ! Cette loi empirique a nécessairement une fin, car à l'échelle du nanomètre, on atteint et/ou dépasse les limites physiques (optiques et moléculaires), dans la fabrication « top-down » des dispositifs. Notons toutefois que les laboratoires de R&D avancés, cherchent à mettre au point le transistor à un électron (SET) : c'est une toute autre aventure technologique qui commence ...

Dans les années 1990, une option nouvelle s'est ouverte sous la forme des « **technologies microsystèmes** », de type SOC (Systems On Chip) lorsque des solutions monolithiques silicium sont accessibles, et de type SIP (Systems in Package) lorsque la voie de miniaturisation se trouve dans les technologies d'assemblage. Nous sommes, dans cette thèse, plus particulièrement concernés par cette deuxième voie d'intégration qui, parce qu'elle est **une voie d'assemblage, est plus souple et mieux adaptée pour associer des technologies différentes, hétérogènes**. Les besoins de miniaturisation en assemblage hétérogènes sont très nombreux et très divers. Par exemple, la conception-fabrication des systèmes miniaturisés est un besoin important et déterminant dans le domaine médical. Celui – ci exige des composants ultra compacts de tailles micrométriques, capables de réaliser diverses tâches et fonctions complexes implantables dans le corps humain : pilules intelligentes, prothèses, stimulateurs cardiaques,....

Ce bref rappel suffit à souligner l'intérêt de développer les technologies de l'assemblage (packaging) de manière très poussée, capable d'associer et rendre opérationnels les circuits intégrés (CI) de demain : c'est aussi une voie pour pouvoir

continuer de valider la loi de Moore, par des voies technologiques autres que la réduction des dimensions du composant élémentaire.

**La voie qui nous concerne ici est celle de l'empilement de dispositifs amincis**, ce qui va permettre de tirer parti de l'évolution des technologies d'intégration silicium et de la possibilité, par empilage de cinq à dix couches de composants, de multiplier d'autant le niveau d'intégration par unité de surface. Un autre intérêt qu'il faut souligner dans cette introduction, est celui de la flexibilité de l'approche SIP qui autorise d'associer des composants de technologies diverses, sans avoir d'exigences sur leur compatibilité. La seule exigence porte sur le procédé d'assemblage qui doit, bien sûr, respecter chacune des technologies initiales de chacun des composants assemblés. Pour donner un exemple, rappelons qu'un circuit intégré ne peut pas fonctionner tout seul, sans un environnement spécifique (alimentations, interfaces analogiques, sécurités...) qui l'entoure, le protège... Il faut aussi assurer les fonctions d'interconnexions qui font partie du conditionnement (boîtier d'encapsulation).

Dans cette course à la miniaturisation électronique, la technologie d'encapsulation (Packaging) doit nécessairement accompagner le développement des CI !

Les technologies d'encapsulation et de conditionnement répondent-elles aux besoins actuels et à ceux que l'on peut estimer utiles dans un avenir proche ?

Pour donner une réponse simple et significative : à ce jour, le package constitue 80% du volume total du composant électronique existant sur le marché. Ceci n'est pas pour illustrer un retard remarquable de la technologie du packaging actuel, mais pour montrer l'importance du packaging et des fonctions qu'il doit assumer pour un bon fonctionnement d'une électronique dans son environnement.

La technologie PCB (Printed Circuit Board) reste la base et le support d'interconnexions qui se charge d'associer les différents composants d'un même système. Elle a eu un développement important pour accompagner l'évolution des CI jusqu'à un certain niveau où elle a montré ses limites, spécialement aux performances de miniaturisation géométrique du système d'interconnexions électriques (dimensions des connexions et superposition des couches). A ce stade, une réflexion approfondie sur l'assemblage par empilement 3D (3D packaging) s'est imposée et a conduit à l'émergence de ce que l'on appelle SIP (System In Package).

Cette méthode est considérée actuellement comme un chemin important de succès. Son principe initial était d'empiler les dispositifs (composants, circuits intégrés ou microsystèmes) les uns sur les autres, et de les interconnecter par les technologies classiques de câblage (wire bonding)... Mais la question s'est posée de savoir si ces technologies classiques d'interconnexions sont encore capables de suivre les besoins d'intégration dans l'avenir avec les densités de routage croissantes qu'impliquent les technologies des puces les plus avancées. Faut-il aussi revoir les réalisations individuelles des composants pour qu'elles correspondent mieux aux besoins d'assemblages 3D : coût des dispositifs élémentaires, modes d'interconnexions, tests préalables... ? Bien évidemment, des chercheurs ont déjà commencé à préparer cet avenir des systèmes électroniques. Leurs travaux n'ont pas encore

complètement abouti à un procédé industriel, mais leurs projets constituent l'actualité d'un vaste programme international de recherche et de développement.

Ces travaux sont répartis sur deux axes technologiques représentés par TSV (Through Silicon Via) et TPV (Through Polymer Via). **Leur principe est l'empilement collectif (wafer to wafer) des CI les uns sur les autres et la réalisation d'interconnexions directes entre eux, par des trous verticaux métallisés (Vias).** A la fin du processus, les wafers empilés seront découpés en des modules individuels fonctionnels. Cette caractéristique clé pour l'industrie (très faible coût relatif) rencontre un problème majeur par rapport au rendement global de l'empilement à l'échelle du wafer (Wafer Level Packaging) : En effet, si le rendement de chaque plaque est limité, en dessous de 90%, par exemple, la probabilité de trouver un circuit assemblé défaillant devient très vite insupportable. C'est ce problème qui rend la technologie TSV (Through Silicon Via) délicate à mettre en œuvre, au-delà des difficultés technologiques à pratiquer des vias dans le silicium à très haute densité.

Nous voulons exploiter ici un brevet de la Société 3DPLUS qui propose de pré-tester et pré-travailler les puces avant de les empiler. Le concept revient à associer à la puce une bordure d'un matériau rajouté, dans lequel on va réaliser les vias : ce matériau peut être un polymère, et c'est la technologie TPV (Through Polymer Via). Elle comporte deux grandes étapes :

1- Le test, le tri et la reconstitution d'un Wafer à partir de puces « bonnes » (Known Good Rebuilt Wafer). Cette particularité revient à l'intégration d'un Polymère qui enrobe l'ensemble des puces et qui reconstitue un wafer de puces testées bonnes. C'est la condition essentielle, sinon le rendement diminuerait considérablement avec le nombre de couches empilés.

2- La réalisation de l'assemblage des niveaux, pose d'autres problèmes difficiles comme la précision d'alignement et d'empilement, les méthodes de réalisation des trous ainsi que la métallisation de ces trous.

Nous sommes essentiellement concernés ici par ce deuxième point, dans le cadre de cette thèse, associant (convention CIFRE) la société 3DPLUS, détentrice du brevet TPV et le LAAS-CNRS qui dispose de moyens technologiques (Salle blanche de 2000 m<sup>2</sup>) pour explorer différentes voies de mise en œuvre de cette technologie innovante. Nous avons à l'origine de ce travail, un double objectif :

- **Celui de faire progresser les technologies** dans le chemin tracé par des travaux préliminaires engagés par la société 3DPLUS,
- **Celui d'analyser d'autres types de matériaux** et de technologies pour mettre en œuvre ce procédé 3DPLUS. Dans ce cadre, nous avons pu faire le rapprochement avec des travaux conduits au LAAS sur les technologies fluidiques utilisant les possibilités des résines SU8, qui impliquent aussi de multiplier les couches et les vias.

Nos travaux se sont donc déroulés au LAAS CNRS, dans le cadre du Groupe N2IS chargé de développer les technologies d'intégration microsystèmes, et à 3DPLUS où nous avons eu accès aux résultats antérieurs et aux moyens d'usinages Laser. Tous ces éléments et d'autres sont développés dans la suite de ce mémoire.

Celui-ci s'organise en quatre chapitres :

Dans le premier chapitre, nous faisons le point sur les processus d'assemblage pour y situer les positionnements des technologies LAAS et des technologies 3DPLUS. Nous présenterons dans ce document une recherche documentaire très fouillée avec les synthèses sur les propositions existantes classées en trois items :

Les technologies TSV.

Les technologies TPV, à partir des données existantes à 3DPLUS.

Les technologies d'assemblages hétérogènes, avec des éléments plus précis sur les technologies d'assemblage SU8.

Le deuxième chapitre explore la technologie TPV en détails, des étapes technologiques de reconstitution des wafers en 2D jusqu'à la fabrication terminale des modules 3D. On rappellera l'état d'avancement des procédés et on identifiera les points durs rencontrés avec leurs caractéristiques expérimentales à chaque phase.

Le troisième chapitre sera centré sur ces étapes difficiles : analyse et traitement des verrous technologiques sur le plan théorique ainsi que sur le plan expérimental ; on présentera ensuite notre approche avec un plan d'expérience défini pour surmonter les différents verrous rencontrés.

Les résultats expérimentaux ainsi que les procédés technologiques retenus pour réaliser l'approche TPV constituent le sujet du dernier chapitre, qui comporte aussi une partie simulation thermomécanique et d'analyse des différents paramètres des résines d'encapsulation.

<b>CHAPITRE I : Les procédés d'intégration 3D .....</b>	<b>9</b>
<b>Introduction .....</b>	<b>9</b>
<b>I.1 Réflexions sur l'assemblage 3D .....</b>	<b>10</b>
I.1.1 Évolution des systèmes électroniques intégrés .....	11
I.1.2 Limitations des réseaux d'interconnexions 3D actuel.....	18
I.1.3 Intégration 3D ultra Compacte .....	20
I.1.4 Evolution du marché électronique 3D.....	22
<b>I.2 une approche d'intégration technologique 3D .....</b>	<b>25</b>
I.2.1 Les exigences technologiques .....	26
I.2.2 La méthodologie de conception .....	27
<b>I.3 Les principaux procédés d'assemblages 3D .....</b>	<b>28</b>
I.3.1 Les technologies TSV : « Through Silicon Via » .....	29
I.3.2 Les technologies TPV : « Through Polymères Via ».....	32
I.3.3 Commentaires.....	34
<b>I.4 Les procédés d'assemblages hétérogènes.....</b>	<b>35</b>
I.4.1 L'hétérogénéité dans les microsystemes .....	35
I.4.2 Le procédé d'assemblage à base de la résine SU8 .....	36
<b>I.5 Notre méthodologie de travail.....</b>	<b>38</b>

# **CHAPITRE I : Les procédés d'intégration 3D**

## **Introduction**

Face aux besoins de miniaturisation extrême, différentes voies technologiques s'organisent autour de la microélectronique et des microsystèmes. L'hyper miniaturisation des technologies de la microélectronique pour réduire encore les dimensions des composants élémentaires suit grosso modo la loi de MOORE mais devrait arriver à terme à des limites indépassables. L'option des microsystèmes qui visent, par l'association de technologies hétérogènes, à traiter d'intégrations toujours plus complexes et enfin l'option des technologies d'assemblage qui par leurs performances et leur flexibilité n'ont pas dit leur dernier mot, notamment dans la perspective des assemblages 3D. Nous présentons dans ce premier chapitre, un état de ces technologies pour y introduire les avantages d'une option d'assemblage de puces amincies en 3D. Soit TSV, lorsqu'il s'agit d'associer des puces par des via réalisés dans le silicium, soit TPV lorsqu'il s'agit de réaliser des vias sur les contours des puces dans un polymère d'enrobage. Dans cette perspective, le procédé TPV en cours de développement dans l'entreprise 3DPLUS sera développé ; en parallèle, nous explorerons les potentialités d'un procédé proche utilisant des résines photosensibles du type SU8.

## I.1 Réflexions sur l'assemblage 3D

Les circuits intégrés (CIs) et les « Printed Circuits Boards » (PCBs) ont été les bases technologiques de toutes les applications électroniques dans le passé et probablement dans l'avenir. La distribution des tâches met traditionnellement, à la charge des ICs, les fonctions logiques et à la charge des PCBs, les fonctions de support d'assemblages et d'interconnexions. La recherche de réduction des coûts et des dimensions sont les moteurs de l'évolution de ces technologies, ce qui est fondamentalement favorable aux réductions des consommations électriques et aux augmentations des bandes passantes.

Une autre influence dans cette évolution technologique est celle de la conception système. Il y a une corrélation évidente entre les développements technologiques et les besoins et attentes exprimés par les concepteurs de systèmes innovants. Les exemples les plus illustratifs sont liés aux développements des microsystèmes : SOC (Systems on Chip) et SIP (Systems in Package). Les besoins sont ici ceux d'une intégration « hétérogène » : des fonctions électriques et des fonctions « non-électriques » doivent être intégrées ou assemblées dans un même système ! Pour chaque système, dans la mesure où il couvre un volume suffisant de marché, il faut concevoir et développer un ensemble dédié qui devra être optimisé en performances fonctionnelles, fiabilité et coûts !

Cette analyse conduit à trois grandes priorités stratégiques :

- (1) Le développement de technologies compatibles mariant les ICs et les PCBs en des procédures compatibles,
- (2) Le développement de procédures performantes pour concevoir et prototyper au plus vite des systèmes multifonctionnels et hétérogènes,
- (3) Evidemment, le progrès des matériaux et des opérations technologiques élémentaires qu'imposent les deux précédentes priorités.

Le domaine d'activité est immense et, comme nous l'avons dit, il se laisse largement guider par les besoins applicatifs. Des applications téléphones portables jusqu'aux propositions multifonctionnelles les plus récentes donnent un exemple d'un travail d'intégration hétérogène en pleine évolution. La réflexion prospective doit donc éclairer l'effort technologique. On peut actuellement souligner les besoins suivants :

- L'intégration de microsystèmes dans la perspective du développement d'une « intelligence ambiante », c'est-à-dire intégrant des fonctions de mesures et d'actionnements diverses avec des fonctions de communication « sans fil ».
- L'intégration de microsystèmes travaillant en milieu liquide pour des applications Santé et Environnement, c'est-à-dire intégrant des fonctions électriques et fluidiques...

Les approches sont encore marquées par leurs origines. Si l'on se place dans une stratégie SOC, la tendance reste de travailler en 3D en exploitant au mieux la surface disponible offerte par les puces de Silicium (Above silicon). Si l'on se place dans la stratégie SIP, on va davantage chercher une optimisation du conditionnement dans une approche d'assemblage

hybride. Mais la tendance est de penser à une approche intégrée de manière à anticiper et à traiter, au plus tôt, les questions essentielles de rendements de production et de fiabilité, par la gestion de contraintes thermomécaniques d'assemblages hétérogènes qui assureront l'intégrité de chaque composant assemblé, étant préalablement testé « bon ».

### I.1.1 Évolution des systèmes électroniques intégrés

Dans l'élaboration des circuits intégrés, le défi constant des concepteurs est d'améliorer les performances en termes de vitesse de fonctionnement et de fiabilité, tout en diminuant la taille des circuits et leur coût. Ce défi nécessite l'introduction de nouveaux matériaux et le développement de nouveaux procédés à chaque nouvelle génération technologique identifiée par la longueur minimale de la grille du transistor. Jusqu'à la fin des années 90, les transistors ont dominé les performances et les coûts des puces, alors que les interconnexions n'ont joué qu'un rôle secondaire dans ces domaines. Actuellement, les performances des circuits intégrés sont de plus en plus déterminées par les pistes d'interconnexions. Si la réduction de taille des composants actifs élémentaires conduit à l'amélioration des performances des CI (densité et vitesse de fonctionnement), la réduction de taille des interconnexions sur la puce même, conduit à une augmentation de leur densité mais entraîne une augmentation des délais de propagation.

Le tableau suivant (Tab.1.1) illustre les étapes de l'évolution technologique.

Année	Techno	Commutation	Délai (1mm) d'interconnexions	Longueur des interconnexions (m/cm <sup>2</sup> )
1980-1990	1µm	20ps	1ps	
2000-2010	0.1µm	6ps	100ps	579 (4 niveau RDL)
2010-2015	0.20nm	1ps	250ps	3500 (14 niveau RDL)

Tab.1.1 : évolution et caractéristiques des technologies de fabrication des CIs.

RDL : Couche de redistribution (re-route) des pistes d'interconnexions métalliques conductrices à partir du centre vers le bord des puces moulées.

La puce (ou SOC) est constituée de deux parties principales (Fig.1.1) :

- la partie active (Silicium), nommée *Front End Of Line* (FEOL), comprend les transistors, diodes, résistances qui sont élaborés en premier au plus près du substrat.
- la partie passive (supérieure) constitue le bloc *Back End Of Line* (BEOL), qui comprend les interconnexions et assure le câblage du circuit.

Les interconnexions sont constituées de plusieurs niveaux (2 à 14) structurés dans un diélectrique qui fait support de base de tout le système d'interconnexions BEOL. Chaque

niveau est constitué de lignes métalliques, reliées aux lignes des niveaux adjacents par des via réalisés dans le diélectrique « photogravable ». Ce diélectrique assure l'isolation électrique et contribue à la tenue mécanique de l'ensemble avec les lignes de métal. Ces interconnexions, qui assurent le câblage entre les composants dans le circuit, sont devenues l'élément limitant les performances du circuit intégré, dans la course à la diminution des dimensions.

Les interconnexions sur une puce sont réparties en deux familles : les interconnexions locales réalisées sur les niveaux métalliques les plus proches du silicium et les interconnexions globales sur les niveaux les plus élevés. Les interconnexions locales relient des portes à très courte distance, leur longueur décroît, car elles sont en général "routées" sur les premiers niveaux métalliques. Les interconnexions globales dont la longueur est de l'ordre de grandeur de la dimension du circuit, elles sont "routées" sur les niveaux métalliques supérieurs où les pistes conductrices peuvent être épaisses et larges afin de réduire la résistance linéique.

La largeur et l'épaisseur des pistes métalliques augmentent des couches basses aux couches élevées, ce qu'on appelle « *reverse scaling* ».

A noter que, dans le tableau (Tab.1) pour une technologie (grille) de 1  $\mu\text{m}$ , le délai de la commutation intrinsèque d'un MOSFET approche les 20 ps, alors que le temps de réponse d'une interconnexion de longueur 1 mm avoisine 1 ps. Pour une technologie de 0.1  $\mu\text{m}$ , typique du début des années 2000, les performances relatives sont bien différentes. Le temps de communication du MOSFET chute à 6 ps alors que le temps de réponse de la même interconnexion s'envole à 100 ps. Ainsi, sur une période d'environ dix ans, l'augmentation relative du délai dans les interconnexions a été dix fois plus importante que la diminution du temps de commutation des transistors. A partir de cette constatation, il apparaît clairement que le délai généré par les interconnexions devient le facteur limitant des performances des circuits intégrés actuels. La Figure (Fig.1.2) représente les évolutions du délai caractéristique d'une interconnexion et d'un transistor NMOS à différents nœuds technologiques [ITRS 2009].

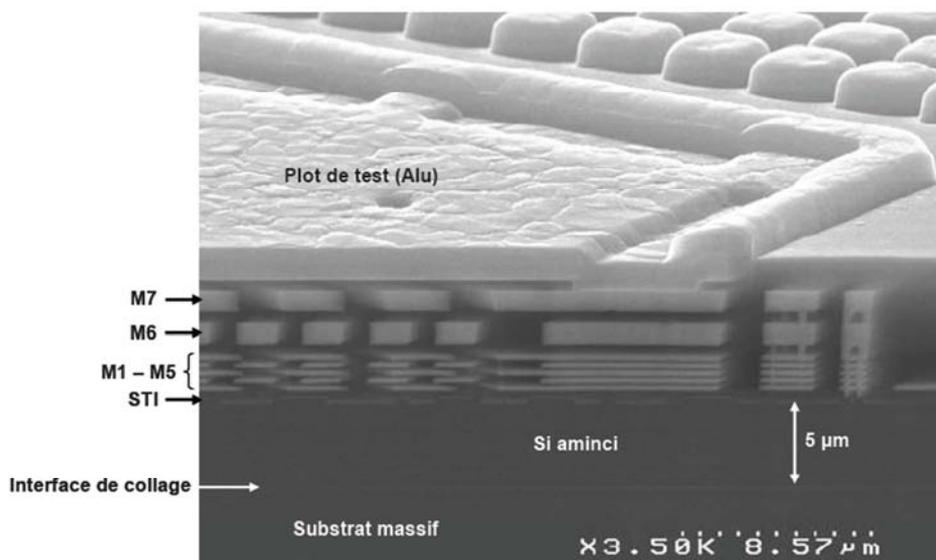


Fig.1.1 : Coupe MEB d'une puce amincie à 5  $\mu\text{m}$  avec visualisation des 8 niveaux RDL de la technologie d'Intel 45nm.

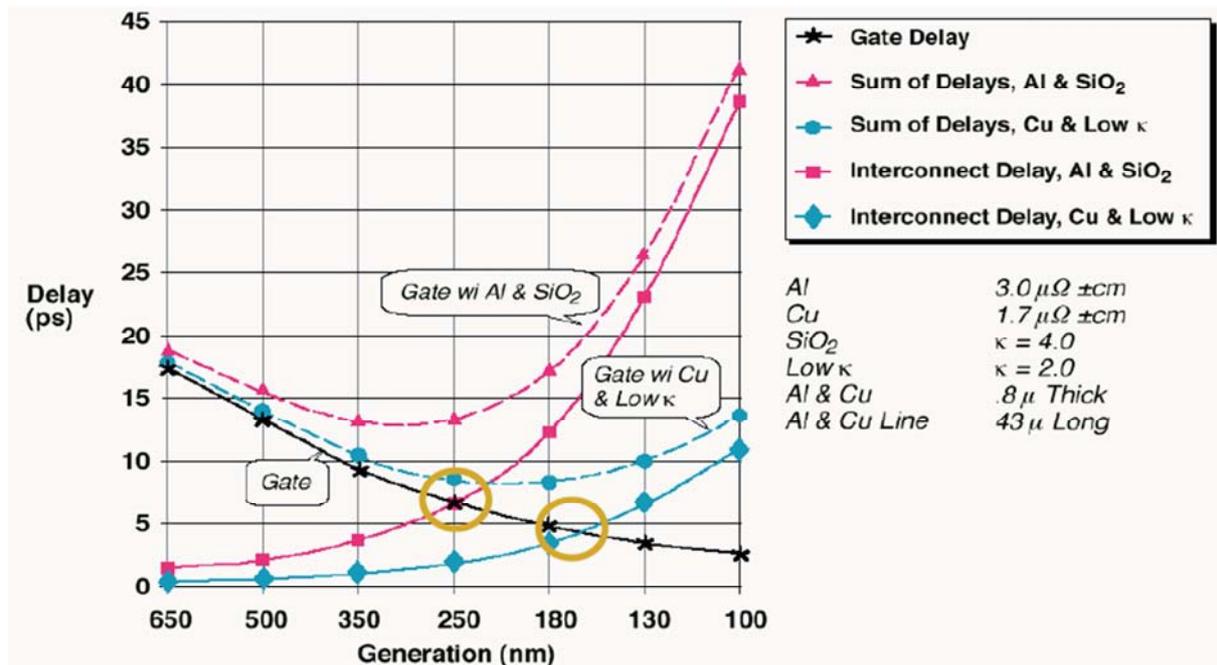


Fig.1.2 : comparaison entre les délais caractéristiques des interconnexions et des portes logiques en fonction des nœuds technologiques, source [IRISA].

Les paramètres principaux qui conditionnent les performances de la ligne (le retard à la propagation d'un signal ( $\tau$ )) sont : sa résistance R et sa capacité totale  $C_t$  (Fig.3), le retard engendré sur un signal peut s'évaluer comme le produit de ces deux paramètres :  $\tau = RC_t$

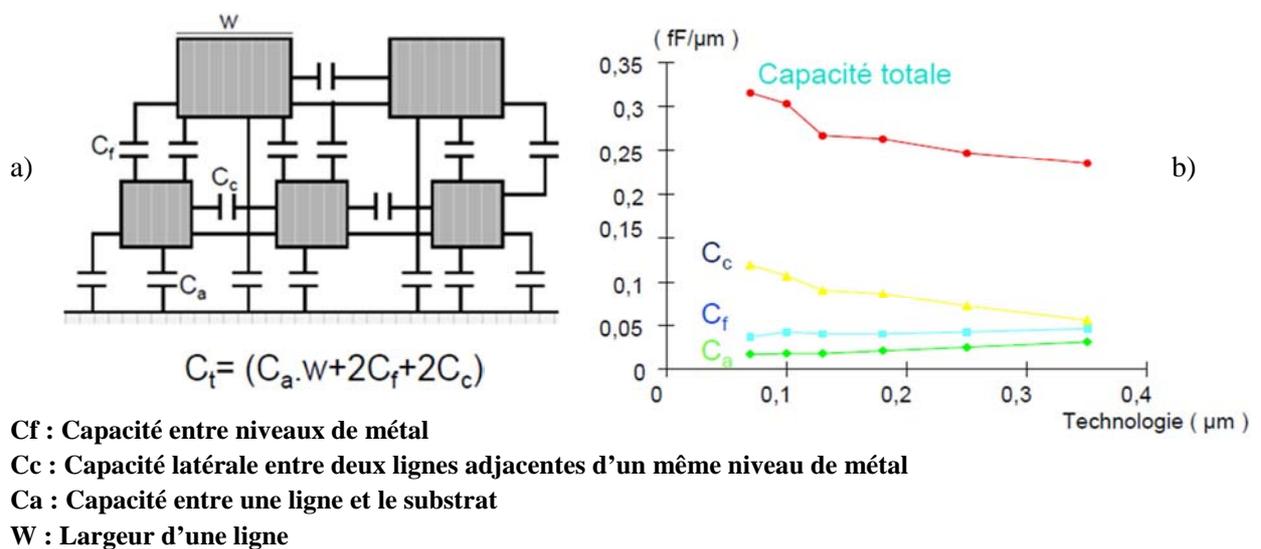


Fig.1.3 : a) Modèles électriques des capacités d'interconnexion, b) Evolution de la caractéristique capacitive en fonction des nœuds technologiques [LIRMM].

Technologie	0,35µm	0,25µm	0,18µm	0,13µm	0,10µm	0,07µm
$R_{\text{m\acute{e}tal1}} (\Omega/\mu\text{m})$	0,15	0,19	0,29	0,82	1,34	1,34
$R_{\text{m\acute{e}tal4}} (\Omega/\mu\text{m})$	0,04	0,05	0,076	0,22	0,35	0,36

Tab.1.2 : Evolution de la r\^esistance d'interconnexion en fonction des technologies et des niveaux de couches d'interconnexions ( $R_{\text{m\acute{e}tal1}}$  : correspond au m\^etal du niveau 1,  $R_{\text{m\acute{e}tal4}}$  \^a celui du niveau 4) [LIRMM].

Year of Production :	2008	2009	2010	2011	2012	2013
Wiring pitch (nm)	118	104	90	80	72	64
Total interconnect length (m/cm <sup>2</sup> )	1712	1000	2222	2500	2857	3125
Number of metal levels	12	12	12	12	12	13
Interconnect RC delay (ps) for a 1 mm Cu Metal	626	783	966	1224	1357	1572
Interlevel metal insulator – bulk dielectric constant ( $\kappa$ )	2.3-2.7	2.1-2.4	2.1-2.4	2.1-2.4	1.8-2.1	1.8-2.1

Tab.1.3 : Actualit\^e et pr\^evision des densit\^es et des caract\^eristiques du syst\^eme d'interconnexion sur puce [ITRS 2010]

Au niveau de la consommation d'\^energie, la part prise par les interconnexions sur la puissance dynamique consomm\^ee est de pr\^es de la moiti\^e de la puissance totale :

- La premi\^ere contribution correspond \^a la consommation de commutation de puissance de charge et d\^echarge des capacit\^es du circuit \^a chaque basculement de signal sur une ligne [Magen 2004] :

$$P_{\text{dyn}} = \alpha C_{\text{tot}} f V_{\text{DD}}^2 \quad (\text{Eq 1.1})$$

O\^u :  $\alpha$  est une constante qui d\^epend de l'activit\^e de la ligne,  $f$  et  $V_{\text{DD}}$  sont la fr\^equence et la tension de fonctionnement, la capacit\^e  $C_{\text{tot}}$  comprend la capacit\^e due aux interconnexions et celle due aux transistors,  $f$  est la fr\^equence de fonctionnement.

- La seconde contribution \^a la consommation de puissance est statique : elle est due aux fuites de courant  $I_{\text{leak}}$  qui s'\^etablissent dans le circuit et plus pr\^ecis\^ement dans les isolements di\^electriques [Flynn 2007].

$$(I_{\text{leak}} : \text{courant de fuite}) \quad P_{\text{stat}} = I_{\text{leak}} V_{\text{DD}} \quad (\text{Eq 1.2})$$

En cons\^equence, l'am\^elioration des performances des interconnexions n\^ecessite de :

- a- Diminuer la r\^esistance du m\^etal pour r\^eduire le d\^elai de propagation.

- b- Diminuer la capacité  $C_{tot}$  pour réduire le délai de propagation, diminuer la puissance consommée et limiter les effets de diaphonie.
- c- Intégrer des répéteurs dans les interconnexions comme solution alternative.

a- Le cuivre, qui initialement était considéré comme un «poison» dans l'industrie de la microélectronique, a désormais fait son chemin et a remplacé l'Aluminium. La principale raison d'utilisation du cuivre comme métal d'interconnexion dans les nouvelles générations technologiques provient de sa faible résistivité  $0.017 (\Omega \cdot m)$  par rapport à Aluminium  $0.027 (\Omega \cdot m)$  [Kapur 2002].

A l'heure actuelle, l'industrie des semi-conducteurs considère le cuivre comme matériau d'interconnexion très intéressant à cause de sa faible résistivité, cependant il se diffuse facilement dans les diélectriques Low- $\kappa$ , ce qu'impacte leurs fiabilité [Guedj 2005a]. (un diélectrique low-  $\kappa$  est un diélectrique à faible constante diélectrique  $<3$ ). Un important effort de recherche a été fait pour faire du cuivre un candidat viable pour l'interconnexion. Parmi les bonnes protections, c'est l'introduction de la barrière de diffusion Ta/TaN qui parvient à bloquer la diffusion du cuivre dans le diélectrique : La couche de TaN d'environ 3 nm est réalisée par ALD (*Atomic Layer Deposition*) et la couche de Ta, de même épaisseur, est déposée ensuite par un dépôt physique en phase vapeur (*Physical Vapor Deposition PVD*) [Arnal 2006].

En résumé, la structure Cu/Low- $\kappa$  (+ couche métallique barrière), associée à la diminution des dimensions, a considérablement amélioré les performances d'interconnexion électrique du système en termes de résistivité et de temps de propagation du signal. Si le remplacement de l'aluminium par le cuivre a permis de diminuer la résistivité des lignes métalliques, la diminution de la largeur de ligne entraîne une augmentation de la résistance. Cette largeur ne doit pas être inférieure au libre parcours moyen des électrons du cuivre qui est de l'ordre de 40nm, car cela provoquerait une forte augmentation de la résistivité de ces lignes d'interconnexions.

b- Le diélectrique : une solution pour obtenir des matériaux à faible permittivité (faible perte). L'idée consiste à les rendre poreux. Cette porosité dégrade les propriétés mécaniques et thermiques de la structure et par conséquent, la fiabilité des SoC, dans les générations  $< 45nm$ , reste critique et sujet à développement. Malgré différentes solutions technologiques proposées pour restaurer le matériau à faible permittivité, celui-ci reste fragile.

L'industrie travaille actuellement sur le développement de méthodes expérimentales, non agressives, de diagnostic de la défektivité de couches à faible permittivité de SiOCH poreux [Hamioud 2009] (dont le nom commercial est BD2x) du *Low- $\kappa \approx 2.3$*  inférieure à celle de l'oxyde de silicium SiO<sub>2</sub> ( $\kappa \approx 4$ ). Leur étude s'est centrée sur le comportement du diélectrique au cours du fonctionnement réel du circuit. Dans ce cas, les matériaux diélectriques à basse permittivité sont soumis à des effets de vieillissement qui entraînent l'apparition de courants de fuite. Ceci peut amener un dysfonctionnement du circuit voire un claquage du matériau [Ribes 2006]. Ce phénomène ultime constitue une cause majeure de défaillance du circuit.

c- Les répéteurs (ce sont des transistors) : l'utilisation de répéteurs sur les lignes d'interconnexions les plus longues, en parallèle aux améliorations technologiques précitées, reste la solution pratique la plus employée actuellement pour minimiser le nombre de niveaux de métal [Joyner 2003]. En jouant sur le nombre de répéteurs, les longues lignes d'interconnexions sont découpées en plusieurs segments de moindre longueur, ramenant le délai intrinsèque d'une interconnexion globale à celui caractéristique des lignes d'interconnexions les plus courtes. Une répartition optimisée de répéteurs sur les lignes permet de garder un temps de propagation du signal quasiment constant, quel que soit le nœud technologique employé [List 2006]. La contrepartie forte de cette solution est l'augmentation de la surface occupée, les répéteurs ayant une taille non négligeable ; par ailleurs, il est à noter que ces composants sont de nature active, ils nécessitent donc d'être alimentés, ce qui se traduit par une augmentation de la consommation globale du circuit. En conclusion, l'intégration des répéteurs fait que les circuits atteignent un niveau de complexité extrême, qui devient trop lourd à mettre en œuvre dans un avenir proche, aussi bien techniquement que financièrement.

En réalité, toutes ces améliorations technologiques atteignent leur limite physique, rendant difficile la poursuite de la miniaturisation des circuits 2D classiques, telle que prévue par la loi de Moore [Moore 1965]. Des solutions révolutionnaires commencent à être étudiées. Ces solutions innovantes sont basées sur le concept d'interconnexion optique. C'est une alternative prometteuse pour résoudre les problèmes d'interconnexion globale des microsystèmes. Ceci est une technologie émergente et on ne peut pas compter sur sa réussite rapide. Il faut s'attendre à des délais de dizaines voire de vingtaines d'années.

Tant que l'on reste sur la puce, les distances à parcourir sont relativement courtes et les capacités mises en jeu sont faibles. Si l'on doit échanger des données avec d'autres composants (Fig.1.4), les ordres de grandeurs changent (temps de propagation, puissance, ...), ce qui limite les performances potentielles. Par exemple : Les processeurs fonctionnent à 3 GHz ( $T = 333$  ps) en interne ; ils communiquent avec l'extérieur à 800 MHz au mieux, ce qui fait d'une chute de plus de 70% de la fréquence de la communication [WEISS 2006].

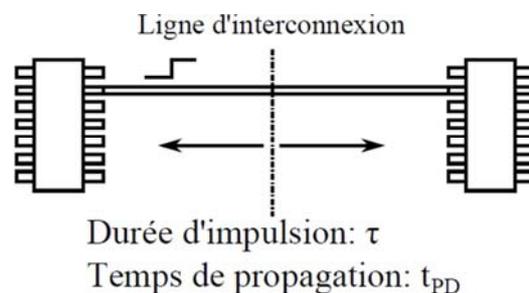
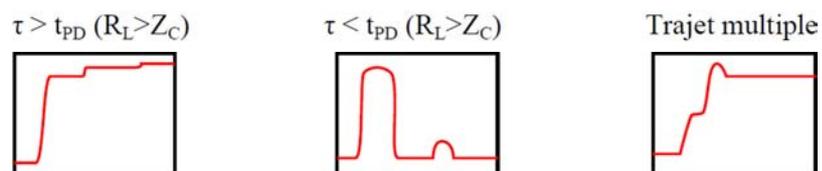


Fig.1.4 : Problèmes rencontrés dans les échanges des données entre composants



Une architecture de base est l'association d'un circuit avec de la mémoire. C'est le system-on-chip (SoC), cette architecture a pour avantage la rapidité d'échanges entre la mémoire et les circuits logiques intégrés sur la même puce, mais la limitation du SoC, où toutes ces fonctions sont implémentées sur un même circuit, en utilisant une même technologie, vient de la faible taille de la mémoire intégrée à la puce. Autrement dit, la technologie "SOC" qui ne peut pas intégrer les composants que de façon monolithique, exclut un certain nombre d'options comme les MEMS et d'autres ayant un substrat piézoélectrique par exemple. Une des alternatives est de considérer l'intégration au niveau du système : "System in Package". Ce concept est une extension du module multi puces (MCM : MultiChip module) qui est apparu dans les années 1980, mais avec un objectif principal de miniaturisation. Les composants issus de la technologie SiP sont des systèmes (ou sous-systèmes) totalement fonctionnels encapsulés dans un format standard de boîtier. Grâce à cette très grande variété de possibilités d'intégration la quasi-totalité des marchés peut être adressée par le SiP. Il est possible de réutiliser certaines briques de bases, qui sont traditionnellement placées à l'extérieur sur la carte de circuit imprimé ou PCB, et de les assembler pour créer de nouvelles fonctions et ainsi accélérer la mise sur le marché des produits. Actuellement cette approche est en forte augmentation car la demande est de plus en plus marquée de la part des industriels.

Pour répondre à ces besoins plusieurs structures d'intégration pour les SiP sont possibles comme le placement des puces les unes à côté des autres ou des puces les unes sur les autres (stacking) ou des puces avec des structures intégrées, Package in Package (PiP) ou Package on Package (PoP), etc... Le choix du type de boîtier dépend directement de l'application et des performances exigées : fréquence d'échange des données, consommation d'énergie, coûts d'assemblage, intégration des composants actifs et passifs, condition thermique et mécanique pendant la fabrication et à l'utilisation, taille finale du module, densité d'interconnexions, etc... Sachant que cette option SiP est limitée par :

- la vitesse de transferts transitant par les micro-câblages reliant les puces qui entraînent une chute autour de 75% de la fréquence de communication globale du système, par rapport à la fréquence intrinsèque des CIs intégrés dans la structure.
- La densité du routage : ces technologies sont limitées aussi par les densités de routage entre les différents niveaux (Figure : 1.5 et 1.6).

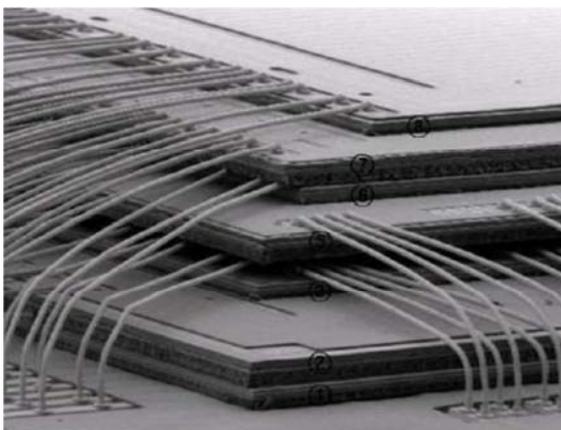


Fig.1.5: SiP, multi-puces connectées, par Wire Bonding [Toshiba 2004]

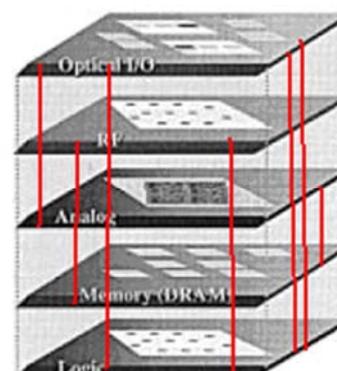


Fig.1.6: modèle d'un SiP, multi-puces connectées à bord, WDoD (Wafer Die on Die)

PS : la technologie WDoD de 3DPLUS (Fig.1.6) reposant sur le principe de l'interconnexion tri dimensionnel de circuits intégrés nus, préalablement moulés dans un polymère et empilés, par la technique du bus métallique (wedge bonding) au bordure des composants.

- Coût de fabrication : L'industrie micro-électronique fabrique massivement les circuits intégrés (CI) d'une manière collective et cherchent toujours à adapter ces équipements pour des wafers de plus grandes dimensions possibles (wafer actuel : 14 pouces), Cette tendance à utiliser des wafers les plus grands possibles s'explique par le fait de graver davantage de puces simultanément, d'où une production accrue à moindre coût. Ce n'est pas le cas du SiP, où la méthodologie actuelle de fabrication est par module, les entreprises font beaucoup d'efforts pour développer une technologie collective de fabrication des microsystèmes 3D, ce qui explique le fort soutien industriel pour les nouvelles technologies émergentes : TSV et TPV.

On voit que, les limites engendrées par les interconnexions globales classiques ne sont plus compatibles, ni avec les nouvelles exigences et contraintes imposées par les technologies circuits intégrés émergentes, ni avec la demande exponentielle du marché des microsystèmes électroniques.

Plusieurs voies de recherche sur ce sujet (SiP) sont identifiées par l'ITRS (International Technology Roadmap for Semi-conducteur). Citons, par exemple, les interconnexions optiques dans lesquelles l'information est véhiculée par les guides optiques et les interconnexions sans fil où l'information est, cette fois, transmise par voie hertzienne. Ces deux options préjugées technologiquement trop coûteuses restent des voies en cours d'étude tant sur le plan théorique qu'expérimental.

En pratique, les industriels actuels soutiennent et développent une technologie prometteuse TSV (Through-Silicon Vias) qui explore le fait que les CI peuvent se connecter verticalement à travers les couches de silicium qui les portent, de quoi éliminer les longues connexions métalliques sur les puces traditionnelles en deux dimensions. Par conséquent les distances de transfert des données au sein de la puce peuvent ainsi être réduites par 1000, tout en permettant l'ajout de 100 fois plus de canaux de communication que dans une puce en deux dimensions. De son côté, l'entreprise 3DPLUS, qui fait actuellement partie du groupe HEICO, développe la technologie TPV (Through-Polymer Vias) basée sur le principe de réalisation d'interconnexions (vias) verticales sur les bords de puce, dans le polymère d'enrobage.

### **I.1.2 Limitations des réseaux d'interconnexions 3D actuel**

Dans le domaine du packaging, un système est considéré comme performant, lorsqu'il remplit en principe les trois conditions suivantes: Densité élevée, rapidité importante et faible coût de fabrication. Du point de vue du circuit intégré, cela signifie une grande densité de portes logiques avec une horloge interne la plus rapide possible.

En ce qui concerne l'environnement de cette puce, c'est à dire le packaging, ses performances sont représentées par son efficacité. Plus la densité d'interconnexion est élevée, plus le substrat est coûteux car plusieurs niveaux de RDL au-dessus de la puce(SoC) sont nécessaires. On atteint actuellement pour certaines applications 12 niveaux du RDL, ce qui

influe sur les performances mécaniques et électromagnétiques (data) du système ainsi que sur sa fiabilité thermomécanique. D'autre part, plus les lignes sont longues, plus les retards de ligne (*wiring delay*) sont pénalisants.

En conséquent, la conception des nouveaux systèmes sur puce se focalise sur la structure de communication pour faire face aux évolutions technologiques actuelles. Par exemple, dans les technologies de 90 nm, des phénomènes indésirables, dits effets submicroniques profonds (Deep Sub-Micron - DSM) [Wang 2000] [Banerjee 2001], vont générer des bruits sur les interconnexions entraînant des erreurs de transmissions. Ces erreurs devront être évitées lors de la conception de l'architecture du système. L'idée est d'exploiter la troisième dimension de l'espace pour interconnecter directement les différents composants du système empilé en 3D, ce qui raccourcit les distances d'interconnexions au sein des puces et le réduit par 1000, ceci au profit d'une miniaturisation supplémentaire de la dimension des puces empilées dans un boîtier unique (SiP).

Les performances des SiP sont moindres que les SoC: ils sont en général plus encombrants et plus gourmands en énergie à cause à la technique d'interconnexions des puces empilées par des micro câblages (*wire bonding* ou *wedge bonding*). Cette technologie de câblage (Fig.1.5) est très répandue car elle est robuste et simple à mettre en œuvre. De plus, elle permet de réaliser des empilements de puces ou même de boîtiers de façon très économique. Cependant ces fils de câblage engendrent des effets d'inductances parasites et donnent donc de moins bonnes performances en haute fréquence.

Cela explique le développement de la technologie d'assemblages en *flip-chip* pour réaliser les connexions verticales via des billes de brasure qui sont déposées sur la puce, qui sera retournée et déposée sur le support du boîtier (*lead-frame*, substrat ou autre) Le *flip-chip* (FC) est donc une technologie d'assemblage plus onéreuse que le câblage filaire. Pour des raisons techniques (grand nombre d'entrées/sorties ou très haute fréquence) il est donc parfois avantageux d'utiliser la technologie FC, car les billes de brasure évitent de déporter les entrées/sorties comme dans le cas des fils de câblage. Cependant le point faible de cette technologie est la difficulté à empiler plus de trois niveaux de puce, ou des packages comme dans le cas du PoP (*Package on Package*),

On observe sur ces deux technologies, présentées sur les figures 1.5 et 1.6, que l'interconnexion des puces entre elles par "*wire bonding*" peut-être réalisée à l'aide d'un fil d'or reliant les entrées/sorties de la puce aux "*pads*" du substrat. Ces entrées/sorties sont situées tout autour de la puce, dont la partie visible est constituée d'une fine couche d'aluminium soutenue par une architecture comprenant un enchevêtrement de lignes et de vias sur plusieurs niveaux RDL. Le fil d'or est soudé sur la couche d'aluminium par soudure thermo-sonique. Le procédé de soudage doit être suffisamment performant pour réussir les différents tests de qualification tout en préservant l'intégrité mécanique du pad. Il n'est pas rare toutefois de constater une fissuration du pad suivi de sa destruction pendant le soudage et/ou lors des tests. Un tel défaut ne se présente pas dans le cas du WDoD qui exclut la brasure thermique. Une autre caractéristique du WDoD est que les puces sont interconnectées directement entre elles, sans le passage par "*Pad*" de transition sur le support, ce qui diminue relativement le temps de communication ainsi que l'énergie consommée. De plus, industriellement, c'est beaucoup plus avantageux car la méthode de réalisation

d'interconnexions est collective tandis que les pistes du Wire ou le Wedge Bonding sont réalisés un par un (Tab.1.4).

Ces méthodes économiques possèdent un très fort degré d'industrialisation, elles montrent néanmoins des limites en terme d'intégration face à l'augmentation de la densité d'interconnexions limitée par la périphérie des puces et en terme consommation et de fréquence de fonctionnement.

Type d'interconnexions	Vitesse	Pas minimum ( $\mu\text{m}$ )	Composition
<b>Ball Bonding</b>	5-12 ( <u>files/sec</u> )	~ 60	Au, Al, Cu
<b>Wedge Bonding</b>	3-6 ( <u>files/sec</u> )	< 45	Al (surtout), Au, Cu
<b>WDoD</b>	Collective Plusieurs <u>modules</u> /h	~ 70	Ni/Au

Tab.1.4 : Comparaison entre les techniques d'interconnexions filaires d'un SiP

### I.1.3 Intégration 3D ultra Compacte

La course actuelle à la miniaturisation des circuits 2D aboutit à réduire inexorablement le nombre d'acteurs à ceux capables de surmonter les coûts de développement. La maîtrise des technologies des connexions verticales entre les circuits intégrés empilés en 3D n'est pas nouvelle. En effet depuis plusieurs années déjà des circuits de type SiP (System in package), pour lesquels les connexions entre puces sont réalisées entre leurs plots d'entrées/sorties via des fils de "bonding", se sont largement répandus sur le marché. On trouve aussi des configurations WDoD (Wafer Die on Die), PoP (Package over package) ou PiP (Package in package).

L'évolution actuelle de la microélectronique 3D se développe sur deux axes technologiques :  
 1- La réalisation des puces 3D, c'est-à-dire conçues dans les trois dimensions de l'espace avant l'opération de packaging. Lorsque cette approche sera mature, il sera possible d'imaginer, par exemple, un processeur multicoques conçu sous la forme d'une puce 3D (Fig.1.7).  
 2- La réalisation des circuits 3D, conçus par empilement des circuits intégrés nus, interconnectés directement entre eux.

Cette évolution est en particulier rendue possible par la maîtrise des technologies des trous métallisés verticaux (vias). La perspective d'avenir sera donc de combiner ces deux technologies complémentaires (1 et 2) pour réaliser des microsystèmes 3D par empilement de puces 3D.

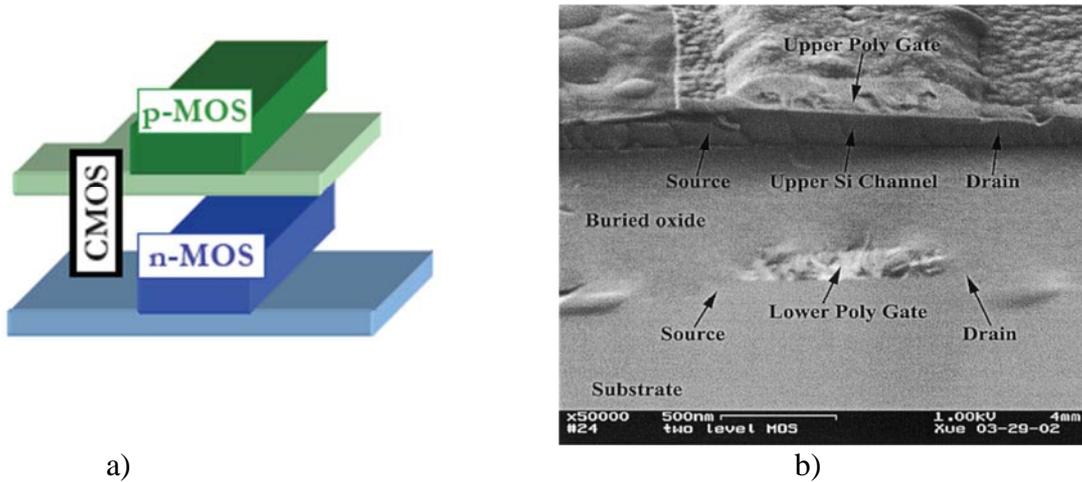


Fig.1.7 : a) Représentation schématique de la conception d’une puce 3D [Takao 1992] [Liu 2002]. b) Observation de la coupe d’un empilement de transistors par collage moléculaire [Tiwari 2002].

La démonstration de pouvoir reporter une couche de Si ou de Ge par collage moléculaire au-dessus d’un premier niveau de transistor a été démontrée par Yu [Yu 2004] et Tiwari [Tiwari 2002] respectivement. Ces équipes de chercheurs ont utilisé le procédé Smart Cut™ pour transférer une fine couche active sur le substrat support sur lequel un premier niveau de transistor avait été préalablement réalisé. La possibilité d’aligner les niveaux de masques du transistor supérieur par rapport au niveau inférieur, avec une telle précision ( $\sigma \sim 10$  nm) est un atout majeur pour une technologie 3D séquentielle par rapport à une intégration 3D parallèle. En effet, dans ce cas les meilleures performances d’alignement reportées dans la littérature varient entre  $\sigma \sim 0.5 \mu\text{m}$  et  $\sigma \sim 0.1 \mu\text{m}$  [Topol 2005] [Steen 2007] [Chen 2007] : Exemples de la réalisation en 3D : La surface de la cellule SRAM 6T (6 transistors) des technologies 65 nm conçu en 3D, est équivalente à la surface occupée par SRAM 6T planaire avec des technologies de 32 nm. [Jung 2005].

	<b>2-D</b>	<b>3-D</b>	<b>3-D</b>
<b>Active Layers</b>	1	2	2
<b><math>f_c</math> (MHz)</b>	3000	3000	6000
<b>Feature Size</b>	50	50	50
<b>Footprint (cm<sup>2</sup>)</b>	8.17	5.80	8.17
<b><math>N_{\text{transistors}}</math> (Millions) per active Layer</b>	7053	3526.5	3526.5
<b>Gate Pitch(cm)</b>	3.4E-5	4.06E-5	4.81E-5
<b>RDL (<math>\mu\text{m}</math>) Aspect Ratio</b>	0.165/2.7	0.14/2.7	0.33/2.7
<b>C (per active Layer)(<math>\mu\text{F}</math>)</b>	6.1285	2.370	5.6257
<b>Total Power Dissipation (W)</b>	174	135	639

<b>Power Density per Layer(W/mm<sup>2</sup>)</b>	0.213	0.116	0.391
--------------------------------------------------	-------	-------	-------

Tab.1.5: Comparaison entre un circuit 2D et deux circuits 3D (technologie 50nm)  
[Banerjee 2001].

Empiler la SRAM sur trois niveaux permet de gagner environ 3 nœuds technologiques en terme de densité (passage d'une technologie 80 nm à 32 nm), et ce, sans changer de technologie. Garder des dimensions de transistors relâchées permet de réduire les coûts de développement et de fabrication via l'utilisation d'équipements des générations précédentes et de limiter la variabilité (effets canaux courts plus faibles) : les gains obtenus en utilisant l'intégration 3D monolithique font de la SRAM une application phare de cette technologie. Assembler des mémoires de très haute densité, des mémoires volatiles et des blocs IP reliés entre eux dans les trois directions de l'espace, ouvre la porte à des marchés très prometteurs pour les puces 3D. Bien que des obstacles restent encore à surmonter, leur avènement pourrait modifier en profondeur le paysage du secteur électronique. Les moteurs de cette révolution sont deux technologies originales : TSV (Through Silicon Via) et TPV (Through Polymer Via), qui pourront être complémentaires pour la réalisation de systèmes 3D ultra compacts, de très hautes performances.

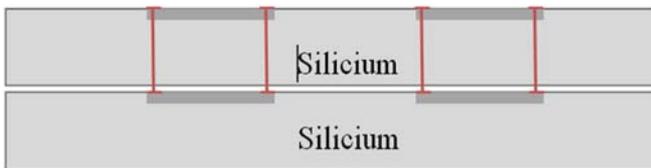


Fig.1.8: TSV-Through Silicon Via

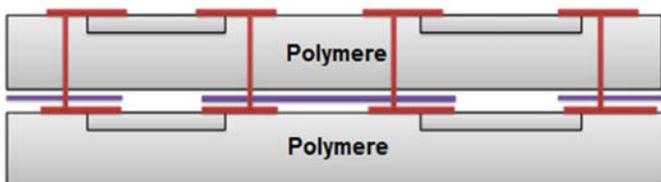


Fig.1.9: TPV-Through Polymer Via

### I.1.4 Evolution du marché électronique 3D

L'année 2011 a commencé sur un bilan très positif concernant le marché mondial des semi-conducteurs avec une croissance de 30% par rapport à 2009. Il est passé de 226 à 298 B\$ entre 2009 et le début 2011(Sitelesc) : les DRAM ont une fois encore été en tête avec +75% tandis que les capteurs/actuateurs et les discrets progressaient respectivement de 43,8 et 39,4 %. Selon le cabinet d'étude Gartner, on est arrivé à un marché potentiel accessible aux technologies 3D, de 114 milliards de dollars.

Lorsqu'une nouvelle technologie est implémentée, un des principaux risques encourus est la chute des rendements par rapport à une technologie antérieure, à cause de l'apparition de nouveaux mécanismes de défaillance. L'intégration 3D est une technologie de rupture reliant le monde du packaging (SiP) et celui des performances (SoC) et, en ce sens, représente une

toute nouvelle approche d'intégration, donc une probable chute du rendement de fabrication. Paradoxalement, il apparaît de plus en plus certain que le passage industriel à la 3D sera moins coûteux que le passage aux futurs nœuds technologiques (inférieurs à 45 nm), ce qui constitue aujourd'hui un avantage de taille pour les circuits 3D par rapport aux systèmes sur puce. En effet, considérant un SoC réalisé dans une technologie avancée, le rendement associé a tendance à diminuer alors que le coût inhérent à la dite technologie augmente comparativement à une génération antérieure. En séparant les différents sous-systèmes du SoC et en les fabriquant dans des technologies différentes (mature pour la partie analoge, avancée pour la partie logique, cf. Figure 1.10.a, l'intégration 3D du même système augmente drastiquement. Le rendement de fabrication des différents sous-systèmes (leur taille étant inférieure à celle du SoC initial) réduit son coût global. Est inclus dans cette estimation le coût du procédé 3D qui ne représente que 3 à 8% du coût total d'un circuit 3D [Ferrant08]. La Figure 1.10.b montre l'évolution des coûts relatifs au SoC basé sur une technologie 45 nm, et son équivalent 3D dont la partie numérique reste en 45 nm et la partie analogique passe en 0.8  $\mu\text{m}$ .

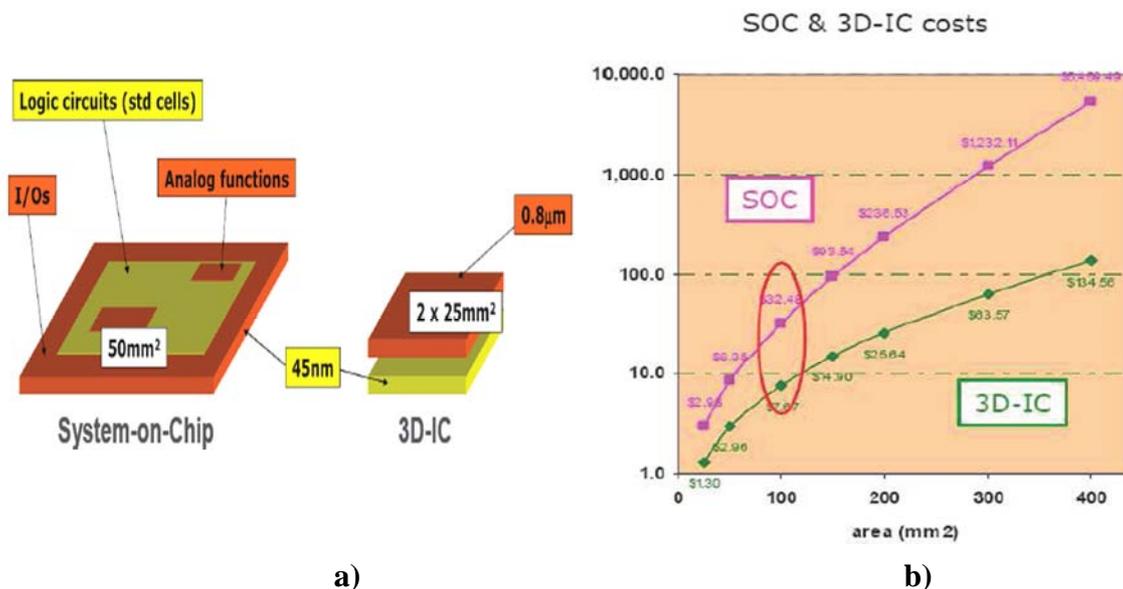


Fig.1.10: a) Exemple de comparaison entre un System-on-Chip et une intégration 3D [Ferrant 2008], b) comparaison des coûts (en \$) relatifs à la fabrication d'un SoC 45 nm et son équivalent 3D 45 nm / 0.8  $\mu\text{m}$  en fonction de la surface du circuit considéré [Ferrant 2008].

Le coût relatif d'un produit issu d'une intégration 3D varie suivant l'architecture choisie et donc l'application finale. Pour évaluer ces niveaux de coûts de développement, le concept d'intégration 3D doit être étudié pour chaque application. Le coût lié à chaque flot de conception associé doit être évalué [Lammers 2006]. Outre l'aspect financier, les spécifications techniques finales du produit, ainsi que le savoir-faire et la maîtrise des étapes technologiques influent directement sur le choix des options architecturales et donc la définition d'un schéma d'intégration particulier.

On peut ainsi prendre l'exemple du concept die-to-wafer (collage puce sur plaque), qui consiste à ne sélectionner que les puces fonctionnelles (known Good Die – KGD) et à les coller sur le substrat inférieur. Ce procédé a l'avantage d'augmenter le rendement

technologique car il écarte le fait d'empiler les puces défectueuses. Le principal inconvénient est le temps considérable passé à placer et coller des puces sur un substrat de 300 mm et, par conséquent, représente un coût prohibitif à l'échelle industrielle, avec les techniques actuelles. Les cadences de placement automatique des puces deviennent de plus en plus élevées si la contrainte sur la précision d'alignement peut être plus relâchée. Il est donc nécessaire de trouver un compromis entre précision et vitesse d'alignement selon les spécifications techniques du produit final.

Toshiba et Samsung ont déjà mis en production pour les nouvelles générations de téléphones portables ou d'appareils photos numériques, des imageurs CMOS 3D, mettant à profit la technologie des TSV, avec des réductions d'encombrements qui dépassent 50%. Côté mémoire, Elpida travaille sur la technologie TSV depuis 2004, et avait annoncé en 2009, être le premier à proposer une puce 3D mémoire DDR3 de 1 Go. Elpida échantillonne sur cette nouvelle puce, mais n'a pas encore indiqué de date pour une disponibilité en grand volume. Samsung a annoncé en décembre 2011 avoir développé une barrette RDIMM de 8 Go à base de puces mémoire DDR3 40nm (interconnecté par TSV) qui était jusqu'à 40% plus économe d'énergie qu'une barrette RDIMM conventionnelle. Actuellement Samsung développe des technologies TSV pour combiner des mémoires Nand flash de 2Go et créer des modules mémoire de 16 Go. Il précisait alors que la technologie TSV devrait commencer à se démocratiser à partir de 2012.

Ces avancées devraient permettre ~~aux~~ aux composants 3D de contenir autant de mémoire que des ordinateurs, ouvrant la voie à l'intégration de fonctions vidéo et graphique de très haute définition, dans un grand nombre d'appareils portables. Les perspectives sont prometteuses. En 2013, ce seront les marchés de la téléphonie et de l'informatique qui représenteront, en volume, 70% du marché des mémoires 3D. Il va sans dire que l'émergence des circuits 3D s'accompagne d'une création de jeunes sociétés très actives dans le domaine. On peut citer par exemple les sociétés américaines : 'NEXX Systems' focalisée sur les outils d'électrodéposition, Tezzaron Semiconductor, un des pionniers des technologies de TSV spécialisé dans les technologies de mémoire haute vitesse, ou encore Ziptronix qui a développé une plate-forme de fabrication pour circuits 3D (solution baptisée DBI, Direct Bond Interconnect). Allvia qui se présente comme le premier fondeur de TSV offre ses services pour réaliser du prototypage de circuits 3D. L'entreprise Alchimer (métallisation des TSV) a été créée en 2001 par essaimage du CEA, etc...

Rappelons que la totalité des modules 3D par TSV sont réalisés d'une manière individuelle (Chip On Chip) car l'empilement du TSV à l'échelle du wafer (Wafer To Wafer) n'est pas encore mature. Les principaux points difficiles à franchir sont :

- La métallisation des vias,
- les rendements d'empilement,
- la manipulation des wafers amincis,
- les méthodologies de test (intégration de technologies de type self test ? et concepteur DFT (Design for test) pour ces composants ? Comment accéder aux différentes puces nues ?) Sachant qu'au niveau de la simulation électrique d'interconnexions 3D les outils ne sont pas encore avancés, le seul logiciel actuel qui peut répondre à certains besoins c'est le R3logic.

En parallèle de toutes ces activités TSV, l'entreprise 3DPLUS, est en cours de qualifier la technologie WDoD pour les modules mémoire DDR3 4 Go par empilement de 4 puces mémoire de 1Go chacune, avec comme perspective proche, de qualifier la technologie TPV qui partage avec WDoD plus de 80% des étapes communes. Notons, pour information, que Samsung a placé le WDoD comme « Candidate solution » avec le chip and chip wire bonding. [ELECTRONIQUES 2010].

L'intégration 3D fait aussi partie des axes de développement importants des programmes en microélectronique au CEA (France). Elle s'inscrit dans le contrat d'objectif et de performance qui lie l'organisme et l'Etat pour la période 2010-2013. C'est également un des axes de travail majeur de l'Institut de recherche technologique (I.R.T.) « Nanoélectronique » présenté le 9 mai par le gouvernement avec 5 autres IRT. Ce projet proposé dans le cadre des investissements d'avenir vise à soutenir une stratégie industrielle de conquête sur les marchés porteurs, afin de créer de l'emploi en France.

La figure 1.11 représente la plupart des entreprises qui travaillent sur le développement de TSV, en parallèle, 3DPLUS est jusqu'à présent la seule à développer la technologie TPV. On trouve que la TPV va prendre à court terme sa place comme solution industrielle fiable et avec un très bon rendement de fabrication.

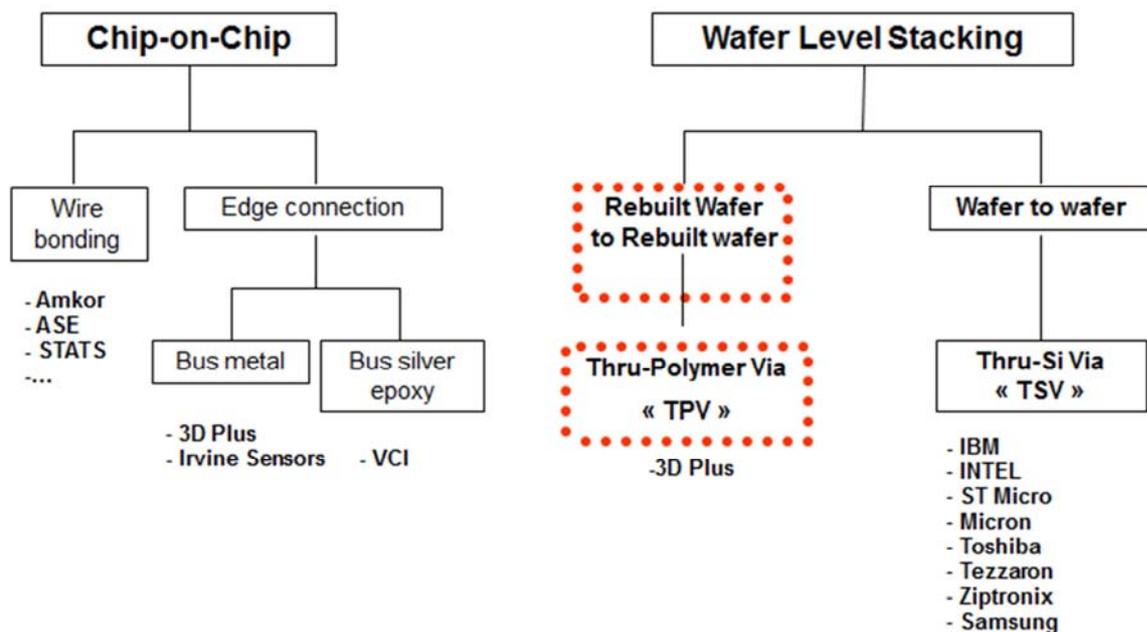


Fig.1.11 : Diagramme qui représente les principaux acteurs des technologies d'encapsulation 3D ultra-compact

## I.2 une approche d'intégration technologique 3D

Les principaux avantages de l'intégration 3D, dans son sens le plus large, ont été présentés. Nous avons vu qu'en terme d'intégrations homogène et hétérogène, les configurations tridimensionnelles permettent la mise en place d'une architecture avantageuse en termes de

fonctionnalité, de performance et de coût, par rapport aux configurations planaires jusqu'à présent massivement utilisées. Au-delà de ces aspects, il est important de comprendre que le terme « intégration 3D » révèle un large spectre d'architectures physiques qui sont chacune reliées à un certain niveau d'interconnexions, de packaging ou d'assemblage. Ainsi, selon que l'on souhaite adresser un certain type de problème, du composant électronique de base au système complètement intégré, l'intégration 3D choisie pour répondre à ce problème sera spécifique. Le choix 3D s'impose stratégiquement par le fait que c'est un moyen de réduire les distances et donc d'aller nécessairement dans le sens d'une augmentation des performances de base : vitesse, s'il s'agit de connexions électriques, réduction des pertes fluidiques s'il s'agit de MEMS fluidiques.

Ce premier choix impose de son côté de développer des technologies de via pour interconnecter les étages d'empilement ; ces vias seront d'autant plus faciles à réaliser qu'ils sont usinés dans une épaisseur faible. Cette option qui valorise les technologies des gravures conduit donc à développer en parallèle les technologies d'amincissement de puces et de plaquettes pour faciliter la fabrication des vias.

### **I.2.1 Les exigences technologiques**

L'intégration d'un système complet peut imposer des fonctions très exigeantes en termes notamment de matériaux :

- Les blindages supposent d'utiliser des conducteurs, les isolements des matériaux diélectriques,
- Les fonctions HF nécessitent des matériaux à faibles pertes diélectriques,
- La gestion thermique suppose des matériaux à très faible effet joule,
- L'intégration de composants passifs : résistances (semi-conducteurs), capacité (diélectriques), inductances (magnétiques) supposent des supports de matériaux différents
- L'intégration de batteries, super capacité, pour les stockages d'énergie...

Il n'est pas imaginable que toutes ces technologies soient rassemblées et intégrées dans une « compétence unique ». Le plus raisonnable est d'imaginer que chacune de ces contraintes va être traitée par des équipes spécialisées pour arriver à l'assemblage en films souples semi ouverts pour être empilés et interconnectés.

Pour comprendre (Fig.1.12) : un système va, dans cette perspective, résulter de l'empilement de films souples spécialités porteurs de puces, Si amincies pour les fonctions logique, de résistance, d'inductance, de capacité, de puces, de puissance, avec les circuits de refroidissement associés, de circuits fluidiques, de circuits énergétiques...etc. Dans tous les cas la précision de l'empilement et la capacité à réaliser les via « sans faute » sont la clef du succès pour l'opérateur d'intégration.

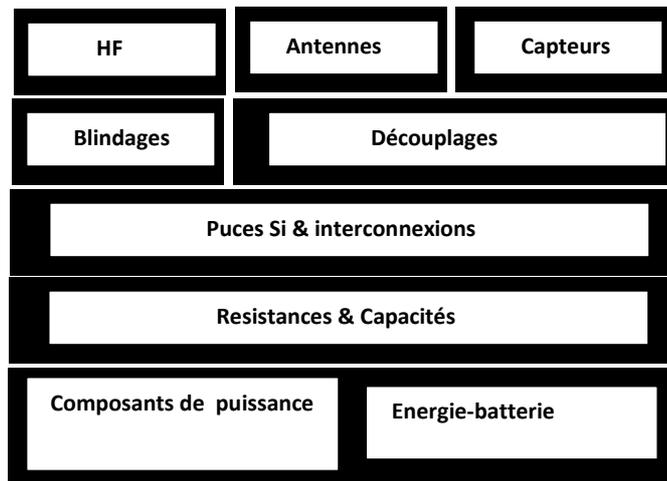


Fig.1.12 : Objectif d'assembler au meilleur coût, des ensembles électroniques hétérogènes.

Au-delà des performances fonctionnelles de ces ensembles hétérogènes, la question cruciale est celle de leur fiabilité compte tenu de l'assemblage fait de matériaux différents, aux coefficients de dilatations thermiques différents, qui auront subi les contraintes de l'assemblage et qui vont subir, jour après jour, les contraintes thermomécaniques imposées par le fonctionnement même du dispositif ?

## I.2.2 La méthodologie de conception

La conception des microsystèmes doit faire face à une complexité fonctionnelle croissante, à des exigences extrêmes de qualité de service, de sûreté de fonctionnement, de fiabilité, et à la mise en œuvre de technologies très hétérogènes dont il faut s'assurer de la compatibilité.

Les principes méthodologiques retenus pour maîtriser cette complexité sont de procéder de manière descendante en tirant le meilleur parti d'une définition détaillée du cahier des charges, en modélisant de façon formelle des constituants du système et en réutilisant de manière très soignée les acquis antérieurs (ré-use), en opérant des « vérifications & validations » systématiques de tous les choix.

Cette approche descendante, par les modèles, est rendue possible grâce au développement parallèle des techniques et outils de la modélisation et de la simulation numérique. Ces méthodes, modèles et outils sont, le plus souvent, connus et utilisés par les laboratoires de recherche et les entreprises mais les pratiques diffèrent en fonction des domaines scientifiques et techniques et en fonction des « métiers ».

Au plus haut niveau, l'ingénierie des systèmes est une discipline émergente qui se développe depuis une trentaine d'années pour répondre aux besoins industriels de concevoir et fabriquer des systèmes toujours plus complexes avec des exigences fortes (performances fonctionnelles, qualité, fiabilité, sûreté de fonctionnement, maintenabilité). Sa progression est le résultat des efforts des praticiens à codifier les méthodes qu'ils sont amenés à appliquer et en collaboration avec la recherche, à dégager de nouveaux outils informatiques qui correspondent aux besoins méthodologiques. La mise en œuvre de ces méthodes et outils diffère en fonction du « métier » exercé par l'entreprise ou le Laboratoire. Il est clair

toutefois qu'il y a des intérêts majeurs à standardiser autant que possible les procédures et les outils. On doit par ailleurs au monde informatique, l'idée d'une approche par les modèles (dispositifs et procédés) dont l'objectif est de proposer des supports formels à une approche descendante, faite de transformations successives de modèles en fonction des supports informatiques (machines et langages) et des objectifs visés dans chaque niveau de modélisation. Le concept de prototypage virtuel s'impose progressivement pour tester et valider cet assemblage de contributions diverses à la conception globale. L'idée suppose une totale inter-opérabilité des modèles représentatifs des différentes contributions. La réutilisation des acquis est aujourd'hui la voie privilégiée pour maîtriser la complexité. On dispose par ce biais de conceptions partielles et validées que l'on peut aisément assembler, en limitant le risque d'erreurs, si les représentations sont fidèles et compatibles.

L'évidence, pour les équipes de conception des microsystèmes est d'accéder à une plateforme de conception où tous les moyens et les pratiques précédemment rappelés existent de manière opérationnelle.

Le LAAS-CNRS (groupe N2IS) s'efforce de suivre dans ses recherches ces principes méthodologiques : cahier des charges, démarche descendante, modélisation des composants et des technologies, prototypages virtuels. L'ambition ultime serait d'être capable de disposer des modèles de tous les éléments intervenants dans les technologies de fabrication pour au stade du projet (prototype virtuel), être en mesure de calculer une estimation précise des performances, de la fiabilité et du prix de revient (rendements) du système projeté.

Les technologies Silicium (SOC) sont exemplaires du point de vue de la conception des microsystèmes. C'est beaucoup moins vrai dans les technologies d'assemblage et de conditionnement (SIP) notamment au niveau de l'estimation précoce de la fiabilité. Le problème très difficile est celui de la modélisation et de la simulation thermomécanique des structures pendant leur assemblage et en condition d'utilisation.

Là encore le bon sens est pour des assemblages complexes comme le suggère la figure 1.12 : il est de travailler d'abord au stade de chaque film actif et chaque composant pour n'assembler ensuite que des composantes ayant déjà validé des exigences de bon fonctionnement et de fiabilité. Malgré cette procédure, les performances d'ensembles vont être tributaires de la compatibilité des films au niveau chimique et surtout thermo mécaniques. Cela suppose un travail de fond sur les matériaux pour que les coefficients de dilatation thermique inter couches soient presque parfaitement ajustés ce qui n'est pas le cas aujourd'hui.

### **I.3 Les principaux procédés d'assemblages 3D**

Les propositions sont très nombreuses dans la littérature, compte tenu d'approches concurrentes et de contraintes propres aux dispositifs à assembler (circuits logiques, circuits fluidiques, capteurs et actionneurs), et aux domaines applicatifs visés. Le LAAS a une expérience d'assemblage 3D sur des puces ultra amincies ( $\sim 30\mu\text{m}$ ) : c'est le procédé UTCS (Ultra Thin Chip Stacking) [Brevet LAAS]. Celui-ci porte sur l'intégration ultra-compacte de circuits. Dans ce cas des puces du commerce étaient amincies en dessous de  $50\mu\text{m}$ , reportées sur un wafer de silicium, enrobées et planarisées avec du BCB (Benzocyclobutène), puis interconnectées avec des pistes métalliques, formant ainsi un premier niveau

d'interconnexion. Les niveaux suivants de l'empilement étaient alors réalisables de la même façon où les vias sont réalisés par photolithographie et gravure chimique. Pour rester dans le cadre d'intérêt du sujet de notre thèse, nous distinguerons deux approches pertinentes.

### **I.3.1 Les technologies TSV : « Through Silicon Via »**

Les applications des technologies TSV sont diverses et pointues, surtout quand elles visent la réalisation de puces 3D. Les chercheurs expliquent par exemple pouvoir placer les transistors de la puce et ceux de sa mémoire intégrée sur deux couches superposées pour illustrer le fait que les transistors peuvent alors se connecter à travers les couches de silicium qui les portent. IBM affirme alors que ce « sandwich compact de composants réduit énormément la dimension de la puce finale tout en augmentant la vitesse de transfert des données au sein de la puce ». Cette approche n'est pas une référence pour notre projet qui traite plus précisément de l'empilement de puces déjà prêtes, existantes et commercialisées sur le marché.

Voici une description des principales séquences techniques de l'intégration 3D par TSV:

Selon le diamètre de ces interconnexions, qui peut varier de moins d'1µm à plusieurs dizaines de microns, leur rapport de forme (profondeur/diamètre du via) et la densité des vias (quelques milliers à plusieurs millions au mm<sup>2</sup>), les procédés techniques mis en jeu peuvent être très différents. De même, ces vias peuvent être élaborés à différents stades du procédé de réalisation : on parle de via " first ", de via " mid " ou de via " last ", avec de nombreux débats très techniques sur la meilleure option possible. La réalisation d'un via comporte 4 étapes types:

- i) Le perçage du via, à partir d'un procédé de gravure, par exemple abrasion du silicium à l'aide d'un plasma réactif. On réalise un trou soit traversant le substrat de part en part, soit borgne (dans la majorité des cas).
- ii) L'isolation : dépôt d'une couche isolante ou oxydation thermique du silicium dans le trou.
- iii) Le dépôt métallique : formé de trois couches (accrochage, barrière et sous-couche).
- iv) Le remplissage du via : plusieurs méthodes en cours de développement, notamment l'opération qui consiste à déposer un conducteur métallique par PVD dans le trou suivie par une étape de recharge électrolytique (cuivre ou autre).

Les puces ou les substrats sont amincis et "planarisés" afin de réduire leur épaisseur et de faciliter certaines étapes technologiques. L'épaisseur initiale d'une puce ou d'un substrat est de plusieurs centaines de microns (environ 800µm pour un substrat de 200 mm) et l'amincissement peut être poussé jusqu'à une dizaine de microns. On procède en deux temps : Dégrossissage (grinding) à l'aide d'une meule ou bien par amincissement à l'aide d'une " planarisation " mécano-chimique. L'étape d'amincissement intervient avant ou après la réalisation des vias. Quant à la " planarisation ", elle consiste à réduire la rugosité du substrat ou de la puce à quelques nanomètres, afin d'obtenir un excellent état de surface et une planéité contrôlée pour faciliter son assemblage avec une autre puce.

L'alignement/Bonding consiste à amener les puces (ou les substrats) en regard (tête-bêche) avant l'assemblage. L'alignement doit être parfait afin que les plots de connexion des puces soient exactement à l'aplomb les uns des autres. Que l'assemblage soit effectué à l'échelle de la puce ou à l'échelle d'un substrat, la tolérance de ces alignements est inférieure au micron. Ensuite, au cours du bonding, les deux surfaces sont mises en contact et collées. Connexion "flip chip", cette étape consiste à connecter électriquement les puces (ou les substrats) face à face. Elle comporte deux opérations : la redistribution des plots de connexion en surface des puces afin qu'ils coïncident (préparation au procédé de connexion) suivie par l'établissement de la liaison électrique entre les puces à l'aide d'un matériau fusible qui se présente sous la forme des billes de quelques dizaines de microns de diamètre. Les technologies d'assemblage sont diverses. Elles nécessitent de compresser les plaques et de les chauffer pour réaliser les « soudures » d'interface. Le plus accessible est de réaliser des eutectiques métalliques. Des technologies en cours de développement utilisent des matériaux qui, interfacés, réagissent et s'interconnectent, ce qui localise les élévations de température aux régions utiles à l'assemblage. Les conditions de réussite sont dans un premier temps d'avoir des rendements de production plaque/plaque très élevés, car les rendements des produits assemblés vont baisser lors de l'empilement des deux, trois, quatre... plaques et dans un deuxième temps de maîtriser une technologie de via et une technologie d'interfaçage des plaques empilées.

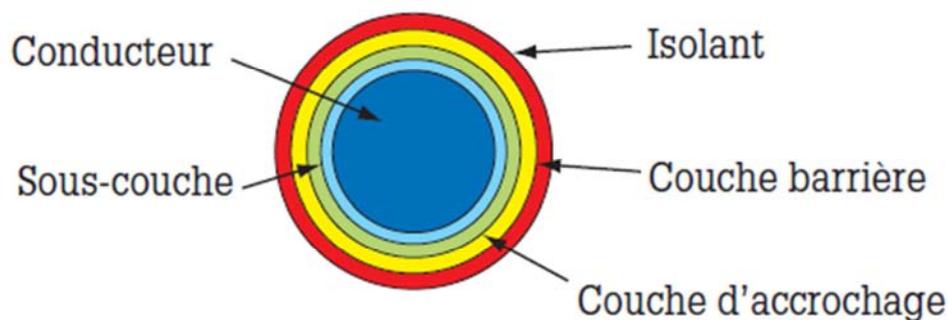


Fig.1.13 : Schéma en coupe des différentes couches de métallisation des trous dans le Silicium (TSV)

Une fois ces étapes réalisées, reste à qualifier et quantifier les deux impacts suivants, qui s'expriment sous deux formes différentes :

- Le TSV étant rempli par un matériau conducteur, la différence de dilatation thermique entre ce matériau et le silicium peut engendrer un niveau de contraintes résiduelles inhabituel dans le silicium. De plus, le TSV peut être source de perturbations de nature variée, comme la génération de nouvelles contraintes dues aux procédés technologiques (l'influence de l'amincissement du silicium sur le composant), ou bien une source de bruit de substrat inhabituelle. Il s'agit de phénomènes d'impact technologique.
- L'intégration 3D utilise la dimension verticale dans des circuits ayant été conçus en deux dimensions seulement. Se pose alors le problème de l'adaptation des méthodes de conception de circuits : faut-il rendre compatible les outils de design actuels ou bien rompre complètement en proposant un schéma de conception novateur ? Il s'agit de phénomènes d'impact conceptuel.

Les recherches actuelles menées en terme de développements de procédés technologiques pour la haute densité sont actives dans le monde entier. Les principaux acteurs (compagnies, laboratoires, consortia, etc.) sont regroupés dans les deux tableaux suivants, avec le détail des intégrations en cours de développement.

	IBM	RPI	RTI	Intel	IMEC	Infineon/Fraunhofer	
<b>Applications visées</b>	Processeurs ultra performants	Plateforme technologique	IR FPA (Focal Plane Array)	Processeurs ultra performants / SRAM Stacking	Plateforme technologique	Plateforme technologique / App. automobiles	
<b>Top wafer (Bulk/SOI) et épaisseur après amincissement</b>	SOI	SOI (<1µm)	Bulk (20µm)	Bulk strained-Si (5~28µm)	Bulk (20µm)	Bulk (~10µm)	
<b>Type d'architecture</b>	Wafer-to-Wafer	Wafer-to-Wafer	Die-to-Wafer	Wafer-to-Wafer	Dier-to-Wafer	W2W	D2W
<b>Orientation de la puce supérieure / puce inférieure</b>	Face-to-Back	Face-to-Face * Face-to-Back	Fac-to-Back	Face-to-Face	Face-to-Back	Face-to-Face	
<b>Nature du collage</b>	Moléculaire (SiO <sub>2</sub> ), basse T°	Polymère basse T° / Contact TSV Cu-Cu	Polymère basse T° / Contact TSV Cu <sub>3</sub> Sn eutectique	Contact TSV Cu-Cu	Thermo compression Cu-Cu (300-350°C) + polymère	Alliage eutectique Cu <sub>3</sub> Sn	
<b>Poignée temporaire</b>	Oui	Non	Oui	Non	Oui	Oui	
<b>Précision alignement</b>	≥ 0,6µm	≥ 1µm	≥ 1µm			6~10µm	
<b>Technologie des TSV</b>	Via Last	Via First	Via Last	Via Last	Via First (mid-process)	Via Last	
<b>Nature des TSV</b>	Cu	Cu (isolant : oxyde et low-X)	Cu	Cu (isolant : low-X)	Cu "nails"	W	W ou Cu
<b>Pitch des interconnexions</b>	~0,4µm minimum	20µm	20µm	<10µm	10µm	<15µm	30 µm
<b>Diamètre moyen des TSV</b>	0,14µm minimum (6 :1<AR<11 :1)	2~4µm	5~10µm	~4µm (AR 10 :1)	5µm (AR 10 :1)	2µm (AR 10 :1)	2µm (AR 6 :1)

Tab.1.6a : Récapitulatif des procédés d'intégration 3D actuellement développés dans le monde [Tezzaron09].

	Ziptronix		Tezzaron	ZyCube / Tohoku	MIT ~ Lincoin Laboratory	MIT ~ MTL (Microsystems Technology Lab)	CEA~LETI / ST	
Applications visées	Imageurs		Memory Staching	Empilement de memoires / Mémoire partagée	Imageurs	Plateforme technologique	Plateforme technologique	
Top wafer (Bulk/SOI) et épaisseur après amincissement	Bulk		Bulk (5,5µm)	Bulk (<20µm)	SOI	SOI	SOI (Alliance)	Bulk 10µm (ST)
Type d'architecture	D2W	W2W	Wafer-to-Wafer	Die-to-Wafer	Wafer-to-Wafer	Wafer-to-Wafer	W2W	D2W
Orientation de la puce supérieure / puce inférieure	Face-to-Back		Face-to-Face	Fac-to-Face	Face-to-Face	Face-to-Back (* Face-to-Face)	Face-to-Face	
Nature du collage	Moléculaire (SiO <sub>2</sub> ), basse T° (350°C) ~		Thermo compression Cu-Cu (300~350°C)	Microbilles In-Au (2x2µm) + couche d'époxyde	moléculaire (SiO <sub>2</sub> ), basse T°	Thermo compression Cu-Cu basse T°	Moléculaire (SiO <sub>2</sub> ), basse T°, Cu-Cu à T° ambiante	
Poignée temporaire	Non		Non	Oui	Oui	Oui	Non	
Précision alignement	>3µm		0,3µm	1µm	0,4µm	3µm	1,5µm	
Technologie des TSV	Via First (mid-process)		Via First (mid-process)	Via First (mid-process)	Via Last	Via First (mid-process)	Via Last	
Nature des TSV	Cu ou W		W (Super Contact)	N <sup>+</sup> Poly-Si ou W (résistance plus faible requise)	W	Cu	Cu	
Pitch des interconnexions	8µm	10µm	6µm	<5µm	6µm	0,5µm	<10µm	
Diamètre moyen des TSV				0,6µm (W AR 30 :1) et 2µm (Poly-Si AR 25 :1)	~2µm (AR 4:1)	5µm (AR 2:1 à 3 :1)	1µm (AR 2:1)	3~5µm (AR 5:1)

Tab.1.6b : Récapitulatif des procédés d'intégration 3D actuellement développés dans le monde [Tezzaron09].

### I.3.2 Les technologies TPV : « Through Polymères Via »

L'intégration 3D nécessite donc, de maîtriser les connexions électriques entre les différentes puces empilées verticalement. Elle doit répondre à de nombreux défis, performances, pitch, problèmes de dissipation thermique, fiabilité, définition de stratégie de tests adaptée à des circuits empilés, hétérogénéités des matériaux et des CIs,... Dans ce contexte, 3DPLUS a introduit et breveté la technologie TPV reposant sur le principe de l'interconnexion par la technique du bus métallique. Cette nouvelle approche de technologie d'empilement de wafers, interconnectés sans TSV, réside sur un empilement tri dimensionnel de circuits intégrés nus. Ils sont, avant empilement, préalablement moulés dans un polymère qui tient les puces nues et qui réalise le système d'interconnexions (Fig 1.14). Les objectifs de cette technologie sont d'accroître les rendements de fabrication et de réduire les coûts d'assemblage pour des densités de routage et d'interconnexion pour des systèmes ultra-compactes. Voici une description technologique détaillée :

1. Tri des puces fonctionnelles.
2. Reconstruction d'un wafer des puces bonnes.
3. Moulage des puces par un polymère.

4. Connexion horizontalement vers les périphéries des puces (RDL) redistribution layer.
5. Alignement et puis empilement des wafer reconstitués.
6. Réalisation des via verticaux qui assurent les interconnexions entre les différents éléments des puces/wafer).
7. Métallisation des via sur toute la hauteur de l'empilement.

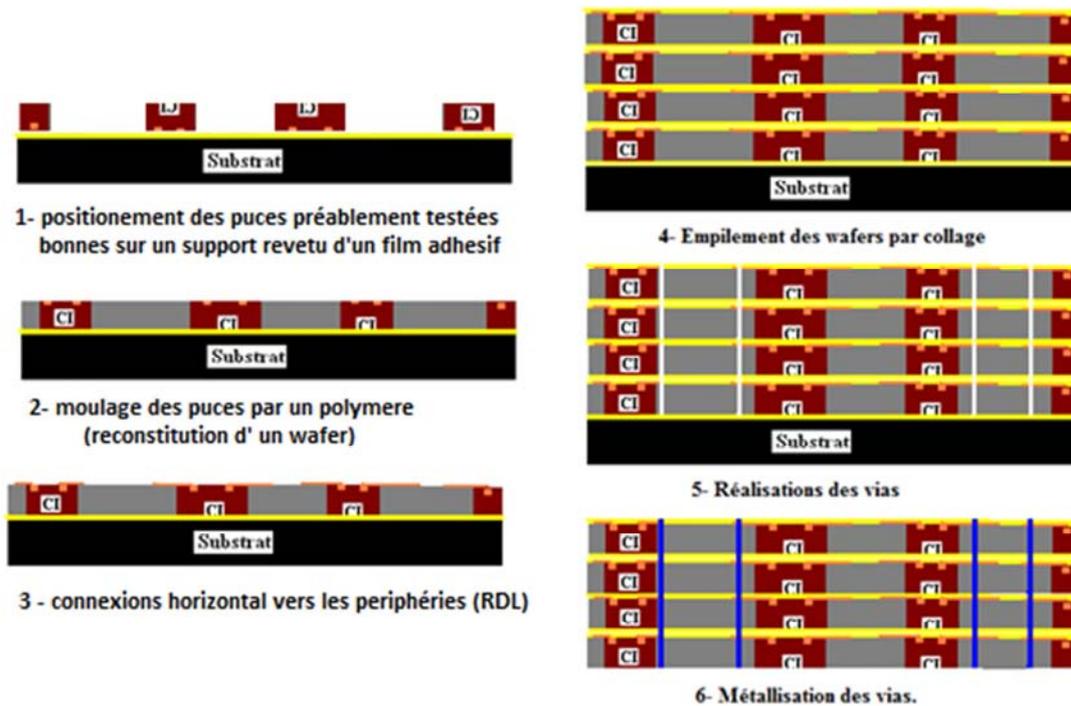


Fig.1.14 : principe de la technologie TPV

Les performances d'une technologie TPV se basent sur les choix essentiels suivants :

- 1) Choix du polymère remplissant les conditions d'encapsulation et les exigences de la technologie TPV (trous de haut facteur de forme)
- 2) Choix de la matière conductrice : comment et avec quel matériau on va métalliser les vias, dans des conditions physiques et chimiques acceptables?
- 3) Choix d'une technologie d'assemblage et de production du système complet.

Le choix du polymère constitue l'élément de base pour la technologie TPV. Il s'agit de mettre en œuvre un polymère (visqueux) qui peut être étalé, et planarisé sur une épaisseur allant de quelques microns à plusieurs centaines de  $\mu\text{m}$  (même plus). Il doit être compatible avec la réalisation de motif de structure (vias) à facteur de forme élevé ( $>10$ ), et bien entendu il doit remplir les conditions de packaging : protection mécanique, thermique, chimique, électrique (blindage),...

i) Exigence mécanique : le polymère doit 'tenir' la structure électronique de plusieurs puces nues empilées et de leur système d'interconnexion (piste de largeur de  $25\mu\text{m}$ ), le polymère doit également assurer la protection du système qu'il contient, contre les contraintes mécaniques (choc, vibrations,...) de l'environnement qui dépend de son utilisation (industriel, grand public, militaire ou spatial). Pour ce faire, un polymère de haute viscosité est

nécessaire pour réaliser des épaisseurs de dépôt de plusieurs centaines de micromètre. Il doit aussi assurer une forte rigidité après être réticulé,

ii) Protection chimique : le polymère doit aussi assurer la protection du dispositif contre les agressions de l'environnement. Il est nécessaire d'avoir une excellente adhérence entre les différents constituants, la force (ou bien l'énergie) d'adhésion polymère /Silicium dépend de plusieurs paramètres (géométrie et traitement de surface du contact,...), l'ensemble des phénomènes physico-chimiques au niveau d'interface est le critère essentiel pour une forte énergie d'adhésion.

iii) L'humidité et les sels diminuent l'adhérence et déclenchent des effets de corrosion, qui affectent les performances et la fiabilité du système. Le phénomène d'absorption est contrôlé par la constante de diffusion du polymère utilisé ( $1,5 \cdot 10^{-13} \text{ m}^2/\text{s}$  pour une résine époxy), ainsi que par ses caractéristiques hydrophiles ou hydrophobes (liaisons hydrogène avec les molécules d'eau).

iv) Comptabilité thermomécanique des matériaux assemblés : le comportement thermique du packaging doit être compatible (dilatation relative entre les différents matériaux quand le système fonctionne). Le coefficient de dilatation thermique (CTE) idéalement, coefficient de dilatation du matériau de packaging doit être très proche de celui du Silicium (2.6 PPM/°k). Il faut aussi considérer le CTE des matériaux d'interconnexion utilisés (Ex : 16.5 PPM/°k pour le Cu), Il sera donc nécessaire, dans certains cas, de faire des analyses thermiques (entre -55°C et +125°C pour la technologie TPV) pour assurer la tenue mécanique du système et de mettre en évidence l'état d'interface des différents composants (fissure ou défaut).

v) Conductivité thermique : le matériau doit dissiper au mieux les calories internes fournies pendant le fonctionnement du microsystème. La faible conductivité thermique des polymères est donc un facteur limitant.

vi) Température de transition vitreuse (T<sub>g</sub>) : elle caractérise la tenue en température du matériau.

vii) Isolation électrique : Le boîtier fait partie intégrante du circuit électrique, il doit assurer l'isolement électrique entre différentes parties des circuits. Il doit éviter la propagation des modes parasites et assurer l'isolement qui doit être le plus élevé possible, ce qui ne dépend pas exclusivement de la structure interne du boîtier mais aussi de l'environnement extérieur.

### **I.3.3 Commentaires**

Ces deux approches TSV et TPV ne sont pas réellement concurrentes. Le tout silicium devrait permettre un progrès au niveau des complexités microélectroniques sur des wafers à gros rendements, à condition que les technologies des vias et des assemblages multi plaques soient parfaitement maîtrisées. L'approche TPV peut jouer la souplesse du procédé par la voie de l'assemblage puce/puce hétérogène.

TSV	TPV
Très haute densité des trous (10K-40KVias/mm <sup>2</sup> ) - (pitche 10 à 5µm)	Densité moyenne (400 Vias/mm <sup>2</sup> ) - (pitch 50µm)
Aspet Ratio 5 :1 < AR < 10 :1	Aspect Ratio 30:1 < AR < 35 :1
Silicium semi-conducteur	Polymère isolant
Complexités technologiques	Procédé de la réalisation réduit
Puces homogènes	Tous types des puces
Empilement des wafer non triés (Faible rendement)	Empilement des wafer reconstitués des bonnes puces (KGRW)
Cout relativement élevés	Faible cout
Design For Test (DFT) pas encore mature à l'échelle du wafer	Design for test(DFT) pas encore mature à l'échelle du wafer
Autres applications : puce 3D	Autres applications : MEMS, micro fluidique

Tab.1.7 : Comparaison générale entre les technologies TSV et TPV

## I.4 Les procédés d'assemblages hétérogènes

### I.4.1 L'hétérogénéité dans les microsystemes

Les besoins sont plus divers et ne peuvent pas être couverts par les deux seuls procédés évoqués précédemment. Les objets à assembler peuvent être très différents. Les assemblages ne peuvent être envisagés que par le développement combiné des associations de puces et des autres objets fonctionnels sur PCB. On peut recenser :

- L'intégration de MEMS, des composants passifs, des antennes.
- Les changements de substrats selon les contraintes diélectriques, thermiques, d'isolation, de conduction,...
- Les contraintes géométriques et de flexibilité,
- Les objets électrochimiques : batteries, super capacités,
- Les réseaux micro fluidiques,
- Les connexions optiques....
- 

Dans cette perspective, l'idée déjà évoquée de procéder en assemblage de couches successives « spécialisées », est un chemin de progrès qui paraît intéressant. Dans cette voie nous avons identifié des propositions commerciales comme des résistances, des inductances et des capacités en films minces compatibles avec des procédés de lamination lumineuse. Une large palette de ces composants passifs, présentant des caractéristiques électriques intéressantes est actuellement proposée par de grandes entreprises telles que Dupont<sup>TM</sup> ou 3M<sup>TM</sup>. Ces matériaux se présentent sous forme de film d'une épaisseur de quelques dizaines de micromètres en général métallisés sur les deux faces par des couches de cuivre, et sont directement exploitables. Ces produits, développés au départ pour l'industrie de l'électronique peuvent servir de capacité de découplage d'alimentation directement intégrée dans le PCB. De plus, la réalisation de batteries miniaturisées ou micro-batterie au lithium qui équiperont

probablement certaines cartes à puce d'ici quelques années, devront être suffisamment minces et souples pour pouvoir être empilées. Ceci ouvrira ainsi la voie à des applications innovantes dans les domaines de la santé, de l'informatique et du développement des systèmes microélectroniques.

Cette disponibilité de composants fournis en film minces laminables est bien complétée dans le concept de « Chip-in-Polymer (CIP) » celui-ci consiste à préparer les puces incrustées dans des films minces comme les passifs évoqués ci-dessus.

Le LAAS-CNRS (groupe N2IS) est très impliqué dans ces réflexions sur les assemblages très hétérogènes, compte tenu des travaux sur la conception et la réalisation de microsystèmes. Deux thèmes sont particulièrement suivis : les assemblages comportant des objectifs énergétiques (récupération et gestion de l'énergie électrique, microsystèmes pyrotechniques) et les assemblages micro fluidiques. Dans les deux cas, les procédés étudiés visent à du CIP (chip in polymer). Nous considérerons uniquement les procédés fluidiques qui interfèrent avec le travail de thèse.

## **I.4.2 Le procédé d'assemblage à base de la résine SU8**

La réalisation de vias est, on vient de le souligner, une étape importante dans la fabrication et l'assemblage tridimensionnels. Cela est à rapprocher des procédés effectués efforts pour la réalisation de micro-canaux fluidiques. La microfluidique est âgée d'une vingtaine d'années seulement, elle est fondamentalement pluridisciplinaire et tend pourtant à devenir une science à part entière. Cette émergence rapide (bien qu'elle soit encore globalement confinée au secteur de la recherche) est due à l'assemblage ingénieux de secteurs scientifiques et technologiques considérés jusqu'alors de manière globalement individuels. Ainsi il sera question de notions et entités reliant la, mécanique des fluides (nombre de Reynolds, écoulement laminaire, perte de charge, capillarité, etc.), la physique (diffusion, transfert thermique, changement de phase...) l'électricité (, électrostatique, électromagnétique, etc.), la chimie (réactions, cinétique, fonctionnalisation, etc.), la biologie (A.D.N, antigènes, anticorps, enzymes, analyses immunologiques, sites d'adhésion, processus de greffage), le tout devant être résolument tourné vers les échelles micro et nanométriques. Cette multidisciplinarité ouvre la voie à des comportements différents susceptibles d'applications aussi nouvelles qu'utiles. Par exemple l'effet de la gravité est secondaire vis à vis des effets de surface, ou encore l'évaporation d'une microgoutte est proportionnellement bien plus rapide que celle d'une goutte, etc.

La conception de systèmes multifonctionnels fait intervenir le secteur des micros technologies usuellement utilisés pour la microélectronique et les M.E.M.S (Micro Electro Mechanical Systems). Toutefois, ces détournements technologiques ne suffisent pas et obligent le développement de techniques complémentaires afin de répondre aux attentes spécifiques de la microfluidique. Par exemple, La filière P.D.M.S (Polydiméthylsiloxane) a permis la conception de microcanaux, de microvannes etc. Cette filière présente des inconvénients en terme d'alignement niveau à niveau, d'ouverture de via, de porosité et de compatibilité chimique. Tandis que la résine photosensible SU8 possède des propriétés, de résolution et d'épaisseur accessible, de transparence dans le visible, de résistance chimique, et de biocompatibilité, qui, additionnées sont actuellement uniques. De plus la

structuration et l'alignement se font par photolithographie, la SU8 est donc un candidat à fort potentiel pour la microfluidique.

Dans ce domaine, les méthodes et les conditions de laminage de films SU8 d'épaisseur 20 $\mu\text{m}$  déjà insolé visant à fermer ou à capoter des micro-canaux préalablement structurés[Abgrall 2006], ont été utilisées pour coller entre elles les différents plaquettes (wafer SU8 reconstitués des puces bonnes) microstructurées comportant des vias d'interconnexions verticaux. Une description détaillée de cette étape sera présentée dans la suite de ce mémoire.

### a) Propriétés physique et thermique de la résine SU8

La résine SU8, développée à l'origine par IBM, a fait l'objet d'études afin d'établir les étapes du procédé de structuration, ainsi que ses caractéristiques optiques et mécaniques. La résine SU8 est une résine négative de type époxy, à amplification chimique. La propriété clé qui rend la résine si attirante pour les applications de dépôt épais (jusqu'à 500  $\mu\text{m}$  peuvent être obtenues en une seule étape ; il est même possible de monter jusqu'à 2 mm en multicouches), est sa très faible absorption optique dans l'ultraviolet proche. Cela permet ainsi l'obtention de profils verticaux importants et un très bon contrôle sur toutes les dimensions des structures. La SU8 est largement utilisée comme matériau structural pour diverses applications, et possède des propriétés très intéressantes pour les microsystèmes (MEMS). Elle permet par photolithographie ou gravure d'atteindre de hauts facteurs de forme. Elle est chimiquement très résistante et a une température de transition vitreuse de plus de 200°C. Voici quelques caractéristiques de la résine SU8 :

i) Viscosité et Module de Young : la SU8 est un polymère de haute viscosité, l'enduction manuelle du SU8 n'est pas simple à manipuler comme les autres résines. Des machines sont dédiées spécifiquement pour sa manipulation surtout pour des épaisseurs qui dépassent les 100 $\mu\text{m}$ . Les polymères ont une valeur de Module de Young de l'ordre de 1Gp, tandis que le SU8 se caractérise par une valeur de 2GP ce qui la caractérise pour une technologie de packaging performante à ce niveau.

ii) Coefficient de dilatation thermique (CTE) : comme tous les polymères non chargés, la SU8 a un CTE relativement élevée (52 PPM/°K) par rapport du Si (2,6 PPM/°K), cette différence sera à l'origine des contraintes thermomécanique dans la structure.

iii) Conductivité thermique et électrique, la résine SU8 est utilisée pour l'enrobage grâce à ses propriétés d'isolation électrique ( $\epsilon_r=4$  à 10 GHz). La faible valeur de conductivité thermique caractérise tous les polymères, ce qui est un vrai challenge pour un bon fonctionnement du système, la chaleur fournie dépend de l'application (alimentation, fréquence, amplitude et discontinuité du courant, nature et dimension de matériau conducteur utilisé). L'épaisseur de polymère va jouer un rôle essentiel dans les dissipations de chaleur. Une optimisation de tous ces paramètres, la conception du boîtier, et si nécessaire des techniques de dissipation thermique peuvent être utilisées pour une bonne gestion thermique du microsystème.

Les principaux paramètres d'une couches de SU8 sont rassemblées dans le tableau ci-dessous

Adhesion Strength (mPa) Silicon/Glass/HMDS	69/35/59
Glass Transition Temperature (Tg °C), tan $\delta$ peak	200
Thermal Stability (°C @ 5% wt. loss)	300
Thermal Conductivity (w/mK)	0,2
Coeff. of Thermal Expansion (CTE ppm)	52
Tensile Strength (Mpa)	73
Elongation at break ( $\epsilon_b$ %)	4,8
Young's Modulus (Gpa)	2
Dielectric Constant @ 1GHz	3,28
Bulk Resistivity ( $\Omega\text{cm}$ )	7,80E+14
Water Absorption (% 85°C/85 RH)	0,55

Tab.1.8: Propriétés physique de la SU8

## I.5 Notre méthodologie de travail

Ce travail de thèse a été effectué dans le cadre d'une convention CIFRE entre l'entreprise 3DPLUS et le LAAS-CNRS et a pour objectif principal de concevoir et mettre au point un procédé d'assemblage de puces en silicium amincies, empilées et interconnectées par des via électriques traversant des résines polymères d'enrobage.

Ce procédé original, breveté par 3DPLUS dans son principe, est appelé TPV (Trough Polymère Via) par référence au procédé classique TSV (Through Silicon Via) où les connexions électriques sont réalisées en traversant latéralement le substrat silicium : nous en avons décrit les étapes essentielles précédemment.

Pour réaliser cet objectif nous avons programmé deux processus possibles :

- Un processus industriel fondé sur les travaux antérieurs de l'entreprise 3DPLUS : les étapes principales sont le positionnement des puces et leur enrobage polymères, leur amincissement, l'empilement 3D, la réalisation des vias par perçage laser et leur métallisation ...
- Un processus de développement/recherche fondé sur l'utilisation de la résine SU8 et basé sur la possibilité de réalisation de vias par procédé photo-lithographique et gravure chimique. Les étapes principales sont de préparer les matrices SU8 au début du processus puis d'y loger les puces silicium, les connecter électriquement...

Compte tenu des impératifs de l'entreprise c'est le « projet industriel » qui a été jugé prioritaire.

Le programme de travail a été centré autour des points suivants :

- définir un procédé viable et mettre au point quelques-unes des étapes avec l'appui de la centrale de technologie du LAAS : positionnement par machine Flip-Chip, rodage, réalisation des couches RDL de métallisations...
- optimiser et caractériser un processus d'usinage laser des vias optimums,
- explorer et définir un processus de réalisation des vias par photogravure collectif dans la résine SU8.

Le cahier des charges d'assemblages de puces sont des densités de vias de 100 par mm<sup>2</sup>, avec 50 µm de diamètre...Ces exigences supposent des positionnements relatifs des empilements meilleurs que +/- 5 µm. Sur cette base nous pouvons clairement identifier les problèmes majeurs que nous devons résoudre :

- La dérive de position des puces pendant les enrobages polymères,
- La maîtrise des contraintes thermomécaniques compte tenu de l'hétérogénéité des matériaux en présence,
- Le « sans faute » dans les interconnexions métalliques le long des vias et latéralement avec les couches RDL.

Notre objectif sera de traiter ces questions à la fois sur le plan technologique et aussi sur le plan théorique de la compréhension des mécanismes physico-chimiques mis en jeu.

### **Conclusion du premier chapitre**

Dans ce chapitre, nous avons fait le point sur les processus d'intégration et d'assemblage et situé le positionnement des technologies d'assemblages 3D basées sur l'utilisation d'un enrobage epoxy comme support des vias inter-couches. Ont été présentées les technologies en cours de mise au point de l'entreprise 3DPLUS et une variante du LAAS utilisant les résines SU8 pour réaliser des gravures profondes. Nous avons aussi présenté dans ce document une recherche documentaire très fouillée avec les synthèses sur les propositions existantes et une première appréciation des technologies : technologies TSV, technologies TPV, à partir des données existantes à 3DPLUS, et les technologies d'assemblages très hétérogènes, avec des éléments plus précis sur les technologies SU8.

Nous avons finalement indiqué les objectifs de notre travail de thèse : examiner les points durs des procédés TPV, proposer des solutions technologiques, montrer sur des prototypes le bien fondé de ces propositions.

## **Références :**

**[ITRS 2009]:** International Technology Roadmap for Semiconductors, ITRS Reports and Ordering Information, 2009 Edition.

**[ITRS 2010]:** International Technology Roadmap for Semiconductors, ITRS Reports and Ordering Information, 2010 Edition.

**[Magen 2004]** N. Magen et al., « Interconnect-power dissipation in a microprocessor », Proc. Of Inter. workshop on System Level Interconnect Prediction (2004).

**[Flynn 2007]** Kneating M., Flynn D., Aitken R., Gibbons A., & Shi K. Low power methodology manual (LPMM), (2007).

**[Kapur 2002]** Pawan Kapur, James P. McVittie «Technology and Reliability Constrained Future Copper Interconnects - Part I: Resistance Modeling», IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 49, NO. 4, APRIL (2002).

**[Guedj 2005a]** C. Guedj et al., « Influence of the diffusion barriers on the dielectric reliability of ULK/Cu advanced interconnects », IEEE IITC Proc. 2005, 57 (2005).

**[Arnal 2006]** V. Arnal et al., « 45 nm Node Multi Level Interconnects ith Porous SiOCH Dielectric  $k=2.5$  », IEEE IITC Proc., 213 (2006).

**[Hamioud 2009]** K. Hamioud et al., « 32 nm node BEOL integration with an extreme low- $\kappa$  porous SiOCH dielectric  $\kappa=2,3$  », Micro. Eng., 87, 316 (2009).

**[Ribes 2006]** “Caractérisation et fiabilité des oxydes ultra fins et des diélectriques à forte permittivité issue des technologies CMOS 45nm et en deçà”, G. Ribes Thèse STMicroelectronics – INPG Grenoble, 2006.

**[Joyner 2003]** J.W. Joyner. Opportunities and limitations of three-dimensional integration, 316 p. PhD Thesis in Electrical Engineering. Georgia Institute of Technology, 2003.

**[List 2006]** S. List et al., A global view of interconnects, Microelectronic Engineering, 83, pp 2200-2207, (2006).

**[Moore 1965]** G.E. Moore, Cramming more components onto integrated circuits, Electronics 38-8 (April 19, 1965).

**[WEISS 2006]** J. WEISS, Technologies d’E/S numériques, Supélec Campus de Rennes, (Mai 2006)

**[Banerjee 2001]** 3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration, Proceedings of the IEEE **89-5**, pp 602-632 (2001).

**[Wang 2000]** H. Wang, M. Chan, S. Jagar, Y. Wang, K-K. Ping; “Submicron super TFTs for 3-D VLSI applications”; IEEE Electron Device Letters, Volume 21, Issue 9, pp439 (2000)

[**Toshiba 2004**] System-in-Package, Toshiba system catalog (2004), disponible en ligne :  
<http://www.semicon.toshiba.co.jp/eng/prd/common/pdf/sce0010a.pdf>

[**Tiwari 2002**] S. Tiwari, H-S. Kim, S. Kim, A. Kumar, C-C. Liu, L. Xue; “Three-dimensional integration in silicon electronics”; Proceedings IEEE Lester Eastman Conference on High Performance Devices, pp24 (2002)

[**Yu 2004**] D-S. Yu, A. Chin, C-C. Laio, C-F. Lee, C-F. Cheng, W-J. Chen, C. Zhu, M-F. Li, W-J. Yoo, S-P. McAlister, D-L. Kwong; “3D GOI CMOSFETs with novel IrO<sub>2</sub>(Hf) dual gates and high-k dielectric on 1P6M-0.18  $\mu$ m-CMOS” Technical Digest of International Electron Devices Meeting (IEDM) pp 181 (2004)

[**Topol 2005**] A-W. Topol, D-C. La Tulipe, L. Shi, S-M. Alam, D-J. Frank, S-E. Steen, J. Vichiconti, D. Posillico, M. Cobb, S. Medd, J. Patel, S. Goma, D. DiMilia, M. T. Robson, E. Duch, M. Farinelli, C. Wang, R. A. Conti, D. M. Canaperi, L. Deligianni, A. Kumar, K-T. Kwietniak, C. D’Emic, J. Ott, A. M. Young, K. W. Guarini, and M. Jeong; “Enabling SOI-Based Assembly Technology for Three-Dimensional Integrated Circuits (ICs)”; Technical Digest of International Electron Devices Meeting (IEDM) pp 352 (2005).

[**Steen 2007**] S. Steen, D. LaTulipe, A-W. Topol, D-J. Frank, K. Belote, D. Posillico; “Overlay as the key to drive wafer scale 3D integration”; Microelectronis Engineering 84 p1412 (2007).

[**Chen 2007**] C.K. Chen, K. Warner, D.R.W. Yost, J.M. Knecht, V. Suntharalingam, C.L. Chen, J.A. Burns, C.L. Keast; “Scaling Three-Dimensional SOI Integrated-Circuit Technology”; Proceedings of the IEEE International SOI Conference pp87 (2007)

[**Jung 2005**] S-M. Jung, Y. Rah, T. Ha, H. Park, C. Chang, S. Lee, J. Yun, W. Cho, H. Lim, J. Park, J. Jeong, B. Son, J. Jang, B. Choi, H. Cho, K. Kim; “ Highly cost effective and high performance 65nm S3 (stacked single-crystal Si) SRAM technology with 25F2, 0.16 $\mu$ m<sup>2</sup> cell and doubly stacked SSTFT cell transistors for ultra high density and high speed applications”, Digest of Technical Papers of Symposium on VLSI Technology pp220 (2005).

[**Takao 1992**] Y. takao, H. Shimada, N. Suzuki, Y. Matsukawa, N. Sasaki, “Low-power and High Stability SRAM technology Using a Laser-Recrystallized p-channel SOI MOSFET”, IEEE Transactions on Electron Devices, VOI 39, NO 9, (1992)

[**Liu 2002**] H. Liu, M. Kumar, J-K-O Sin; “A novel 3-D Bi CMOS technology using selective epitaxy growth (SEG) and lateral solid phase epitaxial (LSPE)”; IEEE Electron Device Letter, Volume 23, Issue 3, pp 151 – 153 (2002)

[**Ferrant 2008**] R. Ferrant, 3D-IC integration costs and benefits, Design For 3D Workshop, Minatec Crossroads 2008, Grenoble, France, 27 June (2008).

[**Banerjee 2001**] K. Banerjee et al., 3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration, Proceedings of the IEEE 89-5 pp 602-632 (2001).

**[Lammers 2006]** D. Lammers, Sematech targets infrastructures for 3-D chips, EE Times online, (2006).

**[LIRMM]** M.Robert, méthodologie de la conception et outils de CAO des circuits intégrés, université Montpellier II, [http://www.lirmm.fr/~robert/cours/cin4\\_lecon6.pdf](http://www.lirmm.fr/~robert/cours/cin4_lecon6.pdf)

**[Abgrall 2006]** P. Abgrall, C. Lattes, V. Conédéra, S. Colin, A.M. Gué, A novel fabrication method of flexible and mono lithic 3D microfluidic structures using lamination of SU8 films, Journal of Micromechanics and Microengineering, 16 pp 113 ( 2006).

**[IRISA]** Olivier Sentieys, J.M. Philippe, A. Courtay, Evolutions technologiques des interconnexions : impacts sur la conception des architectures SoC, IRISA/INRIA Université de Rennes I – ENSSAT

**[ELECTRONIQUES 2010]** ELECTRONIQUES - N°7 Juillet-Août 2010

**[Brevet LAAS]** S.Pinel, Intégration 3D de structures amincies, *Brevet EP 99201061*, Journal of Micromechanical & Microengineering (1998).

<b>CHAPITRE II : Mise en œuvre du procédé TPV .....</b>	<b>44</b>
<b>Introduction .....</b>	<b>44</b>
<b>II.1 Retour sur les approches TPV .....</b>	<b>45</b>
<b>II.2 Procédé TPV-SOFT .....</b>	<b>47</b>
II.2.1    Pourquoi la résine SU8 pour TPV ? .....	48
II.2.2    limites de compatibilité de la SU8 avec la technologie TPV .....	56
II.2.3    chargement de la SU8 par des microparticules de Silice : .....	58
<b>II.3 TPV (ou TPV par Laser) .....</b>	<b>63</b>
II.3.1    Principes .....	63
II.3.2    Description technologique.....	64
<b>II.4 Comparaison des deux procédés .....</b>	<b>80</b>
<b>II.5 Obstacles fondamentaux.....</b>	<b>81</b>

## **CHAPITRE II : Mise en œuvre du procédé TPV**

### **Introduction**

L'objectif de ce chapitre consiste à étudier les moyens permettant de faire émerger des solutions pour des assemblages 3D de puces mettant en œuvre des puces nues préalablement amincies. Comme nous l'avons souligné dans le premier chapitre, cette voie peut être extrêmement intéressante pour des assemblages de puces hétérogènes, sans remettre en cause les procédés de réalisation des puces, et en bénéficiant d'une possibilité de tester les puces avant assemblage et ainsi d'éviter des dégradations des rendements de production des systèmes terminaux. Deux options technologiques sont explorées :

- L'une visant à exploiter les performances des résines SU8,
- L'autre, dans le prolongement des travaux de l'entreprise 3DPLUS, utilisant des résines non photosensibles et basée sur la réalisation de vias par usinage laser.

## II.1 Retour sur les approches TPV

La technologie d'assemblage 3D permet de mettre en évidence le rôle clef de la gravure profonde du silicium par la technique DRIE (Deep Reactive Ion Etching) qui permet de graver des substrats sur des épaisseurs de quelques microns jusqu'à plusieurs centaines de micromètres, voire de fabriquer des pièces micromécaniques avec une très grande précision. Elle s'applique particulièrement bien au silicium, pour lequel la maturité de cette technologie, via le procédé Bosch [Laermer] permet d'obtenir des gravures d'une grande verticalité avec une précision extrême et une grande liberté dans la définition des profils. Ces performances font de la DRIE une technologie de fabrication incontournable dans le domaine des micro-technologies et des MEMS (Micro-Electro-Mechanical-Systems). C'est un procédé collectif de fabrication, par exemple : dans le cas du TSV, tous les trous (40K trous/mm<sup>2</sup> ; Tab 1.7) peuvent être réalisés en même temps, ce qui rend le procédé particulièrement attractif pour une mise en œuvre industrielle et ce qui explique la forte émergence de ces technologies TSV dans les projets actuels de développement (Tab 1.6). Le procédé SHARP (Super High Aspect Ratio Process) breveté par Alcatel en 2003 [Puech 2003] illustre l'état des technologies disponibles pour cette gravure en termes de ratios.

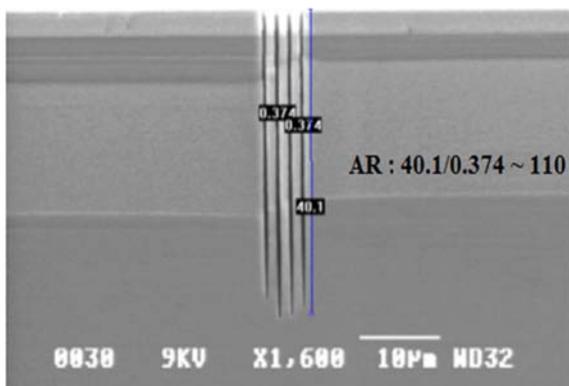


Fig. 2.1: Photo montrant la finesse de gravure des trous submicronique (AR : 110) dans le Silicium

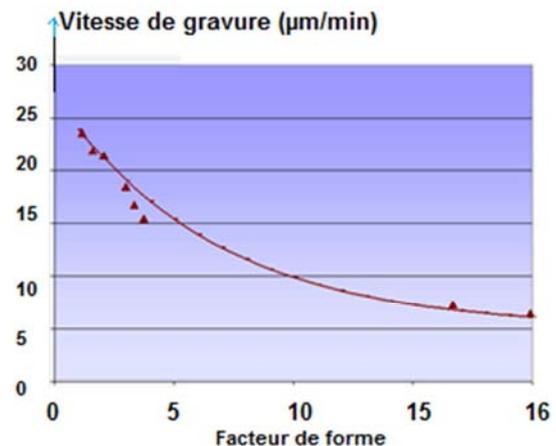


Fig.2.2: Courbe donnant la vitesse de gravure en fonction du facteur de forme géométrique (Source : Alcatel, Imaps scottsdale 2007)

Toutefois, dans le domaine de l'assemblage 3D-TSV, une difficulté majeure continue de faire obstacle : c'est l'affaîssement des rendements d'assemblages « wafer on wafer » à cause des difficultés rencontrées dans les interconnexions, mais surtout, parce que les rendements limités de « bonnes puces » définissent des taux d'assemblages incorrects. Ceux-ci se multiplient avec le nombre de couches, ne laissant finalement qu'une probabilité faible de disposer d'assemblages terminaux encore fonctionnels.

Cette difficulté a ouvert la voie à l'idée d'inclure une étape de reconstitution de plaque à partir de puces fonctionnelles, par le concept KGRW (Known Good Rebuilt Wafers). Cette idée a été introduite pour la première fois par General Electric en 1994, via un procédé original appelé à l'époque : « Neostack », basé sur le moulage des CIs dans de la résine époxy [Irvine Sensor 1994]. En 2005, 3DPLUS, dans le cadre du projet européen (Walpack), avec CEA-LETI, a proposé une nouvelle approche dans la réalisation de plaques reconstituées à partir de CIs moulés dans une résine époxy chargée du Silice [G.Poupon 2005]. Cette approche,

compatible avec la technologie WDoD (Wirefree Die on Die), sera appliquée dans les assemblages TPV pour optimiser les rendements de fabrication.

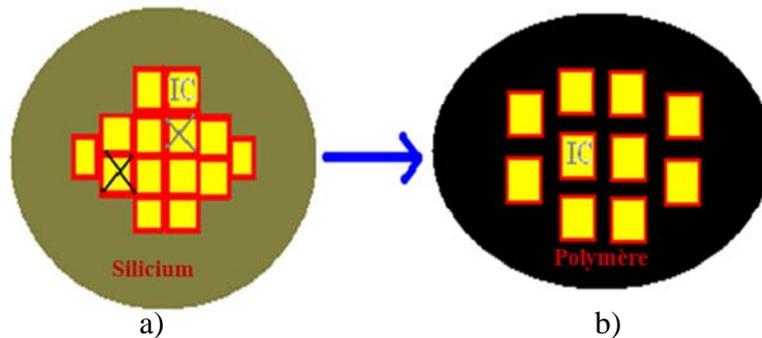


Fig. 2.3: Illustration schématique du principe de reconstitution d'un wafer à partir de puces 'bonnes' (KGRW). a) cartographie et tri des puces défectueuses, b) wafer reconstitué avec des 'puces bonnes'.

Reconstituer une plaque de « puces bonnes » ouvre la voie à l'innovation technologique pour définir de nouveaux procédés : c'est le cas du procédé TPV de 3DPLUS (Brevet : 0707557 du 26-10-2007) représenté sur la Figure 2.4 Une fois les puces testées et reconnues fonctionnelles, il s'agit de les associer en les entourant d'un cordon de polymères, au travers duquel les vias d'interconnexions verticaux seront réalisés pour interconnecter les différentes puces empilées. Cette description permet de prévoir un chemin de réalisation de l'assemblage selon 5 étapes :

- La réalisation du cordon polymère et la reconstitution du wafer,
- Les reprises de connections en surface,
- Les reports,
- La réalisation des vias,
- La métallisation des vias.

Notons que cette option est très souple, elle permet des assemblages collectifs wafer/wafer mais ouvre aussi des possibilités nouvelles pour des assemblages de puces de différentes dimensions, à moindre coût et avec un bon rendement de fabrication.

Bien sûr, comme le procédé TSV montre quelques difficultés de mise en œuvre que nous avons signalées, le TPV présente aussi des obstacles technologiques à franchir que nous traitons dans ce manuscrit de thèse.

Considérant la première étape du procédé TPV qui consiste à définir un mode d'enrobage polymère de « puces bonnes », nous avons divers choix de matériaux polymères qui vont largement conditionner les étapes suivantes. Les critères de choix de ces matériaux sont la tenue mécanique de la couche en films minces et la maîtrise des contraintes aux interfaces puce/polymère. Dans le cadre de cette thèse et pour surmonter certains obstacles technologiques pour un TPV fiable et mature industriellement, nous avons identifié et travaillé sur deux approches qui diffèrent principalement par les technologies de réalisation des trous. Le choix d'une de ces approches dépend de la fonction finale du système et de son environnement.

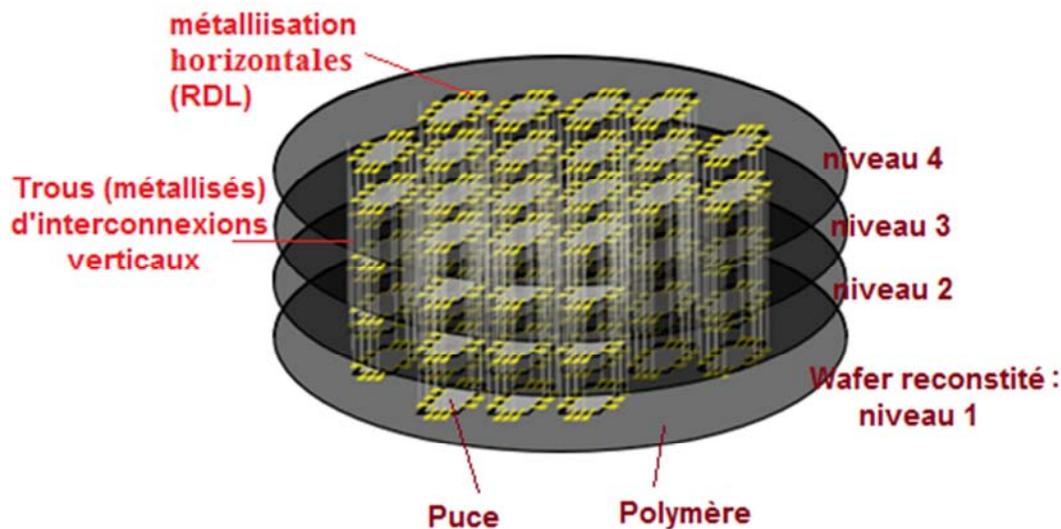


Fig. 2.4 : Illustration générale du procédé TPV

- A- Approche TPV : C'est le procédé original, propriété 3DPLUS. Il se fonde sur un processus industriel d'utilisation d'un polymère chargé de Silice déjà mis en œuvre dans des travaux antérieurs de l'entreprise. Il exploite la possibilité de réalisation des vias individuels par perçage laser.
- B- Approche TPV-SOFT : C'est une technologie dont nous souhaitons explorer les possibilités. Il s'agit d'utiliser la résine SU8 comme Polymère d'enrobage et d'exploiter la possibilité de réalisation de vias par un procédé de photo-gravure : c'est un processus collectif, avec une perspective de forte densité des trous, comparable à celle du TSV.

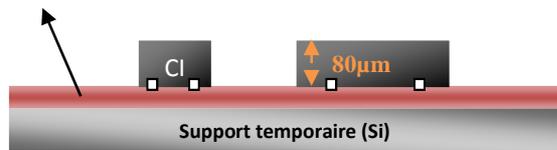
Nous allons, tout d'abord présenter ci-dessous le procédé TPV-SOFT, sachant que ces deux procédés A et B devront être conçus pour partager un maximum d'étapes communes.

## II.2 Procédé TPV-SOFT

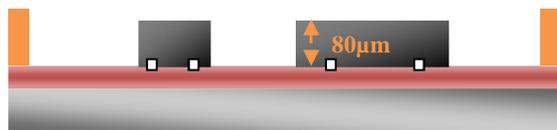
Le choix du polymère constitue l'élément de base pour la technologie TPV ; il s'agit de mettre en œuvre un polymère qui remplit les conditions de packaging : protections mécanique, thermique, chimique, électrique, etc..., et qui peut être étalé, et planarisé sur des épaisseurs de plusieurs centaines de micromètres, et qui, d'un autre côté, doit être compatible avec la réalisation de motifs (trous) à facteur de forme élevé ( $> 30$ ). Notre approche TPV-SOFT est basée sur l'utilisation d'un polymère époxy SU8 non chargée dans le processus de reconstruction des plaquettes.

La SU8 est une résine photosensible négative, pouvant être étalée et microstructurée sur des épaisseurs allant de 1 micromètre à 2 millimètres et est couramment utilisée dans la fabrication de microsystèmes. Par la suite, nous explorerons ses caractéristiques pour des applications d'encapsulations microélectroniques, mais avant tout la Figure 2.5 permet de visualiser une présentation schématique des principales étapes technologiques du procédé TPV-SOFT à base de SU8.

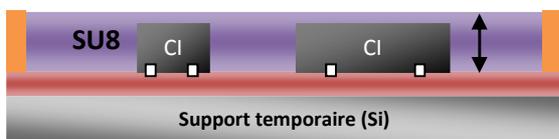
Film adhésif double face à décollement thermique



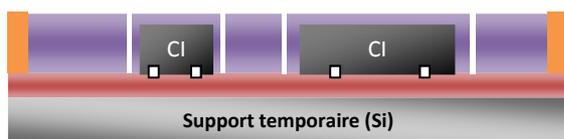
1- positionnement des puces testées bonnes



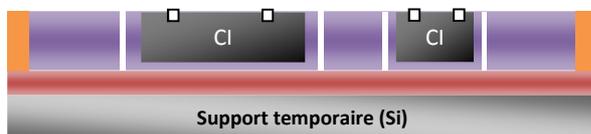
2- Placement de la cale (Frame)



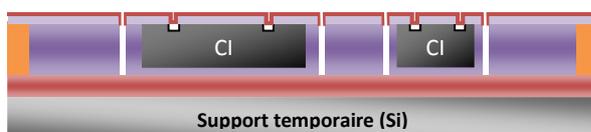
3- Moulage par la résine SU8



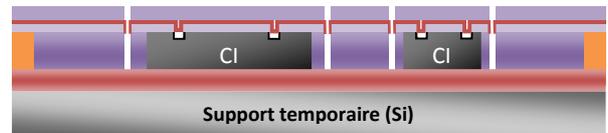
4- Réalisation collective des trous par photolithographie



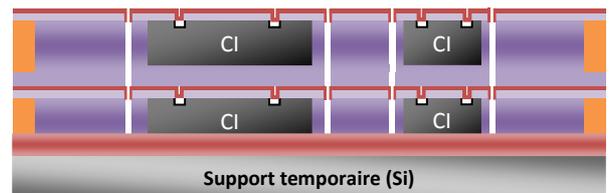
5- Décollement du wafer reconstitué «thermal release tape» et retournement.



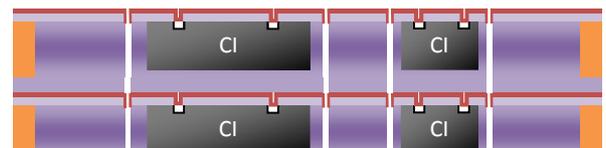
6- Redistribution des pistes d'interconnexions (RDL) vers les bords des CI sur une couche de 2µm de la SU8



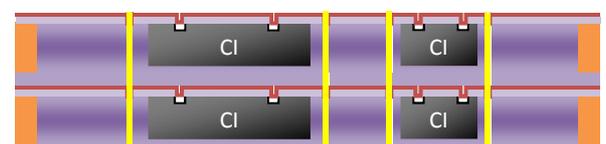
7- dépôt d'une couche 10µm de SU8 pour le collage inter-niveaux



8- Collage des niveaux, à 65°C et polymérisation totale à 125°C



9- Libération de la structure de son support .



10- Métallisation des

Fig. 2.5 : Etapes principales de réalisation du procédé TPV-SOFT

## II.2.1 Pourquoi la résine SU8 pour TPV ?

1- **La tenue mécanique et la résistance aux agents chimiques** de la résine époxy SU8 en font un candidat attractif pour la fabrication de composants micro fluidiques ou de MEMS à très forte densité de structuration. Par rapport à notre projet TPV-soft, ces caractéristiques

nous offrent la possibilité de réaliser un réseau de vias très dense. La SU8 existe déjà avec une large gamme de viscosité ; ses propriétés physiques et chimiques ont été présentées au premier chapitre.

**2- Les méthodes de moulage de la résine SU8**, par enduction, par sérigraphie ou par gravitation permettent de reconstituer des wafers de bonnes puces.

**3- La réalisation de trous avec un facteur de forme élevé** : les progrès de la technologie d'intégration et d'assemblages 3D, tel que les empilements des puces, dépendent principalement du développement du système d'interconnexions et notamment de la réalisation de vias qu'il faudra ensuite remplir avec un matériau conducteur. Cet aspect constitue le challenge essentiel des technologies d'assemblages 3D ultra-compactes visées à ces jours. Pour valider notre proposition d'utiliser la résine SU8 comme matériau de support du système d'interconnexions pour TPV, nous avons étudié les performances de photolithographie de la SU8, c'est-à-dire la possibilité d'obtenir des facteurs de forme importants. Nous présentons en fig.2.6, 2.7 et 2.8 les résultats des tests de réalisation de vias obtenus par photolithographie dans une couche de 500 $\mu\text{m}$  déposée sur un wafer de Silicium. Nous avons pu réaliser des matrices de trous de diamètre 10 $\mu\text{m}$ , ce qui donne un facteur de forme de 50. Cet important résultat est comparable à celui réalisé par DRIE sur Silicium (pour la technologie TSV) mais à un coût faible et avec un procédé plus simple.



Fig. 2.6: Photo montrant un réseau de trous de diamètres 10 $\mu\text{m}$ , 20 $\mu\text{m}$ , autres dimensions ..., réalisés dans un film SU8 d'épaisseur 500 $\mu\text{m}$ .

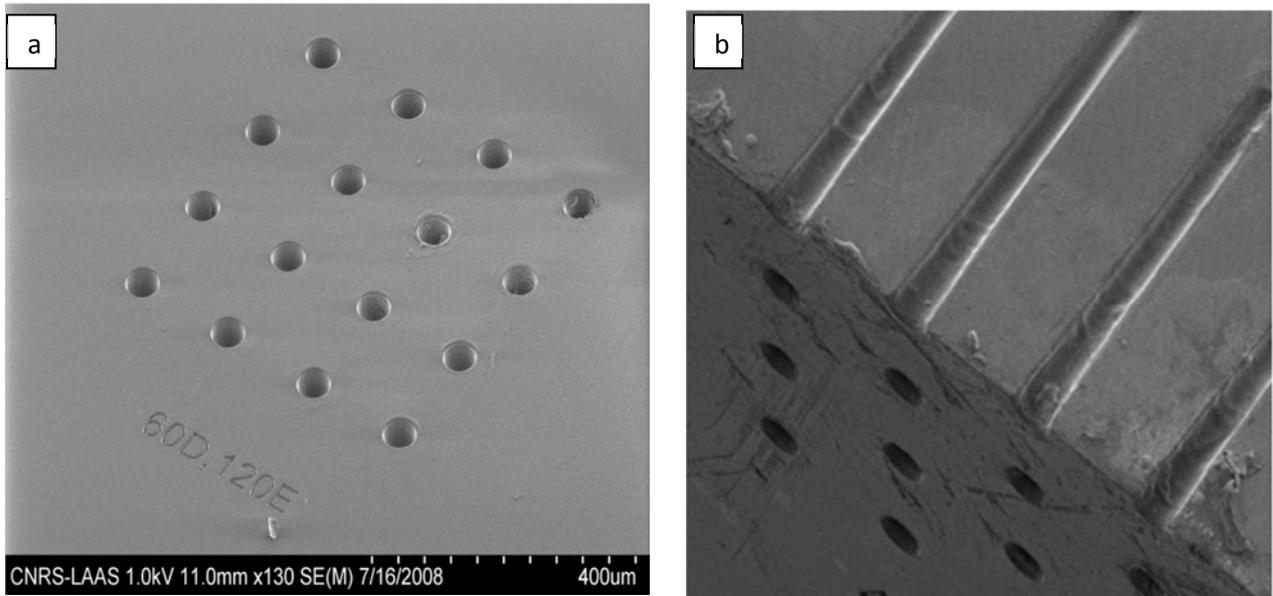


Fig. 2.7 : exemple typique de trous débouchant de diamètre 60µm réalisés dans 500µm de la SU8 a) vue de dessus b) vue en coupe.

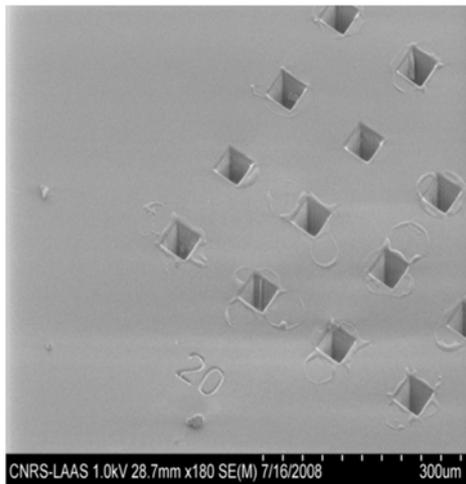


Fig.2.8 : Photo montrant des trous débouchant de forme carrée  $20 \times 20 \mu\text{m}^2$  dans 500µm de SU8.

**4- La SU8 peut assurer la protection du dispositif** contre les agressions de l'environnement : nous avons constaté qu'elle présente une excellente adhérence avec le Silicium SU8/Si, évaluée à 60MPa par le fabricant Microchem. Nous avons vérifié cette caractéristique par le test d'adhérence d'un dépôt de 100µm sur un wafer Si oxydé : la plaquette a subi un cycle thermique dans une étuve dont la température varie de -30°C à +130°C, avec une pente de variation de 5°C/min, le cycle est répété deux fois. L'amplitude de la contrainte se manifeste par une variation dans le profil (courbure mesurée au profilometre de la figure 2.9) de la plaquette mais sans aucune fissure ou défaut physique à l'échelle microscopique.

Pour évaluer cette contrainte nous nous sommes basés sur le modèle de Stoney : la variation du rayon de courbure est donnée par l'équation suivante [Stoney 1909]:

$$\sigma = \frac{1}{6K} \frac{E}{(1-\nu)} \frac{t_s^2}{t_f} \quad \text{Eq. 2.1}$$

Avec :

$\frac{E}{(1-\nu)}$  : module d'élasticité du substrat       $t_s$  : épaisseur du substrat

$\sigma$  : Stress       $t_f$  : épaisseur de la résine

$E$  : module de Young du substrat

$\nu$  : Coefficient de Poisson (substrat)       $\frac{1}{K} = \frac{1}{(R_f(x))} - \frac{1}{(R_s(x))}$

$K$  : Variation du rayon de Courbure avant et après le dépôt de la résine.

Les mesures de courbure des structures bi-film Si/SU8 ont été mesurées au profilometre. A titre indicatif, les résultats exploitant la formule de STONEY pour un film SU8 de 100µm sur un wafer Si oxydé sont reportés sur la figure 2.9b et les valeurs de contraintes thermomécaniques groupées dans le tableau 2.1.

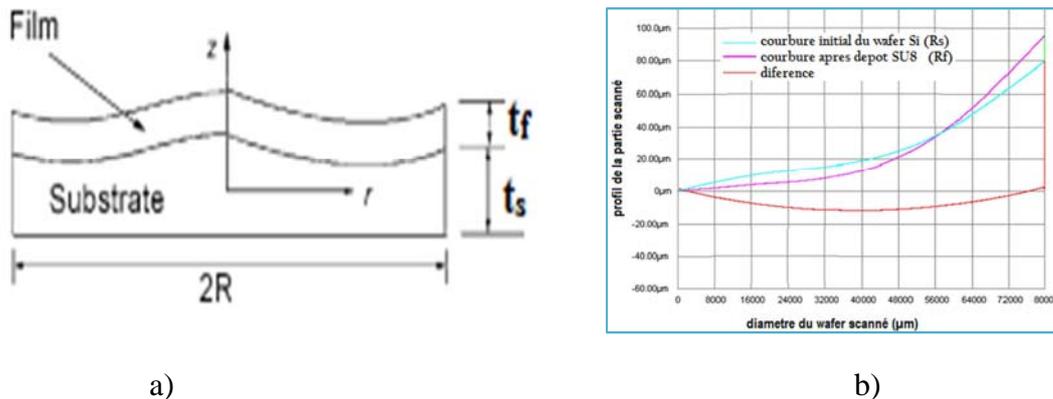


Fig. 2.9 : a) Structure prise en compte dans la modélisation b) Courbes de profil permettant l'estimation des contraintes de la structure SU8/Si (après deux cycles thermiques).

Stress Si/SU8 avant deux cycles thermiques (-30 ; +130)	15.14 MPa
Stress Si/SU8 après deux cycles thermiques (-30 ; +130)	12.56 MPa
Différence de stress	2.58 MPa

Tab.2.1 : évolution du stress de la structure SU8 (100 µm) / silicium (525 µm) apparaissant à la suite à deux cycles thermiques (- 30 ; +130 °C).

Pour illustrer l'amplitude des forces d'adhésion à l'interface SU8/Si, nous avons cassé la structure en appliquant une force mécanique à son centre (Fig. 2.10).

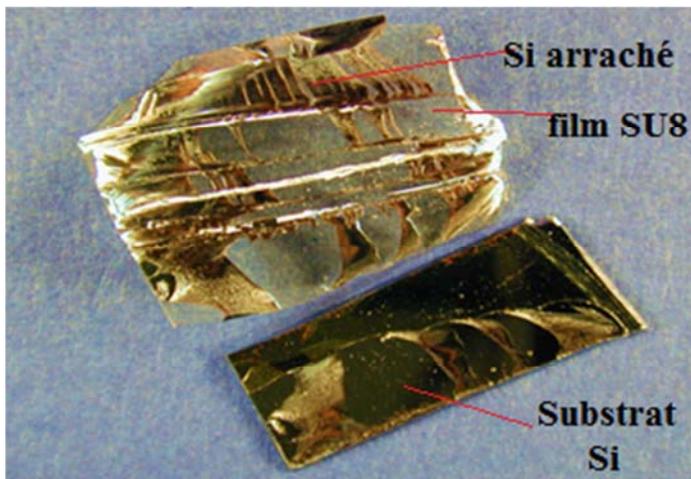
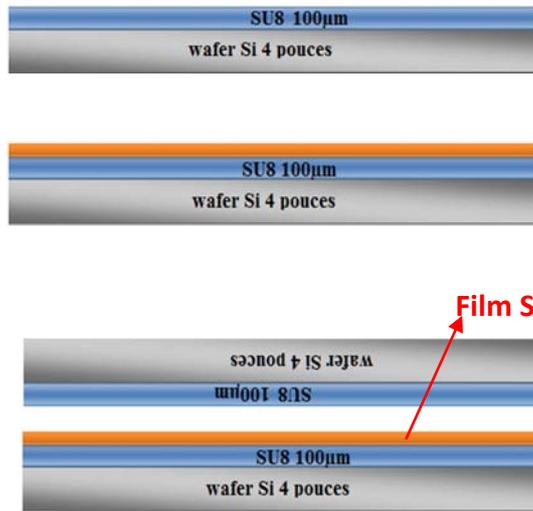


Fig. 2.10 : photo montrant le forte adhérence SU8/Si à l'interface

La libération de la résine SU8 entraîne le clivage du Silicium, la mesure par un profilomètre mécanique faite sur l'échantillon clivé montre que le SU8 peut arracher jusqu'à 60µm de profondeur du Silicium. La force de liaison SU8-Si est donc plus forte que la liaison intermoléculaire du Si lui-même. Cette conclusion confirme le travail expérimental de Starkov [Starkov 2003]. On conclusion, on peut donc dire que la SU8 peut être utilisée comme matériau de collage («bonding film») des différents dans les structures 3D.

Après la présentation des propriétés de la SU8 qui en font un candidat intéressant pour la réalisation d'intégrations hétérogènes électriques ou fluidiques, nous allons nous intéresser aux conditions et exigences particulières de la mise en œuvre du procédé TPV : la démarche d'empilement des puces requiert, en particulier, de procéder aux alignements et collages des niveaux les uns sur les autres. Nous avons donc préparé et traité la SU8 de façon à l'adapter à nos besoins comme un joint de colle pour l'empilement des wafer reconstitués. Notre technique repose sur des travaux antérieurs dans la préparation de films SU8 pour les utiliser comme capot de canalisations microfluidiques. Plusieurs équipes de chercheurs ont travaillé sur le même principe, mais avec des techniques relativement différentes, pour améliorer l'adhérence (film SU8)/ (structure SU8). [Song, 2004] [Tuomikoski, 2005] [Abgrall, 2006] [Dragoi 2006] [Charlot 2008] [Fulcrand 2009].

Avant de décrire en détails notre procédé d'utilisation de la SU8 comme un joint de colle dans le processus final de la technologie TPV-SOFT, nous avons réalisé une expérience pour vérifier la compatibilité et l'efficacité de cette technique en termes d'adhérence inter-niveaux. Notre test consiste à empiler deux couches de SU8, préalablement déposées et polymérisées sur des supports silicium, via une couche de 10µm de la SU8. Les deux niveaux sont laminés à 65 °C avec une pression de 3 bar. Après une polymérisation totale du joint de colle (Fig.2.11-c), nous avons mesuré la force d'adhésion assurée par le film SU8 qui assemble les deux couches de la SU8.



a) Spin-coating et polymérisation de 100µm de SU8 sur Silicium.

b) dépôt par enduction d'un film de collage de 10µm de SU8

c) collage des niveaux : pression 3 bar@65°C ; recuits 3min@95°C et 10min@ 125°C.

Fig.2.11 : Procédé de caractérisation de la force d'adhésion de deux couches SU8 par un film de 10µm de SU8.

Nous avons alors appliqué, dans un appareil spécialisé, sur notre structure (côtés des supports silicium) un effort de traction directe suffisamment puissant pour provoquer la rupture des deux niveaux encollés. Ce dispositif enregistre et indique la valeur de la force maximale exercée. Par conséquent, nous avons mesuré une valeur de 28 MPa, ce qui est suffisant pour annoncer que la SU8 assure correctement la fonction de collage inter niveaux avec les avantages suivants :

- Collage réalisable à faible température,
- Tenue mécanique acceptable.
- Moins d'hétérogénéité dans la structure (pas des colles, pas de brasure, etc...)

## 5- Bonne adhérence des métaux sur SU8

La SU8 est utilisée aussi comme diélectrique d'isolement électrique ( $\epsilon = 3$ ). Elle supporte l'ensemble des lignes d'interconnexions métalliques «RDL» qui peuvent être déposées directement sans couches barrière ou d'adhérence, par 'sputtering PVD', comme l'aluminium par exemple [Joost, 2009]. Cette propriété d'adhésion à faible stress résiduel (Al/SU8) est validée par les travaux de Nordstrom [Nordstrom, 2005]. Parfois, on associe une très fine couche intermédiaire de Titane ou de Chrome pour améliorer l'adhérence de l'Or sur la SU8: cette force d'adhésion pourrait augmenter jusqu' à + 75% par rapport à la valeur de 4.8 MPa donnée par le fabricant de la SU8. Le titane sert aussi de barrière de diffusion dans le cas du Cuivre qui diffuse facilement dans le diélectrique. Pour certaines applications qui exigent de très fortes forces d'adhésion, il faut envisager une étape supplémentaire qui consiste à passer la SU8 dans un Plasma oxygène (200 Watt, 30s), avant le dépôt des couches métalliques.

Nous avons réalisé au LAAS un dépôt PVD Ti/Cu (50Å/500Å) sur un film SU8 de 500µm d'épaisseur après un traitement plasma oxygène ; nous avons vérifié la bonne adhérence par ce qu'on appelle « tape peel testing », il n'y avait pas d'arrachement du métal dans la zone visée.

Un peu plus tard, nous avons testé l'adhérence de la métallisation chimique de Nickel sur des films de SU8 (sans plasma O<sub>2</sub>), en reprenant le processus industriel classique appliqué par l'entreprise 3DPLUS. Ce processus est divisé en deux étapes. La première étape traite du dépôt d'une couche (2,5µm) de Nickel par voie chimique, suivie par une étape de recharge électrolytique de 1.5 µm d'Or.

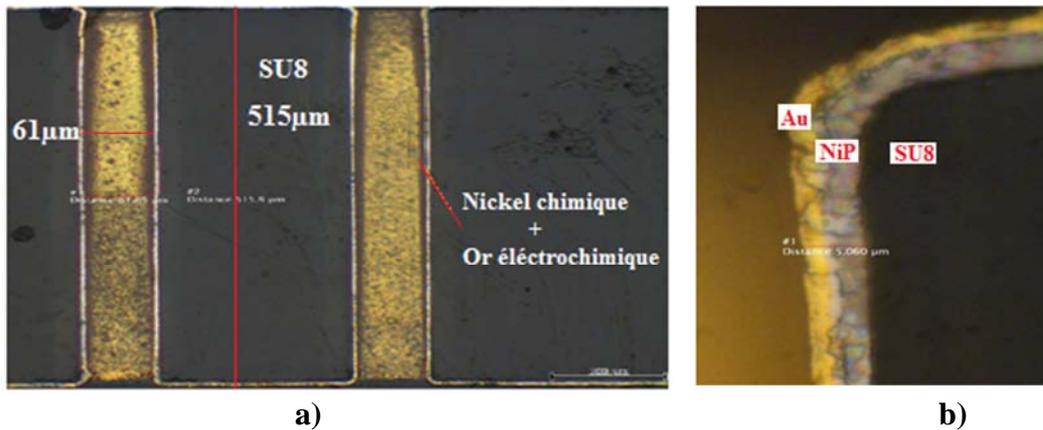


Fig.2.12: Photos montrant le remplissage de trous a) Métallisation chimique des trous de diamètre 60µm dans 515µm d'épaisseur de SU8 b) Zoom sur l'entrée d'un trou métallisé.

Les résultats obtenus, visibles en Figure 2.12, montrent une uniformité de dépôt du Nickel le long des flancs des trous. Le renforcement de cette couche de Nickel par un rechargement électrolytique d'Or ne prend pas une croissance uniforme dans ces trous.

Le tableau 2.2 regroupe les résultats d'adhérence de la SU8 sur certains substrats.

Substrate	SU-8 2000 (MPa)	SU-8 3000 (MPa)
Si	53	71
SiN	43	73
GaAs	66	78
Ni	45	48
Au	29	47
Al/Cu (99/1)	23	43
Cu	38	80
Cu with AP-300 adhesion promoter	56	-
Glass	poor	23
Glass with HMDS prime	poor	44
Glass/Al <sub>2</sub> O <sub>3</sub> with AP-300 adhesion promoter	92	-
Quartz	61	80

Tab 2.2: tableau donnant les forces d'adhérence de la SU8 sur différents matériaux (Microchem, 2007)

## 6- conductivité électrique de la SU8:

La résistivité électrique de la SU8 étant de  $2,80 \cdot 10^{16} \Omega\text{-cm}$ , il n'y aura pas besoin de couches de passivation en surface, ni aux flancs des trous, comme dans le cas du TSV. L'étape de réalisation des connexions RDL pourra être effectuée directement sur la SU8 du moulage de la plaquette reconstituée. Pour assurer le bon fonctionnement et une parfaite sécurité dans la réalisation des interconnexions dans le microsystème, les travaux publiés par l'équipe de Joost Melai [Joost, 2009], montrent que la SU8 supporte un champ de polarisation électrique élevé de  $4,4 \text{ MV}\cdot\text{cm}^{-1}$ , avec un très faible courant de fuite (Fig. 2.13). La SU8 peut donc être aisément utilisée dans la fabrication de systèmes dédiés à des applications fonctionnant à haute tension (comme les composants d'électronique de puissance).

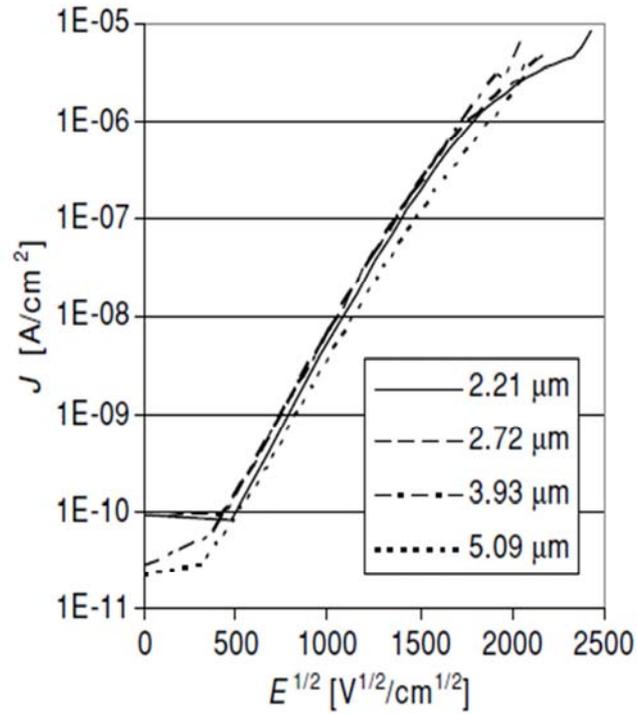


Fig. 2.13: Courbes montrant l'évolution de la densité du courant de fuite en fonction du champ électrique pour des composants ayant différentes épaisseurs de SU8 [Joost, 2009].

## 7- Chargement de la SU8

Pour modifier et améliorer les caractéristiques électriques et les propriétés physiques, en particulier celles liées aux contraintes internes de la SU8, plusieurs types de chargement ont été testés, notamment des particules d'argent.

La résine SU8, connue pour ses possibilités de dépôt épais et de photogravure à haut facteur de forme, a été modifiée de manière à lui conférer de nouvelles caractéristiques : formulations SU8/argent pour la micro fabrication de structures conductrices (Microchem) ; SU8/SiO<sub>2</sub> pour réduire les contraintes avec le substrat lors de leur association. Ainsi, le fait d'utiliser une poudre d'Ag comprenant une large distribution de tailles de particules a permis d'obtenir des formulations encore suffisamment photosensibles [Jiguet 2004a] pour être gravées comme le montrent les photos de la figure 2.14.

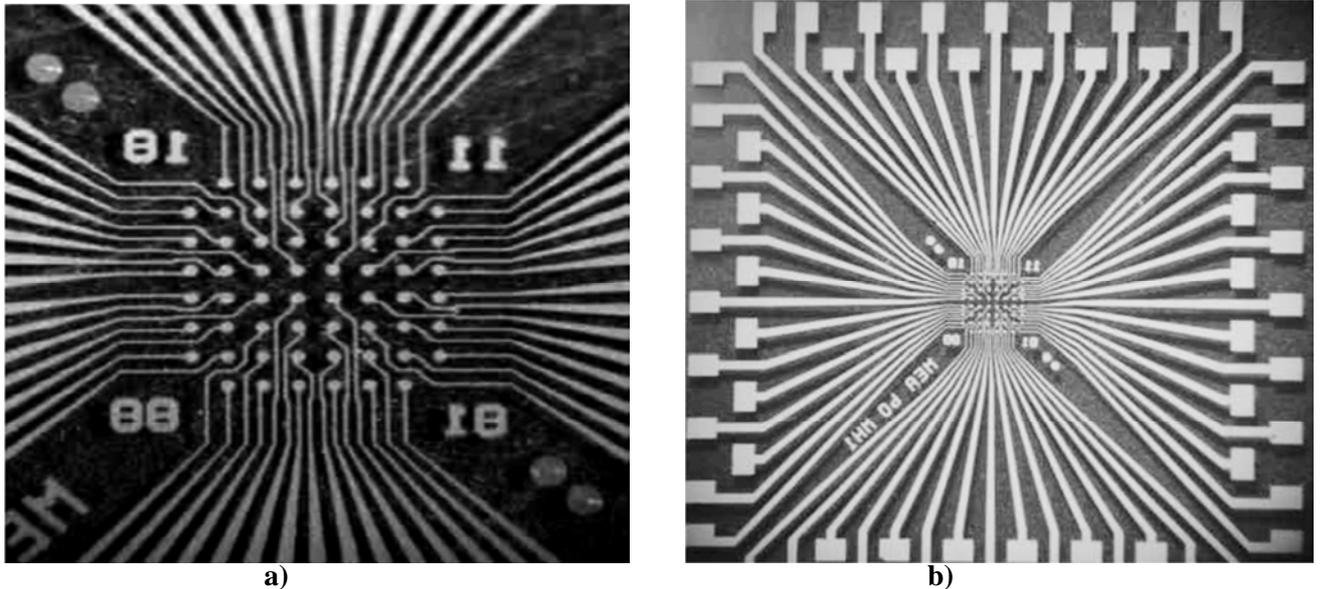


Fig.2.14 : Electrodes en SU8 chargés (20 % volume) de billes d'argent: a) électrode d'épaisseur  $2\mu\text{m}$ , b) design d'interconnexions compact [Jiguet 2004b].

## II.2.2 limites de compatibilité de la SU8 avec la technologie TPV

Deux limites d'origine thermique freinent l'utilisation de la SU8 dans le micro-packaging ultra compact:

- Une faible conductivité thermique empêchant l'évacuation de la chaleur, ce qui est un problème commun à toutes les technologies d'encapsulation traditionnelles. Chaque technologie doit prévoir, dans sa conception, une méthode d'évacuation de la chaleur, par exemple: l'intégration de couches ou de pistes métalliques connectées vers la « masse thermique », l'intégration de cavités d'air (Air-Bridges) [Wright 2004] ou l'intégration de systèmes de condensation de vapeur. Pour TPV-SOFT, on envisage de rassembler les trous métallisés dans la structure au plus près des puces ; ces trous, remplis de matériaux conducteurs peuvent contribuer à l'évacuation de la chaleur vers l'extérieur du système (nous montrerons par la suite que cela confère un avantage majeur à nos structures)
- Le coefficient de dilatation thermique ( $\text{CTE SU8} = 52\text{ppm}/^\circ\text{c}$ ) est relativement grand par rapport à celui du Silicium ( $2,6\text{ ppm}/^\circ\text{c}$ ). Ceci n'est une exception dans les technologies microélectroniques, car depuis l'origine, les diélectriques utilisés pour la réalisation des différentes couches de métallisation des circuits intégrés ont des CTE de même ordre de grandeur que celui de la SU8. Par exemple, le CTE du diélectrique 'INTERVIA™ 8023' est de  $62\text{ ppm}/^\circ\text{C}$  (ROHM & HAAS). Donc, l'enrobage des puces par une bordure SU8 devrait être possible, surtout que cette bordure sera microstructurée à  $\sim 80\%$  en volume, ce qui doit relaxer considérablement le stress thermomécanique engendré par le fonctionnement du microsystème.

On note aussi que certaines technologies d'encapsulation 3D (WDoD) intègrent des colles époxy ( $50 < \text{CTE} < 60\text{ ppm}/^\circ\text{c}$ ) comme joint de collage dans le processus d'empilement des niveaux, et pourtant ces technologies subissent favorablement l'étape des chocs thermiques ( $-55, +125^\circ\text{C}$ ).

Ainsi, le diélectrique époxy se retrouve presque dans tous les processus d'intégration 2D et 3D : il fait partie de la structure et il contribue à plusieurs tâches clés de la réalisation. C'est pourquoi il nous est apparu intéressant d'explorer le développement d'un processus d'intégration 3D ultra-compact TPV-SOFT, moins hétérogène (SU8/Si/métal) que d'autres approches.

Pour tenter d'étayer cela, deux pré-tests ont été réalisés:

- Test 1 : le test d'adhérence SU8 (100 $\mu$ m)/Si (525 $\mu$ m) avec deux cycles -30°C à +130 °C, avec une pente de variation de 5°C/min, à température ambiante, montre que le système n'a pas présenté de défauts physiques.
- Test 2 : moulage d'une puce (de surface 5x9mm<sup>2</sup> et d'épaisseur 80 $\mu$ m) dans une plaquette de 2 pouces et comportant un film de SU8 d'épaisseur 2mm: pas de défaut physique à la fin du processus de la polymérisation (recuit à 125°C). Mais, suite à l'application de 50 cycles (-50, +125°C) avec une pente 12°C/min, la puce s'est clivée.

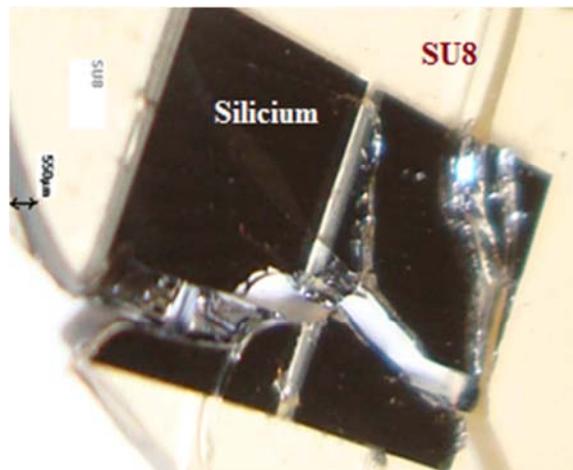


Fig. 2.15 : Photo montrant la destruction de la puce d'épaisseur 80 $\mu$ m moulée dans 2mm d'épaisseur de la SU8, suite à 50 cycles (-55 ; +125°C)

Ces deux tests préliminaires montrent qu'il faut continuer de planifier des tests et des simulations numériques pour préciser les limites de la compatibilité thermomécanique de ces matériaux et optimiser le pourcentage convenable en volume de chaque matériau dans le système. Le premier test n'est pas éliminatoire pour la SU8 comme matériau de packaging, et comme tout système sur le marché dédié pour une ou des applications bien précises (environnement, fréquence d'horloge, puissance dissipée, niveau du blindage et de la protection chimique et physique,...). Le packaging par TPV-SOFT, pour des applications précises, telle que le domaine médical où la température reste autour de 37°C, serait évidemment facilité.

Nous pouvons penser aussi que la conception mécanique peut amener des facteurs relaxants : elle est un élément extrêmement important surtout quand on travaille à échelle micrométrique et pour un packaging ultra-compact, parce qu'on devra profiter au maximum de la surface disponible tout en gardant les caractéristiques des matériaux et en respectant le cahier des charges préalablement défini. Dans notre cas, l'objectif est de réaliser une densité maximum de vias ce qui peut contribuer à évacuer la chaleur interne engendrée par le fonctionnement du système et contribuer ainsi à relaxer les contraintes du système. La précision de gravure de la SU8 et le facteur de forme qui atteint 50, permettent d'envisager la réalisation de trous avec un pas < 10 $\mu$ m dans 100 $\mu$ m d'épaisseur, et de quelques microns, si l'épaisseur de la plaquette est de moins de 50 $\mu$ m.

Selon nos estimations, le volume global de la SU8 peut ne constituer que 20% du volume total du système, ce qui pourrait limiter son impact thermomécanique dans la structure globale.

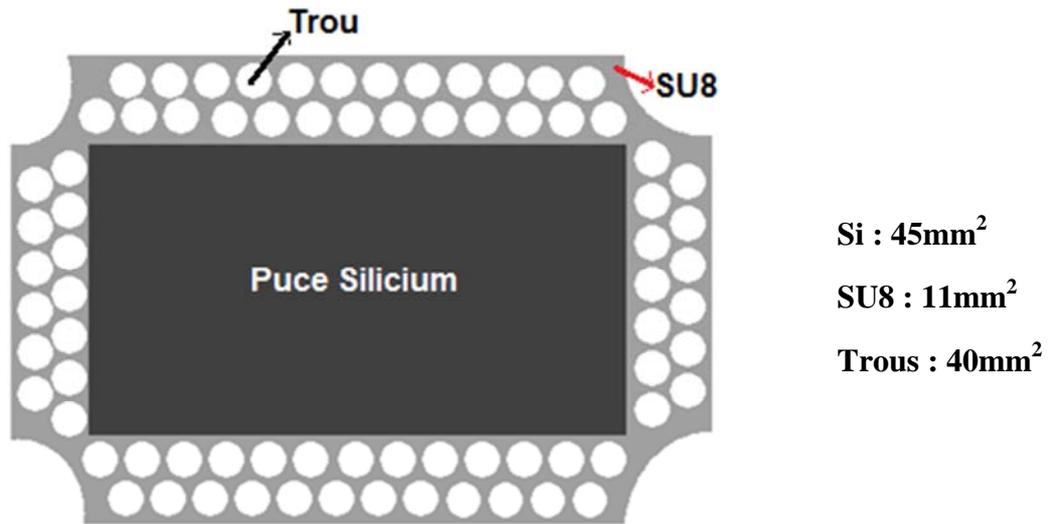


Fig.2.16 : Représentation schématique du pourcentage et évaluations des surfaces des matériaux dans une structure SU8/Si.

### II.2.3 chargement de la SU8 par des microparticules de Silice :

Pour rester dans les objectifs précis de la thèse, qui exigent une parfaite tenue thermomécanique des microsystèmes entre  $-55$  et  $+125^\circ\text{C}$ , les tests de choc thermique ( $12^\circ\text{C}/\text{minute}$ , normes militaire et aérospatiale) seront réalisés dans une machine spécialisée constituée d'une étuve-ascenseur qui se déplace toutes les dix minutes entre deux zones thermique ( $-65^\circ\text{C}$ ) et ( $+150^\circ\text{C}$ ) comme le montre la figure 2.17.

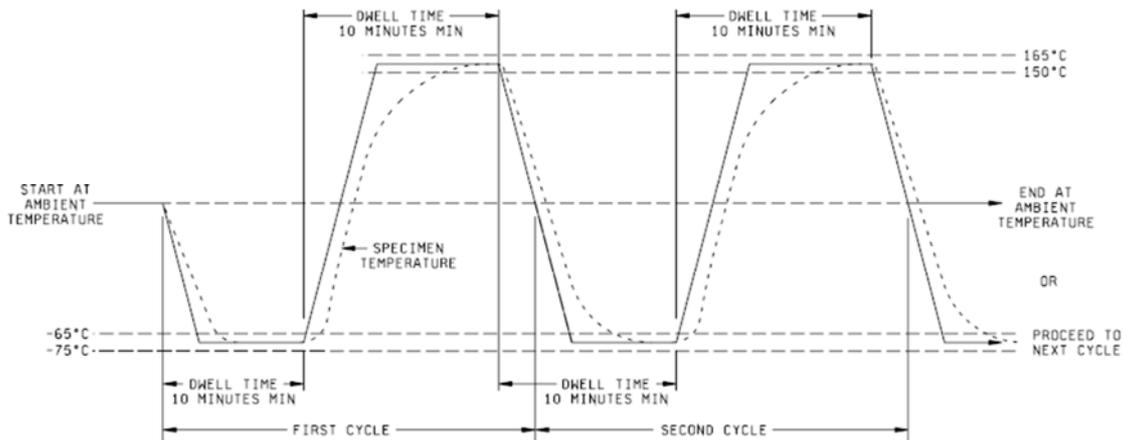


Fig. 2.17: Caractéristiques des cycles thermiques imposés par la norme MIL-STD-883 G.

Pour faire baisser le coefficient de dilatation thermique et réduire la contrainte résiduelle de l'assemblage SU8/Si, nous avons commencé à modifier les caractéristiques mêmes de la résine SU8 : il s'agissait de la charger par des billes de Silice, tout en tentant de garder ses propriétés de photogravure. Une SU8 photosensible chargée de billes d'argent existe déjà sur le marché et est utilisée dans plusieurs applications, comme la fabrication de couches RDL, d'électrodes dans les cellules photovoltaïques..., ce qui nous a servi de guide dans le choix des méthodes de dispersions des particules de Silice dans la SU8. L'idée de charger la SU8

par de la silice s'inspire aussi de l'utilisation massive des résines époxy chargées utilisées dans l'industrie microélectronique pour l'encapsulation des circuits intégrés.

Nous avons donc exploré des formulations à base de SU8 dans lesquelles des particules de silice, de taille d'un micromètre, ont été dispersées dans la matrice SU8, tout en sachant que cet ajout modifiera les propriétés de photo polymérisation.

Deux volets ont été abordés :

- une première étude a été focalisée sur la résolution du composite SU8/silice photosensible.
- Une seconde étude traitera des caractérisations mécaniques du composite et de l'évolution de l'état du stress.

Nous présenterons d'abord quelques résultats expérimentaux sur la préparation de ces mélanges SU8/SiO<sub>2</sub>:

- a) La dispersion de particules de Silice de diamètre 1µm dans la SU8, est réalisée par une machine d'agitation à Ultrasons. La température pendant le traitement a été réglée à 40°C comme valeur maximum, car elle est l'un des paramètres principaux à étudier, compte- tenu de son influence sur les caractéristiques de photo-polymérisation et par conséquent sur la résolution du composite obtenu. Le temps de traitement aux ultrasons est de 1 h ; le fait de prolonger ce temps jusqu'à 10h n'a pas amélioré le résultat.
- b) Nous avons préparé deux types de composite, une chargée avec 5% de silice et une autre chargée à 20% silice.
- c) Pour éliminer les bulles d'air, le mélange sera stocké dans une cloche sous vide ( $\sim 10^{-1}$ mbar) pendant 3 heures à la température ambiante ( $\sim 20^{\circ}\text{C}$ ).

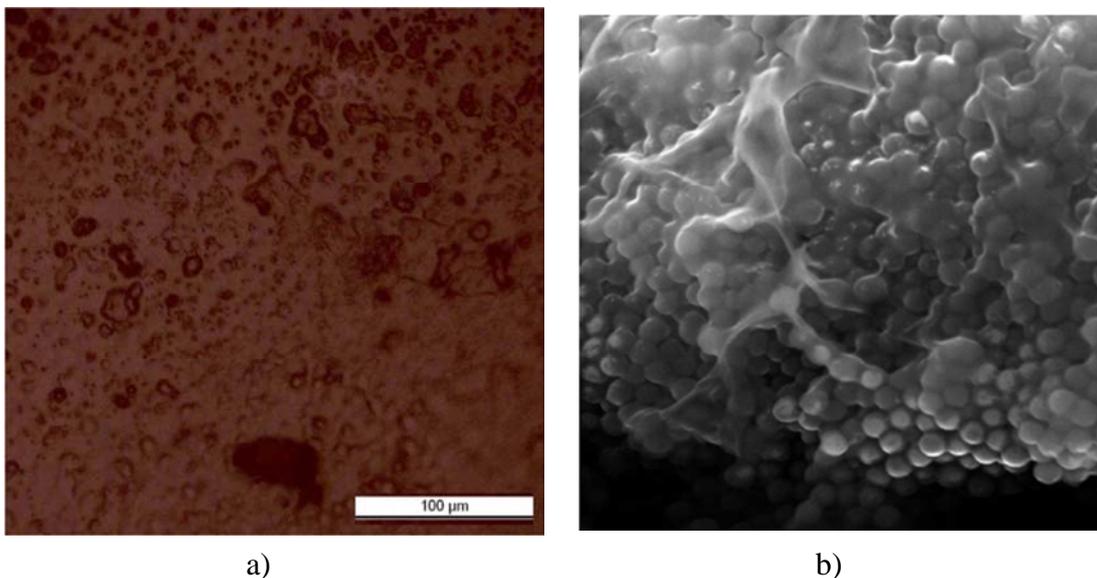


Fig. 2.18: Photos montrant un film de SU8 3005 chargée à 5% m de Silice (billes de 1µm), a) par microscope optique b) zoom sur un agglomérat (photo MEB).

Le processus permettant de préparer ce mélange en évitant des agglomérats des billes de silice, est un challenge difficile à mettre en œuvre. Par exemple, le mélange SU8/silice préparé avec un pourcentage massique de 5% de silice, présente des agglomérations de billes de silice de différentes dimensions et qui se sont réparties d'une façon non uniforme dans la SU8 (Fig. 2.18)

- **La résolution par photo lithographie du composite SU8 chargée de silice**

Tous nos tests de dépôt et de traitement photo lithographique du mélange ont été réalisés sur des wafers silicium 4 pouces. Nous avons testé plusieurs processus photo lithographique pour améliorer la résolution de la gravure. Principalement, nous avons essayé d'optimiser la température du pré-recuit et l'énergie d'insolation en fonction de l'épaisseur du film composite déposé.

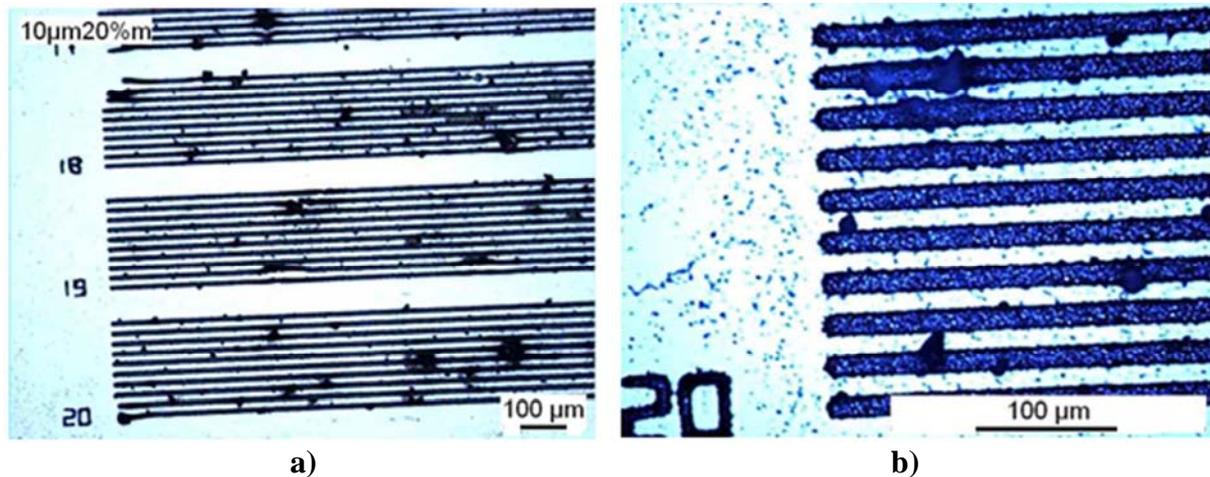


Fig. 2.19 : Photos des motifs réalisés pour déterminer la résolution du mélange SU8/SiO<sub>2</sub>, a) résolution de 20 µm sur 10 µm d'épaisseur, b) zoom sur les traits de 20 µm de largeur espacés de 20 µm.

La figure 2.19 montre que pour un dépôt d'épaisseur 10 µm du mélange SU8/SiO<sub>2</sub>, nous avons obtenu une résolution de 20 µm. La résolution imparfaite est dû à l'agglomération de billes SiO<sub>2</sub> qui ne sont pas gravés (Fig.2.19), on remarque aussi que les bords des traits présentent un certain rugosité : les flancs de ces traits ne sont pas bien droits, phénomène d'autant plus important que la structure est plus épaisse comme on peut le constater sur la Fig.2.20.

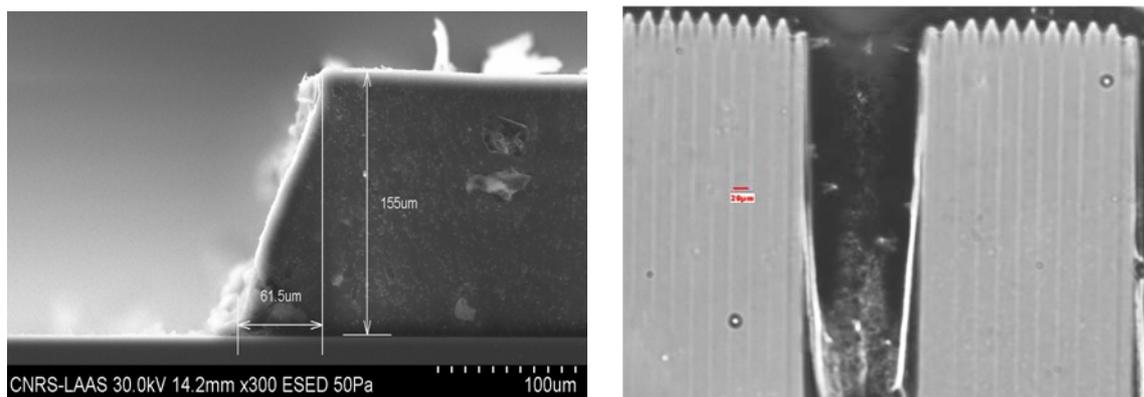


Fig. 2.20 : Photos montrant la gravure d'un mélange SU8/billes de silice (à 20%). a) flanc d'un trait extrême, b) vue de dessus

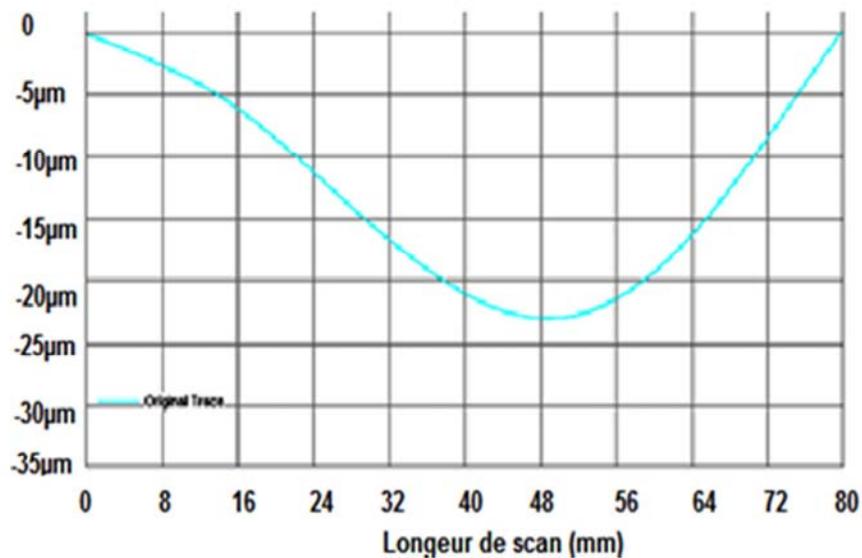
Nous avons testé la résolution pour des dépôts de 100 µm et 150 µm d'épaisseur, pour des mélanges à 5% et 20% de silice ; il n'a été observé aucune résolution avec des motifs de 10 et

20  $\mu\text{m}$ . En définitive, la meilleure résolution obtenue été de 20  $\mu\text{m}$  pour un dépôt de 10  $\mu\text{m}$  d'épaisseur.

- **Caractérisations mécaniques du composite SU8/SiO<sub>2</sub>**

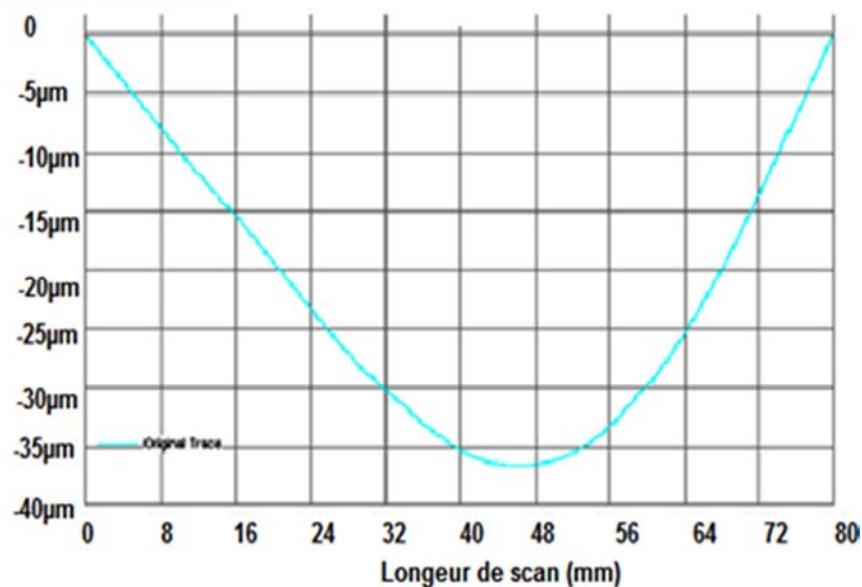
Le deuxième objectif de l'étude était de minimiser le stress engendré par la SU8 : l'expérience montre une chute de la valeur du stress composite/substrat par rapport à celle SU8/substrat. La tension du stress est évaluée par la mesure du rayon de courbure de la plaquette de silicium, avant et après le dépôt de la matrice composite ; les courbes de la figure 2.21 montrent des exemples de profils de différents wafers, avant et après le dépôt de la résine SU8 chargée.

**Courbure du wafer**



a) Rayon de la courbure d'un wafer Si d'épaisseur 525 $\mu\text{m}$  (wafer vierge)

**Courbure du wafer**



b) Rayon de courbure après dépôt de 10 $\mu\text{m}$  de SU8 sur le meme wafer Si

Fig. 2.21 : Courbes montrant la variation du profil du wafer a) avant et b) après un dépôt de 10 $\mu$ m de la SU8.

La variation de l'ordre de 10 $\mu$ m dans le rayon de courbure (Fig.2.21) d'un wafer silicium après le dépôt d'un film de 10  $\mu$ m de la SU8, illustre l'amplitude des contraintes en compression induites par la résine SU8 dans la structure. L'évolution de ces contraintes, en fonction de taux de chargement silice dans la matrice SU8, est représentée sur la figure 2.22.

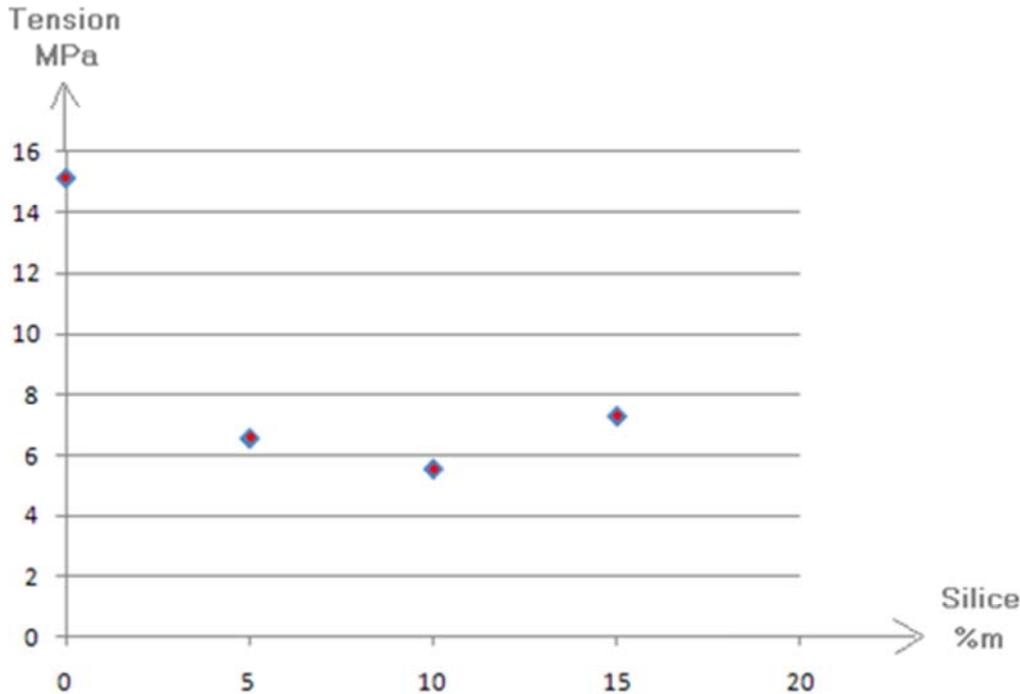


Fig. 2.22 : Evolution du stress en fonction du taux de chargement en Silice, pour une épaisseur 10 $\mu$ m de la résine, sur des wafers d'épaisseur 525  $\mu$ m.

La figure 2.22 montre que la tension de stress de la structure SU8/silicium serait réduite de 50% pour un taux de chargement à partir de 5% de silice ; ces contraintes se stabilisent à une valeurs moyenne de 7 MPa avec l'augmentation de taux de chargement jusqu'à 20 % de silice.

### Conclusion sur le procédé TPV-SOFT

La résine SU8 a d'intéressantes propriétés de gravure profonde. Son coefficient de dilatation thermique élevé conduit à des contraintes qui peuvent aller jusqu'au clivage du Silicium. Toutefois, des applications peuvent être envisagées en limitant la proportion de résine associée au silicium, au strict minimum utile à la réalisation des vias latéraux, par une conception optimisée. Cette étude de chargement de la SU8 par de la silice, montre bien une baisse notable (50 %) de la contrainte des assemblages dès un chargement à 5% (Fig.2.22), mais la détérioration des propriétés de photogravure est une limitation aussi très rapide (Fig.2.19). Dégager une solution à caractère industriel avec de nouveaux matériaux qui ne sont pas industriellement qualifiés est apparu risqué...Nos efforts se sont donc concentrés sur le procédé exploré par 3DPLUS d'une résine déjà qualifiée pour le packaging et d'un usinage des vias par laser.

## II.3 TPV (ou TPV par Laser)

### II.3.1 Principes

La technologie TPV, dans son principe, est originale : la connectique inter-couches est réalisée à la fin du processus, par le perçage laser de trous traversant et remplis d'un métal conducteur. Ces trous devront donc être percés après l'empilement de tous les niveaux, qui peuvent atteindre 20 étages; la profondeur des trous sera donc à l'échelle de l'épaisseur totale du microsystème. Ces trous traverseront l'ensemble des couches, y compris les couches de métal d'interconnexions horizontales et de passivation électrique (RDL) réalisées à chaque niveau, ainsi que l'épaisseur des collages inter-niveaux (Fig.2.23). On ajoute à cette hétérogénéité des couches empilées, la résine époxy qui est une matière composite, et qui présente une hétérogénéité importante par l'intégration massive de particules micrométriques de Silice dans la matrice polymère.

Compte tenu de l'épaisseur et de l'hétérogénéité de la structure, il n'était pas possible de travailler sur le développement du processus de gravure comme ceux utilisés dans le TSV (gravures Plasma). Notre choix est ici limité entre une gravure mécanique (foret, ou jet d'eau), optique (Laser) ou la méthode qui rassemblerait les deux technologies : jet d'eau assisté par laser (Synova SA).

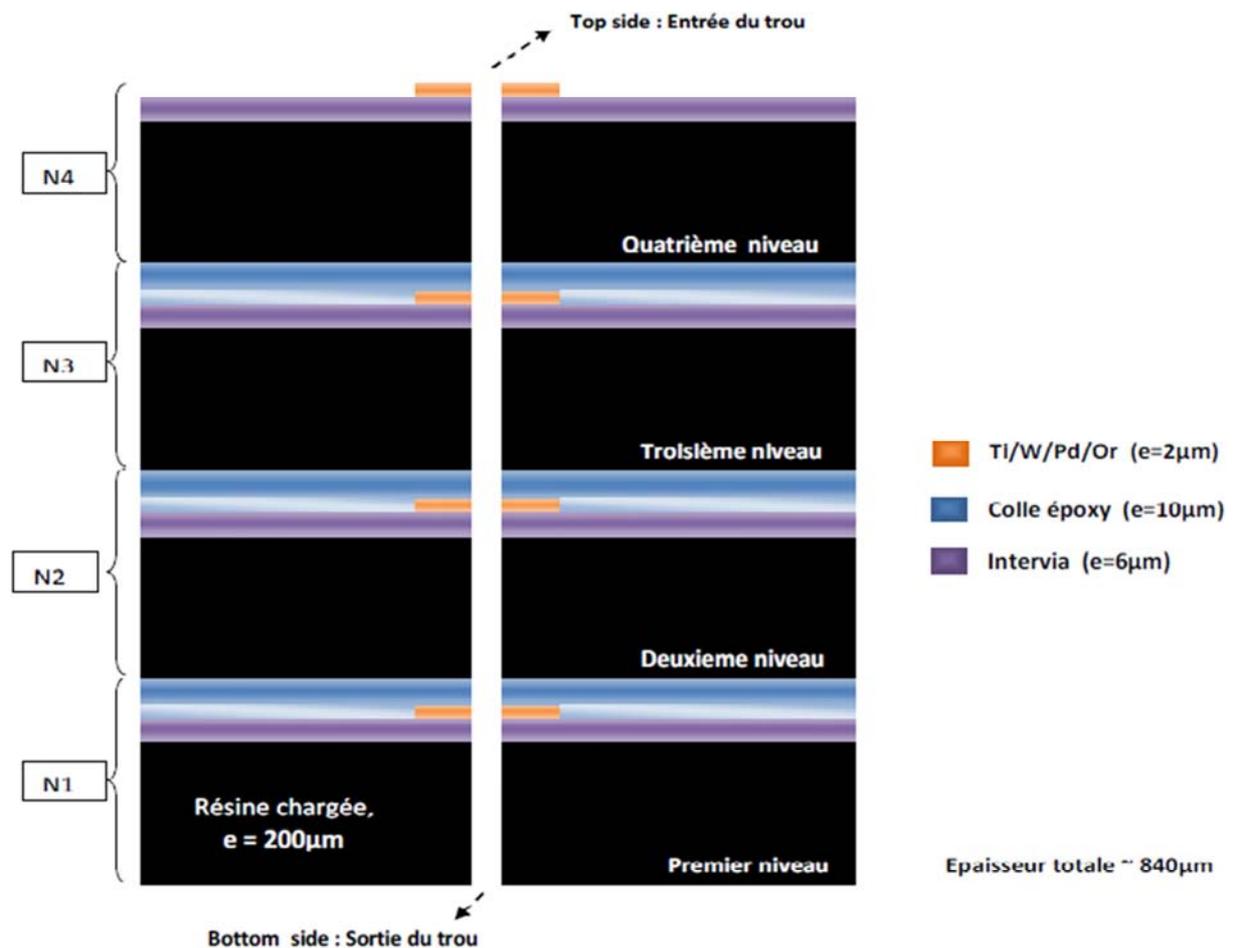


Fig. 2.23: Représentation de la structure à percer

Suite à notre objectif de réaliser des trous de diamètre  $\leq 50\mu\text{m}$ , dans un système hétérogène d'épaisseur 1mm (facteur de forme  $> 20$ ), nous avons choisi d'étudier et d'exploiter la technologie laser. C'est la voie la plus développée et la plus répandue dans le monde, et qui met à disposition une large gamme de sources laser. L'évolution des technologies laser fait qu'elles sont actuellement utilisées dans plusieurs domaines qui vont de la haute technologie médicale (traitement de la rétine humaine) jusqu'à l'usinage mécanique à grande et petite échelle avec des précisions remarquables. Les industries microélectroniques ont commencé à bénéficier des performances des lasers, par exemple dans la technologie des circuits imprimés : le laser a commencé à faire son chemin en remplaçant le foret mécanique pour un perçage plus étroit ( $\text{\O} \text{vias} < 100\mu\text{m}$ ) et plus dense [Raman 1998][Dieter 2001].

### II.3.2 Description technologique

Le principe clé du TPV consiste à réaliser les trous d'interconnexions verticales après l'empilement de tous les niveaux ; pour cela, ils doivent traverser l'ensemble des matériaux empilés. La métallisation de ces trous assure l'interconnexion électrique entre les différentes puces empilées en 3D (Fig.2.24).

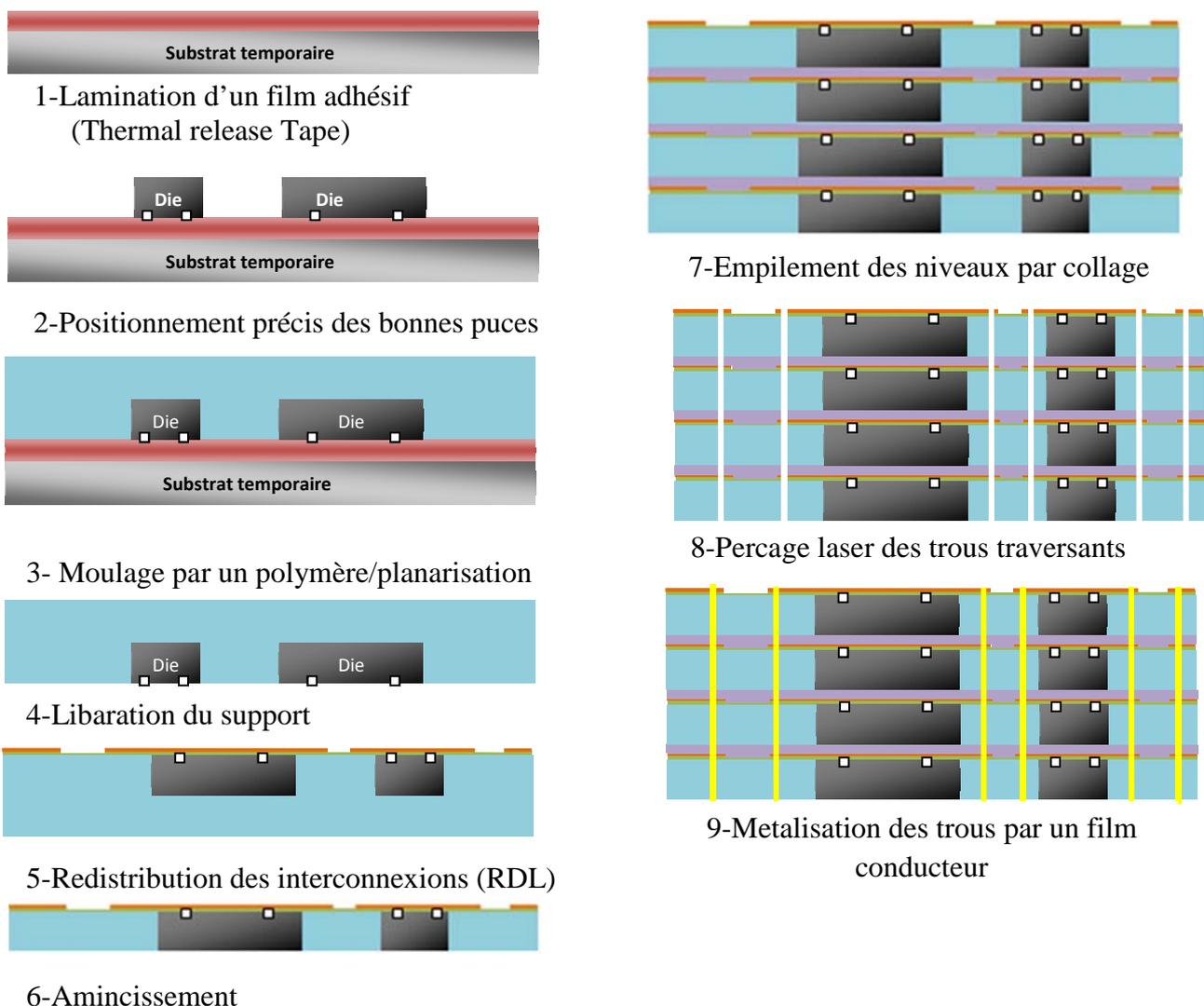


Fig.2.24: Les étapes technologiques du processus TPV

Dans cette partie, nous allons détailler les principales étapes du processus de la réalisation du TPV décrit par la Figure 2.24, grâce à la définition et à la mise en œuvre d'un véhicule test. Celui-ci a été conçu pour détecter et étudier tous les problèmes : verrous technologiques et problèmes physico-chimiques rencontrés dans le processus de réalisation complet des microsystèmes, par la méthode collective 'Wafer Level Packaging'.

La résine utilisée est une résine époxy chargée à 80% de billes de Silice (dénomination commerciale E2517) ; elle est conseillée par la société 3DPLUS eu égard à ses propriétés thermomécaniques telles que  $T_g = 220^\circ\text{C}$  et  $\text{CTE} = 19 \text{ ppm}/^\circ\text{C}$ . Le processus consiste à intégrer, dans chaque plaquette reconstituée, 9 puces NXP (mises à disposition par 3DPLUS), de dimensions  $9\text{mm} \times 5\text{mm}$  et d'épaisseur  $80\mu\text{m}$  ; elles sont traitées, face avant, par un design 'Daisy Chain' afin de tester l'interconnexion des niveaux entre eux par les trous verticaux.

### 1- Positionnement et moulage :

Les principales étapes de la préparation surfacique d'un wafer reconstitué avec des puces 'bonnes' sont résumées en fig.2.25. Le support de placement est un wafer de silicium « carrier » revêtu d'un film collant REVALPHA. Sur le wafer, des motifs de positionnement (mires) ont été réalisés sous la forme d'une couche d'aluminium gravée. On place  $3 \times 3 = 9$  puces, par procédé Flip-chip, en positionnant les puces une à une, à l'aide des deux jeux de mires gravées sur le substrat et sur les puces. Quelques essais préliminaires nous ont permis de définir les paramètres de positionnement (pression  $2\text{Kg}/\text{puce}$  équivalent à  $0,41 \text{ N}\cdot\text{mm}^{-2}$  pendant 20s à la température ambiante) et ainsi de maîtriser le processus avec une précision d'alignement  $< 5\mu\text{m}$  et sans endommagement des puces.

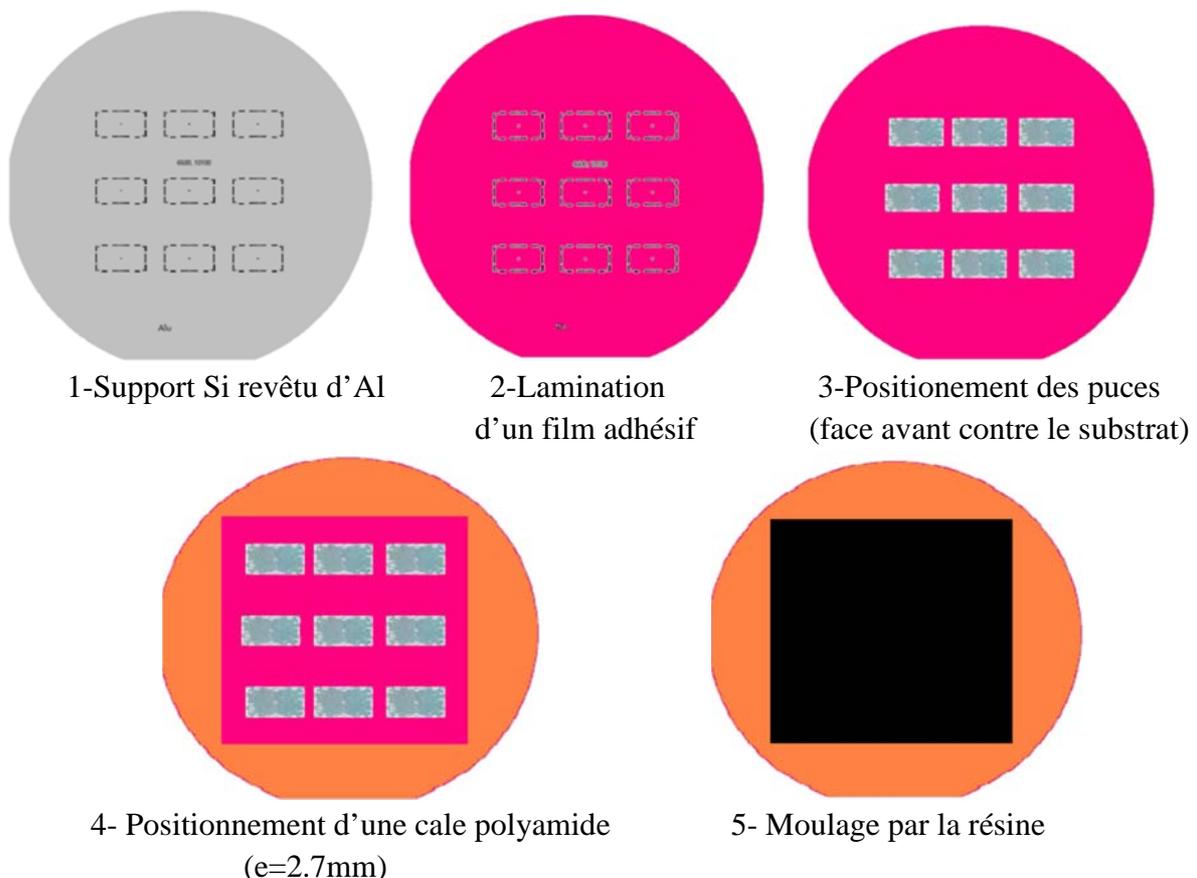


Fig.2.25 : Procédé de la préparation d'un wafer reconstitué

Le processus de moulage se fait par gravitation de la résine via une seringue chauffante à 55°C ; le support à son tour sera mis sur une plaque chauffante à 55°C pour améliorer sa viscosité et l'accrochage de la résine sur le Silicium et le polyimide (cale). Ensuite, l'ensemble est ramené dans une étuve de polymérisation pour deux recuits successifs : un pré-recuit (1h@150°C) suivi par un post-recuit (2h@200°C). Entre les deux, on libère la plaquette de son support en ramenant l'ensemble sur une plaque chauffante à 170°C pour quelques minutes (2 à 3 mn) : c'est le délai pour que le film Revalpha 'thermal release tape' se soit décollé du substrat ; ensuite la plaquette (sans le substrat) sera ramenée pour le deuxième recuit à 200°C.

L'observation de la plaquette, après recuit, montre que :

- les faces actives des puces moulées ne sont pas contaminées, autrement dit : il n'y a pas d'infiltration de la résine sous les puces.
- Les puces se trouvent déplacées, les unes par rapport aux autres, d'une façon aléatoire à +/- 10µm, la distance relative entre les puces n'est plus la même : par conséquent, nous avons perdu nos repères d'alignement pour la suite du processus.

La position des puces ne correspond donc plus aux masques définis pour la métallisation et la redistribution des interconnexions RDL à l'échelle du wafer (figures 2.26 et 2.27). Notre interprétation est que ces déplacements intempestifs sont, principalement, un effet direct de la **polymérisation** qui provoque un **rétrécissement de la matière** au fur et à mesure que les chaînes polymère se forment. Ce rétrécissement est évalué par le fabricant à 1% volumique (Data sheet de la résine E2517).

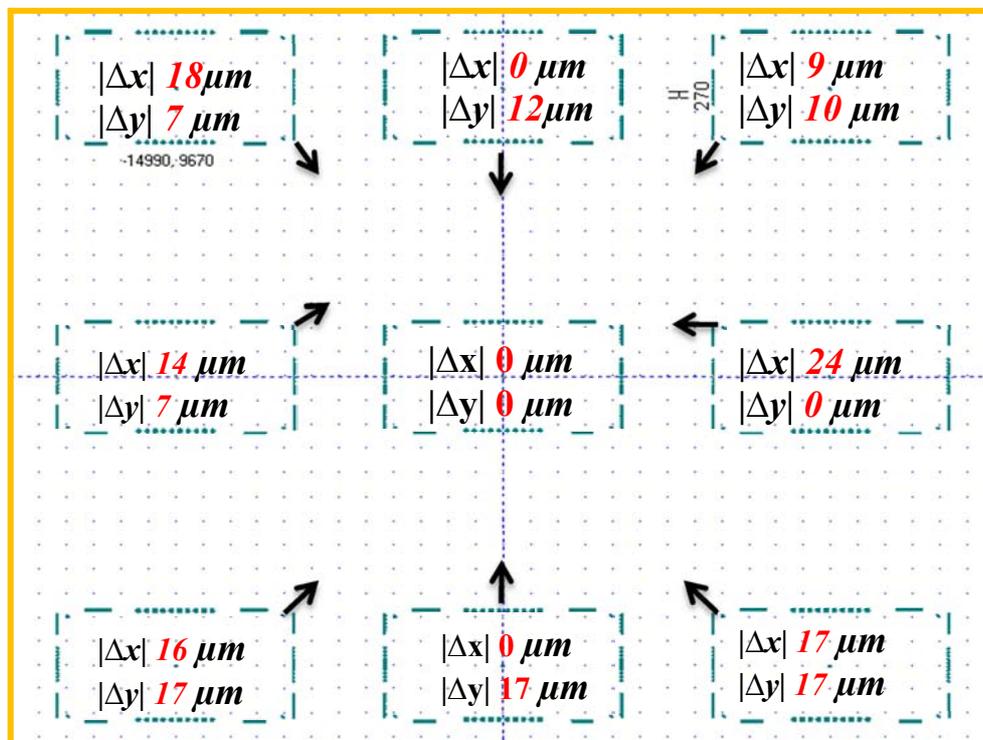


Fig. 2.26 : Dérives des puces après moulage et polymérisation de la résine

On remarque dans la figure 2.26 que les puces bougent vers le centre de la plaquette, ce qui peut être expliqué par le rétrécissement de la résine du moulage.

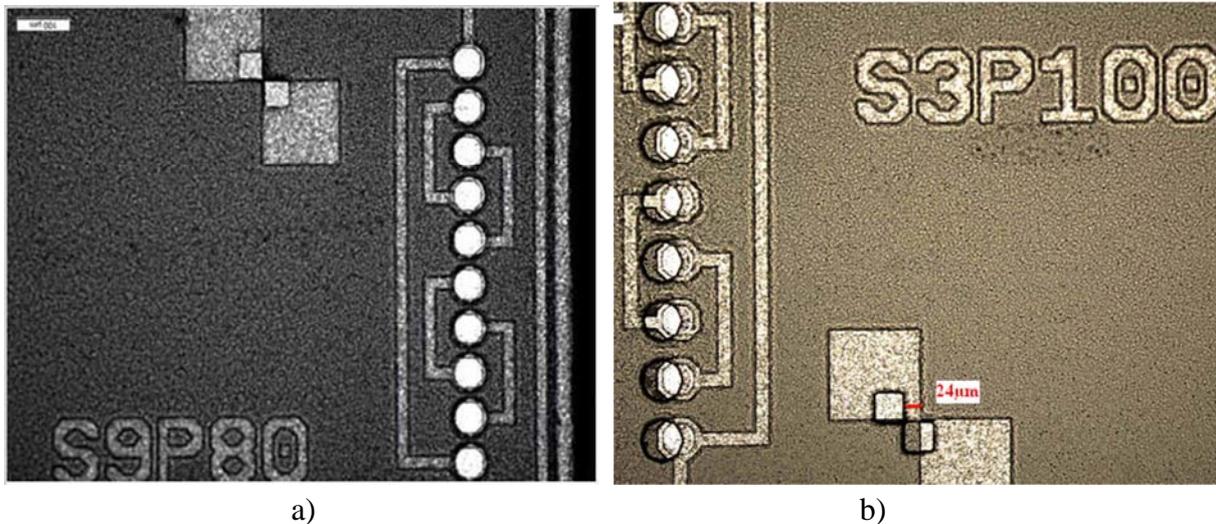


Fig. 2.27 : a) Alignement par rapport de la puce centrale, b) mouvement de la puce périphérique par rapport à sa place de positionnement prévu.

Initialement l'épaisseur de la résine moulée est de l'ordre de 2,7 mm (épaisseur de la cale) ; après une polymérisation de la résine, on planarise la face arrière du wafer reconstitué par un amincissement jusqu'à 1mm. Nous avons remarqué que les distances entre les puces encapsulées continuent d'évoluer en fonction de l'épaisseur de la plaquette. Ceci nous a poussé à caractériser ce phénomène pour mieux comprendre et identifier son origine et le prendre en compte dans le processus global.

	Distance entre 2 puces avant moulage	$\Delta 1$ Après moulage et polymérisation à 1h@150°C	$\Delta 2$ Après polym complète (200°C)	$\Delta 3$ Après Aminci. (1.7mm)	$\Delta 4$ Après Aminc. (500µm)
X-W1	<b>33 mm</b>	<b>-39 µm</b>	<b>-42 µm</b>	<b>-35 µm</b>	
Y-W1	<b>29 mm</b>	<b>-56 µm</b>	<b>-71 µm</b>	<b>-59 µm</b>	
X-W2	<b>33 mm</b>	<b>-75 µm</b>	<b>-42 µm</b>	<b>-43 µm</b>	<b>-32 µm</b>
Y-W2	<b>29 mm</b>	<b>-63 µm</b>	<b>-42 µm</b>	<b>-39 µm</b>	<b>-36 µm</b>
X-W3	<b>33 mm</b>	<b>-70 µm</b>	<b>-42 µm</b>	<b>-42 µm</b>	
Y-W3	<b>29 mm</b>	<b>-53 µm</b>	<b>-45 µm</b>	<b>-50 µm</b>	

Tab 2.3 : Variations de la distance entre deux puces périphériques après moulage et amincissement (épaisseur initiale de la plaque : 2,7 mm).

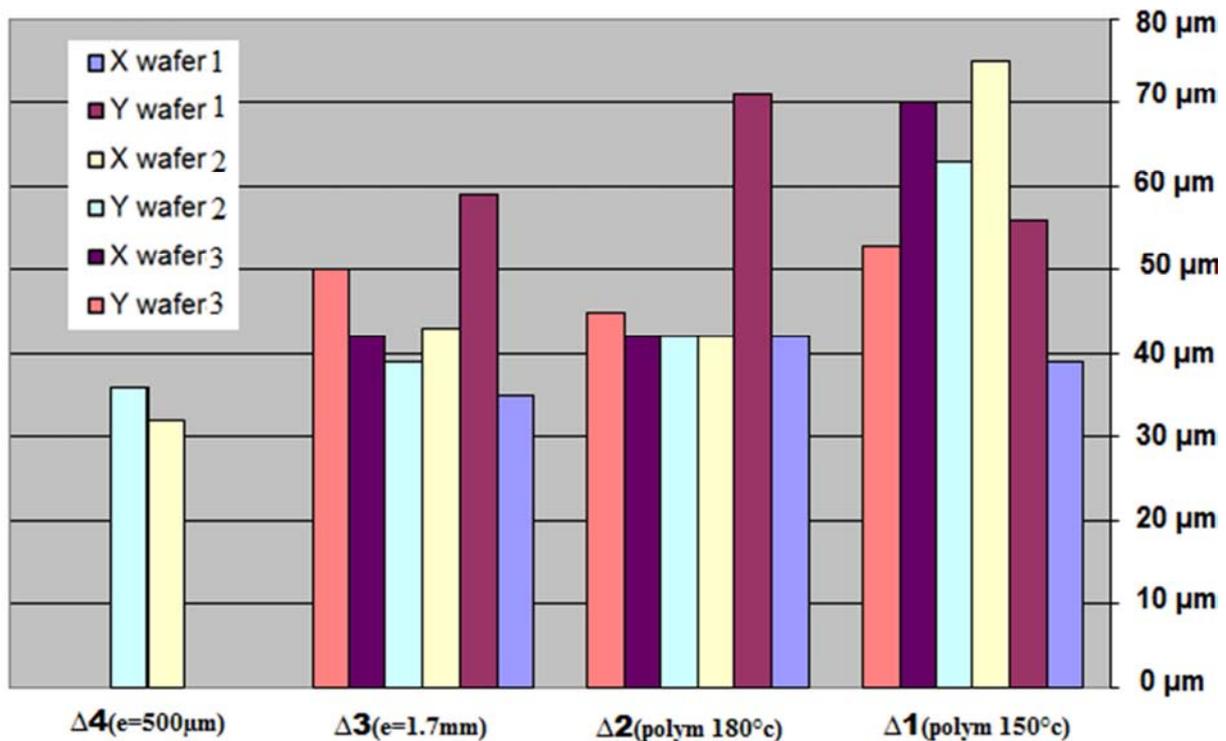


Fig. 2.28 : Graphique représentatif de l'évolution du mouvement des puces en fonction de la polymérisation et l'avancement d'amincissement de la plaquette reconstituée.

Les mesures de dérives des puces et leur évolution (Tab.2.3) avec l'amincissement de la plaquette reconstituée sont illustrées par la figure 2.28. On remarque que la distance entre deux puces varie avec les étapes technologiques de polymérisation ( $\Delta 1$ ,  $\Delta 2$ ) et d'amincissement ( $\Delta 3$ ,  $\Delta 4$ ).

Donc, la dérive des puces dans la résine est un problème fondamental qui impacte l'évolution de notre processus à l'échelle du wafer. Quelques entreprises affirment avoir franchi ce problème comme Free-Scale USA, mais sans donner d'explications supplémentaires. De notre côté, on traitera ce phénomène plus en détails, dans le troisième chapitre.

Pour la poursuite de nos travaux, avec l'accord de 3DPLUS, nous avons considéré que les dérives des puces est un problème qui pourra être résolu et nous avons passé aux étapes suivantes.

## 2- Les interconnexions RDL

La redistribution des pistes d'interconnexions (RDL) est une étape centrale de toutes les techniques d'assemblages et d'encapsulations qui sont en cours de développement. Le processus de réalisation d'une couche métallique de base (dite 'Seed Layer') est l'élément obligatoire le plus critique pour les raisons suivantes :

- le métal doit adhérer sur des matières différentes (métal et diélectrique)
- Il doit assurer une bonne conductivité électrique et une faible résistance de contact avec les plots des puces
- Il faut qu'il résiste à l'oxydation pour éviter l'apparition d'une couche isolante à sa surface ainsi qu'à l'interface avec le métal des plots de connexions sur les puces

(surtout avec l'augmentation de la température pendant le fonctionnement de la puce), pour minimiser les résistances de contact.

- Il doit assurer évidemment la continuité de dépôt entre les plots de la puce et la surface du diélectrique avec un facteur de forme convenable : le dépôt de cette couche devrait avoir une bonne adhérence aux flancs des cavités du diélectrique au niveau de chaque plot.
- Une faible tension de stress (métal /diélectrique) qui dépend principalement de la température et des différents paramètres de dépôt.

Le processus le plus avancé du packaging utilise le procédé technologique PVD « Physical Vapor Deposition », assisté par plasma. Ce processus est aujourd'hui de plus en plus répandu dans le monde industriel : le métal validé industriellement, généralement utilisé pour un Seed Layer par PVD est un matériau composé de Titane (10%) et de Tungstène. Le tableau 2.4 montre quelques exemples de l'utilisation du titane-tungstène, dans différentes applications industrielles [KEIGLER 2001].

PVD film stack	Application	Typical thickness
TiW-Au	Gold bump UBM	TiW (3000Å) – Au(1000Å)
Ti - Cu TiW - Cu	-Solder bump seed layer (Ni or thick Cu UMB plated on top). -RDL seed layer -Integrated passives seed layer	Ti (100 - 300Å) – Cu(2000 - 5000Å)
Ti - Al	Aluminium RDL	Ti (100 – 300Å) – Al(2-3 µm)
Ti-NiV-Cu Ti(W)-Ni	-Ball drop UMB -C4NP	-Ti (1000-2000Å) – NiV (2000-4000Å) –Cu (4000- 8000Å) -Ti(W) (1000 – 2000Å) – Ni (1-2 µm)

Tab.2.4: Utilisation du Ti et de TiW dans différentes applications

Le Titane et récemment le Tantale sont bien connus pour leur adhérence aux métaux, en raison de leur forte affinité pour l'oxygène. Par conséquent dans certaines applications, le transfert d'électron entre le Titane et l'oxygène de la surface du diélectrique (Intervia) crée la couche de la liaison d'oxyde de Titane, ce qui offre une forte adhérence entre la couche de Titane et le diélectrique.

Plusieurs étapes de préparation, avant le dépôt PVD d'un «Seed Layer», sont nécessaires pour améliorer l'adhérence sur le diélectrique ainsi que sur les plots métalliques des circuits intégrés :

- Une étape de dégazage, appliquée par exposition de la structure à un éclairage infrarouge, pour éliminer l'eau adsorbée sur le matériau diélectrique,
- un pré-traitement (pre-clean etch) de la couche passive d'oxyde d'Aluminium qui se forme naturellement à l'air sur les plots d'Aluminium des puce: cette étape consiste à attaquer l'oxyde, par un plasma Argon 'Sputter-etch Ar', à une tension de polarisation, autour de 600 V. Cette étape améliore également l'adhérence du métal sur le diélectrique en augmentant sa rugosité.



Fig.2.29 : Illustration de la constitution de la couche métallique RDL

Le titane déposé simultanément avec le Tungstène pour assurer une meilleure adhérence du film TiW ne constitue généralement que 5 à 7 % de la masse du film TiW déposé par PVD : les propriétés de ce film sont donc plutôt dominées par le tungstène qui crée une barrière de diffusion intermétallique et empêche :

- la diffusion d'oxygène vers le plot d'aluminium des puces et par conséquent, limite la création d'alumine avec l'augmentation de la température pendant le fonctionnement du système. Le Tungstène s'oxyde rapidement : on utilise donc un métal noble comme l'Or ou le Palladium, comme couche de finition de la Seed Layer TiW dans le même bâti PVD que le TiW, pour empêcher la génération d'oxyde de Titane et de Tungstène.
- la diffusion des métaux de recharge électrolytique de surface dans le « seed layer » même, ce qui garde une forte adhésion du TiW sur les pads métalliques autant que sur le diélectrique, sinon, l'adhérence sera dégradée proportionnellement avec l'augmentation de la diffusion des métaux de surface dans la couche d'adhérence TiW.
- la diffusion des métaux de la surface dans le diélectrique (spécialement le cuivre), ce qui dégrade progressivement l'adhérence (diélectrique/métal) et contribue fortement à des phénomènes de couplage électromagnétique, car la diffusion des particules métalliques dans le diélectrique augmente considérablement sa constante diélectrique.

Une seconde exigence de cette barrière est qu'elle doit réaliser un film continu, ce qui exige une couche PVD pour un facteur de forme donné : le processus de dépôt PVD doit être contrôlé de façon à assurer un film TiW continu, sans que ce film soit contracté ou brisé en raison de la présence des contraintes durant le dépôt. La Figure 2.30 montre l'évaluation du stress dans le film TiW en fonction de la température du dépôt.

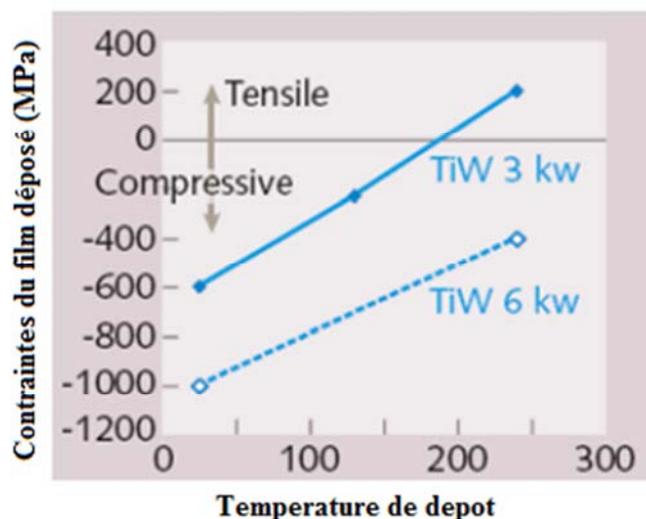


Fig. 2.30: Graphe des contraintes d'un film TiW en fonction de la température et de la puissance de dépôt à une pression de 9 mTorr.

Dans les couches RDL que nous avons réalisées, la difficulté de prendre le contact sur les pads Aluminium vient de la présence d'une couche isolante en surface (quelques nanomètres d'Alumine) qu'il convient d'éliminer... En fait, nous avons observé qu'il y a un équilibre à trouver entre l'élimination d'alumine et la présence d'oxygène de l'alumine qui favorise l'adhérence du TiW. Notre objectif était d'avoir une résistance de contact (Fig.2.31) plus petite que 50mΩ en évitant la création d'une couche isolante d'oxyde du Tungstène : nous avons protégé la couche TiW par un métal résistant à l'oxydation (Or, Palladium, Platine,..), et optimisé la gravure chimique de ce matériau, pour la recharge électrolytique.



Fig.2.31 : Illustration schématique de la prise de contact avec le plot d'une puce.

Toutes les opérations de :

- 1) plasma Argon,
- 2) Dépôt de TiW,
- 3) Dépôt d'un métal noble,

doivent être réalisées successivement par PVD sous vide, dans la même machine.

A noter que dans la mise en œuvre, la machine PVD sous vide disponible au LAAS, n'avait pas encore de cible Palladium, mais elle disposait de la cible de Tantale, qui rassemble les caractéristiques de deux métaux Ti et W (affinités d'adhérence du Titane et dureté / Barrière du Tungstène) ; de plus le Tantale est un métal bon conducteur d'électricité ( $7,9 \cdot 10^6 \text{ s.m}^{-1}$ ).

Dans un premier temps, nous avons étudié et caractérisé la vitesse de gravure de l'alumine en fonction des différents paramètres du plasma Argon et l'effet de ce dernier sur la couche diélectrique. Des plots carrée  $5 \times 5 \text{ mm}^2$  d'aluminium et d'épaisseur  $2 \mu\text{m}$  ont été réalisés par PVD (procédé Lift Off) sur la totalité de la surface d'un wafer Silicium 4 pouces. La caractérisation de l'épaisseur d'alumine éliminée par chaque opération plasma 'etching Argon' est obtenue par la mesure de l'épaisseur restante. Les résultats de traitement des plots d'interconnexions des puces NXP sont regroupés sur le graphe de la figure 2. 32.

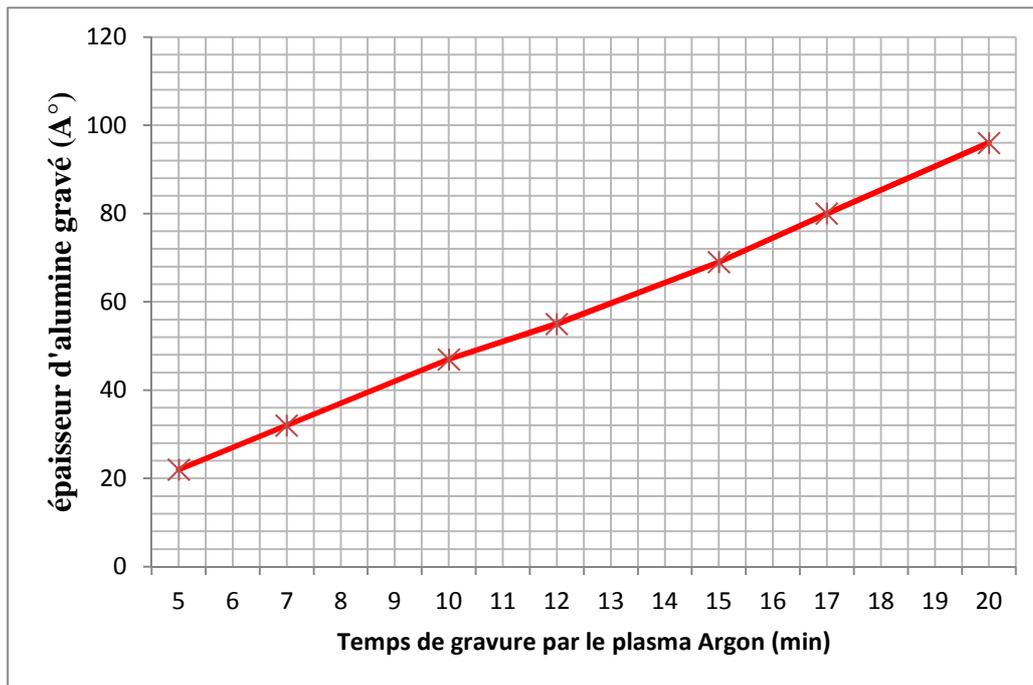


Fig. 2.32: Courbe donnant l'épaisseur d'alumine gravée en fonction du temps d'attaque par un plasma Argon à 10 mbar et une polarisation de 600V.

Ces résultats montrent que la vitesse moyenne de gravure de l' $\text{Al}_2\text{O}_3$  est de  $5 \text{ A}^\circ/\text{min}$ . Ainsi, nous avons pu traiter la couche d'oxyde des plots aluminium en fixant le temps d'attaque à 15 min, ce qui nous permis de graver une épaisseur de  $70 \text{ A}^\circ$ . Par conséquent, la prise de contact sur les plots des puces traitées par ce processus pourra présenter une faible résistance de contact ( $<50 \text{ m}\Omega$ ) ; c'est pourquoi nous avons retenu ce processus de traitement.

Avec ces paramètres, le profil du diélectrique utilisé comme couche de passivation RDL, se trouve très légèrement modifié (rugosité de quelque nm), ce qui n'impacte pas notre processus de traitement par plasma.

Suite à cette étape, nous avons appliqué le procédé standard, calibré sur notre machine et qui correspond à un dépôt de  $500 \text{ A}^\circ$  de Tantale puis  $5000 \text{ A}^\circ$  de Cuivre. La couche d'oxyde de cuivre qui se forme spontanément à l'extérieur du bâti de la métallisation sera enlevée dans le bain de recharge électrique où le cuivre électrochimique viendra se déposer avec une épaisseur de  $5 \mu\text{m}$  pour former les pistes d'interconnexions.

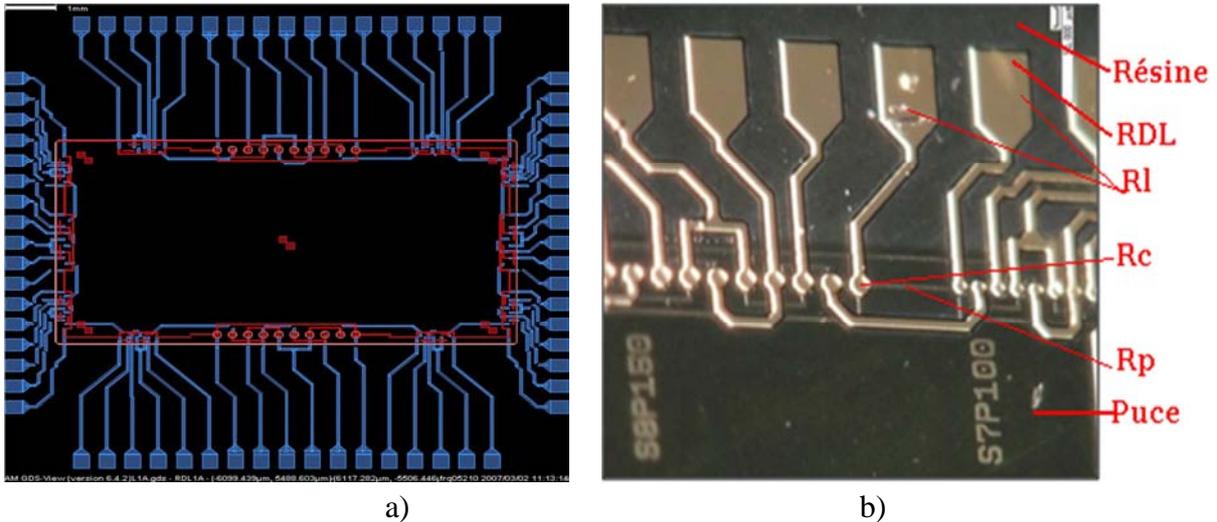


Fig. 2.33 : a) Design de redistribution des interconnexions vers les bords de la puce. En rouge : le 'Daisy Chain' des puces ; en bleu : design 'RDL', b) exemple typique du 'RDL' réalisé.

On rappelle que l'objectif du RDL consiste à ramener les connexions de la puce vers le bandeau de la résine qui l'entoure (Fig.2.33). Le point le plus critique dans ce processus, est la prise de contact (Rc) au niveau des plots de la puce : la résistance de contact RDL/plot doit donc être la plus faible possible ( $R_c < 50m\Omega$  dans notre application).

Ainsi qu'on peut le voir sur la figure 2.34, la caractéristique de la métallisation RDL dépend principalement de la valeur de Rc. A partir des valeurs mesurés des résistances (R-TOTAL, RL, RP), nous avons calculé la valeur de Rc à chaque point de contact puce/RDL suivant l'équation suivante :

$$R\text{-TOTAL} = 2R_c + 2R_L + R_p \quad (\text{Eq.2.1})$$

Où:

R-TOTAL: résistance totale mesurée entre les deux points A et D

Rc : résistance de prise de contact du RDL avec les plots de la puce (points B et C)

RL : résistance mesurée d'une ligne de la métallisation RDL (AB, CD)

Rp : résistance mesurée d'une ligne d'interconnexions de la puce (BC).

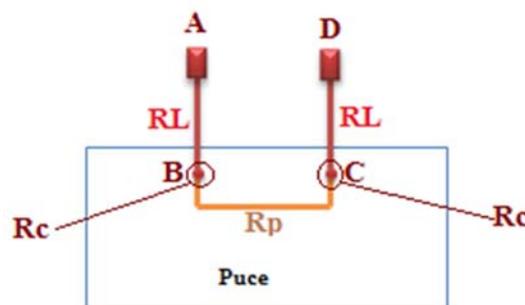


Fig.2.34: Représentation schématique de différentes résistances de connexion puce/RDL.

Le tableau ci-dessous représente les mesures des résistances et les valeurs calculées de Rc sur un de nos échantillons.

Daisy Chain	R-Totale ( $\Omega$ )	R-Puce( $\Omega$ )	R-Ligne RDL( $\Omega$ )	R-Contact ( $\Omega$ )
S1P80	1.48	0,50	1.37	< 0
S2P150	1.28	0,80	0.74	< 0
S3P100	1.84	0,50	0.89	0.45
S4P80	1.42	0,50	1.24	< 0
S5P300	2.33	1,50	0.84	< 0
S6P80	1.45	0,50	0.93	0.02
S7P100	2.06	0,70	0.9	0.46
S8P150	1,37	0,90	0.61	< 0
S9P80	2.23	0,50	0.97	0.43
S10P100	1.64	0,60	1.36	< 0
S11P300	2,19	1,60	0.74	< 0
S12P100	1.34	0,60	1.04	< 0

Tab. 2.5 : mesure des résistances sur une des puces pour une couche RDL réussie.

Comme on peut le constater sur la dernière colonne, l'objectif d'obtenir un  $R_c < 50 \text{ m}\Omega$  /plot est largement obtenu, mais ce qui impacte nos essais de laboratoire est un trop faible rendement des RDL réussies (3/10). Certaines plaquettes défectueuses présentent des résistances de contacts relativement élevées (de l'ordre du  $\text{K}\Omega$ ), ce qui peut être dû aux processus de prétraitement, à la courbure des wafers après amincissement (2 à 3 mm de courbure) car le porte-wafer de la machine de métallisation n'est pas équipé d'un système d'aspiration pour tenir les wafers à plat.

Nous considérons ici avoir montré la faisabilité des couches RDL : la question du rendement pourra être traitée pendant l'industrialisation du processus.

### 3- Amincissement des plaquettes

Cette opération consiste à ramener l'épaisseur de la plaquette aux environs de  $100 \mu\text{m}$  ; on procédera en deux étapes :

- 1- un pré-amincissement et une planarisation (avec une rectifieuse à 3DPLUS) sont réalisés dès l'achèvement du processus de polymérisation complète de la résine : cette étape avant le procédé RDL réduit l'épaisseur de la plaquette de 2,7 mm jusqu'à 1 mm.
- 2- Un amincissement après RDL : la résine E2517 constituant nos plaquettes est chargée avec des billes de silice de dimensions moyennes :  $70\mu\text{m}$ , avec une distribution hétérogène dans la matrice époxy. A cause de la dimension des billes, nous avons dû limiter le travail d'amincissement à  $135 \mu\text{m}$  ( $2 \times 70\mu\text{m}$ ), pour ne pas endommager la tenue mécanique de la résine qui représente plus de 80% du volume total de la plaquette.

Les premiers tests d'amincissement, après RDL, ont été réalisés avec la meule disponible au LAAS utilisée pour amincir le Silicium: cette meule s'use très vite pendant l'amincissement de nos plaquettes de résine (2 plaquettes/meule) : nous avons donc remplacé la meule (G&N D7K) par une autre (G&N D46K) qui correspond mieux au traitement de verre (Silice), avec une rugosité de l'ordre de 0,1 $\mu$ m (Tab.2.6).

Ref. (meule)	Metal ( $\mu$ m)	Alu	Ceramic ( $\mu$ m)	Al <sub>2</sub> O <sub>3</sub> ( $\mu$ m)	Glass ( $\mu$ m)	Si ( $\mu$ m)
D7K	0.005				0.002	0.016
D46K	0.009-.002		0.08-0.2	0.28-0.35	0.0760.13	0.1-0.25

Tab. 2.6 : Rugosité d'amincissement de quelques matériaux par deux meules différentes (Grinder, G&N).

Les tests d'amincissements ont été faits sur des plaquettes brutes de résine moulée dans une cale polyamide (ARLON 35) sans intégrer les puces pour valider le processus et définir les paramètres d'usinage. Une fois les paramètres réglés, nous avons fait passer nos plaquettes 4 pouces avec des puces métallisés 'RDL' ; le wafer est plaqué face avant directement contre le support de la machine. Cette opération d'amincissement occasionne des dommages aux pistes RDL (Fig. 2.35), ce qui a nécessité d'utiliser une protection par une couche d'épaisseur 20 $\mu$ m d'une résine soluble à l'acétone.



Fig.2.35 : Photo montrant l'endommagement des pistes RDL non protégées pendant l'amincissement

Le procédé finalement retenu pour l'amincissement des plaquettes à une épaisseur de 135 $\mu$ m en utilisant la machine G&N (MPS 2R300) est le suivant :

1. Rotation meule : 2500 tr/min
2. Rotation Chuck : 9 tr/min
3. Vitesse de descente (meule) : 10 $\mu$ m/min (dernier 100 $\mu$ m à 5 $\mu$ m/min)
4. H<sub>2</sub>O DI : Débit 4 l/min ; pression : 4bar
5. Sparkout time : 3min (à 135 $\mu$ m)

Les mesures répétées plusieurs fois montrent que la courbure de la plaquette augmente avec l'avancement d'amincissement ; ceci peut être expliqué comme une manifestation progressive des contraintes résiduelles de l'assemblage (résine/calé) en fonction de l'épaisseur. Pour éviter cet effet on suggère de libérer (par découpe) la partie résine de sa cale avant de les amincir.

#### 4. Assemblage des niveaux

Une fois les wafers reconstituées et les étapes de redistribution des pistes d'interconnexions et d'amincissement franchies, l'opération suivante sera le passage à l'empilement des puces afin de les interconnecter via des trous métallisés traversant placés à proximité des CI.

##### → Alignement et empilement

L'empilement des niveaux se fait par le dépôt d'une couche de  $10\mu\text{m}$  de colle époxy sur la plaquette 'P' face avant et en positionnant la plaquette 'P+1' toujours face avant vers le haut ; l'alignement des deux plaquettes se fait grâce à des mires virtuelles sur un écran de vision. Un dispenseur volumique contrôlant la quantité de la colle à déposer en fonction de la surface de la plaquette reconstituée, la polymérisation de la colle se fait ensuite dans une étuve  $1\text{h}@125^\circ\text{C}$  suivie de  $1\text{h}@180^\circ\text{C}$ .

Récemment, 3DPLUS a fait développer et fabriquer chez un fabricant suisse spécialisé dans le domaine, une machine dédiée spécialement au collage des wafers reconstitués amincis avec une précision d'alignement  $< 5\mu\text{m}$ . Cette machine qui manipule des plaquettes 12 pouces a été conçue et installée dans l'entreprise dans la perspective proche de monter une ligne de production TPV 12 pouces. Or les plaquettes d'étude, traitées au LAAS, sont de dimensions 4 pouces, ce qui n'est pas compatible avec un alignement et un empilement réalisés dans la nouvelle machine (wafer stacker).

La stratégie adoptée pour notre projet était de traiter et valider la majorité des étapes en parallèle : l'étape d'alignement et d'empilement des wafers reconstitués hétérogènes à l'échelle 12 pouces a déjà été réglée et validée chez le fabricant de la machine, travail suivi concrètement par l'équipe R&D de 3DPLUS. Nous avons donc pu passer à l'étape suivante qui est le perçage des trous micrométriques traversant verticalement l'ensemble des couches empilées et la métallisation de ces trous. On ne s'est pas intéressé à la précision d'alignement dans le processus d'empilement de nos plaquettes 4 pouces, ce qui reste une étape difficile d'autant que les puces de nos plaquettes dérivent l'une par rapport à l'autre ; le seul choix accessible dans le timing de notre projet était de faire l'empilement de plusieurs niveaux sur la machine Tresky de 3DPLUS. Cette machine ne peut manipuler que des composants de dimensions millimétriques : nous avons donc découpé nos plaquettes en format puce unitaire pour faire l'empilement de 4 à 5 niveaux des puces avec RDL afin de pouvoir étudier le cœur de notre procédé TPV : réaliser et métalliser les trous d'interconnexions verticales.

##### → Perçage des trous par laser

L'objectif défini dans le cahier des charges TPV est de réaliser des trous traversant verticalement l'intégralité de la structure (Fig. 2.23) par la technologie de perçage laser. Ces trous qui seront réalisés à proximité ( $\sim 150\mu\text{m}$ ) du circuit intégré doivent être de diamètre  $\leq 50\mu\text{m}$  avec un pas  $\leq 100\mu\text{m}$  sur deux rangées décalées l'une par rapport à l'autre. On envisage quatre niveaux de puces alignées et enrobées dans  $\sim 800\mu\text{m}$  de résine. Le **laser** à impulsions doit percer l'ensemble de couches empilées. Des travaux antérieurs chez 3DPLUS avaient déjà montré la faisabilité des trous à travers l'ensemble des matériaux : résine chargée de Silice, métal, diélectrique et la colle assemblés dans 1mm d'épaisseur.

Le laser utilisé par 3DPLUS était une source UV 355nm de puissance 4W, avec une fréquence de répétition des impulsions allant de 5KHz jusqu'à 50KHz. Le paramétrage de la

source laser est un élément principal dans le processus du perçage ; les principaux paramètres à définir sont :

1- fréquence de répétition des impulsions laser :

L'expérience montre que la précision du perçage se dégrade avec l'augmentation de la cadence du tir : pour une cadence élevée (>30KHz) la résine , (de faible coefficient de conductivité thermique ( $0.2 \text{ Wm}^{-1}\text{K}^{-1}$ ), se trouve incapable de dissiper facilement l'énergie déposée et sa température s'élève rapidement, ce qui augmente la grandeur de la zone affectée thermiquement.

2- nombre d'impulsions par trou :

Un certain nombre d'impulsions sont nécessaires pour assurer des trous débouchants ; ce paramètre peut réduire la conicité. Dans notre expérience, la plus faible valeur de conicité obtenue correspond à un nombre de tirs de 11K impulsions/trou.

3- puissance du faisceau laser :

Nous avons utilisé le maximum de la puissance que peut fournir la machine soit 4W ( 95% de la puissance nominale)

4- position du l'échantillon (en Z) par rapport au plan focal de la lentille laser :

nous avons focalisé le faisceau laser sur la surface, au dessus et au milieu de l'échantillon, le mieux étant de focaliser à la surface de l'échantillon.

Plusieurs tests d'optimisations des paramètres laser nous ont permis d'obtenir des trous de diamètres entrée/sortie = 80/60 $\mu\text{m}$  à 5 $\mu\text{m}$  près, ce qui ne correspond pas à la norme du TPV (trou de diamètre 50 $\mu\text{m}$ ). La ZAT (Zone Affecté Thermiquement) autour de chaque trou est relativement importante (~50 $\mu\text{m}$ ) ; en outre, les ouvertures des trous après perçage n'ont pas une forme géométrique claire (Fig. 2.36) ce qui rend difficile une mesure précise du diamètre.

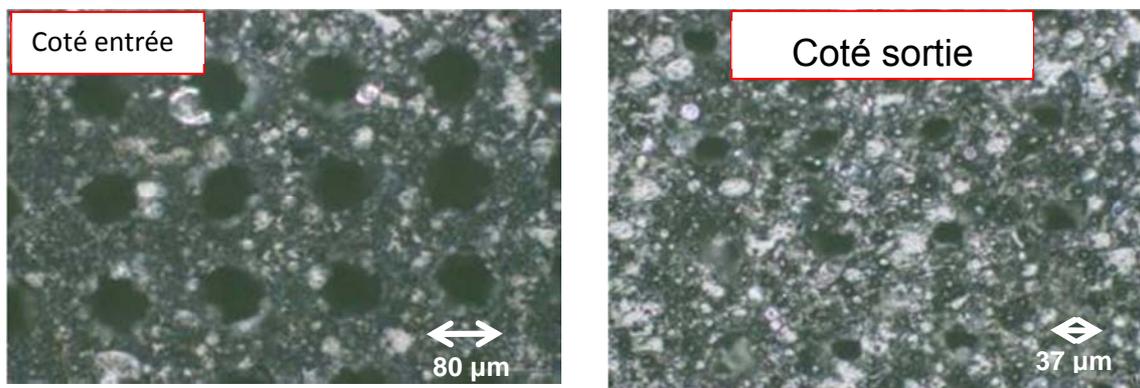


Fig. 2.36 : Photos montrant des trous réalisés par un laser UV 355nm dans la résine E2517 chargée des billes de Silice de diamètre moyen 70 $\mu\text{m}$ .

Des tests supplémentaires nous ont permis d'approcher et de regarder de près le phénomène d'interaction laser/matériaux, les limites et les problèmes dans le processus du perçage, afin d'avancer dans le traitement de ces effets dans les processus à venir. Les plupart de ces tests ont été réalisés dans 1mm de résine E2517 brute (pas de colle ni de métal ni de diélectrique) car la résine constitue plus de 80% du volume totale de la structure. Nous avons ainsi pu constater que l'intégration des différentes couches du TPV dans la structure n'impacte pas le processus de perçage défini pour la résine brute. Pour cette raison, dans la suite de nos expérimentations, nous avons travaillé à étudier et à valider un procédé de perçage dans 1mm de résine chargée de Silice.

Ce processus du perçage laser est donc un des points difficiles de notre projet ; il sera traité en détail dans les chapitres suivants.

### → Métallisation des trous

Une fois les trous réalisés à travers l'ensemble des couches, leur métallisation doit assurer l'interconnexion électrique verticale entre les différents circuits intégrés empilés du système. Cette opération à réaliser dans des trous ayant un facteur de forme élevé ( $> 20$ ), est un vrai challenge encore non-résolu. Il faut assurer la liaison électrique, c'est-à-dire faire en sorte que le métal dans les trous adhère sur plusieurs types de matériaux : résine chargée, colle, diélectrique. L'adhérence doit être bonne avec les pistes métalliques horizontales à chaque niveau (Fig.2.23), afin de minimiser la résistance du contact électrique dans les interconnexions.

3DPLUS a développé et validé un processus de métallisation chimique (electroless) dans la fabrication des modules 3D fonctionnelles. Ces modules ressemblent par leur structure à celle du TPV sauf que la métallisation chimique d'interconnexions verticales se fait au bord de la structure (Fig.2.37-b), ce qui n'est pas le cas du TPV où on doit métalliser des trous de faible diamètre, avec un facteur de forme élevé 20 (Fig. 2.37-a).

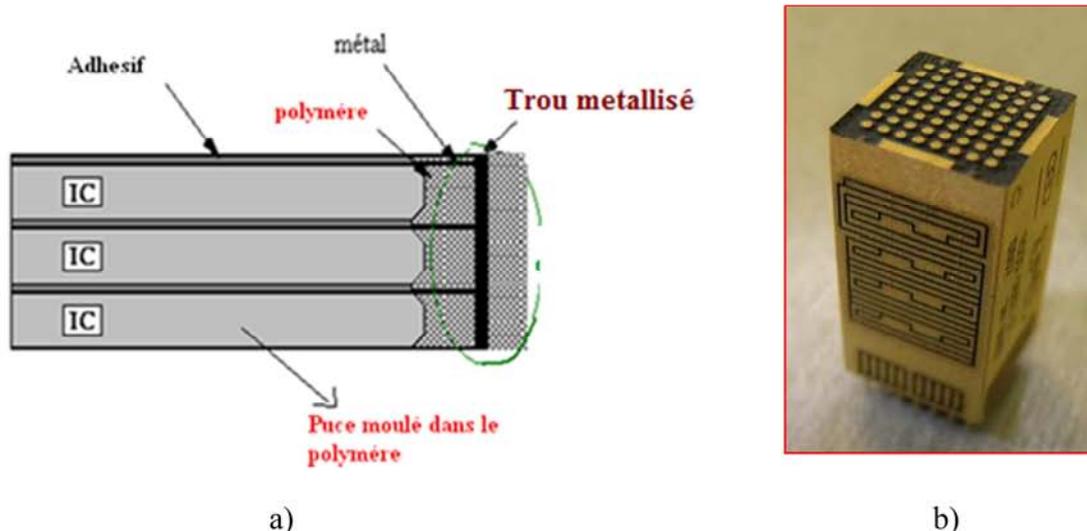


Fig. 2.37 : a) Illustre de la difficulté de la métallisation des trous TPV par rapport à d'autres technologies où la métallisation se fait aux bords des modules, b) module fonctionnelle métallisée aux bords (3DPLUS).

La métallisation chimique a fait l'objet de nombreuses recherches et développements, elle est actuellement très répandue dans l'industrie électronique et notamment pour réaliser les interconnexions dans la technologie PCB. En effet, les revêtements à base de nickel chimique (notamment Nickel Phosphore NiP) présentent une excellente résistance à l'usure et une dureté importante. De plus, d'un point de vue pratique, il est possible d'obtenir des épaisseurs de dépôt régulières indépendamment de la géométrie et de la complexité de la pièce. Les dépôts de nickel chimique adhèrent correctement au substrat plastique (PCB et autre) et sur la résine chargée en Silice déjà utilisée dans les technologies de production à 3DPLUS. L'adhérence dépend principalement de l'état de surface (en particulier la rugosité) des modules. L'electroless est une méthode simple, rapide, collective et à très faible coût relatif, souvent une couche d'Or électrochimique de  $1.5\mu\text{m}$  est déposée par-dessus le Nickel comme couche de protection anti corrosion. La procédure de métallisation « electroless », est fournie

par les fabricants de ces bains commerciaux, tout en gardant confidentielle la composition du bain du dépôt métallique.

Voici les 4 étapes séquentielles de la procédure « electroless » appliquée industriellement (data sheet : ROHM&HAAS):

- 1- Bain de dégraissage (soude)
- 2- Bain de nettoyage
- 3- Bain de fonctionnalisation de la surface.
- 4- Bain du dépôt métallique (~55°C)

Dans un premier temps nous avons caractérisé l'adhérence et la résistivité des métallisations chimiques sur la résine E2517 : pour ce faire, nous avons défini le design de la Fig. 2.38, pour une mesure 4 pointes. Avant métallisation, nous avons traité la surface des échantillons par rodage mécanique avec une poudre de carbure de silice, pour avoir une rugosité de ~ 3,5µm.

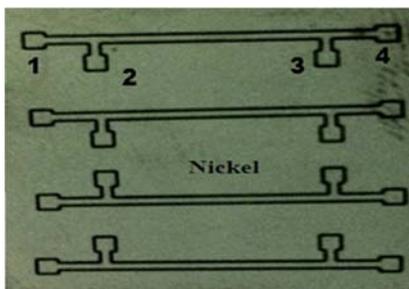


Fig.2.38 : Lignes (L=1cm ; l= 450µm) gravées par un laser UV (355nm) pour des mesures 4 pointes de résistance.

Bain electroless	épaisseur déposée	R de ligne (1cm)	$\rho$ mesurée ( $\Omega.m$ )	$\rho$ Data Sheet ( $\Omega.m$ )
NiP (1 – 3 %)	2.2 µm	4.55 $\Omega$	4.5x10 <sup>-7</sup>	3x10 <sup>-7</sup>
NiB (0.2 – 1%)	1µm	2.9 $\Omega$	1.5x10 <sup>-7</sup>	2x10 <sup>-7</sup>
Cu chimique	2.24 µm	170m $\Omega$	~ 22x10 <sup>-9</sup>	17x10 <sup>-9</sup>

Tab.2.7 : Caractéristiques électriques des différents bains de métallisation chimique appliqués sur la résine E2517 chargée de Silice et de rugosité 3.5µm.

Les résultats des mesures de la résistivité de dépôt chimique de certains métaux (NiP, NiB et Cu) sur la résine époxy chargée, correspondent aux données techniques fournies par le fabricant des solutions de la métallisation. L'écart entre ces valeurs expérimentales et les données techniques (Tab.2.7) provient de la rugosité (3,5 µm) de nos modules, qui fait que la longueur réelle des pistes est plus grande que la longueur mesurée et utilisée dans le calcul de la résistivité.

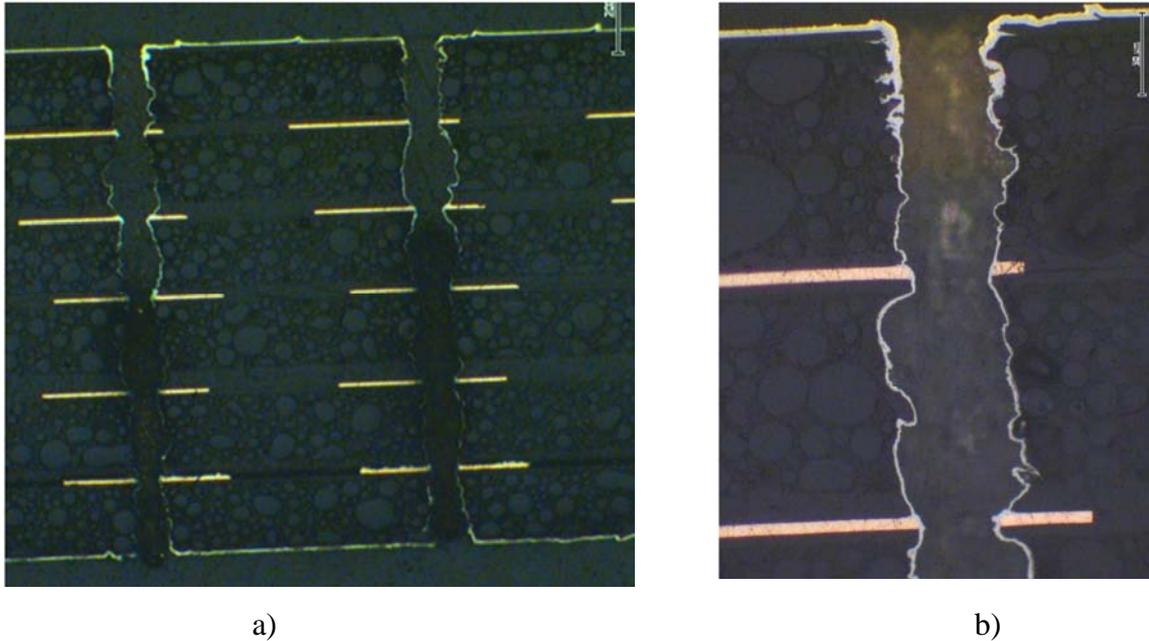


Fig. 2.39 : Photos de trous vus en coupe comportant une métallisation chimique de Nickel et d'Or. a) Entrée/Sortie des trous (80/50 $\mu$ m) traversant 6 niveaux empilés d'épaisseur total 1.2mm, b) Zoom sur l'entrée d'un trou

La caractérisation physique de la paroi des trous (Fig.2.39) montre que le métal dans les trous présente un gradient décroissant de l'épaisseur déposée entre les deux extrémités et le centre. Ceci laisse parfois une zone de discontinuité au milieu des trous, phénomène d'autant plus fréquent que les trous sont de diamètre faible. On remarque aussi que l'Or électrochimique ne croît pas le long des parois des trous et qu'il ne recouvre que  $\sim 50\mu$ m de chaque extrémité des trous du diamètre (Fig.2.39-b).

La caractérisation électrique de la résistance dans les trous métallisés montre que la résistance varie d'un trou à un autre et que les valeurs des résistances dans les trous varient entre 1 et 2 ohm/trou. Nous avons considéré ces valeurs comme relativement élevées et qu'elles ne satisfont pas l'objectif d'avoir une résistance de l'ordre 100 m $\Omega$ /trou.

On constate que la conductivité électrique dans les trous est assurée par le film de Nickel chimique. Le renforcement de ce film par une couche uniforme d'un métal conducteur est nécessaire pour réduire les résistances dans les trous à des valeurs acceptables, sinon on doit procéder au remplacement du Nickel (NiP) par un métal de très faible résistivité électrique comme le Cuivre par exemple.

#### II.4 Comparaison des deux procédés

Les deux procédés TPV et TPV-SOFT ont été conçus pour partager plus de 60% des étapes communes (préparation et traitement des wafer en 2D, métallisation des trous), et sont basés sur le même principe. Ce qui les distingue principalement l'un de l'autre c'est la méthode de réalisation des trous verticaux : le procédé TPV-SOFT exploite la résine SU8 pour la réalisation de trous minuscules ( $<5\mu$ m), en appliquant une technologie collective à haut facteur de forme mais la tolérance d'empilement de ces canalisations doit être réalisé à  $2\mu$ m près. L'inconvénient du TPV-SOFT provient de la contrainte thermomécanique plus élevée que celle du TPV. Pour ce dernier, on utilise la technologie laser dans le processus de

réalisation des trous individuels à travers l'ensemble des couches empilées, ce qui complique le processus du perçage et impacte le profil des trous. Le tableau 2.8 regroupe l'ensemble des étapes de réalisation de chacun des procédés et permet d'établir des comparaisons entre les deux filières.

<b>TPV-SOFT</b>	<b>TPV</b>
Reconstitution de wafer KGRW	Reconstitution de wafer KGRW
Densité d'interconnexions élevée : Trous (diamètre : 5µm ; pas <10µm)	Densité d'interconnexions moyenne : Trous (diamètre : 30µm ; pas : 60µm)
Trous à flanc droit	Trou conique (entrée/sortie : 30/15µm)
Tolérance dans l'empilement des niveaux: ±2µm	Tolérance dans l'empilement des niveaux: ±5µm
Gravure collective des trous	Perçage séquentiel par laser
Collage par un film 10µm SU8 uniforme: pas de manque ou de débordement de la colle vers les bords	collage peut présenter des évidement: dépôt localisé (centre) de la colle sur la plaquette et répartition par compression
Plaquette 2D pas besoin d'amincissement Economisassions de la matière (résine)	Amincissement de 2mm à 100µm Perte de la matière (résine) : 90%
Adhérence métal dans les trous : pas encore validé	Bonne adhérence
Traitement des dérives des puces et RDL (chapitre III ; Fig.3.13)	Solution industriel confidentiel (simple ou compliqué ?) mais couteuse
Fiabilité à température modérée (à valider)	Fiabilité à basse et haute température
masse volumique SU8 :1153Kg/m <sup>3</sup>	Masse volumique E2517 1720Kg/m <sup>3</sup>
Système biocompatible	Système non biocompatible
Métallisation electroless des trous	Métallisation electroless des trous

Tab.2.8 : tableau comparatif des approches TPV et TPV-SOFT

## II.5 Obstacles fondamentaux

Les obstacles ou les verrous technologiques identifiés pendant le processus de réalisation pratique des technologies TPV et TPV-SOFT seront traités en détails sur le plan théorique ainsi que sur le plan pratique dans le chapitre III. En résumé, on peut lister les obstacles fondamentaux entravant la réalisation des structures ; certains sont communs aux deux procédés.

### 1- Dérives des puces

La dérive des puces est un obstacle fondamental commun aux procédés TPV et TPV-SOFT : la résolution de ce problème conditionne l'évolution de ces technologies à l'échelle du wafer (Wafer Level Packaging).

### 2- Perçage laser

Le perçage des trous verticaux par laser du procédé TPV est bien maîtrisé avec une large gamme de sources ; une étude théorique sur le type d'interaction du laser avec les matériaux

composites est nécessaire pour comprendre les phénomènes mis en jeu et identifier les paramètres de perçage les plus adéquats pour notre application.

### **3- Métallisation des trous**

La métallisation des trous le long de la structure que ce soit dans le cas du TPV après le perçage laser ou bien dans le cas du TPV-SOFT après l'alignement et l'empilement des trous pré-usinés de tous les niveaux, constitue une étape incontournable dans la réalisation et les performances des microsystèmes pour des applications de haute technologie. Les procédés de métallisation dans les TSVs sont encore un sujet de discussions et de développements permanents.

### **4- contraintes thermomécaniques.**

C'est une difficulté qui existe dans tous types de procédés où on assemble des matériaux hétérogènes ; ce qui caractérise ces contraintes c'est leur degré d'influence sur la fiabilité et le vieillissement des microsystèmes. Dans le cas du procédé TPV par exemple, ces contraintes se manifestent lors de l'amincissement des plaquettes et d'autres se manifestent aux interfaces des matériaux au fur et à mesure que l'amplitude de la température varie durant l'utilisation du système. Une fois les faits expérimentaux bien caractérisés, nous tenterons, dans le chapitre 4, de revenir théoriquement sur ces limites, par la voie de la modélisation...

## Conclusions du chapitre II

Dans ce chapitre, les procédés d'assemblage TPV ont été présentés en une succession d'opérations technologiques qui ont été précisément caractérisées : on peut noter une très grande richesse des processus technologiques. Toutefois des verrous technologiques ont pu être identifiés et caractérisés :

- pour le TPV-SOFT à base de SU8, l'aptitude à la réalisation de vias est indéniable ; par contre, on rencontre d'énormes difficultés dans la gestion des effets de rétrécissements pendant la polymérisation et dans la différence des coefficients de dilatation thermiques.
- pour le TPV, le parti pris de notre travail a été de privilégier la mise en œuvre de procédés et de matériaux habituels de l'assemblage microélectronique. Dans le prolongement des travaux de 3DPLUS, l'utilisation de résines chargées apporte des améliorations qui permettent de réaliser un processus complet avec des difficultés qui restent à résoudre : la dérive des puces placées dans le polymère, les rendements des couches RDL, la conicité des vias réalisées par laser, la métallisation des trous de haut facteur de forme. Nous les analyserons dans le chapitre III et reviendrons sur les questions de modélisations physiques au chapitre IV.

## **References:**

- [**Puech 2003**] M. Puech, N. Launay, N. Arnal, P. Godinat, JM. Gruffat, “A novel plasma release process and super high aspect ratio process using ICP etching for MEMS”, MEMS/NEMS seminar December 3rd 2003.
- [**Laermer**] Laermer F., Schilp A., “Method of Anisotropically Etching Si” US patent 5,501,893.
- [**Starkov 2003**] V. V. Starkov, et E. Yu. Gavrilin, SU8 photoresist as an etch mask for local deep anodic etching of silicon, *phys. stat. sol. (a)* 197, No. 1, 150–157 (2003).
- [**Joost, 2009**] : Joost Melai1, Cora Salm, Sander Smits, Jan Visschers and Jurriaan Schmitz, the electrical conduction and dielectric strength of SU-8, *Journal of MICROMECHANICS AND MICROENGINEERING*, 065012 (7pp) **19** (2009)
- [**Nordstrom, 2005** ]: M. Nordström *et al.*, “Investigation of the bond strength between the photo-sensitive polymer SU-8 and gold,” *Microelectron. Eng.*, vol. 78/79, pp. 152–157, Mar. 2005.
- [**Voskerician, 2003**] Gabriela Voskericiana, Matthew S. Shive, Rebecca S. Shawgo, Horst von Recum, James M. Anderson, Michael J. Cima, Robert Langer, Biocompatibility and biofouling of MEMS drug delivery devices, *Biomaterials*, 24 pp 1959–1967(2003)
- [**Sung-Hoon 2008**] Sung-Hoon Cho, Hong Meng Lu, Lawrence Cauller, Mario I. Romero-Ortega, Jeong-Bong Lee, *Senior Member, IEEE*, and Gareth A. Hughes, Biocompatible SU-8-Based Microprobes for Recording Neural Spike Signals From Regenerated Peripheral Nerve Fibers, *IEEE SENSORS JOURNAL*, VOL. 8, NO. 11, pp 1830 – 1836, (2008)
- [**Song 2004**] Song Y J, Kumar C and Hormes J, Fabrication of an SU-8 based microfluidic reactor on a PEEK substrate sealed by a 'flexible semi-solid transfer' (FST) process *Journal of Micromechanics and Microengineering* **14** DOI 10.1088/0960-1317/14/7/013|PII S0960-1317(2004)72624-8.
- [**Tuomikoski 2005**] Tuomikoski S and Franssila S Free-standing SU-8 microfluidic chips by adhesive bonding and release etching *Sensors and Actuators a-Physical* **120** 408-15(2005)
- [**Abgrall 2006**] Abgrall P, Lattes C, Conedera V, Dollat X, Colin S and Gue A M, A novel fabrication method of flexible and monolithic 3D microfluidic structures using lamination of SU-8 films *Journal of Micromechanics and Microengineering* **16** 113-21(2006)
- [**Charlot**] Charlot S, Gue A M, Tasselli J, Marty A, Abgrall P and Esteve D, A low cost and hybrid technology for integrating silicon sensors or actuators in polymer microfluidic systems *Journal of Micromechanics and Microengineering* 18 (2008).
- [**Fulcrand 2009**] R. Fulcrand, D. Jugieu, C. Escriba, A. Bancaud, D. Bourrier, A. Boukabache, A.M. Gué, Development of a flexible microfluidic system integrating magnetic micro-actuators for trapping biological species, *Journal Of Micromechanics and Microengineering*, , 19, 105019, 11pp, (2009).

**[Dragoi 2006]** Viorel Dragoi, Gerald Mittendorfer, Christine Thanner, Thorsten Matthias, Thomas Glinsner, and Paul Lindner, Adhesive Wafer Bonding with SU-8 Intermediate Layers for Microfluidic Applications, Meet. Abstr. - Electrochem. Soc. 602, 1391 (2006)

**[Jiguet 2004a]** S.Jiguet, A.Bertsch, H.Hofmann, and P.Renaud, SU-8-Silver Photosensitive Nanocomposite, Advanced Engineering Materials, 6, 2004, pp.719-724.

**[Jiguet 2004b]** S.Jiguet, A.Bertsch, H.Hofmann, and P.Renaud, Conductive SU-8-Silver Composite Photopolymer, 17th IEEE International Conference on Micro Electro Mechanical Sytems, Maastricht, The Netherlands, pp.125-128(2004)

**[Wright 2004]** Joshua I. Wright, Raymond Fillion, Laura Meyer, David Shaddock, Packaging of Devices for Topside Cooling by Replacing Air-Bridges With Su-8 Polymer Bridges, 9th Int'l Symposium on Advanced Packaging Materials, (2004)

**[Irvine Sensor 1994]** US patent 5953588, September, 14, 1994 from Irvine Sensor

**[G.Poupon 2005]** G Poupon, JC Souriau, O Lignier, M Charrier, International Symposium on WLP , 1<sup>st</sup> IWLPC conference, San Jose, 2004

**[KEIGLER 2001]** ARTHUR KEIGLER, V.P. technology, NEXX Systems, 5 Suburban Park Drive, Billerica, MA 01821; 978/932-2001

**[Dieter 2001]** Dr. Dieter J. Meier, Stephan H. Schmidt, PCB Laser Technology for Rigid and Flex HDI – Via Formation, Structuring, Routing, LPKF Laser & Electronics AG Garbsen, Germany, 2001

**[Raman 1998]** Raman, Schreiner A.F, “UV Laser Drilling of Multilayer Blind Vias“, IPC Printed Circuit Expo 1998 , Technical Paper p. 17-1-1, 1998

**[KOO 2005]** Seong-Mo Koo, Dong-Pyo Kim, Kyoung-Tae Kim, Chang-II Kim, The etching properties of Al<sub>2</sub>O<sub>3</sub> thin films in N<sub>2</sub>/Cl<sub>2</sub>/BCl<sub>3</sub> and Ar/Cl<sub>2</sub>/BCl<sub>3</sub> gas chemistry, Materials Science and Engineering B 118, 201–204 (2005).

**[Stoney 1909]** Stoney GG, The tension of metallic films deposited by electrolysis. Proc R Soc Sen Lond A 82: 172–175 (1909)

<b>CHAPITRE III : Analyse et traitement du process technologique TPV .....</b>	<b>87</b>
<b>Introduction .....</b>	<b>87</b>
<b>III.1 Le mouvement des puces pendant la polymérisation .....</b>	<b>88</b>
III.1.1 La physico-chimie de la polymérisation des résines époxy .....	88
III.1.2 Les contraintes au moment du retrait .....	89
III.1.3 La polymérisation des résines chargées .....	93
III.1.4 Applications au TPV .....	95
III.1.5 La situation et les recommandations possibles .....	98
<b>III.2 Perçage laser des trous d'interconnexions.....</b>	<b>102</b>
III.2.1 Rappels théoriques sur les interactions laser-matière .....	102
III.2.2 Interaction laser/polymère chargé en billes de silice .....	106
III.2.3 Formation des aérosols .....	108
III.2.4 Processus sous vide.....	109
<b>III.3 Métallisation chimique des vias .....</b>	<b>110</b>
III.3.1 procédés par déplacement .....	111
III.3.2 procédés par contact.....	111
III.3.3 procédés par réduction chimique (electroless).....	112
III.3.4 Adhérence et état des surfaces .....	114
<b>III.4 Caractérisation physique de la métallisation dans les trous .....</b>	<b>117</b>
<b>III.5 Caractérisations électriques des modules empilés .....</b>	<b>121</b>

# **CHAPITRE III : Analyse et traitement du process technologique TPV**

## **Introduction**

Le chapitre I faisait le point sur les technologies d'assemblages, notamment des options 3D. Le chapitre II a présenté les options que nous nous proposons d'explorer, identifiait et caractérisait les principales difficultés rencontrées dans la mise en œuvre de ces procédés.

Ce chapitre comporte les parties d'analyses et de propositions plus approfondies, dans la préparation des puces et leur enrobage époxy et dans la perspective de les empiler.

Nous consacrons une part importante du chapitre à expliciter les mécanismes de polymérisation de la résine d'enrobage époxy chargée ou non chargée de billes de silice. Nous proposons une interprétation nouvelle des dérivés des puces basée sur les effets spatialement non uniformes des retraits de polymérisation...

Nous explorons aussi un procédé RDL original pour l'interconnexion à plat des vias et des puces et de plusieurs procédés laser concurrents, pour les interconnexions verticales intercouches. On verra que ces questions d'interconnexions impliquent des contraintes difficiles sur l'ensemble du processus de réalisation.

## **III.1. Le mouvement des puces pendant la polymérisation**

Une difficulté très importante, identifiée dans le chapitre II, des procédés d'assemblages s'appuyant sur l'enrobage époxy est celle de la dérive spatiale qui intervient sur les objets enrobés, pendant la polymérisation de la résine d'enrobage. C'est une observation systématique que nous avons pu constater dans nos expérimentations dont nous nous attachons ici à comprendre l'origine physico chimique pour tenter d'y apporter des améliorations. Cette analyse suppose une bonne connaissance des processus complexes mis en œuvre dans le processus de polymérisation que nous allons d'abord rappeler brièvement ci-dessous.

### **III.1.1 La physico-chimie de la polymérisation des résines époxy**

La polymérisation désigne la réaction chimique, fonction du temps et de la température, conduisant la matrice ou la résine à se solidifier de manière irréversible. La polymérisation peut être le résultat d'une montée en température, de l'effet de radiations, de l'action de produits chimiques (catalyseurs, durcisseurs, ...) ou d'une association de ces excitations, comme par exemple, dans le cas des résines photosensibles (SU8 ou autre...).

Le matériau époxy thermodurcissable, contient outre la résine époxy, des durcisseurs et des additifs (diluants réactifs, solvants, pigments, colorants, plastifiants, extendeurs et flexibilisateurs). Le passage des résines époxy de la forme « souple » linéaire à leur structure finale tridimensionnelle « durcie » s'opère grâce à l'utilisation de processus chimiques qui entraînent la formation de « ponts » entre les chaînes linéaires [FARHI 1998]. Ces effets durcisseurs sont habituellement classés en deux principaux groupes : les polyamines et les anhydrides d'acide.

Plus de la moitié des résines époxy proposées sont additionnées de diluants afin de réduire la viscosité à l'emploi : ce sont en général des éthers glycidiques qui contiennent parfois des groupes époxy participant au processus de réticulation. D'autres additifs qui peuvent être des solvants, des plastifiants ou des charges minérales (fibres de carbone, silice, fibre de verre, quartz ou autre), n'interviennent pas dans le processus de polymérisation mais modifient certaines caractéristiques (conductivité thermique ou électrique, module d'Young,...) [BOST 1980].

La réaction entre la résine et le durcisseur est exothermique : cette propriété est à la base de mesures cinétiques DSC (Differential Scanning Calorimeter). La quantité de chaleur dégagée, témoigne de l'avancement de la réaction qui est une caractéristique importante à connaître lors de la mise en œuvre de ces matériaux. Elle peut conduire à des élévations de température (pic exothermique) très importantes et créer des tensions thermo mécaniques internes. Contrôlée de manière adéquate, elle participe aussi à l'énergie nécessaire à la cuisson des résines [CHEOL 1995].

Lors de la cuisson, l'extension des chaînes et le processus de réticulation entraînent des variations importantes de la viscosité et des propriétés élastiques ; simultanément aux transformations chimiques (qui augmentent la masse moléculaire), le système peut passer de l'état liquide à l'état caoutchouteux (gélification) mais également de l'état liquide ou caoutchouteux à l'état vitreux (vitrification). La gélification correspond à la formation d'un

réseau infini de molécules réticulées. Le système est alors constitué d'une phase solide dispersée dans une phase liquide. La vitrification correspond au passage de l'état liquide ou caoutchouteux à l'état solide. La température de transition vitreuse  $T_g$  du système augmente au cours de la réaction avec l'accroissement de la masse moléculaire et la densité de réticulation. Le degré de réticulation final est important car il conditionne directement la température de transition vitreuse de la résine et donc ses propriétés thermomécaniques [Panagiotis 2000].

Les temps de relaxation des motifs constitutifs, très faibles à l'état liquide, deviennent très longs à la fin de la réaction. La vitrification correspond au moment où le temps de relaxation atteint la période d'observation : on assiste alors à un maximum du déphasage contrainte-déformation. Il est à noter que l'augmentation des temps de relaxation est un processus continu, lié au développement des macromolécules. Ces temps dépendent uniquement de l'avancement de la réaction, sans être perturbés par la gélification [Benedetto 1987].

### III.1.2 Les contraintes au moment du retrait

Le retrait de la résine pendant la polymérisation est dû aux réactions de réticulation des époxy qui conduisent à une « condensification » des réseaux macromoléculaires dans une configuration plus compacte. C'est le retrait chimique qui correspond à une variation de la densité avec la température, en relation avec le coefficient d'expansion thermique de la résine. Bardonnnet [Bardonnnet 1992] décrit une expérience de mesure de retrait pendant la réaction d'une époxy commerciale (DGEBA : Diglycidyl ether of bisphenol-A) avec un durcisseur anhydride phtalique (figure 3.1).

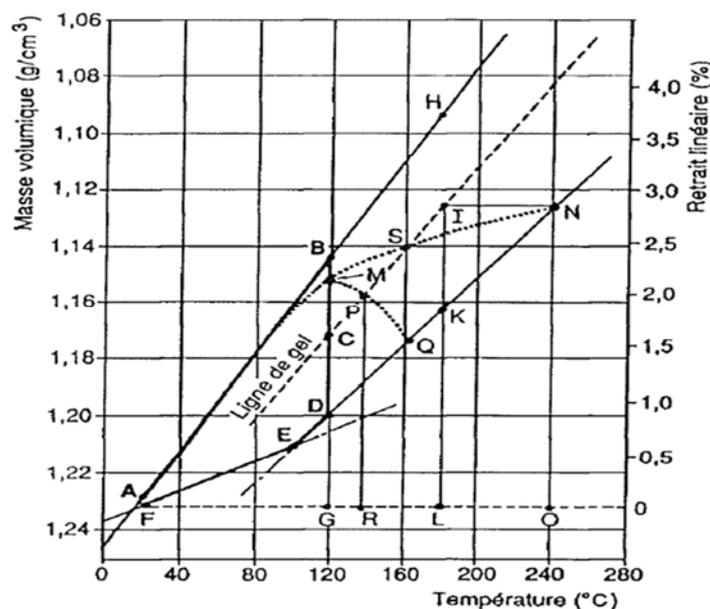


Fig. 3.1: Masse volumique et retrait linéique en fonction de la température, pour plusieurs cycles de cuisson d'un système DGEBA / anhydride phtalique [Bardonnnet 1992]

Dans cette expérience, le mélange réactif est placé dans une petite bouteille aux parois minces, immergée dans un bain thermostaté. La bouteille est suspendue à une balance de

précision qui permet à tout moment de mesurer la variation de la poussée d'Archimède exercée par le liquide thermostaté. Il apparaît que les retraits chimique et physique sont intimement liés dans une réaction présentant un dégagement exothermique. Le retrait lors du passage de la phase gélifiée à la fin de la réaction est déterminant pour la qualité des pièces moulées. Il est, en effet, d'autant plus fort que l'exothermie a été importante pendant la réaction. Exprimé de façon linéaire, il est de 1,6% pour une réaction isotherme (segment CG), 1,95% pour une réaction faiblement exothermique (segment PR) et de 2,8% pour une réaction fortement exothermique (segment IL). Ce phénomène conduit à conseiller une cuisson en deux étapes. En premier lieu, on polymérise à une température la plus basse possible jusqu'à la gélification. Finalement, une post-cuisson à une température supérieure est réalisée. L'optimisation du cycle de cuisson des composites à matrice époxy peut ainsi conduire à la réduction significative des contraintes résiduelles dues au retrait de la matrice [Russel 2000]. Des mesures en DSC (Differential Scanning Calorimetry) ont été réalisées dans des conditions isothermes (voir figure 3.2). L'avancement de la réaction est déduit de l'énergie dégagée pendant la cuisson d'échantillons d'environ 35 mg, sous atmosphère neutre. L'énergie résiduelle dégagée lors de la post cuisson permet de déterminer le taux de réticulation final : ces mesures montrent que la température de réaction affecte de façon conséquente le processus de réticulation ; de plus, elles mettent en évidence que la fin de la réaction ne correspond pas forcément à une réaction complète.

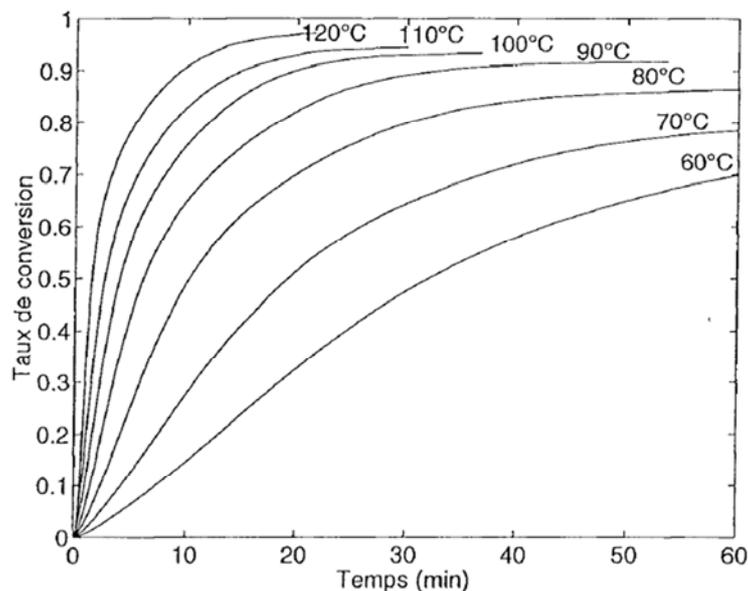


FIG. 3.2: courbes représentant les taux de conversion (réticulation d'une résine) en fonction du temps à des différentes températures

#### → Degré de réticulation

D'un point de vue plus théorique, on s'interrogera sur la relation entre l'avancement de la réaction de réticulation et la densité de la résine. Quelques auteurs se sont intéressés aux propriétés volumétriques des époxy en relation avec le degré de réticulation. Cizmecioglu [CIZMECIOGLU 1986] fait l'hypothèse que la formation de nœuds de réticulation réduit le

volume libre ; expérimentalement, il détermine une relation linéaire entre la densité et le degré de réticulation : plus la densité de réticulation est importante plus le volume libre est réduit (Shrinkage).

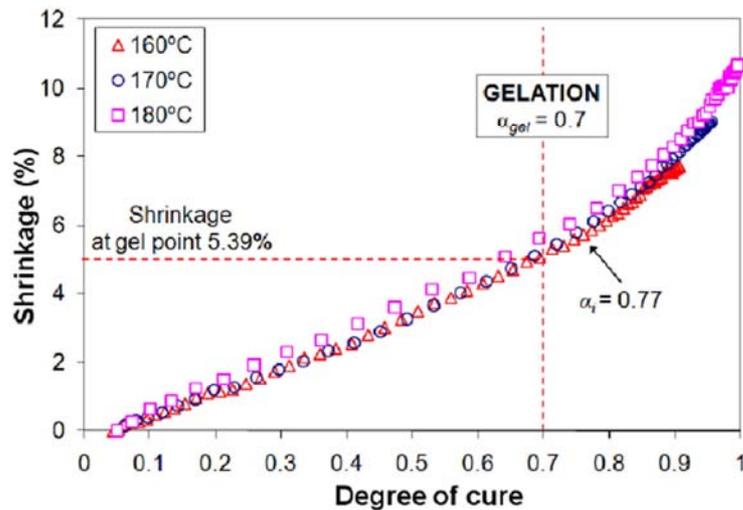


Fig. 3.3: Évolution du retrait d'une résine époxy en fonction du degré de cuisson à trois températures différentes [Khoun 2010]

→ **Activation thermique des réactions chimiques**

La Figure 3.3 illustre la mesure expérimentale de l'évolution du rétrécissement des résines époxy en fonction de l'avancement de la polymérisation. On retrouve ce comportement au plan théorique : la vitesse de polymérisation dépend directement de la vitesse de réticulation de la résine (réaction chimique de polymérisation) qui dépend de l'énergie d'activation et de la température. En cinétique chimique, la loi d'Arrhenius permet de décrire simplement la variation de la vitesse d'une réaction chimique en fonction de la température comme suit:

$$k = A e^{\frac{-E_a}{R.T}} \quad (\text{Eq.3.1})$$

A : pourcentage d'avancement de la polymérisation ;  $A = 1 - ((n-1)kt+1)^{1/(1-n)}$

n : est l'ordre de la réaction chimique (n=1.8)

K : est la constante de vitesse d'Arrhenius

T : Température

$E_a$  : l'énergie d'activation d'Arrhenius donnée en  $\text{kJ.mol}^{-1}$

R : la constante des gaz parfaits (Valeur usuelle  $R = 8,314\text{J.mol}^{-1}.\text{K}^{-1}$ )

Cette loi a pris une grande importance car elle est représentative de nombreux résultats observés expérimentalement, pour un grand nombre de réactions chimiques.

→ **Les contraintes résiduelles**

Pour nous rapprocher de nos expérimentations, considérons la figure 3.4 : on va considérer que le support silicium reste, relativement, à dimension constante. Au moment du retrait tel

que nous venons d'en rappeler les caractéristiques, le polymère exerce une pression centripète sur le support : les mesures sur l'évolution de la courbure (Fig.2.21) d'un wafer silicium, avant et après le dépôt d'une couche de résine, prouve ce phénomène. Une modélisation 3D est incontournable pour prédire avec précision la valeur des contraintes mais pour comprendre, on peut en rester à une vision linéaire très simplifiée :

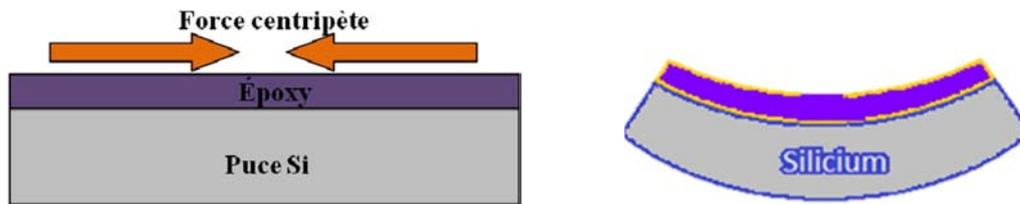


Fig. 3.4 : Exemple de l'effet de la contrainte de polymérisation dans une structure d'assemblage hétérogène : polymère/silicium

La contrainte à l'interface n'atteint pas les niveaux de clivages du silicium mais va le déformer par pliage (Fig.2.21), contrainte que l'on peut estimer en écrivant l'équilibre des forces de retrait et de flexion du silicium. L'équation 2.1 (chapitre II) exprime que l'intensité de la contrainte est proportionnelle au rapport des épaisseurs du wafer et de la résine déposée (épaisseur Silicium/épaisseur résine), ce qui explique la variation de courbure de la structure avec l'amincissement de l'un ou de l'autre des matériaux constituants (résine ou Si). La contrainte est aussi conditionnée par la température car il y a un écart significatif entre les coefficients de dilatation thermique de chacun des matériaux assemblés (Tab 3.1).

Coefficient of thermal expansion : CTE	52.0 +/- 5.1 ppm/K	SM10#0 postbaked at 95°C, thermal cycling test on Si wafer
	30 ppm/K	SM2050 with 50% filler in the blend
	21 ppm/K	SM2070 with 70% filler in the blend
Thermal conductivity	0.2 W/mK	general value for thermoplastic not for SU-8
Polymer shrinkage	7.5%	postbaked at 95°C

Tab.3.1 : Propriétés thermiques de la résine époxy SU8 [Memscyclopedia]

Nos essais montrent que deux grandes difficultés sont inhérentes aux processus d'assemblage qui mettent en œuvre des enrobages époxy sur des structures silicium:

- (1) le fort rétrécissement,
- (2) le fort CTE de la résine époxy.

Ces difficultés touchent à la fois les procédés de fabrication et aussi la fiabilité des composants finalement réalisés. Par l'ajout de billes de Silice dans la matrice époxy (résines chargées, résines composites), on souhaite tirer parti du processus de l'effet composite époxy/verre, pour :

- Réduire la contrainte liée au rétrécissement, au moment de la polymérisation (Fig.2.5)
- Réduire le CTE de la résine pour minimiser les contraintes thermomécanique pendant et après polymérisation (Tab.3.1)

### III.1.3 La polymérisation des résines chargées

Les charges additives ne sont pas partie prenante de la réaction de polymérisation physico-chimique de la résine époxy, mais vont modifier certaines caractéristiques : mécanique (module de Young), électrique (conductivité électrique) ou thermique (conductivité thermique). Pour avancer ces affirmations, on s'appuie sur le travail de LE HUY qui a montré que la présence de silice dans un polymère ne modifiait pas son mode de réticulation (pas d'influence sensible sur la Tg). Rappelons quelques caractéristiques physico-électriques obtenues : la température de transition vitreuse Tg est la même (avec ou sans SiO<sub>2</sub>) ; la permittivité relative (50Hz, 20°C) est de 4 ; la rigidité diélectrique (CEI 60243-1: 50Hz, 20°C, 10mm) est de 18-20kV/mm et les 0.1% en poids d'absorption d'eau pendant 10 jours (20°C) ne montrent aucun effet notable du SiO<sub>2</sub>, correction étant faite par la loi de mélange [Le Huy 1990].

Formulation			
Nom	Référence	Part	Masse (g)
Résine	CY225	100	199.8
Durcisseur	HY227	100	199.8
Charge minérale	SiO <sub>2</sub>	300	599.3
Catalyseur	DY062	0.6	1.2
Préparation de la matière			
Référence	Temps (min)	P. (mmHg)	T (°C)
CY225+HY227	15	3	60
+SiO <sub>2</sub>	30	3	60
+DY062	15	3	60
Coulage & cuisson			
Nom	Temps (min)	P. (mmHg)	T (°C)
Coul. par gravitation	20	3	90
Cuisson	16h	atmosphère	100

Tab.3.2: Paramètres de moulage d'époxy CY225 chargée à 60% de Silice, étudiés par Le Huy [Le Huy 1990].

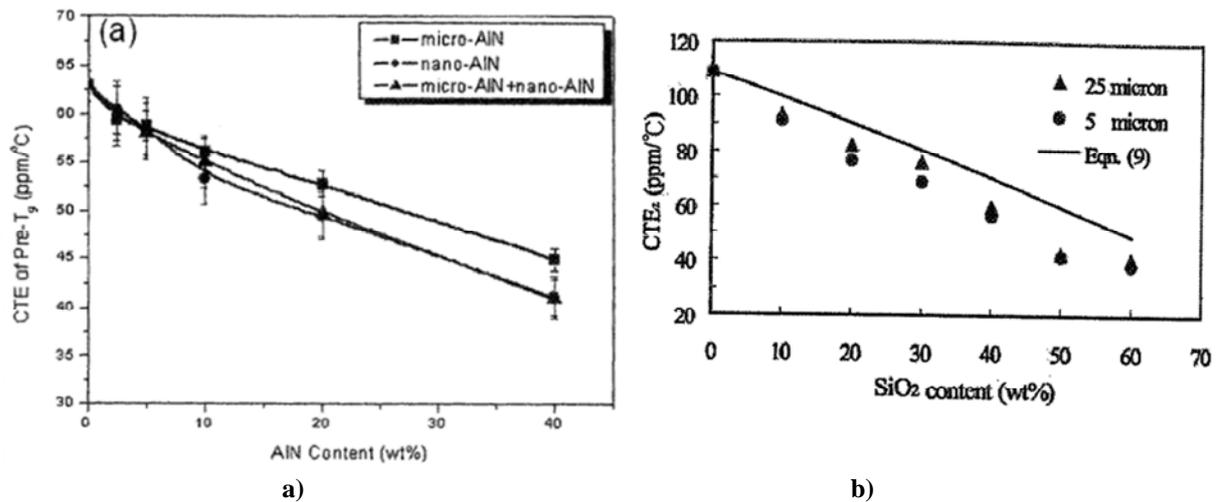


Fig. 3.5: Effet des charges minérales sur la CTE du composite PTFE a) chargée de Niture d'Aluminium b) chargée de Silice [Yung 2010]

Les travaux de chargement des films époxy (CTE=50PPM) à conductivité anisotrope (ACF : Anisotropic Conductive Films) réalisés par J.S.Hwang [Hwang 2008], sont des tests avec des billes sphériques de différentes tailles (100nm, 500nm et 1,2µm) et avec trois taux de chargement massique (16%, 32% et 48%) : les résultats de ces tests sont principalement utilisés dans la suite de ce travail.

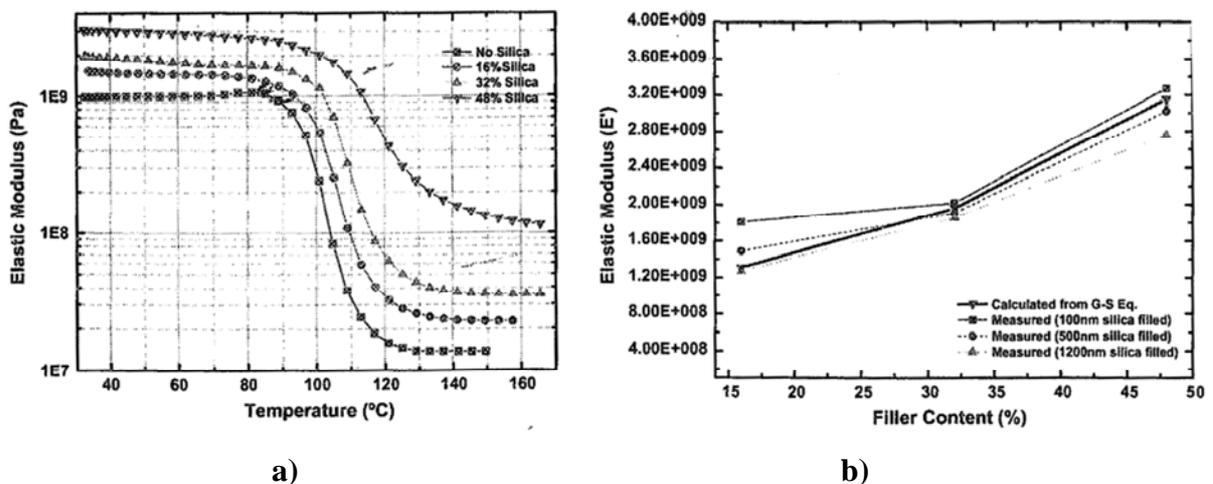


Fig. 3.6: a) Variation du module de Young en fonction de la température et du taux de chargement en billes de Silice de taille 500nm, b) Variation du module de Young en fonction du chargement, calculée selon l'équation de Guth-Smallwood et mesurée expérimentalement par DMA (Dynamic Mechanical Analysis) [Hwang 2007].

La résistance thermomécanique d'une époxy, caractérisée par le module d'élasticité, varie d'une manière inverse au CTE : sa valeur augmente avec le taux de chargement du composite d'autant plus que les billes sont de petites tailles : par exemple, pour un époxy à 40°C la valeur du module d'élastique varie de 0,99 Gpa (sans silice) à 3,02 Gpa pour un chargement à 48% de billes de 500nm de diamètre. On ne peut pas calculer la valeur exacte du module

élastique mais on peut l'estimer par l'équation suivante dite de Guth-Smallwood [Hwang 2007] :

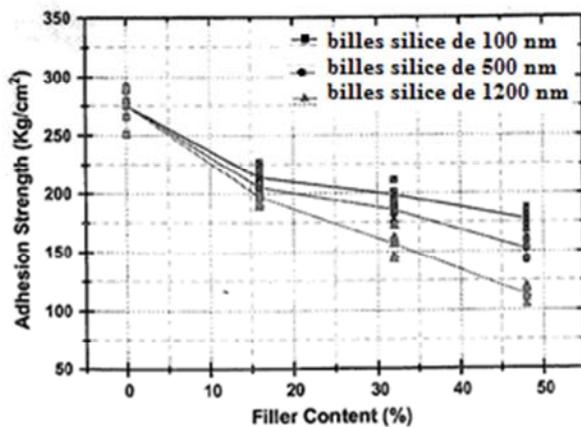
$$E_f / E_i = 1 + 2,5V_f + 14,1.V_f^2 \quad (\text{Eq. 3.2})$$

Où:

$E_f$  : module élastique de la matrice chargée

$E_i$  : module élastique de l'époxy non chargée

$V_f$  : fraction volumique des charges dans la composite



a)

		CTE (ppm)
		$\alpha_1$
Unfilled		60.3
16%	1200 nm	56.2
	500 nm	55.1
	100 nm	53.4
32%	1200 nm	50.6
	500 nm	45.9
	100 nm	41.6
48%	1200 nm	37.4
	500 nm	33.2
	100 nm	30.6

Summary of TMA results of no-filled and filled ACF materials

b)

Fig. 3.7: Effets de la taille et du taux de chargement en Silice a) sur la force d'adhésion d'une résine chargée, b) sur l'évolution du CTE [Hwang 2007].

On constate que le CTE des composites à base d'époxy diminue avec l'augmentation du taux de chargement de Silice ; l'effet est d'autant plus accusé que la taille des billes est plus petite.

### III.1.4 Applications au TPV

#### → Dérives des puces pendant la polymérisation

Le mouvement aléatoire des puces pendant la polymérisation de la résine est un problème majeur rencontré dans le procédé de réalisation du TPV et TPV-SOFT. Il est « quasi-insupportable » dans le cas du moulage par la résine époxy pure (SU8) pour laquelle le pourcentage de rétrécissement est de 7.5% [Guerin97]. Il faut le gérer pour des résines chargées à 80% de Silice utilisées pour le TPV (rétrécissement volumique de 1%) : les dérives des puces moulées ont déjà été identifiées et caractérisées dans le chapitre précédent.

Pour avancer dans cette recherche d'optimisation, la modélisation numérique du phénomène du rétrécissement n'est pas encore disponible sur un logiciel de modélisation par éléments finis. Les logiciels, comme COMSOL par exemple, permettent d'évaluer l'intensité des contraintes thermomécaniques dans les matériaux et à leurs interfaces, en considérant que le matériau (résine,...) est déjà réticulé.

Un travail de fond sur l'étude du rétrécissement des résines d'enrobage (résine chargée,...) prend de plus en plus d'importance avec le développement des matériaux composites dans des domaines hautement technologiques : aéronautique, matériaux de structure... Il est présent dans les domaines de la Santé (bio-mécanique) et du « plombage » dentaire : le rétrécissement lors de la polymérisation des composites (résine chargée) par UV est un phénomène très délicat qui entraîne des fissures, des cracks ou des problèmes de micro infiltration et des douleurs postopératoires [Khosravi 2007]. Pour ce qui nous concerne dans le micro-assemblage électronique, nous allons essayer d'apporter une interprétation cohérente de nos premières observations expérimentales, en se référant:

- à la dynamique de réticulation des résines par DSC (Differential Scanning Calorimetry) caractérisée par l'exo thermicité de la réaction,
- à la loi d'Arrhenius qui décrit la variation de la vitesse d'une réaction chimique en fonction de la température.

Considérons le modèle simplifié de la figure 3.8 : une puce est placée, dans une couche polymère, entre deux socles considérés comme fixes. Au moment de la polymérisation, toutes nos expériences indiquent que le collage de la résine sur les socles et les puces est toujours effectif : la résine se rétracte en exerçant une contrainte de forces centripètes sur le socle.

La puce, entre les deux socles, est « libre » et suit en quelque sorte les contraintes qui lui sont appliquées par ces rétrécissements. Notre idée est que les forces qui s'exercent sur la puce sont nécessairement déséquilibrées :

- par la position géométrique de la puce et des socles,
- et par les inhomogénéités de polymérisation de part et d'autre.

L'importance de l'effet de la température (loi d'Arrhenius) nous invite à privilégier cette deuxième hypothèse : les dérives proviennent d'inhomogénéités des propriétés physiques de la couche de résine durant le processus de polymérisation, surtout dans la phase de retrait ; une petite variation de température peut en être la cause de tensions et de déplacements car la vitesse de polymérisation est une fonction exponentielle de la température.

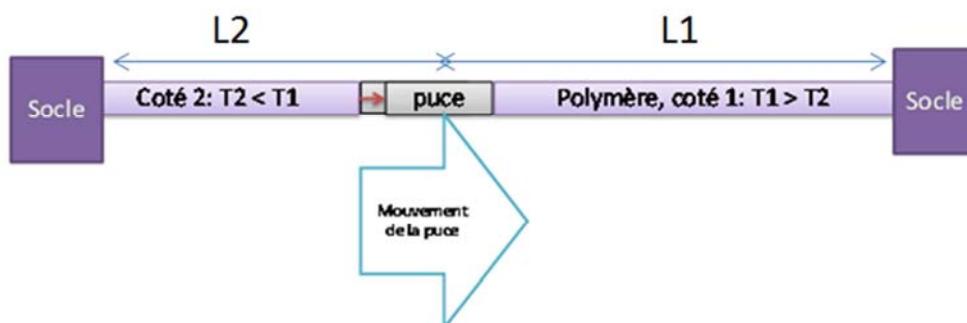


Fig. 3.8 : Représentation graphique du phénomène de la dérive linéaire

Dans une approche théorique linéaire, il est facile d'illustrer ce phénomène de dérive de la puce. L'équation 3.2 permet d'évaluer le mouvement d'une puce moulée par la résine lorsque l'on suppose que le système est libre (sans contraintes extérieures, hors les socles) :

$$dx = A \cdot e \cdot \left( \frac{L2}{L1} - 1 \right) + (T2 - T1) \cdot \frac{dK}{dT} \cdot \frac{\sigma}{E(T)} \quad (\text{Eq. 3.3})$$

Où :

$dx$  (m) : dérive de la puce

$e$  (m) : épaisseur de la résine

$dK/dt$  : variation de la vitesse d'une réaction chimique en fonction de la température et de l'énergie d'activation (loi d'Arrhenius)

$A$  : constante qui dépend de la fraction des charges de silice dans la résine

$E$  (Pa) : module de Young de la résine

$T$  (°K) : température

$L_2, L_1$  (m) : distances socle-puce de chaque côté.

$\sigma$  (Pa) : contrainte de rétrécissement de la résine (dépend du degré de polymérisation de la matrice en fonction de la température)

$\sigma/E$  dans l'équation (Eq. 3.3) représente le rétrécissement relatif de la résine selon la loi de Hook ( $\sigma=E.\epsilon$ ), où  $\epsilon$  est l'allongement relatif d'un matériau. Un calcul précis supposerait de connaître la variation du module de Young "E" avec le degré de la polymérisation.

Les forces s'exerçant de part et d'autre de la puce sont liées à l'avancement de la polymérisation des deux côtés de la puce ainsi qu'à la quantité de résine de chaque côté de la puce ; s'il y a déséquilibre thermique (progrès de la polymérisation), ces forces vont s'équilibrer par un allongement du côté le moins polymérisé. Soulignons que les déséquilibres thermiques sont largement favorisés par les échanges entre la résine et l'ambiance (différence dans la diffusion de la chaleur externe dans la structure du coté 2 (pour  $T_2 < T_1$ , figure 3.8)). Ils sont nécessairement déséquilibrés à cause du caractère exothermique du processus et de la faible conductivité thermique du matériau. Une dissymétrie dans la répartition de la résine de deux côtés de la puce implique aussi un allongement, du coté 1 pour  $L_2 < L_1$ .

Si les conditions idéales sont remplies, ( $T_1 = T_2$  et  $L_2 = L_1$ ),  $dx=0$  et c'est le cas d'un équilibre parfait : la puce ne bouge pas de sa place...

Mais, la contrainte s'exerce toujours sur les socles extrêmes : dans la pratique, des risques de ruptures sont possibles : c'est par exemple la rupture par clivage du silicium que nous avons observé dans les enrobages SU8. La valeur exacte de la valeur du clivage Silicium dépend de sa structure cristalline  $\langle 100 \rangle$ ,  $\langle 110 \rangle$ ,  $\langle 111 \rangle$ , la résistance moyenne à la rupture du silicium est estimée à 7000 MPa [Petersen 1982].

- a) Si la valeur du  $\sigma$  est plus grande que la valeur de pression de clivage du silicium (7K MPa), la destruction de la structure par un clivage ou des fissures dans la puce de Silicium est inéluctable.
- b) Si la valeur de  $\sigma < 7$  GPa, la structure se trouve sous une contrainte proportionnelle à la valeur du module de Young de la résine.

Sur la base de nos observations et de ces considérations théoriques, notre interprétation est que le phénomène de dérive est lié à des déphasages des stades de polymérisation (réactions exothermique) qui peuvent être déclenchées par un strict minimum d'inhomogénéité dans la répartition de la température dans la résine pendant la polymérisation.

Donc, on peut privilégier une origine thermique telle que la zone intérieure de la résine constituant la partie avec la plus chaude, est la zone de démarrage par rapport aux périphéries. La réticulation démarre au centre de la résine et le phénomène de contraction

engendre des forces centripètes qui font déplacer la puce vers l'intérieur (zone centrale) de la résine.

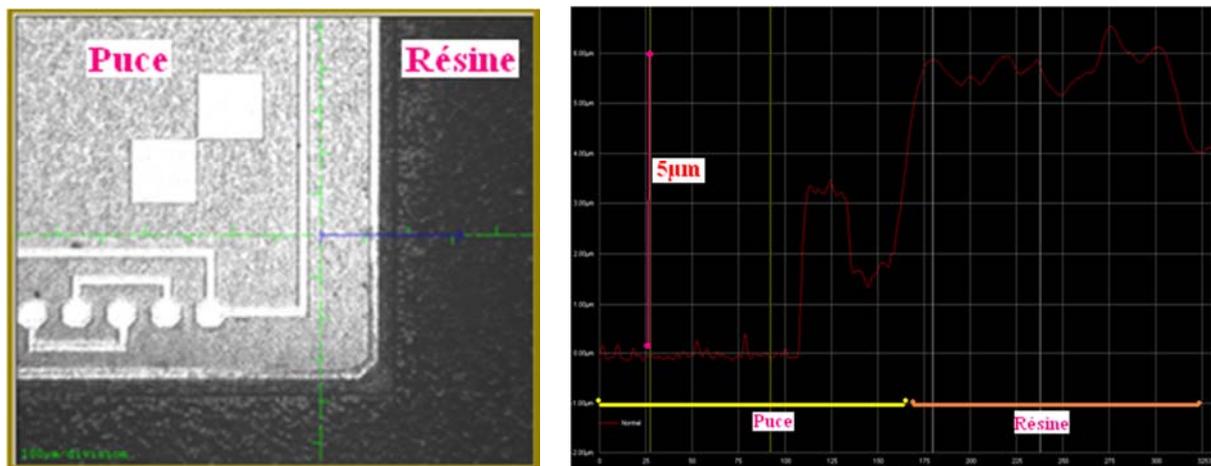
En conséquence, compte tenu de ces considérations et des caractéristiques (caractère exothermique de la réaction, influence de la température sur la cinétique et sur les transitions de phase), il est impératif que l'évolution du système, pendant la réticulation, soit contrôlée de manière active :

- Contrôler les puces/socle par une instrumentation « externe » de positionnement,
- Contrôler l'homogénéité de température pour limiter les déséquilibres thermiques.

L'idée serait donc de lier « provisoirement » les puces au socle pendant la polymérisation ; Pour ce faire, d'un point de vue industriel, nous avons aussi réfléchi à des polymérisations sous pression pour mieux contrôler (réduire, par apport local de matière) les forces qui s'exercent sur les puces.

#### → **Enfoncement (Z) de la puce dans la résine**

Les caractérisations du wafer reconstitué après moulage montrent que la puce moulée se trouve enfoncée de quelques  $5\mu\text{m}$  dans la résine (Fig. 3.9). Rappelons que l'épaisseur de la résine déposée fait  $2.7\text{mm}$  tandis que celle de la puce Si est de  $80\mu\text{m}$  : il est vraisemblable qu'une polymérisation plus rapide, au contact de la puce provoque une rétraction locale de quelques microns, ce qui invite aussi au contrôle thermique tout au long du processus.



a) Marche résine/puce (après moulage)

b) Mesure TENCOR

Fig. 3.9 : après une polymérisation totale de la résine, a) figure montrant la marche puce/résine, b) caractérisation par un profilomètre mécanique 'de l'enfoncement de la puce dans la résine

### III.1.5 La situation et les recommandations possibles

En pratique et tenant compte de nos interprétations théoriques, nous avons essayé différentes voies de traitement du phénomène de dérive des puces, Nous avons tenté quelques idées simples de mise en œuvre.

Une première idée est de réduire l'épaisseur de la résine, pour limiter les forces, en utilisant un procédé de dépôt de la résine par sérigraphie. On a conçu et fait fabriquer des cales 4

pouces, d'épaisseur 200 $\mu$ m, 500 $\mu$ m, et 1mm, au lieu de 2.7mm initialement utilisées pour le moulage par gravitation. Nos expériences montrent que la résine chargée à 80% de Silice de viscosité (14 Pa.s@25°C) est sérigraphiable : il n'y a pas d'infiltration de la résine sous la puce ; par contre, la tenue mécanique de la structure pendant les phases du polymérisation (à 160 et 180°C) est très affaiblie pour les épaisseurs de 200 $\mu$ m et de 500 $\mu$ m de résine. En effet la cale se détache de la résine et la libération de la partie (résine +puces) de son support (tape) devient critique. Notre conclusion, à ce stade de l'expérimentation, est qu'une réduction trop importante de l'épaisseur de la résine déposée avant polymérisation à < 1 mm n'est pas une solution viable et robuste pour l'exploiter dans un processus TPV industriel. On peut toutefois imaginer qu'une sérigraphie plus épaisse de 1mm d'épaisseur de cale conduirait à des wafers reconstitués avec une tenue mécanique comparable à la méthode de moulage traditionnelle (par gravitation). Mais, malgré la réduction du volume de résine déposé ( - 62%), le mouvement aléatoire des puces moulées pendant la polymérisation persiste avec des valeurs qui vont de 20 à 60 $\mu$ m dans les direction X et Y et avec un angle  $\theta$  de 5 à 10 degré. On conclue donc que, pour l'instant, l'épaisseur minimum de 1 mm de la résine du moulage est totalement justifiée par l'exigence d'une bonne tenue mécanique des wafers reconstitués et l'on s'en tiendra aux seules recommandations précédentes :

- Contrôler les puces/socle par une instrumentation « externe » de positionnement,
- Contrôler l'homogénéité de température pour limiter les déséquilibres thermiques.

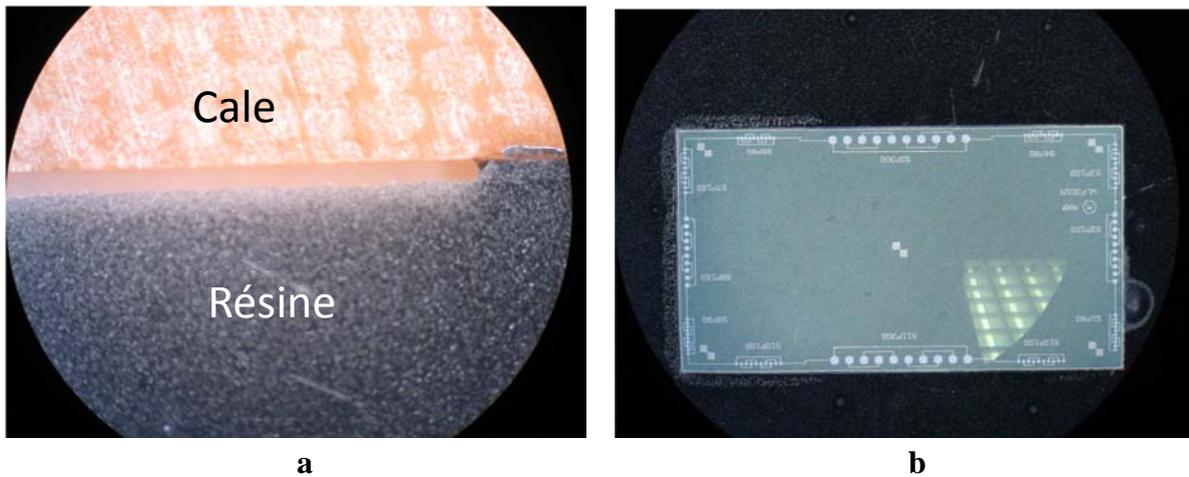


Fig. 3.10 : a) décollement à l'interface Cale /Résine pendant la polymérisation de la résine moulée par sérigraphie (épaisseur 500 $\mu$ m), b) plaquette face avant.

#### → TPV-SOFT par désolidarisation SU8/Si

Pour ne pas subir les contraintes thermomécaniques majeures dans le procédé TPV-SOFT initialement décrit, une option à explorer, c'est de désolidariser le film SU8 du puces silicium comme le suggère la figure 3.11. Les films polymères seront pré- gravés (trous et cavité des puces) et viendront entourer les puces laissant un intervalle entre celles-ci et le polymère : on éliminerait ainsi tous les effets de contraintes de rétrécissement sur les puces. Evidemment, cela suppose de savoir remplir cet intervalle par un matériau adéquat.

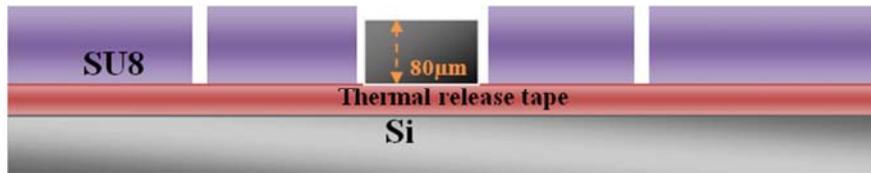


Fig. 3.11 : modèle représentatif du TPV-SOFT par désolidarisation des puces

Une option complémentaire du procédé que nous proposons est de réaliser les collages inter niveaux par un film SU8 pré insolé ; le film à une fonction de collage dont nous avons vérifié la qualité. Ainsi, nous disposons d'un procédé du collage (Fig.2.11) où le film de SU8 d'épaisseur de l'ordre de 10µm est laminé entre deux niveaux de puces, permettant de libérer les vias entre les deux niveaux. Avec ces deux originalités, le procédé de la réalisation complet est décrit comme suit (Fig. 3.12).

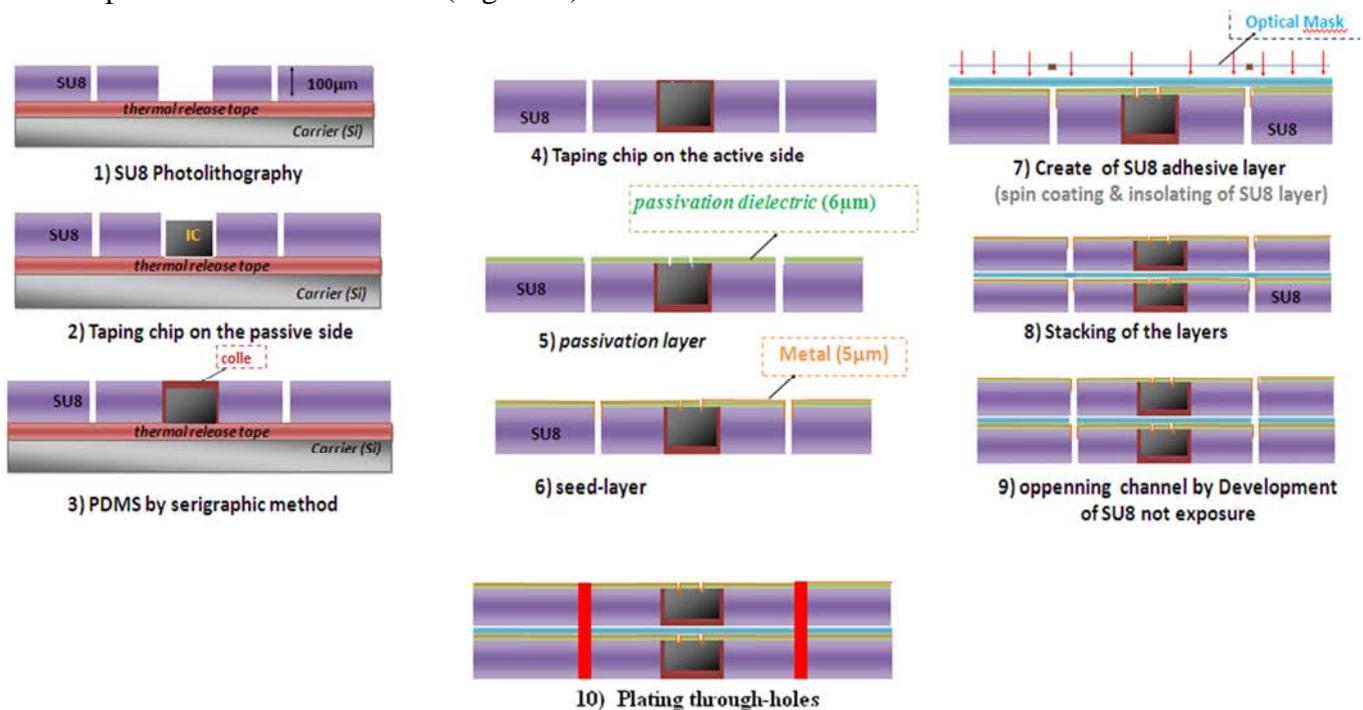


Fig. 3.12 : Process technologique TPV-SOFT par désolidarisation des Circuits Intégrés

Nous avons validé pas à pas ces différentes étapes du procédé TPV-Soft : reste la question de la validation de la libération de la couche SU8 pré insolée dans l'empilement des niveaux ; cet obstacle suppose de nombreux essais difficiles puisqu'il s'agit de libérer des couches dans des via déjà formés. Nous savions possible une solution alternative par usinage laser ce qui nous a permis de passer rapidement à la métallisation finale des vias. C'est ce dernier point qui a mobilisé nos efforts, laissant pour l'instant de côté la finition de l'option TPV-Soft.

### III.1.4.2 TPV : moulage par compression

C'est, en fait, la technique la plus simple utilisée dans de nombreux procédés permettant la mise en forme des matières thermodurcissables. Certains industriels (Freescale) annoncent

avoir appliqué cette technologie dans le processus de reconstitution des wafers en maîtrisant la dérive des puces. Selon nos analyses, le procédé est probablement une amélioration qui contribue à une meilleure « fixation des puces » sur le socle support.

Actuellement cette méthode constitue une solution technologique accessible sur le marché, sachant toutefois que le processus technologique de la réalisation n'est pas encore publié. Seul le principe du "compress molding" peut être illustré sur la figure suivante (Fig 3.13), où la presse intègre un système de chauffage dont on peut contrôler la température de polymérisation et la pression pour une meilleure reproductibilité d'épaisseur de la résine et une bonne prédiction de remplissage.

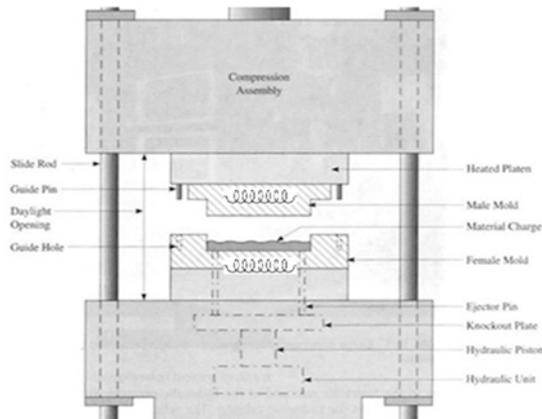


Fig.3.13 : Méthode de la reconstitution des wafers par compress-molding.

Notre point de vue est que la pression exercée pendant la polymérisation joue un rôle dans la fixation des puces et régule les échanges thermiques. Toutes ces influences sont favorables qui vont limiter (ou réduire) le phénomène de dérive des puces.

Une fois les dérives réduites, il reste à corriger les dérives résiduelles de chaque puce de la structure, via un système de scan optique ou cartographie qui localise les nouvelles positions des puces. En général, cette technique s'inscrit dans le processus général par une correction des masques dans la suite de processus. Notre expérience montre malheureusement que pendant la polymérisation, les puces bougent trop et d'une façon difficile à prévoir (Fig. 2.26), en l'absence d'une méthode théorique qui décrive avec précision le phénomène physico-chimique de la polymérisation. Le moyen technologique accessible pour suivre le mouvement des puces moulées et générer les masques correspondant reste donc, pour l'instant, la méthode du scan cartographique du wafer reconstitué [Braum2011], qui peut être très coûteuse.

Pour résumer, le problème des dérives doit trouver des solutions industrielles. L'exploration de ces idées nécessite des moyens technologiques et de longues expérimentations que nous n'avons pas le temps de mettre en œuvre...

Nous voulons souligner ici l'intérêt d'approfondir ces études, de concevoir des capteurs adaptés à la fabrication des composites à matrice thermodurcissable et capables de suivre les transformations chimiques et physiques lors de la polymérisation. Des travaux récents ont montré qu'il était possible d'intégrer des fibres optiques dans des composites stratifiés sans modification significative des propriétés mécaniques [Culshaw 1996][Ghandi 1992]. Il est à noter que de nombreuses études ont été menées avec succès, sur des mesures de déformation, de contrainte, de température et de détection d'impact à partir de fibres optiques intégrées

dans des composites [Hayes 1997][R. M. Measures 1993]. On peut donc imaginer des capteurs fibre optique capable de contrôler activement le processus d'élaboration, de fournir des informations sur les propriétés mécaniques de la structure en service et, pourquoi pas, de suivre le vieillissement chimique de la matrice.

## III.2 Perçage laser des trous d'interconnexions

Nos procédés visent la réalisation de puces bordées de résines et portant l'interconnexion RDL. Ces puces vont être empilées et finalement interconnectées, niveau à niveau, par des vias. Dans le TPV-Soft ces vias sont pré-réalisés par photolithographie. Pour le procédé TPV, on rappelle ici que notre objectif est de réaliser des trous par la technologie de perçage laser dans une résine époxy chargée du Silice (E 2517), qui intègre quatre couches de colle et cinq couches métalliques d'épaisseur  $2\mu\text{m}$  (RDL: tantale, cuivre, or). Ces trous doivent être de diamètre  $50\mu\text{m}$  avec un pas de  $100\mu\text{m}$ , sur deux rangées décalées l'une par rapport à l'autre. On envisage cinq niveaux de puces alignées et enrobées dans 1mm de la résine. Un **laser** à impulsions doit **percer** l'ensemble de ces **matériaux**.

### III.2.1 Rappels théoriques sur les interactions laser-matière

Les progrès réalisés sur les sources lasers ont conduit au développement de nombreuses techniques concernant des applications très diverses (métallurgie, photolithographie, élaboration de couches minces, analyses élémentaires, micro usinage, etc..) : les premières applications ont consisté essentiellement à utiliser le faisceau d'un laser comme source de chaleur à la surface d'un matériau ; de nouvelles applications ont montré que de la matière pouvait être éjectée lorsque le faisceau laser est suffisamment focalisé et intense : le volume affecté s'avère incapable de dissiper l'énergie reçue. L'évacuation de ce surplus d'énergie s'effectue alors par l'éjection brutale de la matière, ce phénomène appelé photo-ablation, dépend aussi des caractéristiques du faisceau laser (fluence, durée d'irradiation, longueur d'onde, etc..) et des caractéristiques du matériau considéré.

Les propriétés caractéristiques de la matière, sa composition chimique, sa structure électronique, ainsi que sa stabilité morphologique, définissent le phénomène et la nature des interactions pour chaque type de laser. Le polymère auquel on s'intéresse est une matière composite de couleur noire, qui intègre des additifs de coloration et qui est chargée à 80% de billes de silice. Nous connaissons mal la structure et la composition chimique de ce polymère époxy. Nous nous sommes basés sur les données disponibles dans la fiche de sécurité (FDS) du fabricant pour avoir une approche comparée de la structure de l'E2517, sachant que l'on peut supposer que l'absorption optique est presque totale [Fig.3.14], (matière noire de très faible transparence).

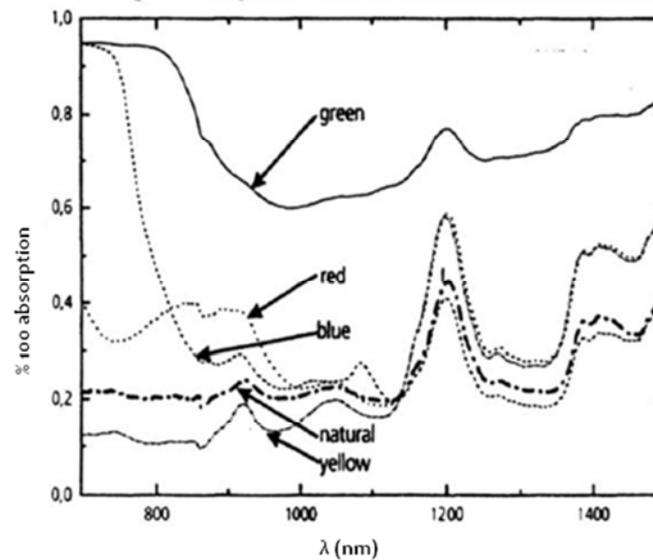


Fig.3.14 : Coefficient d'absorption en fonction de la couleur des additifs (Carbone : couleur noir) dans le polymère.

Le coefficient d'absorption ( $\alpha$ ) est variable en fonction de la nature chimique du polymère et dépend de la longueur d'onde du laser utilisé : la figure 3.15 montre les variations du coefficient d'absorption de quelques polymères à différentes longueurs d'onde.

Matériaux	193 nm		248 nm		308 nm	
	$\alpha$ (cm <sup>-1</sup> )	p (nm)	$\alpha$ (cm <sup>-1</sup> )	p (nm)	$\alpha$ (cm <sup>-1</sup> )	p (nm)
PET	3.10 <sup>5</sup>	33	1.6.10 <sup>5</sup>	62	3.10 <sup>3</sup>	3300
PI	4.2.10 <sup>5</sup>	24	2.2.10 <sup>5</sup>	45	10 <sup>5</sup>	100
PS	8.10 <sup>5</sup>	12	6.10 <sup>3</sup>	1640	80	12.10 <sup>3</sup>
PMMA	2.10 <sup>3</sup>	5000	65	15.10 <sup>4</sup>	0	-
PC	2.10 <sup>4</sup>	500	0	-	0	-

Fig. 3.15 : Evolution du coefficient d'absorption en fonction du  $\lambda$  ( $p=1/\alpha$ )  
[P.Laurens, 2007]

Les polymères : PMMA, PP, PE, PTFE deviennent absorbants à  $\lambda < 200-250$  nm

Les polymères : PET, PC, PEEK deviennent absorbants à  $\lambda < 300-350$  nm

Les polymères : PI, PPQ (grosses molécules conjuguées) deviennent absorbants dès le visible  
L'absorption optique des polymères augmente pour une longueur d'onde plus petite, sachant que, à chaque polymère, correspond une certaine valeur ( $\lambda_{max}$ ), à partir de laquelle on considère que le polymère n'est plus absorbant. Afin de définir ( $\lambda_{max}$ ) de l'E2517, il faut alors procéder à la mesure des propriétés optiques (absorption) par l'analyse de l'intensité et du spectre lumineux transmis par la résine suite à une impulsion d'une longueur d'onde donnée. En l'absence de cette étude, on privilégie l'utilisation d'un laser de plus courte longueur d'onde possible (laser excimère : 193nm, 248nm, 308nm).

Le laser UV offre les meilleures performances en termes de résolution spatiale et d'usinage de qualité : des travaux antérieurs [Braren 1985] [Damiani 1991] ont montré la capacité de perçage de laser UV (Excimer) peut être ajusté à plusieurs longueurs d'onde. Cette source est utilisée depuis longtemps pour la photo ablation de surface et la mise en forme, grâce au

caractère non-thermique de l'interaction laser-matière. En effet, l'absorption de photons primaires conduit principalement à l'excitation électronique, au contraire d'autres lasers infrarouges (CO<sub>2</sub> et YAG) [Olson 1992] [Bäuerle 1996] qui sont largement utilisés pour des applications industrielles comme la coupe, le perçage ou le soudage, mais qui sont limités par un type d'interaction plus thermique (Fig. 3.16-a). Dans le cas de photons de grande longueur d'onde, ce sont les vibrations moléculaires qui sont excitées, donc la chaleur sera la principale source de décomposition : en raison de sa diffusion, elle ne permet pas une ablation de forte résolution (ordre quelques microns).

▪ **Ablation laser « classique »**

- Absorption à un photon

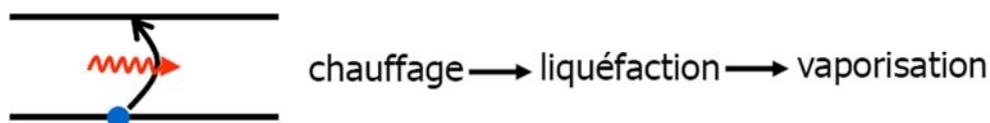


Fig.3.16-a : Modèle illustrant le processus d'ablation thermique

▪ **Ablation laser femtoseconde**

- Absorption multiphotonique



Fig. 3.16-b : Modèle illustrant le processus d'ablation électrostatique

A noter qu'en général, les effets de diffraction qui contribuent à la divergence du faisceau sont à peu près proportionnels à la longueur d'onde, d'où un avantage supplémentaire de l'utilisation de laser de plus courte longueur d'onde pour des usinages de forte résolution.

Le matériau polymère absorbant l'énergie électromagnétique peut subir une série de transformations qui dépendra des paramètres de traitements au laser, l'énergie d'un photon, le taux et le nombre de répétition des impulsions, etc...

Ces transformations se divisent en trois classes :

- 1) Structurale : polymérisation, cristallisation, fusion, ...
- 2) chimique : dissociation moléculaire, recombinaison, oxydation ou carbonisation,...
- 3) perte de la matière : par vaporisation ou ablation.

Dans la pratique, la situation rencontrée est fréquemment intermédiaire. De plus, on sait que les paramètres caractéristiques des matériaux dépendent de sa phase et évoluent fortement avec la température, ce qui complique notablement la description de l'interaction.

De façon très schématique, deux cas extrêmes peuvent être distingués :

- a. les interactions de type thermique, dont un exemple est fourni lorsqu'on irradie un métal (par exemple) avec le rayonnement I.R. d'un laser CO<sub>2</sub>.
- b. Les interactions de type photo décomposition ablativ (non thermique), dont un exemple est fourni lorsqu'on irradie un polymère photosensible avec un rayonnement UV lointain.

Mettons l'accent sur ce dernier : ce type d'approche photochimique permet de décrire l'interaction du faisceau délivré par un laser émettant dans l'UV avec un polymère [Kreutz 1990] [Afane'ev 1997] conduisant à un phénomène de décomposition ablativ. Dans les régions UV du spectre, il est généralement admis que l'absorption du photon conduit à une transition entre états électroniques de la molécule polymère. Dans ces conditions, d'après Srinivasan [Beyer 1983], trois mécanismes sont susceptibles de conduire au phénomène d'ablation.

1. L'absorption d'un photon UV conduit à un niveau d'énergie situé au-dessus de la limite de dissociation, et la molécule se dissocie en des temps de l'ordre de l'inverse de la fréquence caractéristique de vibration ( $\ll 1$  ns). Ce phénomène est purement photochimique.
2. La molécule excitée après absorption du photon se relaxe sans se dissocier, l'énergie absorbée étant redistribué sous forme rotationnelle et vibrationnelle sur les molécules environnantes. Ceci se manifeste par un échauffement brutal et localisé. L'absorption successive des photons UV dans cette zone peut entraîner une évolution de la température suffisante pour induire une décomposition thermique des molécules suivant leurs liaisons les plus faibles.
3. L'absorption des premiers photons UV entraîne un échauffement local, donc une augmentation du peuplement des états vibrationnels excités de la molécule, susceptible à leur tour d'absorber un photon UV, conduisant à un processus de dissociation photochimique de la molécule.

Ces trois phénomènes ont en général, des temps caractéristiques très brefs ( $\ll 1$  ns) devant la durée d'une impulsion laser classique, En effet, durant une impulsion ultra-brève, seuls les électrons peuvent être mis en mouvement et l'énergie est absorbée avant toute éjection de matière. La brièveté des impulsions limite la diffusion thermique de l'énergie et l'extension de la zone affectée thermiquement par le couplage énergétique, autrement, la thermalisation rapide de l'énergie ( $\sim 10^{-12} - 10^{-11}$  s) [Guillermin 2009] peut induire des taux de chauffage importants par rapport aux vitesses des changements de phase. De façon générale, lorsque le dépôt d'énergie est rapide devant la capacité de dissipation du matériau (temps de thermalisation de l'énergie), le confinement énergétique conduit la matière dans des états hors-équilibre ouvrant de nouveaux canaux pour un régime d'ablation non thermique ; or, sur des échelles de temps plus longues ( $> 1$  ps) (et avec une fluence laser suffisante pour les diélectriques), l'éjection de matière prend la forme d'une distribution de particules plus lentes portant des signes de mécanismes thermiques. Il s'agit alors d'un laser de durée d'impulsion ultra brève ( $\ll 1$  ps), c'est le laser femto-second qui établit un processus d'ablation électrostatique (non-thermique) d'explosion coulombienne (Fig. 3.16-b).

L'éjection ultra rapide des ions est une conséquence de la photoémission massive d'électrons, conduisant à une rupture de la neutralité à la surface du matériau. Pour les diélectriques, la

mobilité des électrons est trop faible pour permettre un écrantage efficace de l'équilibre électrostatique [Bulgakova 2004] et les champs coulombiens de répulsion entre les ions du réseau peuvent excéder leur énergie de liaison. Ceci entraîne l'éjection explosive des ions sur une échelle de temps de 100 fs à 1 ps afin de rétablir la neutralité. Ce phénomène génère l'émission de plusieurs couches atomiques d'ions hautement énergétiques (ex : 100 eV pour Al<sub>2</sub>O<sub>3</sub>). Notons que pour l'ensemble des matériaux, la photoémission des électrons induit un champ électrique susceptible d'accélérer les espèces chargées du plasma, les observations par spectrométrie de masse à temps de vol (MS-TOF) des produits de l'ablation à faible fluence laser, montrent que la distribution de vitesse des espèces dépend de leur état de charge plutôt que de leur masse, prouvant le caractère électrostatique du mécanisme [Henyk 2000] [Stoian 2000]. Ceci apporte des améliorations critiques pour les applications d'usinage de précision et de marquage.

### III.2.2 Interaction laser/polymère chargé en billes de silice

Dans les matériaux pour applications industrielles, les polymères chargés de particules minérales commencent à occuper une place importante, ces charges pouvant modifier les propriétés mécaniques, électriques, et thermiques du nouveau matériau. Ces changements dépendent notamment d'une façon non triviale de l'état de dispersion de la charge dans la matrice, ainsi que de la nature de l'interface polymère-charge.

L'ablation par laser Excimère (par exemple) est connue pour permettre la découpe très fine (5 µm) d'un film pur polymère, sans dommage thermique pour les matières restantes. Toutefois, ces effets se détériorent souvent pour des films plus épais, avec la fusion et même la carbonisation du polymère après des irradiations répétées, à de courts intervalles de temps. L'ajout de particules minérales au polymère peut fournir un moyen simple pour éviter de tels effets. Il est démontré dans le travail de L.D. Laude [Laude 1997], que la présence de tels additifs atténue fortement la dégradation thermique du polymère sans affecter le mécanisme d'ablation par lui-même.

La résine E2517 utilisée dans ce travail est un polymère époxy chargé avec des billes de silice de différentes tailles de l'ordre de 60µm de diamètre ; nous n'avons pas finement analysé l'état de la dispersion de ces billes, ni la nature de l'interface polymère-Silice. On observe toutefois que ce matériau chargé autour de 80% de Silice peut montrer des agrégations en surface ou en volume.

L'objectif de cette étude est de caractériser les effets d'une irradiation par un laser UV sur ce cette résine en vue de la mise au point d'une procédure de micro usinage de ce matériau composite. La silice est un matériau transparent dans tout le domaine visible, cependant ses propriétés de transparence se perdent dans les domaines UV et infrarouge, mais le seuil d'énergie (fluence) d'ablation du polymère est bien inférieure à celui du Silice. **La différence de cinétique d'ablation, permet d'ablater préférentiellement le polymère par rapport aux billes de silice** : par conséquent ces dernières peuvent être considérées comme des impuretés contenues dans la matrice polymère, elles ne seront pas ablatées car leur seuil d'ablation est bien plus élevé que celui de la matrice [Laude 1997].

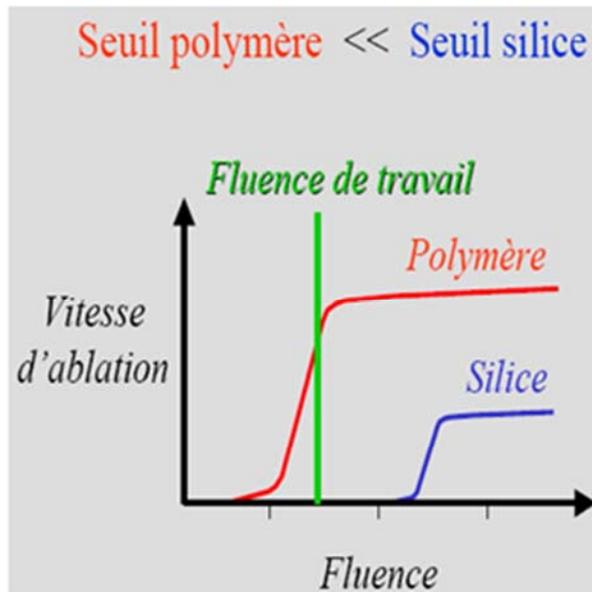


Fig. 3.17 : Représentation graphique de la différence de cinétique d'ablation polymère/Silice.

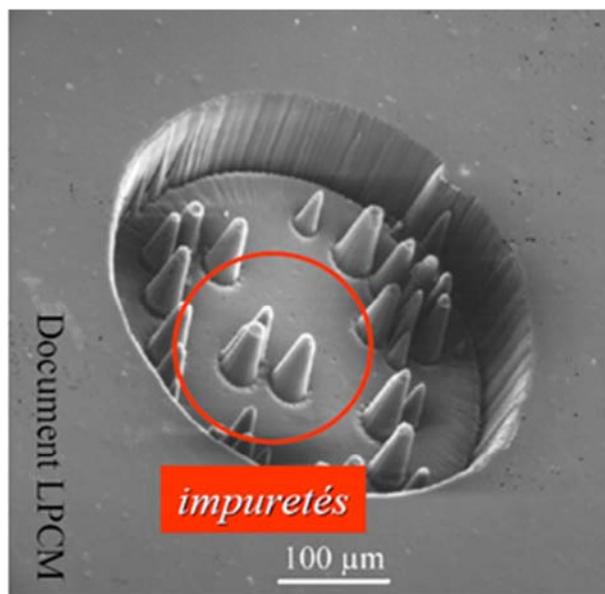


Fig.3.18 : Photo MEB représente l'effet des impuretés dans l'ablation d'un matériau (PET) par un laser Eximère 248 nm [14]

La détermination du seuil d'ablation d'un matériau à une longueur d'onde donnée n'est pas toujours aisée, les valeurs déterminées dépendent de la technique et des conditions de mesure liées à la sensibilité de la mesure d'enlèvement de la matière. Le seuil d'ablation peut varier pour un même polymère selon ses paramètres physiques (taux de cristallinité, contraintes de surface, rugosité de surface) ou chimique (présence d'additifs). Quelques données de la littérature ont été regroupées dans le tableau 3.3.

<b>Matériau</b>	<b>Seuil d'ablation</b>
<b>Fibre de Kevlar</b>	<b>34 mJ/cm<sup>2</sup></b>
<b>Fibre de carbone</b>	<b>250 mJ/cm<sup>2</sup></b>
<b>Fibre de verre</b>	<b>450 mJ/cm<sup>2</sup></b>
<b>Epoxy</b>	<b>40 mJ/cm<sup>2</sup></b>
<b>Kapton</b>	<b>50 mJ/cm<sup>2</sup></b>
<b>PEEK</b>	<b>50 mJ/cm<sup>2</sup></b>
<b>Silice</b>	<b>&gt;&gt; 1 J/cm<sup>2</sup> [15]</b>

Tab.3.3: Seuil d'ablation de différents matériaux [Sadras]

### III.2.3 Formation des aérosols

L'ablation par laser est un procédé utilisé pour le perçage de différentes couches de différentes matières. Quel que soit le type de laser, selon que l'irradiation sera effectuée sur un matériau métallique, semi-conducteur ou isolant, la réponse en termes d'énergie absorbée sera différente. Il est alors nécessaire de s'intéresser aux intensités lumineuses émises et aux produits de l'ablation qui peuvent se présenter sous forme de nuages de particules et/ou de gaz (aérosol):

- Caractériser les espèces qui le composent, la concentration des particules, leur granulométrie, leur morphologie, leur masse volumique et leur vitesse d'éjection.
- Identifier les espèces gazeuses créées.

Pascale DEWALLE [Dewall 2009] a étudié le panache de l'interaction laser-peinture (polymère chargé en TiO<sub>2</sub>). Il permet de conclure que la vaporisation du polymère génère des agrégats carbonés nanométriques majoritaires provenant de la dégradation chimique du polymère. En effet, la résine organique se décompose à des températures assez faibles (~400°C) relativement au second composant majoritaire, la silice dans notre cas. L'évaporation du polymère aura donc lieu préférentiellement, ce qui entraîne l'éjection mécanique des particules de Silice. Notons qu'une partie de cette matière est susceptible de se redéposer sur les parois internes et faire obstacle au développement du trou. En pratique, ce phénomène de transmission et d'expulsion de matière devrait limiter les perçages profonds (en particulier du facteur de forme) : en début de perçage, la vitesse est fonction de la fluence, mais progressivement, elle tend vers une valeur constante caractéristique du matériau et indépendante de la fluence (Fig.3.19) [Lopez 1999]. Cette saturation résulte du découplage laser-cible provoqué par l'apparition d'un plasma absorbant au fond du trou dès les premiers instants de l'interaction. L'utilisation de fortes fluences (>5 J/cm<sup>2</sup>) et le confinement de l'interaction par les parois du trou augmentent les collisions au sein du panache, et privilégient ainsi l'apparition d'un plasma à des fluences sensiblement inférieures à celles nécessaires en ablation de surface.

La mesure de l'énergie en sortie de trou indique une décroissance linéaire de l'énergie transmise avec la profondeur (Fig. 3.19). Il y a donc absorption de l'énergie laser au niveau des parois internes du trou. Cette perte d'énergie est d'autant plus rapide que le trou est

conique et que le seuil d'ablation du matériau est élevé. Elle justifie l'arrêt spontané du perçage au-delà d'une certaine profondeur.

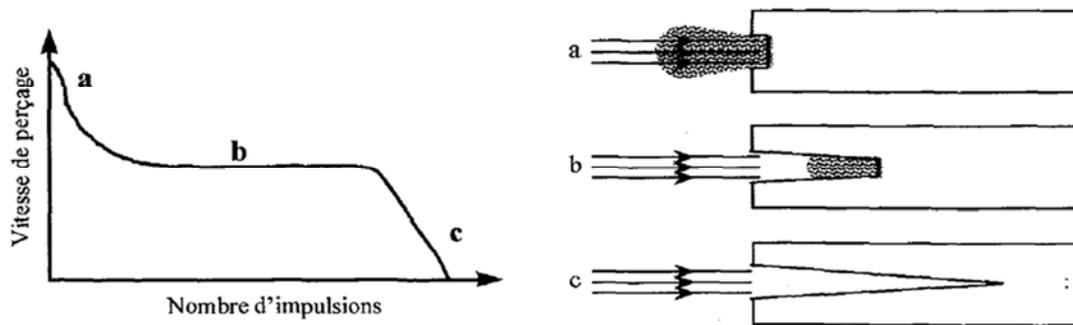


Fig. 3.19 : Evolution de la vitesse de perçage avec le nombre d'impulsions (a) Ablation de surface, la vitesse dépend de la fluence (b). Ablation profonde, les parois du trou interagissent avec le panache, vitesse de perçage constante, (c) Arrêt spontané du perçage par manque d'énergie en fond de trou [Lopez 1999].

### III.2.4 Processus sous vide.

L'observation du plasma d'ablation par imagerie rapide et par spectroscopie optique a mis en évidence qu'une fraction importante de la matière est éjectée de la cible sous forme de nanoparticules qui peuvent interagir avec l'impulsion laser suivante et induire la dé-focalisation du faisceau laser. En revanche l'étude de l'interaction laser femto-seconde/gaz (panache) a montré que pour de telles puissances instantanées un plasma fortement ionisé se forme au point focal de la lentille, induisant une forte dé-focalisation du faisceau. L'expérience montre que, à une fluence relativement forte, la dé-focalisation du faisceau laser élargit le canal du perçage (Fig. 3.20) car la matière éjectée interagit avec les impulsions laser suivantes, en absorbant et rediffusant une partie de l'énergie utile.

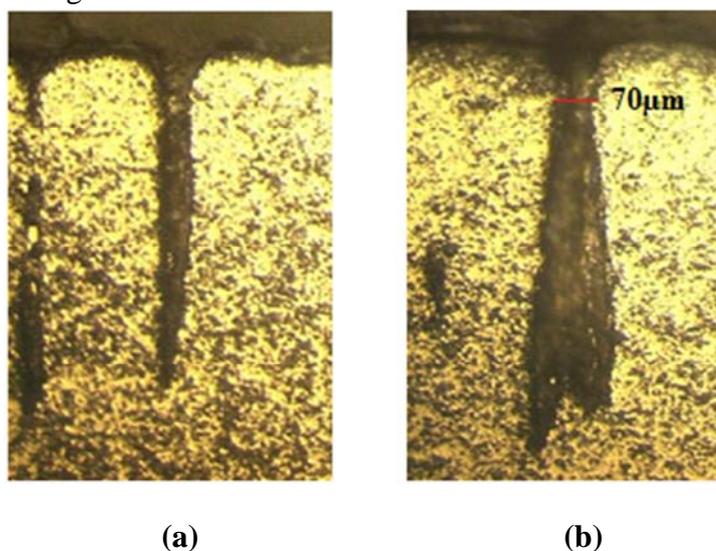


Fig. 3.20 : Cratères profonds dans l'acier obtenus par 1000 impulsions laser femtoseconde avec une fluence laser de : a)  $2 \text{ J.cm}^{-2}$ , b)  $5 \text{ J.cm}^{-2}$ .

Des expériences réalisées sous vide ou sous faible pression d'hélium ont mis en évidence que l'ionisation de l'air (par un laser femto-seconde) n'est pas le seul processus à l'origine de cette dé-focalisation (élargissement du trou) mais que c'est toujours la matière éjectée (nanoparticules) de la cible. La formation du plasma résulte de l'interaction du laser avec la cible et il est concentré dans une zone au-dessus de la surface de la cible, proche de celle-ci, dans laquelle un équilibre (ou thermalisation) se produit du fait des collisions des particules éjectées directement de la cible, soit par condensation en phase gazeuse, soit par réaction chimique entre les espèces du plasma et le gaz ambiant. Tous ces processus sont directement reliés aux paramètres expérimentaux (parfois même reliés entre eux) tels que les propriétés de la cible, les conditions d'irradiation (longueur d'onde, durée de l'impulsion laser, fluence), la température la pression et la nature du gaz environnant. Cette technique de perçage regroupe donc de nombreux phénomènes qui se superposent et/ou se succèdent, mais nous avons mis en évidence une forte corrélation entre la présence de nanoparticules dans le panache d'ablation et le rendement d'ablation, sachant que les vitesses d'éjections des espèces n'augmentent principalement avec la fluence du laser que si l'expansion du panache se fait sous vide ou bien sous atmosphère contrôlée [Hermann 2004]. Par contre, on estime que le perçage sous vide peut éviter un changement de la structure de la matière non-ablatée par la création d'une couche de faible cohésion. Un phénomène de décarboxylation ou d'Oxydation superficielle des flancs de trous, peut être un avantage pour fonctionnaliser les parois des trous et améliorer l'adhérence métallique par la suite, mais pour l'instant on ne peut pas conclure. Une étude chimique approfondie sera-t-elle nécessaire pour comprendre ce phénomène ? Il dépend essentiellement de la structure du polymère ainsi que des paramètres du laser utilisé ; le perçage sous vide est surtout exploré pour nettoyer la zone usinée et enlever les déchets précipités au fond et sur les parois des trous après chaque série d'impulsions, d'où notre suggestion de percer les trous successivement en trois ou quatre passages. Surtout dans notre cas, où on suppose qu'une fraction de particules de silice, écaillée après l'ablation de la résine, vient se déposer au fond et sur les parois des trous, ce qui complique le processus et modifie la résolution du perçage. Généralement l'usinage en mode nano-seconde produit de la pollution, contrairement au mode femto-second, qui réalise un usinage propre.

### **III.3 Métallisation chimique des vias**

La métallisation des vias est une étape clé du processus global du packaging des microsystemes et de l'empilement des CI ; sa difficulté intrinsèque est liée au rapport diamètre/profondeur qui, dans notre cahier des charges, est de moins de 50  $\mu\text{m}$  pour 1 mm. La métallisation par voie chimique sur un substrat non conducteur, consiste à déposer un film métallique conducteur par immersion dans une solution contenant un métal susceptible d'être réduit à la surface du matériau. La métallisation chimique a fait l'objet de nombreuses recherches et développements depuis l'année 1844 des dizaines d'années et est actuellement très répandue dans l'industrie et notamment pour réaliser les interconnexions dans la technologie PCB. En effet, les revêtements à base de nickel chimique (notamment Nickel Phosphore NiP) présentent une excellente résistance à l'usure et à la corrosion et une dureté importante. De plus, d'un point de vue pratique, il est possible d'obtenir des épaisseurs de

dépôt régulières indépendamment de la géométrie et de la complexité de la pièce. Les dépôts de nickel chimique adhèrent correctement au substrat, mais dépendent de sa nature et de son état de surface. Un revêtement NiP est un alliage dont les propriétés dépendent fortement de la quantité de phosphore ; la composition la plus employée dans l'industrie est comprise entre 1 % et 10 % [Jappes 2005], mais nécessite une phase d'un recuit thermique autour de 300°C. Cette dernière conditionne les propriétés mécaniques de la couche déposée telles que : la dureté, la rigidité et la résistance à l'usure. Par contre, cette étape favorise la tension mécanique interne dans la couche du dépôt même et à l'interface avec le substrat. Ce n'est pas une raison majeure pour éviter le recuit thermique, car ses caractéristiques dépendront des paramètres thermiques et de l'hétérogénéité de la structure à métalliser. C'est bien notre cas où la température ne doit pas dépasser 220°C.

Notre application consiste à métalliser des trous débouchant de faible diamètre (30 à 50µm) dans 1 mm d'une résine époxy comportant des circuits intégrés et des pistes d'interconnexions métalliques horizontales (RDL) sur plusieurs étages. La métallisation chimique de ces trous doit assurer en même temps l'interconnexion entre les différents niveaux RDL avec une faible résistance de contact. Plusieurs tests de métallisation chimique ont été réalisés à 3DPLUS et d'autres sont en cours ; les paramètres de dépôt ainsi que les résultats de ces tests sont expliqués dans la suite de ce chapitre. Auparavant nous commencerons par une partie bibliographique qui décrit le principe et les caractéristiques des dépôts dits l'electroless dans leur ensemble et en particulier pour notre application dans le cadre de la technologie TPV. Le procédé electroless est effectivement une réaction redox entre le sel métallique à déposer et un réducteur chimique (glucose, formaldéhyde, hydrazine, hypophosphite...) sans apport de courant électrique. Il existe trois possibilités différentes pour réaliser les dépôts sans courant extérieur : par déplacement, par contact ou par réduction chimique.

### **III.3.1 procédés par déplacement**

Le principe de ce procédé est basé sur l'échange d'électrons entre deux métaux M1 et M2 possédant des potentiels électrochimiques différents, comme par exemple le fer qui est moins noble que le nickel, mais qui a une électronégativité plus élevée. Si l'on plonge un morceau de fer dans une solution de sel de nickel, sa surface libère des électrons qui réduisent les ions métalliques Ni<sup>2+</sup> de la solution en Ni métal qui va se déposer sur le fer.

Dès que le fer est entièrement recouvert de nickel, la réaction s'arrête d'elle-même puisque la différence de potentiel s'annule. Ces procédés ne donnent que des revêtements très minces, d'épaisseur inférieure au micron.

### **III.3.2 procédés par contact**

Dans ce cas, en plus de deux métaux M1 et M2, un troisième métal M3, plus électronégatif que les deux premiers, appelé métal de contact, peut remplir le rôle de donneur d'électrons. Le zinc par exemple, qui est très électronégatif convient très bien comme métal de contact. Bien que le dépôt obtenu soit légèrement plus épais que dans le premier cas, le grand

inconvenient de cette méthode est qu'il se forme également un dépôt sur le métal de contact (Zinc), ce qui provoque l'arrêt de la réaction dès que ce dernier est entièrement recouvert.

### III.3.3 procédés par réduction chimique (electroless)

Pour ces dépôts, les électrons nécessaires à la réaction sont fournis par un agent réducteur mélangé à une solution de sel du métal à déposer. Ce procédé est connu sous le terme « electroless ». On distingue trois réducteurs principaux :

- a- L'hypophosphite de nickel,
- b- Les composés du Bore,
- c- L'hydrazine ou les sels d'hydrazine.

Les procédés de nickelage à partir des composés d'hydrazine n'entrant pas dans le cadre de notre travail, nous évoquons seulement le nickelage à partir de l'hypophosphite et des composés bore.

#### → Nickelage chimique en milieu hypophosphite

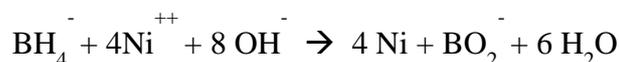
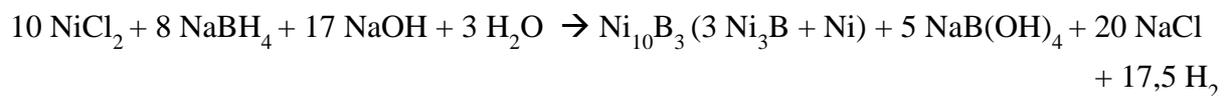
Les étapes qui conduisent à la formation du dépôt de nickel à base d'hypophosphite sont les suivantes [Colin 1976]:

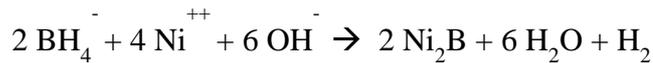
- 1)  $\text{PO}_2 \text{H}_2^- \rightarrow \text{PO}_2^- + 2\text{H}$  (décomposition de l'hypophosphite)
- 2)  $\text{PO}_2^- + \text{H}_2\text{O} \rightarrow (\text{PO}_3 \text{H})^- + \text{H}^+ + e^-$  (hydrolyse)
- 3)  $\text{Ni}^{2+} + 2\text{H} \rightarrow \text{Ni} + 2\text{H}^+$  (réduction)
- 4)  $2\text{PO}_2 \text{H}_2^- + 2\text{H} \rightarrow 2\text{H}_2\text{O} + 2\text{OH}^- + 2\text{P}$  (déshydratation)

La réaction 4 explique la teneur en phosphore dans la couche déposée : ce paramètre est le plus étudié par les auteurs qui s'accordent à dire que le pourcentage de phosphore de l'alliage NiP augmente lorsque la quantité de précurseur phosphoreux du bain augmente [Narayan 1985] [Bonino 1990]. Le pourcentage du phosphore améliore les propriétés physiques et chimiques de la couche finale mais ceci augmente la résistivité électrique d'où l'intérêt de minimiser la concentration du phosphore déposé [Pouderoux 1991].

#### → Nickelage chimique en milieu borohydrures :

Les revêtements de nickel chimique ont sensiblement évolué vers les familles de revêtement nickel-phosphore d'une part et vers les revêtements nickel-bore d'autre part donnant ainsi naissance à toute une gamme de revêtements et de propriétés. Dans la réaction anodique l'agent réducteur est oxydé cédant des électrons qui deviennent disponibles pour la réaction cathodique de réduction des sels de nickel. Les étapes qui conduisent à la formation du dépôt de nickel à base de borohydrures de sodium sont les suivantes:





L'utilisation de borohydrures ( $\text{NaBH}_4$ ) de sodium ou de potassium en tant qu'agent réducteur apparaît aujourd'hui un passage obligé pour ce type de procédé. La mise en œuvre de cette chimie a permis une optimisation importante du procédé. Il est ainsi admis que cette chimie est jusqu'à plus de dix fois plus efficace que la mise en œuvre de l'hypophosphite de sodium, en raison de son aptitude à céder 8 électrons pour réduire les sels métalliques du Nickel [HUANG 2004].

	<b>NiP</b>	<b>NiP</b>	<b>NiP</b>	<b>NiP</b>	<b>Ni<sub>2</sub>B</b>	<b>Ni<sub>2</sub>B</b>
<b>Pourcentage de Phosphore ou de Bore (%)</b>	<b>10 – 13 %</b>	<b>7 – 9 %</b>	<b>4 – 6 %</b>	<b>1 – 3 %</b>	<b>0.2 – 1 %</b>	<b>1 – 3 %</b>
<b>Vitesse de depot (µm/h)</b>	7.5 – 15	7.5 – 15	18 – 30	11 – 19	--	--
<b>Résistivité électrique (µΩ/cm)</b>	75 – 110	40 – 70	15 – 45	10 – 30	10 – 20	40 – 90
<b>CTE (PPM/°K)</b>	8 – 10	10 – 15	11 – 14	12 – 15	--	--
<b>Module de Young (GPa)</b>	55 – 70	50 – 65	45 – 65	55 – 65	--	120

Tab.3.4 : Caractéristiques de la métallisation chimique de nickel on fonction du pourcentage de phosphore et de bore.

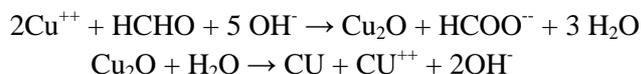
Ce procédé electroless Nickel-Bore de haute performance de protection contre la corrosion, a été validé spécialement pour les applications aérospatiales et aéronautiques (cinquième génération de ce procédé). Le prétraitement d'Ultracem est similaire à celui d'electroless Nickel Phosphore, il se distingue des bains nickel-bore traditionnellement mis en œuvre par un bain d'une remarquable stabilité. Ceci permet une utilisation intensive sans contrainte particulière de renouvellement du bain mais avec un dosage régulier et un réajustement précis et optimal des teneurs en nickel et en agent réducteur. Cette constante chimique permet d'obtenir des revêtements de nickel à 5% de bore en masse ce qui leur confèrent une intéressante gamme de propriétés physico-chimiques. Par contre la résistivité électrique (1 Ω.m) est relativement élevée par rapport à l'electroless Nickel-Bore traditionnel.

<b>Ultracem : Nickel-Bore</b>	
<b>BORON (% m)</b>	5
<b>Densité (g/cm<sup>3</sup>)</b>	9.4
<b>CTE (ppm)</b>	12x10 <sup>-6</sup>
<b>Module d' Young (GPa)</b>	120
<b>Résistivité électrique µOhm.mm</b>	890
<b>Contrainte interne Mpa</b>	30

Tab.3.5 : Caractéristiques du procédé de métallisation chimique - Ultracem

→ **cuivre chimique :**

Les dépôts sont généralement obtenus dans des bains basiques en utilisant le formaldéhyde comme agent réducteur : les réactions mises en jeu sont nombreuses, les principales équations sont les suivantes :



Le processus classique du prétraitement est le suivant :

- 1- traitement de la surface par mélange sulfochromique à chaud pour greffer des fonctions oxygénées en surface.
- 2- traitement par  $\text{SnCl}_2/\text{HCl}$  pour fixer du  $\text{Sn}^{2+}$ , celui ci ayant une bonne affinité chimique avec l'Oxygène.
- 3- traitement par  $\text{PdCl}_2/\text{HCl}$ , le  $\text{Pd}^{2+}$  vient réagir avec le  $\text{Sn}^{2+}$  pour former du Pd0 (réaction redox), Le catalyseur le plus employé est le Pd métallique.
- 4- traitement dans le bain electroless

Il existe d'autres méthodes alternatives, mais celle-ci est la plus classique (l'épaisseur déposé dépend du temps de métallisation, la résistivité et celui du cuivre pur).

### **III.3.4 Adhérence et état des surfaces**

Les propriétés d'usage d'un composite revêtement/substrat dépendent des caractéristiques intrinsèques des différentes zones qui le constituent et notamment de l'interface couche-substrat [Felder 1998]. En effet, cette interface est souvent considérée comme un point faible dans cette chaîne qui conditionne la tenue mécanique du système. L'adhérence dépend de l'ensemble des phénomènes et des mécanismes qui maintiennent liés les composants macroscopiques et régissent la résistance à la rupture d'une interface. Une vision plus générale consiste à considérer que tout corps est constitué de l'assemblage de molécules, d'atomes ou d'ions, liés entre eux par des forces de liaison plus ou moins fortes : ce sont ces diverses forces qui assurent sa cohésion. Roche [Roche 1991] définit les phénomènes de l'adhésion, d'un dépôt de polymère dans son cas, à partir d'un ensemble de diverses théories :

- La théorie mécanique : l'adhésion est engendrée par la pénétration du film dans les porosités du substrat créant un ancrage mécanique à l'interface. La rugosité est un facteur important mais non déterminant car l'adhésion d'un verre sur une surface de faible rugosité est correcte [LIN 2005].
- La théorie thermodynamique : elle est basée sur la mouillabilité du revêtement sur la surface de l'adhérent. Les tensions superficielles, du liquide ou du solide en présence de sa vapeur doivent vérifier la condition nécessaire mais non suffisante. La mesure de l'angle de contact d'une goutte du liquide sur le substrat détermine proportionnellement l'énergie d'adhésion.
- La théorie de la diffusion : l'adhésion entre composants polymériques peut s'expliquer par la diffusion des molécules entre les composants.
- La théorie de l'adsorption : les molécules du dépôt sont physiosorbées et forment un joint adhésif.
- La théorie chimique : elle est basée sur l'existence de liaisons entre le film et le substrat créées lors du dépôt.

Dans l'application WDoD, on a remarqué que l'adhérence du métal par electroless sur notre résine chargée est plutôt conditionnée par la rugosité de la surface, une rugosité minimum de  $2\mu\text{m}$  est nécessaire pour un bon accrochage des couches métalliques. L'expérience montre l'absence d'adhérence sur une surface lisse de quelques nanomètres de rugosité. Donc le mécanisme d'adhérence du métal/résine est géré principalement par un phénomène d'accrochage mécanique. Au contraire, l'adhérence de ce dépôt avec les pistes métalliques (Cu, Or) est de critère chimique ce qui se manifeste par la bonne adhérence mécanique (pelling test) et une faiblesse dans la valeur de la résistance du contact pendant la caractérisation électrique de l'interconnexion. L'adhérence du métal (electroless) sur les différents matériaux de la structure est un facteur important dans le développement du TPV. L'ensemble de ces aspects seront traités et caractérisés expérimentalement par la suite.

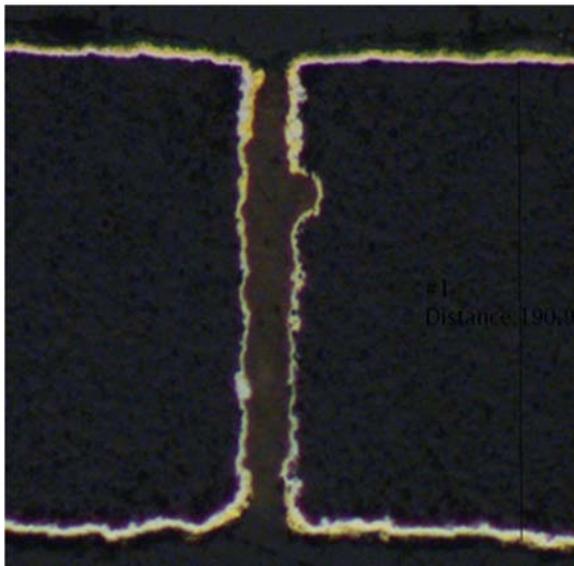
La méthode de métallisation chimique est massivement utilisée dans les technologies PCB pour réaliser les pistes d'interconnexions et métalliser les trous traversants. C'est une technologie simple, facile, collective et à bas coût, ce qui convient à l'industrie. La société 3DPLUS exploite depuis toujours cette méthode dans ses différentes technologies d'assemblage 3D qualifiées pour des applications spatiales et militaires, d'où l'idée d'explorer la métallisation chimique dans la technologie TPV.

Les premiers tests de métallisation (Fig. 3.21) montrent la possibilité du dépôt d'une très fine couche ( $<1\mu\text{m}$ ) de nickel chimique (NiP) le long des flancs des trous. Cette couche de NiP présente une résistivité relativement grande ( $2\Omega/\text{trou}$ ). L'aspect positif de ces tests c'est que le NiP métallise des trous de facteur de forme élevé (trous de diamètre de  $30\mu\text{m}$  dans  $1\text{mm}$  d'épaisseur de la résine), ce qui nous a poussé à travailler sur l'optimisation du processus et tester d'autres métaux par electroless. Le point critique est que les bains qualifiés pour les processus de métallisation sont des produits commerciaux (ROHM&HAAS) dont on ne connaît pas la composition et spécialement le dernier bain du dépôt métallique. Nous avons donc testé plusieurs types de solution métallique (NiP,  $\text{Ni}_2\text{B}$ , Cu, Cu mince).

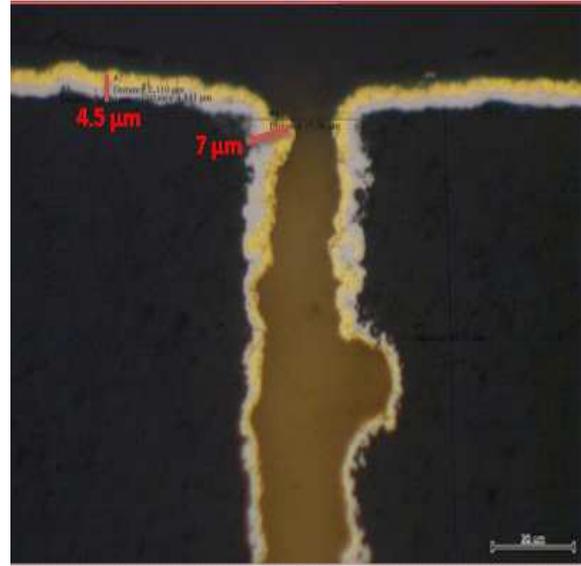
La méthode de métallisation chimique développée par l'entreprise 3DPLUS, dans le processus de fabrication des modules fonctionnels assemblés en 3D, s'effectue en deux étapes :

- métallisation initiale par immersion dans différents bains, sans source de courant externe (gamme chimique) ;
- renforcement par voie électrolytique de la fine couche métallique conductrice, (gamme électrolytique).

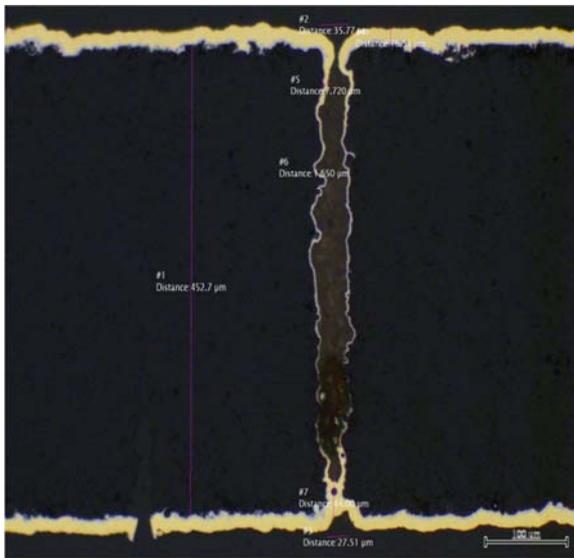
Lors de la première étape, une couche ( $2.5\mu\text{m}$ ) de nickel est déposée sur la surface accessible de la résine (flancs des trous) pour la rendre conductrice, ensuite cette couche est renforcée par une recharge électrolytique d'Or ( $1.5\mu\text{m}$ ) comme une couche de protection anticorrosion.



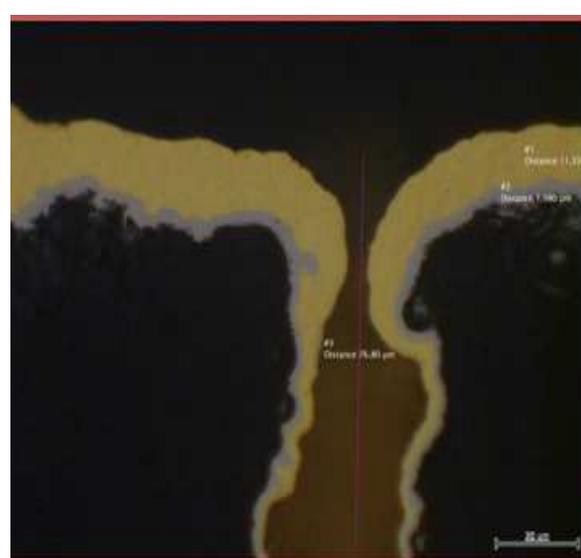
a)



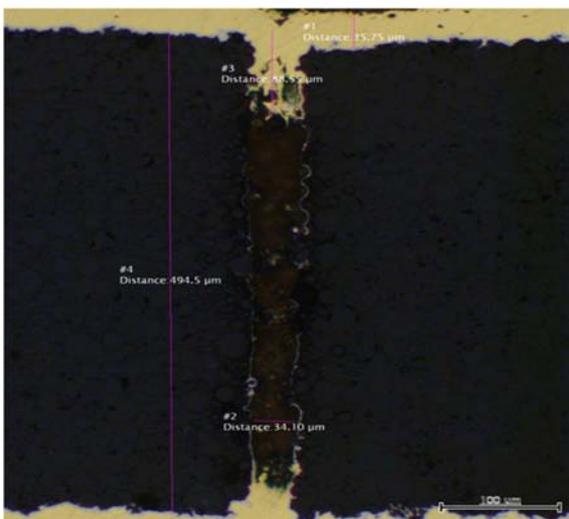
b)



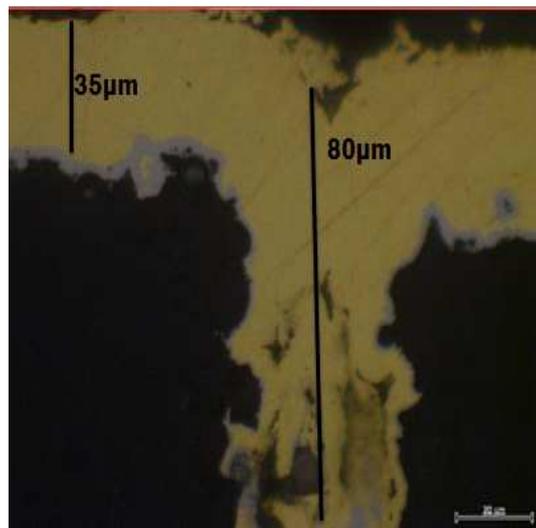
c)



d)



e)



f)

Fig.3.21 : Vue en coupe de la métallisation electroless du NiP suivi par épaisissements électrolytique d'Or pendant 3 temps différent : a,b) 20min c,d) 1h30min et e,f) 3h.

### III.4 Caractérisation physique de la métallisation dans les trous

Dans un premier temps nous avons testé la métallisation electroless du NiP chimique suivie par une recharge électrolytique d'Or. Les caractérisations physiques du dépôt sont les suivantes : les trous sont de diamètre  $40\mu\text{m}$  dans des épaisseurs de  $400\mu\text{m}$  et  $200\mu\text{m}$  de résine.

Nous avons testé plusieurs métallisations : Ni/Au et plusieurs solutions de Cuivre

→ Nickel/Or

Les phénomènes qui se sont produits dans les trois expériences de métallisation (Nickel/Or) montrés sur les photos de la figure 3.21 peuvent s'interpréter comme suit :

- 1- le dépôt du NiP chimique n'est pas uniforme le long des trous, il présente un gradient décroissant, dans l'épaisseur déposée, des deux extrémités vers le centre des trous. Ceci laisse parfois une zone de discontinuité au milieu des trous, phénomène d'autant plus important que les trous sont de diamètre faible (facteur de forme élevé). En même temps, la couche du Nickel déposée à la surface des modules est d'épaisseur uniforme, ce qui fait que le problème produit dans les trous est d'origine micro-fluidique : la concentration de la solution dans les trous contrôle la vitesse de dépôt métallique sur ces flancs.
- 2- La recharge électrolytique d'Or suit la même règle que celle du dépôt du Nickel, mais avec un gradient encore plus fort ( $7\mu\text{m}$  à l'entrée des trous et quelques nm au milieu) qui revient à l'intervention du phénomène électrique : la décroissance dans l'épaisseur du film NiP déposé, entraîne une croissance de la résistance électrique des extrémités des trous vers le centre sachant que la résistivité du nickel-phosphore (1-3%)  $4.5 \times 10^{-7} \Omega \cdot \text{m}$  est relativement élevé. Ceci justifie, en partie, la chute de croissance de l'Or dans les trous, ajoutons que les contraintes d'accès de la solution d'Or au milieu des trous fait que le renouvellement (ou circulation) de ces produits dans les canalisations est presque nulle, donc le milieu des trous est pauvre en molécules d'Or, ce qui peut limiter aussi la croissance de l'Or dans les trous.
- 3- L'évolution du dépôt métallique de deux extrémités des trous par rapport au centre complique la circulation de la solution dans les trous et la stoppe complètement avec l'avancement du processus.

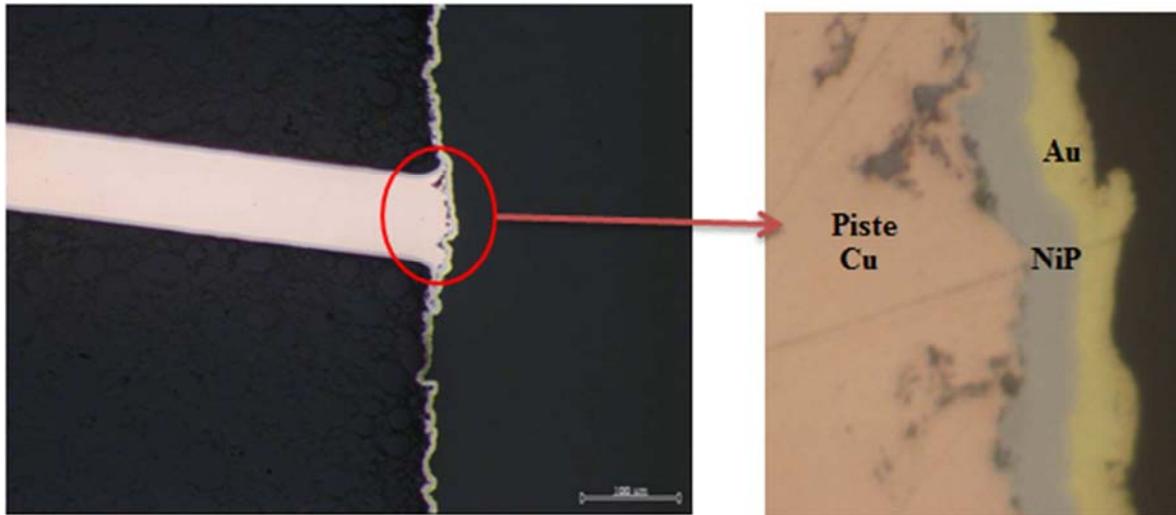


Fig. 3.22 : Photos par microscope optique de l'adhérence de la métallisation (Nickel chimique / Or électrochimique) avec une piste métallique (flow2; 3DPLUS).

Des tests de la métallisation des trous de  $35\mu\text{m}$  dans  $1\text{mm}$  de la résine, par Nickelage chimique en milieu Borohydrures de chez ROHM&HAAS (résistivité mesuré  $1.5 \times 10^{-7} \Omega \cdot \text{m}$ ) étaient négatifs. Le  $\text{Ni}_2\text{B}$  se dépose en très fine couche  $\sim 1\mu\text{m}$  à la surface et zéro micron dans les trous (Fig. 3.23).

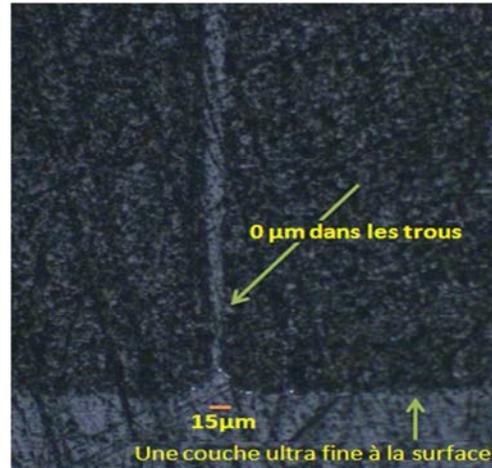


Fig. 3.23 : photo optique montrant la limite de la métallisation electroless du Nickel Bore ( $\text{Ni}_2\text{B}$ ) dans un trou du diamètre in/out :  $35/15\mu\text{m}$  traversant  $1\text{mm}$  de la résine

#### → Cuivre

Le tableau suivant est la recette donnée par le fabriquant (ROHM&HAAS) pour la préparation d'un bain de  $1\text{ litre}$  de ce type de cuivre.

produits nécessaires	quantité
Eau déminéralisée	818 ml
Circuposit 3350 M-1	150 ml
Circuposit 3350 A-1	10 ml
Cuposit Z-1	10.5 ml
Cuposit Y-1	11.5 ml

Tab.3.6 : Composition de la solution de métallisation chimique du cuivre épaisse donnée par le fabricant (ROOM&HAAS)

La solution optimale est donc encore inconnue : pour métalliser les flancs des trous, on a essayé d'optimiser la cinétique de dépôt du cuivre electroless, en variant certains facteurs influents, comme la température ou l'agitation mécanique de la solution.

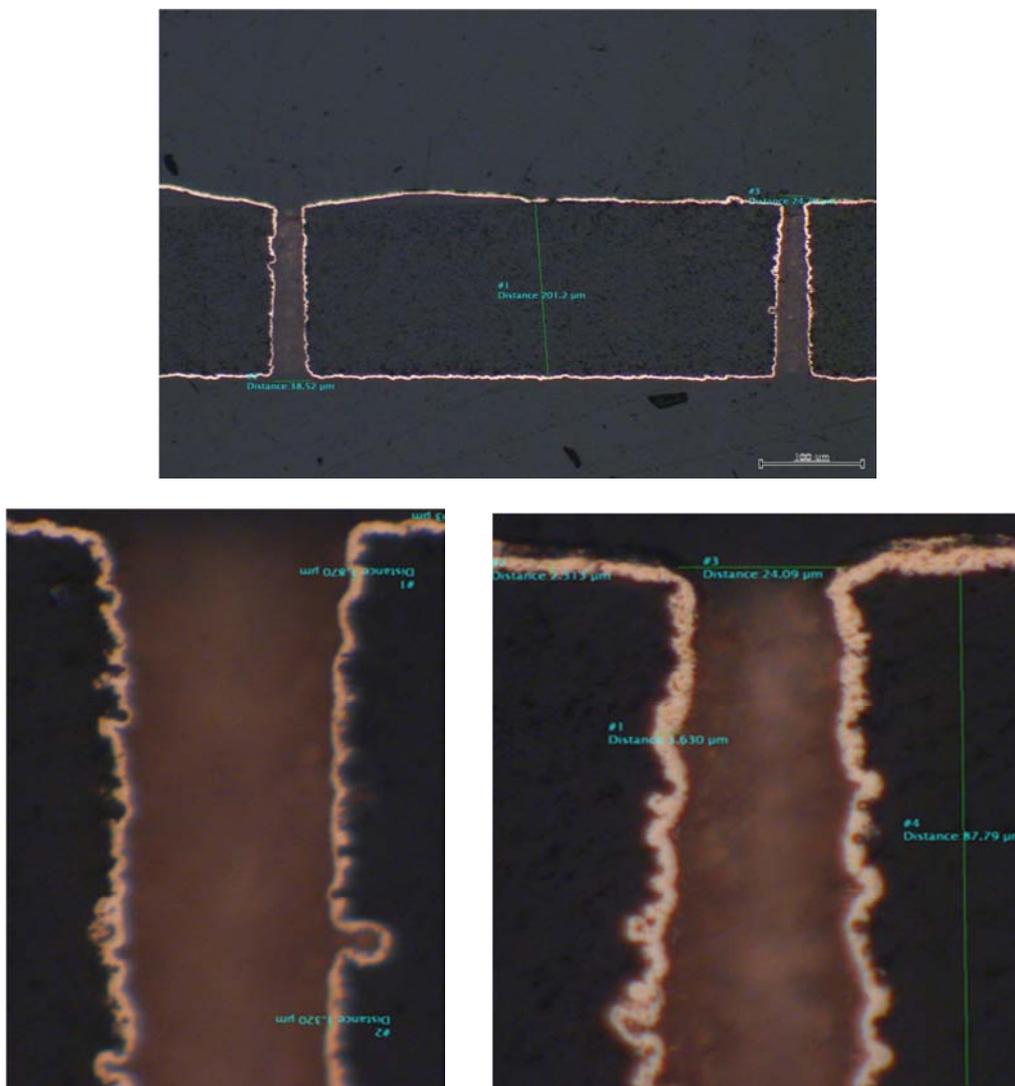


Fig.3.24 : a) Electroless du cuivre des trous du diamètre 35/15µm traversant 200µm de la résine. b) Zoom sur l'entrée, c) Zoom sur la sortie

- **Effet de la température du bain :**

Selon la fiche technique des fabricants, la température optimale se situe entre 40 et 70°C, la vitesse du dépôt augmente en même temps que la température. A partir de 70°C, le bain se décompose vite. Résultat : on n'a pas remarqué d'amélioration dans la métallisation des flancs des trous.

- **Agitation mécanique du bain :**

On a préparé la solution dans un récipient spécial à agitation magnétique pendant le processus de métallisation : cela n'a pas apporté de modification notable dans le processus de métallisation. Donc, le problème que nous rencontrons est d'origine micro fluidique (mouillabilité, énergie de surface et autre), celui d'assurer la circulation de la solution dans les trous. Or, les prétraitements des surfaces avant le bain de métallisation, présentent les mêmes difficultés au sens où les bains de prétraitement n'atteignent pas les flancs des trous : les voies couramment utilisées dans la métallisation electroless des matériaux polymères font d'abord appel à un pré-conditionnement des surfaces (dégraissage par la soude) ; ce pré-conditionnement est suivi d'une opération dite de décapage chimique par l'utilisation de solutions très oxydantes (solutions sulfochromiques, solutions de permanganate de potassium ...). Le rôle de ces solutions est de réaliser une oxydation des surfaces, ce qui vise à augmenter leur énergie superficielle et donc leur mouillabilité et à créer une microrugosité qui devra faciliter l'ancrage mécanique du métal déposé. L'opération suivante consiste à effectuer une activation de la surface du matériau ainsi prétraitée de façon à la rendre catalytiquement active vis-à-vis de la réaction conduisant au dépôt electroless. Cette opération peut être réalisée selon un procédé à deux étapes incluant d'abord une phase de sensibilisation de la surface via l'immersion de la pièce dans une solution acide de chlorure d'étain  $\text{SnCl}_2$ , puis une phase d'activation via l'immersion de la pièce sensibilisée dans une solution acide de chlorure de palladium  $\text{PdCl}_2$  [Sard 1970] [Meek 1975].

Le procédé du prétraitement, alternative qui pourrait constituer une solution possible pour notre application, fait appel à la fonctionnalisation des surfaces en phase gazeuse par voie plasma et au greffage d'espèces palladiées. Il remplacerait donc les traitements de surface par voie chimique utilisés dans les procédés conventionnels. C'est le travail de Charbonnier [Charbonnier 2003] du Laboratoire de Sciences et Ingénierie des Surfaces du Lyon, qui a montré l'intérêt des traitements plasma pour greffer des fonctions spécifiques à la surface du polyimide, et par extension à d'autres polymères, dans le processus de métallisation electroless du Nickel ou du Cuivre. Cette méthode est en cours d'étude et de développement pour le traitement de la surface des échantillons ; elle n'est pas encore testée dans des canalisations micrométriques (Fig.3.25).

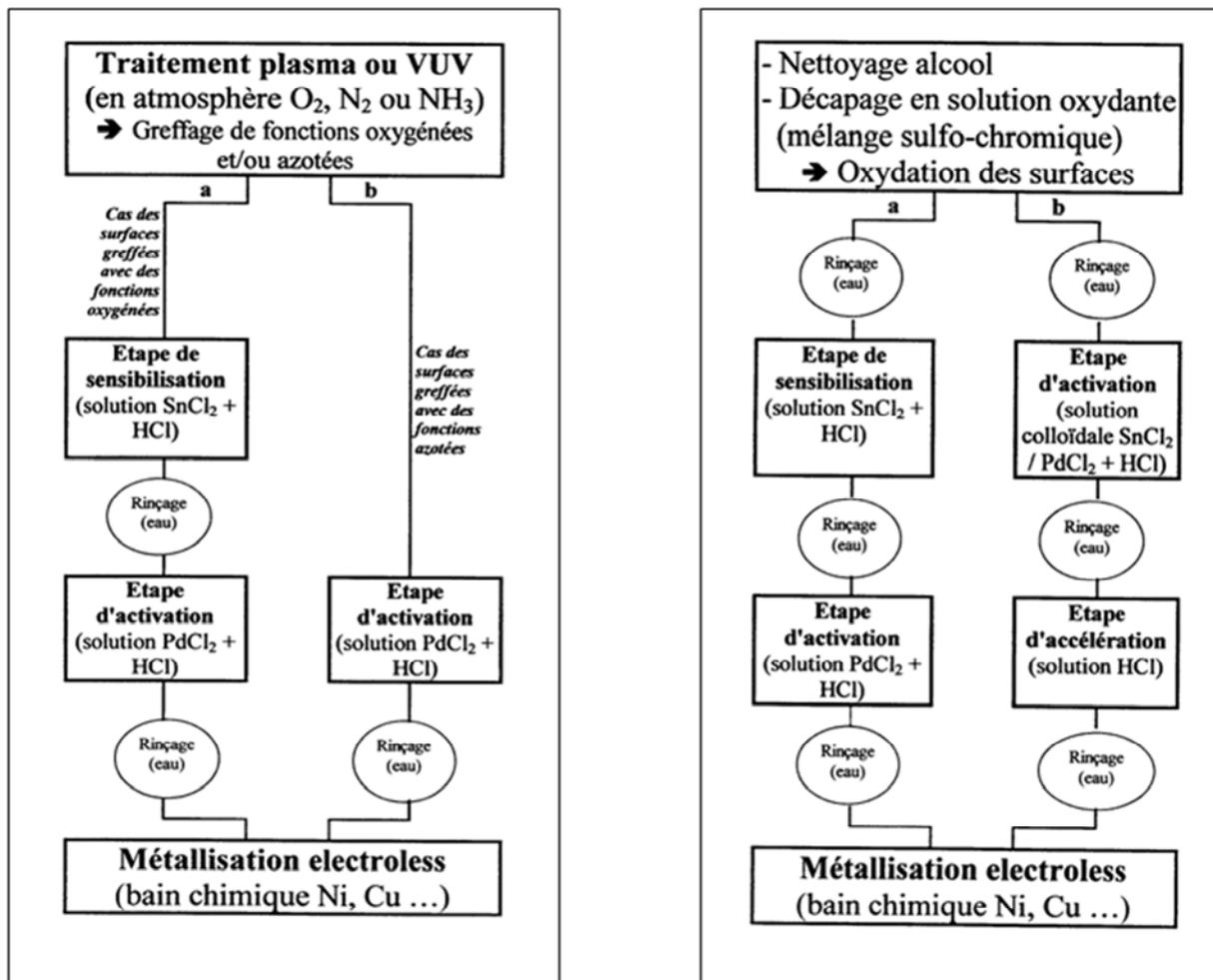
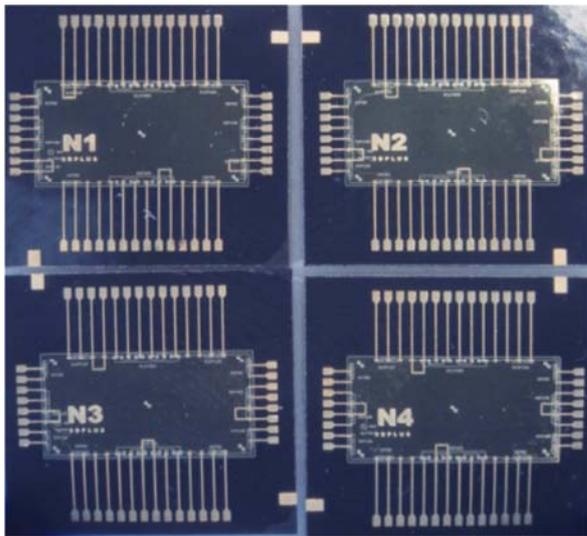


Fig.3.25: a) Méthode de métallisation electroless des substrats polymères fonctionnalisés plasma des surfaces, b) Méthode conventionnelle de métallisation electroless des substrats polymères.

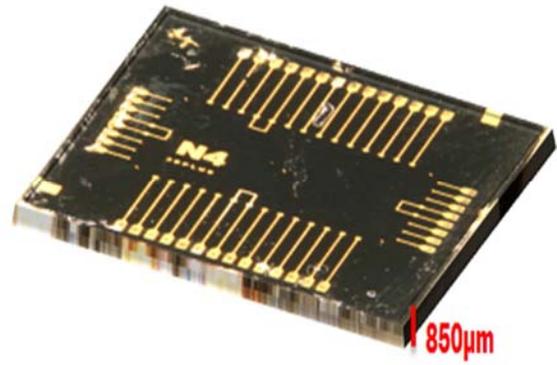
Parallèlement à nos tests de métallisation à 3DPLUS, une équipe du LAAS, confrontée au développement de technologies dites « douces », a conçu et mis au point un procédé original de métallisation electroless du Cuivre, capable de métalliser des géométries à très haut facteur de forme (> 50).

### III.5 Caractérisations électriques des modules empilés

L'objectif, une fois le dépôt du métal (Ni/Au) dans les trous est achevé, c'est de caractériser les performances électriques de la métallisation chimique dans les vias avec les pistes métalliques des différents niveaux de la structure (Fig.2.23). Cette caractérisation consiste à mesurer les valeurs de la résistance de contact aux nœuds des connexions des couches electroless avec les pistes RDL. Pour ce faire, chaque module de nos véhicule-test résulte de l'empilement de 4 couches de wafers reconstituées traitées en 2D (avec RDL) ; chaque couche est amincie à 200µm ; l'épaisseur totale est donc de 850µm (y compris l'épaisseur du diélectrique et de la colle).



a)



b)

Fig. 3.26 : a) Wafer reconstitué 2 pouces après RDL, amincie et découpé en 4 modules élémentaires b) empilement de ces 4 niveaux en un seul module.

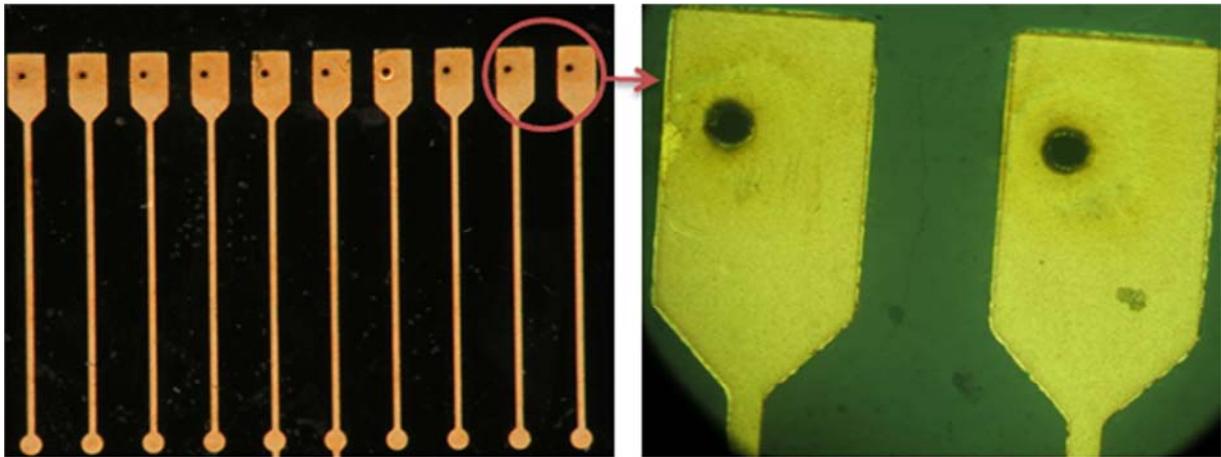


Fig. 3.27 : Perçage laser des trous à travers l'ensemble des couches empilées.

Après empilement et perçage laser des trous, les modules sont amenés dans le processus de métallisation electroless du NiP suivi par l'Or électrochimique. On applique ensuite la méthode de la caractérisation électrique suivante :

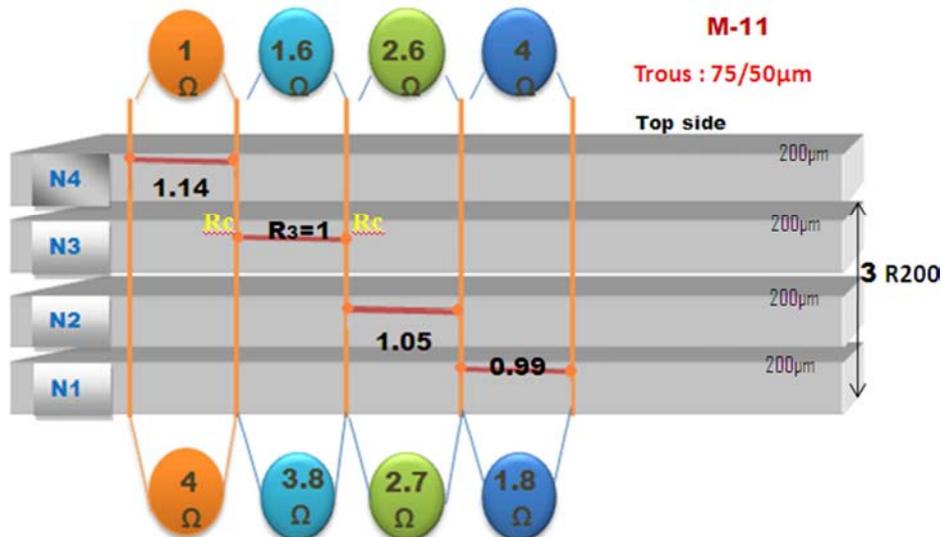


Fig. 3.28 : Méthode de caractérisation des connexions électriques

Par hypothèse, on suppose que les trous sont métallisés d'une manière uniforme, donc, la résistance d'un trou vaut la somme des résistances des niveaux empilés.

$$\begin{array}{l}
 \text{Ω metre} \left\{ \begin{array}{l} 3,8 = 6R200 + 2Rc + R3 \\ 1,6 = 2R200 + 2Rc + R3 \end{array} \right. \rightarrow 3,8 - 1,6 = 4R200 \Rightarrow R200 = 0,55 \text{ Ω} \Rightarrow Rc = -0,25 \text{ Ω} \\
 \text{Ω metre} \left\{ \begin{array}{l} 4 = 6R200 + 2Rc + R1 \\ 1,8 = 2R200 + 2Rc + R1 \end{array} \right. \rightarrow 4 - 1,8 = 4R200 \Rightarrow R200 = 0,55 \text{ Ω} \Rightarrow Rc = -0,35 \text{ Ω}
 \end{array}$$

Les valeurs négatives dans le calcul de la résistance du contact résultent de notre hypothèse : la métallisation n'est pas uniforme le long des trous ; sa valeur exacte ne peut être déterminée par cette méthode que si la métallisation est uniforme dans les trous. On a utilisé la méthode dite à 4 points (Fig. 3.29) pour affiner la mesure : le calcul de la résistance de contact, donne toujours des valeurs des résistances du contact nulles ou négatives.

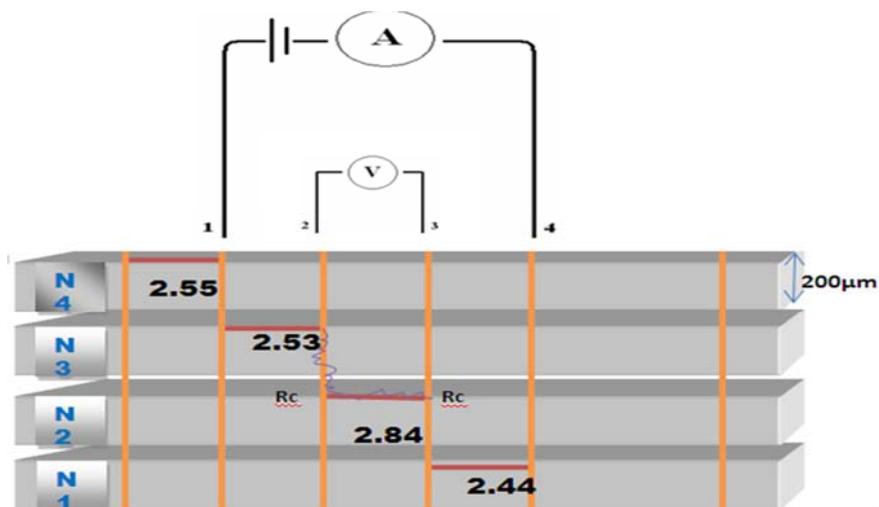


Fig. 3.29 : Méthode de la caractérisation 4 pointes des connexions électriques

Même si l'on a des difficultés dans le calcul d'une valeur exacte de la résistance de contact entre la métallisation electroless dans les trous et les interconnexions horizontales, dans tous les cas, on peut affirmer que sa valeur est toujours très faible, prouvant une bonne adhérence du dépôt chimique avec les bords des interconnexions métalliques (RDL) dans les trous et une bonne transition électrique entre les deux matériaux. On note que le processus du perçage laser n'affecte pas, par oxydation, les pistes métalliques aux niveaux des trous.

### **Conclusion :**

Dans ce chapitre consacré à l'analyse des difficultés technologiques rencontrées, nous avons étudié en détails le problème de dérive des puces : sans méthode de calcul par éléments finis du retrait polymères, nous avons proposé un modèle explicatif qui impute aux inhomogénéités de polymérisations la cause des re-positionnements pendant la polymérisation de la résine. Nous avons décrit la dérive linéaire des puces par une équation qui fait intervenir plusieurs paramètres en fonction de la géométrie et de la température. Cette approche, associée à des mesures, peut aider à l'expérimentation de solutions possibles par fixation des puces ou polymérisations sous pressions (certains industriels ont développé cette approche pour gérer la dérive des puces dans le processus de la reconstitution des wafers de 12 pouces).

Egalement, dans ce chapitre, nous avons analysé le mécanisme de perçage laser des trous dans la résine où on a identifié les éléments impliqués dans le processus d'interaction laser /matériau. Nous avons appliqué ces données aux matériaux hétérogènes (résines chargées) qui correspondent le mieux à notre application ainsi qu'aux paramètres du perçage. Nous avons finalement choisi un mode de perçage et fait des recommandations sur la nature des composites à utiliser (en particulier diminution de la taille des billes)

Dans la dernière partie, nous avons expérimenté plusieurs technologies de métallisation chimique des trous percés dans différents bains commerciaux. Il a été montré que le Nickel-Phosphore métallise bien les trous de faible (35µm) et grand diamètre ce qui n'est pas le cas, pour des procédés classiques, avec d'autres métaux comme le cuivre et l'Or chimique. Ces résultats méritent d'être améliorés : notons dans ce sens, que des échantillons que nous avons préparés, de même profil, ont pu être uniformément métallisés dans un bain chimique de cuivre via un processus (bains chimiques faits maison) développé par le LAAS mais encore confidentiel.

## **Références**

**[FARHI 1998]** Farhi R., Morel C., Cheron J., matières plastiques et adjuvants. Hygiène et sécurité, INRS, ED 638, pp.229, Paris, 1998.

**[BOST 1980]** Bost J., Résines éthyloxyliques. Matières plastiques –Chimie – Applications, Technique et Documentation, pp.45-61, Paris, 1990.

**[CHEOL 1995]** K. Cheol, H. Teng, C. L Tucker, and S. R. White. The continuous curing process for thermoset polymer composites, part 1: modeling and démonstration. Journal of Composite Material, 29:1222-1253, 1995.

**[Panagiotis 2000]** I. K. Panagiotis and K. P. Ivana. Cure modeling and monitoring of epoxy/amine resin System. 2 . network formation and chemoviscosity modeling. Journal of Applied Polymer Science, 77:2178-2188, 2000.

**[Bardonnnet 1992]** P. Bardonnnet. Résine époxyde, composants et propriétés. Technique de l'ingénieur, AM 3(A-3465):1-16, 1992.

**[Benedetto 1987 ]** T. Di Benedetto. Prédiction of the glass transition température of polymers: a model based on the principle of corresponding state. J. Polym. Sci., 25(B):1949-1969, 1987.

**[Russel 2000]** J. D. Russel, M. S. Madhukar, M. S. Genedi, and A. Y. Lee. A new method to reduce cure-induced stresses in thermoset polymer composites, part 3: correlating stress history to viscosity, degree of cure, and cure shrinkage. Journal of Composite Material, 34(22): 1926-1947, 2000.

**[CIZMECIOGLU 1986]** M. Cizmecioglu, A. Gupta, and F. Fedors. Influence of cure conditions on glass transition température and density of a n epoxy resin. Journal of applied polymer science, 32, 1986.

**[Khoun 2010]** Lolei Khoun, Pascal Hubert, Characterizing the cure shrinkage of an epoxy resin in situ, Society of Plastics Engineers (SPE), 10.1002/spetro.002583 (2010)

**[Le Huy 1990]** H. M. Le Huy, "Vieillissement d'un réseau époxy - anhydride," Thèse en Mécanique et matériaux. Paris: Ecole nationale supérieure d'arts et métiers, pp. 1-185, 1990.

**[Hwang 2007]** J.S Hwang, Filler size and content effects on the composite properties of anisotropic conductive films (ACFs) and reliability of flip chip assembly using ACFs, Microelectronics reliability 48, pp. 645-651, 2008.

**[Khosravi 2007]** Kazem Khosravi DDS, Finite Element Stress Analysis of Composite Polymerisation Shrinkage in Endodontically Treated Maxillary Central Incisors, Dental Research Journal, Vol. 4, No. 2, Autumn-Winter 2007.

- [**Culshaw 1996**] B. Culshaw. Smart Structures and Materials, pages 175-180. Artech House, 1996.
- [**Ghandi 1992**] M. V. Ghandi and B. S. Thomson. Smart Materials and Structures, pages 229-234. Chapman and Hall, 1992.
- [**Hayes 1997**] S. Hayes, T. Liu, D. Brooks, S. Monteith, B. Ralph, S. Vickers, and G. F. Fernando. In situ self-sensing fibre reinforced composites. Smart. Mater. Struct., 6:432-440, 1997.
- [**R. M. Measures 1993**] R. M. Measures. Fiber optic sensing for composite smart structure. Composite Engineering, 3:715-750, 1993.
- [**Braren 1985**] B. Braren, R. Srinivasan: J. Vac. Sci. Technol. B 3(3), 913 1985.
- [**Damiani 1991**] D. Damiani: Ann. Phys. C 19(5), 261 (1994); thesis, Université de Limoges (1991).
- [**Olson 1992**] R.W. Olson, W.C. Swope: J. Appl. Phys. 72, 3686 (1992).
- [**Bäuerle 1996**] D. Bäuerle, Laser Processing and Chemistry (Springer, Berlin Heidelberg 1996).
- [**Kreutz 1990**] E.W.Kreutz, N.Pirch, proceedings SPIE 1276, 343-360 (1990).
- [**Afane'ev 1997**] Yu.V.Afanev'ev, O.N. Krokhin: Soviet. Phys. J. Exp. and Theor. Phys. 52, 966-975 (1967).
- [**Beyer 1983**] E. Beyer, L. Bakowesky, P. Loosen, R. Poprawe, G. Herziger: Proceedings SPIE 455, 75-80 (1983)
- [**Guillermin 2009**] Matthieu Guillermin, Université Jean Monnet de Saint-Etienne (2009)
- [**Bulgakova 2004**] N. M. Bulgakova, R. Stoian, A. Rosenfeld, E. E. B. Campbell, and I. V. Hertel, Applied Physics A: Materials Science & Processing, 79(4):1153–1155, 2004.
- [**Henyk 2000**] M. Henyk, D. Wolfframm, and J. Reif. Ultra short laser pulse induced charged particle emission from wide bandgap crystals. Applied Surface Science, 168(1-4), 263–266, 2000.
- [**Stoian 2000**] R. Stoian, D. Ashkenasi, A. Rosenfeld, and E. E. B. Campbell. Coulomb explosion in ultrashort pulsed laser ablation of  $Al_2O_3$ . Phys. Rev. B, 62(19): 13167–13173, 2000.
- [**Laude 1997**] L.D. Laude, S. Soudant, S. Beauvois, D. Renaut, A. Jadin. Laser ablation of charged polymers. Nuclear Instruments and Methods in Physics Research B 131, 211-218(1997).

**[Dewall 2009]** Pascal Dewall, caractérisation des aérosols émis par interaction laser matière dans le cadre d'expériences du decapage de peintures par laser, laboratoire du physique et de métrologie des aérosols, IRSN -118, 2009.

**[Lopez 1999]** J. Lopez et S. Lazare. Microperçage de polymères par laser à excimères. J. Phys. IV, 9, (1999)

**[Hermann 2004]** J. Hermann, S. Bruneau, M. Sentis. Spectroscopic analysis of femtosecond laser-induced gas breakdown. Science Direct 453-454, 377-382 (2004).

**[Jappes 2005]** J.T. WINOWLIN JAPPES, B. RAMAMOORTHY, P. KESAVAN NAIR, A study on the influence of process parameters on efficiency and crystallinity of electroless Ni-P deposits, Journal of Materials Processing Technology, volume 169, Issue 2, novembre (2005), pp.308-313.

**[Colin 1976]** R. COLIN, Le procédé industriel de nickelage chimique Kanigen, Galvano Organo, volume 740, pp.981-990, (1976)

**[Narayan 1985]** R. NARAYAN, M.N. MUNGOLE, Electrodeposition of Ni-P alloy coatings, Surface and Coatings Technology, volume 24, (1985), pp. 233-239.

**[Bonino 1990]** J.P. BONINO, A. ROUSSET, C. ROSSIGNOL, Y. BLOTTIERE, Matériaux et structure à modules sphériques creux : en alliages de nickel microcristallisés ou amorphes, Matériaux et Techniques, volume 78, Issues 1-2, pp. 25-28, (1990)

**[Pouderoux 1991]** P. POUDEROUX, I. CHASSAING, J.P. BONINO, A. ROUSSET, Plating of nickel phosphorus multilayer alloys : current pulse effects on the microstructural and mechanical properties, Surface and Coatings Technology, (1991), volume 45, pp. 161-170.

**[Sard 1970]** R. Sard, J. Electrochem. Soc. **117**, 864-870 (1970).

**[Meek 1975]** R.L. Meek, J. Electrochem. Soc. 122, 1478 (1975).

**[Charbonnier 2003]** M. Charbonnier, Y. Goepfert, M. Romand, in "Polyimides and Other High Temperature Polymers: Synthesis, Characterization and Applications", Vol. 2, (K.L. Mittal Ed.), VSP, Utrecht, 2003, pp. 289-314.

**[Petersen 1982]** Petersen, KE, en tant que matériau silicium mécanique, Proc. IEEE. , Vol. IEEE., Vol. 70, No. 5, 1982 70, no 5, 1982

**[Felder 1998]** E. FELDER, C. ANGELELIS, M. DUCARROIR, M. IGNAT, P. MAZOT, Propriétés mécaniques de films minces : problématiques et moyens de mesure, Annales de Chimie Science des Matériaux, volume 23, Issues 5-6, Septembre, pp.791-819, (1998).

**[Roche 1991]** A. ROCHE, Les théories de l'adhésion et mesure de l'adhérence des couches minces, Le Vide, les couches minces, volume 257, pp.197-230 (1991).

**[Yung 2010]** K. C. Yung, B. L. Zhu, T. M. Yue, C. S. Xie, Effect of filler size and content on the thermomechanical properties of particulate Aluminium Nitride filled epoxy composites, Journal of Applied Polymer Science, Vol. 116, 225-236 (2010).

**[HUANG 2004]** Y.S. HUANG, X.T. ZENG, X.F. HU, F.M. LIU, Corrosion resistance properties of electroless nickel composite coatings, Electrochimica Acta, volume 49, Issue 25, (2004).

**[LIN 2005]** C.J. LIN, J.L. HE, Cavitation erosion behaviour of electroless nickel plating on AISI 1045 steel, Wear, volume 259, Issues 1-6, (2005), pp.154-159.

**[Braun 2011]** T. Braun , K.-F. Becker , S. Voges, Through Mold Vias for Stacking of Mold Embedded Packages, Electronic Components and Technology Conference , IEEE, 2011

**[Guerin97]** <http://memscyclopedia.org/su8.html>

**[Tezzaron09]** 3D IC Industry Summary, Tezzaron Semiconductor Website:  
[http://www.tezzaron.com/technology/3D\\_IC\\_Summary.html](http://www.tezzaron.com/technology/3D_IC_Summary.html)

**[Memscyclopedia]** <http://memscyclopedia.org/>

**[Laurens 2007]** P.Laurens, preparation de surface de polymers par laser impulsionnel, LALP-CLFA, France(2007).

**[Sadras ]** Sadras VO, Milroy SP Soil-water thresholds for the responses of leaf expansion and gas exchange. Field Crops Research 47: 253-266 (1996).

<b>CHAPITRE IV : Analyse et prospective.....</b>	<b>130</b>
<b>Introduction .....</b>	<b>130</b>
<b>IV.1 Technologies de perçage des vias : .....</b>	<b>131</b>
IV.1.1 Laser femtoseconde .....	131
a) Sélectivité de gravure .....	131
b) Vitesse de gravure .....	132
c) Profil des trous. ....	135
d) Temps de perçage d'un trou .....	139
e) Zone Affectée Thermiquement : ZAT .....	139
IV.1.2 Laser Excimère .....	141
a) Sélectivité de gravure .....	141
b) Vitesse de gravure .....	143
c) Profil des trous .....	144
d) Zone Affectée Thermiquement : ZAT .....	145
IV.1.3 Laser YAG triplé .....	146
a) Zone Affectée Thermiquement (ZAT) .....	147
b) Temps de perçage .....	148
IV.1.4 Conclusions.....	148
<b>IV.2 Considérations synthétiques sur les procédés TPV .....</b>	<b>149</b>
IV.2.1 Les étapes de réalisation du procédé TPV .....	149
IV.2.2 Les modules prototypes TPV .....	153
IV.2.3 Conclusions.....	156
<b>IV.3 TPV-SOFT à base de SU8.....</b>	<b>157</b>
IV.3.1 Bilan d'avancement des travaux .....	157
IV.3.2 Prospective TPV-SOFT : .....	158
<b>IV.4 Modélisation et évaluation de la fiabilité des modules.....</b>	<b>158</b>
IV.4.1 Modèle étudié .....	160
IV.4.2 Simulation thermomécanique. ....	164
IV.4.3 Contrainte liée au retrait de polymérisation.....	167

## Chapitre IV : Analyse et prospective

### Introduction

Nous avons, dans les chapitres précédents, présenté les objectifs d'assemblages multi-puces, identifié les points délicats et exploré différentes possibilités de réalisation étape par étape. L'assemblage terminal consiste à empiler les puces conditionnées par le polymère, à percer les vias sur l'épaisseur totale et à les métalliser.

Nous avons déjà précisé que, en l'état actuel d'avancement des travaux, nous n'envisagions pas d'empilement de wafer reconstitué sur wafer reconstitué : nous ne traitons que les puces nues et amincies. Par ailleurs, nous avons présenté dans le chapitre 3 les résultats obtenus avec la métallisation Nickel des vias ; nous n'y reviendrons pas.

Ce dernier chapitre est d'abord consacré à l'exposé des résultats consacrés à la réalisation des vias : plusieurs possibilités de gravure laser ont été explorées et comparées de manière à fixer un procédé industriel. Une présentation synthétique de l'ensemble des résultats obtenus est ensuite proposée, en nous efforçant de conclure sur l'état de nos contributions et finalement de dégager les éléments prospectifs qui nous paraissent pouvoir être envisagés à ce stade d'avancement.

Dans ce chapitre, au stade plus prospectif, nous proposons une première analyse des questions de fiabilité de ces assemblages hétérogènes et essayons de chiffrer les contraintes par simulation et de dégager des voies d'optimisation des dispositifs assemblés.

C'est la phase de passage à l'échelle tri dimensionnelle par l'empilement de puces nues de sorte qu'elles soient préalablement moulées dans un polymère qui les maintient en place et qui constitue la base d'un wafer reconstitué. L'empilement des niveaux se fait par la dispense d'une couche de 10 $\mu$ m de colle époxy sur la plaquette 'P' face avant et en positionnant la plaquette 'P+1' toujours face avant vers le haut. L'alignement des deux plaquettes se fait grâce à des mires virtuelles sur un écran de vision. Un dispenseur volumique contrôle la quantité de colle à déposer en fonction de la surface de la plaquette reconstituée. La polymérisation de la colle se fait ensuite dans une étuve pendant 1h à 125°C suivie de 1h à 180°C. Sur une machine Tresky, la précision d'alignement obtenue est de 30 $\mu$ m sur 4 niveaux ; actuellement 3DPLUS dispose d'une machine d'empilement 3D (wafer stacker) capable d'empiler des wafers de dimensions jusqu'à 8 pouces, avec une précision d'alignement ~5 $\mu$ m, sur un empilement de 10 niveaux.

## IV.1 Technologies de perçage des vias :

Dans l'objectif de réaliser des vias de caractéristiques bien définies, avec un facteur de forme élevé ( $FDF > 20$ ) avec des trous de diamètre  $< 50\mu\text{m}$  dans 1mm d'épaisseur de matériaux hétérogènes assemblés, nous avons fait une recherche bibliographique et conduit une étude théorique sur le type d'interaction des différentes sources laser avec le polymère ; les principaux résultats ont été présentés dans le chapitre précédent. Trois types de laser ont finalement été sélectionnés pour répondre aux caractéristiques des vias exigées par la technologie TPV:

- 1) Laser femtoseconde infrarouge
- 2) Laser Excimère UV nanoseconde
- 3) Laser YAG triple, UV nanoseconde

Pour étudier les performances de ces types de sources sur un polymère chargé de billes de silice, nous avons choisi de tester une résine commerciale (E2517) pour ses caractéristiques thermomécaniques et sa tenue en température ( $T_g : 220\text{ }^\circ\text{C}$  et  $\text{CTE} : 19\text{ PPM}/^\circ\text{C}$ ). Les tests de micro perçage ont été effectués selon un plan d'expériences prédéfinies en fonction des impératifs du processus TPV et conduites au sein des entreprise 3DPLUS et ALPHANOV.

### IV.1.1 Laser femtoseconde

La source utilisée est un produit (**S-pulse HP**) commercialisé par la société Amplitude systèmes ; ses caractéristiques sont : longueur d'onde 1030nm, durée d'impulsion 500fs, puissance 3,5W@100kHz, jusqu'à 0,9 mJ/pls. Ce laser est couplé à une machine équipée d'une platine de translation permettant des déplacements de 500 mm par 500mm et de deux platines de rotation. Tous les tests de perçage ont été effectués à une fréquence de répétition de 1KHz, avec une lentille de focale : 100mm.

#### a) Sélectivité de gravure

On observe une forte rugosité due à la présence des billes de  $\text{SiO}_2$ , ce qui définit un contour dont la précision est de l'ordre de la taille des billes. La figure 4.1 illustre l'état d'ablation de la matrice composite (résine E2517) après un passage d'attaque laser avec les paramètres suivants : cadence 1KhZ vitesse 5mm/s, E:680 $\mu\text{J}$ /pls, spot 60 $\mu\text{m}$ , balayage en ligne, pas entre lignes : 30 $\mu\text{m}$ ; over lap : 50%.

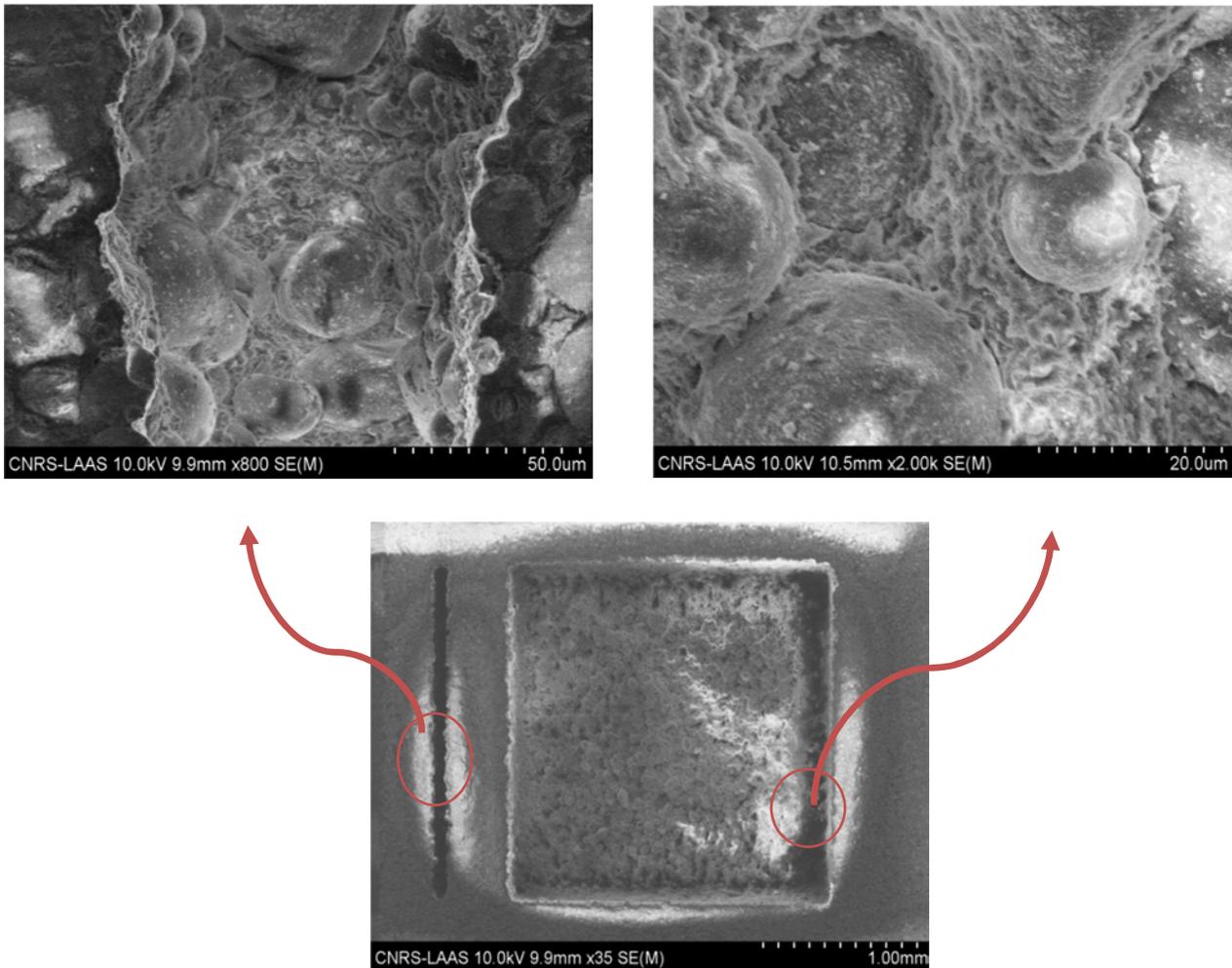


Fig.4.1: Photos montrant la sélectivité de gravure (par laser femtoseconde) de la résine par rapport aux billes de Silice.

Les tests de gravure des 45 cavités réalisées avec des paramètres d'énergies différentes (80, 160,240, 320, 400, 480, 560, 640, 680 $\mu$ J/pls) et différentes valeurs de la vitesse de balayage (5, 15, 30, 45, 60 mm/s) montrent que les billes de silice ne sont jamais ablatées. Selon les observations effectuées et les photos MEB (Fig.4.1), on peut dire que le seuil d'énergie d'ablation du polymère est bien inférieur à celui de la Silice : le polymère est rapidement ablaté et les billes sont éjectées de la surface par les gaz dégagés à grande vitesse.

#### b) Vitesse de gravure

Le nombre d'impulsions par unité de surface est calculé suivant la relation suivante :

$$N = \frac{d}{p} * \frac{C * d}{V} \quad \text{Eq.4.1}$$

N : nombre d'impulsion par unité de surface

d : diamètre du faisceau focalisé (60 $\mu$ m)

C : cadence de tir (1KHz)

V : vitesse de balayage ( $\mu$ m/s)

p : pas du balayage de la surface (30 $\mu$ m)

$\frac{d}{p}$  : taux de recouvrement (dans notre cas = 2)

La figure 4.2 représente le plan de test d'ablation sur une plaquette 2 pouces de la résine E2517 en fonction de l'énergie et de la vitesse de balayage du faisceau laser : les chiffres dans les carrés correspondent à la profondeur ablatée en fonction de ces paramètres. On remarque sur cette figure que le seuil d'ablation de la résine E2517 est faible ( $< 80\mu\text{J}$ ).

	Vitesse de balayage ( $\text{mm.s}^{-1}$ )					Energie ( $\mu\text{J}$ )
	5	15	30	45	60	
	60	25	20	12	10	80
	100	45	20	20	10	160
	118	50	36	20	15	240
	140	65	27	25	20	320
	165	70	45	40	25	400
	383	137	55	40	35	480
	452	174	65	50	45	560
	523	228	85	60	50	640
	586	232	120	85	60	680
						680
	Temps d'usinage (s)					
	28,35	9,5	4,78	3,2	2,42	

Recherche position de focalisation et détermination de la taille du faisceau focalisé

Profondeur ablatée en  $\mu\text{m}$

Fig.4.2: Plan de traitement d'un échantillon par différents paramètres et les mesures des profondeurs ablatées correspondantes (Cavités de  $2 \times 2 \text{ mm}^2$ ).

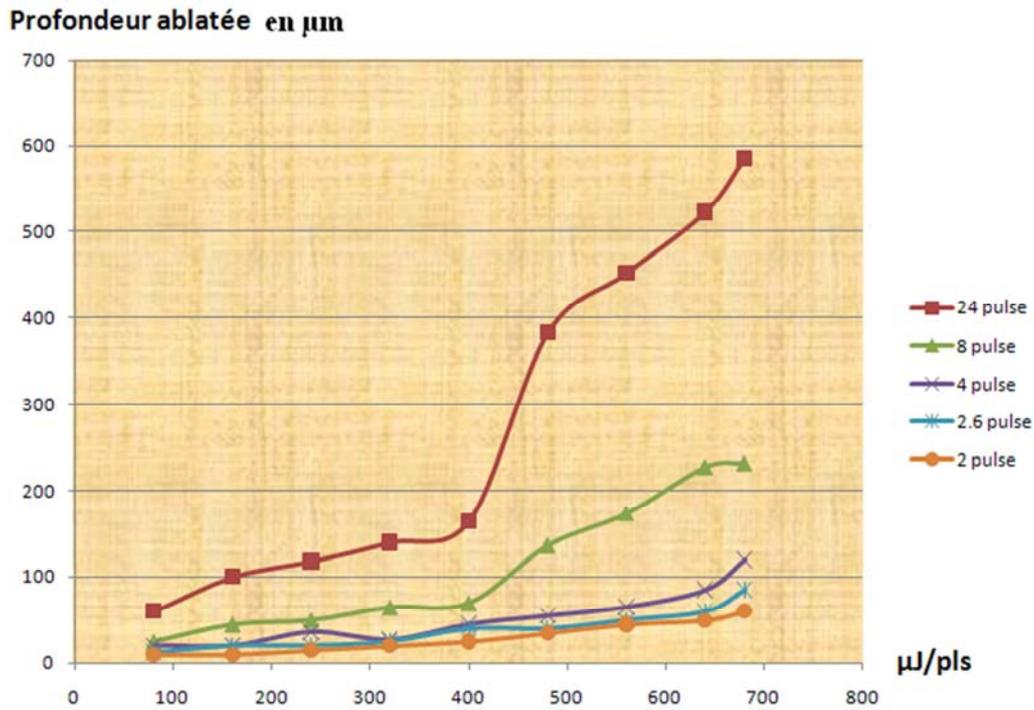


Fig.4.3 : Courbes donnant l'évolution de la profondeur ablatée du E2517 en fonction de l'énergie et le nombre des pulses laser ( $Z = f(E_{pls})$ )

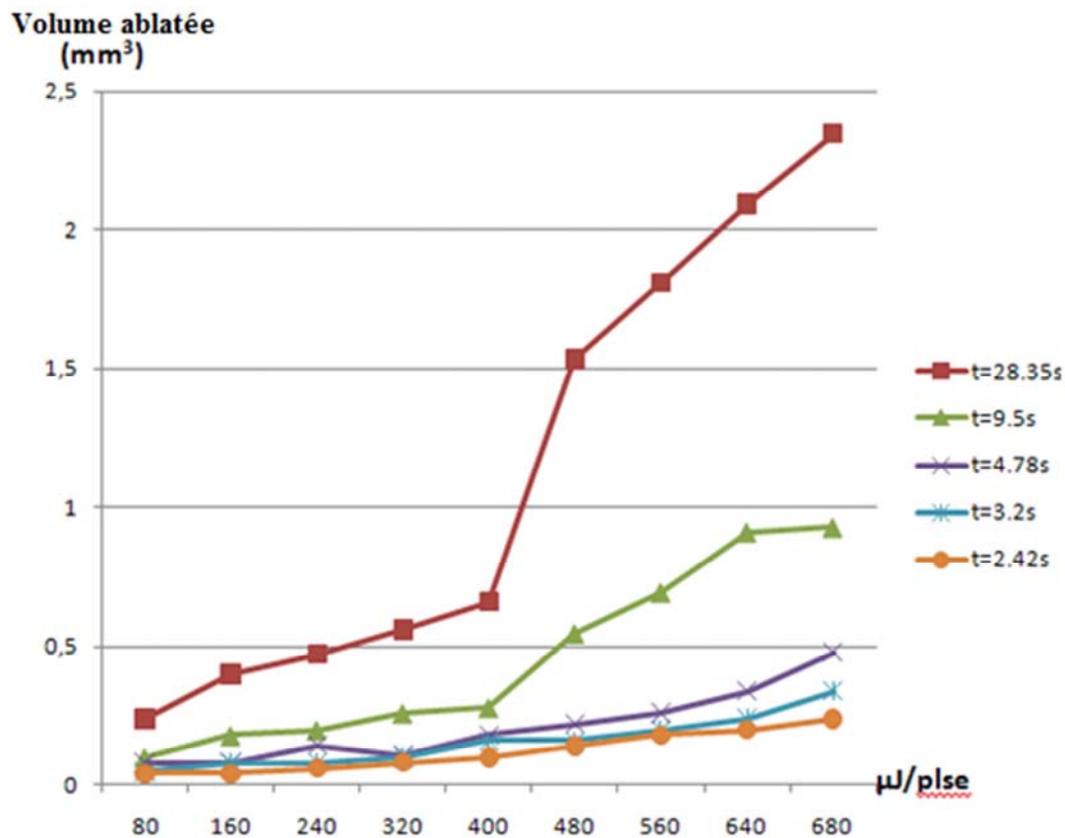


Fig.4.4: Volume ablatée de la résine en fonction de l'énergie des impulsions ( $\text{mm}^3/\mu\text{J}$ ) pour plusieurs temps de balayage des cavités ( $2 \times 2 \text{mm}^2$ ).

Les figures 4.3 et 4.4 permettent de conclure qu'à partir de 400µJ, l'ablation de la résine serait plus efficace et plus rapide en termes de débit et de profondeur de la matière ablatée.

**c) Profil des trous.**

i) La conicité de perçage :

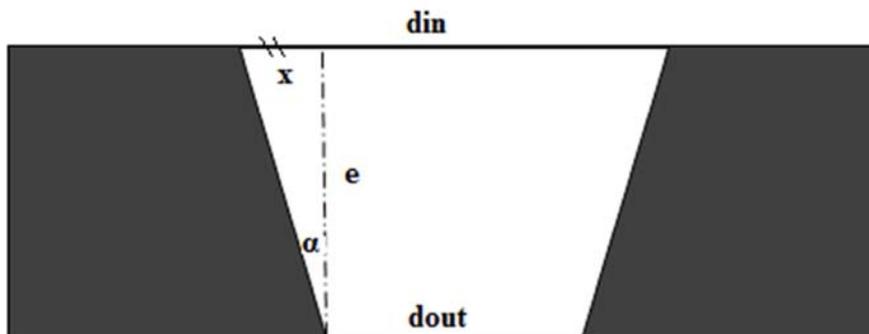


Fig.4.5 : Dessin montrant les paramètres qui définissent le facteur de conicité d'un trou

La conicité de perçage d'un trou traversant se définit par son facteur de conicité s'exprime par la relation suivante (Fig.4.5) :

$$C = \mathbf{tg}(\alpha) = \mathbf{x/e} = \frac{(\mathbf{din-dout})}{2.e} \quad \text{Eq.4.2}$$

Sachant que l'épaisseur de nos échantillons tests est  $e = 1 \text{ mm}$ , les mesures de  $d_{in}$  et  $d_{out}$  permettent de calculer  $C$ .

L'expérience montre que, pour une même focale (100 mm), le diamètre d'entrée du trou diminue avec l'énergie des impulsions, mais la conicité de trou augmente, le plus faible diamètre d'entrée obtenu par le montage optique (lentille) est de l'ordre de 90µm.

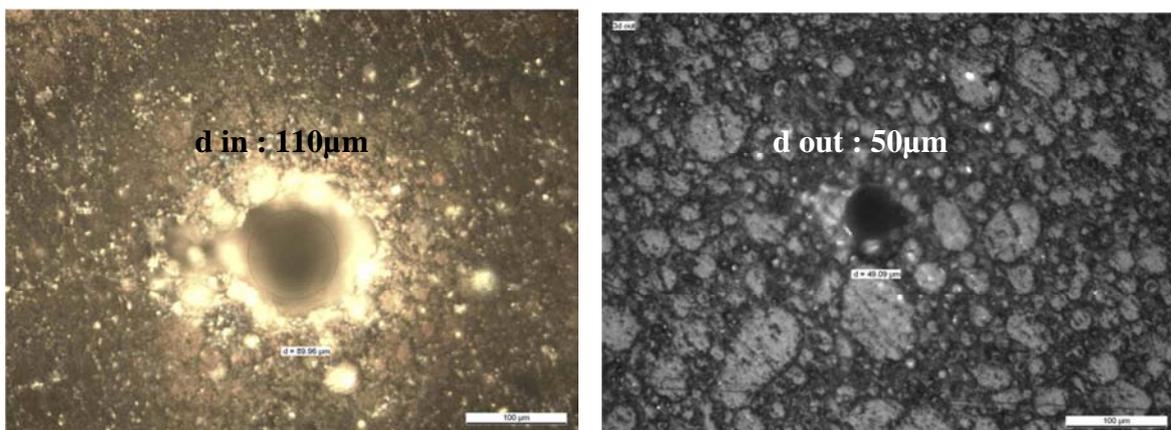


Fig.4.6: Diamètres d'un trou traversant, 400 impulsions avec une énergie 680µJ/plse, distance de focalisation : 100 mm, épaisseur de la résine 1.02mm.

Trou	Energie (μJ/plse)	Nb de plse	din/dout (μm)	Facteur de conicité x10 <sup>-2</sup>	Angle de conicité Tg <sup>-1</sup> (α)
T1	680	400	110/50	3	1,7
T2	680	500	100/47	2,6	1,5
T3	680	1000	127/56	3,5	2
T4	680	10 000	126/78	2,4	1,37
T5	560	1000	90/46	2,2	1,26
T6	560	10 000	83/54	1,4	0,8
T7	400	1000	80/25	2,7	1,54
T8	560	10 000	88/27	3	1,7

Tab.4.1 : Conicité des trous en fonction des paramètres laser

Les données du tableau 4.1 montrent que l'augmentation du nombre d'impulsions, à partir d'une certaine valeur, améliore légèrement la conicité. On observe toutefois des cas de dégradations (T7 ; T8) : élargissement du diamètre d'entrée (effet thermique) sans amélioration au fond du trou (diamètre de sortie), observées surtout pour les impulsions à faible énergie.

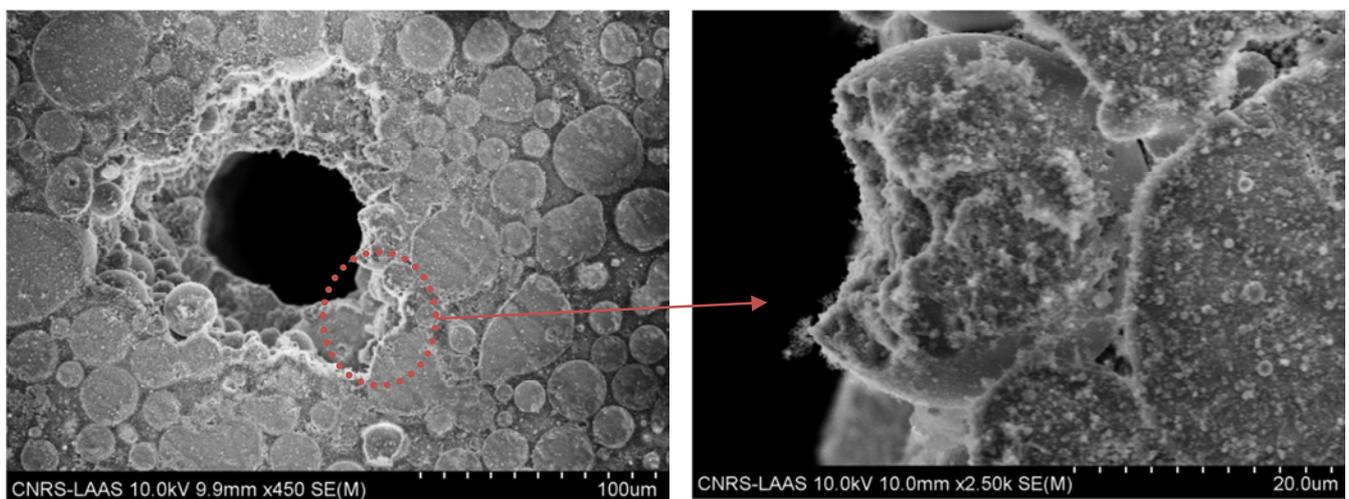


Fig.4.7: Photo MEB montrant l'ablation d'une bille de silice  
Par 10 000 plse @ 680μJ/plse.

En fait, nous avons augmenté le nombre d'impulsions à 1000, 1200 et puis à 10 000 pour assurer la reproductibilité de perçage car pendant la réalisation des réseaux de trous, il y en a quelques-uns qui ne débouchent pas, comme le montrent les photos de la figure 4.8.

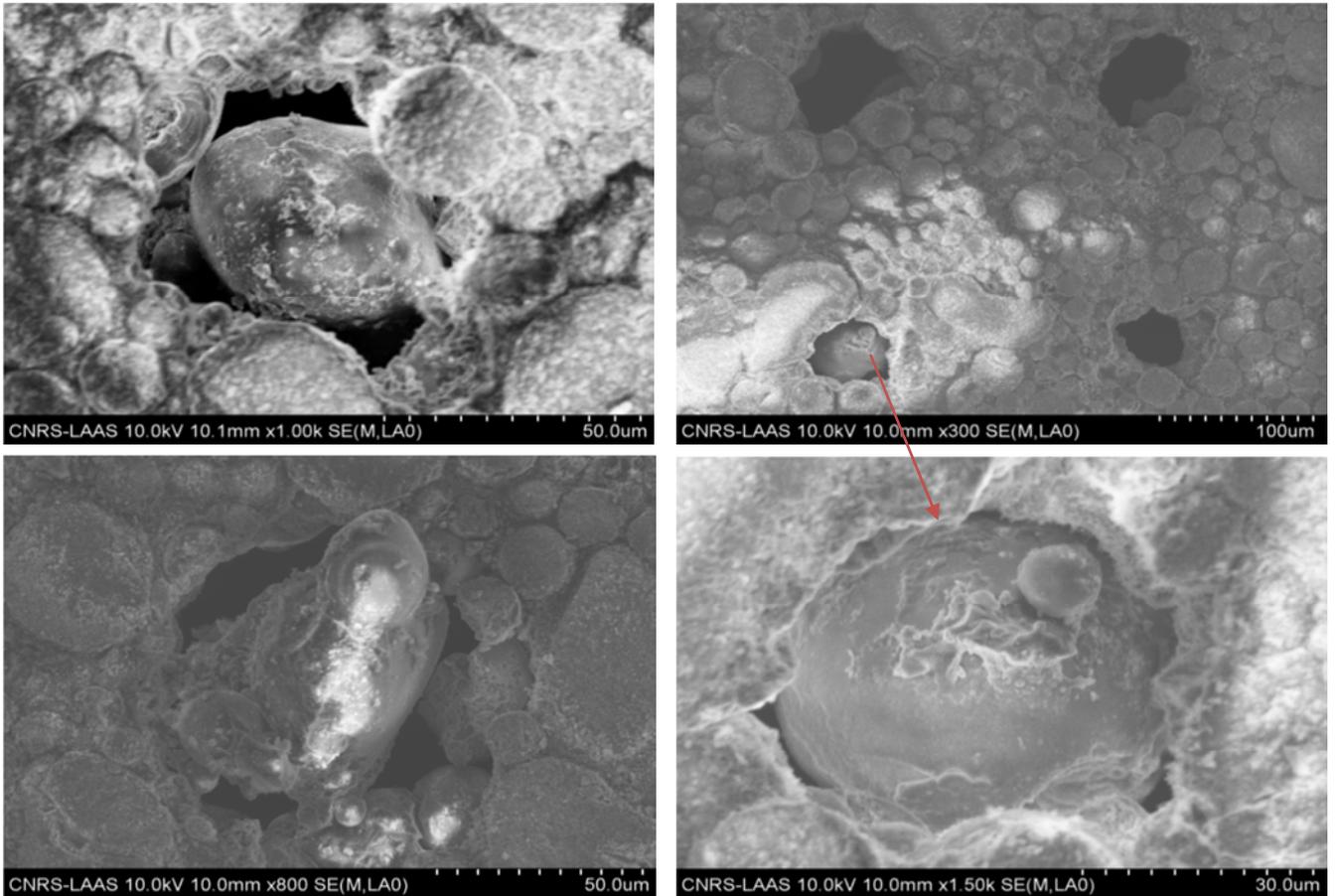


Fig.4.8: Photos MEB montrant les déchets d'ablation (billes expulsées) qui bouchent les sorties de quelques trous

### ii) Circularité des trous

L'inhomogénéité de répartition des billes de silice et leurs variétés de taille, nous empêche de déterminer la circularité des trous percés, la géométrie d'entrée d'un trou varie d'un lieu à un autre sur le même échantillon car il dépend de la structure de la zone cible.

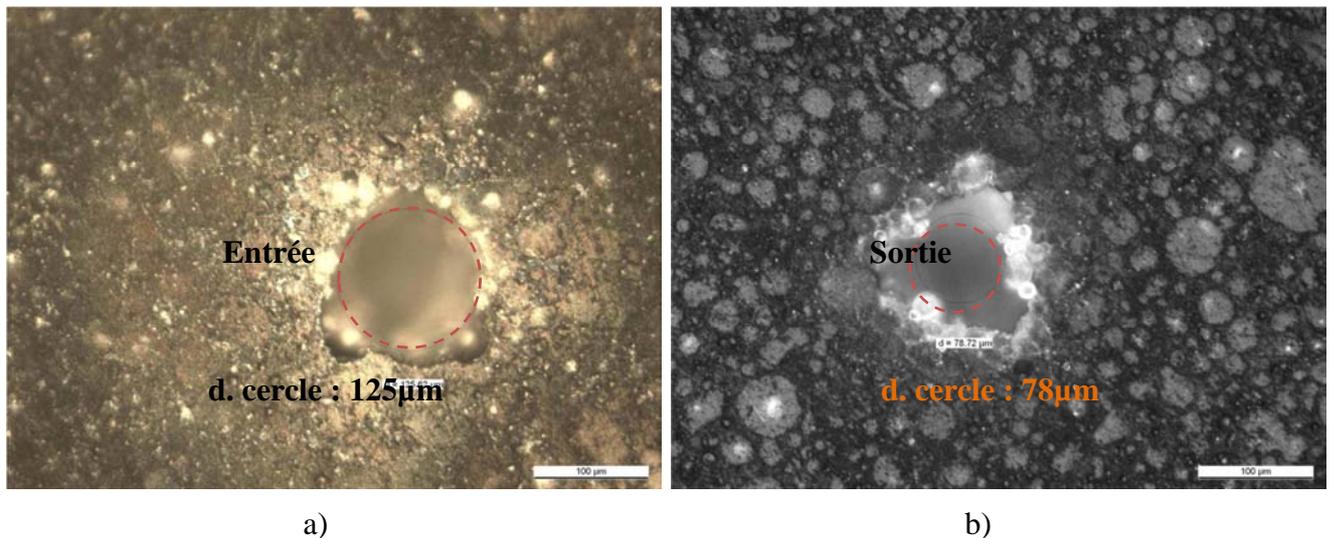


Fig.4.9: Photos par microscope optique montrant a) le diamètre d'entrée, b) le diamètre de sortie d'un trou percé dans une épaisseur de 1 mm, focale 60 mm, 10 000 pulses de  $722\mu\text{J/pulse}$  @1KHz

La circularité des trous s'améliore d'autant que le diamètre de perçage est grand comme on peut le voir en figure 4.9.

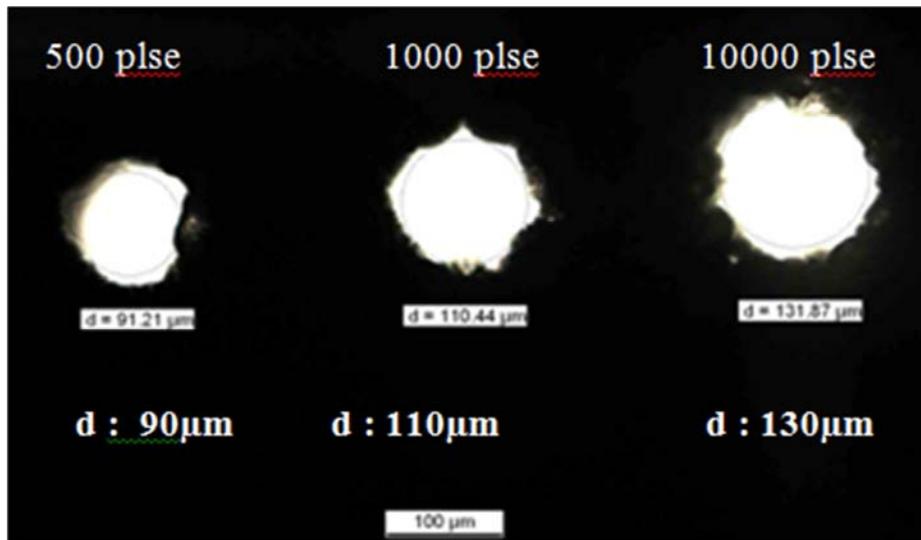


Fig.4.10: Photo par microscope optique montrant le diamètre à mi-épaisseurs des trous de E2517 d'épaisseur 1 mm avec la source femto calée sur 722  $\mu\text{J}/\text{pulse}$ @1kHz.

### iii) Changement de focale

Une lentille de distance focale 60 mm a été mise en place pour diminuer le diamètre de perçage. Le résultat obtenu est contraire : le diamètre d'entrée obtenu est de l'ordre de 160 $\mu\text{m}$  ; par contre le diamètre de sortie est de l'ordre de 180 $\mu\text{m}$  (dout > din).

La solution sera donc de trouver une méthode optique pour minimiser la focale.

La diminution de la puissance laser (pour  $\lambda=1030\text{ nm}$ ) nous permet de diminuer le diamètre de perçage (din = 80 $\mu\text{m}$ ) mais ceci est accompagné d'une forte augmentation de la conicité (dout = 25 $\mu\text{m}$ ).

### iv) Perçage par refocalisations

Le perçage par refocalisations c'est une méthode de perçage d'un trou en plusieurs étapes, chaque étape correspondant à un rapprochement de la lentille vers l'échantillon d'une valeur donnée (déplacement suivant l'axe Z) ; autrement dit, après chaque perçage on se refocalise plus profondément dans le même trou. Nous avons conduit des essais de perçage par refocalisations de +250 $\mu\text{m}$  répété 4 fois dans une épaisseur de 1 mm de la résine E2517.

Par exemple, avec les paramètres de perçage suivants : 980 $\mu\text{J}/\text{plse}$  @1KHz, 2500 plses à chaque refocalisation, les caractéristiques de trous percés sont telles que :

din : 90 $\mu\text{m}$

dout : 20 $\mu\text{m}$

Facteur de conicité :  $3,5 \cdot 10^{-2}$

Angle de conicité : 2 degré

Avec cette méthode (plusieurs refocalisations pour percer un trou) le temps de perçage est quatre fois plus grand que celui du perçage classique ; les résultats de conicité de ces essais n'ont pas été meilleurs que ceux de la méthode classique de perçage (Tab.4.1) où la

focalisation du faisceau était maintenue sur la surface de l'échantillon pendant tout le processus de perçage.

#### d) Temps de perçage d'un trou

Le temps de perçage d'un trou est fonction du nombre de tirs nécessaires pour le déboucher ; il est calculé de la manière suivante :

$$t = \frac{\text{nombre de tirs nécessaire}}{\text{cadence de tir (Hz)}}$$

La cadence de tir de la station laser peut être réglée à une valeur donnée entre 1KHz et 100KHz. Le tableau 4.2 donne les caractéristiques du temps de perçage en fonction du nombre de pulses.

Nb des pulses	Temps correspondant (1KHz)	Temps correspondant (100KHz)
400 pulses	0.4 s	4 ms
500 pulses	0.5 s	5ms
1000 pulses	1s	10ms
10 000 pulses	10 s	0.1s

Tab.4.2 : Evolution théorique du temps de traitement par laser en fonction de la cadence de tirs.

#### e) Zone Affectée Thermiquement : ZAT

Il n'existe pas de mode normalisé pour caractériser la zone affectée thermiquement par le perçage laser (comportement mécanique et électrique, vieillissement,..). Nous proposons ici de définir la « zone affectée thermiquement (ZAT) » en suivant deux hypothèses :

##### 1) Diamètre d'entrée par rapport au diamètre de focalisation

A chaque fois et avant de commencer le perçage laser, on cherche la position de focalisation et on détermine la taille du faisceau focalisé (tests de gravure des lignes). Comme on a vu précédemment, les diamètres d'un trou varient en fonction de l'énergie et du nombre d'impulsions envoyées sur la cible : notre hypothèse revient à calculer la ZAT comme la différence entre le diamètre d'entrée d'un trou et celui du faisceau laser focalisé.

$$ZAT = D_{in} - D_{faisceau}.$$

Le tableau 4.3 permet de constater que, à chaque énergie d'attaque laser, correspond une ZAT qui tend vers une valeur constante avec l'augmentation du nombre d'impulsions (ex : à partir de 1000 plses, le ZAT tend vers une valeur de 60µm).

Energie/plse ( $\mu\text{J}$ )	Nb d'impulsions	ZAT ( $\mu\text{m}$ )
680	400	45
680	500	35
680	1000	62
680	10 000	61
560	400	25
560	500	18
400	1000	15
400	10 000	23

Tab.4.3 : Calcul de la ZAT en fonction du nombre et de l'énergie des impulsions laser

2) Espacement minimum entre trous rapprochés.

L'espacement minimum entre les trous rapprochés correspond au plus petit pas possible (espacement) entre deux trous percés, la matière constituant les murs entre les trous doit garder ces caractéristiques mécaniques, thermiques, et électriques (isolation).

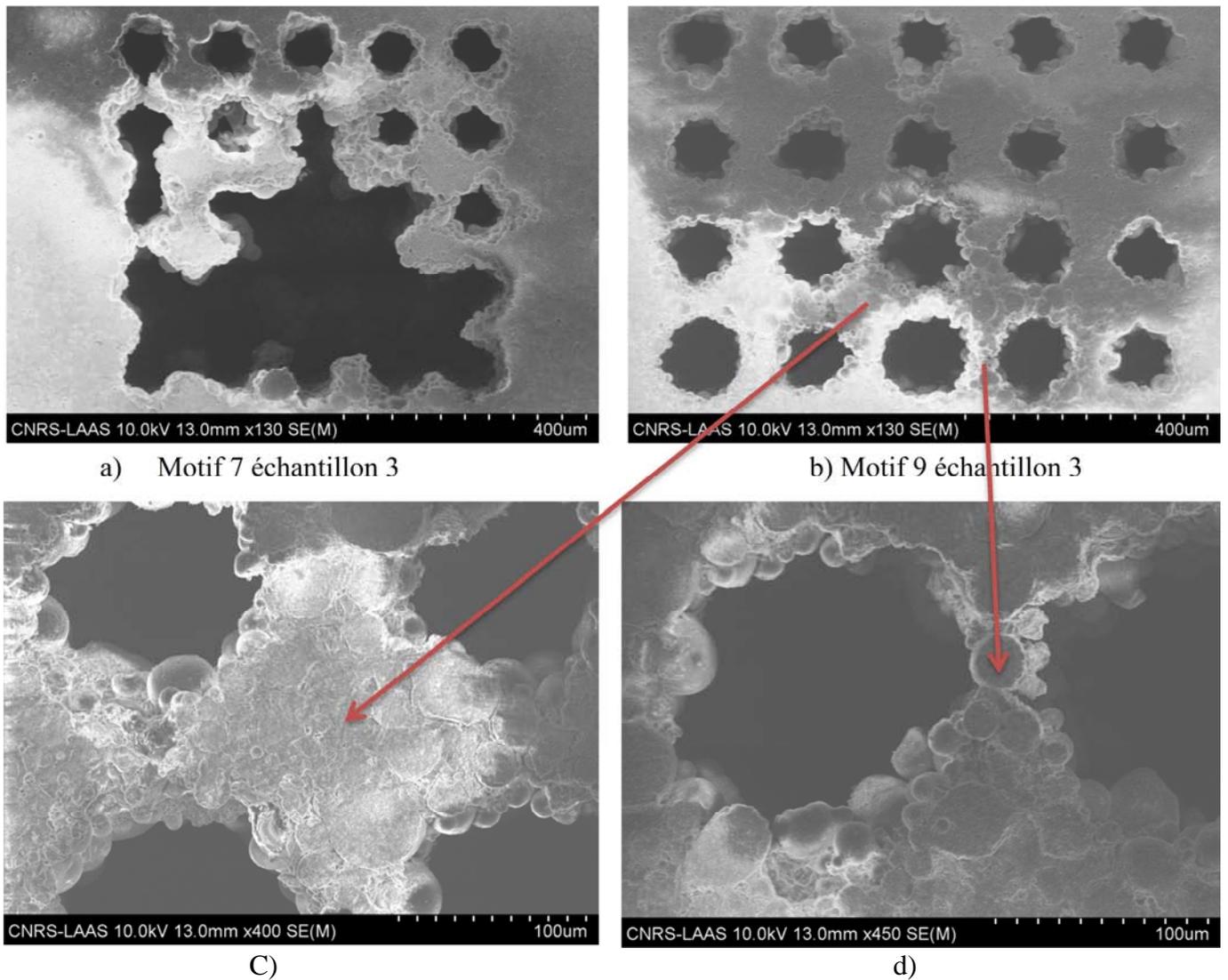


Fig.4.11: Photos MEB d'un réseau des trous percés par des impulsions  $560\mu\text{J}$  @  $1\text{KHz}$ , a) 1000 impulsions avec un pas de  $150\mu\text{m}$ , b) 1200 impulsions avec un pas  $200\mu\text{m}$ , c) et d) zoom sur les murs entre trous rapprochés.

Le phénomène ZAT dépend du profil gaussien de la répartition d'énergie d'un faisceau laser ce qui explique la limitation de l'effet thermique sur le reste de la matière d'autant qu'on s'éloigne du centre de trou. Donc son effet ne s'arrête pas au diamètre d'entrée d'un trou, mais il le dépasse vers la bordure sans l'ablater, ce qui peut expliquer la chute des murs de séparation des trous rapprochés pendant la réalisation d'un réseau 5x5 trous avec les pas de 100 et 150 $\mu\text{m}$  (Fig.4.11).

#### IV.1.2 Laser Excimère

L'appareil utilisé est un laser Excimère KrF de longueur d'onde 248 nm et de durée d'impulsion 25 ns. Le principe du montage est de faire l'image d'un masque de diamètre 155 $\mu\text{m}$ , pour limiter l'effet thermique sur la bordure de la gravure par un masque qui filtre le diamètre du faisceau « gaussien » comme le montrent le schéma de la figure 4.12.

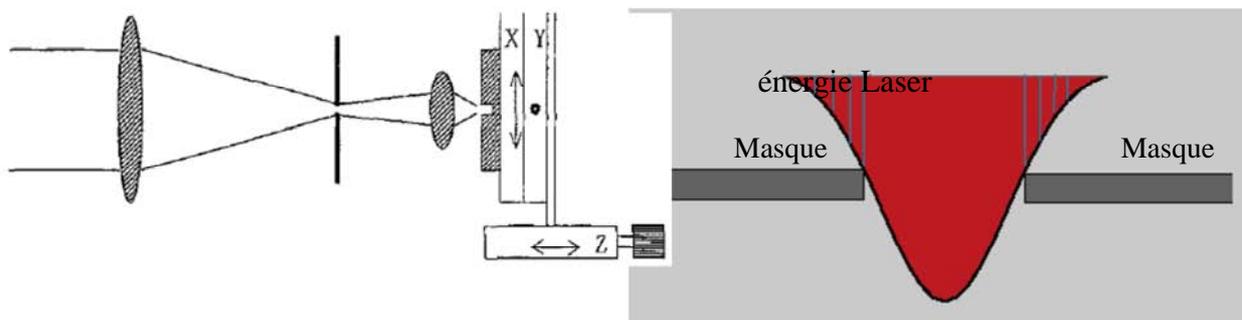


Fig.4.12 : Représentation schématique du montage permettant le masquage d'une partie du rayon laser.

La fluence sur cible varie de 0.5 à 40  $\text{J}/\text{cm}^2$ , avec une cadence de 5 Hz, pour les tests de sélectivité d'ablation et 50 Hz pour le perçage.

##### a) Sélectivité de gravure

Pour tester l'effet d'un laser Excimère pulsés (248nm) sur la résine E2517, nous avons réalisé des tests de micro-usinage avec des pulses d'énergie 28mJ, l'objectif principal est de caractériser l'effet de ce laser sur l'ablation des bille silice.

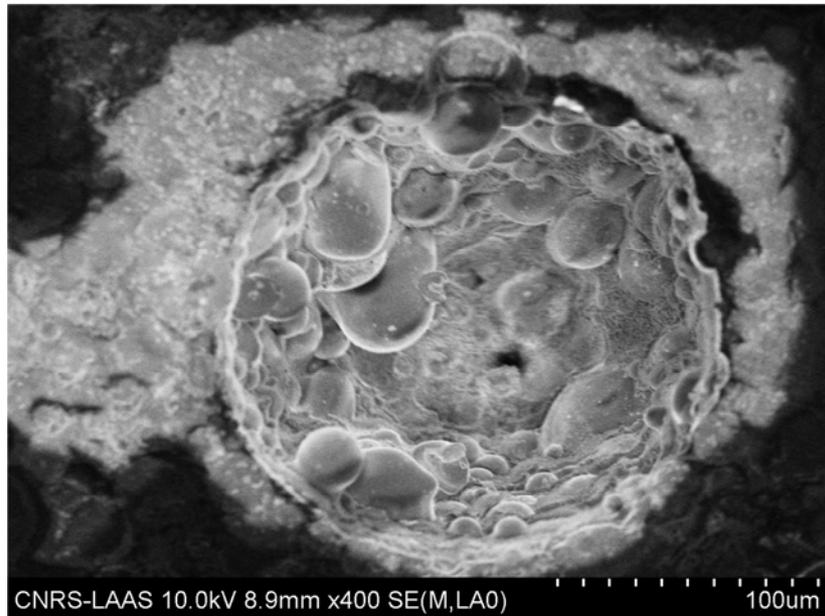


Fig.4.13: Surface traitée par 25 impulsions laser Excimère, d'énergie 1.28mJ @ 25 Hz

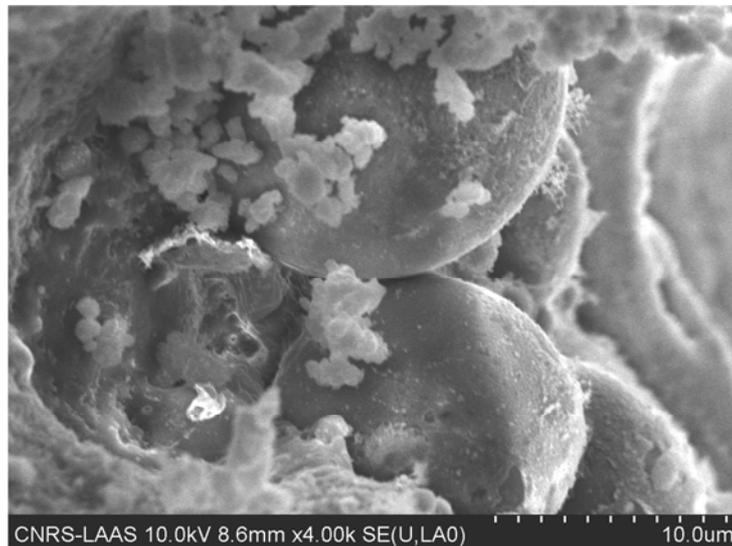


Fig.4.14: Surface traitée par 25 impulsion d'énergie 0,96 mJ @ 5KHz

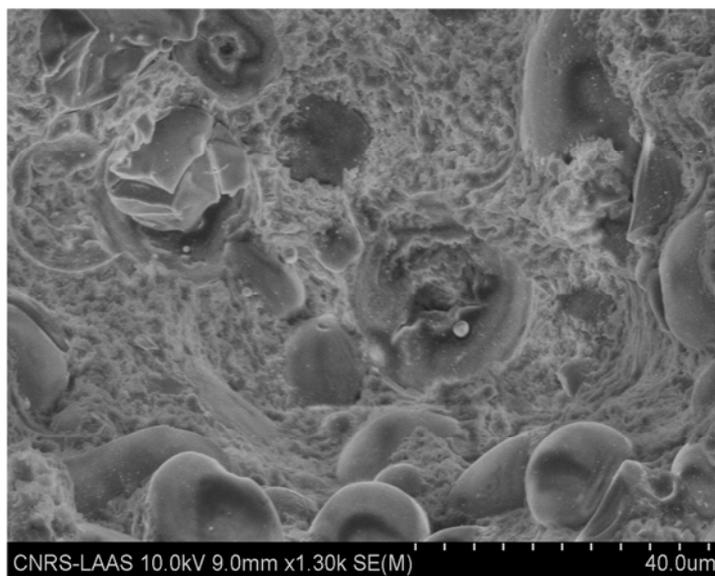


Fig.4.15: Surface traitée par 50 impulsions, 1.92mJ @ 5KHz

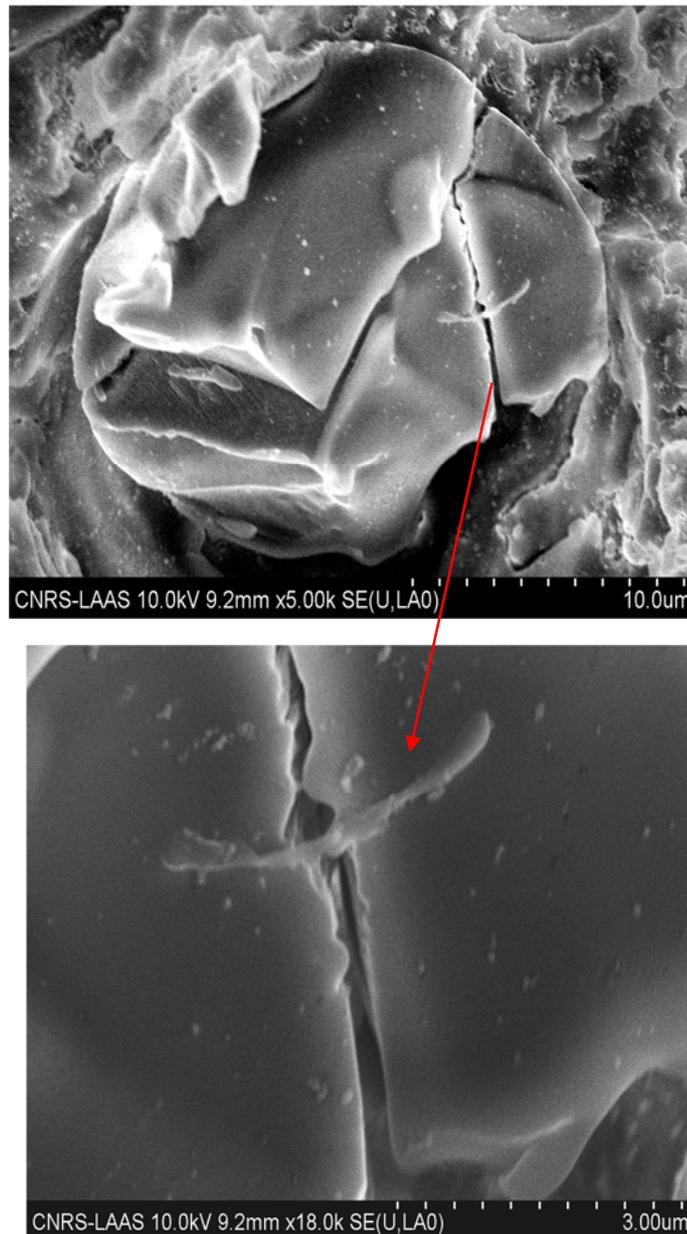


Fig.4.16: Zoom sur une bille silice cassée (50 impulsions Excimère 1.92mJ @5KHz)

Les figures 4.13 et 4.14 montrent une grande dispersion des valeurs d'ablation de la matière composite : le seuil d'ablation de la résine est bien inférieur à celui des billes en silice qui sont éjectées de la zone attaquée ; certaines sont « cassées » pendant cette extraction (Fig.4.15 et Fig.4.16).

#### b) Vitesse de gravure

La figure ci-dessous représente l'évolution de la vitesse de gravure, des cavités de diamètre 200µm dans la résine, en fonction de l'énergie et du nombre d'impulsion.

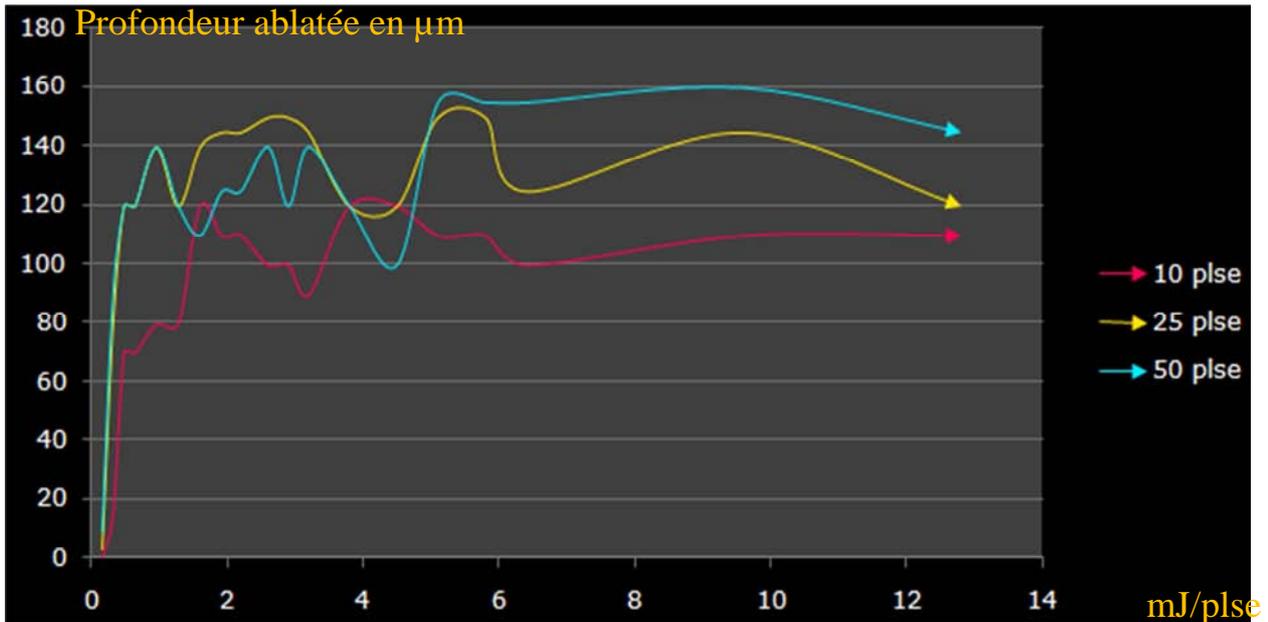


Fig.4.17: Courbes donnant la profondeur de gravure des motifs de diamètre 200µm en fonction de l'énergie et du nombre d'impulsions.

On remarque sur la figure 4.17 que la vitesse de gravure se sature rapidement en fonction de l'énergie des pulses laser. Une gravure plus profonde exige des nombres d'impulsion plus importante.

### c) Profil des trous

Le profil des trous percés sont caractérisés par le rapport de son diamètre d'entrée sur le diamètre de sortie, ce qui permet le calcul du facteur de conicité correspondant (Tab.4.4).

Energie (mJ/pulse)	Din/Dout (µm)	Facteur de conicité ( $\times 10^{-2}$ )
1.8	100/90	0.5
1.56	85/70	0.75
1.16	74/43	1.5
0.78	49/45	0.2
0.32	53/21	0.32
0.7	54/41	1.3
0.48	46/19	2.7
0.3	46/15	3.1

Tab.4.4: Facteur de conicité des trous percés : les mesures des diamètres d'entrée ne tiennent pas compte de la zone « écaillée » (ZAT)

La photo ci-dessous illustre l'état d'un échantillon type (d'épaisseur 1mm) de la résine époxy chargée avec des bille silice de diamètre ~ 50µm.

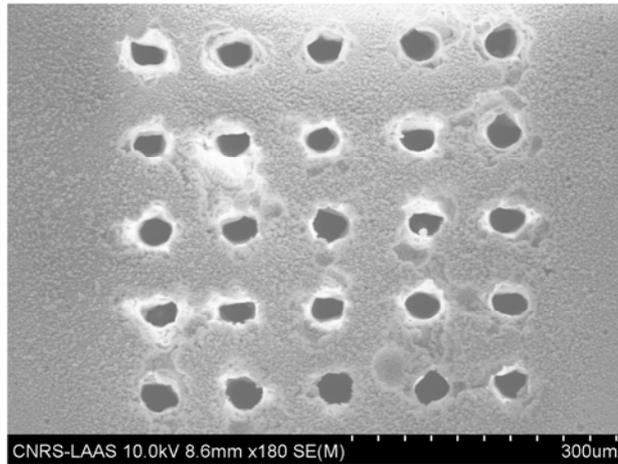


Fig.4.18: Photo MEB montrant la géométrie d'entrée d'une matrice de trous (diamètre d'entrée :  $50\mu\text{m}$  ; diamètre de sortie :  $10\mu\text{m}$ ), espacement  $60\mu\text{m}$ , énergie :  $0.48\text{mJ/pulse}$ .

- Le temps moyen de perçage d'un trou par ce laser est de l'ordre de 12s.

Les trous percés par ce laser (excimère) sont de conicité acceptable (Tab.4.20), l'impact de ce laser c'est la grandeur de la zone affectée thermiquement autour des trous (Fig.4.19), dans le calcul du facteur de conicité on n'a pas tenu compte de la valeur des ZAT comme partie d'entrée des trous.

#### d) Zone Affectée Thermiquement : ZAT

La ZAT de ce type de laser Excimer « énergie élevée, pour un temps relativement grand » se caractérise par un écaillage de la matière autour de la zone cible : la grandeur moyenne de cette zone est de l'ordre de  $30\mu\text{m}$  pour une énergie de  $0.48\text{mJ/pulse}$ . Les figures 4.19 et 4.20 sont des photos MEB qu'à partir desquelles on peut évaluer la ZAT.

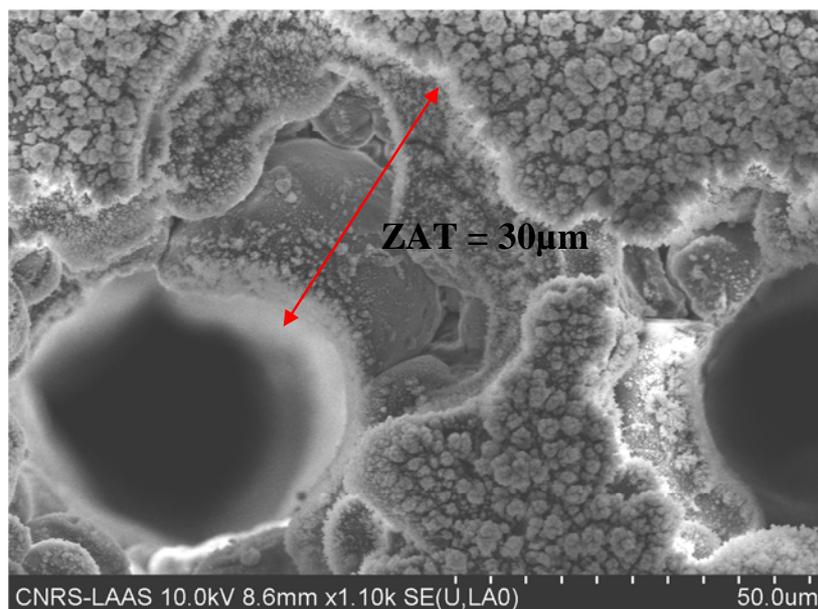


Fig.4.19: Photo MEB montrant la ZAT, énergie de perçage laser :  $0.48\text{mJ/pulse}$ .

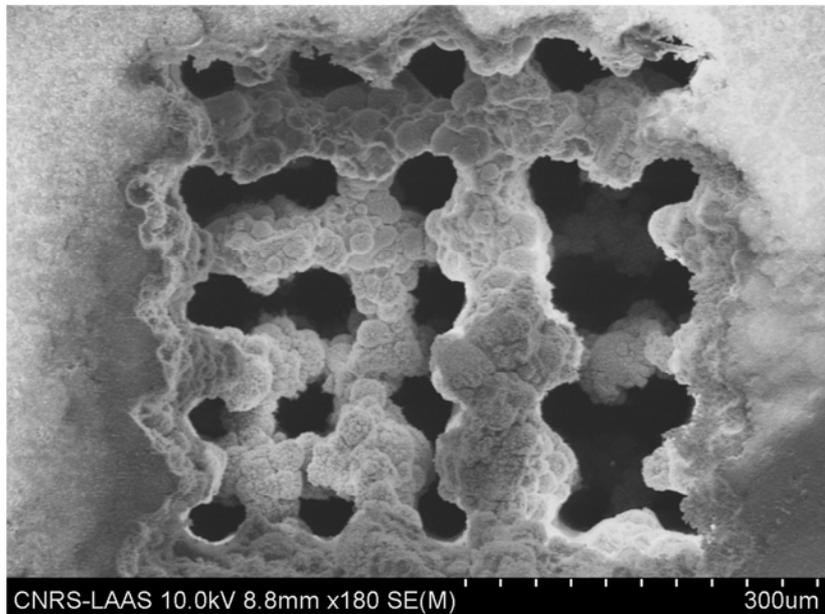


Fig.4.20: Photo MEB d'un réseau des trous de diamètre 50µm rapprochés avec un pas de 100µm, 0.84 mJ/pulse.

On remarque clairement sur la photo 4.22 la dégradation physique des murs de séparation entre les trous par l'effet de l'écaillage généré dans la zone ZAT. Donc, par ce type de laser, il est très difficile de réaliser (dans 1 mm d'épaisseur de la résine) un réseau des trous de diamètre 50µm espacés de 50µm.

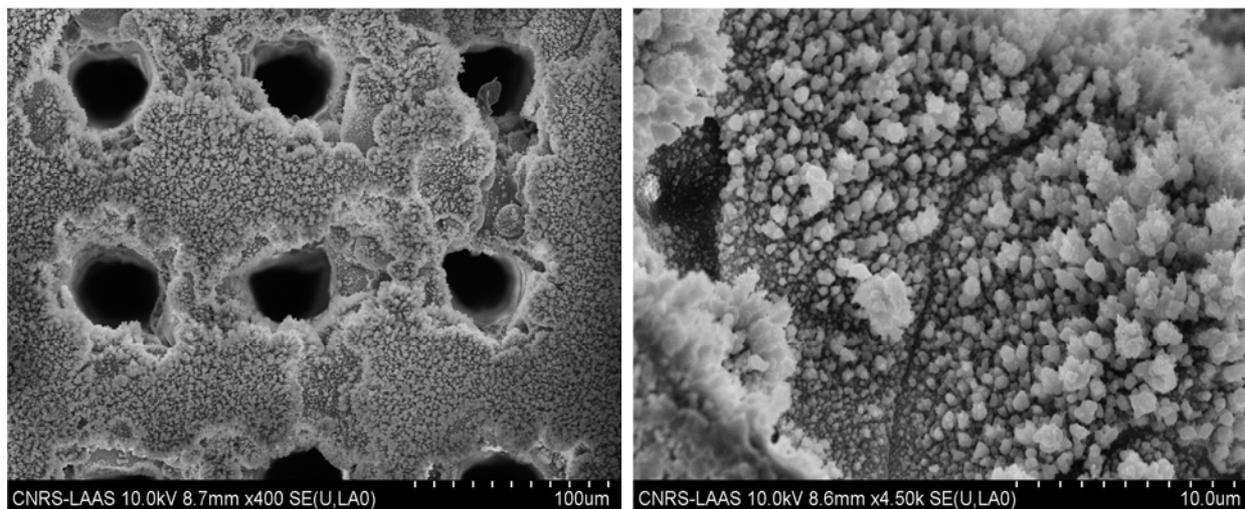


Fig.4.21: Photo MEB montrant le dépôt de la matière ablatée sur la surface autour de la zone attaquée par le laser Excimère.

### IV.1.3 Laser YAG triplé

Le laser YAG utilisé émet à la longueur d'onde de 355nm, grâce à un triplement de fréquence (troisième génération harmonique). Le problème rencontré avec ce laser est l'apparition de trous secondaires non traversant à côté de chaque trou percé. Ces trous secondaires se manifestent clairement tant qu'on perce des diamètres < 30µm ; pour des trous de diamètre >30µm, ils seront intégrés dans les trous principaux.

Principales caractéristiques de la source laser TRUMPF utilisée :

- Puissance nominale : 4W ± 5%.
- Taille du faisceau de : 20µm

- Largeur d'impulsions : 12ns (@ 20KHz).
- Pulse énergie / puissance crête : 125μJ / 10KW.
- Fréquence : 5KHz – 50KHz.

L'expérience montre que ce laser correspond le mieux à notre application surtout en terme de diamètre des trous percés, où on est arrivé à réaliser des trous de diamètre < 30μm. Ce qui caractérise le profil de ce type de faisceau laser, par rapport au laser infrarouge femto-seconde utilisé, c'est sa taille qui influe directement sur le diamètre de perçage : taille de faisceau YAG triplé : 20μm ; Taille de faisceau IR : 60μm.

On suppose que ce phénomène revient à des défauts dans le montage optique de la génération troisième harmonie de la longueur d'onde (1064nm/3). Des tests de perçage des trous de diamètre 30μm avec une source laser YAG triplé de chez COHERENT ne produisent pas de trous secondaires.

#### a) Zone Affectée Thermiquement (ZAT)

- Le faisceau laser YAG 355nm a un diamètre de spot deux fois plus petit qu'un laser 1064nm, ce qui permet une meilleure concentration de la puissance.
- La longueur d'onde de 355nm, par rapport à l'infrarouge, génère beaucoup moins de chaleur sur le matériau à traiter et permet ainsi de réduire la zone affectée thermiquement à moins de 5μm autour de la zone de perçage (Fig.4.22).

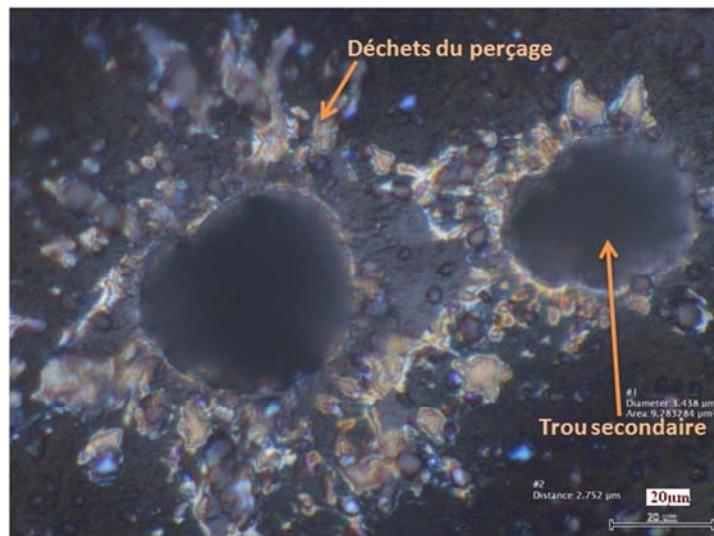


Fig.4.22 : Photo montrant l'existence d'un trou secondaire à côté du trou principal (diamètre d'entrée est de 35μm dans 1mm de la résine XX11) percé par un laser YAG triplé.

La définition précise du contour d'entrée des trous (Fig.4.22), montre la limitation de la zone affectée thermiquement par ce type de laser, sachant que la taille des billes Silice dans cette résine (XX11) est de l'ordre de 10μm, relativement petit par rapport à celle de la résine E2517 ( $\varnothing_{bille} \sim 70\mu\text{m}$ ).

## b) Temps de perçage

Les paramètres laser qui correspondent à la réalisation de trous de diamètre  $30\mu\text{m}$  dans  $1\text{mm}$  d'une résine qualifiée pour notre technologie TPV sont de 11000 impulsions par trou avec une cadence de tirs de 10KHz ; le temps moyen pris pour le perçage d'un trou est de 1s.

### IV.1.4 Conclusions

- 1) Le seuil d'ablation de la résine époxy qui constitue la base de la matière E2517 est faible ( $< 1 \text{ J/cm}^2$ ) : la résine époxy de la matière E2517 est ablatée à relativement faible énergie et les billes de Silice sont expulsées par la pression d'évaporation du polymère qui les entoure, ce qui permet un perçage profond ( $1 \text{ mm}$ ) et accéléré dans la structure.
- 2) Compte tenu des valeurs comparées des seuils d'ablation de la résine époxy et de la Silice ( $>> 20 \text{ J/cm}^2$ ), il n'est pas question d'ablater les billes de silice qui constituent  $\sim 80\%$  de la matrice à percer. Il faut évacuer ces billes pendant le perçage de chaque trou. Ces billes, de répartition inhomogènes (de  $10\mu\text{m}$  jusqu'à  $70\mu\text{m}$  de diamètre), ne seront évacuées facilement qu'avec des ouvertures de diamètres 2 à 3 fois supérieurs à celui des billes de Silice.
- 3) La taille des billes de Silice détermine donc pratiquement le pas et le diamètre minimum des trous :  $D_{\text{trou}} > 2 \times D_{\text{bille}}$  (diamètre recommandée:  $D_{\text{trou}} = 3 \times D_{\text{bille}}$ ), et assure la reproductibilité de réalisation des trous traversant avec des facteurs de conicité et de circularité acceptables et avec un nombre réduit d'impulsions pour limiter la zone affectée thermiquement à la fin du perçage.
- 4) Appliquée à nos résines hétérogènes, l'expérience montre bien la faisabilité du perçage des vias : les résines chargées de Silice peuvent être percées, par tous types de source laser que nous avons testés. Ce qui diffère principalement d'un laser à un autre, c'est le temps de perçage :
  - $\sim 12$  secondes / Trou, pour un laser Excimère
  - $\sim 1$  seconde / Trou, pour un laser Yag triplé
  - 4 milli seconde / Trou, pour un laser femtoseconde infrarouge.

La qualité de perçage par laser femto est meilleure que celle du laser Excimère (pas d'écaillage dans la ZAT, gravure propre). On explique cela par le fait que la matière est expulsée avant qu'il n'y ait une forte diffusion de la chaleur.

- 5) On peut comparer ces conclusions avec celles obtenues dans une matière homogène : il y a une importante dégradation des performances dont les origines sont le caractère hétérogène du matériau. Les billes de silice sont arrachées et propulsées dans la direction du flux sortant. Certaines butent sur les parois et entraînent un élargissement de l'entrée du via et une fragilisation des parois...Compte tenu des exigences du cahier des charges (vias de  $50 \mu\text{m}$ , pas de  $100\mu\text{m}$ , épaisseur  $1\text{mm}$ ), on ne peut pas conclure positivement pour la résine E2517.

**Recommandations :** Si le perçage laser est possible sur des épaisseurs millimétriques avec des caractéristiques acceptables par rapport aux spécifications, la qualité du perçage peut et

doit être améliorée par l'usage de résines chargées par des billes de plus faibles dimensions. C'est techniquement possible puisque nous avons, nous même, fait des expérimentations avec des billes microniques. La question est plutôt celle d'un approvisionnement de caractère industriel : avec l'appui de 3DPLUS, nous avons sélectionné et approvisionné une résine époxy chargée avec des billes de Silice de diamètre moyen 10µm, et dont les caractéristiques thermomécaniques, correspondent aux normes du TPV (Tg : 150°C et CTE : 21PPM/ °C). les tests de perçage par un laser UV Yag triplé (355nm, 4 w) à 3DPLUS, montre la faisabilité de trous de diamètre < 50µm. L'optimisation des paramètres laser nous a permis d'avoir des trous de diamètre 30µm dans 1mm d'épaisseur de la résine sélectionnée.

## IV.2 Considérations synthétiques sur les procédés TPV

### IV.2.1 Les étapes de réalisation du procédé TPV

#### 1) Reconstitution des wafers

Cette étape est répartie sur deux processus successifs :

##### 1.1. Processus Pick & Place

Il s'agit de positionner les puces sur un support Silicium revêtu d'un film adhésif **double-face qui se décolle thermiquement à une température 180°C (thermal release tape)**, **l'alignement des puces se fait via un jeu de mires : puce-support. Pour une meilleure vision (contraste) dans le processus d'alignement, nous préconisons de réaliser les mires du support Silicium par le processus LIFT-OFF d'une couche de 2µm d'aluminium.** L'opération de positionnement est faite sur une machine Flip-Chip avec les paramètres suivants :

Processus : Pick & Place				
Paramètres machine			caractérisations	
Température	Pression	Temps	Précision	Rendement
22°C	2Kg/45mm <sup>2</sup>	25 s	5 µm	100%

Tab. 4.5 : paramètres de positionnement sur machine Flip-Chip

Pour garantir un rendement élevé sur la procédure de réalisation des modules finaux, toutes les étapes doivent être maîtrisées ; opérationnellement, il faut garder propre les plots des connexions des Circuits intégrés, car pendant le moulage, le solvant de la résine à tendance à s'infiltrer sous les puces en polluant la face active.

##### 1.2. Moulage et polymérisation de la résine

C'est l'étape principale qui vise à conditionner les puces en un « wafer reconstitué ». Les contrôles thermiques de la polymérisation définissent les caractéristiques mécaniques et thermomécaniques (module de Young, Tg,...) de la résine d'enrobage. En pratique, ce n'est pas critique, car en respectant le processus donné par le fabricant, on peut rester très reproductible. Ce qui impacte principalement notre processus est le mécanisme de retrait de polymérisation qui entraîne des mouvements de puces. Le fait que les puces soient

positionnées sur un film souple (Thermal Release Tape) contribue et facilite la dérive des puces car les caractéristiques chimique (adhérence) et thermomécanique (dilatation) de ce film dépendent aussi de la température. Nous avons identifié et étudié les causes de ces effets de dérive des puces et proposé des chemins d'amélioration. Le problème est aujourd'hui technologiquement résolu par des entreprises comme Freescale. Le moulage se fait par gravitation dans une salle blanche dans les conditions normale d'humidité et de pression ; la résine est conditionnée dans des seringues chauffées à 60°C .Le support des puces est ramené sur une plaque chauffante à 60°C. Après moulage l'ensemble subit un cycle de dégazage dans une étuve à 75°C, puis une polymérisation à pression ambiante dans une étuve programmable suivant des pentes et des paliers bien définis par 3DPLUS.

## 2) Planarisation face arrière

Après une polymérisation complète de la résine, la plaquette sera retournée face avant contre un film de protection (adhésif) pour planariser sa face arrière sur une machine d'amincissement mécanique. A cette étape nous réduisons l'épaisseur de la plaquette de 2.7mm à 1mm, épaisseur comparable à celle des wafers Silicium (4 pouces) et donc compatible pour un usage sur machines de fabrication automatique ou semi-automatique.

## 3) RDL - redistribution des pistes d'interconnexions.

La RDL est une technologie très répandue dans le domaine du packaging, cependant il n'y a pas un processus standard unique appliqué, chaque entreprise développe son propre processus. Pour notre application, nous avons développé un processus RDL original imposé par la résine de moulage utilisée (STYTCAST Molding Compound) et par l'intégration des puces Daisy-Chain fabriquées par NXP. Elle se repartie sur plusieurs processus successifs et dépendants les uns aux autres. Sur recommandation de 3DPLUS, nous avons utilisé le diélectrique photosensible (Intervia) comme couche de passivation pour la réalisation du RDL.

- Dans un premier temps, nous avons pré-traité les couches d' $Al_2O_3$ , qui se forment à la surface des connexions des puces, par un plasma Argon sous vide (Sputter-etch Argon). Nous avons préalablement évalué la vitesse de gravure de l'alumine et réglé les paramètres plasma correspondants comme suit:

Paramètres du plasma Argon			Alumine ablatée	
Puissance	Pression	Temps	Vitesse	Epaisseur
600W	10mbar	15min	5Å <sup>o</sup> /min	7,5nm

Dans les mêmes conditions de pression, pour éviter la re-oxydation instantanée de l'alumine, une fine couche métallique est déposée par PVD dans la même machine, cette couche est constituée d'un dépôt PVD de 500Å<sup>o</sup> de Tantale suivi par 5000Å<sup>o</sup> de Cuivre.

- Dans un second temps, la structuration des pistes d'interconnexions est faite par une méthode classique de recharge électrolytique de Cuivre (5µm). Ces pistes sont finalement protégées contre l'oxydation et la corrosion par un flash d'Or déposé par un processus chimique connu sous le nom « Or par déplacement ».

Les mesures des résistances des pistes avant et après le RDL nous ont permis de calculer la résistance de contact par unité de surface : sa valeur est faible, <<50mΩ /

Plot(2500 $\mu\text{m}^2$ ) .Par contre, le rendement des plaquettes réussies est de seulement 30 % (3/10) ; il reste à en identifier les causes mais cela suffit pour démontrer la faisabilité du processus RDL.

#### 4) Amincissement des circuits Intégrés

A la fin de la RDL, les faces avant des plaquettes sont protégées par une couche de résine photosensible (AZ), soluble à l'acétone. Cette protection est nécessaire pour un amincissement face arrière des wafers reconstitués. Voici le procédé finalement retenu avec les paramètres de la machine G&N Model MPS 2R300 pour l'amincissement de nos plaquettes à une épaisseur de 135 $\mu\text{m}$  :

1. Rotation meule : 2500 tr/min
2. Rotation Chuck : 9 tr/min
3. Vitesse de descente (meule) : 10 $\mu\text{m}/\text{min}$  (dernier 100 $\mu\text{m}$  à 5 $\mu\text{m}/\text{min}$ )
4. H2O DI : Débit 4 l/min ; pression : 4bar
5. Sparkout time : 3min (à 135 $\mu\text{m}$ )

Les mesures, répétées plusieurs fois , montrent que la courbure de la plaquette augmente avec l'avancement de l'amincissement. Ceci peut être expliqué comme une manifestation progressive des contraintes résiduelles de l'assemblage (résine/calle) en fonction de l'épaisseur. Pour éviter cet effet il faut libérer par découpe la partie résine de sa cale avant de les amincir.

#### 5) Empilement en 3D

Le procédé retenu consiste à effectuer les opérations suivantes:

- 1) Sur une machine équipée d'un système de vision (ex Camera) on procède à l'alignement des deux plaques à empiler, par rapport à des mires virtuelles dessinées sur l'écran de vision.
- 2) Par une seringue chauffante branchée à un 'dispenseur' pneumatique, on dépose au centre de la plaque inférieure, une quantité de colle qui correspond à la surface et à l'épaisseur prévus (~10 $\mu\text{m}$  sur la machine Tresky et 5 $\mu\text{m}$  sur les machines spécialisées comme le Wafer Stacker à 3DPLUS). La colle utilisée est de type thermodurcissable (1h@125°C suivie par 1h@180°C). La polymérisation de la colle se fait dans une étuve, après l'empilement de tous les niveaux.
- 3) L'épaisseur de la couche de colle dépend aussi de la pression d'empilement : sur la Tresky et pour une pression de 0.8Bar / (11x11 $\text{mm}^2$ ) nous avons une couche de 10 $\mu\text{m}$  d'épaisseur.

Ce procédé de collage demande des précautions dans le dépôt de la colle pour éviter les bulles d'air dans le volume de colle déposé. En effet des 'mini' bulles de gaz sont générées pendant la phase de polymérisation de la résine (colle époxy) ; il n'a pas été étudié en détail l'influence de ces bulles sur nos modules car nous n'avons pas remarqué d'effets directs sur les étapes de fabrication.

## 6) Perçage des trous par laser

Plusieurs campagnes d'essais de perçage par différentes sources laser ont été réalisées (Eximere UV 248nm, 15ns ; femto seconde IR 150 fs ; Yag triplé 355nm, nanoseconde). Les résultats de perçage en terme de types d'interactions laser/matériaux sont relativement identiques, l'analyse du mécanisme de perçage a été largement développée précédemment dans ce chapitre, le profil des trous percés dépend principalement de la caractéristique de la résine utilisée, et plus précisément des tailles et du taux des particules de silice dans la résine. La résine commerciale qui répond le mieux à notre objectif est un époxy chargé à 69% des billes de Silice de taille moyenne 10 $\mu$ m, percée par le laser YAG 355nm (puissance 4W) de 3DDLUS. Dans cette résine nous avons réalisé des trous de diamètre entrée/sortie = 30/10 $\mu$ m dans 1mm d'épaisseur.

Résine (Tg °C & CTE ppm/°C)	diamètre des billes SiO <sub>2</sub>	Taux de charge (en masse)	In/ Out Des Trous en $\mu$ m
E2517 (Tg:220 ; CTE:19)	70 $\mu$ m	80%	80/50
FP4470 (Tg:148; CTE:18)	30 $\mu$ m	60%	55/35
Protavic (Tg:150; CTE:25)	15 $\mu$ m	65%	45/30
XX11 (Tg:176; CTE:120)	10 $\mu$ m	69%	30/10

Tab.4.6 : Bilan des résultats de perçage de différentes résines par un laser YAG triplé, à 3D+

## 7) Métallisation des trous percés

Pour métalliser les trous, nous avons exploré la métallisation par voie chimique, en immergeant nos modules dans une solution contenant un métal susceptible d'être réduit à la surface du matériau. La difficulté intrinsèque est liée au rapport diamètre/profondeur qui, dans notre cahier des charges, est de 50  $\mu$ m pour 1 mm. Nos essais de métallisation ont été effectués sur plusieurs types des solutions commerciales (Nickel-Phosphore, Nickel-Bore, Cuivre épais et Cuivre mince) couramment utilisées dans les technologies PCB.

Nous avons pu ainsi métalliser des trous de diamètre (entrée/sortie = 35 $\mu$ /10 $\mu$ m) par un dépôt de 1 $\mu$ m du Nickel Phosphore sur les flancs des trous, sur une matrice de 100 trous dans le même module :

- les résistances mesurées varient entre 1 et 2,5  $\Omega$  d'un trou à un autre : ceci peut s'expliquer par une différence des profils de rugosité des flancs des trous percés car leur géométrie intérieure n'est pas identique. Par conséquent la répartition des billes de Silice dans la matrice polymère n'est pas homogène.
- Nous avons essayé d'accroître la couche de Nickel par une méthode de recharge électrolytique de l'Or : le problème est que l'Or ne se dépose pas uniformément le long des flancs des trous ce qui laisse parfois une zone de discontinuité dans la couche d'Or déposée.

Le tableau 4.7 regroupe l'ensemble des résultats obtenus dans ce travail.

Les bains chimiques	Épaisseur de la résine	Ø In/Out $\mu\text{m}$	NB	Métallisation des trous ?
Cuivre chimique (épais)	1 mm	35/15		-
		40/20		-
		80/60		-
	200 $\mu\text{m}$	40/30		+
Cuivre chimique (mince)	1 mm	35/15		-
Ni/Au (Or électrolytique)	400 $\mu\text{m}$	40/30	Or : 15 min	-
			Or : 1h30	-
			Or : 3h	-
	200 $\mu\text{m}$	40/30	Or : 15 min	+
NiP Nickel/Phosphore	1 mm	35/15		+
NiB Nickel/Bore	1 mm	35/15		-

Tab.4.7 : Bilan et résultats des tests de la métallisation des trous

#### IV.2.2 Les modules prototypes TPV

Dans cette partie, nous présentons les premiers résultats obtenus sur des véhicules tests réalisés dans le cadre de la procédure complète de réalisation des composants prototypes. Chaque véhicule est constitué de l'empilement de 4 niveaux préalablement préparés en 2D avec des conceptions qui permettent des contrôles de fabrication pour notamment caractériser les interconnexions 3D dans les trous et dans chacun des niveaux (Fig.4.25). Les niveaux 2D sont d'épaisseur 200 $\mu\text{m}$ , empilés avec une précision de 30 $\mu\text{m}$  sur 4 niveaux. Ces véhicules tests sont réalisés à l'aide de trois types différents de résine, et par conséquent, les diamètres et les pas des trous percés ne sont pas les mêmes. Tous ont subi un même processus de métallisation des trous : Nickel-Phosphore chimique, suivi par une recharge électrolytique d'Or.

##### 1) Véhicule test VT2

VT-2		
Résine	Diameters des trous (In/Out)	Pas
E2517	80/50 $\mu\text{m}$	500 $\mu\text{m}$

Tab.4.8: quelques caractéristiques de VT-2

Dans ce cas, nous n'avons pas intégré des circuits intégrés, mais nous avons effectué toutes les étapes de la technologie TPV.

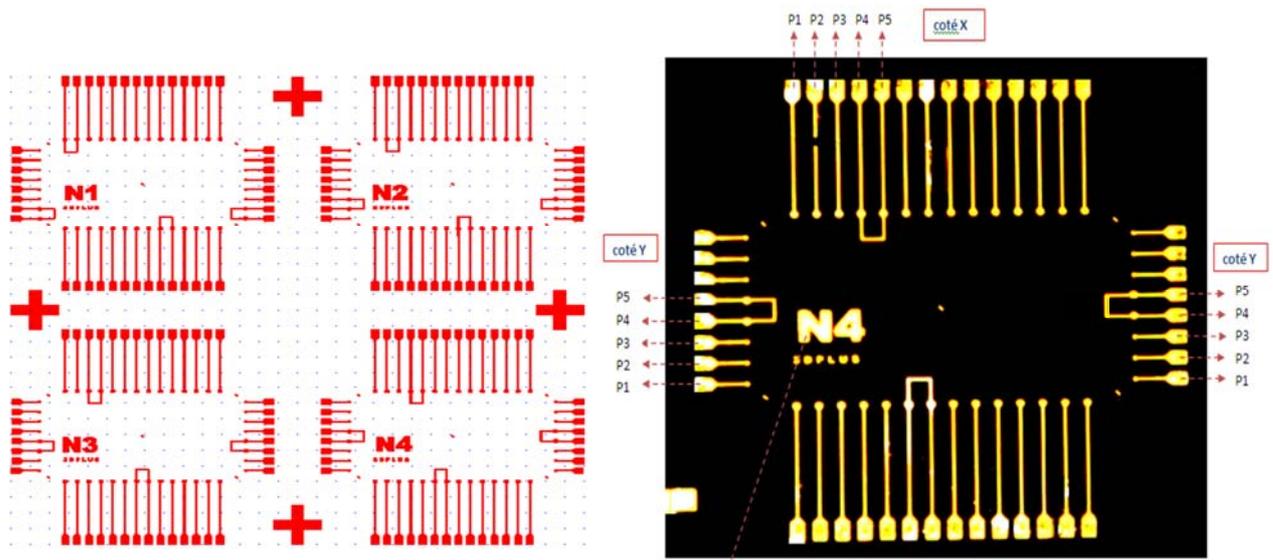


Fig.4.23: a) Design RDL de 4 niveaux par wafer reconstitué, b) module après empilement de ces 4 niveaux.

VT-2		
Résine	Diameters des trous (In/Out)	Pas
E2517	80/50 $\mu$ m	500 $\mu$ m

Tab.4.9: Quelques caractéristiques de VT-2

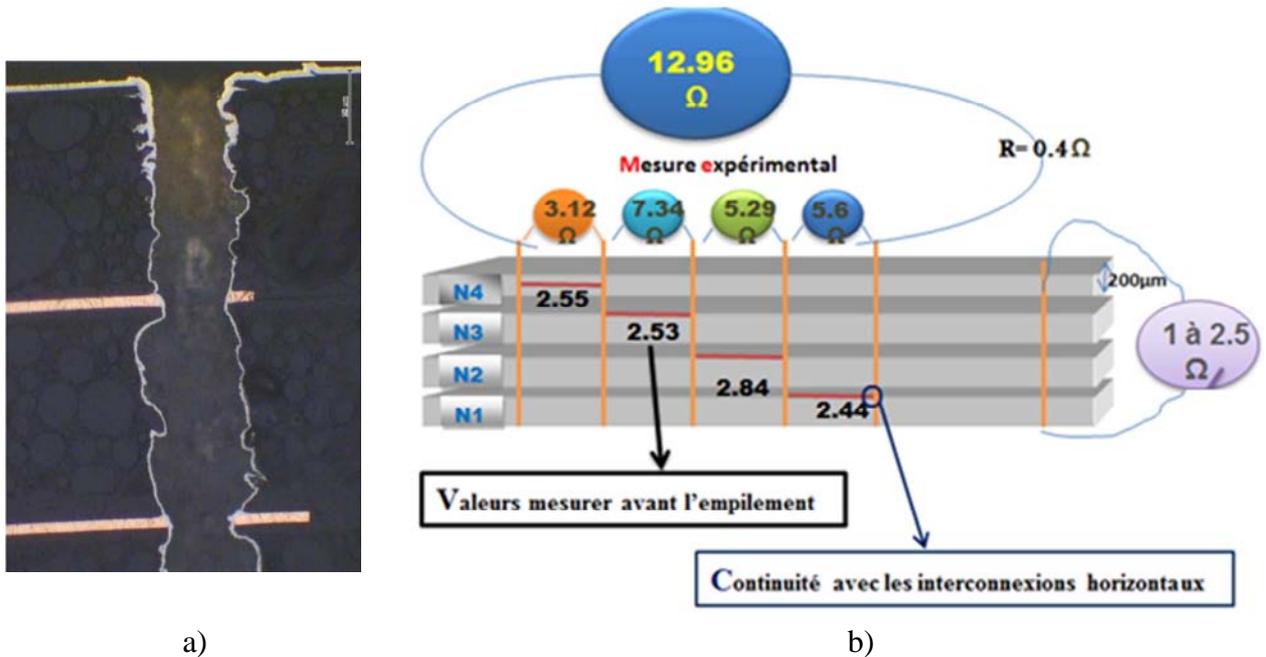


Fig.4.24 : a) Micro section d'un trou percé à travers 4 niveaux empilés, ce trou est métallisé par NiP (electross)/Or (électrochimique), b) mesures expérimentales des interconnexions électriques des niveaux après empilement.

On peut conclure de la caractérisation électrique des modules empilés, sont assurées :

- La continuité des interconnexions électriques entre les différents niveaux empilés,
- La continuité avec la couche RDL même si les variations des valeurs des résistance d'un trou à un autre, ne nous ont pas permis de calculer précisément les valeurs des résistances de contact du nickel chimique avec les connexions horizontales d'Or (RDL).

NB : L'Or électrochimique ne métallise pas le milieu des trous et ne participe pas à la réduction des valeurs des résistances entre les niveaux. Les valeurs des résistances d'interconnexions des deux niveaux supérieurs 3 et 4 (coté entrée des trous de 80µm) sont relativement élevées, ce qui correspond à la caractérisation physique de la métallisation dans les trous. L'Or ne couvre qu'une cinquantaine de micromètre à partir des deux extrémités des trous (voir Fig.3.21).

Nous avons aussi remarqué que la circularité des trous s'améliore quand on perce dans la métallisation RDL de la surface par rapport à celle de perçage directe dans la résine. Ceci s'explique par la capacité de conductivité thermique de l'Or ( $317 \text{ W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ ) à évacuer l'énergie déposée en surface par le faisceau laser.

## 2) Véhicule test VT-3

<b>VT-3</b>		
<b>Résine</b>	<b>Diameters des trous (In/Out)</b>	<b>Pas</b>
<b>FP4470</b>	<b>55/35µm</b>	<b>500µm</b>

Tab.4.10 : Quelques caractéristiques de VT-3

Dans ce test, nous avons intégré des puces Silicium de 80µm d'épaisseur fournies par NXP ; les wafers sont reconstitués avec la résine FP4470 dont les charges les billes de Silice sont de taille moyenne 30µm.

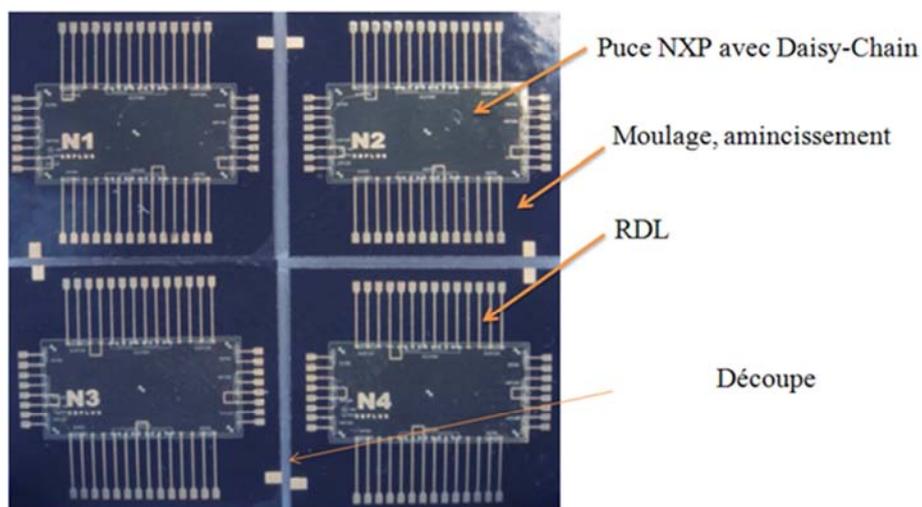


Fig.4.25 : Wafer reconstitué avec RDL, aminci à 200µm et découpé en module élémentaire

- Les résultats des caractérisations électriques sont semblables à ceux de VT-2, bien que les trous soient plus étroits.

### 3) Véhicule test VT-4

VT-4		
Résine	Diameters des trous (In/Out)	Pas/pad
xx11	30/10 $\mu$ m	60/50 $\mu$ m

Tab4.11 : quelques caractéristiques de VT-4.

La résine de moulage utilisée dans ce test est une époxy chargée de billes de silice de diamètre moyenne  $\sim 10\mu\text{m}$ , cette résine correspond le mieux à notre application en termes de caractéristiques thermomécaniques et de qualité des trous percés. L'objectif principal de ce véhicule est de rechercher à densifier les trous d'interconnexions verticaux autour des circuits intégrés empilés en 3D (200 trous). Les trous réalisés sont de diamètre  $30\mu\text{m}$  et repartis sur deux rangées intercalés de pas (pitch)  $60\mu\text{m}$ , ces rangées sont reparties à  $200\mu\text{m}$  autour des puces assemblés (figure 4.26).

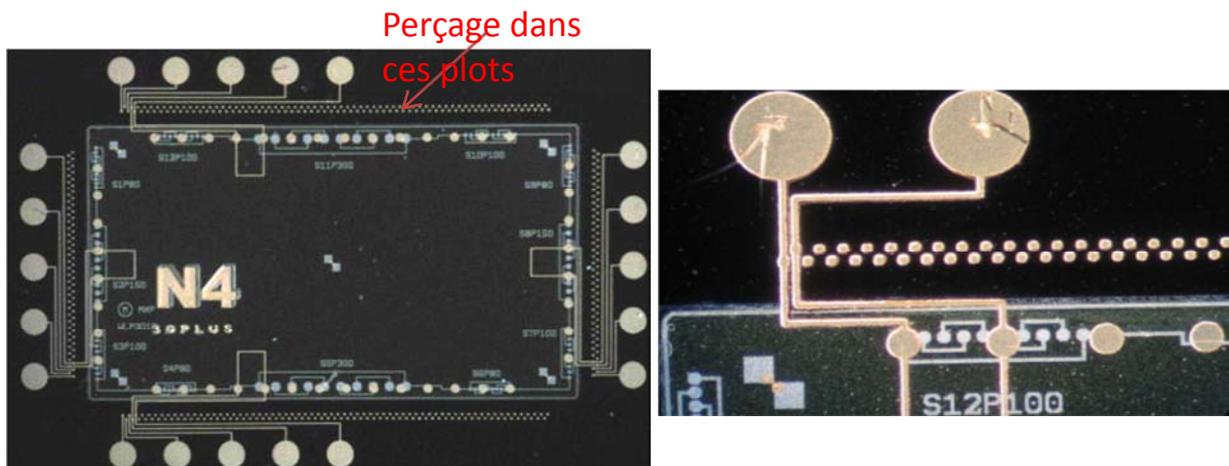


Fig.4.26 : Véhicule test VT-4 après l'empilement des 4 niveaux.

Le perçage par laser dans les pads peut être décalé à cause de l'absence de système de vision sur la machine laser utilisée. La métallisation par le Nickel-Phosphore de ce type de trous ( $30/10$ ) a été réalisée séparément sur des modules sans puces (résistance varie de  $1$  à  $2.5\Omega$  / trou), les valeurs de la métallisation dans ce type des trous sont donc identiques à celles dans VT-2 et VT-3.

## IV.2.3 Conclusions

Nous montrons ici que le procédé complet TPV, tel que nous l'avons étudié, est viable. Il permet d'empiler et d'interconnecter par des vias électriques des puces multiples. Des améliorations sont encore possibles :

- par un travail d'industrialisation des procédés,

- par le développement de résines chargées de billes encore plus petites pour optimiser les caractéristiques des vias

- par un travail plus approfondi sur la métallisation des vias. Si nous avons démontré la faisabilité par des couches de nickel « electroless », il apparaît possible et nécessaire de réduire les résistances d'interconnexions en passant au cuivre électrolytique. Notons, dans ce sens que l'équipe de métallisation chimique du LAAS, a abouti récemment à des résultats très intéressants en ce qui concerne la métallisation des trous de très haut facteur géométrique (trous de 30µm dans 1 mm d'épaisseur). Avec ces résultats, on peut penser que le cycle de traitement des étapes est bouclé : la réalisation de modules TPV de haute performance ne va pas tarder... d'autant que les tests de fiabilité suivant la norme « MIL-STD-883G » (chocs thermiques de -55 à 125°C) ont été positifs : les valeurs de la résistance électrique (<100mΩ/trou) n'ont pas changés avant et après les tests thermiques.

### **IV.3 TPV-SOFT à base de SU8**

Le procédé complet tel que nous l'imaginions a été présenté au chapitre II : il avait pour ambition d'exploiter les performances des résines SU8, de permettre des gravures profondes à fort facteur de forme et, dans le même temps, de proposer un processus compatible avec des développements parallèles en micro fluidiques, utilisant les mêmes propriétés des résines.

#### **IV.3.1 Bilan d'avancement des travaux**

Nous avons montré dans ce travail de thèse, sur la base d'un projet de processus complet de réalisation, la faisabilité des étapes suivantes :

- la réalisation d'un système d'interconnexions 3D performant dans la résine SU8 : réalisation, par photolithographie, de trous collectifs avec un facteur de forme élevé (AR=50),
- la métallisation RDL sur résine SU8,
- le collage des niveaux empilés par un film SU8 pré-polymérisé,
- les métallisations electroless sur résine SU8.

Pour des raisons de délais de mise au point les étapes suivantes n'ont pas été explorées :

- le placement des puces dans les réservations préparées à cet effet dans les films de résine photogravée,
- le portage par un substrat de silicium, des films de SU8 : reste la question de la validation de libération de la couche SU8/Silicium, par une résine convenable, capable d'encaisser les contraintes thermomécaniques.
- La question de la continuité des vias lors de l'empilement des niveaux

En fait, la difficulté majeure identifiée dès le début de nos travaux est la contrainte excessive rencontrée dans l'assemblage silicium-SU8. L'amplitude du retrait du SU8 et son coefficient de dilatation thermique élevé conduisent à des contraintes qui peuvent aller jusqu'au clivage de la puce, ce qui constitue un problème majeur pour la fiabilité des systèmes. La solution envisagée, dans le procédé présenté ci-dessous, est de désolidariser le film SU8 du puces silicium.

Parallèlement nous avons commencé et apporté les premiers résultats d'une étude pour charger la SU8 de billes de silice. Les données sont encourageantes dans la réduction des coefficients de dilatation, même pour de petits chargements (1%). Par contre, les performances en gravure ne permettent pas d'envisager des vias profonds et de bonnes caractéristiques.

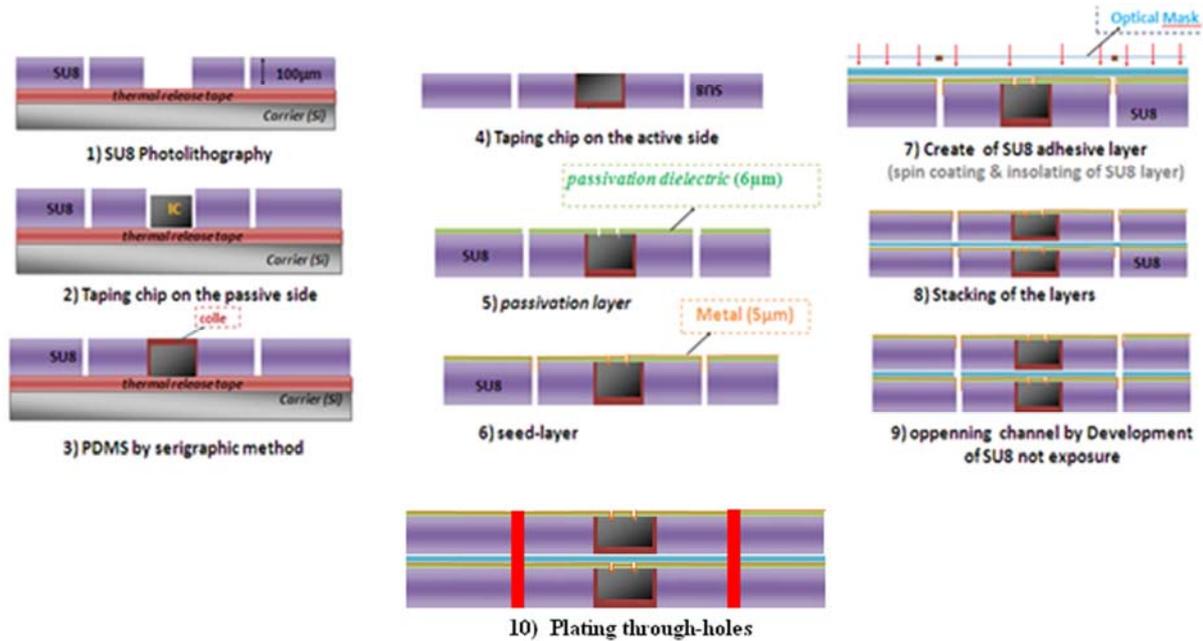


Fig.4.27 : Descriptif du procédé de réalisation TPV-SOFT

### IV.3.2 Prospective TPV-SOFT :

Les résines SU8 constituent certainement une avancée technologique importante par la qualité des gravures profondes qu'elle autorise. La tentative de greffer un procédé d'assemblage TPV-SOFT doit faire face à trois difficultés :

- Les contraintes mécaniques lors des retraits de polymérisation qu'il faut, comme pour les conditionnements époxy, réduire par des chargements de billes à définir ;
- La continuité des vias à chaque niveau nécessitant une reprise de gravure ou de perçage laser pour éliminer l'épaisseur du film de colle SU8 et ainsi permettre l'interconnexion des niveaux.
- La fiabilité thermomécanique du module final.

Nos expériences pratiques sur TPV-SOFT, nous ont donc permis d'identifier les points difficiles qu'on pourrait rencontrer dans la réalisation des modules finaux. Nous pensons qu'il est intéressant de poursuivre les travaux pour optimiser des chargements de la résine qui conserverait l'essentiel des performances de gravure en réduisant les amplitudes des retraits et coefficients CTE. Nous pensons qu'il y a des solutions possibles qui n'ont pas pu être explorées dans notre projet, faute de temps.

## IV.4 Modélisation et évaluation de la fiabilité des modules

La faisabilité n'est pas le seul critère assurant le succès d'une technologie ; la fiabilité en est un élément majeur. C'est d'autant plus important dans le cas des assemblages TPV où l'hétérogénéité des matériaux entraîne des contraintes résiduelles liées aux étapes d'assemblage et des contraintes thermomécaniques sous l'effet des cycles thermiques dans des conditions variables d'utilisations. Nous avons tout au long de nos présentations, évoqué

ces problèmes. Mais une fois les procédés établis, il devient incontournable de les considérer du point de vue de la fiabilité. Nous allons ici tenter une première évaluation des contraintes qui s'exercent dans la structure et les comparer aux données empiriques connues qui conditionnent la fiabilité des assemblages.

La définition de la « fiabilité » adoptée par la Commission Electrotechnique Internationale (CEI) s'énonce en ces termes : « Caractéristique d'un dispositif, exprimée par la probabilité qu'il accomplisse une fonction requise dans des conditions données, pendant une durée donnée ». C'est une notion aujourd'hui bien connue dans le public avec la caractéristique « durée de vie », qui est très variable : quelques années pour les téléphones portables jusqu'à plusieurs décennies pour les composants électroniques dans les domaines militaire et spatial.

Dans le but d'assurer qu'un composant électronique est fiable, deux approches complémentaires sont utilisées :

- la première consiste à effectuer, sur un grand nombre de dispositifs, des tests de qualification accélérés. L'analyse statistique des résultats donne accès à un taux de défaillances ; évidemment, cette approche n'est envisageable que pour des composants nombreux, peu coûteux et produits en masse, pour que le coût des évaluations reste limité.
- La deuxième approche consiste à évaluer la fiabilité dès la phase de conception, par une analyse fine des mécanismes physiques de défaillance et de s'assurer que les technologies mises en œuvre les contrôlent parfaitement par des expérimentations ciblées et des simulations numériques.

La première approche est la plus utilisée dans l'industrie du composant électronique. Elle consiste à prélever des dispositifs dans les fabrications, et à effectuer des tests accélérés (cycles thermiques, tests d'humidité, tests mécaniques, etc...). Si les résultats d'analyse de défaillance révèlent des défauts caractérisés, le dispositif ou son procédé de fabrications peuvent être améliorés. Une deuxième série de tests peut alors être reconduite pour réévaluer la fiabilité sur les tests qui ont échoué. Ces défaillances sont souvent détectées par des pannes fonctionnelles, mais les origines physiques de ces défaillances peuvent en amont, être thermiques, mécaniques, chimiques (corrosion, inter-diffusion, etc...)

La deuxième approche consiste donc à évaluer et prédire les risques de défaillance par l'analyse physique et le calcul, avec des estimations qui peuvent être corroborées par des expérimentations plus ponctuelles mais plus approfondies.

Dans notre cas, le premier mécanisme à éclaircir est celui des contraintes mécaniques et thermomécaniques intervenant du fait de l'hétérogénéité des matériaux en présence.

Cette compatibilité des matériaux assemblés doit être analysée, dès la phase de conception des modules, par l'analyse physique et les modélisations numériques. Ces simulations vont permettre de choisir les matériaux qui s'adaptent le mieux avec les conditions d'utilisation du dispositif. Ces méthodes de simulation « multi-physique » sont largement utilisées et permettent une bonne évaluation des contraintes, de leur distribution et des déformations sur les différentes couches. Elles sont un appui efficace dans les étapes de conception ; elles

peuvent, sur l'objectif d'évaluation de la fiabilité, aider à une évaluation au plus tôt et à un coût maîtrisé. Notre projet de recherche s'est initialement appuyé sur des options technologiques déjà engagées par le concept TPV et par le choix des résines époxy pour l'enrobage des puces. Nous avons vu dans les chapitres précédents que ces options étaient viables mais qu'il y avait des signes de contraintes à interpréter.

Nous proposons ci-dessous une première analyse de ces contraintes : ce paragraphe est consacré aux simulations numériques de nos modèles construits sur le logiciel COMSOL Multiphysics :

- Nos simulations visent à être représentatives des phénomènes thermomécaniques rencontrés lors de tests de fiabilité impliquant des cycles thermiques (-55°C +125°C).
- Nous voulons aussi évaluer les contraintes résiduelles de fabrication dans le wafer reconstitué, notamment celles qui résultent du retrait lors de la polymérisation de la résine. Il n'existe pas, à notre connaissance de logiciel qui simule des processus très complexes de polymérisation : nous avons donc imaginé une approche particulière pour réaliser cette évaluation.

Les résultats de caractérisations expérimentales indiquent que les contraintes engendrées pendant la polymérisation de la résine sont considérables. L'origine physique est un retrait volumique (contraction) qui dépend de l'époxy et sa composition : ce retrait peut varier de 1% volumique jusqu'à plus de 8% volumique. Nous pensons que cet effet de retrait et les caractéristiques du film d'adhérence (Tape) sont responsables des dérives des puces dans leur enrobage et de la déformation de la plaquette reconstituée suite à la polymérisation de la résine. Pour évaluer l'ordre de grandeur des contraintes engendré par la polymérisation de la résine sur les circuits intégrés moulés, nous avons utilisé, de manière particulière, le modèle thermo mécanique proposé par COMSOL.

#### **IV.4.1 Modèle étudié**

L'objectif est d'arriver par une méthode de modélisation thermomécanique à identifier les points fragiles pour la fiabilité de nos composants réalisés par la technologie TPV : La structure de base est un assemblage hétérogène de silicium et de résine Epoxy. Des contraintes vont donc intervenir au moment où, dans le procédé technologique, on assemble les deux matériaux (phénomène de retrait) et, en utilisation fonctionnelle de la structure assemblée, lorsqu'elle subit les effets de variations de températures (différence des coefficients de dilatation). Effets de retractions et effets de dilatations différentielles entraînent des contraintes et des déformations avec des zones particulièrement vulnérables : à savoir les interfaces et les zones de géométrie accidentée. La simulation doit donc traiter de l'évolution des contraintes et des déformations aux interfaces des matériaux assemblés.

Une première hypothèse est de caractériser l'interface Silicium(CI)/Polymère de moulage : dans nos simulations nous considérons que le collage silicium-polymère est parfait et ne subit aucune destruction. Dans nos procédés, l'assemblage silicium/résine époxy implique plusieurs étapes d'enrobage puis d'amincissement qui ne sont pas considérées. Nous voulons ici principalement identifier et comprendre les effets aux interfaces, pour, dans les

prochaines étapes de recherche, mieux les gérer et les contrôler. La simulation peut nous guider, par exemple, pour améliorer les caractéristiques des résines pour qu'elles correspondent mieux à notre application TPV, en termes de technologies et fiabilité des assemblages. Notre modèle de simulation représente une structure composée d'une puce Silicium ( $5 \times 9 \text{ mm}^2$ ) entourée par une bordure de 1 mm de SU8 d'épaisseur  $500 \mu\text{m}$ , comme le montre la figure 4.28.



Fig.4.28 : Vue en coupe d'une puce Silicium entourée par une résine époxy 1 mm de SU8

Dans un premier temps, nous avons simulé l'évolution de l'état de la contrainte dans une structure Si/époxy « complète » en fonction de la température : pour cette simulation, nous avons négligé les effets des contraintes résiduelles de la polymérisation (stress initial = 0). La figure Fig.4.29 représente la déformation de la structure dans un environnement libre, sans contraintes physiques extérieures.

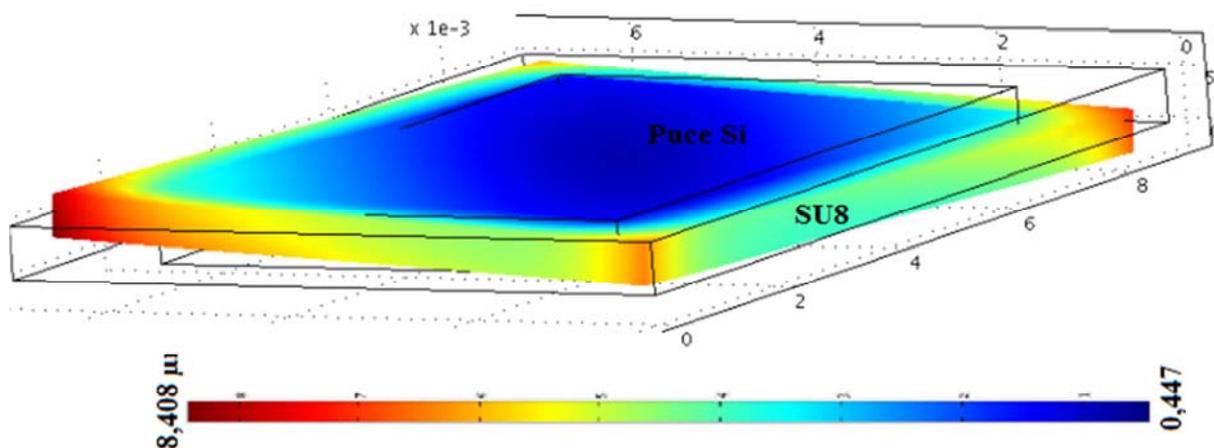


Fig.4.29: Déformation de la structure époxy/Si sous contraintes thermiques : application d'un échelon de température - 55 ; + 125 °C.

On observe une courbure de la plaquette qui résulte du stress engendré par l'effet thermique (échelon - 55 à + 125°C), la dissymétrie de la partie Silicium fait que la courbure de la plaquette est dans la longueur du Silicium. Ce résultat est cohérent avec le phénomène rencontré lors de dépôt d'une couche de la résine SU8 sur un wafer Silicium(chapitre II) où la profondeur de courbure du wafer varie entre 20 et 40  $\mu\text{m}$ . Egalement ce phénomène de courbure est renforcé au fur et à mesure de l'avancement de l'amincissement de nos plaquettes de 2,7 mm à 150  $\mu\text{m}$ . Dans cette deuxième observation, les structures n'ont pas subi de cycles thermiques, et par conséquent la déformation des plaquettes est probablement liées à un effet direct du retrait de la résine pendant la polymérisation. Dans nos plaquettes hétérogènes, le stress interne qu'il soit résiduel ou thermomécanique se manifeste par une déformation caractéristique du profil global de la structure.

La démarche que nous appliquons pour analyser la fiabilité de l'assemblage, se fonde sur les travaux conduits par M. Matmat [Matmat 2010], dans le cadre du projet européen POLYNOE. Elle consiste à identifier par l'analyse physique et l'expérimentation les points de faiblesse : dans notre exemple il s'agit des mécanismes de contraintes liées à l'association de deux matériaux différents. La deuxième étape est de construire un modèle de simulation pour calculer ces contraintes. La troisième étape de l'évaluation est d'introduire la physique des dégradations. Dans notre cas, les mécanismes sont le développement de cracks et les effets de délaminage : il existe toujours, dans les matériaux, des défauts ponctuels ou localisés qui, soumis à des contraintes répétées vont se développer en cracks ou en délaminages. Beaucoup de travaux expérimentaux et théoriques ont été consacrés à ces mécanismes et on peut trouver dans la littérature spécialisée différents exemples de modèles physiques [Attia 1992] [Newman 1981] [Wang 1996] [Ruiz 1984].

La loi type [Mathewson 1999] qui prédit le temps de vie ou "time-to-failure" d'une structure en mode statique, en fonction de la température et les caractéristiques des matériaux, est représentée par l'équation suivante:

$$t_f = \frac{\alpha \cdot 10^{19,2}}{\sigma^2} \cdot \exp\left(\frac{E}{RT}\right) \quad (\text{Eq.4.3})$$

dans laquelle :

$t_f$  est la prédiction du temps de vie,

$\alpha$  une constante qui est fonction du matériau (et des dimensions des grains),

$\sigma$  est l'intensité de la contrainte dans la structure,

$E$  est l'énergie d'activation des couches superficielles des matériaux,

$R$  la constante universelle des gaz,

$T$  est la température.

Nous prenons cette équation comme exemple car elle permet d'illustrer le fait que lorsque l'on a calculé l'intensité de la contrainte  $\sigma$  par simulation et que l'on dispose d'une modélisation physique du phénomène de dégradation, on peut calculer l'évolution sous contraintes du défaut jusqu'à la défaillance. Dans sa thèse M. Matmat recommande de faire cette estimation dans les conditions même d'utilisation pour accéder à une estimation de la durée de vie. Nous n'avons pas ici vocation de faire cette estimation mais nous voulons franchir l'étape qui vise à identifier et estimer l'amplitude des contraintes.

Nous avons souligné que les contraintes dans nos structures existent et se manifestent dans toutes les étapes de traitement. A chaque étape technologique correspond un niveau des contraintes dont l'ordre de grandeur varie d'une façon importante.

L'expérience montre que l'on ne peut pas négliger les contraintes résiduelles qui dépendent du retrait lors de la polymérisation époxy (résine) et probablement de la géométrie de la structure. Pour estimer l'ordre de grandeur de ce stress, en l'absence d'un moyen de modélisation du phénomène physico-chimique de la polymérisation, nous appliquerons une approche basée sur la modélisation du rétrécissement volumique avant et après la polymérisation de la résine, au travers d'une simulation thermique telle que le rétrécissement thermique soit égal au retrait.

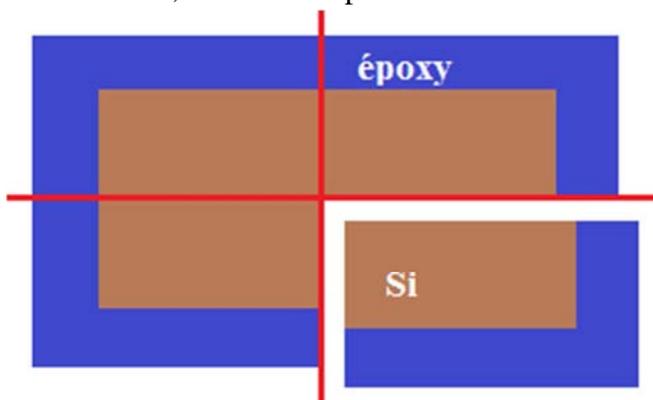
Evidemment, l'autre source de contrainte est liée à la différence des coefficients de dilatation du silicium et de la résine. Dans ce cas nous appliquerons directement la simulation COMSOL.

Les deux cas seront traités séparément; dans la réalité physique, les contraintes se cumulent.

Pour réduire la durée de calcul, au moyen du simulateur COMSOL, nous avons travaillé le maillage pour être précis aux interfaces résine/Silicium et nous avons profité de la symétrie géométrique de nos modules pour restreindre la simulation à un quart de la structure (figure 4.30).

Les conditions aux limites sont :

- Les surfaces extérieures sont libres de toutes contraintes extérieures.
- Une continuité aux interfaces résine / Silicium.
- Les plans qui correspondent aux axes géométriques (Fig.4.30) sont considérés comme des plans de symétrie.
- Nous avons fait varier la température de la structure comme le montre le tableau ci-dessous, où 't' correspond à une itération du calcul.



$t_0$ (stress = 0)	$T = 20^\circ\text{C}$
$t_1$	$T = 125^\circ\text{C}$
$t_2$	$T = -55^\circ\text{C}$
$t_3$	$T = 20^\circ\text{C}$

Fig.4.30 : Représentation schématique de la structure modélisée (1/4 de la structure).

La réalisation du maillage de la structure nécessite une adaptation du maillage en fonction de la structure à étudier et une continuité de maillage entre les différentes couches pour pouvoir procéder au calcul précis et à l'évaluation des contraintes aux endroits les plus critiques (interfaces internes) de la structure. Notre structure est divisée en 59 839 mailles concentrées principalement sur l'interface résine/Si.

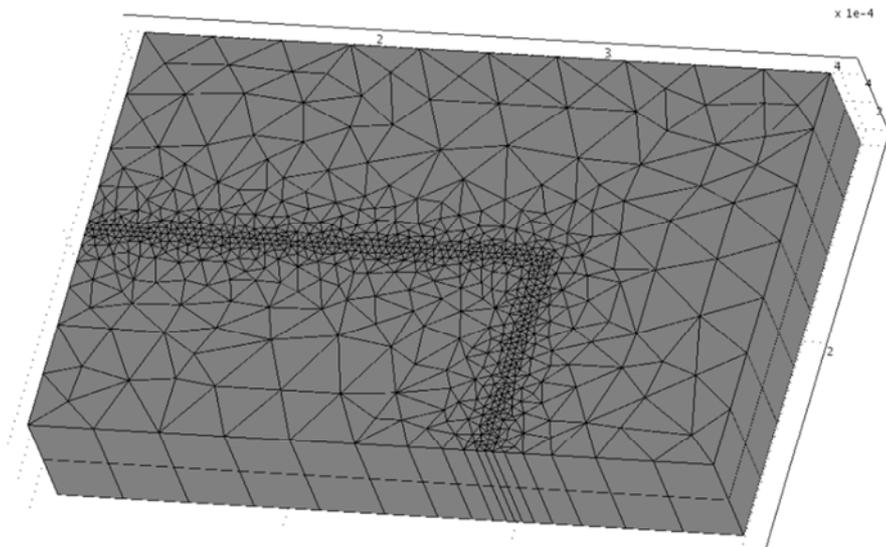


Fig.4.31 : Répartition et finesse du maillage de calcul.

#### IV.4.2 Simulation thermomécanique.

Nous avons considéré le système sans contrainte initiale à la température 20 °C (soit à  $t_0$ ,  $T_0 = 20$  °C et  $\text{Stress} = 0$ ). L'amplitude du stress augmente quasi-linéairement avec l'écart de la température à partir de  $T_0$  (20°C) pour laquelle la contrainte a été choisie nulle. On représente le stress de manière symétrique par rapport à  $T_0$ , sachant que ces contraintes sont de type contraction pour  $T < T_0$  et de type extension pour  $T > T_0$ . Ces modèles représentent exclusivement le stress inhérent au différentiel entre les dilatations thermiques des matériaux assemblés (donc époxy et silicium).

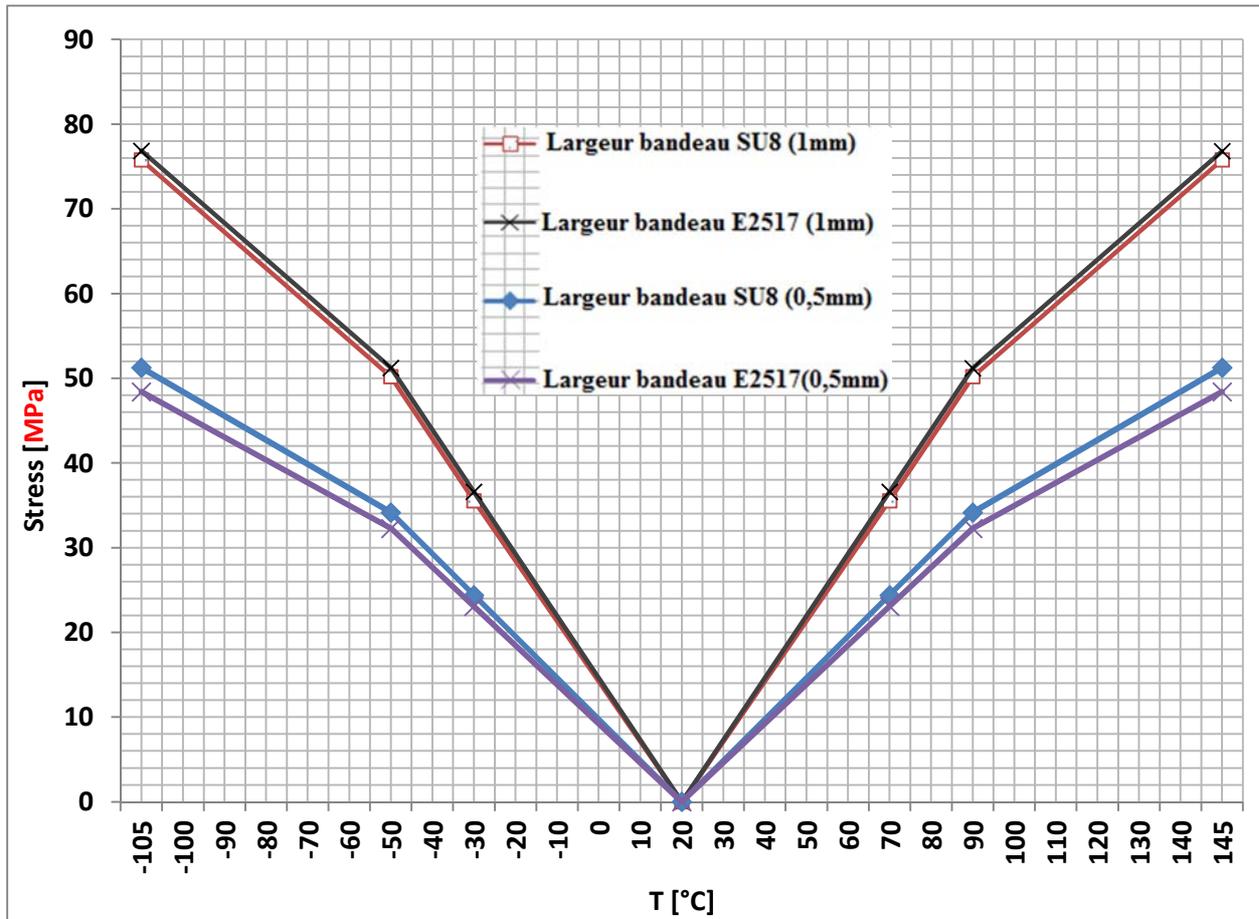


Fig.4.32 : Courbes représentant l'évolution des contraintes thermomécaniques à l'interface silicium/résine, **sans le stress résiduel de polymérisation**. Silicium d'épaisseur 500µm entouré par 500µm d'épaisseur de la résine.

En première lecture des courbes représentées sur le graphe ci-dessus, il paraît surprenant de voir que les contraintes correspondant à l'utilisation de la SU8 et de la résine chargée à 80% de silice sont proches alors que l'on sait le grand écart entre les coefficients de dilatation thermique de chacune de ces deux époxy : 52 ppm /°C pour la SU8 et 19 ppm/°C pour la résine E2517. Soulignons ici que le rapport des stress SU8/E2517 ne correspond donc pas au rapport des valeurs des CTE.

Donc, contrairement à ce qui est largement répandu dans l'approche technologique des contraintes époxy/Silicium, le CTE n'est pas le seul paramètre déterminant. Nos résultats de simulation montrent que la valeur de module de Young est aussi important que le CTE dans l'étude des contraintes et donc pour la fiabilité des assemblages hétérogènes. Sur le plan théorique, comme on l'a montré dans le chapitre précédent (paragraphe III.1.4), la valeur de stress est définie par la loi de Hook ( $\sigma = E \cdot \varepsilon$ ), comme le produit de la déformation d'un matériau par son module de Young (E), où  $\varepsilon$  est l'allongement relatif d'un matériau ; notons que le module de Young de la résine SU8 vaut  $E = 2 \text{ GPa}$ , tandis que celui du composé E2517 s'élève à 6,3GPa. Dès lors, pour une première évaluation de la sensibilité de l'amplitude de la contrainte aux propriétés thermomécaniques des matériaux mis en jeu, nous pouvons calculer les facteurs de proportionnalité respectifs comme suit :

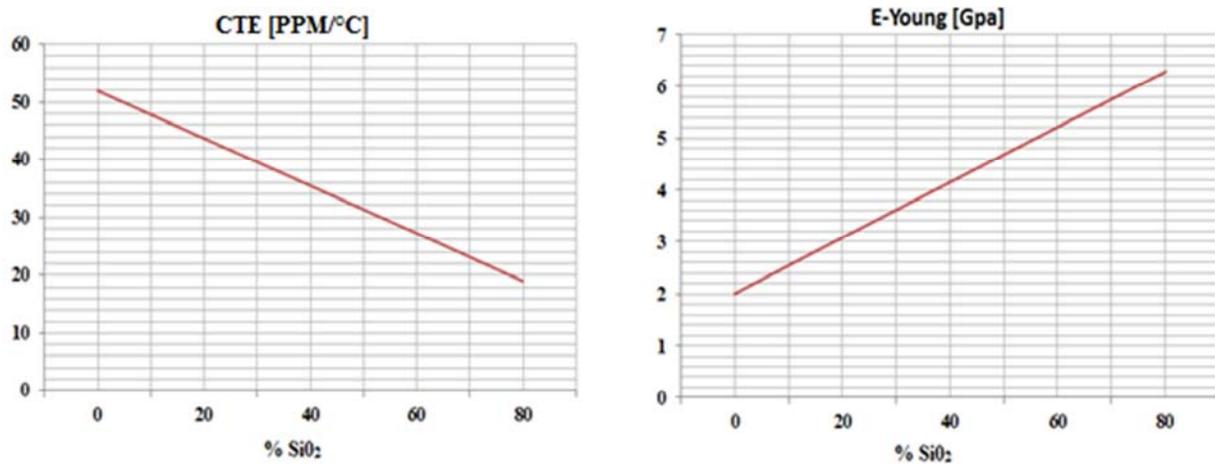


Fig.4.33: Modèles linéaire représentant l'amplitude d'évolutions du coefficient de dilatation thermique 'CTE' et du module de Young 'E' en fonction du taux de la charge silice dans un époxy.

Le coefficient de dilatation thermique CTE et le module de Young E, sont des caractéristiques spécifiques pour chaque résine : leurs valeurs dépendent du taux, de la taille et de la répartition des charges de silice dans l'époxy. Nous avons utilisé les valeurs correspondant à ces courbes pour simuler l'évolution des contraintes thermomécaniques de nos structures (largeur du bandeau résine : 1mm) en fonction du taux de silice dans la résine d'enrobage.

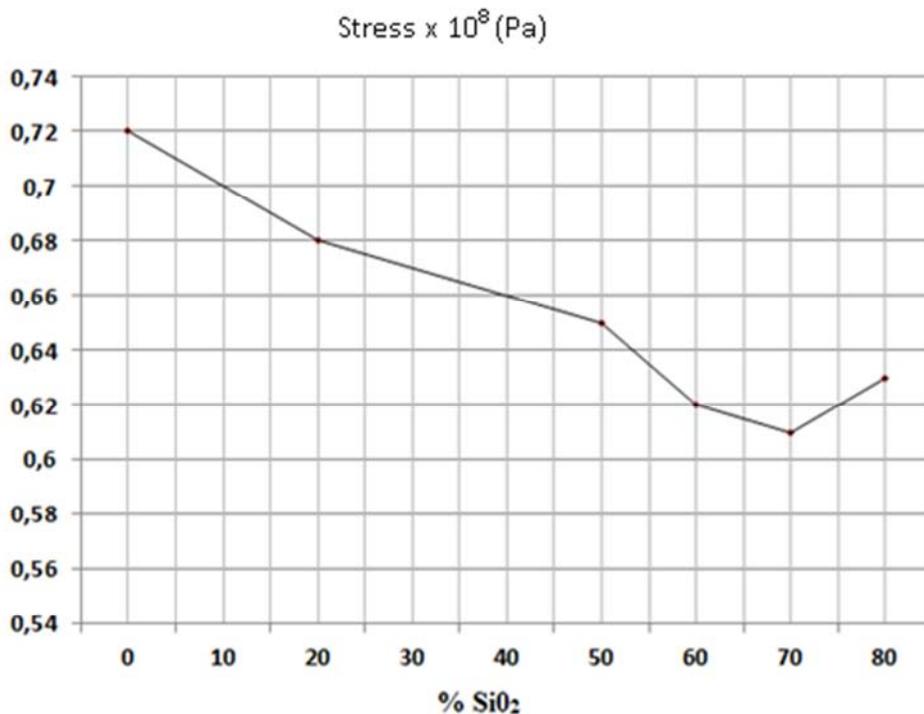


Fig.4.34 : Evolution de la contrainte en fonction du taux de charge en silice.

La courbe représentée sur la figure.4.34 montre qu'il ne faut s'attendre qu'à une légère variation dans les valeurs des contraintes en fonction de la charge en billes SiO<sub>2</sub> : les



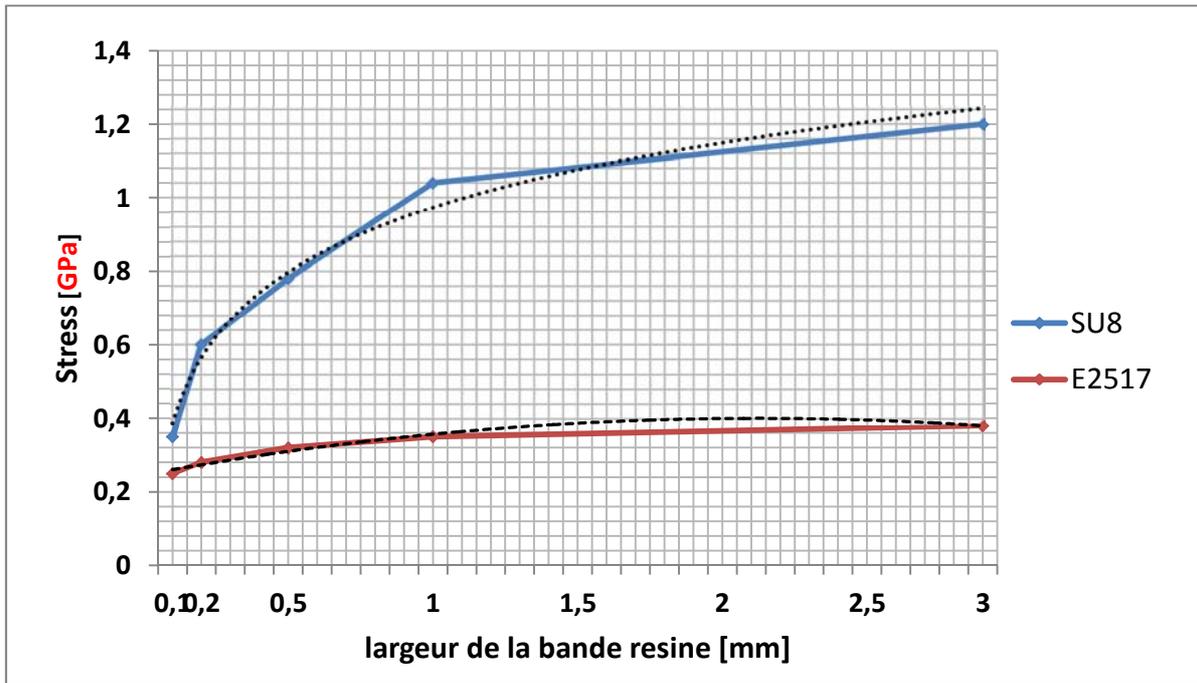


Fig.4.35 : Contrainte équivalente au retrait en fonction de la largeur de résine

On remarque dans cette simulation, que les paramètres principalement influents sont : le CTE et le module de Young ; les autres paramètres, comme la densité, la conductivité thermique et le coefficient de poisson des matériaux assemblés, ont des effets secondaires.

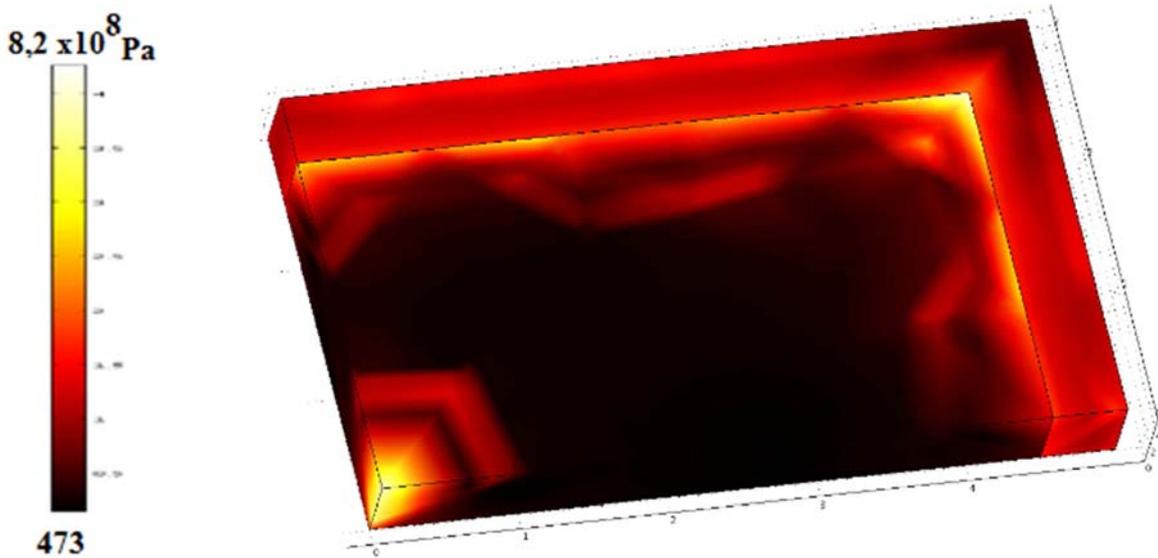


Fig.4.36 : Répartition des contraintes résiduelles dans une structure SU8/Si,  $R(\text{CTE})$  calculé de la SU8 =  $728 \cdot 10^{-4} / ^\circ\text{C}$  pour une baisse de la température de  $1^\circ\text{C}$  (Largeur du bandeau SU8 :  $500 \mu\text{m}$ ).

On note que la répartition du stress dans le cas de la simulation thermomécanique précédente (évaluation de l'effet du cyclage thermique) est la même que celle présentée sur la figure ci-dessus ; notons aussi que les ordres de grandeurs sont très différents. Les contraintes

maximales se situent au milieu de la puce et à ses quatre coins ; ces cinq endroits seront les zones les plus critiques pour des calculs de fiabilité tels que nous les avons indiqués précédemment.

## Conclusion

- 1- En termes de contraintes et donc de fiabilité, la valeur du module de Young de la résine utilisée est aussi important que le coefficient de dilatation thermique. Nos résultats invitent à rechercher une résine optimum avec des valeurs de CTE et de E les plus faibles possible. Sans le stress résiduel, les contraintes thermomécaniques d'assemblage du Silicium par la SU8 ou l'E2517 s'approchent ; ceci signifie que ce qui est gagné par la réduction de CTE est perdu par l'accroissement du module de Young.
- 2- Les contraintes inhérentes à la polymérisation sont de l'ordre du GPa tandis que les contraintes thermomécaniques restent inférieures à la centaine de Méga Pascal (MPa). La résine SU8 présente des contraintes de la polymérisation beaucoup plus importantes que celles de l'E2517.
- 3- A partir des deux points précédents, on constate que les charges de silice ont un rôle important en minimisant les contraintes résiduelles au moment de la polymérisation de la résine. Leurs effets sur les contraintes thermomécaniques n'est pas par contre tout à fait positif.
- 4- L'optimisation des contraintes de polymérisation (rétrécissement de la résine) peut être assurée par d'autres types de charges qui présentent un faible CTE et un module de Young plus faible que la silice, ce qui doit parallèlement minimiser les contraintes thermomécaniques.
- 5- Pour la technologie TPV, la substitution des charges de silice par un autre matériau dont le seuil d'ablation laser est plus faible, pourrait en même temps optimiser la qualité de perçage des trous. Il n'est pas facile de trouver le matériau qui rassemble ces critères "faible CTE, faible module de Young et faible seuil d'ablation laser" mais ceci constitue une matière d'étude et de recherche dans le développement des matériaux composites dédiés au packaging électronique. Pour la technologie d'encapsulation spécifique TPV, des microbilles de polyimide PI-2600 de HD MicroSystems dont les propriétés sont rassemblées ci-dessous, avec notamment un CTE de 3 PPM/°C très proche de celui du silicium, devraient pouvoir se substituer favorablement à une résine chargée de billes de silice.

Matériau	CTE	E
PI-2600	3 PPM/°C	8.5 GPa

Tab.4.12 : Caractéristiques du polyimide PI-2600

## **Références :**

**[Matmat 2010]** M.MATMAT, Pour une approche complète de l'évaluation de fiabilité dans les microsystèmes, INSA-Toulouse, Toulouse (2010).

**[Attia 1992]** Attia, M.H. and Waterhouse, R.B. (eds), Standardization of Fretting Fatigue Test Methods and Equipment, ASTM STP 1159, American Society for Testing and Materials, Philadelphia, 1992.

**[Newman 1981]** Newman, J.C., 1981 , "A Crack Closure Model Predicting Fatigue Crack Growth Under Aircraft Spectrum Loading," Methods and Models for Predicting Fatigue Crack Growth Under Random Loading, ASTM STP 748, pp. 53-84.

**[Ruiz 1984]** Ruiz, C., Boddington, P.H.B., and Chen, K.C., 1984, "An Investigation of Fatigue and Fretting in a Dovetail Joint," Experimental Mechanics, Vol. 24, No. 3, pp. 208-217.

**[Wang 1996]** Wang, C.H., 1996, "Effect of Stress Ratio on Short Fatigue Crack Growth," Journal of Engineering Materials and Technology, Vol. 118, pp. 362-366.

## Conclusion générale

Ce travail de thèse s'est attaché à explorer les assemblages électroniques les plus actuels sous l'angle de vue des assemblages 3D de puces empilées et interconnectées sur plusieurs niveaux. D'une manière générale, il apparaît que les choix industriels sont le résultat de compromis technologiques très délicats entre les performances, les coûts et la fiabilité ; chaque technologie, chaque étape technologique est poussée à ses performances ultimes et si la modélisation des processus peut aider à la conduite des étapes d'optimisation, il n'existe pas le plus souvent de modèles ou d'outils pour simuler et anticiper les performances du système assemblé. Dans ce cadre général, nos objectifs étaient d'explorer une approche originale dite TPV, proposée par l'entreprise 3DPLUS, d'y identifier les étapes critiques, d'y apporter des solutions et de les argumenter par des considérations théoriques.

Ce travail de thèse s'est déroulé dans le cadre d'une convention CIFRE 3DPLUS/LAAS-Cnrs, et utilisant pour cela les installations de l'entreprise et la centrale de technologie du Laboratoire. Elle a bénéficié de fortes contributions techniques de ces deux équipes techniques dans les essais technologiques et de prototypages.

Pour bien comprendre les enjeux, nous avons consacré notre premier chapitre à un état des pratiques actuelles avant de détailler nos objectifs.

Nous sommes revenus brièvement sur les technologies de la microélectronique où se jouent des enjeux de miniaturisations extrêmes des composants élémentaires. Malgré des technologies d'intégration silicium toujours plus spectaculaires, la règle édictée par la loi de Moore se heurte, dans la réduction des dimensions, de plus en plus souvent, aux lois de la physique. Ainsi, il apparaît clairement que de nouvelles options doivent être examinées qui exploiteraient toutes les possibilités des technologies silicium et au-delà : une voie très recherchée est celle des assemblages 3D.

Le chapitre 1 détaille principalement deux options complémentaires :

1- L'option TSV où les plaques silicium sont amincies pour ensuite être structurées avec des vias métallisés avant qu'ils ne soient positionnés les uns sur les autres. Les principales étapes sont : 1) l'alignement et la brasure des plaques, 2) la métallisation (remplissage) des Vias micrométriques.

Cette solution est probablement la solution reine pour des productions à fort volume, avec quelques points faibles qui sont les obstacles de rendement de production de wafer à wafer, et la flexibilité.

2- L'option TPV reprend les mêmes ambitions au niveau des puces : pour accroître le rendement, les puces sont choisies « bonnes » par KGRW (Known Good Rebuilt Wafers) et réassemblées en wafer, par un enrobage époxy. Ces nouvelles plaques reconstituées sont amincies, empilées et interconnectées par des vias réalisés dans le polymère d'enrobage.

Notre travail de thèse est ensuite présenté : il se situe dans le développement de l'option TPV conçue par l'entreprise 3DPLUS : identifier les points technologiques difficiles et proposer des solutions argumentées par des considérations théoriques.

Le chapitre 2, explore deux voies de réalisation du concept TPV :

A- L'option TPV-SOFT, une première voie est une extension des technologies 3D développées au LAAS en micro-fluidique à partir de résines spéciales SU8 qui permettent des usinages chimiques à fort rapport diamètre/profondeur. L'idée reste donc d'enrober les puces de résine et d'y pratiquer des vias par attaque chimique...

Le point dur de ce procédé réside dans les contraintes de retrait de la résine au moment de la polymérisation qui vont jusqu'à la rupture du silicium : nous avons exploré deux voies pour dépasser ce point dur, celle de pré-fabriquer la couche de polymère SU8 pour y placer « sans contrainte » les puces et celle de charger la SU8 de billes de verre pour réduire les contraintes en prenant le risque de réduire les performances de gravure profonde... Cette option TPV-SOFT a été mise en veille pour prioriser l'option TPV.

B- L'option TPV est dans ses grandes lignes, définie par des travaux antérieurs et a fait l'objet d'un Brevet déposé par 3DPLUS. Une première étape a été d'identifier les points durs qui sont :

- La dérive géométrique des puces lors de la polymérisation : on caractérise des déplacements de plusieurs dizaines de microns qui se répartissent en cercle mais avec un fort niveau aléatoire qui rend très difficile les corrections de masques,
- Les contraintes du wafer reconstitué qui sont de plus en plus difficile à gérer au fur et à mesure de l'amincissement : nous sommes arrivés à des amincissements utilisables de 130  $\mu\text{m}$ .
- Les reprises de contact RDL qui impliquent un nettoyage in situ des pad aluminium des puces avant la réalisation des métallisations : nous avons validé un processus de traitement par plasma Argon suivi par le dépôt d'une seed layer (Tantale/Cuivre) sous vide dans la même bâti du plasma Argon.

L'originalité de notre travail est d'avoir expérimenté un matériau composite avec des composantes (polymère/billes de silice) aux comportements très différenciés.

Le chapitre 3 fait l'analyse des résultats expérimentaux précédemment résumés et propose des interprétations et le cas échéant, des solutions potentielles :

- 1- Sur la dérive de puces nous proposons une interprétation théorique sur les effets du retrait de résine.
- 2- Sur le Perçage laser : on étudie théoriquement le type d'interaction de différents types laser avec les matériaux époxy chargés de Silice et on a sélectionné le laser femtoseconde qui peut répondre le mieux à notre cahier de charge en limitant la zone affectée thermiquement autour de trous et le temps de perçage/trou.
- 3- Sur la métallisation des trous on explore les résultats de plusieurs types de matériaux par une méthode de métallisation chimique 'electroless' industrielle ; on montre la possibilité de métalliser des trous de très haut facteur de géométrie : 33 (30 $\mu\text{m}$ /1mm) par un Nickel chimique (résistance  $\sim 1\Omega$ /trou). Pour réduire la valeur de cette résistance et protéger la couche du Nickel contre la corrosion, nous avons essayé d'accroître cette couche de Nickel par un rechargement électrolytique d'Or. Résultat : la couche d'Or se dépose d'une façon non uniforme dans les trous, ce qui laisse des zones de discontinuité au centre de ces trous.
- 4- Sur l'empilement et le collage des wafers reconstitués, on a retenu un processus de collage par une couche de 15 $\mu\text{m}$  de la colle époxy (EPOTEK 353-D) sur une machine TRESKY avec une précision d'alignement de moins de 30 $\mu\text{m}$  sur 6 niveaux.

Le chapitre 4 décrit les procédés globaux retenus, les performances et les difficultés encore à résoudre :

- 1- Sur La réalisation des vias par gravure laser : nous avons d'abord examiné toutes les possibilités à notre disposition (3DPLUS, Bordeaux,...). On interprète les résultats de perçage par différents types de laser (Eximère, YAG triplé et femto-seconde) et on conclut sur le phénomène d'interaction mis en

jeux et les recommandations possibles ; finalement on sélectionne la résine HYSOL®4511 et on retient le laser pulser 'YAG triplé 355nm'. Avec ce dernier, on est arrivé à réaliser des trous de diamètre d'entrée/sortie : 30/15µm dans 1mm d'épaisseur de résine.

- 2- Sur la réalisation complète des modules : on a réalisé avec succès plusieurs véhicules tests de façon à mettre en œuvre l'ensemble des procédés retenus via la fabrication des modules de 4 niveaux désignés d'une manière qui permet la caractérisation électrique des interconnexions inter niveaux.  
Reste à optimiser le processus de métallisation par le Nickel chimique pour minimiser la résistance dans les trous de diamètre d'entrée/sortie : 30/15µm. La métallisation de nos modules prototypes par un dépôt de cuivre chimique au LAAS a donné de très bons résultats (résistance ~100mΩ/trou).
- 3- Au niveau de modélisation numérique : notre technologie très hétérogène suppose être guidée par des modèles numériques pour identifier les zones contraintes. Pour estimer la valeur de stress dans et aux interfaces de nos composants, nous avons utilisé le simulateur thermo mécanique de COMSOL Multiphysics®3.5. Par une approche analogique on a simulé le retrait physique de la résine pendant la polymérisation par un phénomène de contraction thermomécanique. L'ordre de grandeur des contraintes de la polymérisation est en Giga pascal tandis que les contraintes thermomécanique entre -55°C et +125°C (sans stress résiduel) est de l'ordre de Méga pascal. Le SU8 présente des contraintes de polymérisation beaucoup plus importantes (x30) que celles de l'E2517. la valeur du module de Young de la résine utilisée est aussi importante que le coefficient de dilatation thermique. Sans le stress résiduel, les contraintes thermomécaniques d'assemblage du Silicium par la SU8 ou l'E2517 s'approchent, ce qui est gagné par le CTE est perdu par le module de Young. Pour la technologie TPV, la substitution des charges de Silice par autre matériau dont le seuil d'ablation laser est plus faible, pourra optimiser aussi la qualité de perçage des trous.

En prospective, on peut dire que les attentes industrielles sont grandes et la commercialisation des premiers systèmes assemblés est proche. Le procédé TPV est lui-même près de pouvoir apporter des résultats intéressants dans l'assemblage tridimensionnel de puces. Notre expérience et nos travaux plus théoriques invitent à étudier le mécanisme de polymérisation et ses effets sur la fiabilité du système.

Le point dur reste aujourd'hui le polymère chargé : nous avons souligné que ses performances peuvent être améliorées par l'usage de billes de petites dimensions micrométriques : la compatibilité en CTE serait encore améliorée et la gravure par laser plus « propre ».

Nous avons dû mettre en veille nos travaux sur la SU8, compte tenu de l'urgence de progresser sur le TPV : nous restons persuadés qu'une solution existe dans cette voie sous la forme d'une désolidarisation SU8/Si par un joint de 10µm d'une matière flexible (colle ou autre), ce qui élimine le stress résiduel au moment de la polymérisation de l'époxy. La SU8 pourrait ainsi porter le système d'interconnexions verticales de hautes performances et assurerait également la protection du système dans son environnement.

## **Titre**

Conception et mise au point d'assemblage tridimensionnel de circuits intégrés enrobés dans un polymère

## **Résumé :**

(THÈSE CONFIDENTIELLE)

Ce travail de thèse vise la définition et la mise au point de technologies pour l'empilement de puces microélectroniques dans un polymère et connectées électriquement par des vias traversants. Il explore deux voies : l'une de caractère industriel, utilisant une résine époxy chargée en billes de silice E2517, l'autre, plus exploratoire, est basée sur l'utilisation de la SU8.

Nous avons travaillé sur la mise au point des différentes étapes permettant d'empiler 4 niveaux de puces amincies à 80 microns (enrobées) et empilées sur des épaisseurs de l'ordre du millimètre. Le problème du perçage des vias a été abordé et étudié à travers la mise au point de procédés d'usinage au laser des résines de type industriel. La métallisation en couches minces de ces trous de facteur de forme élevée (20) a été menée de sorte à atteindre des valeurs de résistance d'accès les plus faibles possibles.

Un comparatif des deux voies utilisant la SU8 et la résine E2517 a été effectué et ses résultats commentés en termes de faisabilité techniques et ses projections dans le domaine industriel.

Des tests de fiabilité thermomécaniques ont été menés de concert avec une modélisation par éléments fini afin de valider les résultats des expérimentations réalisées dans le cadre de cette étude.

**Mots-clés:** SiP; 3D-interconnect technology; assemblage 3D; TPV-Through Silicon Via; Wafer-Level Packaging.

## **Title**

Design and development of three-dimensional assembly of integrated circuits embedded in a polymer

## **Summary**

(CONFIDENTIAL THESIS)

The subject of this thesis is the definition and development of TPV (Through Polymer Via) technology to stacking chips. The principal objective is to increase the potentialities of the vertical staking (complex IC; multiple I/O...) of Si chips without loss of performance or yield. The technique used consists to surround the IC chips by using particular resin and to fill (with metallic films) the vertical holes drilled in this material. It explores two ways: one of an industrial character, using an epoxy resin filled with silica beads E2517, other, more exploratory, is based on the use of SU8.

We worked on the development of different stages to stack four levels of chips thinned to 80 microns (coated) and stacked on the thickness of one millimeter. The problem of drilling vias has been discussed and studied through the development of laser drilling processes of

industrial resins. The thin-film metallization of the holes of high aspect ratio (20) was conducted in order to reach values of access resistance as low as possible.

A comparison of the two channels using SU8 resin and E2517 was carried out and the results discussed in terms of technical feasibility and its projections in the industrial field.

Thermomechanical reliability tests were conducted in conjunction with finite element modeling to validate the results of experiments conducted in this study.

**Keywords:** SiP; 3D-interconnect technology; Packaging 3D; TPV-Through Silicon Via; Wafer-Level Packaging.