N° d'ordre : **4471**

THESE

PRESENTEE A

L'UNIVERSITE BORDEAUX 1

ECOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par

Gilles Amadou KONÉ

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : **ELECTRONIQUE**

Caractérisation des effets thermiques et des mécanismes de défaillance spécifiques aux transistors bipolaires submicroniques sur substrat InP dédiés aux transmissions optiques Ethernet à 112 Gb/s

Soutenue le : 20 Décembre 2011

Après avis de :

M. Fabien PASCAL	Professeur, Université Montpellier 2	**Rapporteur**
M. Fausto FANTINI	Professeur, Université de Modène et Reggio Emilia (Italie)	**Rapporteur**

Devant la Commission d'examen formée de :

Me. Muriel RIET	Ingénieur, III-V Lab (Marcoussis)	**Examinateur**
M. Hassan. MAHER	Ingénieur (HDR); OMMIC (Paris)	**Examinateur**
M. Thomas ZIMMER	Professeur, Université Bordeaux 1	**Examinateur**
M. Jean GODIN	Ingénieur, III-V Lab (Marcoussis)	**Invité**
M. Niccolo Rinaldi	Professeur, Université de Naples (Italie)	**Invité**
Me. Cristell MANEUX	Maitre de conférences (HDR), Université Bordeaux 1	**Directeur de thèse**
Me. Nathalie LABAT	Professeur, Université Bordeaux 1	**Co-directeur de thèse**

- 2011 -

A la mémoire de mon père

Youssef Zatié KONÉ (1945-2005)

à ma mère

à ma sœur

à mes frères

Remerciements

Ces travaux de thèse ont été réalisés au Laboratoire de Microélectronique IMS de l'université de Bordeaux 1, dirigé par Monsieur le professeur Pascal FOUILLAT que je remercie pour m'avoir accueilli dans son établissement.

Je remercie le professeur Thomas Zimmer pour son soutien au sein de l'équipe « Caractérisation et Modélisation » ainsi que pour l'honneur qu'il m'a fait d'avoir présidé le jury de ma soutenance de thèse.

Pour avoir accepté d'examiner ce mémoire et de participer au jury de ma soutenance de thèse je remercie les professeurs Fabien PASCAL et Fausto FANTINI ainsi que Madame. Muriel RIET, Hassan. MAHER, Jean GODIN, Rinaldi.

Je remercie le professeur Nathalie Labat pour son accueil chaleureux au sein de l'Ecole Doctorale de Sciences Physiques et de l'Ingénieur, dont elle était directrice au début de ma thèse. Ainsi que pour avoir codirigé la thèse et pour le savoir transmis.

Je remercie Madame Cristell Maneux pour sa présence, sa patience et de m'avoir permis d'aller loin…

Sincère remerciement au Dr Brice Grandchamp, pour son soutien « avant », durant et même après ma thèse.

Un grand merci à tous les membres de l'équipe « Caractérisation et Modélisation » : Charlotte, Sebastien, Mahmoud, Arka, Sudip, Montassar, Amit, Mario, Cyril pour leurs conseils, leur collaboration ainsi que leur bonne humeur (Pour Mario pas trop ;-)).

A Raphael Baillot et à Jad Bazzi : « no comment ».

Une pensée à tous ceux qui n'ont souténu/supporté durant ces trois années de thèse : Fouss, Adamas, Yann, Tigui, Maïmouna, Chrsitelle, Nicole, Patricia. Mais aussi à ceux que j'ai dû supporter.

Glossaire

Acronymes et abréviations

AE	Auto-échauffement
BCB	Benzocyclobutene
B-C	Base collecteur
B-E	Base-émetteur
BJT	Bipolar Junction transistor
CBE	Chemical Beam Epitaxy
EK	Effet Kirk
EDS	Energy dispersive spectrometry
EPVOM	Epitaxie en phase vapeur d'organométalliques
EPL	Epitaxie en phase liquide
EVP	Epitaxie en phase vapeur
EJM	Epitaxie par jets moléculaires
EJMSG	Epitaxie par jets moléculaires à sources gazeuses
EJC	Epitaxie par jets chimiques
FET	Field Effect Transistor
FIB	Focused Ion Beam
GSMBE	Gas Source Molecular Beam Epitaxy
MOCVD	Metal Organic Chemical Vapor Deposition
MEB	Microscopie à balayage électronique
MET	Microscope Electronique en Transmission
MBE	Molecular Beam Epitaxy
NV	Niveau de référence du vide
SOA	Safe Operating Area
TBH	Transistor bipolaire à hétérojonction
ZCE	Zone de charge d'espace

Principales notations

χ	Affinité électronique
A_E	Aire d'émetteur
C_{BE}	Capacité base-émetteur
C_{BC}	Capacité base-collecteur
C_{BCint}	Capacité base collecteur intrinsèque
q	Charge d'électron
E	Champ électrique
D	Coefficient de diffusion des porteurs
n_E	Coefficient d'idéalité de la diode compris entre 1 et 2
η_E	Coefficient d'idéalité
Φ	Coefficient thermoélectrique
k_B	Constant de Boltzmann
$\hbar$	Constante de Plank
τ_{BC}	Constante de temps
B_0	Constante qui dépend de la technologie
I_S	Courant de saturation
I_B	Courant de base
I_C	Courant de collecteur
I_E	Courant d'émetteur
I_{reis}	Courant de recombinaison-saturation intrinsèque de la jonction B-E
I_{beps}	Courant de saturation de la périphérie de la jonction B-E
I_{beis}	Courant de saturation intrinsèque de la jonction B-E
I_{reps}	Courant de recombinaison-saturation de la périphérie de la jonction B-E
I_{nE}	Courant crée par le flux d'électrons majoritaires de l'émetteur vers la base
I_{pE}	Courant crée par le flux d'électrons majoritaires de la base vers l'émetteur
I_C	Courant de collecteur
I_{pE}	Courant crée par le flux d'électrons minoritaires de la base vers le collecteur
I_{pC0}	Courant crée par le flux d'électrons minoritaires du collecteur vers la base
I_{tun}	Courant tunnel
I_{rB}	Courant de recombinaison
I_{rEB}	Courant de recombinaison dans la ZCE de la jonction base-émetteur
D_{nB}	Coefficient de diffusion des électrons dans la base quasi neutre

$p(x)$	Concentration de trous dans la base quasi neutre
n	Concentration en électrons libres mise en jeu
n_{iB}	Concentration intrinsèque du matériau de base
N_T	Densité de pièges
ΔE_C	Différence entre deux affinités électroniques
W_B	Epaisseur de la base quasi neutre
W_{sc}	Epaisseur de la couche du sous-collecteur
E_a	Energie d'activation
M_{bei}	Facteur d'idéalité du courant I_{beis}
M_{rei}	Facteur d'idéalité du courant I_{reis}
M_{bep}	Facteur d'idéalité du courant I_{beps}
M_{rep}	Facteur d'idéalité du courant I_{rep}
η_y	Facteur de réaction d'Early
f_T	Fréquence de transition
f_{max}	Fréquence maximale d'oscillation
β	Gain en courant en émetteur commun
β_{max}	Gain en courant maximum en émetteur commun
Φ_B	Hauteur de la barrière de potentiel
x_B	Largeur de la base
w_B	Largeur de la base sous l'influence de l'effet d'Early
L_{ij}	Longueur inter-électrodes
μ	Mobilité des porteurs
N_{dE}	Niveau de dopage de l'émetteur
N_{aB}	Niveau de dopage de la base
E_F	Niveau de Fermi
E_C	Niveau de l'énergie de la bande de conduction
E_V	Niveau d'énergie de la bande de valence
γ	Paramètre empirique égal à 1
θ	Probabilité de transfert des porteurs à travers une barrière
R_B	Resistance d'accès de la base
R_{Bex}	Resistance de base extrinsèque
R_{Bint}	Resistance de base intrinsèque
r_E	Resistance dynamique d'émetteur

R_E	Resistance d'accès d'émetteur
R_{E0}	Resistance d'accès d'émetteur initiale
R_C	Resistance d'accès du collecteur
R_{CE}	Resistance émetteur-collecteur
R_{TH}	Résistance thermique
V_{BE}	Tension base-émetteur
V_{BC}	Tension base collecteur
V_{CB}	Tension collecteur-base
V_{CE}	Tension collecteur-émetteur
V_{sat}	Tension de saturation
V_Δ	Tensions de décalage
V_{BEon}	Tension directe de mise en conduction de la diode base-émetteur
V_A	Tension d'Early
BV_{CE0}	Tension de claquage du transistor de la jonction base collecteur en émetteur commun
V_{EB}	Tension émetteur-base
V_{EC}	Tension émetteur-collecteur
T	Température en kelvin (K)
T_C	Température critique
T_a	Température de vieillissement
τ_B	Temps de transit de la base
τ_C	Temps de transit du collecteur
g_m	Transconductance
ν	Vitesse de dérive des électrons

Table des matières

Introduction générale 19

Chapitre 1: TBH sur substrat InP..... 23

1. Introduction..... 23
2. Les transistors bipolaires..... 24
   2.2. Caractérisation électrique du transistor bipolaire 27
      2.2.1. Caractéristiques statiques..... 28
         2.2.1.1. Tracés de Gummel 28
         2.2.1.2. Réseau de sortie $I_C(V_{CE})$ à I_B constant 29
   2.3. Principaux facteurs de mérite dynamique..... 31
      2.4.1. L'effet d'Early 32
      2.4.2. L'effet Sah-Noyce-Shockley 33
      2.4.3. L'auto-échauffement..... 34
      2.4.4. L'effet tunnel 36
      2.4.5. Les effets aux forts niveaux d'injection..... 38
         2.4.5.1. Dans la base 38
         2.4.5.2. Dans le collecteur..... 38
      2.4.6. Le claquage 39
   2.5. Les transistors bipolaires à hétérojonction..... 41
      2.5.1. Les transistors à simple hétérojonction..... 41
      2.5.2. Les transistors bipolaires à double hétérojonction (TBDH) 42
      2.5.3. Les transistors bipolaires à double hétérojonction submicroniques 42
   2.6. Hétérojonction type I versus type II : TBH InP/InGaAs versus InP/GaAsSb 44
3. Les filières InP 47
   3.1. Applications 47
   3.2. Procédé de fabrication..... 48
      3.2.1. Quelques définitions 48
         3.2.1.1. L'épitaxie 48
            a. L'épitaxie par jets moléculaires (EJM) :..... 48
            b. L'épitaxie en phase vapeur d'organométalliques (EPVOM)..... 49
         3.2.1.2. La technologie triple mesa 50

3.2.1.3. L'auto-alignement 50
3.2.2. La nature des contacts métalliques 51
3.2.3. Récapitulatif du procédé de fabrication 51
4. Mécanismes de dégradation génériques des filières bipolaires InP 53
4.1. Description des mécanismes de dégradation 53
4.1.1. Mécanismes associés aux contacts ohmiques 53
4.1.2. Mécanismes associés à la base 54
4.1.3. Mécanismes associés à la passivation 55
4.1.4. Synthèse 56
4.2. Méthodes d'évaluation des mécanismes de dégradation des TBH InP 56
4.2.1. Activation des mécanismes de défaillance 57
4.2.2. Détection des mécanismes de dégradation 58
4.2.3. Localisation de l'origine des mécanismes 59
5. Conclusion 61

Chapitre 2: Technologies sous test 63

1. Introduction 63
2. Préalable : Outils de caractérisation des technologies sous test 64
2.1. Le banc de mesure statique 64
2.2. La baie de test et de caractérisation électrique statique 65
2.2.1. Description générale 65
2.2.2. Logiciels de caractérisation et d'application de la contrainte en courant et en tension 67
2.2.3. Adaptation des filtres 67
2.2.4. Évaluation de la résistance thermique 69
2.2.4.1. Evaluation par mesures électriques 70
2.2.4.2. Evaluation par simulation 2D 74
2.2.5. Les mesures pulsées 77
3. Description des différentes générations de TBH 79
3.1. La génération 0 de la filière III-V Lab 81
3.1.1. Les composants étudiés (TLM et TBH) 81
3.1.1.1. Epitaxie 81

3.1.1.2. Géométries masques et Géométries effectives 83
3.1.2. Les ″TLM″ 84
3.1.3. Caractéristiques électriques des transistors 89
3.1.3.1. Caractérisation statique initiale 89
3.1.3.2. Performances dynamiques 91
3.1.3.3. Dispersion technologique initiale des performances statiques 92
3.1.3.4. Dispersion technologique initiale des performances dynamiques 97
3.2. La génération 1 de la filière III-V Lab 99
3.2.1. Les TBH sous test 99
3.2.1.1. Epitaxie 99
3.2.1.2. Géométrie des masques et géométrie effective 100
3.2.2. Caractéristiques électriques 100
3.2.2.1. Caractérisation statique initiale 100
3.2.2.2. Dispersion technologique initiale des performances statiques 103
3.2.2.3. Dispersion technologique initiale des performances dynamiques 105
3.3. La génération 2 de la filière III-V Lab 107
3.3.1. Les TBH sous test 107
3.3.1.1. Epitaxie 107
3.3.2. Caractéristiques électriques 109
3.3.2.1. Caractéristiques initiales 109
3.3.2.2. Dispersion technologique initiale des performances statiques 110
3.3.2.3. Dispersion technologique initiale des performances dynamiques 112
3.4. La génération 2 de la filière OMMIC 115
3.4.1. Les TBH sous test 115
3.4.1.1. Epitaxie 116
3.4.1.2. Géométrie des masques et géométrie effective 117
3.4.2. Caractéristiques électriques 118
3.4.2.1. Caractérisation statique initiale 118
3.4.2.2. Dispersion technologique initiale des performances statiques 119
3.4.2.3. Dispersion technologique initiale des performances dynamiques 123
4. Conclusion 125

Chapitre 3: Tests de vieillissement accéléré 129

1. Introduction 129
2. Méthodologie 130
   2.1. Choix des contraintes et mise en œuvre 130
   2.2. Tests de vieillissement accéléré sous contrainte thermique 130
   2.3. Tests de vieillissement accéléré sous contraintes thermique et électrique 131
3. Résultats des tests de vieillissement des TLM 137
4. Résultats des tests de vieillissement accéléré sous contrainte thermique effectués sur les TBH 140
   4.1. Génération 0 de la filière III-V Lab 140
   4.2. Génération 1 de la filière III-V Lab 147
   4.3. Génération 2 de la filière III-V Lab 152
   4.4. Génération 2 de la filière OMMIC 152
5. Résultats des tests de vieillissement accéléré sous contraintes thermique et électrique sur TBH 158
   5.1. Génération 0 de III-V Lab 159
   5.2. Génération 1 de III-V Lab 161
      5.2.1. Résultats des tests de vieillissement à température de jonction Tj fixée ... 161
      5.2.2. Résultats des tests de vieillissement à densité de courant de collecteur fixée 163
         a. Tests sous conditions P1 163
         b. Tests sous conditions P2, P3, P4 et P5 164
   5.3. Génération 2 de III-V Lab 166
   5.4. Génération 2 d'OMMIC 167
6. Synthèse et conclusion 170
   6.1. Tests de vieillissement accéléré en stockage 171
   6.2. Tests de vieillissement accéléré sous polarisation 172

Chapitre 4: Analyses approfondies 177

1. Introduction 177
2. Hypothèses sur l'origine physique des mécanismes de dégradation 178
   2.1. Outil : Modèle compact 178

2.1.1. Modèle Gummel-Poon 179
2.1.2. Modèle HiCUM 180
2.2. Analyse des tests de vieillissement accéléré par modélisation compacte 182
2.2.1. Contrainte thermique 182
2.2.1.1. Génération 0 et génération 1 de la filière III-V Lab 182
2.2.1.2. Génération 2 OMMIC 185
2.2.2. Contraintes thermique et électrique 188
2.3. Synthèse 192
3. Analyse approfondie des mécanismes de dégradation par simulation physique 2D . 193
3.1. Description de l'outil 193
3.1.1. Structure et maillage 193
3.1.1.1. Structure simplifiée 193
3.1.1.2. Optimisation du maillage 194
3.1.2. Analyses des mécanismes de transport avant vieillissement 196
3.2. Simulations physiques 2D des mécanismes de dégradation 197
3.2.1. Impact des pièges sur les tracés de Gummel en direct 197
3.2.2. Filière III-V Lab 200
3.2.2.1. Sous contrainte thermique 200
3.2.2.1. Contraintes thermique et électrique 205
a. Augmentation du courant de base pour V_{BE} inférieure à 0,6 V 206
b. Augmentation du courant de base pour V_{BE} supérieure à 0,6 V et du courant de collecteur pour V_{BE} inférieure à 0,8 V 208
c. Diminution du courant de collecteur pour V_{BE} supérieure à 0,8 V 211
3.2.3. Filière OMMIC 212
3.2.3.1. Contrainte thermique 212
3.2.3.2. Contraintes thermique et électrique 212
3.2.4. Synthèse 216
4. Conclusion 219
Conclusion Générale 223
Liste des Figures 229
Liste des Tableaux 237
Bibliographie 241

Introduction générale

Ces travaux de thèse se situent dans le cadre du programme de recherche ‘’ROBUST’’, « *Reliability Oriented Optimization of InP Bipolar Submicron devices for robust design of 112 Gb/s optical transport network* » (http://extranet.ims-bordeaux.fr/ROBUST). Ce programme de recherche industrielle (2009-2011) est centré sur les activités technologiques nécessaires à l’optimisation fiabilisée des transistors bipolaires InP submicroniques (TBH InP) en vue de la conception robuste des circuits intégrés cadencés à 112 Gb/s et destinés aux transmissions optiques Ethernet. Les circuits basés sur les TBH InP sont particulièrement appropriés pour les blocs fonctionnels près des transitions opto/électroniques, où le taux de modulation complet nécessite un fonctionnement à très grande vitesse. La capacité de fonctionnement du TBH InP à fort signal permet la réalisation du "driver" électro-optique et sa très grande sensibilité conduit à d'excellentes performances du photo-récepteur. Aujourd'hui, les dimensions réduites des transistors offrent une plus large bande de fréquences mais il faut également maintenir une puissance de sortie suffisante. En effet, les dimensions des TBH InP diminuant, l'augmentation de la densité de courant est obligatoire puisque le pic de f_T est atteint à 1 mA/μm^2 pour 2 μm d'émetteur et augmente à 5 mA/μm^2 pour 0,5 μm. Comme la résistance thermique augmente de façon inversement proportionnelle aux dimensions du TBH, la température de jonction augmente significativement ce qui active des mécanismes de défaillance. C'est pourquoi, il est nécessaire d'aborder la conception du transistor submicronique par une approche active de l'évaluation de la fiabilité des circuits associés fonctionnant à 112 Gb/s.

Dans ce contexte, mes travaux de thèse visent :

1. l’évaluation de l’auto-échauffement du TBH InP submicronique pour approfondir la compréhension du comportement électrothermique du transistor par des mesures expérimentales et des simulations physique 3D,
2. la mise en œuvre d’un protocole de tests pour l’évaluation des mécanismes de défaillance,
3. l’analyse approfondie des mécanismes de défaillance par la simulation physique 2D.

Tous les TBH étudiés ici sont de géométrie hexagonale, cependant il existe plusieurs générations de transistors :

❖ La génération G0 III-V Lab :

Les transistors de cette génération, comme tous les TBH de la filière III-V Lab, ont une base en InGaAs. L'émetteur et le collecteur étant en InP, les hétérojonctions base-collecteur et base-émetteur sont de type I. Les contacts ohmiques d'émetteur, de base et de collecteur sont réalisés avec un empilement titane et or (Ti/Au). Les TBH sont constitués de deux couches de contact émetteur, de l'émetteur, de la base. Le collecteur est composé de 3 couches déposées sur les 3 couches de sous-collecteur.

❖ La génération G1 III-V Lab :

Les différences majeures entre cette génération et la génération 0 se situent au niveau :

- des matériaux utilisés pour la réalisation de la passivation : nous sommes passés du BCB pour la G0 au polyimide pour la G1,
- de l'épaisseur de la couche de sous-collecteur 2, qui est réduite de moitié (25 nm).

❖ La génération G2 III-V Lab :

Les améliorations technologiques apportées à la génération 2 sont les suivantes :

- la passivation générale réalisée avec du BCB comme pour la G0,
- la passivation avec du SiN des flancs d'émetteur-base, de collecteur et de sous-collecteur en InGaAs,
- le contact ohmique de l'émetteur réalisé avec un empilement de Ti/Pd/Au/Ti/Pd/Au. Celui de la base et du collecteur sont réalisés en Ti/Pd/Au,
- la réduction de l'épaisseur de la couche de sous-collecteur 2. Elle passe de 25 nm pour les TBH G1 à 15 nm pour les TBH G2.

❖ La génération G2 OMMIC :

Les transistors ont une base en GaAsSb et deux hétérojonctions de type II pour les jonctions base-collecteur et base-émetteur, l'émetteur et le collecteur étant en InP. La passivation et la planarisation de cette génération ont été opérées par du Benzocyclobutene (BCB). Le contact de la base est réalisé en Pt/Ti/Pt/Au. Celui de l'émetteur et du collecteur sont en Ti/Pt/Au. L'épaisseur de la couche de sous-collecteur 2 des TBH de cette génération est de 50 nm.

Ce mémoire est divisé en quatre chapitres.

- Le chapitre 1 fait un rappel sur le principe de fonctionnement des transistors en général et sur les mécanismes de dégradations connus des TBH sur substrat InP. De la

connaissance de ces mécanismes de dégradation ainsi que de leur localisation, nous pourrons déduire les premières hypothèses sur leur origine physique mise en évidence lors des tests de vieillissement accéléré.

- Le chapitre 2 présente les générations de TBH étudiées dans ces travaux de recherche. Ces filières TBH sont réparties en deux filières : la filière III-V Lab où les transistors ont une base en InGaAs et la filière OMMIC où la base est une GaAsSb. Pour chaque génération, nous présentons les caractérisations initiales des performances statiques (Gummel en direct et en inverse, réseaux de sortie I_C (V_{CE}) à courant de base I_B constant et tension de claquage BV_{CE0} en montage émetteur commun) et dynamiques (fréquence de transition f_T et fréquence maximale d'oscillation f_{max}) réalisées sur plusieurs transistors. Dans ce même chapitre sont présentés les TLM base, TLM émetteur et TLM collecteur soumis au test de vieillissement.
- Le chapitre 3 présente la méthodologie et les résultats des tests de vieillissement accéléré des véhicules de test, TLM et TBH. Deux types de contraintes ont été appliqués : une contrainte en température et une contrainte combinée, température et polarisation. Ces deux types de contraintes répondent au besoin de discriminer les mécanismes de défaillance selon leur origine physique et leur localisation.
- Le chapitre 4 est dédié à l'analyse électrique et/ou physique des mécanismes de dégradation observés sur les caractérisations électriques des TBH sous tests de vieillissement en stockage et sous polarisation. Grâce à l'analyse électrique via la modélisation compacte, nous établissons les premières hypothèses sur l'origine physique des mécanismes de dégradation, et nous espérons valider ces hypothèses avec l'analyse physique 2D.

Chapitre 1

TBH sur substrat InP

1. Introduction

De nos jours, les transistors bipolaires à hétérojonction sur substrat InP se retrouvent dans de nombreuses applications, de la transmission optique à haut débit [1] [2] à l'imagerie médicale [3] en passant par la téléphonie mobile, les radars [4] ou encore les conversions analogique-numériques [5]. Avec ses performances dynamiques qui ne cessent d'évoluer, le transistor sur substrat InP a un bel avenir. En 2011, avec un transistor InP avec une base InGaAs, un nouveau record a été établi avec une fréquence f_T de 430 GHz et une fréquence f_{max} de 800 GHz [6].

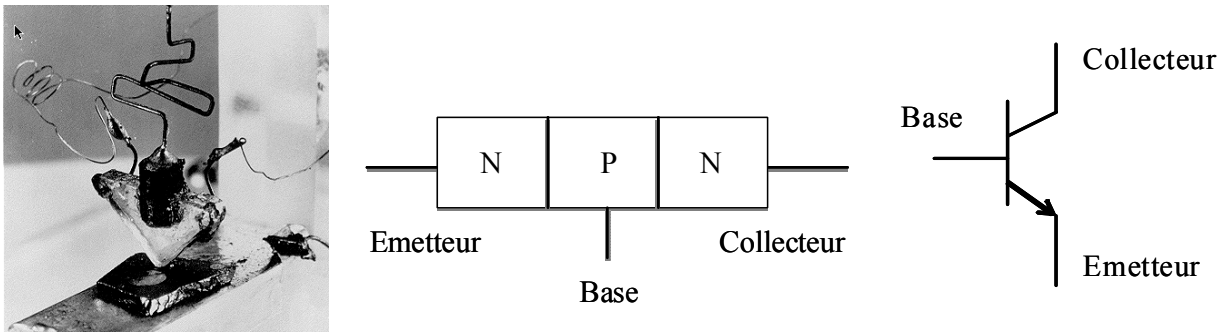
Ce chapitre a pour but d'effectuer un rappel sur le principe de fonctionnement des transistors en général et plus particulièrement sur les transistors bipolaires à hétérojonction (TBH) sur substrat InP. Les principaux effets limitatifs résidant au sein des transistors ainsi que les améliorations technologiques apportées sur certains effets limitatifs sont aussi présentés. On y trouve également une étude basée sur les mécanismes de dégradation connus des TBH sur substrat InP. De la connaissance de ces mécanismes de dégradation ainsi que de leur localisation, nous pourrons déduire les premières hypothèses sur leur origine physique mises en évidence lors des tests de vieillissement accéléré dans le chapitre 3.

2. Les transistors bipolaires

2.1. L'effet transistor

Le principe de fonctionnement d'un transistor à effet de champ (FET pour « *Field Effect Transistor »*) a été décrit par Julius E. Lilienfeld en 1925. A cette époque le dopage des semi-conducteurs n'étant pas complètement maîtrisé, ce transistor n'a pas donné lieu à une commercialisation. Ce n'est que dans les années 50, dans les laboratoires Bell, que le transistor bipolaire à homojonction plus communément appelé TBJ ou encore « *Bipolar Junction Transistor »* (BJT) a vu le jour suite aux travaux de William Shockley, John Bardeen et Walter Brattain [7]. Ce transistor prototype est présenté sur la Figure 1. 1 (a). Le fonctionnement du transistor met en jeu deux types de porteurs (les électrons et les trous) d'où l'appellation de transistor bipolaire par opposition au transistor à effet de champ dont le fonctionnement repose sur un seul type de porteurs.

Un BJT est composé de trois zones neutres distinctes qui sont l'Emetteur, la Base et le Collecteur respectivement dopées N, P et N (Figure 1. 1 (b)). Au voisinage de chaque jonction métallurgique, il existe une zone présentant des charges fixes : c'est la zone de charge d'espace (ZCE) encore appelée zone de transition ou zone de déplétion. La Figure ***1. 1*** (c) montre la représentation électrique d'un BJT NPN. Avec cette juxtaposition de deux jonctions PN tête-bêche, plusieurs types de montages ainsi que plusieurs modes de polarisation sont possibles.



(a) (b) (c)

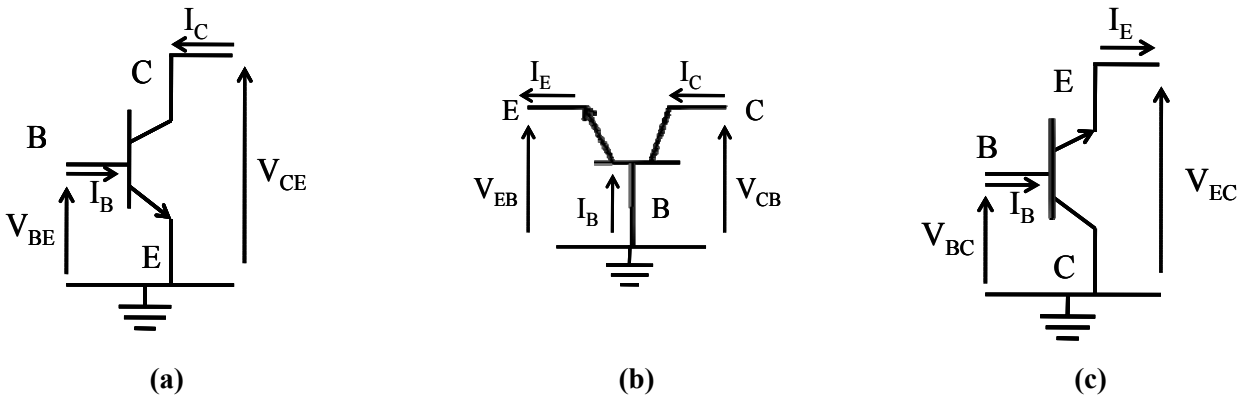
Figure 1. 1*: Transistor bipolaire à homojonction*

(a) *Premier BJT inspiré par W. Shockley*

(b) *Représentation schématique d'un BJT type NPN*

(c) *Représentation électrique d'un BJT type NPN*

La Figure 1. 2 montre qu'un transistor peut être utilisé en montage émetteur commun, base commune ou encore collecteur commun.



(a) **(b)** **(c)**

Figure 1. 2 *: Différents montages amplificateurs d'un transistor*

(a) *Montage émetteur commun* ***(b)*** *montage base commune* ***(c)*** *montage collecteur commun*

Avec I_C le courant de collecteur, I_B le courant de base, I_E le courant d'émetteur,

V_{CE} la tension collecteur-émetteur, V_{BC} la tension base collecteur, V_{BE} la tension base- émetteur

Le *Tableau 1. 1* montre les différents régimes de fonctionnement en accord avec les sens de polarisation des jonctions

Tableau 1. 1 : Les modes de fonctionnement du transistor bipolaire

Jonction base-émetteur	Jonction base-collecteur	Mode de fonctionnement
Direct	Inverse	Normal
Inverse	Direct	Inverse
Direct	Direct	Saturé
Inverse	Inverse	Bloqué

Le montage émetteur commun des BJT étant le plus utilisé, nous l'avons choisi pour expliquer l'effet transistor et pour déterminer les différents courants. En montage émetteur commun, la polarisation de la jonction base-émetteur dans le sens direct ($V_{BE} > 0$) entraine une injection des porteurs majoritaires vers la base. Cette injection se traduit par la propagation d'un flux d'électrons majoritaires de l'émetteur vers la base (constituant le courant I_{nE}) et d'un flux de trous majoritaires de la base vers l'émetteur (constituant le courant I_{pE}). La polarisation en sens inverse de la jonction base-collecteur ($V_{BC} < 0$) entraine une diffusion des porteurs minoritaires, plus précisément :

- le déplacement d'un flux d'électrons minoritaires de la base vers le collecteur (constituant le courant I_{nC}),

- le déplacement d'un flux de trous minoritaires du collecteur vers la base (constituant le courant I_{pCO}).

Ainsi, en régime de fonctionnement normal direct, un flux important d'électrons provenant de l'émetteur se dirige vers la base et un flux moins important de trous dans le sens inverse : c'est l'effet transistor. Cependant, une partie des porteurs injectés dans la base n'atteignent pas le collecteur car ils s'y recombinent donnant ainsi naissance au courant de recombinaison I_{rB}. I_{rEB} est le courant de recombinaison dans la ZCE de la jonction base-émetteur. La Figure 1. 3 fait le bilan de tous les courants et flux de porteurs se trouvant dans un BJT en régime de fonctionnement normal direct.

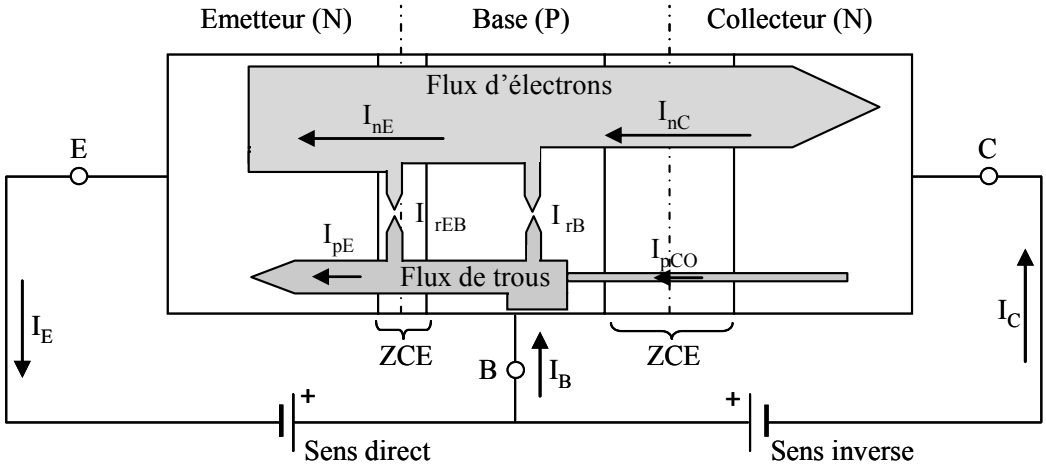


Figure 1. 3: *Illustration de l'effet transistor avec la représentation des différents courants dans un transistor bipolaire en régime de fonctionnement normal direct.*

En vertu de la loi de conservation des courants, le bilan des courants se trouvant dans un transistor en régime de fonctionnement direct est le suivant :

$$I_E = I_C + I_B + I_{rEB} \qquad \text{Équation 1. 1}$$

$$I_E = I_{nE} + I_{pE} \qquad \text{Équation 1. 2}$$

$$I_C = I_{nC} + I_{pCO} \qquad \text{Équation 1. 3}$$

$$I_B = I_{pE} + I_{rB} + I_{pCO} \qquad \text{Équation 1. 4}$$

On ne peut pas parler de transistor bipolaire sans mentionner une de ses facteurs de mérite bien connue : le gain en courant en émetteur commun noté β et qui permet de quantifier l'amplification en courant du transistor. Son expression est la suivante :

$$\beta = \frac{I_C}{I_B} \qquad \text{Équation 1. 5}$$

L'équation 1. 6 donne le gain en courant maximum (β_{max}), lorsque les courants de recombinaison sont négligeables.

$$\beta_{\max} = \frac{I_{nE}}{I_{pE}} \qquad \text{Équation 1. 6}$$

En conception de circuit, le facteur de mérite statique β_{max} est un paramètre efficace pour quantifier la dégradation des transistors. Pour cette raison, il fait l'objet d'un critère de défaillance dans le chapitre 4.

2.2. Caractérisation électrique du transistor bipolaire

La caractérisation électrique réalisée sur des transistors sur plaque est une étape très importante dans le sens où elle permet de réaliser une première estimation du rendement de fabrication et de la qualité des performances électriques. Dans le cas d'une étude de fiabilité, c'est aussi l'occasion d'opérer un premier tri de composants représentatifs parmi des dizaines de transistors. Ce tri est réalisé en fixant des critères par rapport à la dispersion des paramètres électriques. Il a pour but de sélectionner des transistors dont les caractéristiques électriques sont proches et caractéristiques de la technologie, pour observer des modes de dégradation génériques des transistors. Au premier ordre, il existe principalement deux types de caractérisation électrique : statique et dynamique.

2.2.1. Caractéristiques statiques

Plusieurs types de mesures peuvent être réalisés dans le cadre de la caractérisation statique, mais dans le cadre de cette thèse sur la fiabilité, nous avons principalement mesuré et analysé les tracés de Gummel et le réseau de sortie I_C (V_{CE}) à I_B constant.

2.2.1.1. Tracés de Gummel

Les tracés de Gummel sont les caractéristiques courant-tension indiquant en échelle logarithmique les courants de base I_B et de collecteur I_C en fonction de la tension base-émetteur V_{BE} tout en maintenant la tension base-collecteur V_{BC} constante (égale à zéro dans notre cas). Dans ce cas, les tracés de Gummel sont dits directs. Ils sont dits inverses lorsque le graphe indique le courant d'émetteur I_E et le courant de base I_B en fonction de la tension V_{BC} (avec V_{BE} = 0V dans notre cas). A partir de ces mesures, on obtient le gain en courant et des informations sur la qualité des jonctions B-E et B-C. La Figure 1. 4, qui est la représentation des tracés dits directs, peut donner une évaluation sommaire de la qualité de la technologie. Elle permet de faire la différence entre les transistors fonctionnels et ceux qui ne le sont pas, i.e typiquement soit avec un fort courant de fuite dû au perçage de la base par exemple, soit avec des résistances d'accès trop élevées.

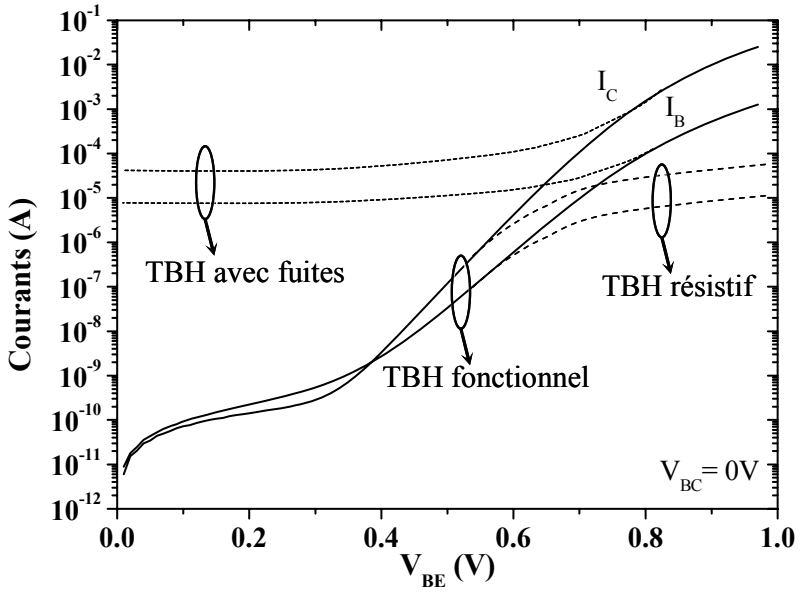
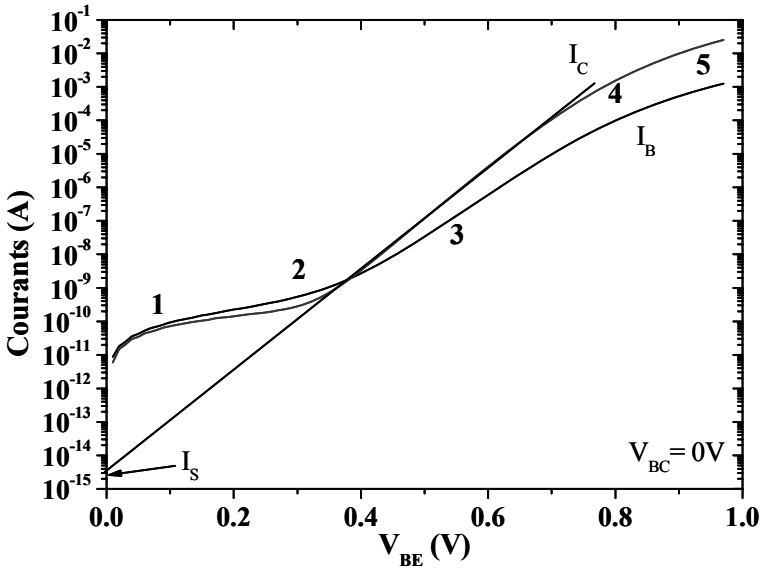


***Figure 1. 4** : Tracés de Gummel en direct d'un TBH fonctionnel et de deux TBH non fonctionnels*

La Figure 1. 5, représente les tracés de Gummel en direct d'un transistor fonctionnel où nous pouvons extraire quelques paramètres électriques tels que le niveau des courants de fuites, le courant de saturation I_S ou encore le coefficient d'idéalité des diodes de base et de collecteur. I_S correspond au point de croisement entre l'axe des ordonnées et la projection de la composante idéale du courant de collecteur à $V_{BE} = 0$ V.



1- Courant tunnel bande à bande de la jonction BE

2- Effet Sah-Noyce-Shockley (mécanisme de recombinaison) : le gain β est inférieur à 1.

3- Zone idéale de fonctionnement des diodes de base et de collecteur, début de l'effet d'amplification, gain supérieur à 1

4- Influence des résistances d'accès émetteur et base

5- Effet de forte injection (effet Kirk), le gain commence à chuter

Figure 1. 5*. Tracés de Gummel en direct avec les principaux paramètres et/ou effets pouvant être extraits selon un modèle simple*

2.2.1.2. Réseau de sortie $I_C(V_{CE})$ à I_B constant

Le réseau de sortie I_C (V_{CE}) à I_B constant représente le courant de collecteur en fonction de la tension collecteur-émetteur (V_{CE}) pour différentes valeurs du courant de base I_B. De ce réseau de courbes (Figure 1. 6) nous pouvons extraire les tensions de décalage (V_Δ), de saturation V_{sat}, et de claquage du transistor BV_{CE0} et la somme des résistances d'accès d'émetteur R_E et du collecteur R_C en parallèle avec la résistance émetteur-collecteur et le gain en courant β. Dans certains cas, la manifestation de l'auto-échauffement est également présente et se traduit par une pente négative de la zone quasi linéaire du courant I_C.

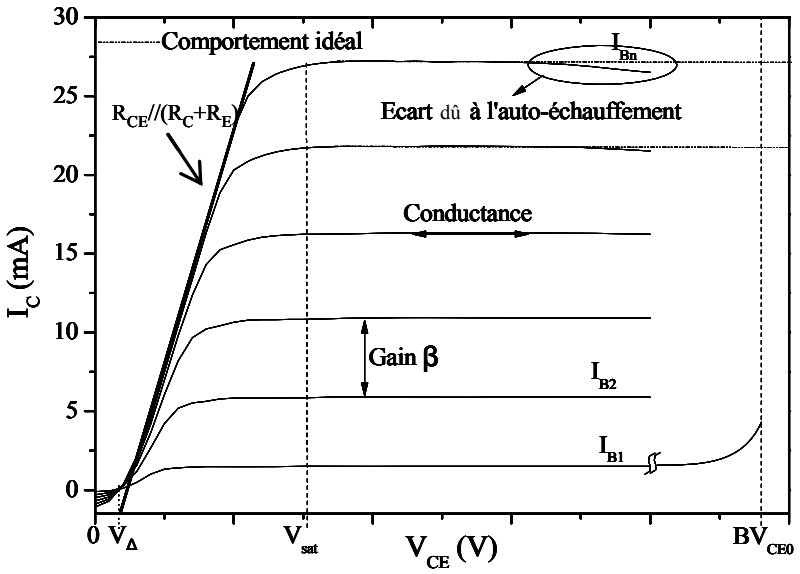


***Figure 1. 6** : Réseaux de sortie $I_C(V_{CE})$ à I_B constant d'un transistor avec les différents paramètres électriques extraits selon un modèle simple.*

Les électrons ne sont injectés dans la base que lorsque la tension V_{CE}, appliquée au niveau de la jonction B-E est supérieure à V_Δ. Pour une tension V_{CE} inférieure à V_Δ, le courant I_C résulte uniquement de l'injection des porteurs minoritaires du collecteur vers la base. Ceci se traduit, sur le réseau de sortie, par une valeur négative de I_C [8]. Pour des valeurs de V_{CE} plus importantes, V_{BE} augmente ce qui favorise l'injection des électrons de l'émetteur vers la base et donc augmente I_C. Le transistor est en régime de saturation pour V_{CE} inférieure à V_{sat} lorsque la jonction B-C est polarisée en direct. Dans ce régime, la pente du courant nous informe sur la valeur de la résistance entre émetteur et collecteur R_{CE}. Pour une valeur de V_{CE} supérieure à V_{sat}, le transistor entre en régime de fonctionnement normal. La pente des caractéristiques donne la conductance de sortie du transistor. Le *Tableau 1. 2* montre le mode de fonctionnement en fonction de la tension V_{CE} tout en faisant le bilan des différents paramètres exploitables sur le réseau.

Tableau 1. 2 : Résumé du réseau de sortie $I_C(V_{CE})$ à courant de base constant

	V_{CE}		
	0 - VΔ	VΔ - V_{sat}	V > V_{sat}
Régimes de fonctionnement	Régime de saturation		Régime de fonctionnement normal ou régime linéaire
Porteurs injectés	Injection des porteurs minoritaires du collecteur vers la base	Injection des porteurs majoritaires de l'émetteur vers la base	
Paramètres électriques	Résistances d'accès collecteur R_C et émetteur R_E et R_{CE}	Conductance Gain en courant	

2.3. Principaux facteurs de mérite dynamique

Les principales figures de mérite dynamique des TBH sont la fréquence de transition du gain en courant f_T et la fréquence maximale d'oscillation f_{max}. Pour les fréquences inférieures à f_T, le gain dynamique en courant est constant puis, à l'approche de f_T, commence à décroître avec une pente idéale de 20 dB par décade jusqu'à venir couper l'axe des abscisses (celui des fréquences) en f_T. Ainsi f_T est la fréquence pour laquelle le gain en courant est égal à zéro. Son expression est donnée par l'équation 1. 7. Quant à f_{max}, c'est la fréquence pour laquelle le gain en puissance est égal à zéro dB. Les deux fréquences f_T et f_{max} sont classiquement liées par l'équation 1. 8.

$$\frac{1}{2\pi f_T} = \tau_B + \tau_C + C_{BC}\left(R_E + R_C\right) + \frac{\eta_y k_B T}{q.I_C}.\left(C_{BC} + C_{BE}\right) \qquad \text{Équation 1. 7}$$

$$f_{\max} = \sqrt{\frac{f_T}{8\pi\tau_{CB}}} \qquad \text{Équation 1. 8}$$

Avec :

- τ_B et τ_C temps de transit respectivement de la base et du collecteur,
- C_{BE}, C_{BC} respectivement capacité base-émetteur et base-collecteur,
- R_E et R_C respectivement résistance d'émetteur et de collecteur,
- η_y le facteur de réaction d'Early. C'est un paramètre sans dimension qui caractérise l'effet d'Early en régime « petits signaux » et son expression est donnée par l'équation 1. 9 [7],
- k_B la constante de Boltzmann,
- T la température en Kelvin,
- τ_{CB} une constante de temps dont l'expression est donnée par l'équation 1. 10 et sa valeur en fonction de la transconductance g_m en [9].

$$\eta_y = \frac{kT}{q\left|V_A\right|} \qquad \text{Équation 1. 9}$$

$$\tau_{CB} = C_{BC\text{int}}\left(R_{B\text{int}} + R_{Bex}\right) + C_{BCex}R_{Bex} \qquad \text{Équation 1. 10}$$

$$g_m = \frac{qI_C}{k_B T} \qquad \text{Équation 1. 11}$$

Avec V_A la tension d'Early, R_B la résistance d'accès de la base, int pour intrinsèque et ex pour extrinsèque.

2.4. Les mécanismes limitatifs et parasites du TBH

Les mécanismes limitatifs sont des mécanismes qui sont propres aux transistors et limitent ses performances statiques et/ou dynamiques. Leurs effets sont bien connus et il existe différentes solutions technologiques pour les minimiser voire les supprimer.

2.4.1. L'effet d'Early

Mis en évidence en 1952 par James Early, l'effet d'Early affecte le comportement du transistor en régime de fonctionnement normal direct. Le transistor, qui jusque là était un générateur de courant parfait, ne l'est plus (Figure 1. 7 (a) et (b)). Le courant de collecteur I_C devient dépendant de la tension de polarisation V_{CE}. Une autre conséquence de l'effet d'Early est l'introduction d'une rétroaction négative dans les configurations d'amplification en tension, émetteur commun, base commune ou encore collecteur commun. Ceci se traduit par une pente positive sur les caractéristiques du réseau de sortie I_C (V_{CE}) comme le montre la Figure 1. 8 (a). Cet effet est quantifié par une tension dite « tension d'Early » notée V_A. La tension d'Early est déterminée en prolongeant la portion quasi-linéaire de la courbe I_C (V_{CE}).

(a) **(b)**

***Figure 1. 7** : Manifestation de l'effet d'Early sur le fonctionnement du transistor*
***(a)** Générateur de courant parfait (transistor idéal)*
***(b)** Transistor non idéal en présence de l'effet d'Early*

L'origine physique de l'effet d'Early provient de la variation de l'épaisseur de la base quasi-neutre W_B (Figure 1. 8 (b)), plus précisément, du côté de la jonction base-collecteur, à cause de la polarisation inverse et du faible dopage. Sachant aussi que le courant de collecteur est inversement lié à la largeur de la base neutre x_B (équation 1. 12), il devient possible de minimiser l'effet d'Early grâce à un dopage de base élevé.

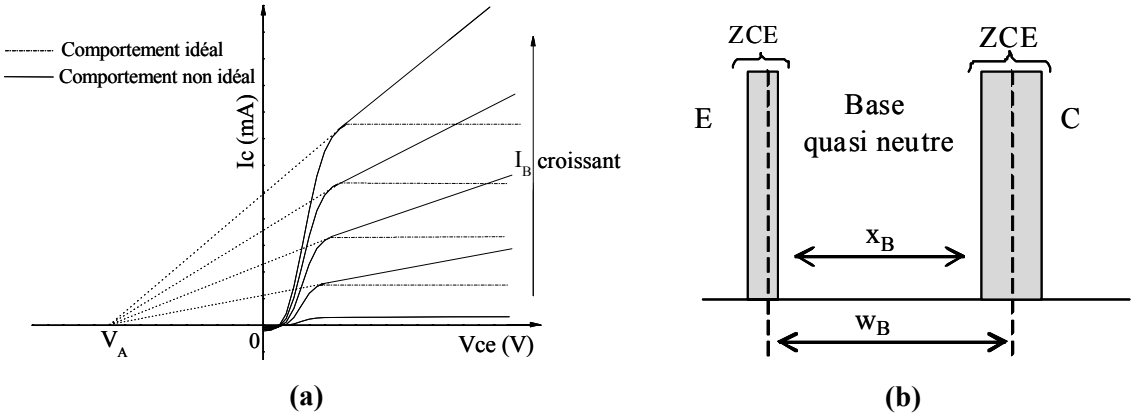


Figure 1. 8 *: Manifestation et source de l'effet d'Early*

(a) *Augmentation de la pente de la partie quasi linéaire du réseau de sortie à I_B constant*

(b) *Représentation de l'élargissement de l'épaisseur de la base quasi neutre*

$$J_C = J_n = \frac{q}{\int_0^{W_B} \frac{p(x)}{D_{nB}(x).n_{iB}^2(x)}dx} \exp\frac{qV_{BE}}{kT} \qquad \text{Équation 1. 12}$$

Avec :

- q la charge élémentaire,
- D_{nB} le coefficient de diffusion des électrons dans la base quasi neutre,
- p(x) la concentration de trous dans la base quasi neutre,
- n_{iB} la concentration intrinsèque de porteurs libres du matériau de base.

2.4.2. L'effet Sah-Noyce-Shockley

Visible sur les tracés de Gummel, cet effet a été mis en évidence en 1957 par Chih-Tang Sah, Robert Noyce et William Shockley. Il prend en considération la recombinaison des porteurs dans la ZCE de la jonction base-émetteur (Figure 1. 9) faisant ainsi passer la loi d'évolution du courant de base I_B* d'une forme idéale en *exp* (qV_{BE}/kT) à une forme non idéale en *exp* $(qV_{BE}/\eta_E kT)$ avec η_E, le coefficient d'idéalité. Donc, pour les faibles valeurs de V_{BE}, au courant de base se superposent deux composantes I_B* et I_{rBO} diminuant ainsi le gain en courant (qui souvent devient inférieur à l'unité). L'équation 1. 13 exprime la composante principale de diffusion relevant des mécanismes fondamentaux et l'équation 1. 14 exprime la composante de recombinaison dans la ZCE considérée comme un mécanisme parasite.

$$I_B^* = I_{BO} \exp \frac{qV_{BE}}{kT}$$ Équation 1. 13

$$I_{rB} = I_{rBO} \exp \frac{qV_{BE}}{\eta_E kT}$$ Équation 1. 14

Où η_E, le coefficient d'idéalité de la diode est un paramètre dont il faut :

(i) évaluer la valeur ($1 < \eta_E < 2$) pour l'analyse des mécanismes de transport des porteurs,

(ii) suivre l'évolution lors des tests de vieillissement des TBH.

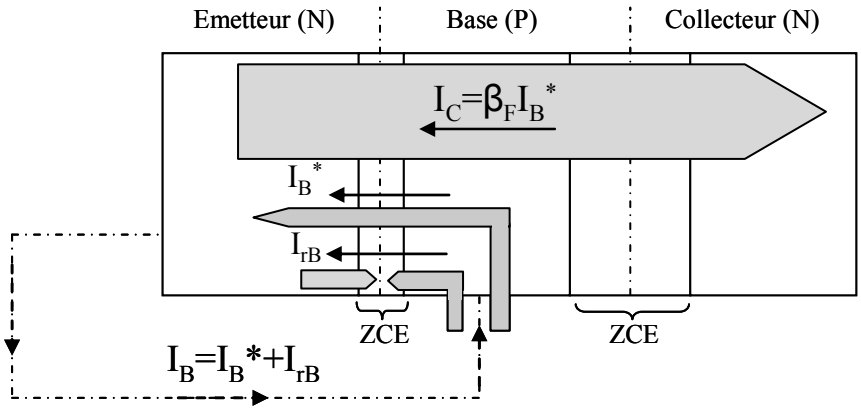


Figure 1. 9 : *Composition des flux en présence de l'effet Sah-Noyce-Shockley*

2.4.3. L'auto-échauffement

L'effet transistor en lui-même se produit avec une élévation de la température au sein du composant, c'est ce qu'on appelle le mécanisme d'auto-échauffement. Ce phénomène prend sa source au niveau de la jonction B-C parcourue par un fort courant de collecteur et où règne un champ électrique élevé. Le *Tableau 1. 3* montre les valeurs de la conductivité thermique de plusieurs matériaux. Ainsi, on remarque que la conductivité thermique du silicium (Si) qui est plus importante que celle de l'InP, est elle-même supérieure à celle du GaAsSb et de l'InGaAs. Les matériaux tels que le polyimide, le Benzocyclobutene (BCB), le nitrure de silicium (Si_3N_4) utilisés pour la passivation des TBH sont de très mauvais conducteurs thermiques. Ceci pénalise l'écoulement du flux de la chaleur par la surface des transistors.

Tableau 1. 3 : Conductivité thermique à 300 K de différents matériaux Semi-conducteurs

Semi-conducteur	BCB	Polyimide	SiO_2	InGaAs	Si_3N_4	InAs	GaAsSb	GaAs	InP	Si
Conductivité thermique à 300 K (W/K.m)	0,29	1,1	1,38	5	18,5	28	32	55	68	130

Les technologies étudiées dans mes travaux de recherche ont:

- une base en InGaAs ou en GaAsSb
- une couche de contact de l'émetteur et du collecteur en InGaAs
- du polyimide, du BCB et/ou du Si_3N_4 comme matériau de passivation.

Ceci entraine la majeure partie de la chaleur résidant dans le TBH à s'évacuer par le substrat en InP après avoir traversé le collecteur. Une petite partie de cette chaleur est évacuée par les interconnexions de l'émetteur (Figure 1. 10).

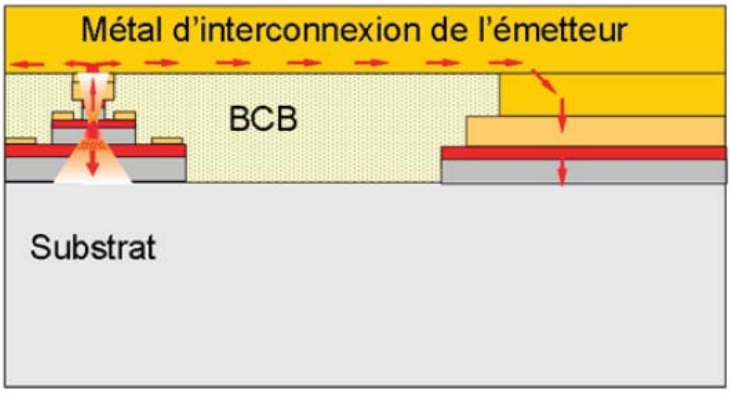


***Figure 1. 10** : Evacuation de la chaleur dans un transistor* **[10]**

L'auto-échauffement est visible sur les caractéristiques du réseau de sortie I_C (V_{CE}) (Figure 1. 6). Il a pour effet la réduction des performances dynamiques du TBH. Dans le passé de nombreuses études basées sur la minimisation de ce phénomène ont été réalisées [11], [12], [13], [14] et [15]. Une des améliorations techniques les plus marquantes est la diminution de l'épaisseur de la couche du sous-collecteur en InGaAs [8] qui permet de réduire la résistance thermique (R_{TH}) globale des TBH, comme on peut le voir sur la Figure ***1. 11***.

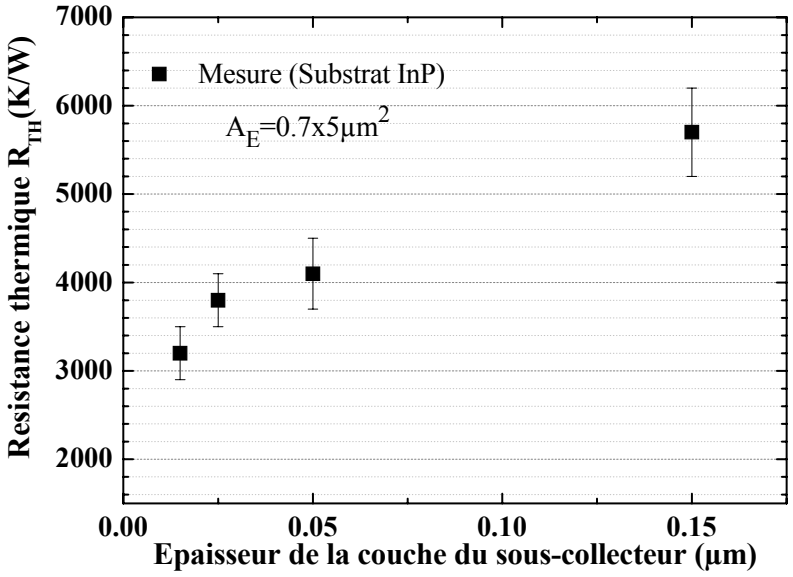


***Figure 1. 11** : Variation de la résistance thermique en fonction de l'épaisseur de la couche de sous-collecteur*

Une nouvelle technique de caractérisation électrique des transistors en mode pulsé mettant en évidence l'auto-échauffement au sein des TBH est actuellement développée. Grâce à cette technique, il est possible de minimiser l'élévation de la température dans les transistors lors des mesures électriques. Cette technique de caractérisation est détaillée dans le chapitre 2.

2.4.4. L'effet tunnel

L'effet tunnel désigne la probabilité que pour qu'un électron doté d'une énergie cinétique de traverser une barrière de potentiel de hauteur supérieure à son énergie. Dans les TBH l'effet tunnel, qui peut avoir lieu à la jonction B-E et à la jonction B-C, se produit uniquement lorsque les conditions suivantes sont réunies [16]:

- un fort dopage de part et d'autre de la jonction,
- une fine épaisseur de jonction,
- et un fort champ électrique apporté par l'application d'une tension V_{BE} élevée.

La Figure 1. 12 (a) montre qu'en absence de tension V_{BE} les électrons ne traversent pas la barrière de potentiel. Lorsque la tension V_{BE} est appliquée, on remarque que le passage des électrons par effet tunnel est rendu possible (Figure 1. 12 (b)). Dans les TBH actuels, l'émetteur et la base sont fortement dopés (respectivement $N_{dE} > 10^{17}$ at.cm^{-3} et $N_{aB} > 10^{19}$ at.cm^{-3}) si bien que l'effet tunnel peut être constamment mis en jeu. L'équation 1. 15 donne l'expression du courant tunnel I_{tun}.

$$I_{tun} = q.A_j.n.v.\theta$$ Équation 1. 15

Avec :

- A_j la section de la jonction,
- n la concentration en électrons libres mise en jeu,
- ν la vitesse de dérive des électrons
- θ la probabilité de transfert par effet tunnel qui a pour expression :

$$\theta = \exp\left(-\frac{4\sqrt{2m}*(q.\phi_B)^{3/2}}{3.q.\hbar.E}\right) = \exp\left(-\frac{B_0}{E}\right)$$ Équation 1. 16

Avec :

- E le champ électrique,
- ħ constante de Planck,
- Φ_B la hauteur de la barrière de potentiel,
- B_0 une constante qui dépend de la technologie.

Finalement, on obtient un courant tunnel qui est de la forme :

$$I_{tun} = A.E\exp\left(-\frac{B_0}{E}\right)$$ Équation 1. 17

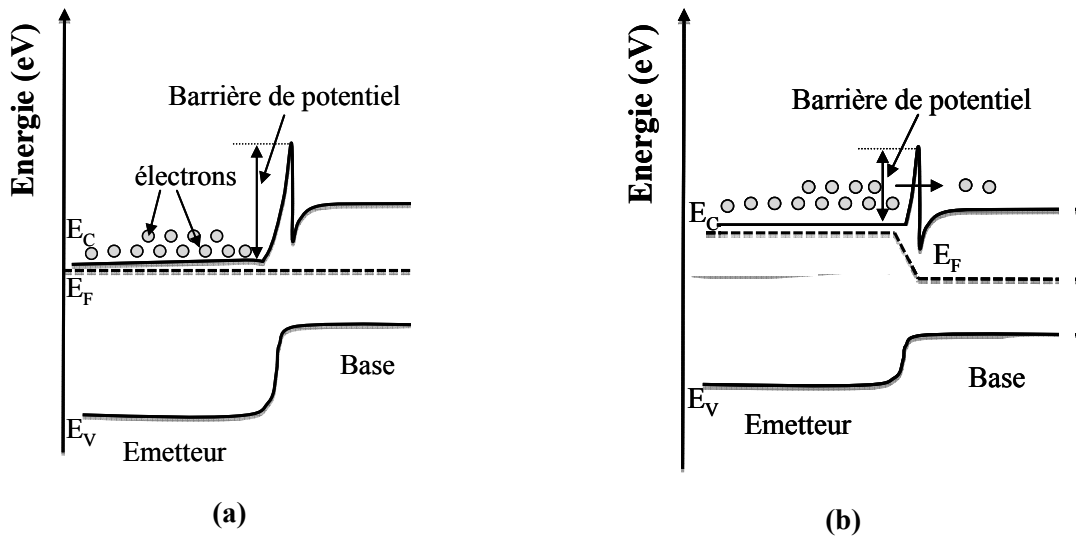


Figure 1. 12 : *Représentation de l'effet tunnel*
(a) *Avec la tension V_{BE} nulle* ***(b)*** *Avec la tension $V_{BE} > 0$*

2.4.5. Les effets aux forts niveaux d'injection

On parle de fort niveau d'injection, lorsque, comme dans l'équation 1. 18, la concentration des porteurs minoritaires est égale ou supérieure à celle des porteurs majoritaires au sein de la région considérée, ici la base.

$$n(x) \geq p(x) \qquad \text{Équation 1. 18}$$

Le dopage très élevé de l'émetteur requiert un niveau de polarisation si élevé pour entrer en régime de forts niveaux d'injection que ce régime est rarement atteint dans l'émetteur. On s'intéresse donc aux effets des niveaux forts d'injection dans la base et le collecteur.

2.4.5.1. Dans la base

Les conséquences des forts niveaux d'injection sur le fonctionnement du transistor sont désignées par l'effet Webster ou encore l'effet de modulation de la conductivité de la base. Cet effet se manifeste par des variations du courant de collecteur I_C c'est-à-dire par une rupture de sa pente sur le tracé de Gummel. La pente passe de q/kT à q/2kT. On assiste alors à une décroissance du gain en tension.

2.4.5.2. Dans le collecteur

Afin d'assurer à la jonction base-collecteur une bonne tenue en tension, de réduire sa capacité et de minimiser l'effet d'Early, le niveau de dopage du collecteur est maintenu entre 10^{15} et 10^{17} at.cm^{-3}. Ce niveau de dopage favorise l'entrée en régime de fort niveau d'injection dans le collecteur. L'établissement d'un tel régime au niveau du collecteur se traduit par l'accroissement de l'épaisseur x_B de la base quasi neutre. La nouvelle limite de x_B ne se situe plus au niveau de la jonction base-collecteur mais au niveau de la jonction sous-collecteur comme le montre la Figure 1. 13. Cet effet a été mis en évidence par C.T. Kirk. L'effet Kirk affecte le comportement dynamique du transistor en augmentant le temps de transit des électrons dans la base et induit aussi une diminution du gain en courant du transistor.

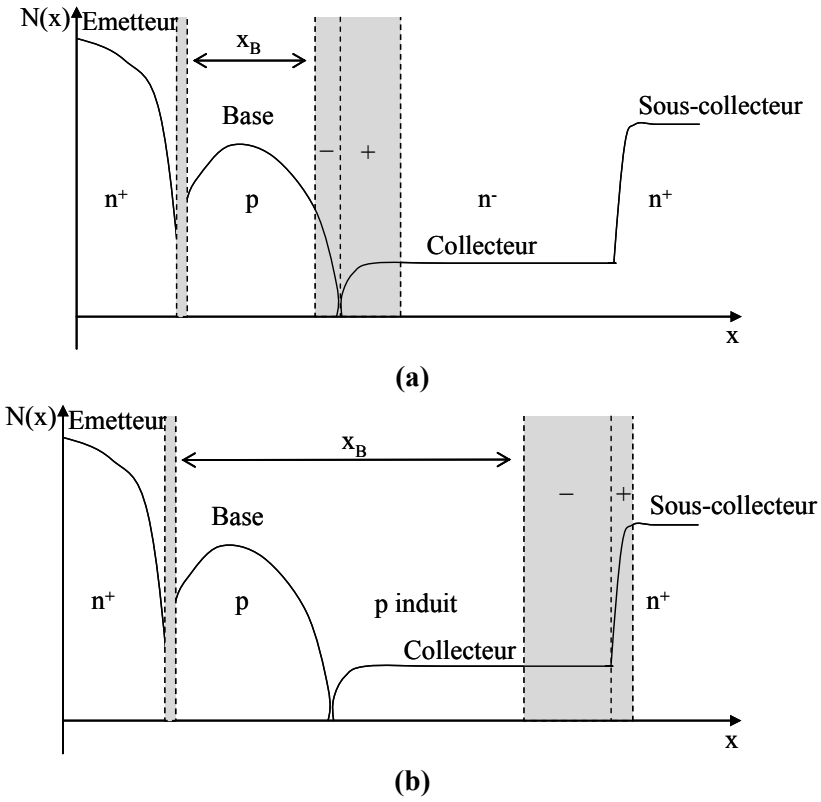


Figure 1. 13 *: Manifestation de l'effet Kirk par le déplacement de la ZCE de la jonction BC*

(a) *Aux densités de courant de collecteur faibles et modérées*

(b) *Aux fortes densités de courant de collecteur*

2.4.6. Le claquage

L'origine du claquage au sein des TBH est attribuée à deux mécanismes bien distincts qui sont l'ionisation par impact encore appelé effet d'avalanche et le « punch-through » (percement de la base). Les paramètres physiques, mais surtout le degré de miniaturisation des TBH jouent un rôle important dans la prépondérance de l'un de ces mécanismes sur l'autre [17].

Sous un fort champ électrique, en augmentant la tension V_{CE} vers V_{CEMax}, les électrons acquièrent suffisamment d'énergie pour percuter les atomes du réseau cristallin et générer des paires électrons-trous. Ces porteurs, ainsi créés peuvent, à leur tour, donner naissance à d'autres paires électrons-trous et ainsi de suite : c'est l'effet d'avalanche.

Le phénomène de « punch-through » arrive en premier dans les transistors avec une base fortement amincie (< 0,1 μm) avec un faible dopage et/ou un fort dopage du collecteur.

La base se retrouve ainsi « immergée » dans les zones de transition de la jonction base-collecteur et de la jonction base-émetteur (Figure 1. 14) [7].
Ainsi la base devient le siège d'un fort champ électrique qui pousse directement les électrons de l'émetteur vers le collecteur. Toujours sous l'effet de ce fort champ, les électrons arrivant dans le collecteur peuvent produire le phénomène d'avalanche.

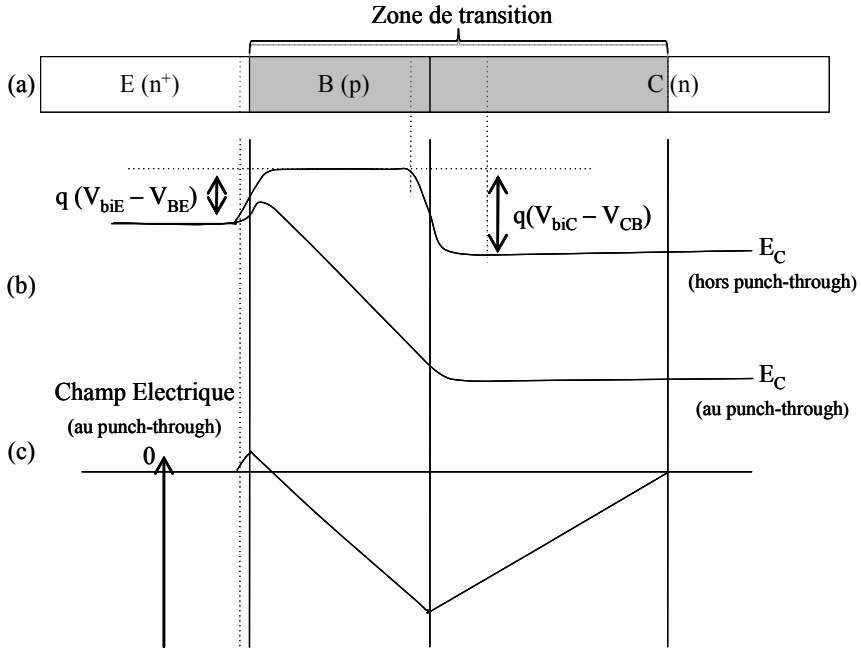


Figure 1. 14 : *Caractérisation du phénomène de « punch-through »*
(a) *Extension de la zone de transition de la jonction BC à travers la base*
(b) *Comparaison des schémas de bandes d'énergie en présence et en absence du phénomène de « punch-through »*
(c) *Répartition du champ électrique dans la structure au « punch-through »*

Les tensions de claquage mesurées pour la jonction base-collecteur des montages en émetteur commun et en base commune sont respectivement notées BV_{CE0} et BV_{CB0}. Elles sont obtenues en effectuant une mesure de I_C en fonction de V_{CE} et V_{CB} tout en maintenant I_B et I_E à 0 A respectivement. Celle de la jonction base–émetteur en montage émetteur commun est notée BV_{EB0}. On notera, sur la Figure 1. 15 (a), que la tenue en tension de la jonction B-E est la plus faible en raison du fort dopage et de la faible épaisseur de l'émetteur, nécessaires pour l'obtention d'une faible résistance série. La Figure 1. 15 (b) illustre la manifestation du claquage sur le tracé du réseau de sortie I_C (V_{CE}). On constate que le claquage intervient uniquement lorsque V_{CE} s'approche de V_{CEMax} faisant perdre au courant de collecteur I_C toute relation de proportionnalité avec le courant de base I_B.

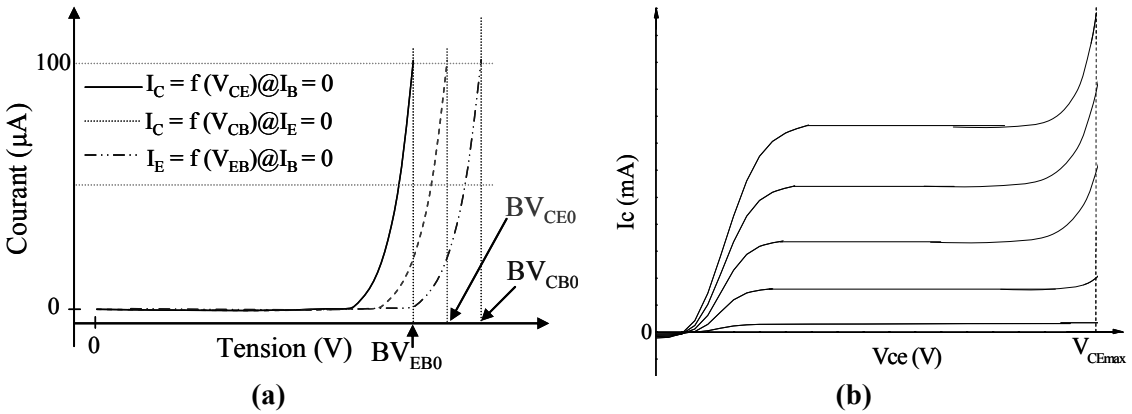


Figure 1. 15 : *Courbes en relation avec le claquage des différentes jonctions du TBH*
(a) *Tension de claquage des jonctions B-C et B-E en émetteur commun et de la jonction B-C en base commune*
(b) *Mise en évidence de la limitation en tension du transistor dans la configuration émetteur commun*

2.5. Les transistors bipolaires à hétérojonction

2.5.1. Les transistors à simple hétérojonction

L'émetteur et la base étant constitués du même matériau avec différents niveaux de dopage, dans les BJT, la barrière de potentiel à la jonction limite l'injection des électrons de l'émetteur dans la base. Cette limitation influe sur le facteur de mérite statique, le gain en courant des BJT car il est fixé par le rapport du courant d'électrons injectés dans la base sur le courant de trous injectés dans l'émetteur (équation 1. 19). Ainsi, pour obtenir une efficacité d'injection et un gain élevé, il est nécessaire d'avoir une jonction B-E fortement dissymétrique. Et pour ce faire, le dopage d'émetteur (N_{de}) est largement supérieur au dopage de la base (N_{ab}). Cette contrainte sur le dopage de la base ne fait pas des BJT de bons candidats pour les utilisations à haute fréquence.

$$\beta_{\max} = \frac{I_{nE}}{I_{pE}} = A' \frac{N_{de}}{N_{ab}} \qquad \text{Équation 1. 19}$$

où A' est une constante.

Pour, résoudre cette limitation, donc améliorer l'effet transistor, Schockley a eu l'idée du transistor bipolaire à hétérojonction en 1949 et Kroemer a eu l'idée d'un transistor à émetteur à large bande interdite en 1957 [18]. Ces solutions n'ont été mises en pratique qu'au début des années 80 [19], [20]. L'idée du transistor bipolaire à hétérojonction est d'avoir un

transistor dont l'émetteur et la base seraient constitués de matériaux différents formant dans la ZCE une discontinuité ΔE_C de la bande de conduction négative, facilitant ainsi l'injection des électrons de l'émetteur vers la base et/ou une discontinuité positive de la bande ΔE_V de valence rendant difficile le passage des trous de la base vers l'émetteur. Pour que cela fonctionne il faut [18]:

- un matériau à grande largeur de bande interdite comme matériau d'émetteur,
- un matériau à plus faible largeur de bande interdite comme matériau de base.

Ainsi, pour les mêmes niveaux de dopage, les transistors bipolaires à hétérojonction ont un gain supérieur à ceux à homojonction (équation 1. 20).

$$\beta_{\max} = \frac{I_{nE}}{I_{pE}} = A.\frac{N_{de}}{N_{ab}}\exp\left(\frac{\Delta E_G}{kT}\right) \qquad \text{Équation 1. 20}$$

Avec ΔE_G la différence de largeur de bande interdite des matériaux d'émetteur et de base.

Un autre avantage de l'hétérojonction est qu'elle permet de réduire la tension de mise en conduction de la diode base-émetteur V_{BEon}.

2.5.2. Les transistors bipolaires à double hétérojonction (TBDH)

Les premiers transistors à hétérojonction avaient le même matériau pour la base et le collecteur. Ceci conduit à une très faible tension de claquage de la jonction base-collecteur. Afin de résoudre ce problème, est né le transistor bipolaire à double hétérojonction. L'idée est, donc, d'avoir :

- un matériau à faible largeur de bande interdite comme matériau de base,
- un matériau à grande largeur de bande interdite comme matériau de collecteur, généralement le même que celui de l'émetteur.

2.5.3. Les transistors bipolaires à double hétérojonction submicroniques

De multiples efforts d'optimisation de la structure de couches verticales et latérales ont permis d'améliorer les performances fréquentielles des transistors bipolaires à double hétérojonction [8]. L'équation 1. 21 et l'équation 1. 8 montrent la dépendance de la fréquence

de transition f_T et de la fréquence d'oscillation maximale f_{max} aux différents paramètres qui sont : les résistances, les capacités et les temps de transit des différentes couches.

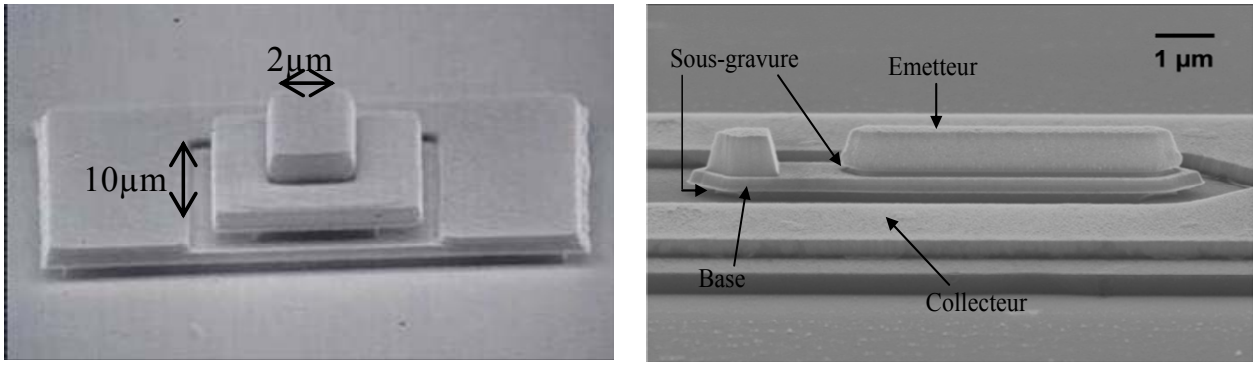
$$\frac{1}{2\pi f_T} = \tau_B + \tau_C + r_E\left(C_{BE} + C_{BC}\right) + C_{BC}\left(r_E + R_E + R_C\right) \qquad \text{Équation 1. 21}$$

Avec r_E résistance dynamique de l'émetteur dont l'expression est donnée par l'équation 1. 22

$$r_E = \frac{nkT}{qI_E} \qquad \text{Équation 1. 22}$$

Au delà d'une certaine limite, la diminution des dimensions verticales n'a plus d'effet positif sur les performances dynamiques du transistor. Si on obtient une augmentation de la fréquence de coupure et du gain en courant suite à la diminution du temps de transit des porteurs traversant la base et le collecteur grâce à la réduction des épaisseurs de ces couches, cela entraine, par la même occasion, une augmentation de la résistance de base et de la capacité base-collecteur qui ont pour conséquence la diminution de la fréquence maximale d'oscillation. Ainsi pour ne pas pénaliser f_{max}, il faut diminuer les capacités base-émetteur et base-collecteur. C'est ainsi que les largeurs d'émetteur sont devenues submicroniques d'où l'appellation de transistor submicronique [8]. La Figure 1. 16 montre une vue au microscope à balayage électronique :

- **(a)** d'un transistor avec une largeur d'émetteur supérieure au micromètre,
- et **(b)**, d'un transistor submicronique.



(a) **(b)**

Figure 1. 16 *: Vue au MEB d'un TBH InP/InGaAs/InP* [8]

(a) *Transistor de la technologie 2 µm à géométrie rectangulaire*

(b) *Transistor submicronique à géométrie hexagonale*

2.6. Hétérojonction type I versus type II : TBH InP/InGaAs versus InP/GaAsSb

Dans le cadre de cette thèse, j'ai travaillé sur les transistors bipolaires avec un émetteur en phosphure d'indium (InP). Deux matériaux sont utilisés pour la base : InGaAs et GaAsSb. La Figure 1. 17 présente l'énergie de la bande interdite en fonction du paramètre de maille. On remarque que les matériaux $In_{0,53}Ga_{0,47}As$ et $GaAs_{0,51}Sb_{0,49}$ ont des énergies de bande interdite inférieures à celle de l'InP tout en étant en parfait accord de maille avec ce dernier.

Le TBH avec une base en InGaAs détenait, jusqu'en 2000, le record en termes de fréquence de transition f_T et de fréquence d'oscillation maximale f_{max}. Un nouveau record vient d'être établi en 2011 avec f_T = 430 GHz et f_{max} = 800 GHz [6]. Malgré tous les avantages qu'un TBH à base en InGaAs peut offrir, il reste malgré tout des points négatifs. Le premier point concerne le dopant p utilisé. Le béryllium, qui est le dopant p utilisé dans InGaAs, diffuse vers les autres régions du transistor. Ce problème a été résolu en remplaçant le béryllium par le carbone [21] [22]. En effet, le carbone a un coefficient de diffusion plus faible que celui du béryllium [23]. Mais avec le carbone, lors d'une épitaxie en phase vapeur d'organométalliques (notée EPVOM détaillée plus loin), un phénomène de passivation des dopants par l'hydrogène se produit (cf. paragraphe 3.2.1.1.b et 1.1.1) [24]**.** Les contraintes liées à la passivation par l'hydrogène ne permettent pas, à la couche de base en InGaAs, d'obtenir un dopage de niveau supérieur à 10^{20} at.cm^{-3}, alors qu'une base en GaAsSb peut être dopée à un niveau de dopage supérieur à 10^{20} at.cm^{-3} et une telle base n'est pas concernée par le problème de la passivation lié au carbone [25], [26]. L'autre problème concernant les hétérojonctions dites de type I avec une base en InGaAs est la formation du « *spike* » aux interfaces E-B et B-C. Il limite l'injection des électrons vers la base et vers le collecteur. L'origine du « *spike* » est due à la différence ΔE_C (équation 1. 23) d'affinité électronique des deux matériaux χ_1 et χ_2 de l'émetteur et de la base respectivement.

$$\Delta E_C = q\chi_1 - q\chi_2 \qquad \text{Équation 1. 23}$$

En effet, sur la (Figure 1. 18 (a)) qui présente le schéma de bandes d'énergie d'une hétérojonction de type I, on remarque que l'affinité électronique χ_2 de la base en InGaAs est supérieure à celle de l'émetteur χ_1 en InP ($\chi_2 > \chi_1$), cela conduit à $\Delta E_C < 0$ ce qui se traduit par une discontinuité "négative" de la bande de conduction du fait de l'alignement des niveaux de

Fermi et donne naissance au *« spike »* du fait du dopage très élevé de la base. La Figure ***I. 18*** (b), quant à elle, montre le schéma de bandes d'énergie d'un transistor avec la base en GaAsSb. Nous notons que la discontinuité de la bande de conduction est positive car $\chi_{InP}>\chi_{GaAsSb}$ ($\chi_1>\chi_2$), ce qui se traduit par l'absence de « *spike* ». Cette discontinuité ΔE_C positive pénalise l'injection des électrons de l'émetteur vers la base. Cette hétérojonction est dite de type II [27]**.** Cependant, la discontinuité ΔE_V de la bande de valence de l'hétérojonction de type II, InP/ GaAsSb qui est de 0,715 eV est supérieure à celle de l'hétérojonction de type I qui est de 0,378 eV [28]. Ainsi, dans l'hétérojonction de type II, l'augmentation de cette discontinuité entraîne celle de la hauteur de barrière vue par les trous de la base. Par conséquent, la limite maximale du niveau de dopage de base au delà de laquelle le courant de trous injectés dans l'émetteur réduit de façon significative le gain en courant de transistor est augmenté. Les hétérojonctions de type II ont une faible tension V_{BEon} et une grande tension de claquage de la jonction base collecteur contrairement à leur alter ego de type I.

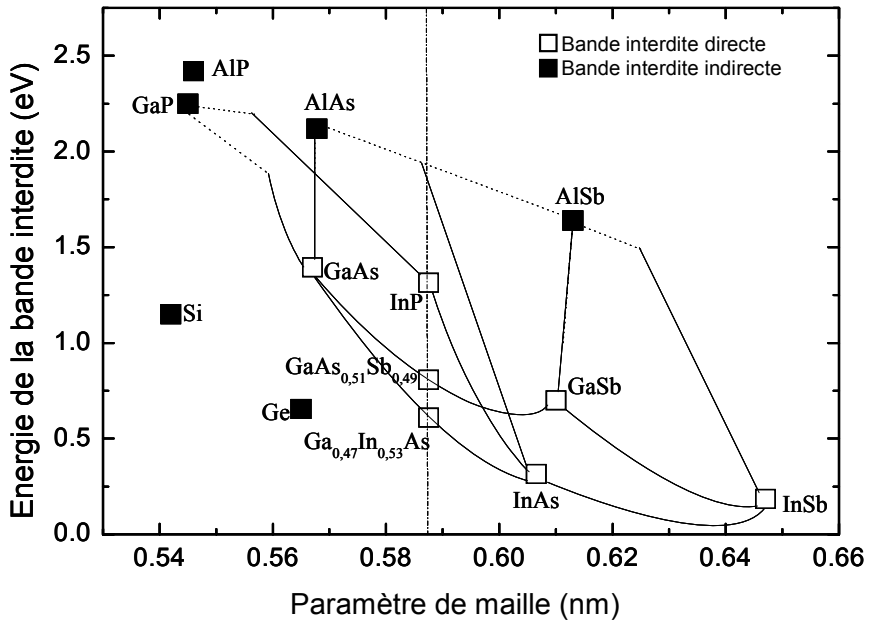


Figure 1. 17: ***Energie de bande interdite et paramètre de maille de matériaux III-V*** [29]

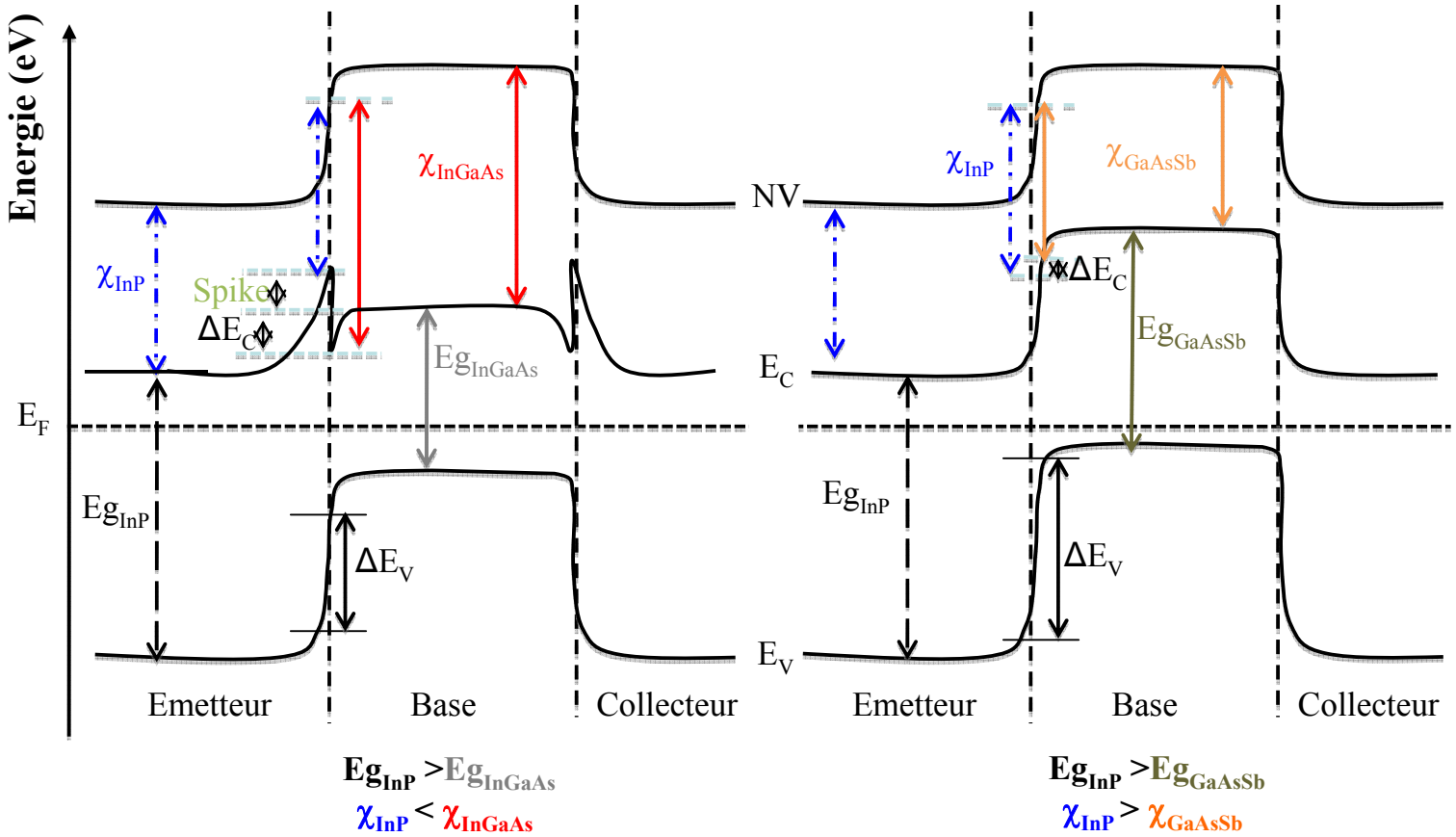


Figure 1. 18 *: Comparaison des schémas de bandes d'énergie*

(a) *TBDH InP/InGaAs/InP dont les hétérojonctions sont de type I*

(b) *TBDH InP/GaAsSb/InP dont les hétérojonctions sont de type II*

3. Les filières InP

3.1. Applications

De la transmission optique à haut débit [1] [2] en passant par la téléphonie mobile, les radars ou encore les conversions analogique-numériques [30], les TBH sont utilisés dans tous ces domaines de conversion rapide de données. La Figure 1. 19 situe les différentes filières de TBH en termes de puissance en fonction de la fréquence. Le TBH en silicium riche de sa maturité technologique et de son faible coût de production atteint ses limites lorsque l'on s'approche des applications se situant dans le domaine des hyperfréquences. Les TBH des filières InP sont les meilleurs candidats pour des applications qui requièrent des fréquences supérieures ou égales à 100 GHz tout en consommant peu. Ces filières ont déjà atteint dans le passé des performances record avec les circuits numériques de multiplexage et de démultiplexage (100 Gbits/s) [2]. Les filières sur substrat InP se divisent en deux grands groupes qui sont : le groupe des TBH InP/InGaAs/InP et celui des TBH InP/GaAsSb/InP.

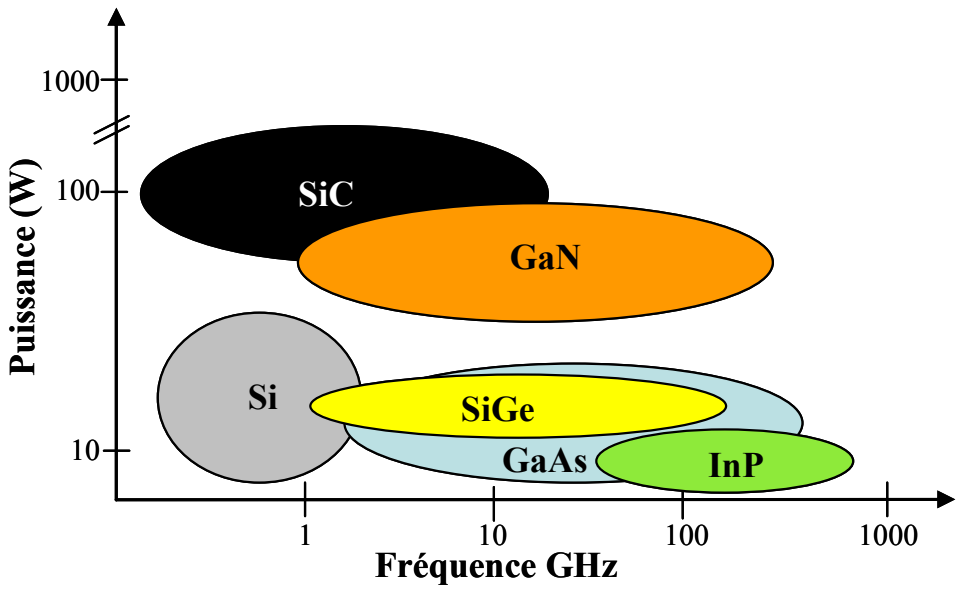


Figure 1. 19 : *Domaines d'utilisation en puissance en fonction de la fréquence des TBH* [8]

3.2. Procédé de fabrication

Dans le projet ROBUST qui est le cadre de cette thèse, nous travaillons avec les sociétés III-V Lab et Ommic sur deux filières de fabrication. Avant de décrire le procédé de fabrication proprement dit, nous allons introduire quelques définitions basiques associées au procédé de fabrication.

3.2.1. Quelques définitions

3.2.1.1. L'épitaxie

L'épitaxie est une technique de croissance d'une couche mince cristalline sur un substrat. Elle consiste à déposer sur une plaque d'un matériau cristallin (le substrat), des couches de matériaux ayant des compositions ou des dopages différents et ce en conservant généralement la structure cristalline de ce dernier.

Apparue dans les années 60 [31], l'épitaxie en phase liquide (LPE : Liquid Phase Epitaxy) et l'épitaxie en phase vapeur (VPE : Vapor Phase Epitaxy) ont été les premières techniques à voir le jour. Bien que peu coûteuses ces techniques ont une limitation en terme de croissance de couches très minces et de réalisation d'interfaces abruptes. Dans les années 70, deux autres techniques d'épitaxie ont fait leur apparition : l'épitaxie par jets moléculaires notée EJM (MBE : Molecular Beam Epitaxy) [32] et l'épitaxie en phase vapeur d'organométalliques notée EPVOM (MOCVD : Metal Organic Chemical Vapor Deposition) [33]. En 1984, de nouvelles techniques associant les avantages des procédés EPVOM et EJM ont vu le jour. Il s'agit de l'épitaxie par jets moléculaires à sources gazeuses noté EJMSG (GSMBE : Gas Source Molecular Beam Epitaxy) [34] et l'épitaxie par jets chimiques notée EJC (CBE : Chemical Beam Epitaxy) [35] [36]. Par la suite nous présentons les techniques dites EPVOM et EJMSG car ce sont celles utilisées par les partenaires industriels de cette thèse.

a. L'épitaxie par jets moléculaires (EJM) :

Elle s'est développée grâce aux travaux de J. Arthur et Cho [37]. Elle consiste à évaporer dans une chambre sous ultravide (~10^{-11} torr) et à haute température des sources pures d'éléments III et V solides. Suite à la collision avec le substrat, les différents éléments

s'incorporent alors pour former les couches. Les principaux avantages de cette technique sont la réalisation de couches très minces et l'obtention d'interfaces abruptes entre matériaux. Pour palier à la difficulté de contrôle d'une source en phosphore à l'état solide, l'épitaxie par jets moléculaires à sources gazeuses (EJMSG) a été créée par Morris et Fukui en 1974 [38]. Cette technique utilise les éléments V sous forme d'hydrures comme la phosphine et l'arsine (PH_3 et AsH_3) pré craqués à haute température en tant que précurseurs [39].

b. L'épitaxie en phase vapeur d'organométalliques (EPVOM)

Cette technique a été développée par Manasevit en 1968. Elle consiste à faire passer un flux de gaz porteur contenant les précurseurs des éléments III et V sur un substrat porté à haute température. Au contact du substrat chauffé, les précurseurs libèrent les éléments III et V qui s'incorporent ainsi au substrat formant une couche cristalline [40]. Le *Tableau 1. 4* montre quels précurseurs sont utilisés pour quel élément. Dans certains cas, cette technique est préférée à d'autres en raison de sa facilité à être étendue à l'échelle de la production industrielle.

Tableau 1. 4 : Quelques précurseurs des éléments III et V utilisés dans l'EPVOM

Eléments	**Précurseurs**
III	Organométalliques : TMI (trimethylindium) TMG (trimethylgallium)
V	Hydrures : PH_3 (phosphine) [41] AsH_3 (arsine) [41]
Gaz	Tétrabromure de carbone (CBr_4) (dopage type N) [42] Tétrabromure de silicium ($SiBr_4$) (dopage type P) [39]

Lors de l'épitaxie de la couche InGaAs, les précurseurs de nature hydrure libèrent de l'hydrogène qui interagit avec le carbone utilisé comme dopant pour la même couche. Cela entraine une augmentation de la résistance de couche. Une solution proposée est l'utilisation d'un recuit de 5 mn à haute température pour faire diffuser l'hydrogène hors de la couche InGaAs.

3.2.1.2. La technologie triple mesa

Cette étape arrive après l'épitaxie des couches. La technologie triple mesa [43] commence généralement par le dépôt du métal de contact d'émetteur en guise de masque, suivi d'une gravure chimique sélective pour définir le mesa d'émetteur. A ce stade, la couche de base est à nu et le métal du contact de base est déposé en couronne autour de l'émetteur par auto-alignement. La couche de base ainsi que les couches constituant le collecteur intrinsèque sont gravées chimiquement jusqu'à la couche de contact du collecteur. A ce stade le mésa de base est dégagé. Enfin, vient le dépôt du contact de collecteur suivi d'une gravure de la couche de collecteur, non protégée par le métal, jusqu'au substrat. Ceci permet l'isolation entre transistors d'une même plaquette [44].

Ce procédé de fabrication sans sous-gravure induit des effets très néfastes sur le fonctionnement du transistor aux hautes fréquences. Ces effets sont les suivants :

- une capacité base-collecteur importante due à la section importante de la jonction base-collecteur,
- une résistance de base élevée qui est proportionnelle à la distance nécessaire entre le mesa d'émetteur et le contact de base pour éviter un court-circuit.

Une vue au microscope électronique des transistors issus de la technologie triple mesa a été présentée sur la Figure 1. 16.

3.2.1.3. L'auto-alignement

Ce procédé est utilisé afin de réduire la distance entre le contact de base et le mesa d'émetteur. Son principe est le suivant (Figure 1. 20): le contact métallique de l'émetteur est utilisé comme masque de gravure chimique. La gravure chimique dégage le mésa d'émetteur avec une légère sous-gravure du semi-conducteur sous le contact. La métallisation de la base peut ensuite être évaporée sans créer de court circuit entre les métallisations d'émetteur et de base, tout en étant auto-alignée sur la métallisation d'émetteur.

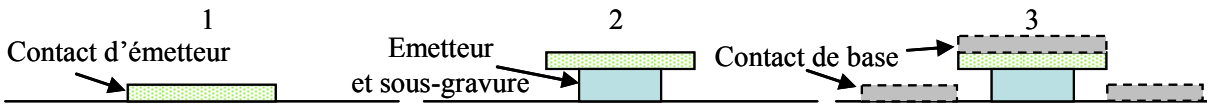


Figure 1. 20 *: Description de la technique d'auto-alignement*

3.2.2. La nature des contacts métalliques

Il existe plusieurs alliages destinés à être utilisés comme contacts métalliques. L'empilement le plus communément utilisé pour réaliser les contacts métalliques de l'émetteur et du collecteur est le Titane-Platine-Or (Ti/Pt/Au). Le rôle du titane est d'assurer une bonne adhérence sur le semi-conducteur et une faible résistivité de contact. Celui du platine est de créer une barrière contre la diffusion d'espèces métalliques lors du vieillissement du transistor, plus précisément l'or, qui se trouve en majorité sur la partie supérieure des couches de contact. Les résistivités de contact ainsi obtenues sont inférieures à 10^{-6}cm². Dans [39], elles sont de l'ordre de 2 à 3.10^{-7} Ω/cm² et sur la plaque 54366 étudiée dans le cadre de mes travaux elles sont de $3{,}4.10^{-8}$ à $8{,}5.10^{-8}$ Ω/cm^2

3.2.3. Récapitulatif du procédé de fabrication

Sur le substrat en InP est déposée la couche de métal du contact d'émetteur (1), c'est la métallisation de l'émetteur. Cette couche sert par la suite de masque pour la réalisation du mésa d'émetteur (2). Puis, avec l'auto-alignement, est déposée la couche de métallisation de la base (3). Cette couche, à son tour, servira de masque pour la gravure de la base et du collecteur. Puis on procède à la protection de l'émetteur avant de procéder à la gravure de la base et du collecteur (4). S'ensuit l'épaississement de la métallisation de la base suivi du dépôt de la métallisation du collecteur (5). Ensuite, l'isolation du transistor est réalisée en gravant les couches de sous-collecteur (6) [8]. La Figure 1. 21 représente la structure triple mesa en coupe d'un transistor avec le procédé d'auto-alignement utilisé. Cette représentation est celle de l'une des plaques de III-V Lab.

Pour les TBH InP/InGaAs/InP, la structure (*Tableau 1. 5*) présente deux hétérojonctions composées d'un émetteur et d'un collecteur en InP et d'une base en $In_{0.53}Ga_{0.47}As$ en accord de maille. L'émetteur et le collecteur sont dopés au silicium (Si) et la base est fortement dopée au carbone (C). Les couches sous-jacentes aux contacts ohmiques de l'émetteur et du collecteur sont en InGaAs fortement dopé et la couche sous-jacente au contact d'émetteur est composée de deux couches fortement dopées. D'autres couches sont insérées entre la base et le collecteur extrinsèque en InGaAs (sous-collecteur 2) afin d'éliminer le « *spike* » au niveau de la jonction base-collecteur, c'est ce qu'on appelle la base graduelle. Elle est composée d'une première couche en InGaAs faiblement dopée, appelée

Collecteur 3, qui joue le rôle d'espaceur ainsi que de deux couches en InP faiblement dopées (10^{17} et 10^{16}at.cm^{-3}) et une couche fortement dopée (>10^{19}at.cm^{-3}) appelées Collecteur 2, Collecteur 1 et sous-collecteur 3 respectivement.

Pour les TBH InP/GaAsSb/InP, la structure présente aussi deux hétérojonctions composées d'un émetteur et d'un collecteur en InP et d'une base en $Ga_{0,47}In_{0,53}As$ en accord de maille. Mais comme l'hétérojonction est de type II, il n'est pas nécessaire d'introduire une couche espaceur. Après la couche de base et en allant vers le collecteur extrinsèque en InGaAs, on retrouve les deux couches en InP dopées à 10^{17} et à 10^{18} at.cm^{-3}. Le *Tableau 1. 5* montre les différents niveaux de dopage et les épaisseurs des couches des deux types de TBH de la filière InP.

Tableau 1. 5 : Structure épitaxiale des TBH InP/InGaAs/InP et InP/GaAsSb/InP

	TBH InP/InGaAs/InP		**TBH InP/GaAsSb/InP**	
Nom	Matériau	Epaisseur (nm) G0/G1	Matériau	Epaisseur (nm)
Cont Em	$In_{0.53}Ga_{0.47}As$	100	InGaAs	110
Cont Em	InP	195/180	InP	100
Emetteur	InP	25/40	InP	35
Base	$In_{0.53}Ga_{0.47}As$	≈30	GaAsSb	25
Collecteur 3 (espaceur)	$In_{0.53}Ga_{0.47}As$	30	----	----
Collecteur 2	InP	20	InP	130
Collecteur 1	InP	80	InP	10
Sous-Col 3	InP	150/<100	-----	-----
Sous-Col 2	$In_{0.53}Ga_{0.47}As$	150/<25	InGaAs	50
Sous-Col 1	InP	350	InP	250
Etch-Stop	$In_{0.53}Ga_{0.47}As$	10	InGaAs	20

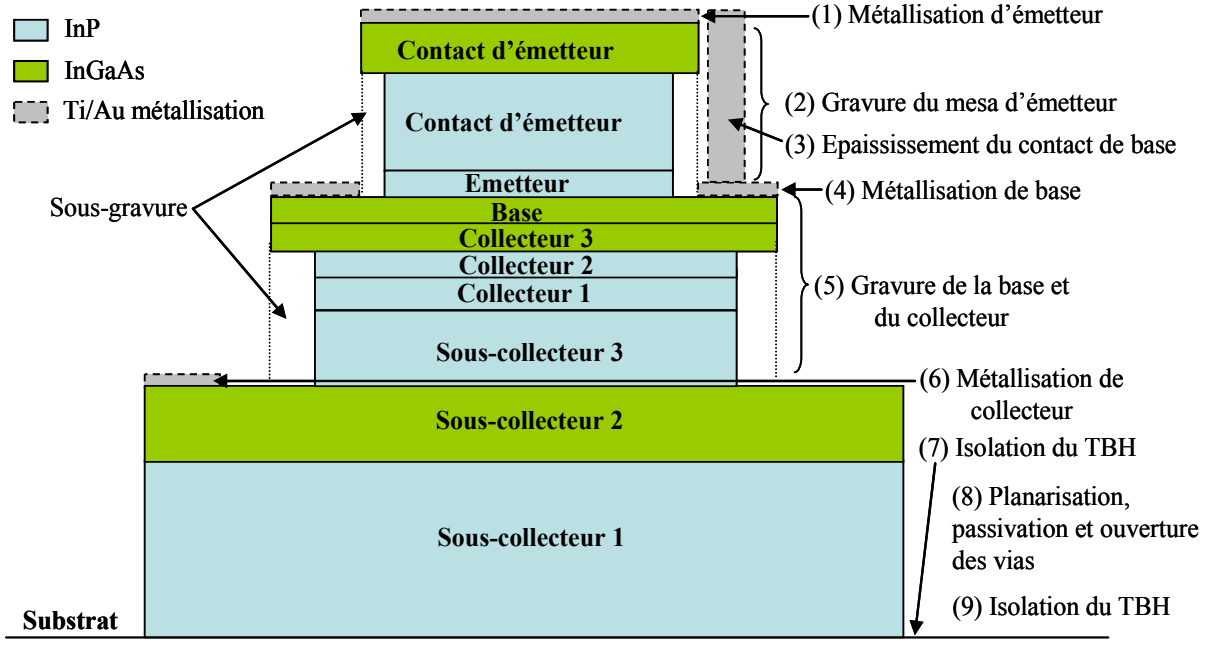


Figure 1. 21 : *Schéma en 2D de la structure triple mesa auto-alignée d'une plaque provenant de III-V Lab*

4. Mécanismes de dégradation génériques des filières bipolaires InP

Les mécanismes de dégradation génériques des filières bipolaires InP se divisent en 3 principaux groupes qui sont :

- les mécanismes de défaillance associés aux contacts ohmiques,
- les mécanismes de défaillance associés à la base,
- les mécanismes de défaillance associés à la passivation.

4.1. Description des mécanismes de dégradation

4.1.1. Mécanismes associés aux contacts ohmiques

Les contacts ohmiques d'émetteur, de base et/ou de collecteur sont des sources potentielles de défaillances de par la forte température qui règne au sein des TBH en fonctionnement. Cette détérioration peut se produire selon deux modes. Le premier est le décollement des contacts. Dans ce cas, le contact comprend un métal réfractaire tel que le tungstène (W) ou encore le molybdène (Mo). A forte température, le métal se dilate puis se contracte une fois la contrainte supprimée, ce qui entraine un décollement de toute la couche de contact. Dans [45], le décollement du contact d'émetteur en Ge(As)/Mo/W a pu être observé au MEB (Microscope Electronique à Balayage). La détérioration de la qualité du TBH peut également se produire à partir de la diffusion de l'or dans le semi-conducteur. Actuellement, la plupart des contacts des TBH sur substrat InP sont réalisés par un empilement de plusieurs couches de métaux non réfractaires tel que le Titane (Ti), le Platine (Pt) et l'Or (Au). L'empilement Ti/Pt/Au présente une meilleure tenue aux contraintes thermiques [46] [47] [48]. Il n'est pas sujet au décollement mais à la diffusion de l'or dans le semi-conducteur malgré la présence de la couche de Pt entre le Ti et l'Au. Dans [49]**,** on observe une diffusion de l'or et/ou du tungstène dans le semi-conducteur.

L'empilement de métaux Pt/Ti/Pt/Au est utilisé comme contact de base afin de garantir une meilleure adhérence sur le matériau InGaAs mais aussi d'éviter toute migration des matériaux dans le semi-conducteur. Par ailleurs, le problème de diffusion, a été minimisé suite à

l'insertion d'une couche de tungstène ou de molybdène (Mo) [50], formant ainsi les empilements Pt/W-Ti/Pt/Au, W-Ti/Pt/Au et Pt/Mo-Ti/Pt/Au.

La diffusion de l'or dans le semi-conducteur peut entrainer dans le pire des cas un court-circuit de la couche active. La signature électrique de ce mécanisme est l'augmentation des résistances d'accès, ce qui se traduit par une diminution des courants de base et de collecteur aux forts niveaux d'injection des tracés de Gummel en direct.

4.1.2. Mécanismes associés à la base

L'utilisation du béryllium (Be) comme dopant de la base entraine, au cours des tests de vieillissement, une dégradation des performances électriques du TBH. Sous l'effet des contraintes électrique et thermique, le béryllium diffuse de la base vers l'émetteur lorsque la concentration de dopage efficace est supérieure à 10^{19} cm^{-3}, provoquant ainsi une augmentation de la tension de seuil V_{BEon} du transistor. Sur les caractéristiques de Gummel, la signature de ce mécanisme est le décalage des courants I_B et I_C vers des polarisations plus élevées et une dégradation du gain en courant. L'énergie d'activation associée à ce mécanisme est de 1,57 eV [51]. La solution technologique proposée a été l'utilisation du carbone (C) comme dopant de la base, car ce dernier a un coefficient de diffusion thermique plus faible [52] et un encombrement plus important dans le réseau cristallin. Cependant, l'utilisation du carbone entraine des mécanismes de défaillance associés à la passivation.
Par ailleurs, les contraintes électrique et thermique ont pour effet, sur les transistors avec une faible épaisseur de base, une apparition/augmentation des densités pièges localisés au niveau de la jonction base-émetteur [53], ce qui entraine une dégradation du gain en courant.

4.1.3. Mécanismes associés à la passivation

Il a été démontré que la passivation au SiO_2 des TBH dont les bases sont dopées au carbone est plus efficace que celle des TBH dopés au béryllium en termes de fiabilité [51] [54]. Ceci étant, la nature du matériau utilisé pour réaliser la passivation a un effet direct sur les niveaux des courants de fuites et sur les composantes de génération-recombinaison du courant de base, du fait de la création ou de l'activation des états de surface dans la base extrinsèque.

Les différents matériaux utilisés pour la passivation des TBH sur substrat InP sont : le nitrure de silicium (Si_3N_4), l'oxyde de silicium (SiO_2), le polyimide et le benzocyclobutene (BCB). Une synthèse des références [55] [56] [57] et du *Tableau 1. 3* indique que :

- le polyimide est le matériau de passivation qui résiste le mieux aux contraintes appliquées lors des tests de vieillissement accéléré,
- le Si_3N_4 a la conductivité thermique la plus élevée permettant ainsi une meilleure dissipation de la chaleur dans les transistors,
- le BCB limite le mécanisme de génération-recombinaison à la surface de la base,
- le SiO_2 est celui qui a la plus faible conductivité thermique.

Le dépôt de la passivation doit être réalisé dans un milieu appauvri en hydrogène, car le contact de l'hydrogène et des bases dopées au carbone donne naissance aux complexes C-H. Sous l'effet de la contrainte électrique ce complexe C-H est brisé, provoquant ainsi une augmentation des dopants actifs dans la base, ce qui, par la suite, augmente la tension V_{BEon}. Ce problème est en particulier observé sur les TBH avec une base en GaAs. Les transistors actuels ayant un niveau de dopage de base élevé, de nouvelles méthodes de passivation ont vu le jour. Ces procédés ont pour avantage principal la mise en œuvre minimale de l'hydrogène [58], supprimant ou limitant ainsi le mécanisme d'activation du carbone dans la base lors du vieillissement sous contrainte électrique.

Pour le moment, il n'existe pas de solution réellement efficace aux problèmes associés à la passivation. Néanmoins le polyimide semble être le meilleur choix car il assure au mieux à la fois la protection du dispositif, l'isolement des contacts et une stabilité de l'interface semi-conducteur/passivation évitant ainsi la formation d'oxyde d'arsenic, de gallium et d'indium et la migration du gallium vers la surface [29].

4.1.4. Synthèse

Le *Tableau 1. 6* résume les différents mécanismes de dégradation qui ont été observés dans les TBH sur substrat InP. La première partie de ce tableau est consacrée aux mécanismes de défaillance associés aux contacts ohmiques, la seconde aux mécanismes de défaillance associés à la base et la troisième aux mécanismes d'interface et de surface.

Tableau 1. 6 : Synthèse bibliographique des mécanismes de dégradation des TBH sur substrat InP

Mécanismes de dégradation	Signature	E_a (eV)	Référence
Diffusion du contact d'émetteur dans le semi-conducteur	Court-circuit émetteur et collecteur	0,5	[46]
	Dégradation soudaine du gain en courant	1,4	[59]
		1,22	[60]
	Augmentation de la résistance d'accès d'émetteur	1,6	[50]
		2	[50]
Diffusion du dopant Be de la base vers l'émetteur	Augmentation de la tension V_{BEon}	1,57	[51]
		1,67	[61]
		1,41	[61]
Dislocations à la jonction E-B	Réduction de la tension V_{BEon}	-	[62]
Création de défauts cristallins à la jonction E-B	Dégradation soudaine du gain en courant due à une augmentation du courant de base	1,5	[63]
Création de défauts cristallins à la périphérie E-B	Augmentation du courant de base aux faibles injections	-	[62]
	Dégradation progressive du gain en courant	1,7	[59]

4.2. Méthodes d'évaluation des mécanismes de dégradation des TBH InP

L'évaluation des mécanismes de dégradation des TBH de la filière InP suit un protocole bien défini qui commence par l'activation, puis la détection et pour finir par la localisation des défauts. Afin de réaliser cette évaluation, il existe des outils propres à chaque étape.

4.2.1. Activation des mécanismes de défaillance

L'activation des mécanismes de défaillance est rendue possible par des facteurs d'accélération. Ces facteurs d'accélération sont la température et le courant. En pratique, on applique deux types de contraintes différentes couplées ou non qui sont :

- Contrainte thermique : il s'agit de l'application de la température par le biais d'une étuve portée à haute température (entre 180 et 240°C dans notre cas) sur les TBH et les TLM. Ces tests de vieillissement sont appelés tests en stockage.
- Contraintes thermique et électrique : il s'agit d'appliquer une combinaison, température et polarisation. Par polarisation, nous entendons une densité de courant de collecteur J_C et une tension collecteur-émetteur V_{CE} fixées. La polarisation appliquée est très proche des conditions réelles de fonctionnement des transistors selon l'application visée. Ces tests sont dits tests de vieillissement sous polarisation.

Les valeurs des contraintes appliquées durant le vieillissement sont toujours le résultat d'un compromis entre l'accélération du mécanisme et la durée du test. La Figure 1. 22 montre effectivement que pour les températures supérieures à une température critique T_C caractéristique de la technologie, toute dégradation au sein du TBH est principalement induite par l'unique contrainte qu'est la température. A ces mécanismes de dégradation sont associés des énergies d'activation E_a supérieures à 1,2 eV. Pour les températures inférieures à T_C, les dégradations sont liées aux effets thermoélectriques et sont associées à des énergies d'activation inférieures à 1,2 eV. Dans [64], il a été montré que pour le même mécanisme de défaillance, il peut exister plusieurs énergies d'activation E_a selon les valeurs des contraintes appliquées sous polarisation. Dans [64] les auteurs traitent du cas de la diffusion du béryllium dans le GaAs pour lequel l'énergie d'activation passe d'environ 1,8 eV sous contrainte thermique à 0,6 eV sous contraintes thermique et électrique.

Les mécanismes de dégradation des TBH sur substrat III-V sont tels que :

- A température élevée et pour des faibles niveaux de polarisation, les mécanismes de dégradation comme la diffusion d'un élément d'un système métallurgique [65] ne sont activés que thermiquement.
- Les niveaux de polarisation élevés associés à des températures modérées stimulent la recombinaison des porteurs. L'énergie libérée durant la transition électronique peut être restituée localement au réseau cristallin et provoquer la formation de défauts cristallins associés à des pièges [66].

La température critique T_C séparant les dégradations induites par la température et celles induites par le courant et/ou champ électrique dépend :

- de la morphologie de surface du composant,
- du niveau de dopage de la base,
- et de la contrainte mécanique de la couche de base.

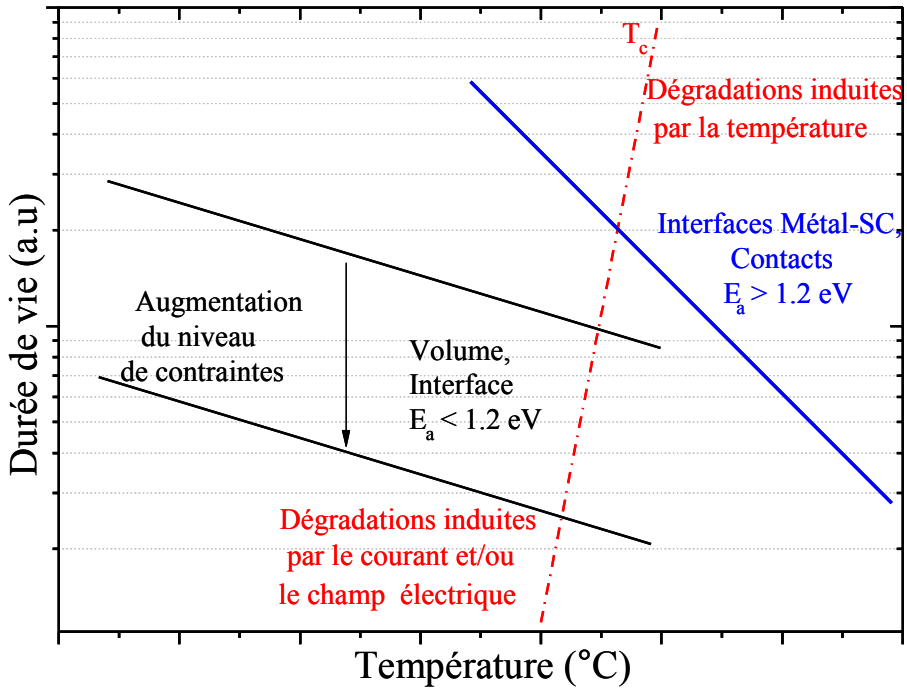


Figure 1. 22 : *Activation et localisation des mécanismes de dégradation des transistors III-V en fonction des contraintes appliquées*

4.2.2. Détection des mécanismes de dégradation

Les caractéristiques électriques telles que les tracés de Gummel en direct et le réseau de sortie I_C (V_{CE}) (Figure 1. 5 et Figure 1. 6 respectivement) sont mesurées avant, durant et après les tests de vieillissement à l'aide de l'analyseur de paramètres HP 4155A et d'Easy Report. L'analyseur de paramètres HP 4155A, est piloté par le logiciel ICCAP, pour les composants en stockage et par Easy Report pour les composants sous polarisation. Avec un modèle prenant en compte les principaux mécanismes de transport de charges spécifiques aux TBH sur substrats InP comme ceux mentionnés dans le *Tableau 1. 6*, l'évolution d'un ou de plusieurs paramètres de ce modèle permet d'émettre des hypothèses sur la localisation du ou des mécanismes de dégradation.

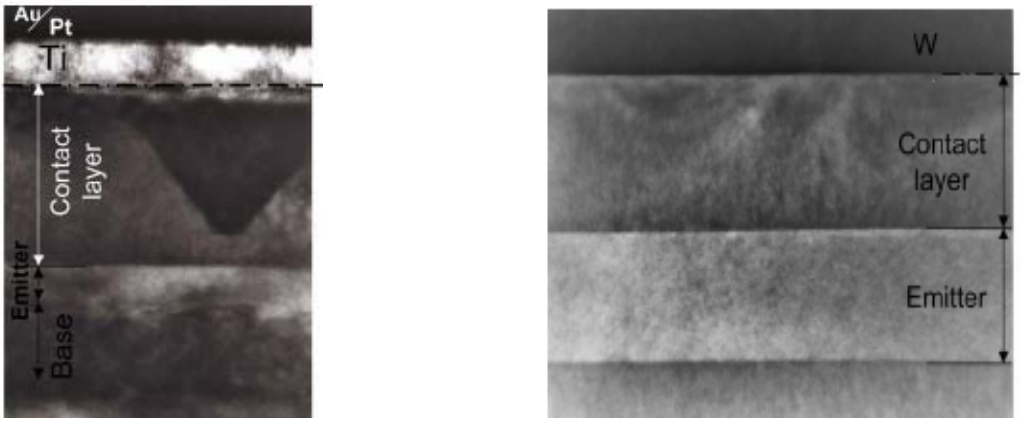
4.2.3. Localisation de l'origine des mécanismes

La simulation physique des mécanismes de dégradation à travers TCAD Sentaurus confirme l'origine des défaillances. L'analyse de ces mécanismes de défaillance avec TCAD Sentaurus permet d'extraire une énergie d'activation associée à chaque mécanisme. Afin de certifier les conclusions précédemment obtenues par la simulation physique, il est donc préférable de réaliser une analyse physique des composants dégradés. Pour cette analyse physique, sont utilisés :

- un faisceau d'ions focalisé (FIB : Focused Ion Beam) pour la préparation de microsection des échantillons ou de lames minces,
- puis un Microscope Electronique à Balayage ou un Microscope Electronique en Transmission (MET) pour l'observation des structures.

Dans [50], les auteurs ont identifié la diffusion de l'or comme étant à l'origine de la dégradation de la jonction B-E. La Figure 1. 23 (a) présente une image obtenue par microscopie électronique à transmission (MET) d'un TBH vieilli à 10000 heures à une température de jonction de 260°C. Grace à une spectrométrie en énergie *(« Energy Dispersive Spectrometry »* (EDS)), la présence de l'or a été révèle dans les zones les plus sombres de la couche de contact d'émetteur. Une des solutions proposées pour supprimer la diffusion de l'or est d'ajouter au l'empilement métallurgique Ti/Pt/Au un métal réfractaire tel que le tungstène (W). La Figure 1. 23 (b) présente une image obtenue par MET d'un TBH vieilli à 1567 heures à une température de jonction de 270°C. Sur cette figure, aucune diffusion de l'or n'est observable dans la couche de contact.

L'ensemble des étapes du protocole expérimental pour l'évaluation des mécanismes de dégradations des TBH de la filière InP est résumé dans la Figure 1. 24.



(a) **(b)**

Figure 1. 23 *Image au MET de TBH vieillis sous contraintes thermique et électrique*

(a) TBH avec un contact d'émetteur en Ti/Pt/Au vieilli pendant 10000 heures avec J_C = 5mA/µm² et Tj = 260°C

(b)TBH avec un contact d'émetteur en W-Ti/Pt/Au vieilli pendant de 1567 heures avec J_C = 5mA/µm² et Tj = 270°C [50]

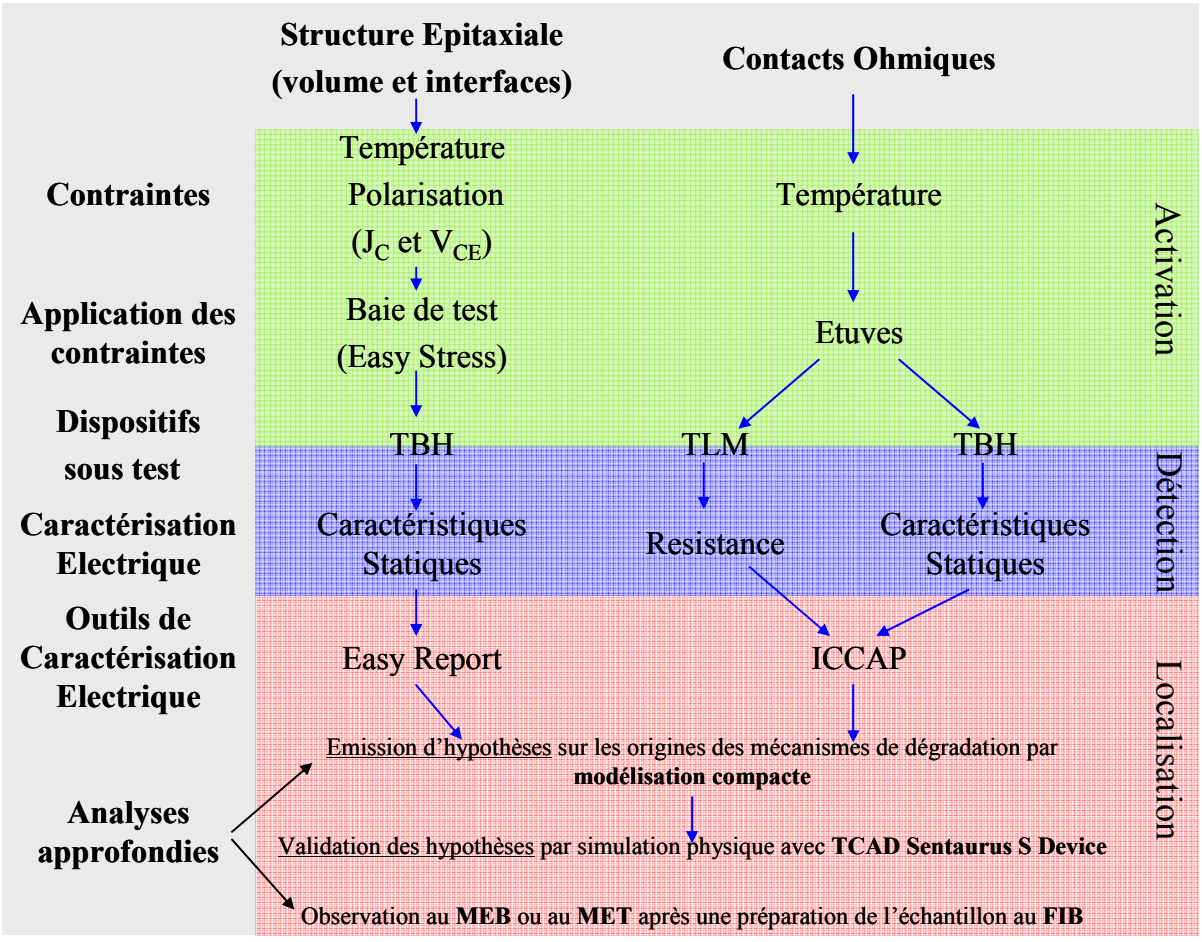


Figure 1. 24 : *Protocole expérimental pour l'évaluation des mécanismes de dégradation des TBH de la filière InP*

5. Conclusion

Dans ce chapitre nous avons décrit les principaux effets limitatifs survenant au cours du fonctionnement des transistors bipolaires ainsi que les mécanismes de défaillances présents dans les TBH InP que l'on peut mettre en évidence au cours des tests de vieillissement accéléré. Selon les contraintes appliquées les dégradations des transistors sont plus ou moins accélérées. Les faiblesses des TBH sur substrat InP sont bien connues des nos jours (*Tableau 1. 6*). Elles sont localisées au niveau :

- des couches de contact, plus précisément celle de l'émetteur,
- des états de surface du composant notamment sur la surface de la base extrinsèque et le flanc de l'émetteur.

Sachant quels sont les mécanismes de dégradation potentiels des TBH sur substrat InP et aider par la modélisation compacte, nous pouvons émettre les premières hypothèses sur l'origine physique des mécanismes mis en évidence lors des tests de vieillissement accéléré. Les résultats de ces tests sont présentés dans le chapitre 3. Afin de valider l'origine physique de ces mécanismes de dégradation, il est souhaitable de réaliser la simulation physique par éléments finis et/ou des analyses physico-chimiques des composants. Ces analyses peuvent apporter des informations supplémentaires sur la nature de la dégradation des transistors sous test.

Chapitre 2

Technologies sous test

1. Introduction

Dans ces travaux de thèse, nous avons étudié quatre générations de transistors. Ces générations de TBH sont réparties en deux filières : la filière III-V Lab et la filière OMMIC. La filière III-V Lab comprend trois générations notées G0, G1 et G2 III-V Lab. La filière OMMIC, quant à elle comprend une seule génération notée G2 OMMIC. Dans ce chapitre, nous présentons en détail les générations des deux filières ainsi que les différents outils de caractérisation des transistors, avant et au cours des tests de vieillissement.

Ainsi ce chapitre commence par la présentation des outils de caractérisation des technologies sous test. Dans cette partie nous présentons l'adaptation des filtres utilisés pour supprimer les oscillations observées dans les TBH. Puis pour chaque génération, nous présentons les caractérisations initiales des performances statiques et dynamiques nécessaires. Les mesures des tracés de Gummel en direct et en inverse, des réseaux de sortie I_C (V_{CE}) à courant de base I_B constant, de la tension de claquage BV_{CE0} en montage émetteur commun ainsi que de la fréquence de transition f_T et de la fréquence maximale d'oscillation f_{max} ont donc été réalisées. Ces caractéristiques ont été réalisées, sur plusieurs transistors de la même génération, dans le but d'évaluer la dispersion technologique des transistors des différentes filières sous tests. Une faible dispersion technologique est une des garanties, prise lors d'une étude de fiabilité, dans l'intention d'observer le(les) même(s) mécanisme(s) de dégradation au sein de tous les TBH sous test.

2. Préalable : Outils de caractérisation des technologies sous test

Les caractérisations électriques des transistors du programme ROBUST sont réalisées au sein du laboratoire IMS à Bordeaux (France). Deux bancs de mesures sont utilisés selon les tests de vieillissement accéléré : l'un pour la caractérisation des TBH en puce nue soumis au stockage et l'autre pour la caractérisation des transistors qui seront soumis aux tests sous polarisation.

L'auto-échauffement étant présent dans toutes les filières étudiées dans ces travaux de thèse, il est primordial d'avoir un outil pouvant donner les valeurs de la résistance thermique R_{th}. Aussi dans ce chapitre, nous présentons différentes techniques d'évaluation de la résistance thermique. Une d'elles a été développée au sein du laboratoire IMS.

2.1. Le banc de mesure statique

Le banc de mesure électrique peut effectuer à la fois des caractérisations statiques et dynamiques permettant l'évaluation de la dispersion technologique préalable aux tests de vieillissement. C'est ce banc qui est utilisé pour la caractérisation des transistors placés sous tests de vieillissement en température. Il est constitué de :

- un microscope optique doté de 5 objectifs de 2X, 5X, 10X, 20X et 50X
- douze sorties de connexion des pointes de mesures AC et DC,
- un « DUT support » encore appelé « *chuck* » régulé en température sur lequel peuvent être placés les transistors sur puce ou sur plaque,
- les « Probe supports » pour les pointes de mesure AC et DC situés des deux cotés du « DUT support »,
- une boite de commande avec un « *Joystick* » servant à piloter le « *chuck* » suivant X, Y et Z.

Tout le dispositif est relié à l'analyseur de paramètres HP 4155 qui est piloté par le logiciel ICCAP. La Figure 2. 1 présente une photographie du banc de mesure au complet.

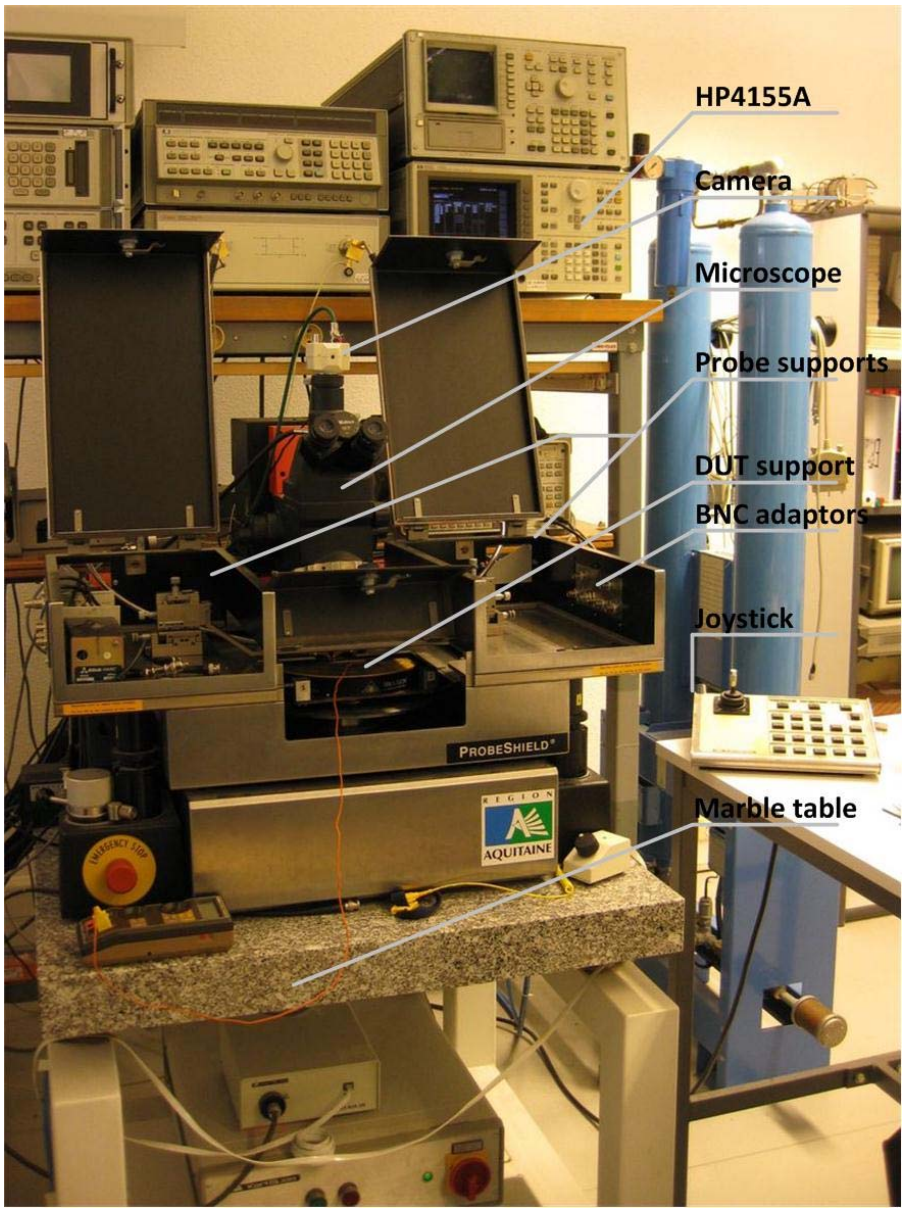


Figure 2. 1 *: Photographie du banc de mesure destiné aux mesures statiques et dynamiques ainsi que pour la caractérisation des transistors soumis aux vieillissements sous contrainte thermique*

2.2. La baie de test et de caractérisation électrique statique

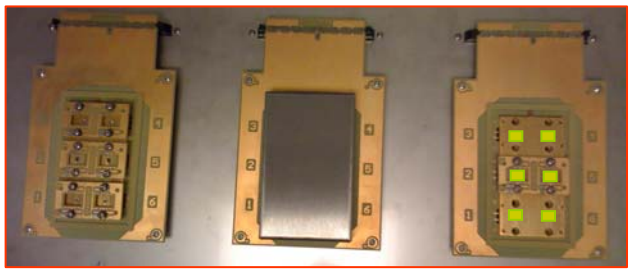
2.2.1. Description générale

Le banc de test présenté sur la Figure 2. 2 (a) est capable à la fois de réaliser les tests de vieillissement accéléré sous polarisation et de caractériser jusqu'à 18 transistors dissipant jusqu'à 1W dans la gamme de température de 30°C à 125°C. Les transistors sont répartis sur 3

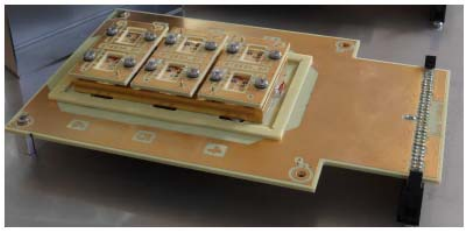
supports (Figure 2. 2 (b)) de test situés sur la partie supérieure. Afin de minimiser toute convection et donc d'assurer la régulation en température, les 3 supports sont recouverts par des couvercles métalliques. L'ensemble est placé en salle grise sous ambiance climatisée et régulée en température.

L'alimentation de chaque composant est assurée par des sources DC pouvant réguler à courant et tension de collecteur constants grâce aux modules de couplage. Le composant est directement fixé par serrage grâce à des circuits presseurs (Figure 2. 2 (c) et (d)) sur l'embase en cuivre pour minimiser la résistance thermique. Le câblage coaxial ainsi que le routage permettent de minimiser les fuites de courant et d'atteindre une résolution de l'ordre du nano ampère sur la mesure de courant. L'embase en cuivre est régulée en température grâce à un capteur de température de type résistance platine embarqué dans la pièce et le chauffage est assuré par des réchauffeurs vissés sur la face inférieure. L'embase en cuivre est refroidie par ventilateur pour aider la régulation aux températures proches de l'ambiante.

(a)



(b)



(c)

(d)

***Figure 2. 2**: Baie de test utilisée pour les tests de vieillissement accéléré sous contraintes thermique et électrique avec ses différentes parties*
***(a)** Ensemble du banc de test*
***(b)** Les trois supports de transistors se trouvant sur la partie supérieure du banc de test*
***(c)** Les trois presseurs situés sur un support de transistors*
***(d)** Un presseur avec les bobines et capacités servant au filtre passe-bas*

Les tensions et courants appliqués parviennent aux transistors via les vis de serrage qui sont au nombre de 2 par transistor (une pour la base et une pour le collecteur). Une fois le test de vieillissement sous polarisation débuté, le contact est maintenu jusqu'à la fin du test, ce qui permet de réaliser la caractérisation électrique du transistor sans transport vers un lieu différent.

2.2.2. Logiciels de caractérisation et d'application de la contrainte en courant et en tension

La baie de mesure est gérée par deux logiciels appelés Easy Stress et Easy Report.

- Easy Stress sert à fixer les conditions de contraintes de vieillissement des transistors. Ainsi, nous pouvons imposer la tension souhaitée au niveau des jonctions collecteur-émetteur (V_{CE}) et base-émetteur (V_{BE}). Nous pouvons aussi fixer les courants de collecteur (I_C) et de base (I_B) ainsi que la température de vieillissement (T_a) des supports. Il est possible de fixer un point de fonctionnement sur le réseau de sortie $I_C(V_{CE})$ et d'y vérifier le comportement des transistors avant de débuter les tests de vieillissement accéléré.
- Quant à Easy Report, c'est par le biais de ce logiciel que les résultats des caractérisations électriques sont collectés. Easy Report permet de réaliser les caractéristiques statiques suivantes : les tracés de Gummel en direct et le réseau de sortie $I_C(V_{CE})$ à I_B constant.

2.2.3. Adaptation des filtres

Sur le presseur (Figure 2.2 (d)) sont câblées des bobines et des condensateurs qui jouent le rôle de filtres passe-bas. Nous avons besoin de filtres pour supprimer les oscillations qui sont susceptibles d'être amplifiées par le gain en courant des transistors. Le circuit émetteur commun est ainsi découplé avec des condensateurs de capacité 10 nF et des bobines allant de 5 µH à 20 µH. La figure suivante montre le schéma électrique d'un transistor monté en émetteur commun avec les composants qui permettent de le polariser.

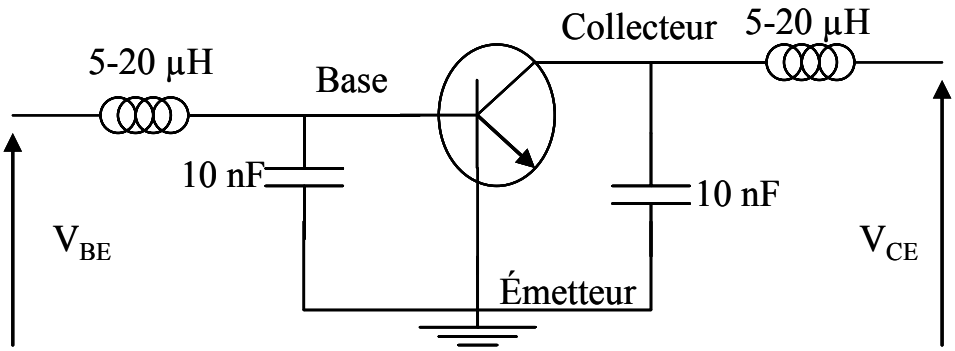


Figure 2. 3 *: Schéma électrique du TBH en montage émetteur commun avec les composants qui permettent de supprimer les oscillations parasites*

L'adaptation des filtres a été complexe durant ces travaux de thèse, car pour chaque génération de transistors, il a fallu repartir de zéro pour supprimer les oscillations du circuit. Cette tache était complexe du fait :

- de la dispersion technologique plus ou moins importante selon les technologies,
- des différentes longueurs des « *bondings »,* qui modifient l'impédance d'entrée et de sortie,
- des différentes longueurs des bobines.

La Figure 2. 4 montre les tracés de Gummel en direct d'un TBH. Le même transistor est caractérisé sur le banc de mesure utilisant ICCAP et sur la baie de test avec Easy Report. Après adaptations successives des valeurs des composants des filtres (combinaisons de capacités et de bobines) nous sommes parvenus à supprimer les oscillations électriques observées à V_{BE} = 0,8 V.

- Pour $V_{BE} < 0{,}4$ V, nous avons I_B et I_C constants à 2 nA, ceci est dû à la résolution de la baie de test qui est de l'ordre du nano Ampère (nA),
- Pour $0{,}4 < V_{BE} < 0{,}8$ V, nous avons une parfaite concordance entre les résultats des mesures réalisées avec le banc de test sous pointes et la baie de mesure in situ,
- Pour $V_{BE} > 0{,}8$ V, les oscillations sont présentes et se manifestent par un décalage des courants aux forts courants. On remarque un saut entre les résultats du filtre #1 et ceux obtenus avec le banc de test sous pointes. Avec le filtre #2, cette différence n'existe plus.

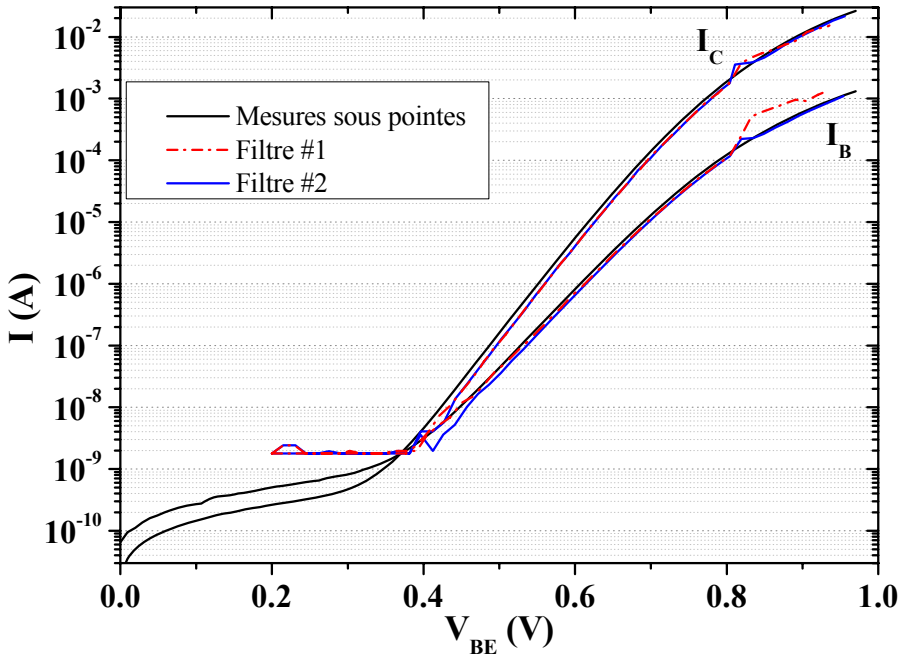


Figure 2. 4 : *Résultats de l'optimisation du filtre passe-bas visibles sur les tracés de Gummel*

2.2.4. Évaluation de la résistance thermique

Le passage des porteurs dans un transistor en fonctionnement entraine une augmentation de la température au sein du transistor. Cette augmentation de température appelée l'auto-échauffement a deux effets néfastes : la limitation des performances électriques à travers l'instabilité thermique [67] et la dégradation accélérée des performances électriques des transistors et donc une durée de vie réduite [68]. Les matériaux III-V ayant des conductivités thermiques plus faibles que celle du silicium, l'élévation de la température au sein du transistor est d'autant plus critique. En tant que meilleur conducteur thermique des matériaux III-V, l'InP a une conductivité thermique de 68 $W.K^{-1}.m^{-1}$ contre 148 $W.K^{-1}.m^{-1}$ pour le silicium à 300 K. Il est donc important de quantifier l'effet de l'élévation de la température au sein du transistor en fonctionnement par l'évaluation de la résistance thermique R_{TH}.

2.2.4.1. Evaluation par mesures électriques

Plusieurs méthodes d'évaluation de la résistance thermique R_{th} existent et sont répertoriées dans [69], [70], [71], [72], [73] et [8]. Le point commun entre toutes ces méthodes est la réalisation des caractéristiques électriques à différentes températures imposées au substrat. Aussi la caractérisation thermique est réalisée en régime continu sur des TBH polarisés en émetteur commun. Nous allons décrire deux méthodes qui sont toutes les deux utilisées pour l'évaluation de la résistance thermique des transistors étudiés dans cette thèse.

- La première méthode est celle utilisée dans [73] et qui a été développée au sein du laboratoire IMS. Pour évaluer la résistance thermique R_{th}, les mesures sont réalisées directement sur les plaques donc sous pointes. Cette méthode prend comme hypothèse simplificatrice la non dépendance de la résistance thermique en fonction de la température de jonction dans la gamme de température imposée T_i de 300 K à 370 K. Cette méthode qui est basée sur l'étude du paramètre thermosensible V_{BE} est réalisée en deux étapes.
    - La première étape consiste à mesurer I_C et V_{BE} en fonction de V_{CE} à différentes températures imposées au substrat T_i pour un courant de base I_B constant. Cela permet d'obtenir la courbe de calibration $V_{BE}(T_i)$. Le courant de base est choisi pour des niveaux assez importants de puissance pour que l'effet d'auto-échauffement ne soit pas négligeable et ce, tout en étant en dehors du régime où les résistances d'accès jouent un rôle dominant. La Figure 2. 5 montre des mesures de I_C et V_{BE} effectuées à différentes températures et à courant de base constant. On remarque que pour les températures T_i croissantes, I_C augmente tandis que la tension V_{BE} diminue. Ainsi, la Figure 2. 6 montre un réseau de courbes V_{BE} en fonction de la température imposée T_i pour différentes valeurs de V_{CE} et pour une aire d'émetteur de 2x10 µm². On remarque effectivement la décroissance de la tension V_{BE} en fonction de T_i.
    - La seconde étape consiste à tracer la dépendance de la température imposée T_i en fonction de la puissance dissipée P_{diss} à partir des courbes $I_C(V_{CE})$, $V_{BE}(V_{CE})$ et $V_{BE}(T_i)$. La Figure 2. 7 montre une diminution de T_i pour P_{diss} croissante. A partir de l'équation 2. 1, on peut obtenir la température de jonction T_J et la résistance thermique R_{TH} à partir de la pente des droites $T_i(P_{diss})$.

$$T_i = T_J - P_{diss} R_{TH}$$ **Équation 2. 1**

Avec

$$P_{diss} = V_{BE} I_B + V_{CE} I_C$$ **Équation 2. 2**

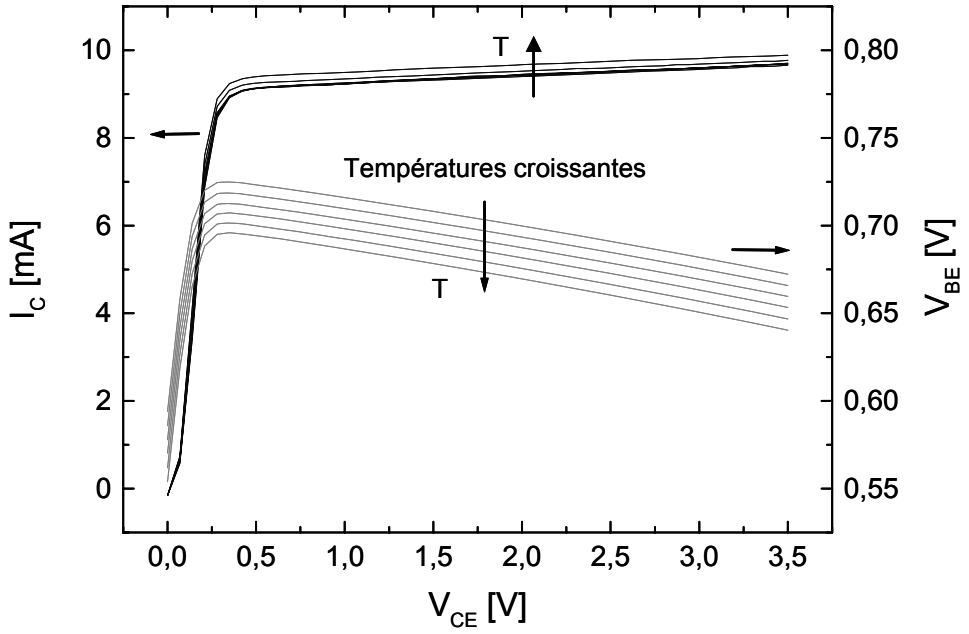


Figure 2. 5 : *Exemple des mesures de I_C et V_{BE} en fonction de V_{CE} à I_B constant pour une température imposée allant de 27°C à 62°C et pour une aire d'émetteur de 2 x 10 µm²* **[73]**

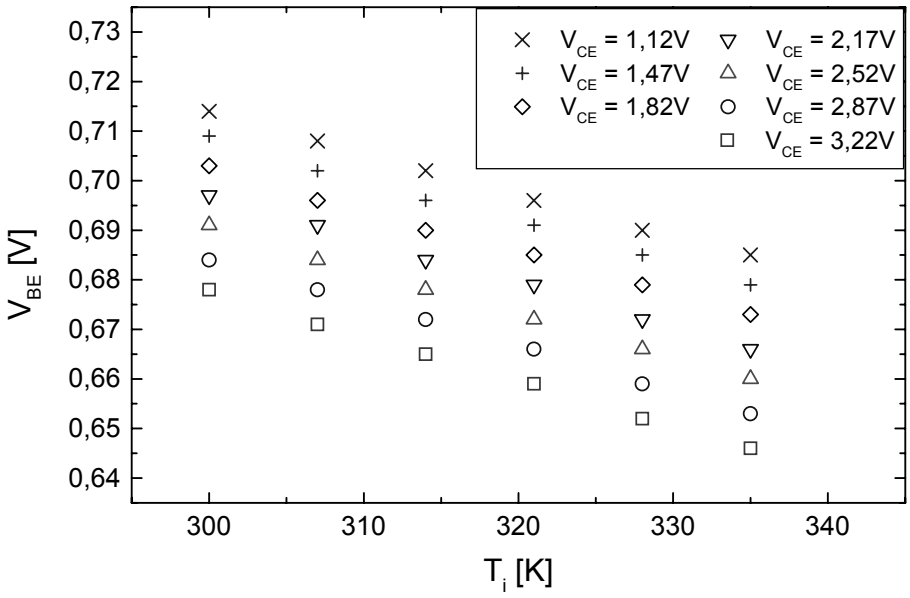


Figure 2. 6 : *Exemple d'un réseau de courbes V_{BE} en fonction de la température imposée T_i pour différentes valeurs de V_{CE} et pour une aire d'émetteur de 2 x 10 µm²* **[73]**

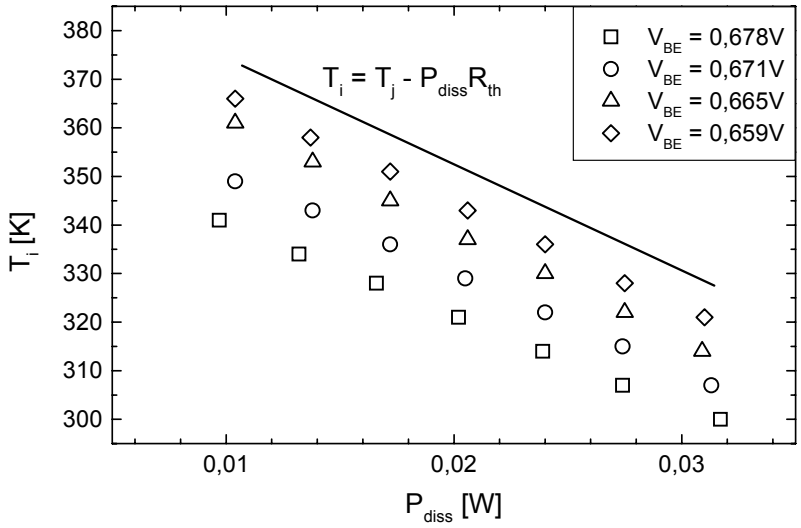


Figure 2. 7 : *Exemple d'un réseau de caractéristiques T_i en fonction de la puissance dissipée pour différentes valeurs de V_{BE} et pour une aire d'émetteur de 2 x 10 µm²* [73]

- La seconde méthode de détermination de la résistance thermique est mise en œuvre chez III-V Lab et présentée dans [8]. Elle se fait en deux étapes :
    - la première consiste à déterminer le coefficient thermoélectrique notée Φ dont l'expression analytique est donnée par l'équation 2. 3. Pour obtenir Φ, il est nécessaire de mesurer des tracés de Gummel en direct à différentes températures imposées au substrat T_i. Le coefficient thermoélectrique Φ est donné par la pente négative (Figure 2. 8).

$$\Phi = -\left.\frac{\partial V_{BE}}{\partial T}\right|_{I_c} \qquad \textbf{Équation 2. 3}$$

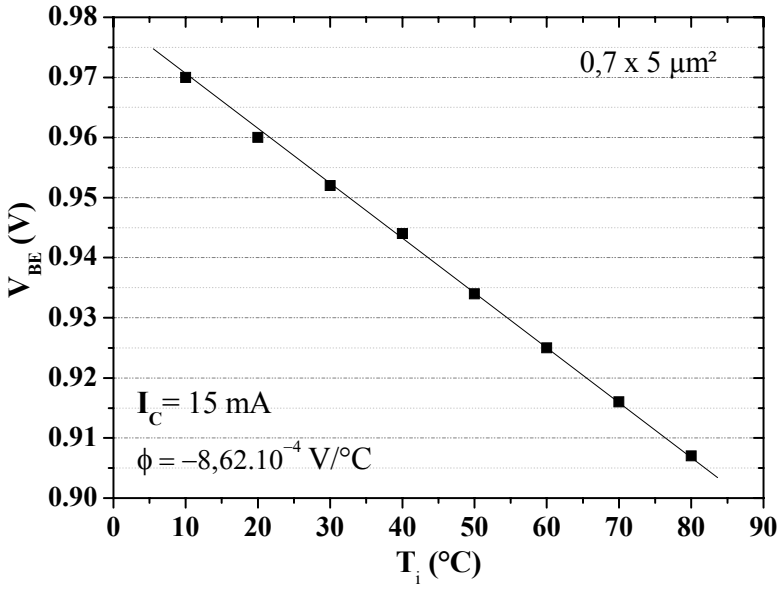


Figure 2. 8 : *Exemple de variation de la tension base-émetteur V_{BE} en fonction de la température de substrat pour un TBH aire l'aire d'émetteur = 0,5x7 µm²* **[8]**.

- la seconde étape consiste à se servir de la valeur du coefficient thermoélectrique Φ pour calculer la résistance thermique R_{TH}. Pour ce faire, on mesure, à courant de collecteur I_C fixé, la variation de la tension V_{BE} en fonction de la tension V_{CE}. La puissance dissipée étant proportionnelle à la tension V_{CE}, une augmentation de V_{CE} entraine une élévation de P_{diss} (équation 2. 4). La différence de température de jonction entre deux mesures est donnée par l'équation 2. 5 puisque cette variation de température est liée à la variation de la tension V_{BE} par le coefficient thermoélectrique (équation 2. 6). Finalement, la résistance thermique est donnée par l'équation 2. 7.

$$\Delta P = P_{diss} = \Delta V_{CE}.I_C \qquad \textbf{Équation 2. 4}$$

$$\Delta T = P_{diss}.R_{TH} \qquad \textbf{Équation 2. 5}$$

$$\Delta V_{BE} = \phi.\Delta T \qquad \textbf{Équation 2. 6}$$

$$R_{TH} = \frac{\Delta V_{BE}}{\Delta V_{CE}.I_C.\phi} \qquad \textbf{Équation 2. 7}$$

2.2.4.2. Evaluation par simulation 2D

L'évaluation de la résistance thermique peut se faire également par la simulation physique comme c'est le cas dans [74]. La modélisation de l'effet d'auto-échauffement a été réalisée avec le simulateur SDevice sous TCAD. Avant l'extraction de la résistance thermique grâce la simulation électrothermique 3D, nous devons d'abord procéder à la simulation 2D. La simulation 2D est réalisée en utilisant le modèle hydrodynamique avec l'équation de Stratton. La simulation 2D, qui ne prend pas en compte l'effet d'auto-échauffement dans le transistor, a été développée dans le but de valider des hypothèses sur la localisation des pièges responsables des mécanismes de dégradation (cf chapitre 4, paragraphe 3). Cette modélisation 2D commence par une description complète du transistor dans le simulateur. La description consiste à :

- Entrer la nature, la géométrie effective ainsi que le niveau de dopage de toutes les couches du transistor à simuler ; cela revient à détailler la structure épitaxiale du TBH.
- Donner la nature du matériau de passivation (BCB, polyimide, SiN, etc…).
- Donner la nature des contacts ohmiques.
- Affiner le maillage des couches ainsi que celui des jonctions.

Après l'étape descriptive, arrive la définition des paramètres physiques. Il faut, définir dans le modèle physique quels sont les paramètres à introduire. La mobilité, la masse effective ainsi que la vitesse des électrons dans les matériaux InP et InGaAs sont bien définies dans le simulateur SDevice. Le niveau de dopage étant très élevé dans la base ($>10^{19}$ at/cm²) (*Tableau 2. 13*) le « band gap norrowing » est pris en compte dans le modèle. Par ailleurs, la discontinuité importante de la bande de conduction au niveau de la jonction base-émetteur nécessite de prendre en compte le modèle de transport par émission thermoionique « thermionic field emission model » simulé sous SDevice en utilisant le modèle « non local carrier barrier tunneling model ».

Une fois ces paramètres physiques introduits dans le simulateur, nous passons à la définition des paramètres liés aux effets thermiques :

- Chaleur spécifique,
- Conductivité thermique,
- Dépendance thermique de la bande interdite,
- Dépendance thermique de la mobilité,
- Dépendance thermique de la densité d'états.

Les résultats de la simulation 2D présentés sur la Figure 2. 9 montre une parfaite superposition entre les mesures électriques des tracés de Gummel en direct et les simulations physiques. La simulation 3D est réalisée avec le modèle thermodynamique (dérive-diffusion + équation de chaleur), ce qui permet de mettre en évidence l'auto-échauffement dans les transistors étudiés. L'élévation de la température dans un transistor pour une puissance dissipée de 10 mW est cartographiée sur la Figure 2. 10.

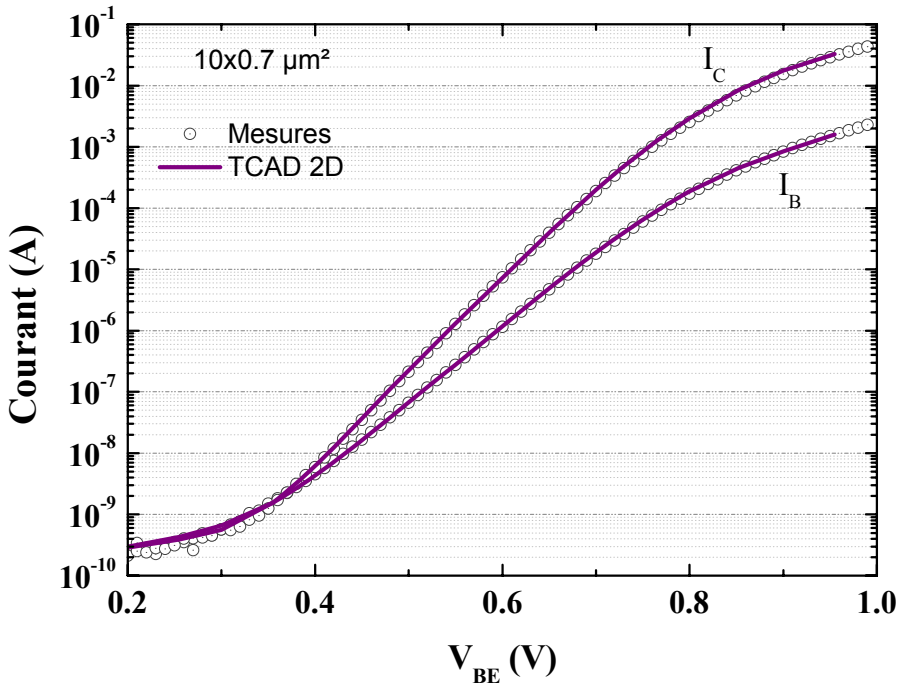
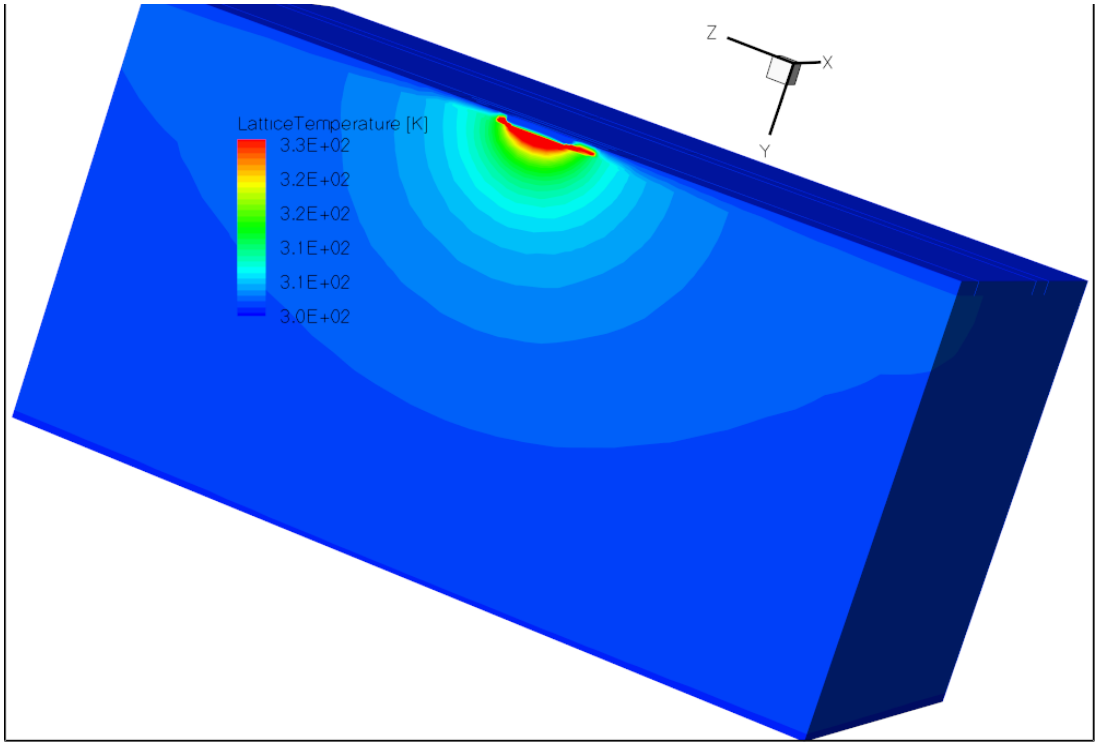
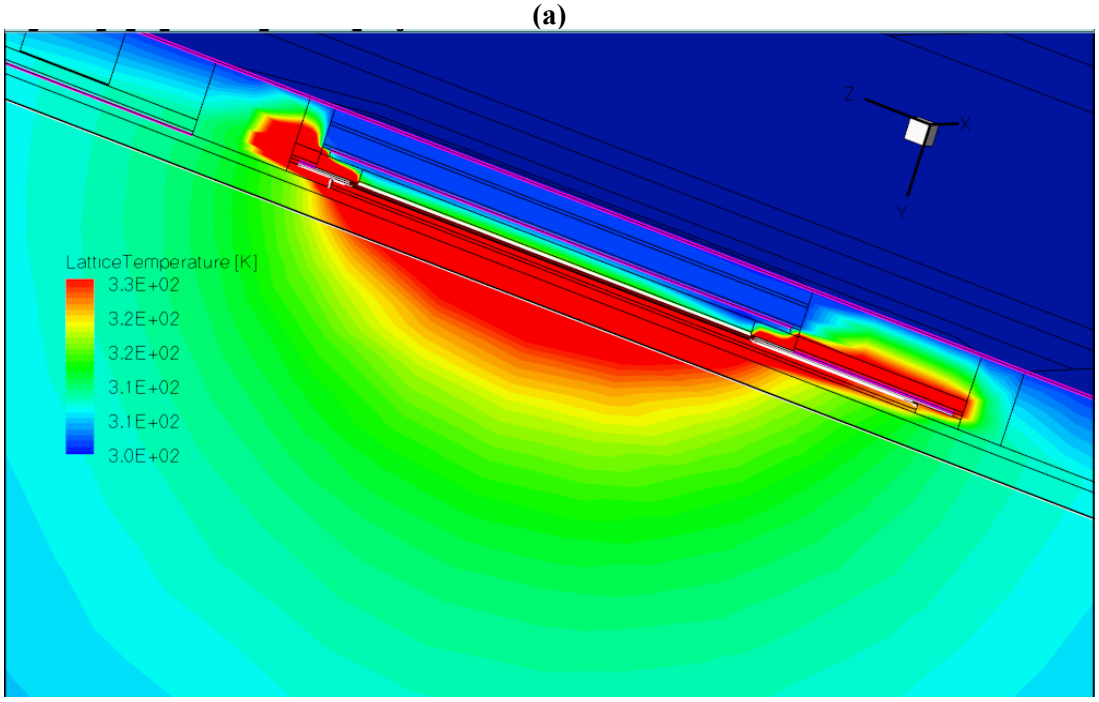


Figure 2. 9 : *Comparaison entre mesures électriques et les résultats de la simulation 2D des tracés de Gummel en direct*



(a)



(b)

Figure 2. 10 : *Cartographie de l'élévation de la température (exprimée en K) due à l'auto-échauffement dans les TBH en régime permanent obtenue par simulation physique 3D.*
(a) Transistor au complet
(b) *Zoom sur la zone active du transistor, à cette puissance dissipée (10mW), la température au niveau du transistor intrinsèque est d'environ 430 K*

La Figure 2. 11 montre la résistance thermique en fonction de la largeur d'émetteur des TBH pour une longueur d'émetteur de 0,7 µm. On remarque que les valeurs de résistance thermique mesurées sont proches de celles obtenues par simulation physique 3D. Nous avons donc une excellente concordance des résultats par la méthode expérimentale et la méthode simulée.

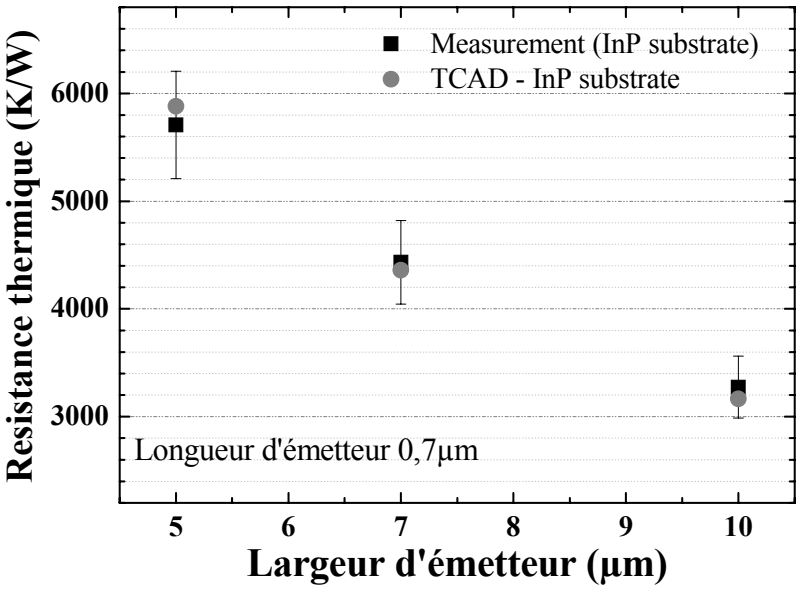


Figure 2. 11 : *Comparaison entre résistances thermiques mesurées et simulées pour des transistors TxB3H7s*

2.2.5. Les mesures pulsées

L'intérêt majeur des mesures pulsées est de potentiellement permettre la réalisation de mesures isothermes. Selon la durée de l'impulsion, l'effet de l'auto-échauffement est plus ou moins spectaculaire sur les réseaux de sortie I_C (V_{CE}),

Il existe plusieurs méthodes de mesures pulsées. Celle utilisée pour la caractérisation de transistors étudiés dans ces travaux de recherche consiste à polariser la base des transistors en utilisant une source de tension continue à travers un Té de polarisation tandis que la tension de collecteur est pulsée avec un générateur d'impulsions. Afin de réduire au maximum les effets parasites, le générateur d'impulsions est placé au plus près du transistor. Cette technique de mesures est décrite plus en détail dans [75] [39].

La Figure 2. 12 montre les réseaux de sortie I_C (V_{CE}) mesurés sur le même transistor à différentes largeurs d'impulsion (3 µs, 1 µs et 500 ns) ainsi que la mesure réalisée par la

méthode statique (DC). On remarque, effectivement que la mesure réalisée avec une largeur d'impulsion de 500 ns montre que le phénomène d'ionisation par impact arrive pour des tensions V_{CE} supérieures, ce qui indique que l'auto-échauffement est moins important que dans le cas d'impulsions de durée plus grandes et en DC. Plus la largeur d'impulsion est courte, moins on a d'auto-échauffement au sein des TBH. La mesure pulsée est une technique prometteuse en cours de mise au point qui nécessite des impulsions ultra-courtes de durée inférieures à 10 ns pour réaliser des réelles mesures isothermes. Il serait possible d'évaluer l'impédance thermique avec cette technique mais ceci demande un développement expérimental important.

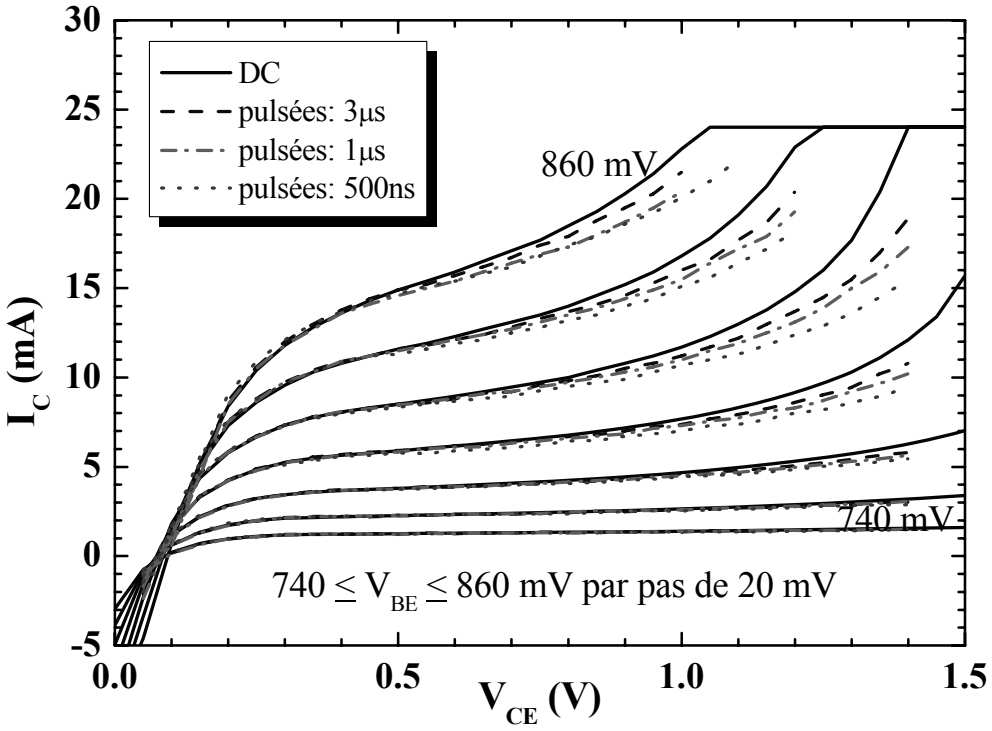


Figure 2. 12 *: Manifestation de la réduction de l'auto-échauffement dans un transistor en fonction de la durée d'impulsion.*

3. Description des différentes générations de TBH

Plusieurs générations de TBH ont fait l'objet d'études durant les travaux de recherche de cette thèse. Les différents partenaires fondeurs ont chacun fourni au moins une génération de composant. Le *Tableau 2. 1* indique que III-V Lab a fourni 3 générations et OMMIC en a fourni une. Chacune des générations de la filière III-V Lab correspond à une amélioration technologique tendant à réduire les effets thermiques et, corollairement, à réduire les mécanismes de défaillance. Nous avons choisi de nommer ces générations de transistors selon leur maturité G0, G1 et G2. Les caractéristiques des masques ainsi que l'épaisseur de base des transistors de la filière OMMIC sont très similaires à celles de la G2 III-V Lab. Nous avons donc logiquement choisi de l'appeler G2 OMMIC. Les différentes générations de transistors testés sont décrites plus en détail dans la suite de ce chapitre.

Tableau 2. 1 : Générations des filières sous test

	G0	**G1**	**G2**
III-V Lab	x	x	x
OMMIC			x

Les TBH étudiés sont tous des transistors submicroniques à géométrie hexagonale. Le choix d'une largeur d'émetteur inférieure au micromètre et d'une géométrie hexagonale s'est imposé par souci d'amélioration des performances dynamiques des TBH [8]. En effet, l'amélioration des performances dynamiques passe par une réduction des épaisseurs et corollairement des largeurs de l'émetteur, de la base et du collecteur [76]. Cette mise à l'échelle permet à la fois de réduire le temps de transit des porteurs et une diminution de la résistance de base ainsi que de la capacité base-collecteur. Des études portant sur le passage de la largeur de l'émetteur de 1,5 µm à une largeur inférieure un micromètre ont été menées par III-V Lab [8]. D'après ces études, les meilleures performances dynamiques des TBH sont obtenues avec une largeur d'émetteur de 0,7µm. Ces mêmes études indiquent que c'est avec la géométrie hexagonale que les valeurs des capacités base-collecteur (C_{BC}) sont réduites au maximum par le biais de la sous-gravure. La Figure 2. 13 décrit une géométrie avec les largeurs des sous-gravures de l'émetteur et du collecteur. La définition des paramètres géométriques associés à cette figure est détaillée dans le *Tableau 2. 2*.

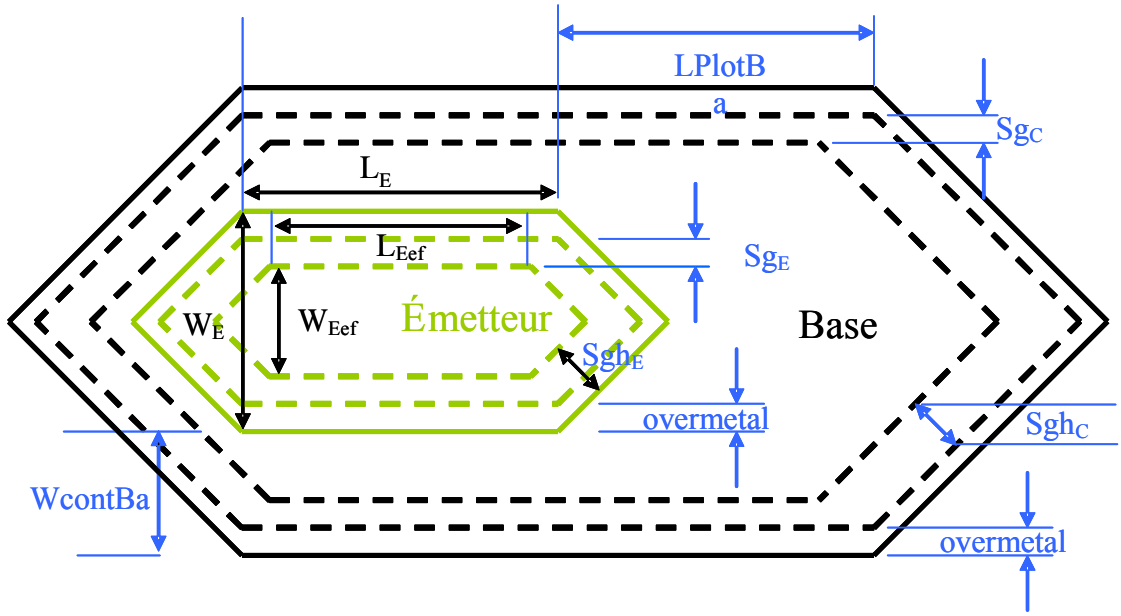


Figure 2. 13 : *Vue de dessus de transistor avec les sous-gravures des jonctions base-émetteur et base-collecteur*

Tableau 2. 2 : Définition des paramètres liés à la géométrie hexagonale

Paramètres	**Définitions**
W_E	Largeur de la métallisation d'émetteur
W_{Eef}	Largeur effective de la métallisation d'émetteur
L_E	Longueur de la métallisation d'émetteur
L_{Eef}	Longueur effective de la métallisation d'émetteur
Sgh_E	Profondeur de sous-gravure des extrémités de l'émetteur en InP
Sg_E	Profondeur de sous-gravure de l'émetteur (InGaAs et flancs en InP)
Sgh_C	Profondeur de sous-gravure des extrémités du collecteur en InP
Sg_C	Profondeur de sous-gravure du collecteur
WcontBa	Largeur du contact de base
LPlotB	Longueur du plot de base
Overmetal	Débordement de la couche de contact

3.1. La génération 0 de la filière III-V Lab

L'étude des composants de la génération 0 (G0) a été effectuée sur les plaques 53576 et 53681. Sur ces deux plaques sont disponibles : les structures ″Transmission Line Measurement″ encore appelé TLM et les transistors bipolaires.

3.1.1. Les composants étudiés (TLM et TBH)

Dans ce paragraphe nous présentons la structure épitaxiale des deux plaques, les géométries des masques et les géométries effectives des transistors ainsi que les caractéristiques électriques initiales (avant vieillissement) des TLM et des TBH.

3.1.1.1. Epitaxie

La croissance des couches épitaxiales des composants des plaques de la G0 a été réalisée par épitaxie par jets moléculaires à sources gazeuses notée EJMSG (GSMBE : Gas Source Molecular Beam Epitaxy). Pour la plaque 53576, les couches de sous-collecteur sont composées d'un empilement d'InGaAs et d'InP fortement dopées ($>10^{19}cm^{-3}$). Au total elles ont une épaisseur de 650 nm. La couche de collecteur, en réalité constituée par trois couches. Elle est composée de :

- la couche de collecteur 1 en InP d'épaisseur 80 nm dopée au Si à hauteur de 2,5 ou $5x10^{16}$ cm^{-3} pour la plaque 57576 et la plaque 53681 respectivement,
- la couche de collecteur 2 en InP d'épaisseur 20 nm dopée au Si à hauteur de $5x10^{17}$ cm^{-3},
- la couche de collecteur 3 en InGaAs d'épaisseur 30 nm dopée au Si à hauteur de $10^{16}cm^{-3}$.

La couche de base en InGaAs, dopée au C à hauteur de $8x10^{19}$ cm^{-3}, présente une épaisseur de 28 nm. La couche d'émetteur en InP, dopée au Si à hauteur de $2x10^{17}$ cm^{-3}, a une épaisseur de 25 et 40 nm pour la plaque 57576 et la plaque 53681 respectivement. Les couches de contact d'émetteur en InP et en InGaAs, fortement dopées au Si, ont une épaisseur totale de 280 nm.

La structure épitaxiale complète des deux plaques est donnée dans le *Tableau 2. 3*. Nous remarquons que les deux plaques sont différentes au niveau :

- du dopage de la couche de collecteur 1,
- de l'épaisseur des couches de contact d'émetteur, de l'émetteur lui-même et de la couche de sous-collecteur 3.

Tableau 2. 3 : Structure épitaxiale des plaques de la génération 0 (G0)

Couche	Type	Matériau	Dopant	Epaisseur (nm) 57576/**53681**
Contact Emetteur 2	N +	$In_{0,53}Ga_{0,47}As$	Si	100
Contact Emetteur 1	N +	InP	Si	195/**180**
Emetteur	N -	InP	Si	25/**40**
Base	P +	$In_{X-1}Ga_XAs$	C	≈30
Collecteur 3	N -	$In_{0,53}Ga_{0,47}As$	Si	30
Collecteur 2	N -	InP	Si	20
Collecteur 1	N -	InP	Si	80
Sous-collecteur 3	N +	InP	Si	150/**50**
Sous-collecteur 2	N +	$In_{0,53}Ga_{0,47}As$	Si	150
Sous-collecteur 1	N +	InP	Si	350
Couche d'arrêt		$In_{0,53}Ga_{0,47}As$		10

La passivation et la planarisation de la G0 ont été opérées par du Benzocyclobutene (BCB). Afin de réaliser des contacts ohmiques avec la plus faible résistivité possible, les contacts d'émetteur, de base et de collecteur sont réalisés sur les couches d'InGaAs. Un empilement de plusieurs métaux constitue les contacts d'émetteur, de base et de collecteur. Cet empilement est optimisé afin de limiter la migration des différentes espèces métalliques dans le semi-conducteur. Le *Tableau 2. 4* décrit les empilements des métaux des TBH de la génération 0.

Tableau 2. 4 : Description des couches métalliques des contacts des TBH G0

Contact	Matériaux
Émetteur	Ti/Au/Ti/Au
Base	Ti/Au
Collecteur	Ti/Au

3.1.1.2. Géométries masques et Géométries effectives

Durant les travaux de recherche de ma thèse, nous avons travaillé avec 3 longueurs du contact d'émetteur. Ces longueurs sont de 5, 7 et 10 µm et les TBH associés sont notés T5, T7 et T10. La Figure 2. 14 représente un exemple typique de TBH sur la plaque. On remarque les trois géométries qui nous intéressent.

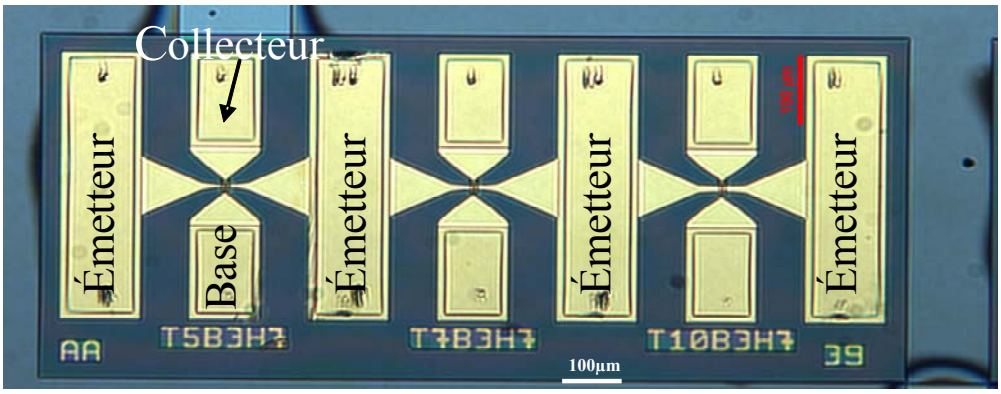


Figure 2. 14 : *Photographie au microscope optique d'un site de 3 TBH sur la plaque 53576*

Les largeurs de contacts de base et d'émetteur sont de 0,3µm et de 0,7 µm respectivement. Ces largeurs sont obtenues grâce à la lithographie par faisceau d'électrons. Le *Tableau 2. 5* décrit la nomenclature complète ainsi que les géométries des masques des TBH de la G0. Ces masques sont les mêmes pour toutes les générations provenant de III-V Lab.

Tableau 2. 5 : Nomenclature et géométries des masques des TBH G0

Types de TBH	Longueur du contact d'émetteur (µm)	Largeur du contact d'émetteur (µm)	Aire d'émetteur (µm²)	Largeur du contact de base (µm)
T5	5	0,7	3,745	0,3
T7	7	0,7	5,145	0,3
T10	10	0,7	7,245	0,3

Les sous-gravures sont effectuées lors de la fabrication des transistors avec des agents de gravure sélectifs.

La Figure 2. 15 montre une vue au microscope électronique d'un TBH. Nous pouvons y remarquer la forme hexagonale du composant, la structure triple mesa ainsi que la sous-

gravure de l'émetteur et du collecteur respectivement sous le contact ohmique d'émetteur et de la base.

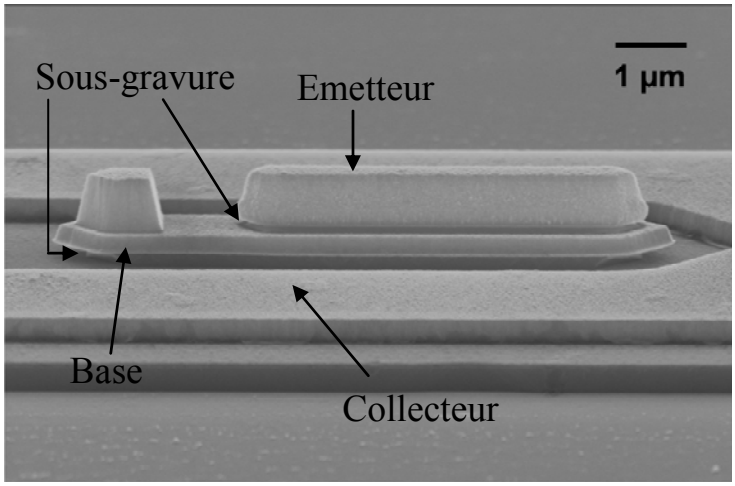


***Figure 2. 15** : Vue au microscope électronique d'un TBH submicronique à géométrie hexagonale de la filière III-V Lab*

La sous-gravure est supposée être homogène dans toutes les directions, mais on note que la vitesse de gravure dépend des matériaux mais aussi de l'orientation cristalline. Ainsi, les profondeurs de sous-gravure sont plus importantes aux niveaux des extrémités des mesa d'émetteur et de base. Les géométries effectives des transistors de la G0 sont dans le *Tableau 2. 6*.

Tableau 2. 6 : Géométries effectives des TBH G0

Types de TBH	Sg_E (µm)	Longueur effective de l'émetteur (µm)	Sgh_E (µm)	Largeur effective de l'émetteur (µm)	Aire effective de l'émetteur (µm²)	Largeur du contact de base (µm)
T5	0,1	4,06	0,4	0,5	2,28	0,3
T7	0,1	6,06	0,4	0,5	3,28	0,3
T10	0,1	9,06	0,4	0,5	4,78	0,3

3.1.2. Les ″TLM″

Les TLM (Transmission Line Measurement) sont réalisés afin d'évaluer la qualité des contacts et de l'épitaxie des transistors bipolaires. La Figure 2. 16 présente un motif de TLM. Ils sont constitués de plusieurs électrodes (7 dans notre cas) espacés de différentes longueurs

inter-électrodes notées L_{ij}. Une électrode mesure 50µm de largeur (W) et 78 µm de longueur (L) (Figure 2. 16 (b)). La pose des pointes de mesure est réalisée directement sur les plots de contact qui sont au nombre de deux par électrode. Il existe 3 types de TLM :

- TLM Base (Figure 2. 16 (a)) noté TLMB,
- TLM Emetteur noté TLME,
- TLM Collecteur noté TLMC.

Les longueurs L_{ij} ne sont pas les mêmes selon les TLM :

- pour la base, les valeurs des L_{ij} sont les suivantes : 2, 5, 10, 15, 25, et 40µm.
- pour le collecteur et l'émetteur, L_{ij} 5, 15, 30, 50, 80 et 130 µm.

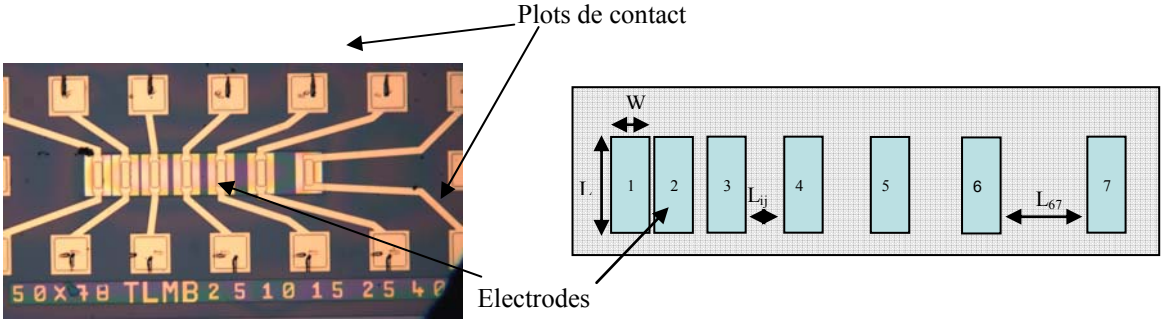


Figure 2. 16 : *Représentation d'un TLM*
(a) *TLMB avec les plots de contact en haut et en bas et la dimension des électrodes*
(b) *TLM avec les distances inter électrodes L_{ij} avec W= 78µm et d=50µm.*
NB : avec j = i+1 et 1 ≤ i ≤ 6 donc 2 ≤ j ≤ 7

La Figure 2. 17 présente la courbe de caractérisation classique d'un TLM. De ce graphe nous extrayons les paramètres suivants :

- la résistance de contact $R_{contact}$ qui est obtenue à l'abscisse nulle, la résistivité de contact $\rho_{contact}$ (équation 2. 8),
- la résistance par carré du semi-conducteur $R_{\square}$ encore appelée la résistance de couche R_{couche}, qui est obtenue grâce à la pente de la droite R(L),
- la longueur de transfert L_T (équation 2. 9) qui représente la distance sur laquelle s'effectue réellement le contact (transfert des charges).

Les paramètres précédemment cités sont tous extraits de la droite décrite par l'équation 2. 10. Avec :

la résistivité de contact $\rho_{contact} = L_T^{\,2}.R_{couche}$ **Équation 2. 8**

la longueur de transfert $L_T = \dfrac{R_{contact}.W}{R_{couche}}$ **Équation 2. 9**

$$R(L) = 2.R_{contact} + R_{couche}.\frac{L}{W}$$ **Équation 2. 10**

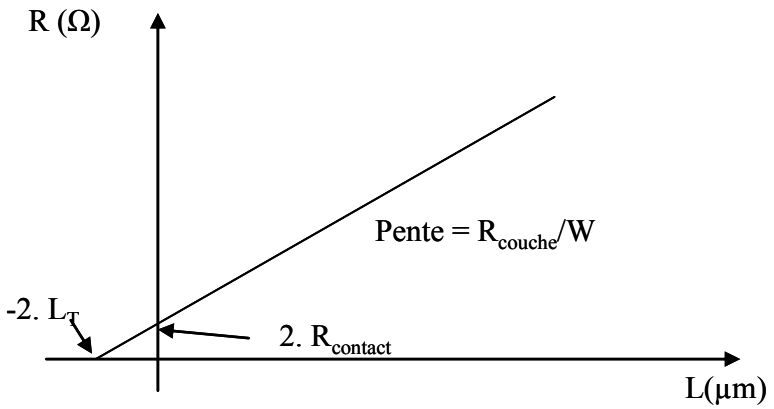


Figure 2. 17 : *Représentation de la résistance en fonction de la longueur inter-électrodes*

La technique de caractérisation utilisée lors des mesures de TLM est la méthode « 4 pointes ». Contrairement à la technique dite « 2 pointes », cette technique permet de réduire ou de s'affranchir de la présence des résistances parasites. Le principe est le suivant : on amène le courant de mesure au niveau du composant et on lit la tension avec deux jeux de câbles différents (Figure 2. 18).

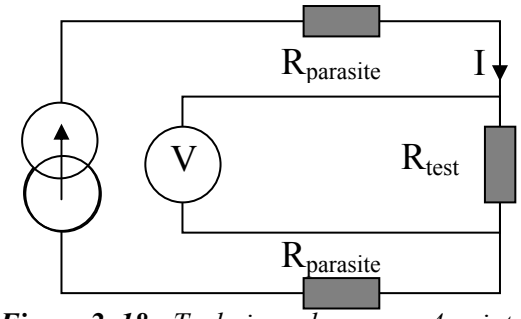


Figure 2. 18 : *Technique de mesure 4 pointes*

Quelle que soit la technique (2 pointes ou 4 pointes), nous utilisons des pointes DC en tungstène. Les pointes en tungstène ont la particularité de dégrader le moins possible les plots de contact. La Figure 2. 19 montre la différence entre les deux techniques (en noir la mesure 2 pointes et en rouge la mesure 4 pointes). Ces mesures ont été effectuées sur un TLME. Nous remarquons une différence d'environ 2 Ω entre les deux techniques. Du fait de la grande valeur de la résistance des TLMB (≥ 25 Ω), cette différence de 2 Ω est moins remarquable. Par ailleurs, le nombre d'échantillons de TLM de la G0 caractérisés est décrit dans le *Tableau 2. 7*.

Tableau 2. 7 : Nombre de TLM caractérisés par type de TLM pour la G0

Type de TLM	Plaque 53576	Plaque 53681
TLMB	4	3
TLME	3	4
TLMC	3	3

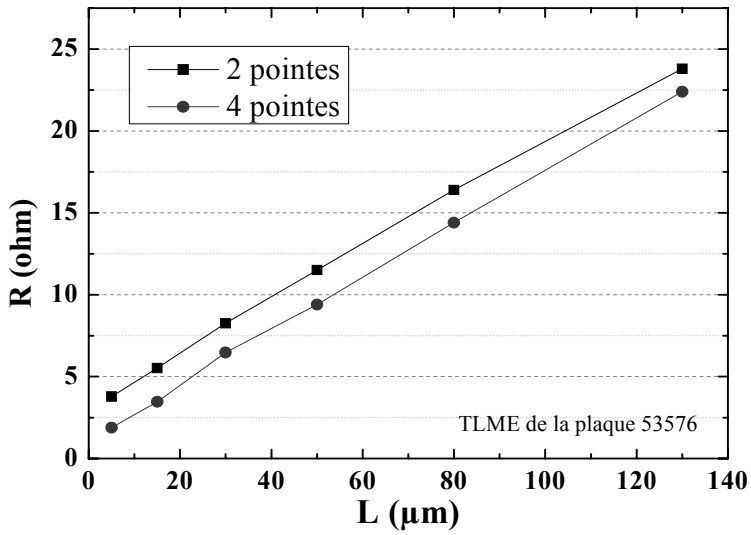


Figure 2. 19 : *Comparaison entre la mesure 2 et 4 pointes*

Le *Tableau 2. 8* et le *Tableau 2. 9* indiquent les valeurs moyennes des paramètres extraits à partir de la droite R (L) et la dispersion associée de tous les types de TLM sur les plaques de la G0.

- Concernant les TLMB :
  - La résistance de couche R_{couche} de 774 Ω/□ de la plaque 53576 est légèrement inférieure à celle de la plaque 53681 proche de 812 Ω/□.
  - La résistance de contact $R_{contact}$ de 3,14 Ω de la plaque 53576 est supérieure à celle de la plaque 53681 proche de 0,625 Ω.
  - La résistivité de contact $\rho_{contact}$ de 8,15 x 10^{-07} Ω.cm² de la plaque 53576 est supérieure à celle de la plaque 53681 proche 3,13 x 10^{-08} Ω.cm².
- Concernant les TLME :
  - La résistance de couche R_{couche} de 12,83 Ω/□ de la plaque 53576 est comparable à celle de la plaque 53681 proche de 12,30 Ω/□.
  - La résistance de contact $R_{contact}$ de 0,62 Ω de la plaque 53576 est supérieure à celle de la plaque 53681 proche de 0,305 Ω.
  - La résistivité de contact $\rho_{contact}$ de 1,97 x 10^{-06} Ω.cm² de la plaque 53576 est inférieure à celle de la plaque 53681 proche de 4,68 x 10^{-07} Ω.cm².
- Concernant les TLMC :
  - La résistance de couche R_{couche} de 7,2 Ω/□ de la plaque 53576 est égale à celle de la plaque 53681 proche de 7,15 Ω/□.
  - La résistance de contact $R_{contact}$ de 0,75 Ω de la plaque 53576 est supérieure à celle de la plaque 53681 proche de 0,30 Ω.

- La résistivité de contact $\rho_{contact}$ de 5,1 x 10^{-06} Ω.cm² de la plaque 53576. est supérieure à celle de la plaque 53681 proche de 7,7 x 10^{-07} Ω.cm².

Tableau 2. 8 : Paramètres extraits des TLM base, TLM émetteur et TLM collecteur de la plaque 53576

	TLMB	**TLME**	**TLMC**
R_{couche}(Ω/□)	774 ± 4	12,83 ± 0,20	7,2 ± 0,5
$R_{contact}$(Ω)	3,14 ± 1	0,62 ± 0,16	0,75 ± 0,2
L_T (µm)	0,31 ± 0,09	3,68 ± 0,68	0,0007 ± 0,0002
$\rho_{contact}$ (Ω.cm²)	$8,15x10^{-07} \pm 2,5x10^{-07}$	$1,97x10^{-06} \pm 0,8x10^{-06}$	$5,1x10^{-06} \pm 2,6x10^{-06}$

Tableau 2. 9 : Paramètres extraits des TLM base, TLM émetteur et TLM collecteur de la plaque 53681

	TLMB	**TLME**	**TLMC**
R_{couche}(Ω/□)	812 ± 3	12,305 ± 0,025	7,155 ± 0,045
$R_{contact}$(Ω)	0,625 ± 0,2	0,305 ± 0,005	0,305 ± 0,0205
L_T (µm)	0,06 ± 0,02	1,945 ± 0,075	3,40 ± 0,30
$\rho_{contact}$ (Ω.cm²)	$3,13 x10^{-08} \pm 1,90x10^{-08}$	$4,68x10^{-07} \pm 0,34x10^{-07}$	$7,7x10^{-07} \pm 0,8x10^{-07}$

La plaque 53576, elle n'a pas vu de traitement de surface ozone+UV, ce qui peut expliquer une résistivité de contact $\rho_{contact}$ (et donc une résistance de contact $R_{contact}$) plus élevée que celle des TLM de la 53681 qui a vu le traitement de surface de la base. Dans ces tableaux, nous remarquons que la dispersion technologique est minime pour les résistances de couche. En ce qui concerne les résistivités de contact, les valeurs respectives et leur dispersion sont faibles.

Pour le contact de base, une telle dispersion témoigne de la bonne qualité et de l'homogénéité de l'interface entre la métallisation de la base et la couche d'InGaAs. Ce résultat est le fruit d'un traitement ozone+UV de la surface de la base. Ce traitement permet à la fois de réduire la résistivité de contact ainsi que la longueur de transfert. Une étude approfondie sur le traitement de la surface de base est reportée dans [8].

3.1.3. Caractéristiques électriques des transistors

Les caractéristiques électriques permettent d'évaluer les performances des transistors. On distingue les caractéristiques statiques et les caractéristiques dynamiques. La caractérisation initiale (avant les tests) des performances statiques et dynamiques est nécessaire dans le but d'évaluer la dispersion technologique des transistors des différentes filières sous tests.

3.1.3.1. Caractérisation statique initiale

Les caractéristiques statiques sont mesurées pour chacune des géométries des TBH G0, La Figure 2. 20 présente les tracés de Gummel à V_{BC} nulle des TBH des 3 géométries des deux plaques G0, Pour tous les TBH, nous remarquons :

- un courant de fuite très faible (de l'ordre du pico-ampère),
- que le transistor commence à fournir du gain aux alentours de V_{BE} = 0,35 V (Figure 2. 21).
- que les coefficients d'idéalité des jonctions base-émetteur et base-collecteur sont très proches pour toutes les géométries. Le coefficient d'idéalité de la base est aux environs de 1,38 et 1,42 pour les plaques 53576 et 53681 respectivement.
- que le niveau des courants est proportionnel à la géométrie de l'émetteur. Les expressions des courants de base et de collecteur sont données dans l'équation **2. 11** et l'équation 2. 12 [7] respectivement.
- Que l'allure des gains en courant est similaire (Figure 2. 21), avec β_{max} aux alentours de 19 obtenu pour V_{BE} égale à 0,96 V pour les deux plaques.

$$I_p(x) = I_B = qA_E p(x)\mu_{pB}(x)E(x) - qA_E D_{pB}(x)\frac{dp(x)}{dx} \qquad \text{Équation 2. 11}$$

$$I_n(x) = I_C = qA_E n(x)\mu_{nB}(x)E(x) - qA_E D_{nB}(x)\frac{dn(x)}{dx} \qquad \text{Équation 2. 12}$$

Avec E(x) le champ électrique, n(x) et p(x) respectivement la concentration des électrons et des trous, μ leur mobilité, D leur coefficient de diffusion, A_E l'aire d'émetteur.

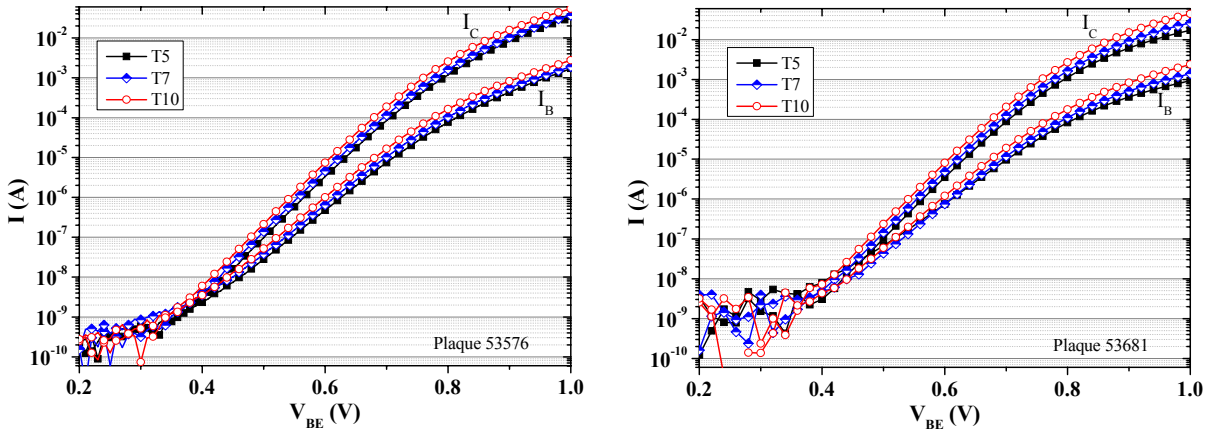


Figure 2. 20 : *Tracés de Gummel des transistors de la génération 0*
(a) *Plaque 53576* ***(b)*** *Plaque 53681*

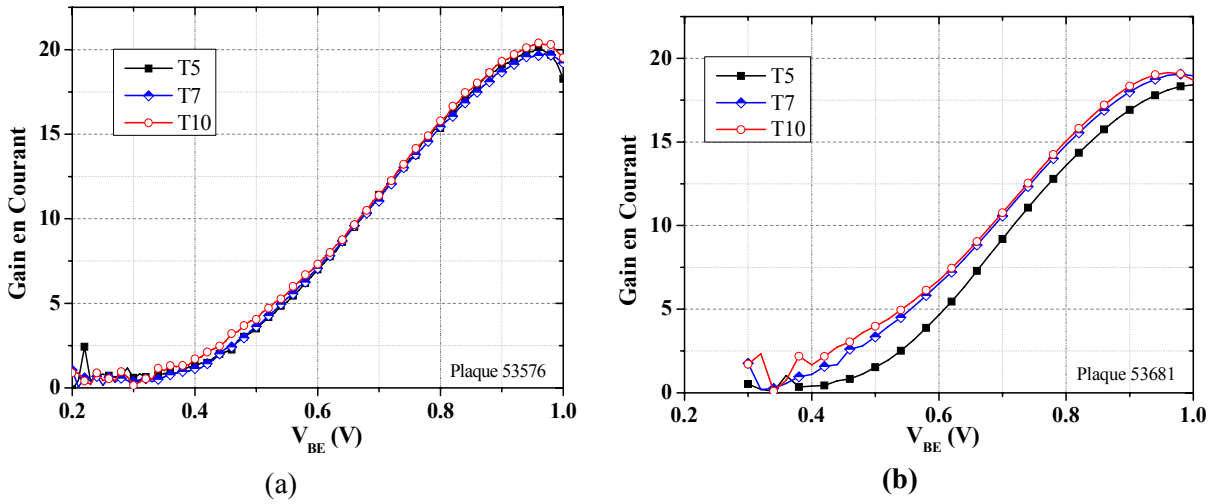


Figure 2. 21 *: Gain en courant des transistors de la génération 0 des 2 plaques*
(a) *Plaque 53576* ***(b)*** *Plaque 53681*

La Figure 2. 22, représentant le réseau de sortie I_C (V_{CE}) à courant de base constant, indique que :

- la tension de décalage V_Δ est la même pour tous les transistors quelle que soit la géométrie. Ceci est signe de l'homogénéité des épitaxies E-B et B-C sur toute la plaque.
- les pentes des courants dans le régime de saturation sont différentes. Ceci indique que la somme des résistances d'accès (R_C + R_E) varie selon la géométrie du transistor.
- la manifestation de l'auto-échauffement est plus spectaculaire pour les TBH de petite géométrie. La diminution de I_C due à l'auto-échauffement est beaucoup plus

marquée pour un T5 que pour les T7 et T10. Dans le cas des petites géométries le résistance thermique est plus importante (cf. évaluation chapitre 3).

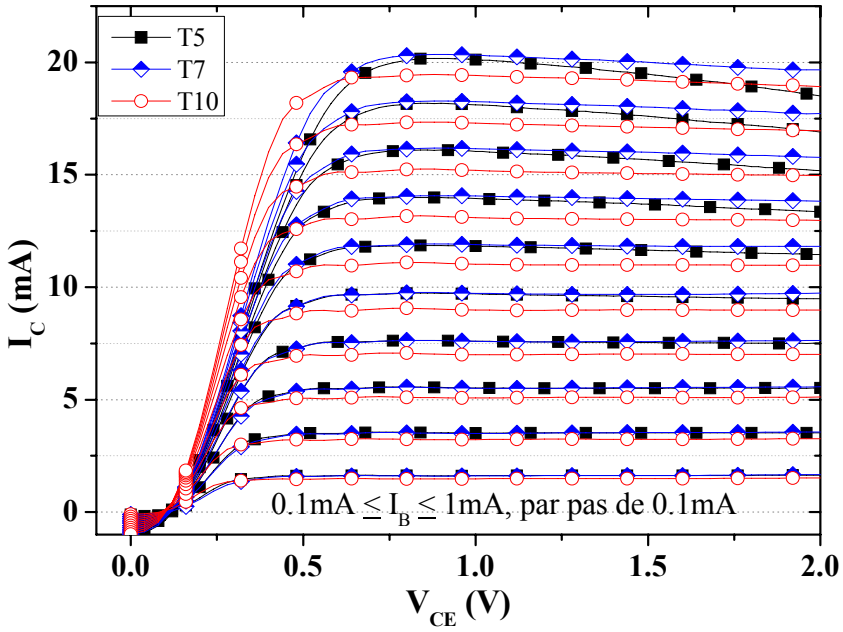


Figure 2. 22 : *Réseaux de sortie I_C (V_{CE}) à I_B constant des 3 géométries de TBH : T5 (5x0,7 µm²), T7 (7x0,7 µm²) et T10 (10x0,7 µm²)*

3.1.3.2. Performances dynamiques

La Figure 2. 23 et la Figure 2. 24 montrent les fréquences d'oscillation maximale f_{max} et de transition f_T des transistors G0 pour les plaques 53576 et 53681 respectivement. Pour la plaque 53576, la valeur maximale de f_{max} est de 258, 253, 245 GHz et la valeur maximale de f_T est de 247, 264 et 261 GHz pour les T5, T7 et T10 respectivement. Concernant la plaque 53681, la valeur maximale de f_{max} est de 273, 267, 265 GHz respectivement pour les T5, T7 et T10. Dans le même ordre, celle de f_T est de 245, 254 et 253 GHz. Nous notons que les valeurs maximales de f_{max} de la plaque 53576 sont inférieures à celles de la plaque 53681, ceci est probablement dû à l'amélioration technologique effectuée sur la structure épitaxiale de la plaque 53681 (*Tableau 2. 3*). Mais concernant les valeurs maximales de f_T, c'est le cas inverse, ceci est probablement lié une résistance d'accès d'émetteur R_E élevée des TBH de la plaque 53681. Pour les applications visées dans le projet ROBUST, il est préférable d'avoir des transistors avec une fréquence de transition f_T la plus élevée possible. Une étude portée sur les influences des paramètres technologiques sur les performances dynamiques est détaillée dans [8].

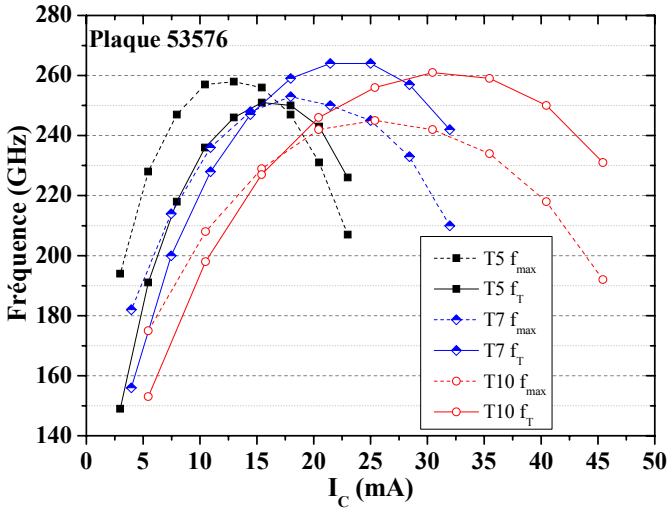


Figure 2. 23 : *Performances dynamiques des TBH de la plaque 53576 de la génération 0*

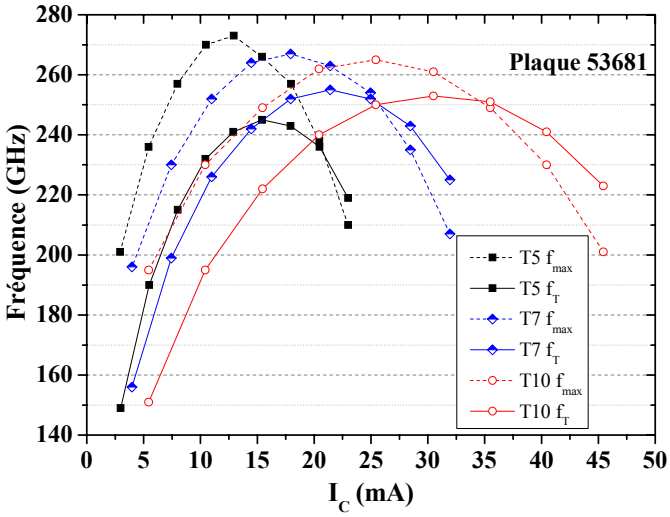


Figure 2. 24 : *Performances dynamiques des TBH de la plaque 53681 de la génération 0*

3.1.3.3. Dispersion technologique initiale des performances statiques

La Figure 2. 25 présente les tracés de Gummel en direct des TBH trois des géométries de la plaque 53576. Le nombre de transistors représentés est de 10 pour les T5 et pour les T7 et de 12 pour les T10. Les transistors commencent à fournir du gain à V_{BE} égale à 0,375 V. Pour les tensions V_{BE} inférieures à 0,4 V, à cause du bruit de mesure trop important, nous n'analysons pas les mesures. Pour les tensions V_{BE} supérieures à 0,4 V, nous remarquons que la dispersion technologique est très limitée et ce quelle que soit la géométrie de TBH

considérée. La variation technologique est évaluée pour chaque courbe et est donnée en encart pour les tensions V_{BE} égale à 0,5 V et 1 V.

A une tension V_{BE} de 0,5 V, la dispersion est :

- Pour le courant de collecteur I_C, de 14% pour les 10 TBH T5 et T7 caractérisés et de 17% pour les 12 TBH T10 caractérisés.
- Pour le courant de base I_B, de 29 et 32% respectivement pour les T5 et T7 et de 12% pour les T10.

A une tension V_{BE} de 1 V, la dispersion est :

- Pour le courant de collecteur I_C, de 33, 25 et 24% respectivement pour les T5, T7 et T10 caractérisés.
- Pour le courant de base I_B, de 37, 27 et 36% respectivement pour les T5, T7 et T10 caractérisés.

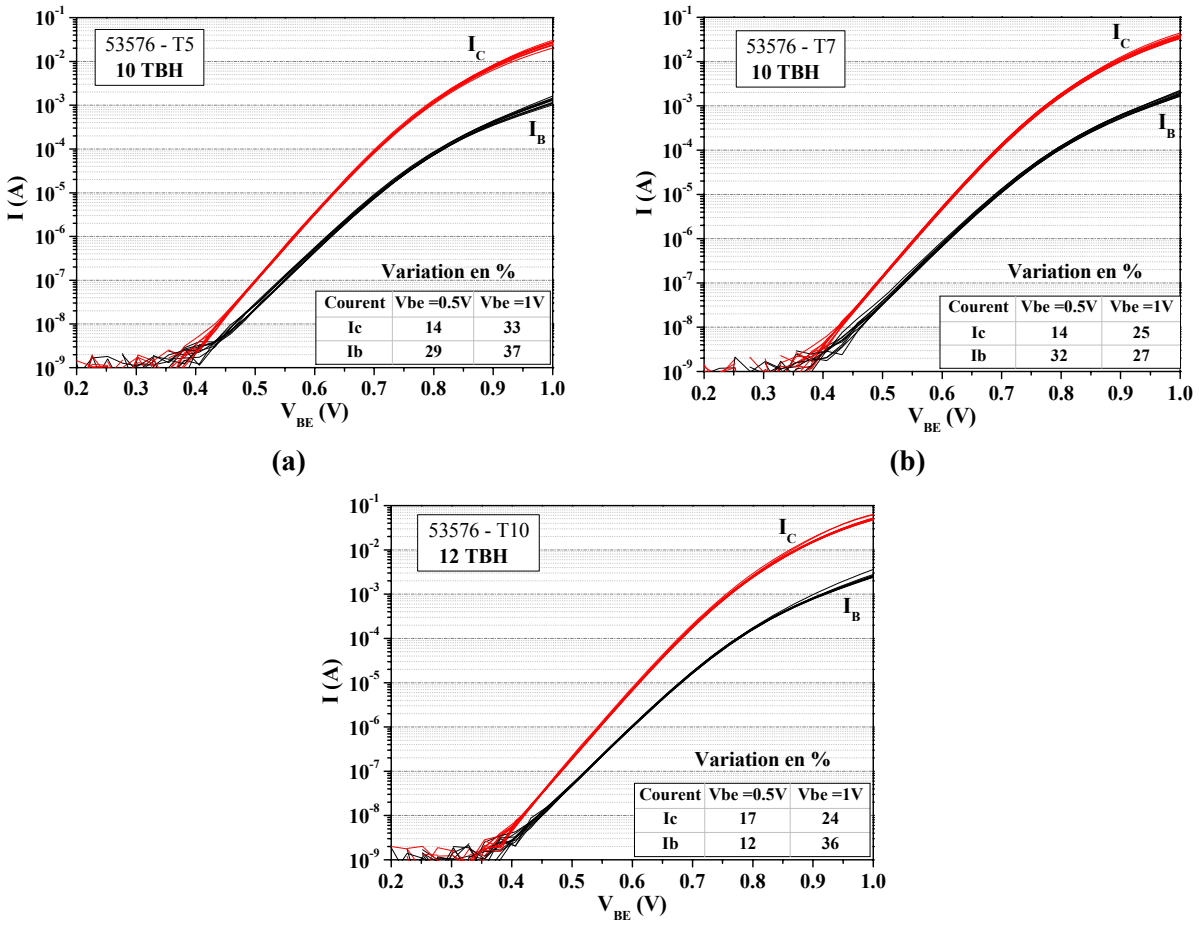


Figure 2. 25 *: Tracés de Gummel des transistors de la plaque 53576 (G0)*
(a) *T5* ***(b)*** *T7* ***(c)*** *T10*

Nous remarquons une dispersion technologique, des TBH des différentes géométries, qui reste acceptable. Une faible dispersion technologique est signe de maturité de la technologie. Cette dispersion technologique minime est un avantage pour cette génération car elle facilite l'adaptation des filtres utilisés lors des tests de vieillissement sous contraintes thermique et électrique et elle garantit, a priori, l'homogénéité des résultats des tests de vieillissement accéléré. Cette homogénéité facilite la mise en évidence du(des) mécanisme(s) générique(s) de défaillance de la filière.

La Figure 2. 26 montre les caractéristiques I_C (V_{CE}) à I_B constant de plusieurs transistors des 3 géométries sous test. Lors des mesures I_C (V_{CE}), la valeur maximale du courant de base I_{Bmax} est telle que le courant de collecteur I_C mesuré reste dans la SOA du transistor caractérisé. Ainsi, I_{Bmax} est de 0,5, 0,7 et 1 mA pour les TBH T5, T7 et T10 respectivement. La dispersion technologique quantifiée dans la zone linéaire pour I_{Bmax} est de 10, 8 et 7 % pour les TBH T5, T7 et T10 respectivement. Pour les T5, on remarque une faible dispersion de la pente dans le régime de saturation. Ceci traduit la faible dispersion des valeurs des résistances d'accès R_E et R_C. Cette remarque est valable pour les géométries T7 et T10.

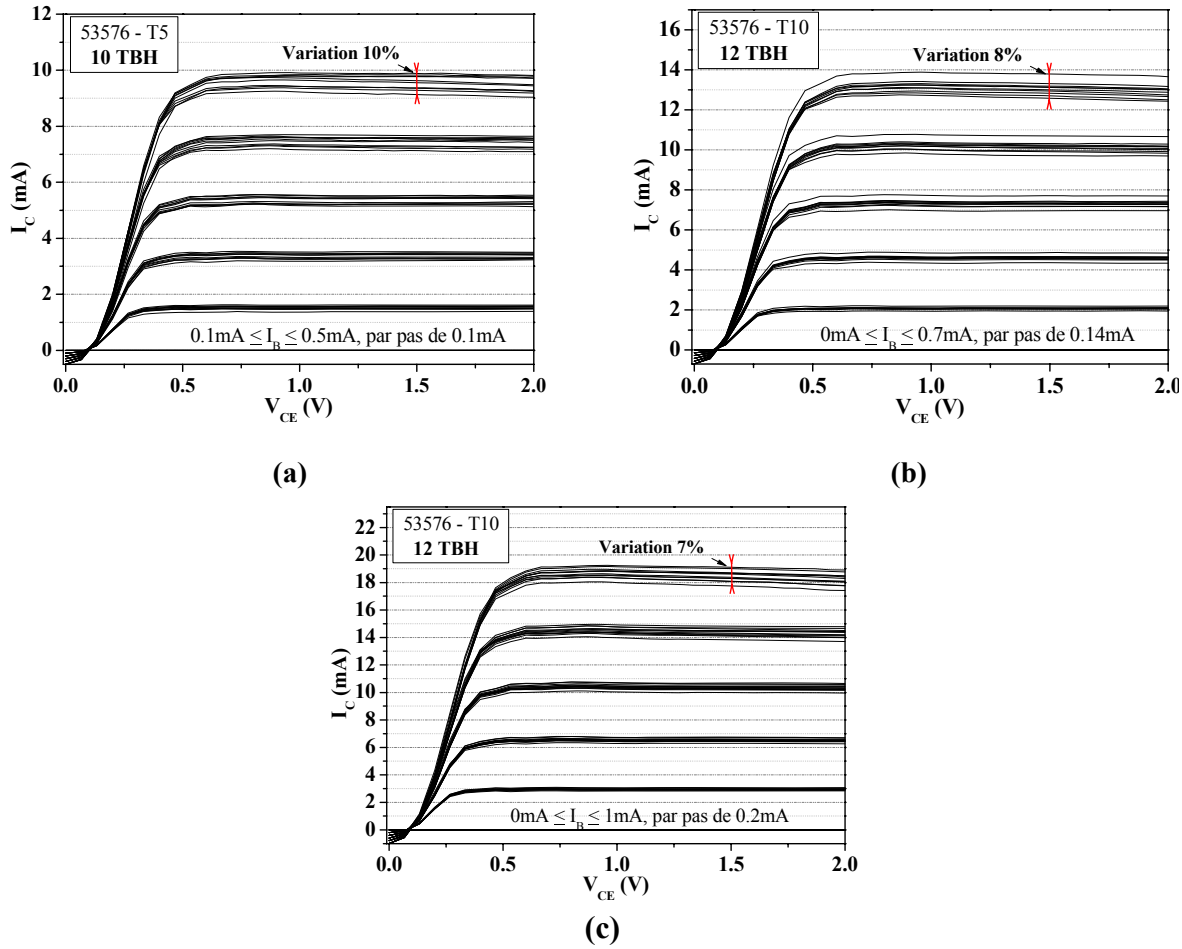


Figure 2. 26 *: Caractéristiques I_C (V_{CE}) à I_B constant des transistors de la plaque 53576 (G0) pour les TBH de la plaque 53576 (G0)*

(a) *T5* ***(b)*** *T7* ***(c)*** *T10*

La Figure 2. 27 présente les tensions de claquage BV_{CE0} des TBH en montage émetteur commun. La tension de claquage BV_{CE0} est obtenue en mesurant le courant I_C en fonction de la tension V_{CE} tout en forçant le courant I_B à 0 A. Cette mesure de BV_{CE0} a été réalisée pour tous les TBH de toutes les générations. On note que la valeur de la tension de claquage diminue pour une aire d'émetteur croissante. En se plaçant à I_C = 100 µA, BV_{CE0} est supérieure à 4 V pour les T5, elle est d'environ 4 V pour les T7 et est inférieure à 4 V pour les T10. Ceci place ces TBH parmi les transistors qui ont la tension de claquage BV_{CE0} la plus élevée (*Tableau 2. 10*). Les valeurs de BV_{CE0} des TBH étudiés ici sont largement supérieures à celles des transistors de la technologie SiGe données dans le *Tableau 2. 11*. Toujours à I_C = 100 µA nous pouvons quantifier la dispersion de la tension de claquage BV_{CE0}. Ainsi, on a 4,2, 6,3 et 3,5% de dispersion de BV_{CE0} pour les TBH T5, T7 et T10 respectivement.

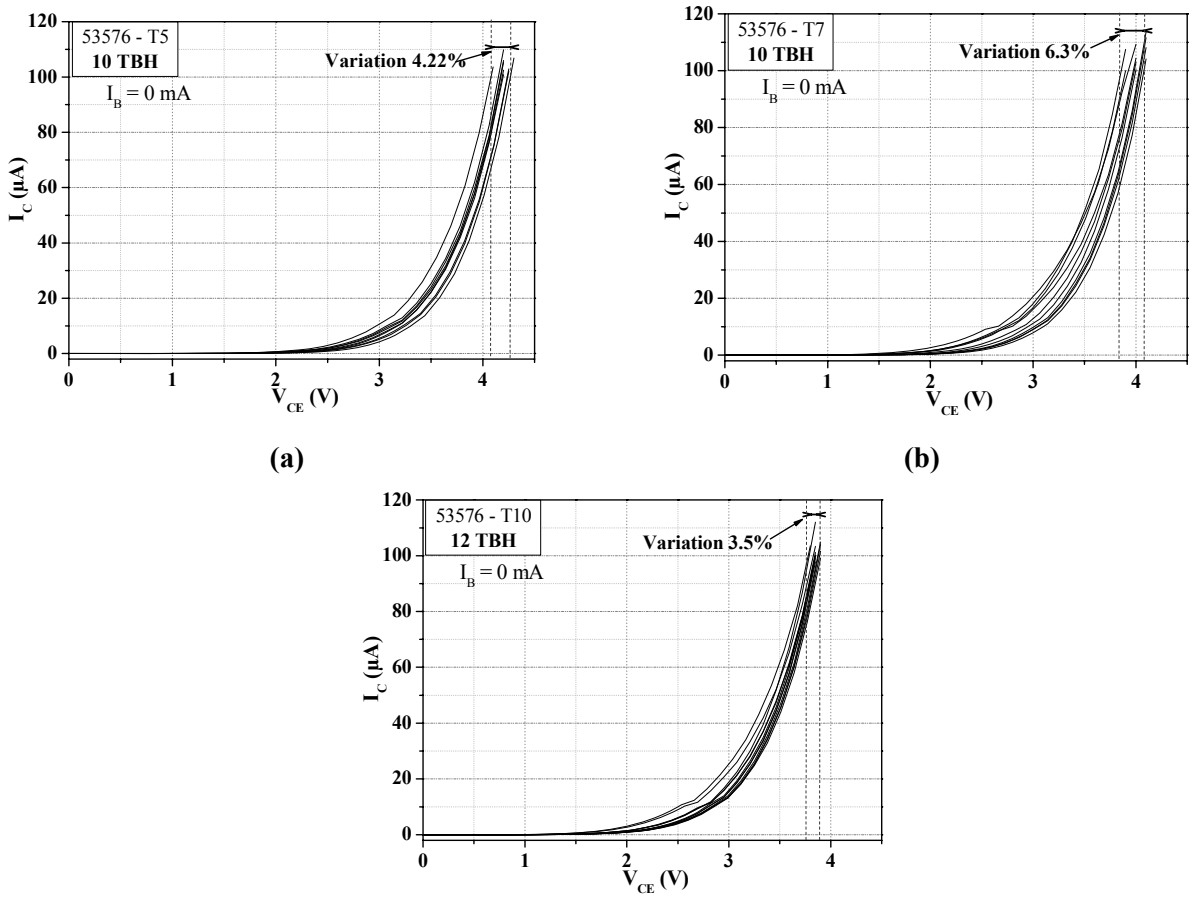


Figure 2. 27 : *Tension de claquage BV_{CE0} des TBH de la plaque 53576 (G0)*
***(a)** T5 **(b)** T7 **(c)** T10*

***Tableau 2. 10 : Etat de l'art sur la tension de claquage BV_{CE0} des TBH InP* [8]**

Laboratoire	W_E (µm)	BV_{CE0} (V)
UCSB (2005)	0,25	1,75
UCSN (2007)	0,52	3,2
	0,3	4,6
Technion (2008)	0,45	>3
IAF (2008)	1	5
Anritsu (2008)	1	6,2
AT III-V Lab (G0)	0,7	4
AT III-V Lab (G2)	0,7	5

Tableau 2. 11 : Etat de l'art sur la tension de claquage BV_{CE0} des TBH SiGe

Laboratoire	W_E (µm)	BV_{CE0} (V)
IBM [77] **(2006)**	0,13	1,5
Infineon [78] **(2006)**	0,14	1,8
Hitachi [79] **(2006)**	0,18	2
IHP [80] **(2004)**	0,18	1,8
Freescale [81] **(2002)**	0,18	2
ST Microelectronics [82] **(2007)**	0,13	1,48
IHP[83] **(2009)**	0,13	1,7

3.1.3.4. Dispersion technologique initiale des performances dynamiques

Les courbes de f_{max} et f_T en fonction de I_C de tous les transistors sous tests sont présentées sur la Figure 2. 28. Les valeurs maximales de f_{max} et f_T ainsi que leur dispersion et le courant de collecteur I_C correspondant de la Figure 2. 28 sont reportées dans le *Tableau 2. 12*. Dans ce tableau, on remarque que :

- Les valeurs des courants de collecteur correspondant au maximum de f_{max} et f_T augmentent pour les TBH avec une longueur d'émetteur élevée.
- La dispersion de f_{max} est de 8,6, 2,9 et 5,5 % pour les TBH T5, T7 et T10 respectivement,
- La dispersion de f_T est, dans le même ordre, de 4,6, 3,4 et 2,2 %,

La dispersion de f_T est un peu plus importante pour les petites géométries. Quant à la dispersion de f_{max}, elle ne semble pas, au premier ordre, être liée à la géométrie des TBH. D'une manière générale, on constate que la dispersion de f_{max} est plus importante que celle de f_T.

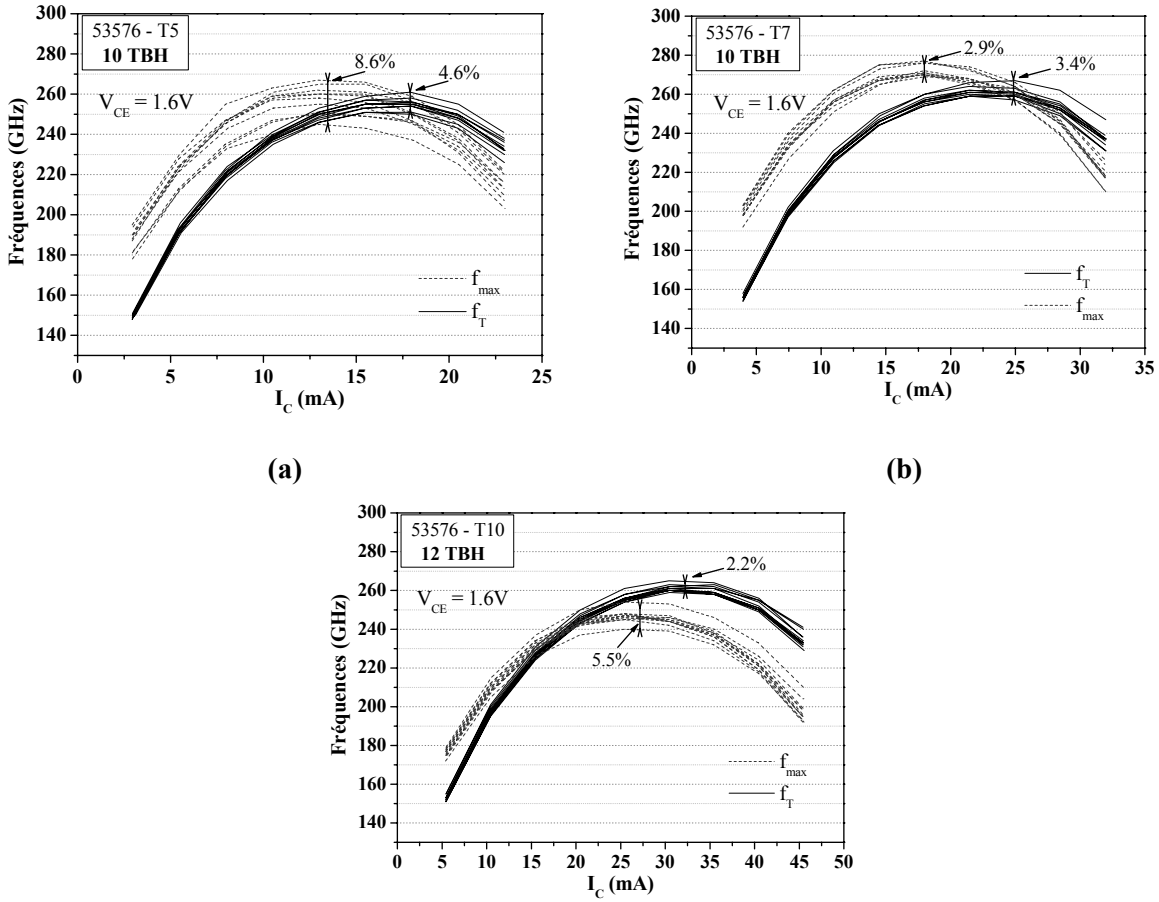


***Figure 2. 28** : Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TBH de la plaque 53576 (G0)*
***(a)** T5 **(b)** T7 **(c)** T10*

Tableau 2. 12 : Récapitulatif de la dispersion technologique des valeurs de f_{max} et f_T des TBH de la G0

Types	Paramètres	Maximum (GHz)	Dispersion (%)	@ I_C (mA)
T5	f_T	250-261	~4,8	17,9
	f_{max}	244-267	~8,6	13,45
T7	f_T	256-266	~3,4	24,8
	f_{max}	269-276	~2,9	17,9
T10	f_T	258-264	~2,2	32,2
	f_{max}	239-253	~5,5	27,1

3.2. La génération 1 de la filière III-V Lab

Les transistors de la génération 1 sont issus de la plaque 53938. Pour cette génération et la génération 2, les structures TLM ne sont pas étudiées car elles ne figurent pas sur la plaque. Cependant, comme la nature des contacts de la génération 1 est identique à celle de la génération 0, les mécanismes de dégradation liés aux contacts ohmiques seront supposés similaires à ceux de la G0.

3.2.1. Les TBH sous test

3.2.1.1. Epitaxie

Le *Tableau 2. 13* montre la structure épitaxiale de la génération 1. Les différences majeures entre cette génération et la précédente se situent au niveau :

- de l'épaisseur de la couche de sous-collecteur 2, qui est réduite de près 83%,
- des matériaux utilisés pour la réalisation de la passivation : BCB pour la G0 et polyimide pour la G1. On verra plus loin que le matériau de passivation joue un rôle important sur les résultats de fiabilité de cette génération.

Tableau 2. 13 : Structure épitaxiale de la plaque 53938 de la génération 1

Couche	Type	Matériau	Dopant	Epaisseur (nm)
Contact Emetteur 2	N +	$In_{0,53}Ga_{0,47}As$	Si	100
Contact Emetteur 1	N +	InP	Si	180
Emetteur	N -	InP	Si	40
Base	P +	$In_{X-1}Ga_XAs$	C	*≈30*
Collecteur 3	N -	$In_{0,53}Ga_{0,47}As$	Si	30
Collecteur 2	N -	InP	Si	20
Collecteur 1	N -	InP	Si	80
Sous-collecteur 3	N +	InP	Si	50
Sous-collecteur 2	N +	$In_{0,53}Ga_{0,47}As$	Si	**<30**
Sous-collecteur 1	N +	InP	Si	350
Couche d'arrêt		$In_{0,53}Ga_{0,47}As$		10

Ces améliorations technologiques ont entrainé la réduction de la résistance thermique R_{Th} des TBH G1 d'environ 30 % par rapport à celle des TBH G0. Les valeurs de R_{Th} des TBH des deux générations sont mentionnées dans le *Tableau 2. 14.*

Tableau 2. 14 : Comparaison des valeurs de résistance thermique des TBH G0 et G1

TBH	**Resistance thermique (K/W)**	
	Génération 0	Génération 1
T5	5157	3390
T7	4064	2680
T10	3100	1950

Les empilements de métaux formant les couches de contact d'émetteur, de base et de collecteur sont définis dans le *Tableau 2. 15*.

Tableau 2. 15 : Description des couches métalliques des contacts des TBH G1

Contact	Matériaux
Émetteur	Ti/Au/Ti/Au
Base	Ti/Au
Collecteur	Ti/Au

3.2.1.2. Géométrie des masques et géométrie effective

La géométrie des masques et la géométrie effective sont identiques pour toutes les générations de TBH provenant de chez III-V Lab. Ainsi les dimensions sont identiques à celles données pour la G0 (*Tableau 2. 6*).

3.2.2. Caractéristiques électriques

3.2.2.1. Caractérisation statique initiale

Voici une présentation des caractéristiques statiques typiques de la G1 de III-V Lab. La Figure 2. 29 (a) montre la comparaison des tracés de Gummel de deux T10 dont l'un est de la génération 0 et l'autre, de la génération 1. Nous notons que :

- Pour $V_{BE} \leq 0{,}2$ V, c'est-à-dire aux faibles niveaux d'injection, le courant de fuite est plus faible pour le TBH G1. Ceci peut être relié à la différence de matériau de passivation, du BCB pour les TBH G0 et du polyimide pour les TBH G1.

- Pour $0,2 \leq V_{BE} \leq 0,8$ V, c'est-à-dire aux niveaux d'injection intermédiaires, le niveau du courant de recombinaison est plus important pour les TBH G1.
- Pour $V_{BE} \geq 0,8$ V, aux forts niveaux d'injection, l'effet Kirk (EK) et l'auto-échauffement (AE) sont plus importants dans les transistors G0.

Les différences entre les caractéristiques statiques des deux générations sont résumées dans le *Tableau 2. 16*. Sur la Figure 2. 29 (b), l'allure des gains en courant indique clairement que le gain maximal du TBH G1, qui est de 27, est supérieur à celui du TBH G0, qui est de 18.

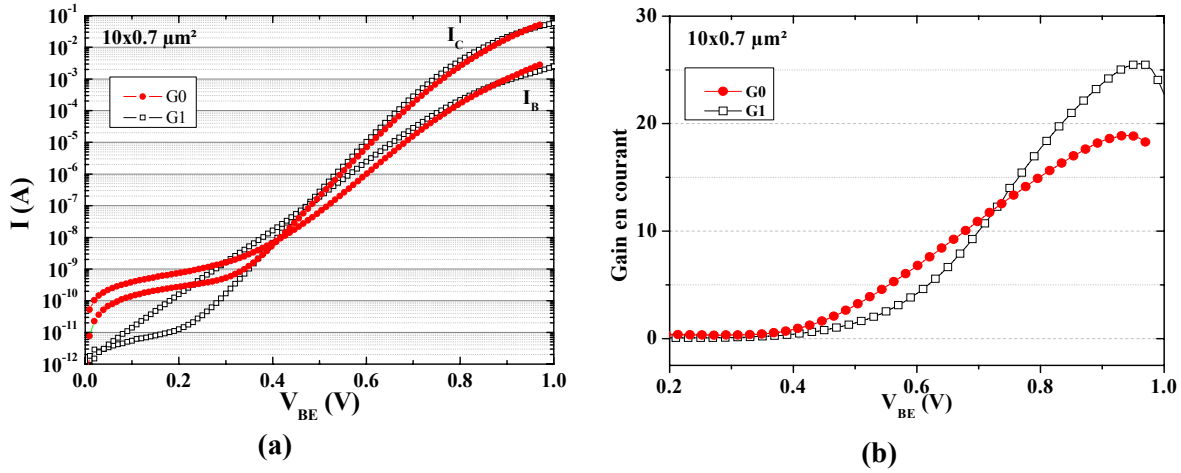


Figure 2. 29 *: Comparaison entre un T10 G0 et un T10 G1*
(a) *Tracés de Gummel en direct* ***(b)*** *Gain en courant*

Tableau 2. 16 : Tableau comparatif des mécanismes de transport de charge observés sur les tracés de Gummel en direct des TBH G0 et G1

	$0,2\text{ V} \leq V_{BE}$	$0,2 \leq V_{BE} \leq 0,8$ V	$0,8 \leq V_{BE} \leq 1$ V
	Courant de fuite	Recombinaisons	EK + AE
G0	+ +	-	+
G1	+	+	-

Les améliorations technologiques apportées à la génération G1 ont également, permis d'augmenter sa tension de claquage $BV_{CE0,}$ Elle est située entre 4,9 et 5,1 V selon la géométrie, ce qui est supérieur à la valeur de 4 V de la génération 0.

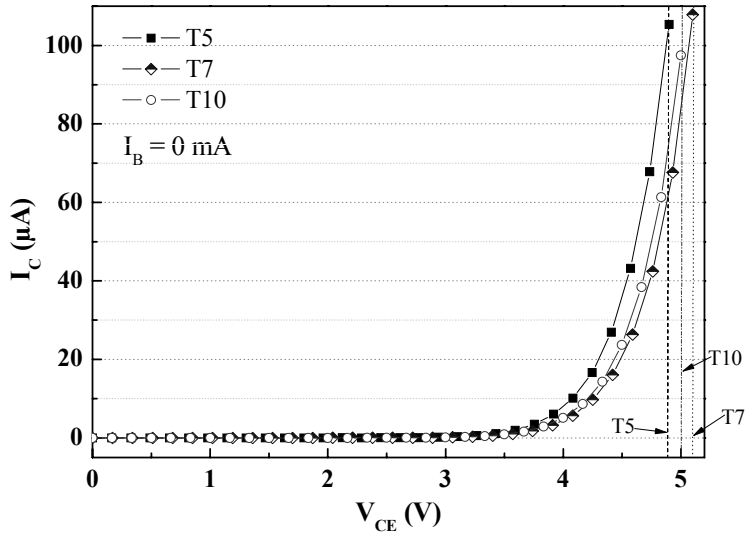


Figure 2. 30 : *Tension de claquage BV_{CE0} des TBH G1 (T5 (5x0,7 µm²), T7 (7x0,7 µm²) et T10 (10x0,7 µm²))*

3.2.2.2. Dispersion technologique initiale des performances statiques

La Figure 2. 31 présente les tracés de Gummel en direct des TBH G1. Pour chaque géométrie de TBH, 20 transistors ont été caractérisés. Nous remarquons que :

- Pour V_{BE} égale à 0,5 V, la dispersion technologique des courants I_C et I_B est 2 fois supérieure à celle des TBH de la génération précédente (Figure 2. 25). Ceci est peut être dû à l'utilisation du polyimide.
- Pour V_{BE} égale à 1 V, la dispersion technologique du courant de collecteur I_C est inférieure à celle des TBH G0. La dispersion observée sur le courant de base I_B est légèrement inférieure pour les TBH G1 à celle des TBH G0.

En encart des graphes de la Figure 2. 31, sont quantifiées les dispersions technologiques des courants de base (I_B) et de collecteur (I_C) à V_{BE} égale à 0,5 et 1 V.

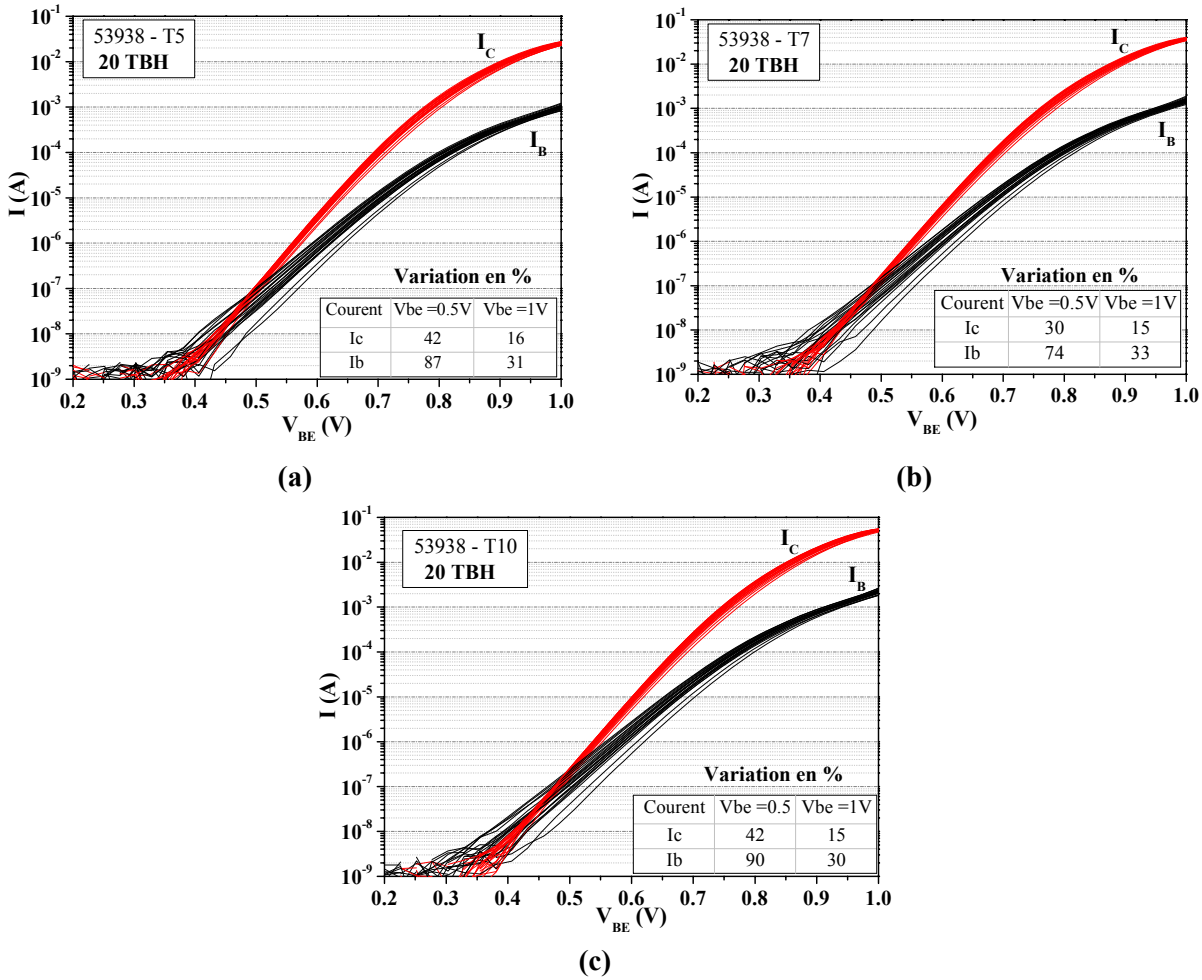


Figure 2. 31 : *Tracés de Gummel en direct des transistors de la plaque 53938(G1)*
(a) *T5* ***(b)*** *T7* ***(c)*** *T10*

La Figure 2. 32 montre les caractéristiques I_C (V_{CE}) à I_B constant des transistors sous tests des 3 géométries. Ici, on remarque que dans la zone de saturation, la dispersion de la pente est toujours minime. Pour le régime linéaire, en se plaçant aux plus fortes valeurs de I_B de chaque graphe, on relève une dispersion de 7, 8 et 8 % pour les T5, T7 et T10 respectivement. Les dispersions observées sur les caractéristiques I_C (V_{CE}) des TBH de cette génération ne sont pas plus importantes que celles observées sur les transistors G0 (Figure *2. 26*).

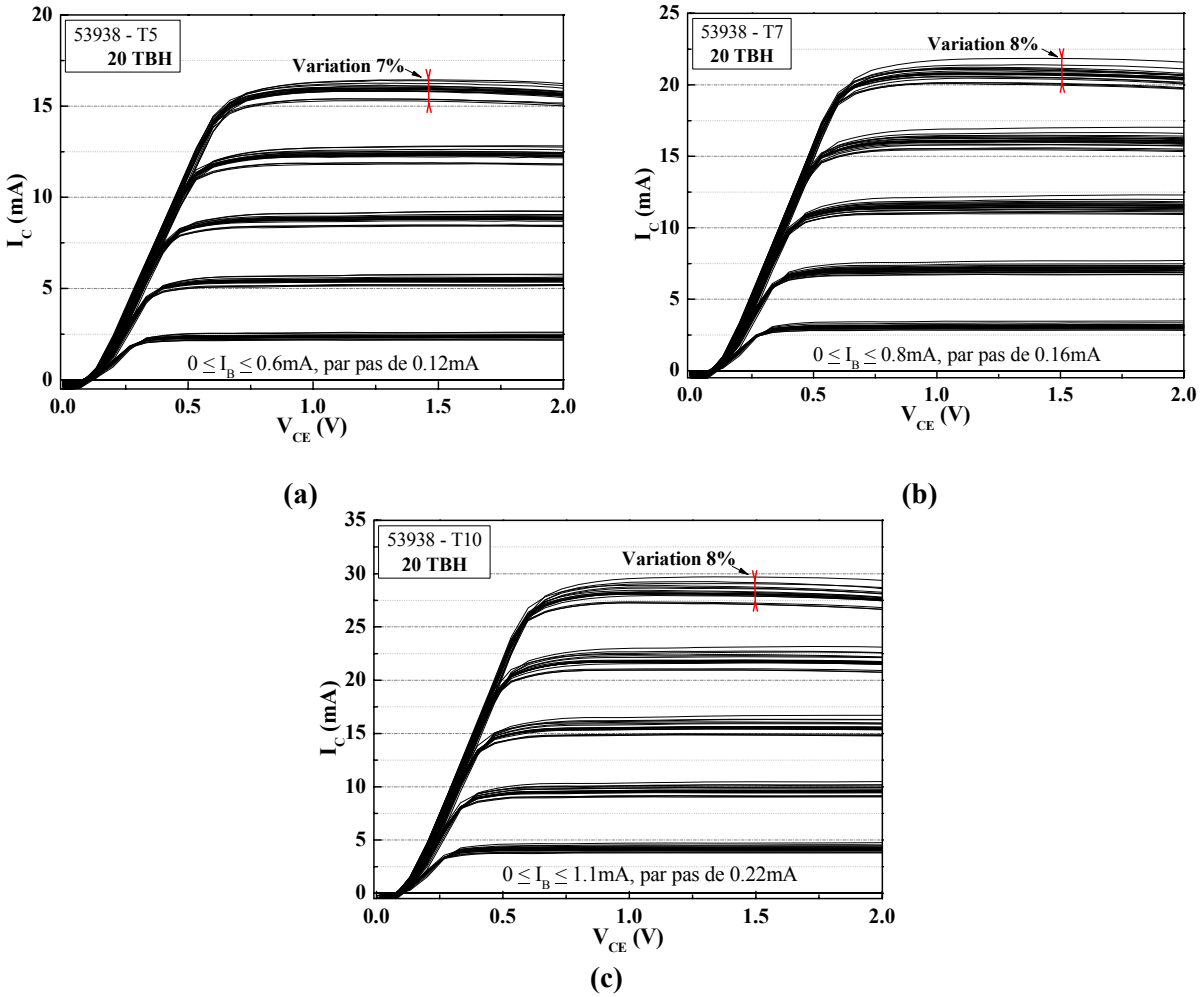


Figure 2. 32 : *Caractéristiques I_C (V_{CE}) à I_B constant pour les TBH de la plaque 53938 (G1)*
(a) *T5* ***(b)*** *T7* ***(c)*** *T10*

3.2.2.3. Dispersion technologique initiale des performances dynamiques

Les courbes de f_{max} et f_T en fonction de I_C de plusieurs transistors sont présentées sur la Figure 2. 33. On peut y lire la dispersion technologique en pourcentage pour chacune des géométries de TBH. Le *Tableau 2. 17* donne les valeurs maximales de f_{max} et f_T ainsi que leur dispersion et le courant de collecteur I_C correspondant. Malgré la dispersion relativement importante notée sur les tracés de Gummel en direct (Figure 2. 31), celle observée sur les courbes des fréquences reste très faible.

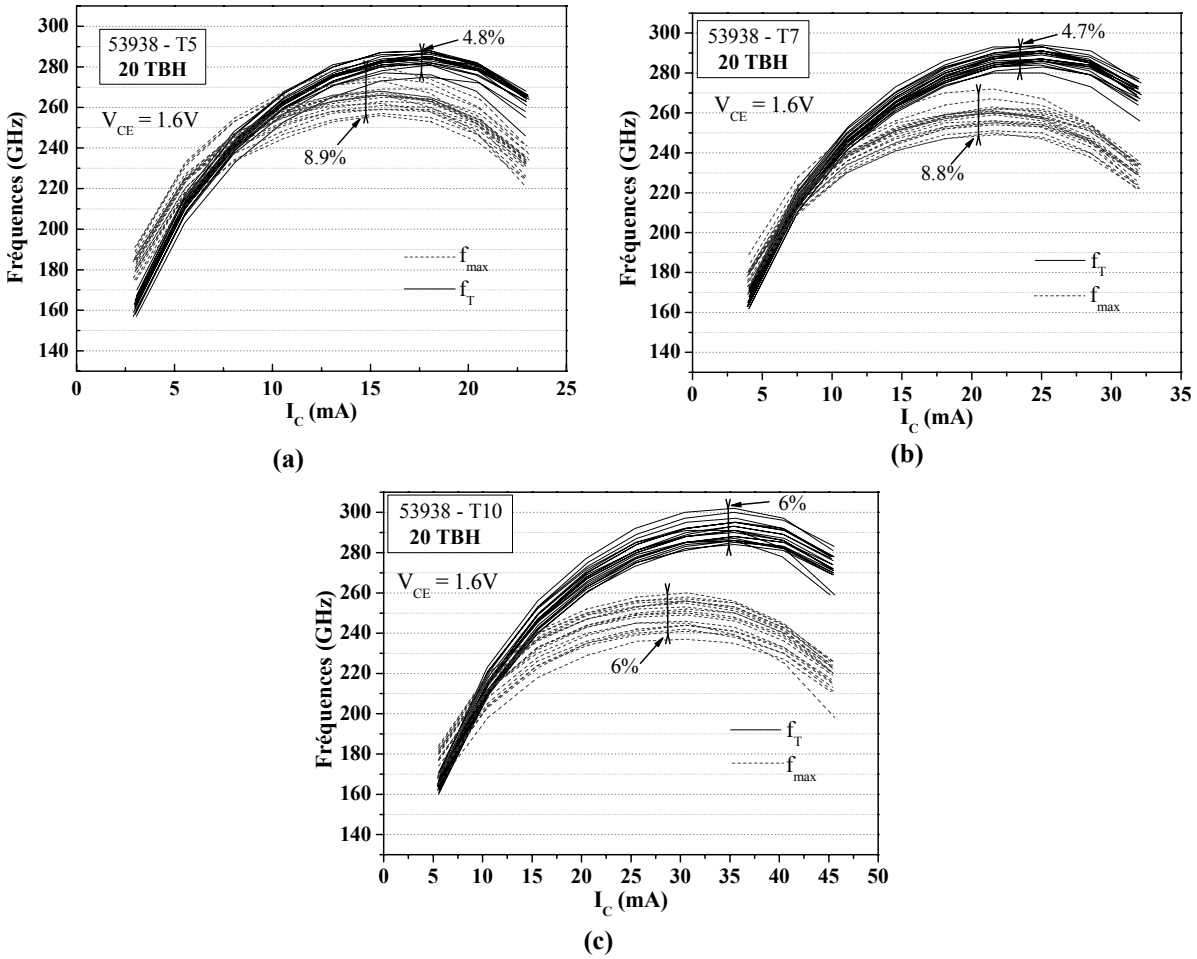


Figure 2. 33 : *Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TBH G1*
***(a)** T5 **(b)** T7 **(c)** T10*

Comme avec les TBH G0, on remarque dans le *Tableau 2. 17*, concernant les transistors de la G1, que les valeurs des courants de collecteur correspondant au maximum de f_{max} et f_T sont plus élevées pour les TBH de grande largeur d'émetteur. La dispersion technologique de f_T et f_{max} est du même ordre pour les T5 et les T7 respectivement. Pour les T10, la dispersion de f_T est égale à celle de f_{max} (6 %).

Tableau 2. 17 : Récapitulatif de la dispersion technologique sur les f_{max} et f_T des TBH G1

Types	Paramètres	Pic (GHz)	Dispersion (%)	@ I_C (mA)
T5	f_T	274-287	~4,8	17,5
	f_{max}	254-280	~8,9	14,75
T7	f_T	279-293	~4,7	23,4
	f_{max}	248-272	~8,8	20,4
T10	f_T	283-302	~6	34,8
	f_{max}	236-260	~6	28,6

3.3. La génération 2 de la filière III-V Lab

Les transistors de la génération 2 de la filière III-V Lab sont issus de la plaque 54366.

3.3.1. Les TBH sous test

La plaque 54366 offre deux classes de transistors. Elles diffèrent de par la largeur du contact de base : 0,3 µm et 0,4 µm. Le TBH de largeur de contact de base de 0,3 µm est du même type que les TBH G0 et G1 et il est noté TxB3H7 avec x = 5 ou 7 ou 10. Quant au TBH de largeur de contact de base de 0,4µm, il est noté TxB4H7 avec x = 5 ou 7 ou 10. La Figure 2. 34 montre les deux classes de TBH sur un réticule de la plaque 54366.

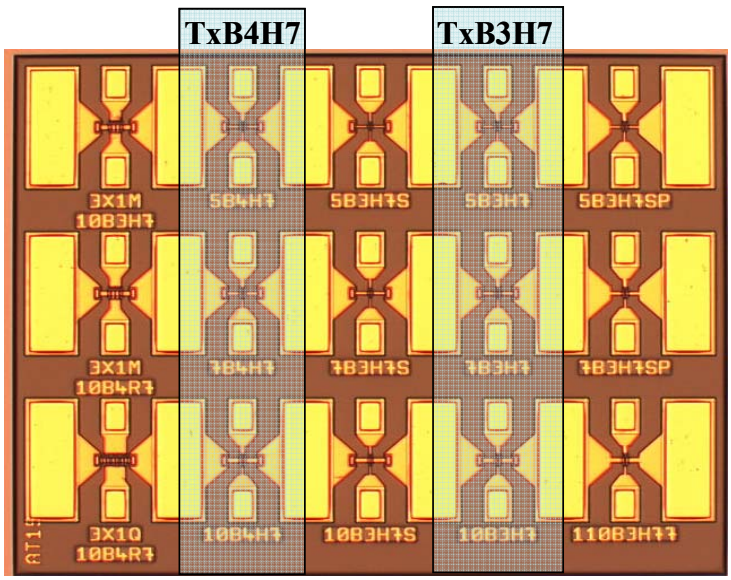


Figure 2. 34 *: Localisation des deux classes de TBH sur la plaque 54366 (G2 III-V Lab)*

3.3.1.1. Epitaxie

Les trois améliorations technologiques apportées à la génération 2 sont les suivantes :

- Le retour de la passivation générale réalisée avec du BCB comme pour la G0.
- La passivation des flancs avec du SiN (Figure 2. 35) qui recouvre le flanc de l'émetteur, du collecteur ainsi que la surface de la base extrinsèque et celle du sous-collecteur en InGaAs.
- La réduction de l'épaisseur de la couche de sous-collecteur 2. Elle passe de 25 nm pour les TBH G1 à 15 nm pour les TBH G2.

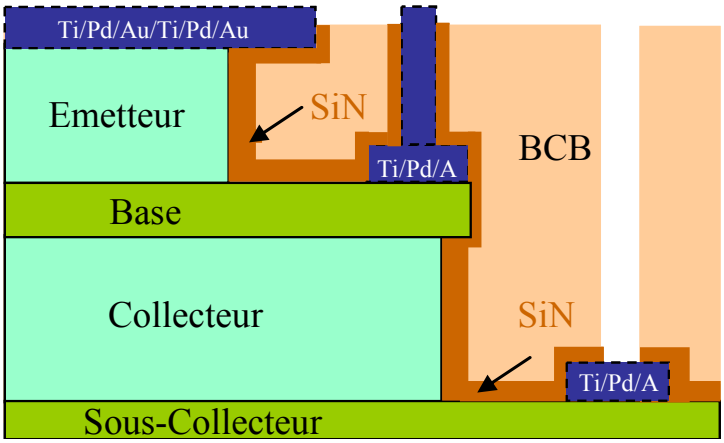


Figure 2. 35: *Structure de TBH G2 III-V Lab avec la passivation du « ledge » émetteur-base*

Le *Tableau 2. 18* donne la structure épitaxiale de la plaque 54366 de la génération 2.

Tableau 2. 18 : Structure épitaxiale de la plaque 54366 de la génération 2 de III-V Lab (G2 III-VLab)

Couche	Type	Matériau	Dopant	Epaisseur (nm)
Contact Emetteur 2	N +	$In_{0,53}Ga_{0,47}As$	Si	100
Contact Emetteur 1	N +	InP	Si	180
Emetteur	N -	InP	Si	40
Base	P +	$In_{X-1}Ga_XAs$	C	*≈30*
Collecteur 3/buffer	N -	$In_{0,53}Ga_{0,47}As$	Si	30
Collecteur 2	N -	InP	Si	20
Collecteur 1	N -	InP	Si	80
Sous-collecteur 3	N +	InP	Si	50
Sous-collecteur 2	N +	$In_{0,53}Ga_{0,47}As$	Si	**<20**
Sous-collecteur 1	N +	InP	Si	350
Couche d'arrêt		$In_{0,53}Ga_{0,47}As$		5

Les empilements des métaux formant les couches de contacts d'émetteur, de base et de collecteur sont donnés dans le *Tableau 2. 19.*

Tableau 2. 19 : Description des couches métalliques des contacts des TBH G2 III-V Lab

Contact	Matériaux
Émetteur	Ti/Pd/Au/Ti/Pd/Au
Base	Ti/Pd/Au
Collecteur	Ti/Pd/Au

3.3.2. Caractéristiques électriques

3.3.2.1. Caractéristiques initiales

La Figure 2. 36 (a) montre la comparaison des tracés de Gummel en direct de trois T10B3H7 dont un est de la génération G0, un de la génération G1 et le dernier provient de la génération G2. Nous observons que :

- Quelle que soit la génération provenant de III-V Lab, les transistors commencent tous à fournir du gain un peu avant V_{BE} égale à 0,4 V. L'influence des mécanismes de recombinaison apparait minimale pour les TBH G2 par rapport aux TBH G0 et G1.
- Pour les forts niveaux d'injection, $V_{BE} \geq 0{,}8$ V, les résistances d'accès émetteur et collecteur des TBH G2 sont plus élevées que celles des générations précédentes. Ceci se traduit par la diminution des courants de base I_B et de collecteur I_C.

Sur la Figure 2. 36 (b), on remarque que le gain maximal des TBH G2 est d'environ 30 ; il est supérieur aux valeurs maximales du gain en courant des TBH G0 et G1.

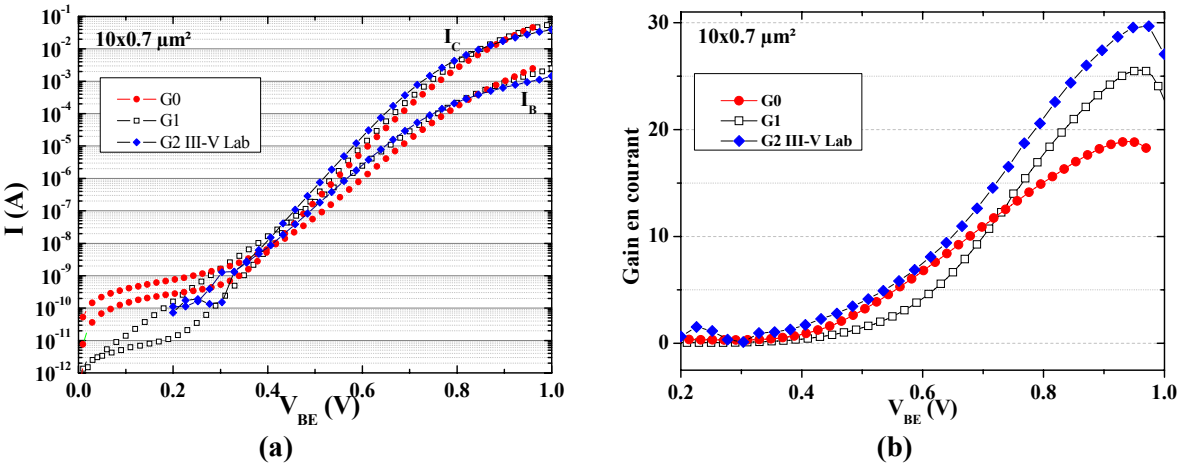


Figure 2. 36 : *Comparaison entre trois T10 des générations G0, G1 et G2 de III-V Lab*
(a) *Tracés de Gummel en direct* ***(b)*** *Gain en courant*

Les principales différences concernant la prépondérance des mécanismes de transport de charge entre les trois générations de transistors sont résumées dans le *Tableau 2. 20*.

Tableau 2. 20 : Tableau comparatif des mécanismes de transport de charge observés sur les tracés de Gummel en direct des TBH G0, G1 et G2 III-V Lab

	$0{,}2\text{ V} \leq V_{BE}$	$0{,}2 \leq V_{BE} \leq 0{,}8$ V	$0{,}8 \leq V_{BE} \leq 1$ V	
	Courant de fuite	Recombination	$R_C + R_E$	EK + AE
G0	+ +	-	+	+
G1	+	+	-	-
G2	+ +	- -	+ +	+

3.3.2.2. Dispersion technologique initiale des performances statiques

Sur la Figure 2. 37 sont présentés les tracés de Gummel en direct de deux types de TBH G2 (TxB3H7 et TxB4H7). Ainsi, on remarque que la largeur du contact de base n'a pas d'influence sur les caractéristiques statiques des transistors. En encart de chaque graphe se trouve un tableau quantifiant la dispersion technologique. On remarque que le retour du BCB comme passivation générale combiné à la passivation du « ledge » émetteur-base par le SiN semble avoir permis de diminuer la dispersion technologique visible sur les tracés de Gummel en direct. La dispersion technologique des TBH G2 est inférieure à celle des TBH G1 mais reste néanmoins supérieure à celle des transistors G0.

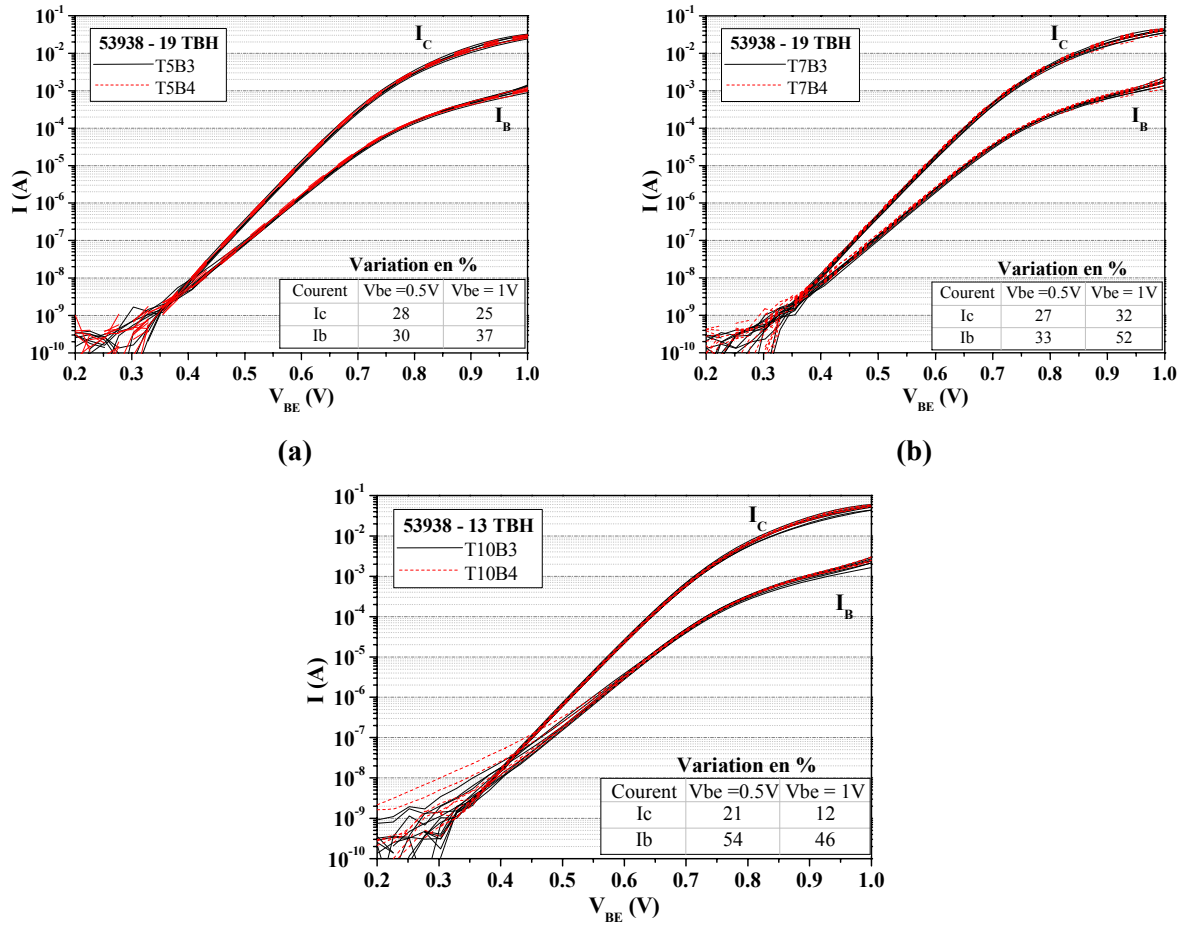


Figure 2. 37 : *Tracés de Gummel en direct des transistors G2 III-V Lab*
(a) *T5* ***(b)*** *T7* ***(c)*** *T10*

La Figure 2. 38 montre les caractéristiques I_C (V_{CE}) à I_B constant des transistors sous test de différentes géométries de la G2 III-V Lab. Dans la zone de saturation, la variation de la pente est faible comme observée sur les 2 générations précédentes. Pour le régime linéaire, en se plaçant aux plus fortes valeurs de I_B, on relève une dispersion de 15, 13 et 10% pour les T5, T7 et T10 respectivement. Globalement, les variations observées sur les caractéristiques I_C (V_{CE}) des TBH de cette génération sont plus importantes que celles observées sur les transistors G1 (Figure 2. 32) et donc plus importantes que celles observées sur les TBH G0 aussi (Figure 2. 26).

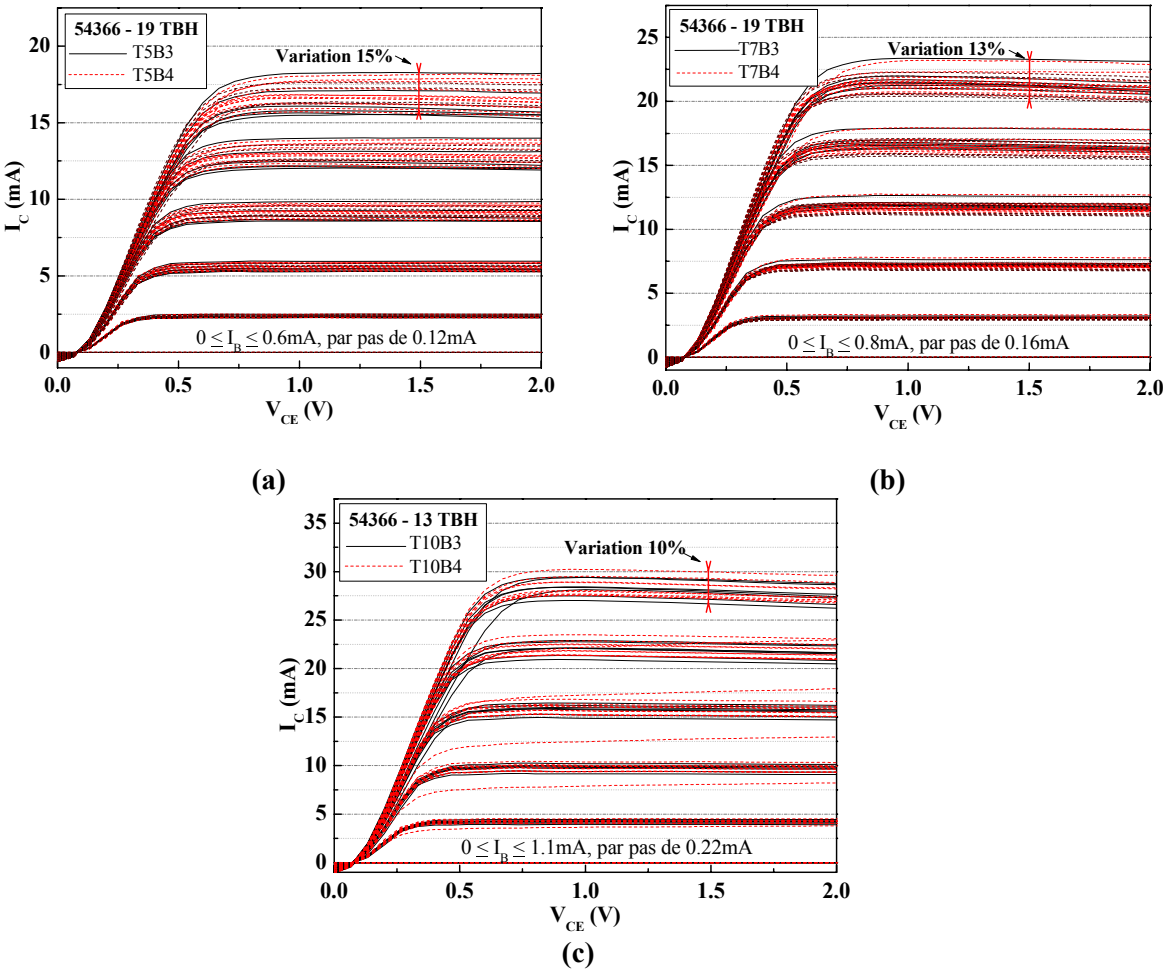


Figure 2. 38 : *Caractéristiques I_C (V_{CE}) à I_B constant pour des TBH G2 III-V Lab*
(a) *T5* ***(b)*** *T7* ***(c)*** *T10*

3.3.2.3. Dispersion technologique initiale des performances dynamiques

Les performances dynamiques traduites par les courbes de f_{max} et f_T en fonction de I_C de transistors avec une largeur de contact de base de 0,3 µm sont présentées sur la Figure *2. 39*. On peut y lire la valeur en pourcentage de la dispersion technologique pour chacune des géométries de TBH.

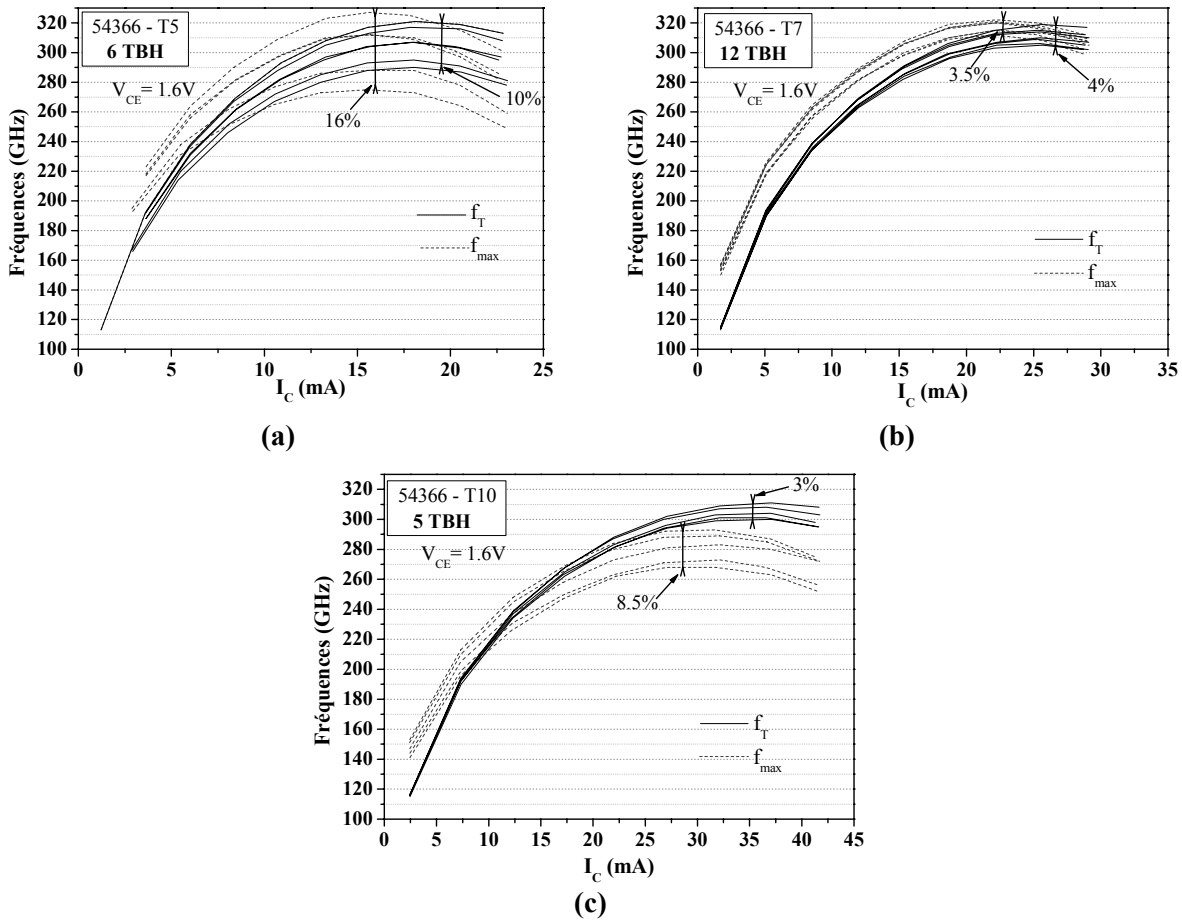


Figure 2. 39 : *Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TxB3H7 de la plaque 54366 (G2 III-V Lab)*

***(a)** T5 **(b)** T7 **(c)** T10*

Le *Tableau 2. 21* donne les valeurs des maximum des fréquences f_{max} et f_T tout en quantifiant la dispersion associée pour chaque géométrie de TBH. La dispersion de f_T est de 10, 4 et 3 % pour les T5, T7 et les T10 respectivement. Dans le même ordre, celle de f_{max} est de 16, 3,5 et 8,5 %. Les maxima de f_{max} et f_T des transistors G2 III-V Lab sont supérieurs aux valeurs maximales de f_{max} et f_T des autres générations de la même filière (cf. *Tableau 2. 17* et *Tableau 2. 12*) et sont obtenus pour des courants I_C supérieurs. Par exemple pour les T5B3H7

G2 III-V Lab, la fréquence de transition f_T maximale est supérieure d'environ 12,4 % par rapport aux T5 G0 et de presque 4 % par rapport aux T5 G1. Quant à la fréquence maximale d'oscillation f_{max} des T5 G2 III-V Lab, elle est supérieure de 11,6 % et de 7,6 % respectivement par rapport à celles des T5 G0 et des T5 G1.

Tableau 2. 21 : Récapitulatif de la dispersion technologique sur f_{max} et f_T des TxB3H7 de la génération G2 III-V Lab

Types	Paramètres	Maximum (GHz)	Dispersion (%)	@ I_C (mA)
T5	f_T	288-319	~10	19,5
	f_{max}	274-327	~16	16
T7	f_T	303-318	~4	26,6
	f_{max}	311-321	~3,5	22,7
T10	f_T	299-310	~3	35,2
	f_{max}	268-292	~8,5	28,5

Le *Tableau 2. 22* donne f_{max} et f_T des transistors avec une largeur de contact de base de 0,4 µm. A largeur d'émetteur égale, on remarque que :

- les valeurs maximales de f_{max} et f_T sont obtenues pour quasiment les mêmes valeurs de courant I_C,
- les maxima de f_T et f_{max} des T5 et T7 sont inférieures d'environ 4 % à ceux des TBH avec une base de 0,3µm. Par contre les dispersions associées sont similaires à celles du *Tableau 2. 21*.
- Quant aux T10, les maxima de f_T sont inférieurs d'environ 1,5 % et ceux de f_{max} sont supérieurs de 2,6 % à ceux des TBH avec une base de 0,3µm. Les dispersions associées sont toujours similaires.

Tableau 2. 22 : Récapitulatif de la dispersion technologique sur f_{max} et f_T des TxB4H7 de la génération G2 III-V Lab

Types	Paramètres	Pic (GHz)	Dispersion (%)	@ I_C (mA)
T5	f_T	276-307	~10	19,5
	f_{max}	264-314	~14	16
T7	f_T	289-306	~6	27,6
	f_{max}	277-319	~13	22,7
T10	f_T	294-305	~3,5	35,2
	f_{max}	278-296	~6	29,5

Les performances dynamiques obtenues avec les T5B3H7 et les T7B3H7 sont légèrement supérieures à celles obtenues avec les T5B4H7 et les T7B4H7. La diminution des performances dynamiques lorsque la largeur du contact de base augmente a été démontrée dans [8]. Les auteurs de [8] associent la diminution de f_T à l'augmentation de la capacité base-collecteur C_{BC} quand la largeur du contact de base augmente.

L'allure de f_{max} et f_T en fonction du courant de collecteur des composants avec une largeur de contact de base de 0,4µm est reportée sur la Figure 2. 40.

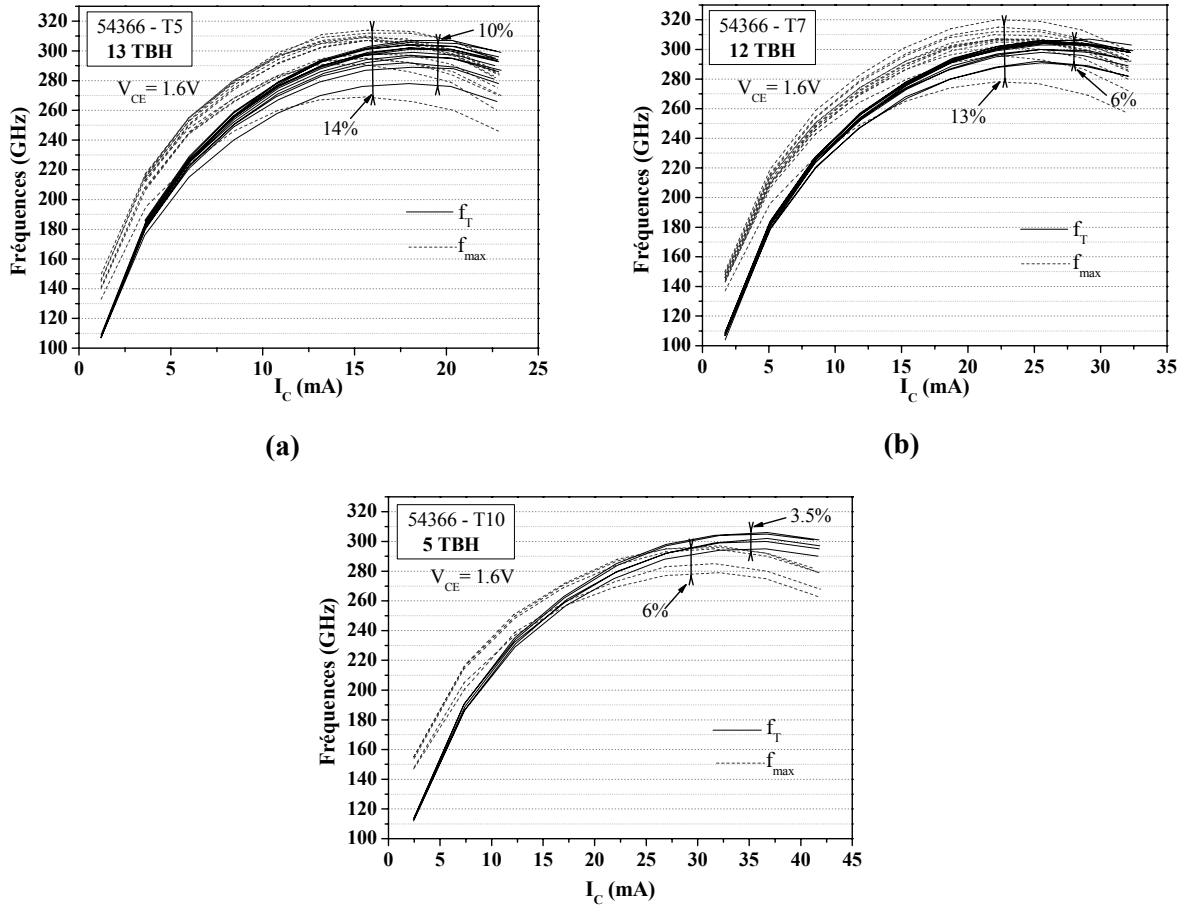


Figure 2. 40 : *Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TxB4H7 de la plaque 54366 (G2 III-V Lab)*

***(a)** T5 **(b)** T7 **(c)** T10*

3.4. La génération 2 de la filière OMMIC

La plaque provenant de chez OMMIC ne comprenant que des transistors de différentes géométries, aucun TLM n'était disponible pour réaliser les tests de vieillissement accéléré sous contrainte thermique.

3.4.1. Les TBH sous test

Les transistors de la génération 2 provenant d'OMMIC ont une base en GaAsSb. Cette technologie présente donc deux hétérojonctions de type II au niveau des jonctions base-collecteur et base-émetteur. L'intérêt majeur du type II est l'absence de barrière de potentiel ou « spike » de la bande de conduction (Figure 1.16 (b)) [27] aux jonctions base-émetteur et base-collecteur. Ceci améliore le passage des électrons de la base au collecteur [84], [85] et contrairement aux TBH InP/InGaAs/InP, les TBH InP/GaAsSb/InP ne nécessitent pas d'introduire une gradualité à la jonction base-collecteur. Par contre, avec une discontinuité ΔE_C positive de la bande de conduction, l'injection des électrons de l'émetteur vers la base peut être pénalisée.

La Figure 2. 41 montre les TBH G2 OMMIC sur plaque. Ces transistors ont une largeur d'émetteur de 0,65 µm, une longueur d'émetteur variant de 3 à 20 µm et une largeur de contact de base allant de 0,1 à 0,5 µm. Un TBH avec une largeur de contact de base de 0,3 µm est appelé TxB3H65.

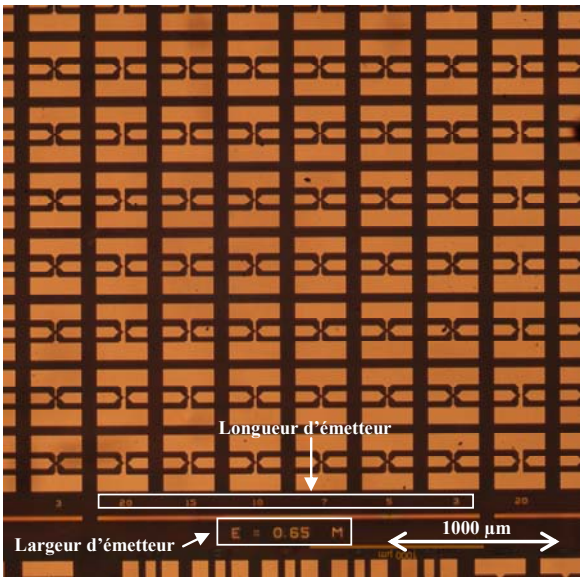
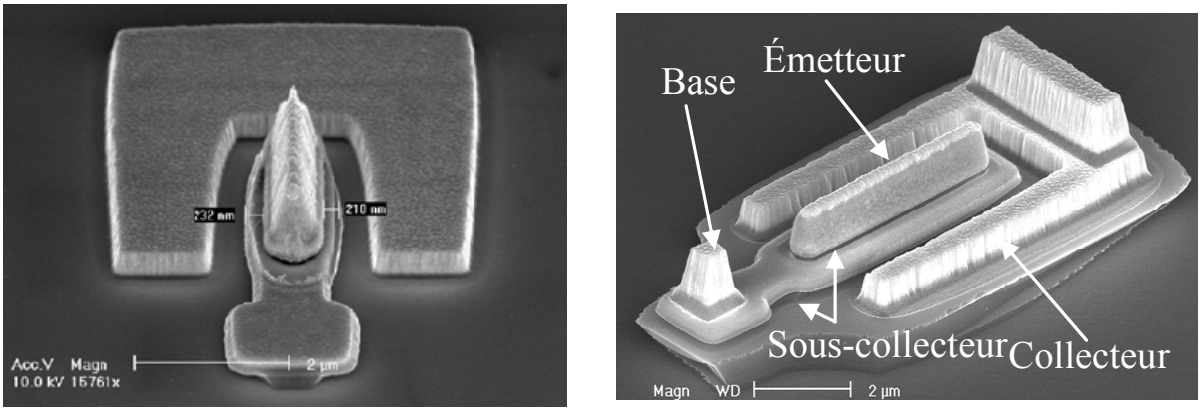


Figure 2. 41 : *Photographie au microscope optique des TBH de la plaque 66SU (G2 OMMIC)*

Pour les tests de vieillissement des TBH G2 OMMIC, nous avons sélectionné les géométries des transistors les plus proches des géométries effectives des TBH G2 III-V Lab afin de pouvoir réaliser une analyse comparative directe.

La Figure 2. 42 montre une vue au microscope électronique à balayage des transistors G2 OMMIC. Sur cette figure, nous remarquons la forme hexagonale des TBH, la structure triple mesa ainsi que les sous-gravures de l'émetteur et du collecteur sous les contacts ohmiques d'émetteur et de base respectivement.



(a) **(b)**

Figure 2. 42 : *Vue au microscope électronique d'un TBH submicronique à géométrie hexagonale de la génération G2 OMMIC*

3.4.1.1. Epitaxie

La croissance des couches épitaxiales des transistors de la génération 2 d'OMMIC a été réalisée par épitaxie en phase vapeur d'organométalliques notée EPVOM (MOCVD : Metal Organic Chemical Vapor Deposition). Les couches de contact de collecteur sont composées d'un empilement d'InGaAs et d'InP fortement dopés ($>10^{19}cm^{-3}$). Au total, elles ont une épaisseur de 300 nm. Le collecteur est composé de deux couches :

- le collecteur 1 en InP d'épaisseur 10 nm fortement dopé N +,
- le collecteur 2 en InP d'épaisseur 130 nm dopé N.

La couche de base en GaAsSb, fortement dopée P +, présente une épaisseur de 25 nm. La couche d'émetteur en InP, dopée N a une épaisseur de 35 nm. Les couches de contact d'émetteur en InP et en InGaAs sont fortement dopées N + et ont une épaisseur totale de 280 nm. La structure épitaxiale des TBH G2 OMMIC figure dans le *Tableau 2. 23*.

Le *Tableau 2. 24* présente les empilements des métaux formant les couches de contacts d'émetteur, de base et de collecteur.

Tableau 2. 23 : Structure épitaxiale de la plaque 66SU de la génération 2 d'OMMIC (G2 OMMIC)

Couche	Matériau	Dopage (cm^{-3})	Epaisseur (nm)
Contact Emetteur 2	InGaAs	N+	110
Contact Emetteur 1	InP	N+	100
Emetteur 1	InP	N	35
Base	GaAsSb	P+	25
Collecteur 2	InP	N	130
Collecteur 1	InP	N+	10
Sous-collecteur 2	InGaAs	N+	50
Sous-collecteur 1	InP	N+	250
InP substrat			

Tableau 2. 24* : *Description des couches métalliques des contacts des TBH G2 OMMIC

Contact	Matériaux
Émetteur	Ti/Pt/Au
Base	Pt/Ti/Pt/Au
Collecteur	Ti/Pt/Au

3.4.1.2. Géométrie des masques et géométrie effective

Le *Tableau 2. 25* donne les dimensions du masque et les dimensions effectives des transistors avec une largeur de base de 0,3 µm.

Tableau 2. 25 : Géométrie des masques et géométrie effective des transistors G2 OMMIC

	Géométrie des masques				Géométrie effective				
Types de TBH	L_E (µm)	W_E (µm)	A_E *(µm²)*	W_B (µm)	Sg_E µm)	L_{Eef} (µm)	Sgh (µm)	W_{Eef} (µm)	A_{Eef} *(µm²)*
T5B3H65	5	0,65	*3,46*	0,3/0,2	0,07	4,71	0,15	0,51	*2,66*
T7B3H65	7	0,65	*4,76*	0,3/02	0,07	6,71	0,15	0,51	*3,68*
T10B3H65	10	0,65	*6,71*	0,3/0,2	0,07	9,71	0,15	0,51	*5,21*

3.4.2. Caractéristiques électriques

3.4.2.1. Caractérisation statique initiale

La caractérisation initiale d'un T10 G2 OMMIC est montrée sur la Figure 2. 43. (a). Sur la même figure sont reportées les mesures initiales des tracés de Gummel en direct de T10 des trois générations de III-V Lab. On y remarque que :

- Pour $V_{BE} \leq 0{,}2$ V, le niveau des courants de fuite égale celui des TBH G0 donc est plus important que celui des TBH G1.
- Pour $0{,}2 \leq V_{BE} \leq 0{,}8$ V, le courant de recombinaison du T10 OMMIC est le plus important. En effet, le TBH G2 OMMIC ne commence à être passant qu'à partir de 0,57 V (V_{BEON}) contre 0,35 V pour le T10 G2 III-V Lab, 0,47 V pour le T10 G1 et 0,42 V pour le T10 G0.
- Pour $V_{BE} \geq 0{,}8$ V, le niveau des courant I_B et I_C des TBH G2 OMMIC est supérieur à celui des autres générations. L'effet Kirk et l'auto-échauffement sont également plus remarquables, spécialement sur le courant de base.

De toutes les générations, les plus grands gains en courant de l'ordre de 38, sont obtenus par les transistors G2 OMMIC (Figure 2. 43. (b)).

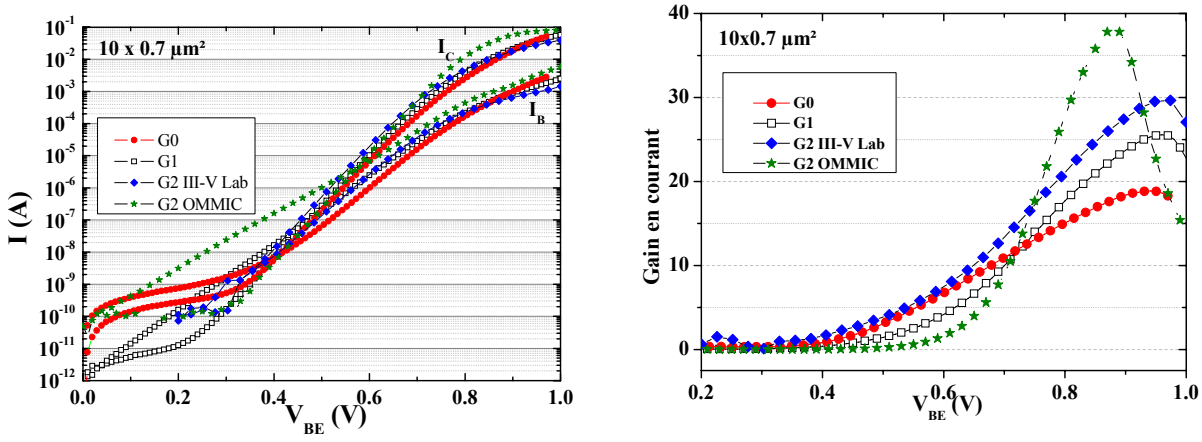


Figure 2. 43 *: Comparaison de différents T10 pour les 4 générations de TBH étudiées*
(a) *Tracés de Gummel en direct* ***(b)*** *Gain en courant*

Le *Tableau 2. 26* fait une comparaison des tracés de Gummel en direct des différentes générations. De ce tableau nous tirons les conclusions suivantes :

- Les générations G0 et G2 III-V Lab ont le niveau des courants de fuites le plus élevé.
- Les TBH G1 présentent les courants de fuite les plus faibles mais aussi le moins d'effet Kirk et d'auto-échauffement.
- Les TBH G2 III-V Lab ont aussi les résistances d'accès émetteur et de collecteur les plus importantes.
- Les TBH G2 OMMIC présentent le niveau de courant de recombinaison le plus important.

Tableau 2. 26: Tableau comparatif des mécanismes de transport de charge observés sur les tracés de Gummel des TBH G0, G1, G2 III-V Lab et G2 OMMIC

	$0,2V \leq V_{BE}$	$0,2 \leq V_{BE} \leq 0,8V$	$0,8 \leq V_{BE} \leq 1V$	
	Courant de fuite	Recombination	$R_C + R_E$	EK + AE
G0	+ +	-	+	+
G1	+	+	-	-
G2 III-V Lab	+ +	- -	+ +	+
G2 OMMIC	+	+ + +	- -	+ +

3.4.2.2. Dispersion technologique initiale des performances statiques

Les Figure 2. 44,Figure 2. *45* et Figure 2. *46* montrent les tracés de Gummel à V_{BC} nulle avec les gains en courant associés pour les T5, T7 et T10 respectivement de la génération G2 OMMIC. Pour chaque géométrie de TBH, une vingtaine de transistors ont été caractérisés afin de pouvoir quantifier leur dispersion technologique. D'après ces courbes, la dispersion technologique est plus importante que pour les TBH de la filière III-V Lab. La Figure *2. 44* (a) montre que des deux courants I_B et I_C, le courant de la base est celui qui présente une grande dispersion, soit 85 et 78 % pour V_{BE} = 0,5 et 1 V respectivement. La dispersion du courant de collecteur est de 28 et 32 % pour V_{BE} = 0,5 et 1 V respectivement. La Figure 2. 44 (b) présente le tracé du gain en courant des 20 transistors caractérisés. On remarque que la valeur moyenne du gain maximal est d'environ 38 pour une tension base-émetteur de 0,88V. Pour cette valeur de V_{BE}, la variation du gain en courant des T5 est de 32,5 %.

La Figure 2. 45 (a) montre la dispersion des courants I_B et I_C des transistors T7 G2 OMMIC. Pour le courant de base, elle est d'environ 90 et 63 % pour V_{BE} = 0,5 et 1 V respectivement.

Quant au courant de collecteur, sa dispersion est de 28 et 32 % pour V_{BE} =0,5 et 1 V respectivement. Sur les tracés des gains en courant, reportés sur la Figure 2. 45 (b), on remarque qu'à 0,88 V, la dispersion du maximum du gain est de 31 %.

Sur la Figure 2. 46 (a) sont reportées les dispersions des courants I_B et I_C des transistors T10 G2 OMMIC. Le courant de base varie d'environ 87 et 51 % pour V_{BE} = 0,5 et 1 V respectivement, et le courant de collecteur de 19 et 21 % pour V_{BE} = 0,5 et 1 V respectivement. Sur la Figure 2. 46 (b), on remarque qu'à 0,88 V, la dispersion du maximum du gain est de 30 %. On note que la dispersion technologique est plus faible pour les plus grandes géométries de transistors.

La tension de claquage BV_{CE0} des transistors de cette technologie est d'environ 3,5 V.

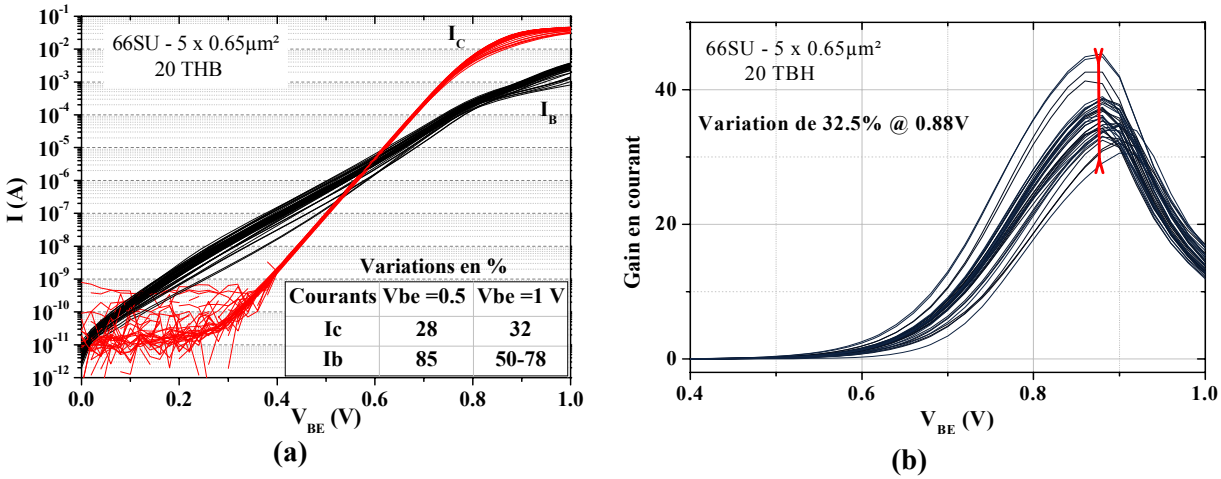


Figure 2. 44 : *Caractéristiques statiques de 20 transistors de géométrie T5 de la filière OMMIC*
(a) *Tracés de Gummel* ***(b)*** *Gain en courant associé*

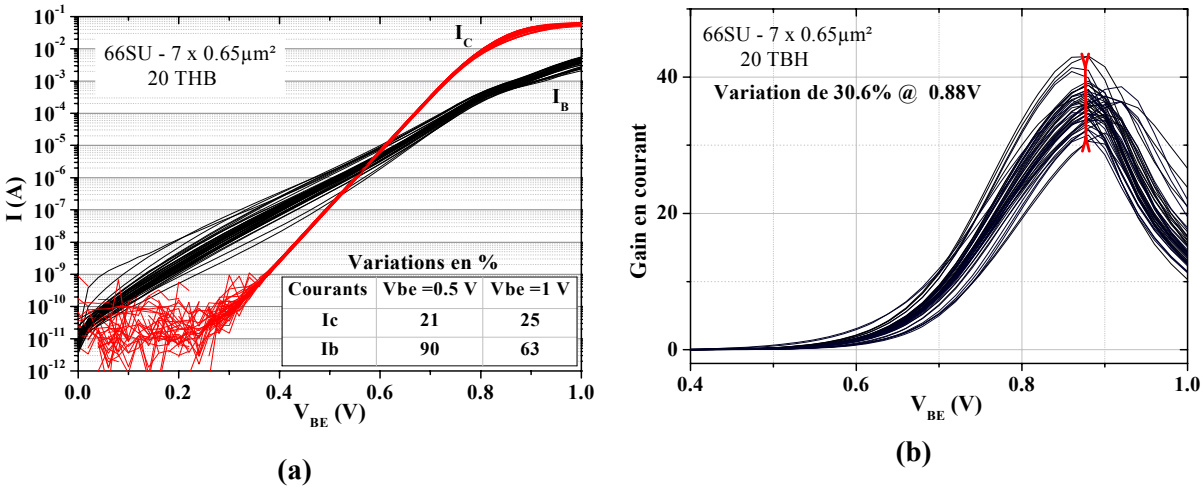


Figure 2. 45 : *Caractéristiques statiques de 20 transistors de géométrie T7 de la filière OMMIC*
(a) ***T****racés de Gummel* ***(b)*** *Gain en courant associé*

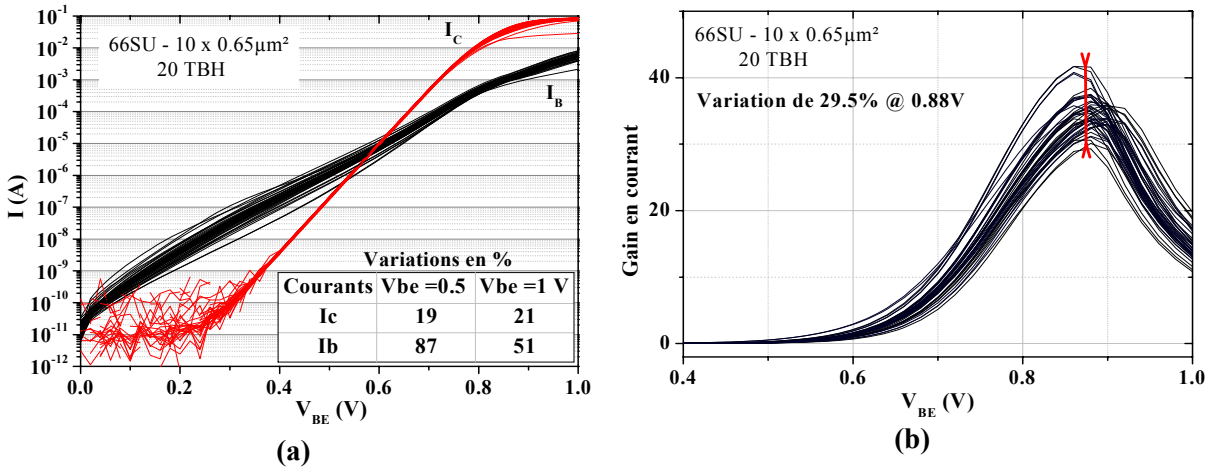


Figure 2. 46 : *Caractéristiques statiques de 20 transistors de géométrie T10 de la filière OMMIC*
(a) *Tracés de Gummel* ***(b)*** *Gain en courant associé*

La Figure 2. 47 montre les caractéristiques I_C (V_{CE}) à I_B constant de 4 transistors G2 OMMIC de chaque géométrie avant les tests de vieillissement. Dans la zone de saturation, on remarque une faible dispersion de la pente. Pour le régime linéaire, en se plaçant aux plus fortes valeurs de I_B, on relève une dispersion de 8,5 %, 28 % et 14 % pour les T5, T7 et T10 respectivement. Ceci est lié à une dispersion technologique élevée du gain en courant. Les dispersions observées sur les caractéristiques I_C (V_{CE}) des TBH de cette génération sont plus importantes que celles observées sur les transistors de la filière III-V Lab.

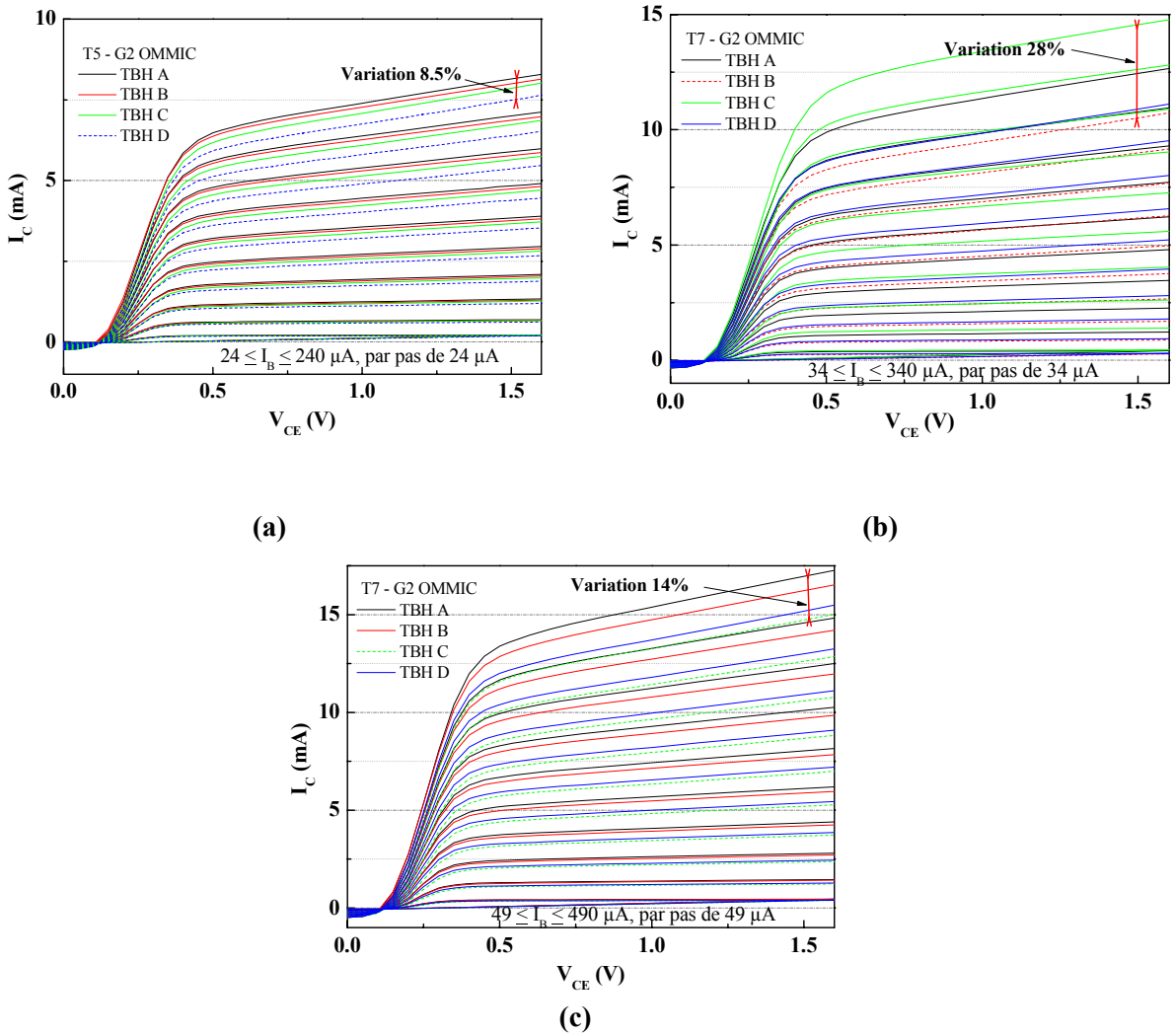
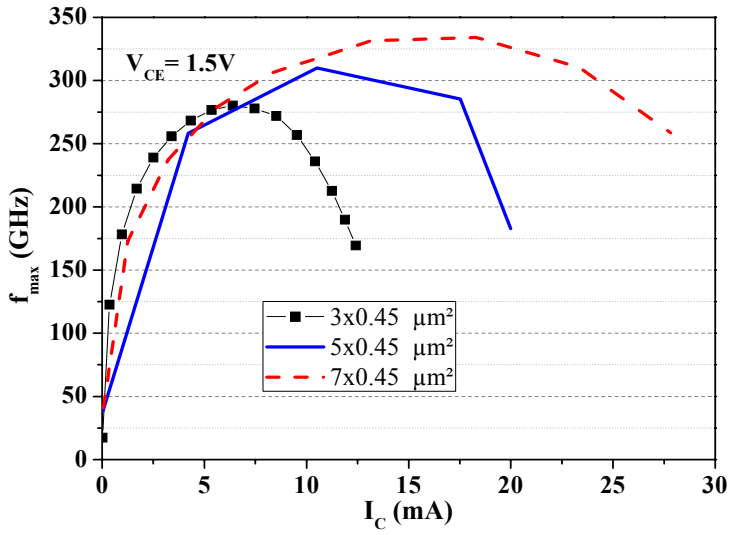


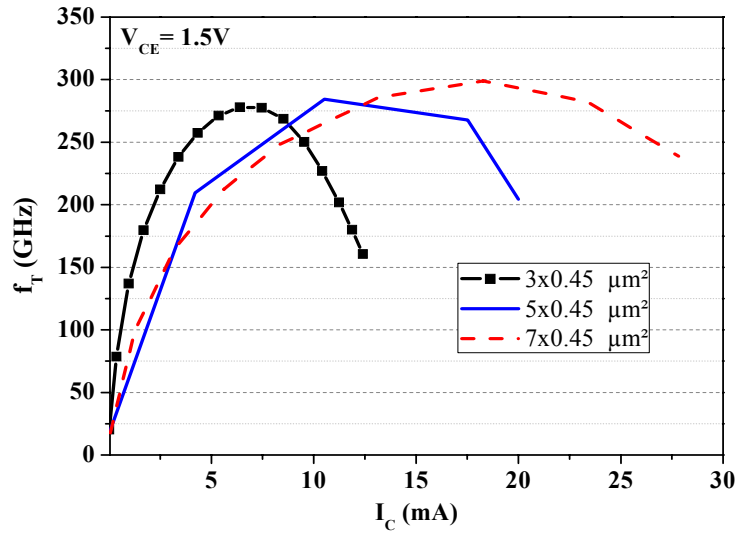
Figure 2. 47 : *Caractéristiques I_C (V_{CE}) à courant de base constant pour les TBH G2 OMMIC*
(a) *T5* ***(b)*** *T7* ***(c)*** *T10*

3.4.2.3. Dispersion technologique initiale des performances dynamiques

Nous présentons sur la Figure 2. 48 la fréquence d'oscillation maximale f_{max} et la fréquence de transition f_T en fonction du courant de collecteur I_C de transistors avec longueur d'émetteur de 0,45 µm. Pour V_{CE} = 1,5 V, les valeurs maximales de f_{max} sont de 280 GHz à 6 mA, 309 GHz à 10 mA et 334 GHz à 18 mA respectivement pour les T3, T5 et T7. Toujours pour V_{CE} = 1,5 V et dans le même ordre, les valeurs maximales de f_T sont de 277 GHz à 6 mA, 287 GHz à 10 mA et 300 GHz à 18 mA.



(a)



(b)

Figure 2. 48 : *Performances dynamiques des transistors G2 OMMIC*

(a) *Fréquence d'oscillation maximale f_{max}* ***(b)*** *Fréquence de transition f_T*

La Figure 2. 49 montre une comparaison des performances dynamiques entre 2 TBH de largeurs d'émetteur différentes, 0,45 et 0,65 µm. On remarque que la valeur maximale de f_{max} passe de 334 à 295 GHz et la valeur maximale de f_T augmente de 300 à 360 GHz. Une largeur d'émetteur plus importante améliore f_T mais apporte l'effet inverse sur f_{max}. La chute de f_{max} s'explique par l'augmentation du temps de charge $R_B.C_{BC}$ à travers la diminution des composants extrinsèques qui sont la résistance de base et la capacité base-collecteur [8]. Rappelons que dans les applications visées, il est préférable d'utiliser des TBH présentant une fréquence de transition f_T élevée.

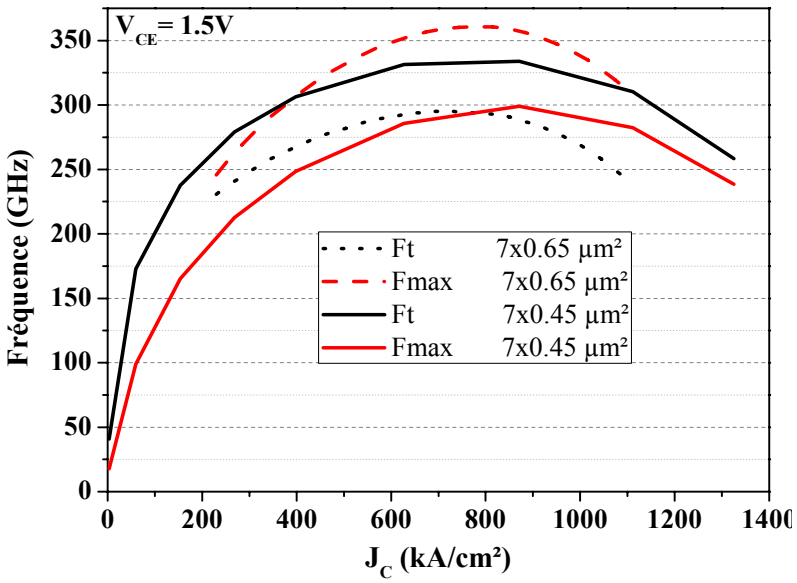


Figure 2. 49 : *Comparaison des performances fréquentielles de TBH avec des longueurs d'émetteur de 0,45 et 0,65 µm*

Lorsque nous comparons les T7B3H65 G2 OMMIC et les T7B3H7 G2 III-V Lab, nous remarquons que le maximum de la fréquence de transition f_T des TBH de la filière OMMIC est supérieur de 17% à celui des TBH G2 III-V Lab. Quant aux fréquences d'oscillation maximales f_{Tmax}, elles sont équivalentes. Rappelons que les TBH G2 III-V Lab sont les plus performants de la filière III-V Lab.

4. Conclusion

Dans ce chapitre, nous avons décrit en détail les transistors des différentes filières tout en quantifiant, pour chaque génération, la dispersion technologique associée aux paramètres électriques. De toutes les générations, la dispersion technologique la plus importante est observée sur les tracés de Gummel en direct des TBH de la filière OMMIC. Ceci risque de nous apporter des difficultés supplémentaires lors des tests de vieillissement sous contraintes thermique et électrique à réaliser sur les TBH de la G2 OMMIC. Cependant, ces transistors présentent le gain en courant le plus élevé et la valeur de V_{BEon} la plus élevée (0,55 V) du fait de l'importance des mécanismes de recombinaison observée sur le courant de base.

Concernant les générations de la filière III-V Lab, partant de la génération G0, ont été réalisées les améliorations technologiques suivantes :

- utilisation du polymide en tant que matériau pour la passivation ainsi que réduction de la couche de sous-collecteur en InGaAs. Cette couche est passée de 150 nm à 25 mn. Ces améliorations ont donné naissance à la génération 1.
- utilisation du BCB et du SiN en tant que matériau pour la passivation générale et celle du « ledge » base-émetteur respectivement ainsi que réduction de la couche de sous-collecteur 3. Elle est passée de 25 nm (pour les TBH G1 de la plaque 53938) à 15 mn. Ainsi on obtient la génération 2 III-V Lab

Ces améliorations technologiques, réalisées sur les générations de la filière III-V Lab et reportées dans le *Tableau 2. 28*, ont permis de diminuer la valeur de la résistance thermique des transistors mais aussi d'améliorer leurs performances dynamiques. L'atténuation de l'auto-échauffement est principalement due à la réduction de l'épaisseur de la couche de contact de collecteur [86] puis au matériau de passivation [74] Le *Tableau 2. 27* donne les valeurs des résistances thermiques des différentes générations de toutes les filières. On remarque, en effet, que la résistance thermique des TBH G2 III-V est inférieure à celle des TBH G1 et à celle des TBH G0. On remarque aussi que la valeur de la résistance thermique des TBH G2 OMMIC se situe entre celle des TBH G1 et celle des TBH G2 III-V Lab. Dans le chapitre suivant nous traitons des résultats de tests de vieillissement accéléré sous contrainte thermique ainsi que sous contraintes thermique et électrique des 4 générations de TBH.

Tableau 2. 27 : Comparaison entre les résistances thermiques mesurées des différentes générations

RTH (K/W)	Génération			
Géométries	G0	G1	G2 III-V Lab	G2 OMMIC
T5	5157	3390	-	3250
T7	4064	2680	2470	2300
T10	3100	1950	-	1700

Tableau 2. 28 : Récapitulatif des structures épitaxiales des plaques G0, G1 et G2 III-V Lab

			Génération 0	**Génération 1**	**Génération 2**
Couche	**Type**	**Matériau**	**Epaisseur (nm)** 57576/**53681**	**Epaisseur (nm)** *53938*	**Epaisseur (nm)** *54366*
Contact Emetteur 2	N +	$In_{0,53}Ga_{0,47}As$	*100*	*100*	*100*
Contact Emetteur 1	N +	InP	*195/**180***	*180*	*180*
Emetteur	N -	InP	*25/**40***	*40*	*40*
Base	P +	$In_{X-1}Ga_XAs$	*≈30*	*≈30*	*≈30*
Collecteur 3	N -	$In_{0,53}Ga_{0,47}As$	*30*	*30*	*30*
Collecteur 2	N -	InP	*20*	*20*	*20*
Collecteur 1	N -	InP	*80*	*80*	*80*
Sous-collecteur 3	N +	InP	*150/**50***	*50*	*50*
Sous-collecteur 2	N +	$In_{0,53}Ga_{0,47}As$	*150*	***<30***	***<20***
Sous-collecteur 1	N +	InP	*350*	*350*	*350*
Couche d'arrêt		$In_{0,53}Ga_{0,47}As$	*10*	*10*	*5*
Passivation	**-**	**-**	***BCB***	***Polyimide***	***Générale: BCB*** ***"Ledge" émetteur-base : SiN***

Chapitre 3

Tests de vieillissement accéléré

1. Introduction

Les tests de vieillissement accéléré représentent un moyen efficace d'évaluer à la fois la maturité technologique et la fiabilité d'une filière. Dans ce chapitre nous présentons la méthodologie et les résultats des tests de vieillissement accéléré des véhicules de test TLM et TBH, des filières bipolaires sur substrat InP. Deux types de contraintes ont été appliqués : une contrainte en température et une contrainte combinée, température et polarisation. La méthodologie décrite dans la Figure 1.22 et détaillée dans ce chapitre montrera que ces deux types de contraintes répondent au besoin de discriminer les mécanismes de défaillance selon leur origine et leur localisation. Elle est le fruit d'un savoir-faire sur l'évaluation de la fiabilité des transistors sur substrat III-V. Les valeurs des contraintes appliquées selon cette méthodologie tiennent compte des conditions de fonctionnement des transistors dans l'application dans laquelle ils opèrent.

Par la suite, nous présentons les résultats des tests de vieillissement réalisés sur les composants des différentes générations présentées dans le chapitre 2. Les tests sous contrainte thermique ont été réalisés sur les composants G0 et les composants G1 de la filière III-V ainsi que sur les composants G2 de la filière OMMIC. Les tests sous contraintes thermique et électrique ont été réalisés sur les transistors de toutes les générations : G0, G1 et G2 de la filière III-V Lab ainsi que G2 de la filière OMMIC.

2. Méthodologie

2.1. Choix des contraintes et mise en œuvre

Les contraintes utilisées pour réaliser les tests de vieillissement sont imposées par la Figure 1. 20. Afin de mettre en évidence les mécanismes de dégradation susceptibles d'apparaitre dans les composants sur substrat InP, deux types de vieillissement accéléré décrits dans le protocole (Figure 1. 22**)** sont envisagés. Il s'agit du test de vieillissement accéléré sous contrainte thermique auquel sont soumis les TLM et les TBH et du test de vieillissement accéléré sous contraintes thermique et électrique auquel sont soumis uniquement les TBH. Chacun d'eux est présenté plus en détail dans la suite de ce chapitre.

2.2. Tests de vieillissement accéléré sous contrainte thermique

Les tests de vieillissement accéléré sous contrainte thermique encore appelés tests de vieillissement en stockage ont pour but d'identifier les mécanismes de défaillance associés aux énergies d'activation élevées (Figure 1. 20). Les mécanismes concernés sont pour la plupart localisés au niveau des contacts ohmiques et des interfaces métal-semi-conducteur. Dans ce cas, l'énergie d'activation est élevée et supérieure à 1,2 eV. Les tests de vieillissement en stockage sont réalisés dans des étuves dont la température est régulée. Suite aux études bibliographiques [73], la plus faible température d'étuve utilisée est de 180°C, puisque cette température permet d'activer les mécanismes de dégradation sans provoquer de dégradation catastrophique lors des premières heures de vieillissement. Puis les composants (transistors et TLM) sont déposés dans des étuves portées à d'autres températures en l'occurrence 210 et 240°C. Ces nouvelles valeurs de température d'étuve sont choisies supérieures à la première dans le but d'accélérer l'évolution des mécanismes de dégradation. Nous avons opté pour 3000 heures de vieillissement tant que les transistors restent fonctionnels.

2.3. Tests de vieillissement accéléré sous contraintes thermique et électrique

Les mécanismes de dégradation qui présentent une énergie d'activation inférieure à 1,2 eV sont détectés par les tests de vieillissement accéléré sous contraintes thermique et électrique dits sous polarisation. Certains mécanismes de dégradation sont induits uniquement par le champ électrique ou par un flux de porteurs dans les zones actives. Pour ce faire, pour chacune des 4 technologies étudiées dans cette thèse, nous avons choisi judicieusement les points de polarisation. Les conditions de contrainte regroupent plusieurs points de polarisation notés P_x. avec x égal à 1, 2, 3, 4 ou 5.

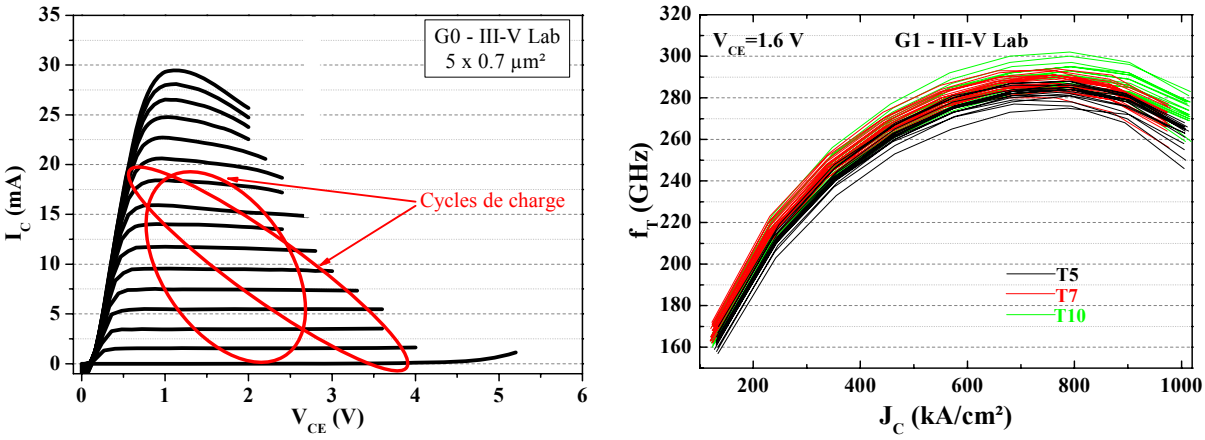
Le premier point de polarisation appelé P1 a été choisi de telle sorte que :

- les contraintes J_C et V_{CE} appliquées soient à la fois situées dans l'aire de sécurité de fonctionnement (SOA « Safe Operating Area ») du transistor et à l'intérieur des cycles de charge. Les cycles de charge représentent les gammes de courant et tension que les transistors voient dans l'application dans laquelle ils opèrent. La Figure 3. 1 (a) montre la SOA et le cycle de charge d'un T5 G0. Ainsi, pour éviter de provoquer des défaillances catastrophiques de ces transistors issus d'une nouvelle technologie, nous avons choisi un point de polarisation tel que I_C et V_{CE} correspondent à une puissance dissipée modérée vis-à-vis du cycle de charge.
- la densité de courant collecteur J_C choisie dans les cycles de charge soit inférieure à celle correspondant au maximum de la fréquence de transition f_T du transistor. Ainsi, après une concertation avec les concepteurs de circuit du projet ROBUST, nous avons opté pour $J_C = 400$ kA/cm^2 (ce qui correspond à 9,12 mA pour un T5 G0, un T5 G1 et un T5 G2 III-V Lab). La Figure 3. 1 (b) montre l'évolution de la fréquence de transition f_T en fonction de la densité de courant J_C de transistors G1de chaque géométrie. On remarque que la valeur maximale de la fréquence de transition f_T est obtenue pour une densité de courant de collecteur J_C proche de 700 kA/cm^2 (Tableau 3. ***1***).

Une fois la densité de courant fixée, la première valeur de V_{CE} choisie est 1,5 V. La Figure 3. 2 (a) indique la localisation des différents points de polarisation sur le réseau de sortie d'un T7 tout en montrant les iso-courbes de la température de jonction T_J associée. Sur ce graphe, on remarque 5 points de polarisation notés P1, P2, P2', P3 et P4 ayant en commun la température de vieillissement T_a égale à 30°C. La température de vieillissement T_a est la

température imposée aux supports lors des tests de vieillissement (cf paragraphe 2.2 du chapitre 2).

Les points de polarisation P1, P2, P3 et P4 correspondent tous à une densité de courant de collecteur J_C de 400 kA/cm^2 et diffèrent uniquement de par la tension V_{CE} qui va en augmentant soit 1,5 ou 2 ou 2,5 ou 2,7 V.



(a) **(b)**

Figure 3. 1 : *Figures de mérite d'un TBH permettant de fixer les points de polarisation pour les tests de vieillissement sous contraintes thermique et électrique*

(a) *Aire de sécurité de fonctionnement visible sur le réseau de sortie I_C (V_{CE}) à I_B constant*

(b) *Fréquence de transition f_T en fonction de la densité de courant collecteur J_C.*

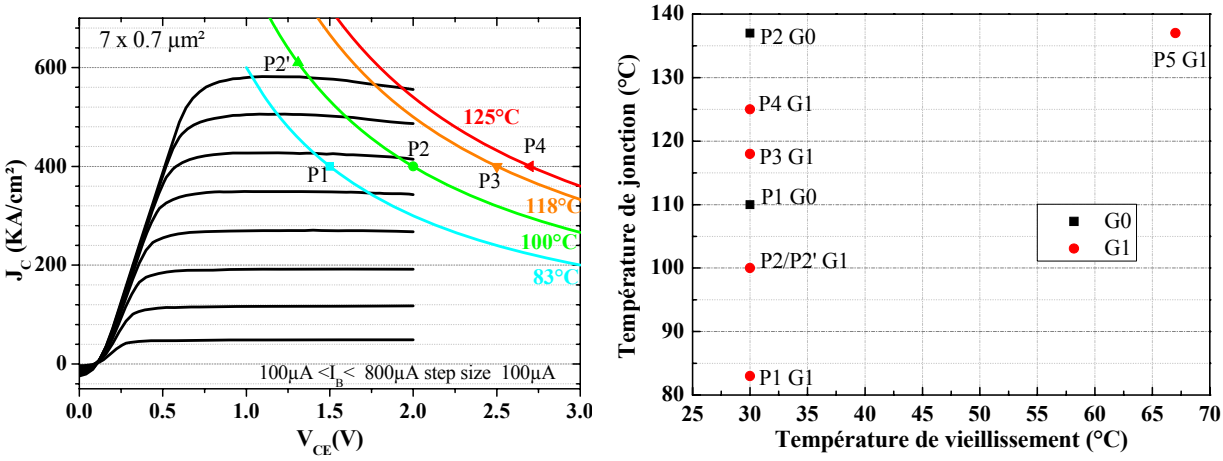
Tableau 3. 1 : Valeurs maximales de la fréquence de transition f_T avec les densités de courant de collecteur J_C associées (TBH G1 III-V Lab)

	f_{Tmax} (GHz)	J_C (kA/cm2)
T5	274-287	710-725
T7	280-294	733-756
T10	283-301,5	729-733

Quant au point P2', un changement de paramètres est effectué afin de garder la même température de jonction que celle du point P2 tout en restant dans la SOA. Ainsi P2' diffère des autres de par la tension V_{CE} de 1,31 V et la densité de courant J_C qui est de 613 kA/cm^2. Le *Tableau 3. 2* résume les conditions de contrainte des différents points de polarisation utilisés pour les transistors des générations G0, G1 et G2 III-V Lab. Le même tableau nous montre le point de polarisation P5. Le point P5 n'est pas représenté sur la Figure 3. 2 (a) car la température de vieillissement T_a est de 67°C contrairement à 30°C pour tous les autres points de polarisation. Sur la Figure 3. 2 (b), qui présente la température de jonction T_J en fonction de la température

Tableau 3. 2 : Conditions de contraintes thermique et électrique des transistors de géométrie T7 des générations 0, 1 et 2 de la filière III-V Lab

de vieillissement T_a des transistors G0 et G1, on remarque que l'élévation de la température de vieillissement du point P5 (67°C) est effectuée pour obtenir la même valeur de T_J que celle des TBH G0 vieillis dans les conditions P2 (30°C).



(a) **(b)**

***Figure 3. 2** : Localisation des différents points de polarisation des TBH G0 et des TBH G1 de la filière III-V Lab*

***(a)** Sur le réseau de sortie I_C (V_{CE})* ***(b)** Sur le graphe des températures*

Tableau 3. 2 : Conditions de contraintes thermique et électrique des transistors de géométrie T7 des générations 0, 1 et 2 de la filière III-V Lab

	P1			P2			P2'	P3	P4	P5
	G0	G1	G2	G0	G1	G2	G1	G1	G1	G1
V_{CE} (V)		1,5			2		1,31	2,5	2,7	2
J_C(kA/cm²)		400			400		610	400	400	400
T_a (°C)		30			30		30	30	30	67
T_J (°C)	110	83	78	137	100	95	100	118	125	137

Les points de polarisation testés sur les générations de la filière III-V Lab sont les suivants :

- Pour les TBH G0, les deux premiers points de polarisation P1 et P2.
- Pour les TBH G1, les points de polarisation P1, P2, P2', P3, P4 et P5.
- Pour les TBH G2 de III-V Lab, les points P1 et P2.

Le réseau de sortie des transistors G2 OMMIC n'a pas la même allure que celui de la filière III-V Lab. En effet, nous avons vu dans le chapitre 2 que contrairement aux TBH de la filière III-V Lab, ceux de la filière OMMIC présentent, dans la zone linéaire, une pente positive [87] [88] ce qui implique que les transistors sont plus sensibles au mécanisme d'avalanche. Contrairement à la Figure 3. 2 (a), la Figure 3. 3 (a) montre qu'à J_C constant, le mécanisme d'ionisation par impact se produit pour V_{CE} plus faible pour les transistors G2

OMMIC que pour les TBH de la filière III-V Lab. De ce fait, nous ne pouvons appliquer, sur les TBH G2 OMMIC, l'ensemble des points de polarisation des TBH de la filière III-V Lab. Les seuls points de polarisation en commun, en termes de densité de courant J_C et de tension V_{CE}, entre toutes les générations sont P1 et P2. En conséquence, d'autres points de polarisation, nommés P5_O et P6_O, ont été définis pour les TBH G2 OMMIC.

La même densité de courant de collecteur de 400 kA/cm^2 est maintenue pour toutes les générations afin d'obtenir une base de comparaison des résultats des tests. Sur la Figure 3. 4, qui présente la fréquence de transition en fonction de la densité du courant collecteur, on observe que la densité de courant choisie (400 kA/cm²) ne correspond pas au maximum de la fréquence de transition f_T comme dans le cas des TBH III-V Lab.

La seconde limite est imposée par le phénomène d'avalanche. En effet à 400 kA/cm² correspond un courant collecteur d'environ 10,5 mA pour un T5 G2 OMMIC. Pour une telle valeur de courant, la tension V_{CE} maximale avant l'apparition de l'ionisation par impact est d'environ 2,2V. Ainsi, pour obtenir des points de polarisation avec des températures de jonction élevées, on ne peut augmenter que la valeur de la température de vieillissement T_a. Nous avons élevé la température de vieillissement T_a afin d'obtenir des points de polarisation associés à une température de jonction T_J plus élevée. Ainsi les températures de vieillissement sont de 69,5 et 120°C pour les T5 sous les conditions P5_O et P6_O respectivement. Le Tableau *3. 3* donne la valeur des paramètres ainsi que la température de jonction des différents points de polarisation. Comme pour les TBH de III-V Lab, la Figure 3. 3 montre la localisation sur le réseau de sortie I_C (V_{CE}) des points de polarisation tout en indiquant les températures de jonction et de vieillissement correspondantes (Figure 3. 3 (a) et (b) respectivement). Sur la Figure 3. 3 (a) les points P5_O et P6_O sont donnés pour des températures de vieillissement de 30°C.

Tableau 3. 3: Conditions de contraintes thermique et électrique des transistors de géométrie T5 de la filière OMMIC

	P1	**P2**	**P5_O**	**P6_O**
V_{CE} (V)	1.5	2	2	1.75
J_C (kA/cm²)	400	400	400	400
T_a (°C)	30	30	69.5	120
T_J (°C)	80	99	139	180

Les températures de jonction T_J des points de polarisation P5 et P5_O sont très proches (respectivement 137 et 139°C). Ce choix est effectué dans le but de pouvoir comparer le comportement des transistors des différentes générations vieillis à température de jonction T_J

identique. La méthode d'extraction de la température de jonction est celle décrite dans le paragraphe 2.2.4 du chapitre 2.

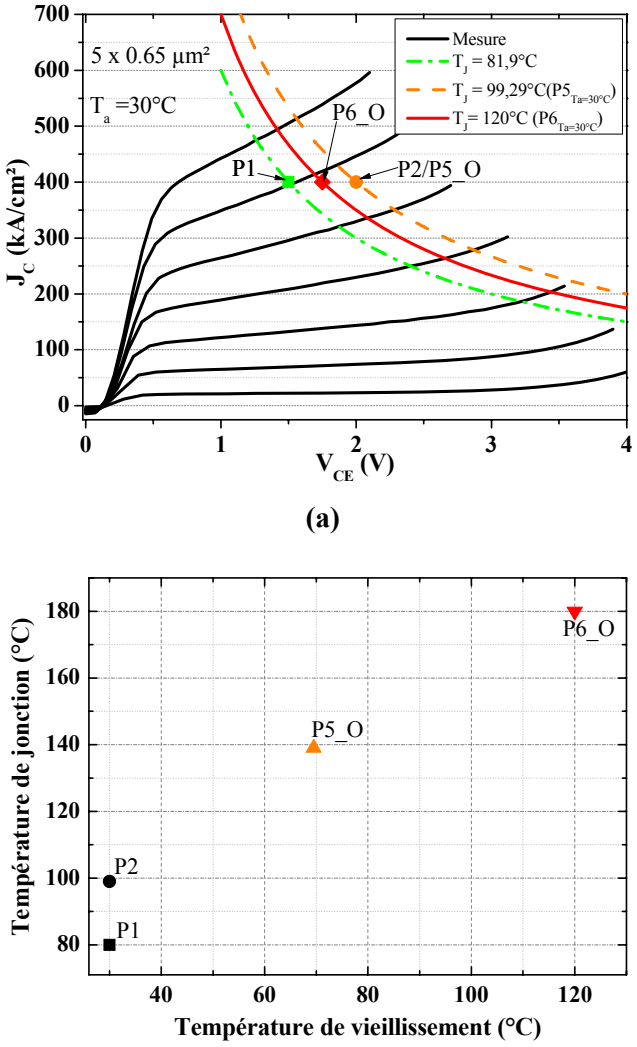


Figure 3. 3 *Localisation des points de polarisation de la génération 2 OMMIC*

(a) *Sur le réseau de sortie I_C (V_{CE}) à I_B constant* ***(b)*** *Sur le graphe des températures*

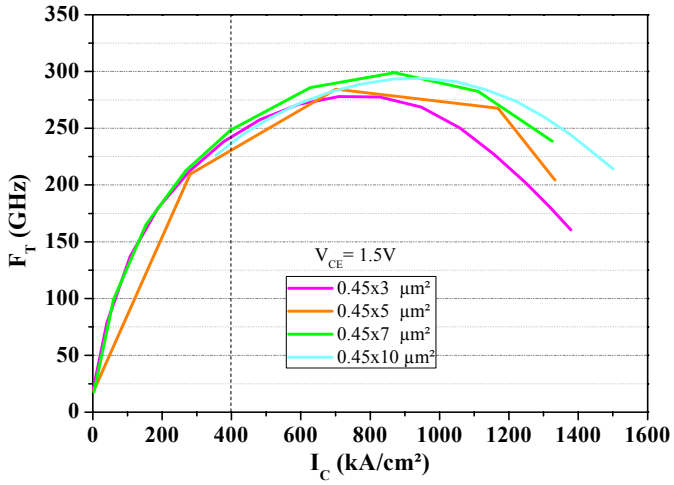


Figure 3. 4 *Fréquence de transition F_T en fonction de la densité de courant collecteur J_C des HBT G2 de la filière OMMIC*

3. Résultats des tests de vieillissement des TLM

Les Figure 3. 5 (a) et (b) montrent les caractéristiques de la droite R(L) des TLM base au cours du vieillissement à 180 et 210°C respectivement. La caractérisation des TLM en stockage révèle une augmentation de la pente de la droite R(L) ce qui indique une augmentation de la résistance de couche de la base (voir chapitre 2). Les valeurs initiales de la résistance de couche $R_{\square}$ des 4 TLM Base testés sont proches (774Ω ± 4Ω). L'évolution de la résistance de couche $R_{\square}$ extraite de la droite R(L) est représentée sur la Figure 3. 5 (c). On remarque que l'augmentation de $R_{\square}$ est plus rapide pour les températures élevées. En effet, $R_{\square}$ augmente de 8% après 1000 heures à 180°C mais à 210°C l'augmentation de 8% est notée après seulement 500 heures de test. D'après l'équation 2.8, une augmentation de $R_{\square}$ entraine celle de $R_{contact}$. Ce comportement des TLM au cours des tests est également un indicateur du vieillissement des contacts ohmiques des TBH.

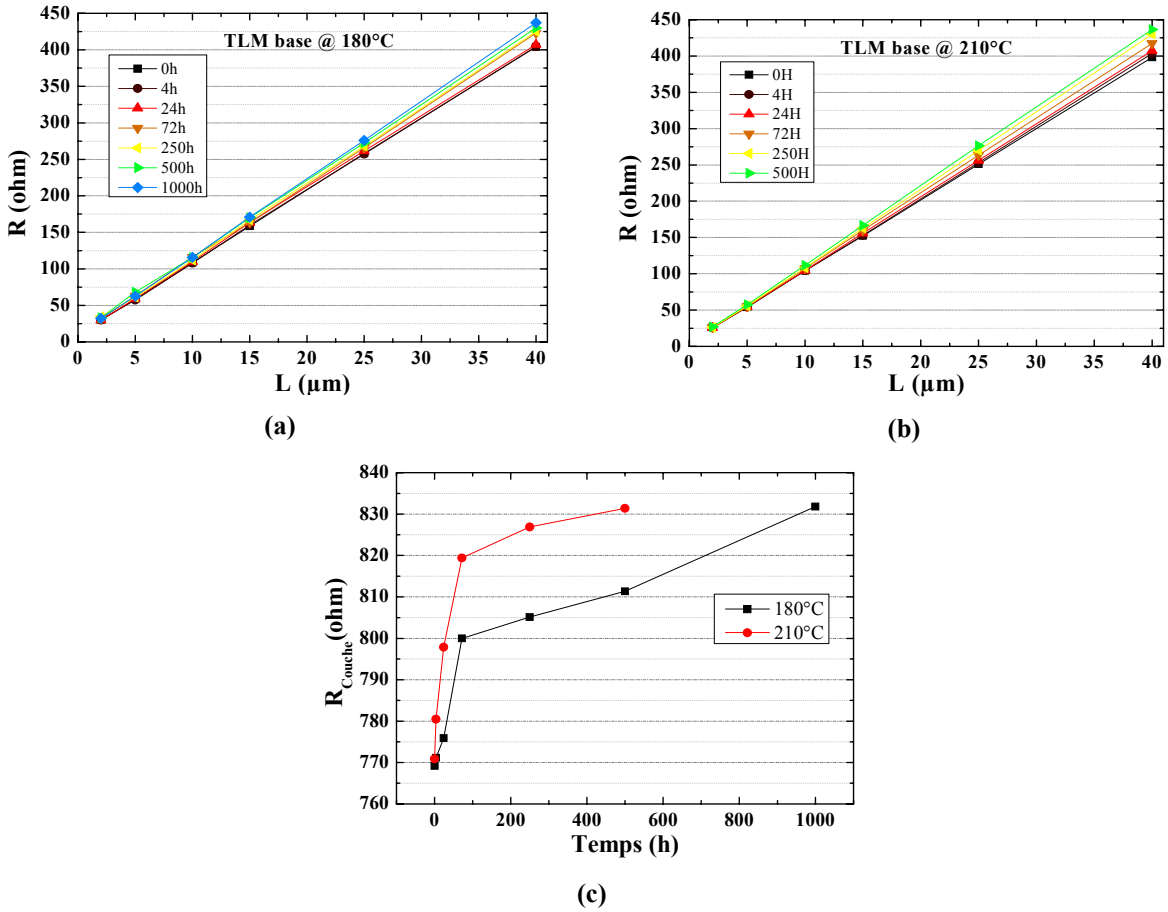


Figure 3. 5 : *Evolution de la droite R(L) des TLM base de la G0 en stockage.*

(a) *A 180°C* ***(b)*** *A 210°C* ***(c)*** *Evolution de $R_{\square}$ à 180, 210 °C*

Concernant les TLM émetteur et collecteur, les résultats des caractérisations électriques au cours des tests sont reportés sur la Figure 3. 6 et la Figure 3. 7 respectivement. Pour le TLM collecteur à 180°C (Figure 3. 6 (a)), nous remarquons que les courbes à 0 et 4 heures sont identiques ; entre 24 et 500 heures les mesures sont bruitées. Les valeurs des résistances à mesurer étant très faibles, elles sont souvent noyées dans le bruit de mesure. On constate également que la courbe obtenue à 1000 heures n'est plus bruitée et elle est quasiment égale aux mesures effectuées à 0 et 4 heures. Concernant les caractérisations du TLM collecteur soumis à 240°C (Figure 3. 6 (b)), on remarque que le décalage de la droite R(L) intervient dès 72 heures. Puis les mesures R(L) se stabilisent entre 72 et 500 heures. Malgré ce décalage, les pentes des droites restent identiques, ce qui indique que seule la résistance de contact évolue. On observe également que l'évolution de la résistance de contact se produit plus tôt pour les TLM collecteur soumis à 240°C.

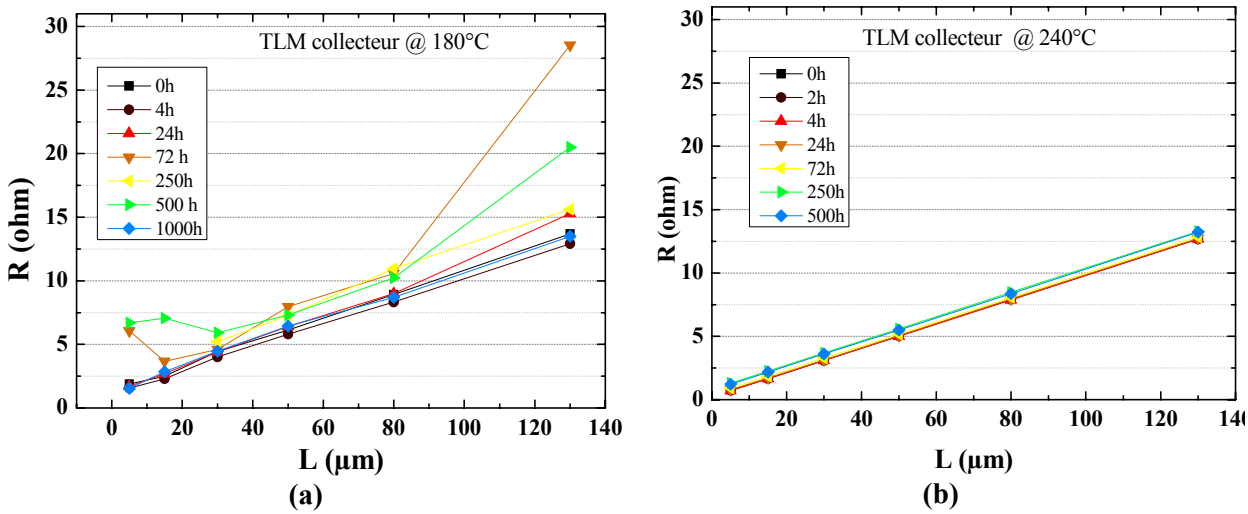


Figure 3. 6 : *Evolution de la droite R(L) des TLM collecteur de la G0 en stockage*
(a) *TLM collecteur à 180°C* ***(b)*** *TLM collecteur 240°C*

Quant aux TLM émetteur soumis à 180°C, la Figure 3. 7 (a) présente les mêmes résultats que ceux du TLM collecteur soumis à la même température d'étuve c'est-à-dire des mesures bruitées entre 24 et 500 heures, puis la mesure effectuée à 1000 heures est quasiment identique à celles obtenues à 0 et 4 heures et sans décalage. Ceci indique que ni la résistance de couche, ni la résistance de contact ne subissent aucune évolution à 180°C.

Sur la Figure 3. 7 (b) qui présente les résultats du TLM émetteur soumis à 240°C, les droites R(L) sont identiques pour les 250 premières heures. La droite R(L) mesurée à 500 heures présente une légère diminution de la pente.

La dégradation des TLM base et TLM collecteur est directement liée à la nature de leur couche de contact qui est en Ti/Au et à l'épaisseur de ces couches (*Tableau 2.4* du chapitre 2). Cette augmentation des résistances de couche et de contact s'explique par la diffusion de l'or dans le semi-conducteur. La couche de contact du TLM émetteur étant plus épaisse que celles du TLM base et du TLM collecteur alors nous supposons que sa dégradation devient significative plus tard.

En résumé, sous tests en stockage, les TLM base et collecteur présentent une augmentation de la résistance de contact mais seul le TLM base présente une résistance de couche qui évolue. Quant aux TLM émetteur de la filière III-V Lab, aucune évolution n'est observée.

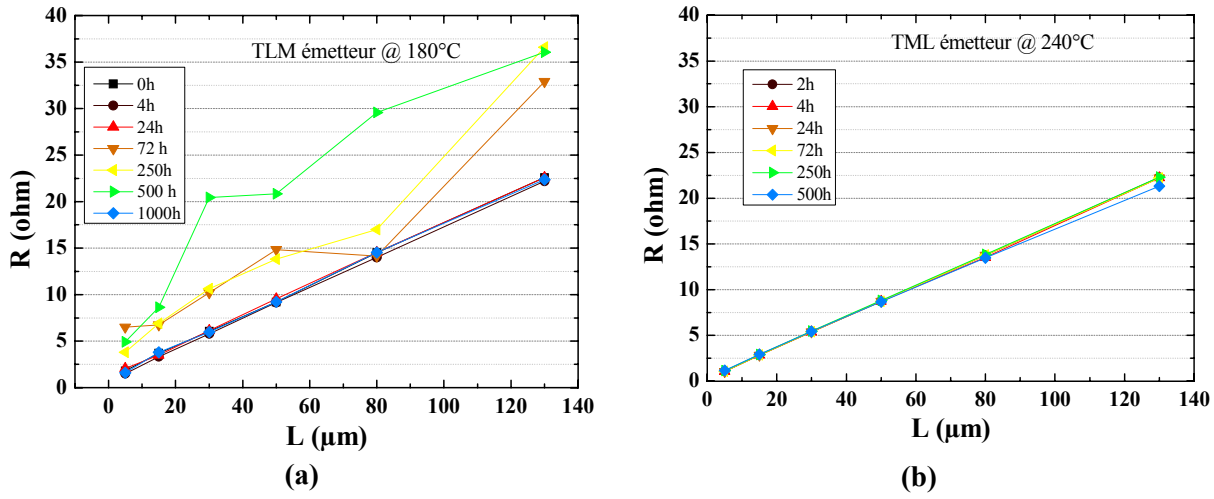


Figure 3. 7*: Evolution de la droite R(L) des TLM émetteur de la génération G0 en stockage*
***(a)** TLME à 180°C **(b)** TLME 240°C*

4. Résultats des tests de vieillissement accéléré sous contrainte thermique effectués sur les TBH

Dans ce paragraphe, nous présentons les résultats des caractérisations statiques des TBH réalisées au cours des tests de vieillissement accéléré en stockage à 180, 210 et 240°C. Tout comme pour les technologies sur substrat GaAs, celles sur substrat InP doivent être étudiées à des températures de vieillissement élevées pour détecter les mécanismes associés aux dégradations des interfaces métal-semi-conducteur. Contrairement aux TBH sur substrat GaAs pour lesquels les énergies d'activation associées à ces mécanismes sont généralement supérieures à 1 eV [17], pour les TBH sur substrat InP elles sont supérieures à 1,2 eV. A partir des mesures électriques, de nombreux paramètres tels que les résistances séries, les résistances de contact, les coefficients d'idéalité des diodes ou encore les courants de fuite sont extraits [89].

4.1. Génération 0 de la filière III-V Lab

Les tests de vieillissement accéléré effectués en stockage sur les transistors G0 ont été programmés pour 3000 heures. Pour les températures d'étuve T_{etu} de 180°C et 210°C, des mesures de reprise sont effectuées sur chaque transistor sous test à 0, 4, 24, 72, 250, 500, 1000, 1500, 2000 et 3000 heures. La dégradation des transistors soumis à T_{etu} = 240°C étant plus rapide, des mesures de reprise intermédiaires sont ajoutées à 1, 2, 8, 16, 750 et 1250 heures. Le *Tableau 3. 4* montre le nombre de transistors G0 vieillis en stockage selon les températures d'étuve.

Tableau 3. 4 : Conditions de tests sous contrainte thermique et nombre de transistors de la G0 testés

	Température (°C)		
Géométries	**180**	**210**	**240**
T5	**0**	**0**	**1**
T7	**2**	**1**	**3**
T10	**2**	**1**	**2**

❖ **Effet de la température sur la jonction base-émetteur**

Le moyen le plus efficace d'évaluer l'état de la jonction base-émetteur est d'observer l'évolution des tracés de Gummel à V_{BC} nulle au cours des tests de vieillissement. Ainsi, sur la Figure 3. 8, sont présentées les évolutions typiques des tracés en Gummel à V_{BC} nulle ainsi que du gain en courant des TBH soumis à différentes températures d'étuve. Dans l'ordre nous présentons : un T10 soumis à 180°C (Figure 3. 8 (a)), un T7 soumis à 210°C (Figure 3. 8 (c)) et un T7 soumis à 240°C (Figure 3. 8 (e)). A partir de l'évolution des tracés de Gummel, nous notons les points suivants :

- Sur le courant de base I_B :
    - Aux faibles niveaux d'injection, $0 \leq V_{BE} \leq 0,2$ V, le courant diminue durant les tests, ce qui suggère que les résistances de fuite R_{EB}, R_{EC} augmentent durant les tests. Ce comportement est vraisemblablement lié à l'utilisation du BCB comme passivation [17].
    - Aux niveaux d'injection intermédiaires, $0,2 \leq V_{BE} \leq 0,8$ V, le courant augmente. Ceci est du à une création de défauts cristallins dont la densité varie au cours des tests. Ces défauts sont localisés à la jonction B-E et/ou à la périphérie B-E (Tableau 1.7). Une analyse approfondie basée sur la variation des densités de pièges associées à ces défauts est détaillée dans le chapitre 4.
    - Aux forts niveaux d'injection, $V_{BE} \geq 0,8$V, I_B diminue. Cette diminution est attribuée à l'augmentation des résistances de contact durant les tests de vieillissement. Ceci est confirmé par le comportement des TLM base et des TLM collecteur sous contrainte thermique (respectivement Figure 3. 5 et Figure 3. 6). L'augmentation des résistances de contact de base et de collecteur est la signature électrique de la diffusion d'un ou plusieurs matériaux de la couche de contact dans le semi-conducteur comme cela est mentionné dans [46].

- Pour le courant de collecteur, on observe que :
    - Aux faibles niveaux d'injection, $0 \leq V_{BE} \leq 0,2$ V, le niveau du courant diminue comme c'est le cas dans [17] pour des TBH InGaAs/InP.
    - Aux niveaux d'injection intermédiaires, $0,2 \leq V_{BE} \leq 0,8$ V, aucune variation notable n'est observée.

- Aux forts niveaux d'injection, $V_{BE} \geq 0,8V$, le courant diminue sans doute pour la même raison que celle citée pour le courant de base.

Sur la Figure 3. 8 (e), on observe une inversion du courant de collecteur à 1000 heures. Cette signature électrique rappelle un mécanisme de défaillance extrinsèque au transistor déjà identifié et caractérisé dans [17]. L'inversion des courants de base et de collecteur est également observable sur les tracés de Gummel en direct des TBH G1.

Dans la colonne de droite de la Figure 3. 8, nous montrons l'évolution du gain en courant durant les tests de vieillissement. La Figure 3. 8 (b) présente celle d'un TBH soumis à 180°C, la Figure 3. 8 (d) à 210°C et celle d'un TBH soumis à 240°C est reportée sur la Figure 3. 8 (f). Après 3000 heures de vieillissement, le maximum du gain en courant diminue de 9 % à 180°C et de 8 % à 210°C. La Figure 3. 8 (f) montre que les transistors soumis à la température d'étuve de 240°C ne sont plus opérationnels après 1250 heures avec une diminution du maximum du gain en courant de 93 %. Seuls les transistors soumis aux températures d'étuve de 180 et 210°C restent fonctionnels à la fin des tests en stockage. La jonction base-émetteur n'est détériorée que pour la température d'étuve de 240°C.

La température de stockage de 240°C est une température extrême pour laquelle les transistors du projet ROBUST n'opèrent pas en situation d'application. Ainsi les résultats des tests de stockage sont à prendre avec précaution. Cependant, c'est une indication utile pour les tests de qualification futurs.

L'ensemble des résultats montre que les mécanismes de dégradation rencontrés ici sont activés thermiquement.

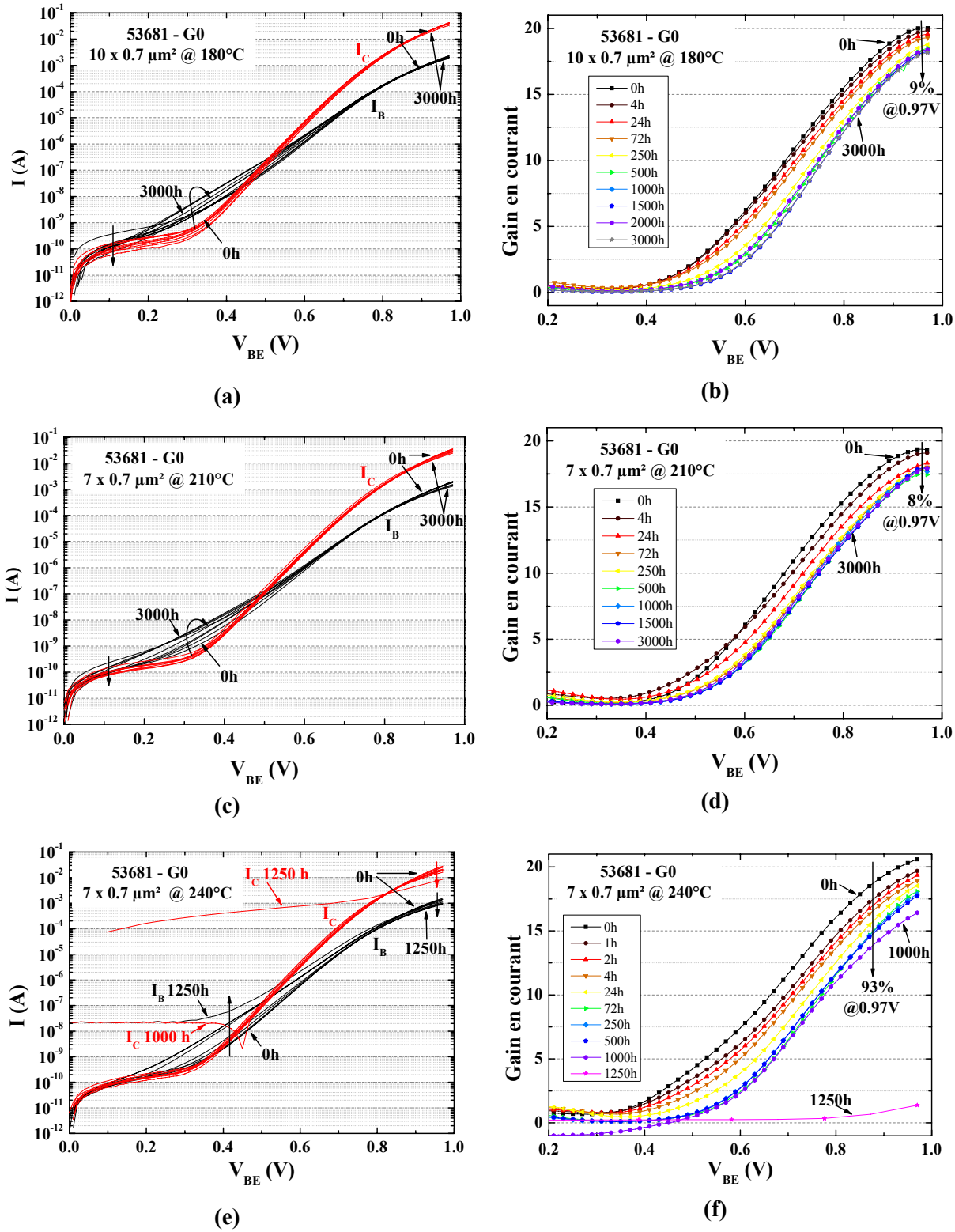


Figure 3. 8 : *Evolution des caractéristiques électriques de la jonction base-émetteur des transistors G0 sous tests en stockage*

(a), (c) *et* ***(e)*** *sont les tracés de Gummel en direct à 180, 210 et 240°C respectivement*

(b), (d) *et* ***(f)*** *sont les gains en courant à 180, 210 et 240°C respectivement*

❖ **Effet de la température sur la jonction base-collecteur**

Pour évaluer l'état de la jonction base-collecteur, nous nous intéressons aux tracés de Gummel en inverse (à V_{BE} nulle) et aux réseaux de sortie I_C (V_{CE}) tous deux représentés sur les Figure 3. 9 et Figure 3. 10. Il s'agit des mêmes transistors que ceux présentés sur la Figure 3. ***8***. Dans la colonne de gauche, nous présentons les tracés de Gummel en inverse pour les températures d'étuve de 180, 210 et 240°C (Figure 3. 9. (a), Figure 3. 9. (c) et Figure 3. *10*. (a) respectivement). Les transistors vieillis à 180 et 210°C montrent que :

- Pour $0 \leq -V_{CE} \leq 0{,}6V$, le courant de base I_B et le courant d'émetteur I_E augmentent puis se stabilisent à partir de 2000 heures.
- Pour $-V_{CE} \geq 0{,}6V$, aucune variation des courants I_B et I_E n'est observée.

Contrairement aux TBH soumis à 180 et 210°C, les transistors soumis à 240°C montrent des signes de dégradation. Sur la Figure 3. 10 (a), on remarque que la jonction base-collecteur commence à se détériorer à 500 heures pour ne plus être qu'un court-circuit à 1250 heures.
La caractérisation des réseaux de sortie I_C (V_{CE}) a été réalisée pour I_B allant de 0,1 à 1,1 mA et de 0,1 à 1 mA par pas de 0,1 mA pour les T10 et les T7 respectivement.

- Sur les réseaux de sortie des transistors soumis à 180 et 210°C (Figure 3. 9. (b) et Figure 3. 9. (d)), on remarque les points suivants :
  - Une tension de décalage V_Δ stable durant les tests, ce qui garantit la stabilité des jonctions base-collecteur et base-émetteur.
  - Dans la zone de saturation pas de variation, la pente représentant la somme des résistances entre émetteur et collecteur.
  - Dans le régime linéaire, à courant I_B constant, une diminution du niveau du courant de collecteur au cours des tests de vieillissement. Ceci est directement lié à la diminution du gain en courant (Figure 3. 9. (b), (d) et Figure 3. 10. (b)) [17].
- A 240°C, on remarque que :
  - la tension de décalage V_Δ est stable jusqu'à 500 heures puis varie de 0,12 mV à 0,46 mV à 1000 heures. A 1250 heures la jonction base-collecteur n'est plus intègre.
  - Dans le régime linéaire, à 1000 heures, le phénomène d'ionisation par impact se manifeste par l'augmentation soudaine du courant de collecteur pour $V_{CE} > 1{,}5$ V (Figure 3. 10. (b)) (cf chapitre 1, paragraphe 2.4.6). A 1250 heures la jonction base-collecteur ne joue plus son rôle et on n'observe

plus de régime linéaire comme dans [48]. On remarque que l'inversion du courant de base de la Figure 3. 8. (f) se produit au même moment que le court-circuit de la Figure 3. 9. (e) donc on peut déduire que ces signatures sont liées au même mécanisme de dégradation.

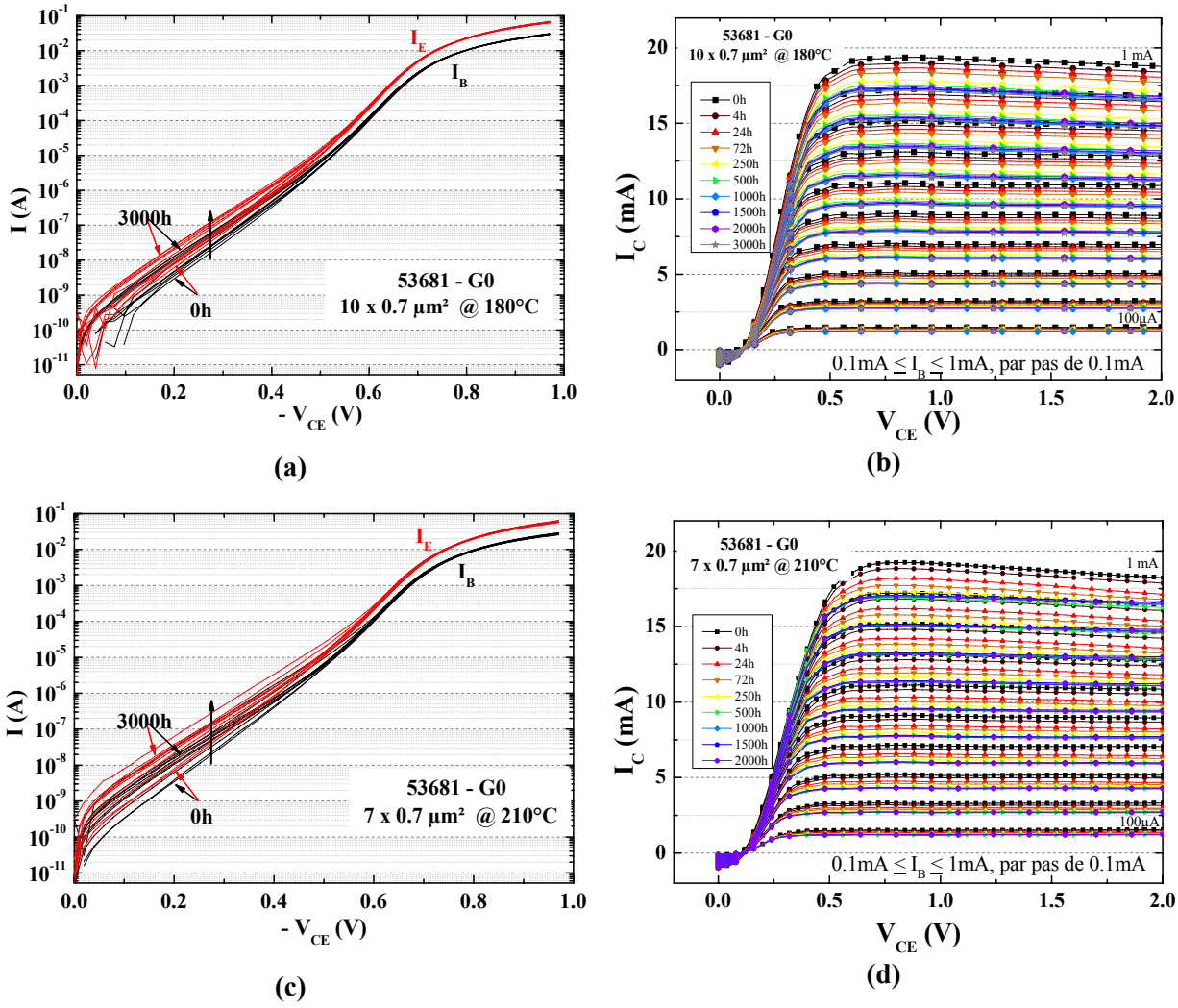
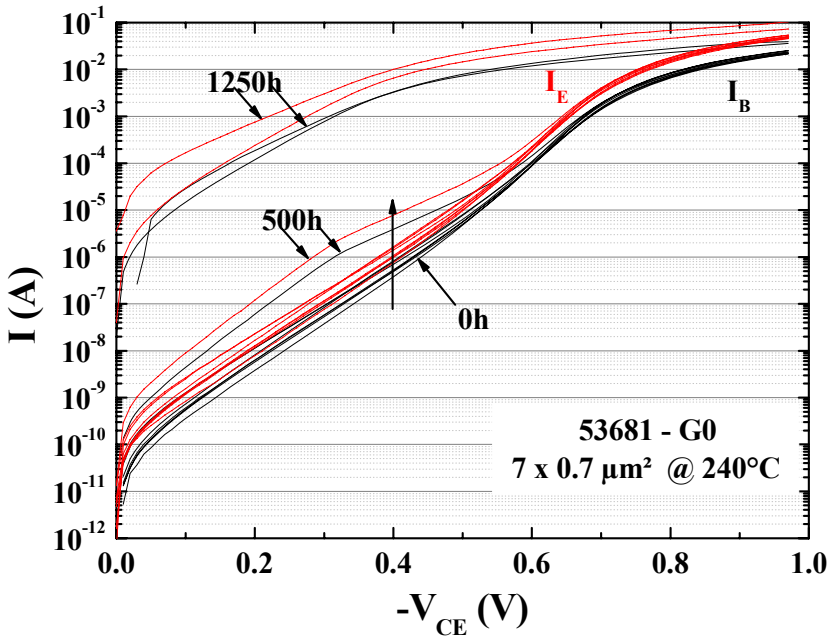


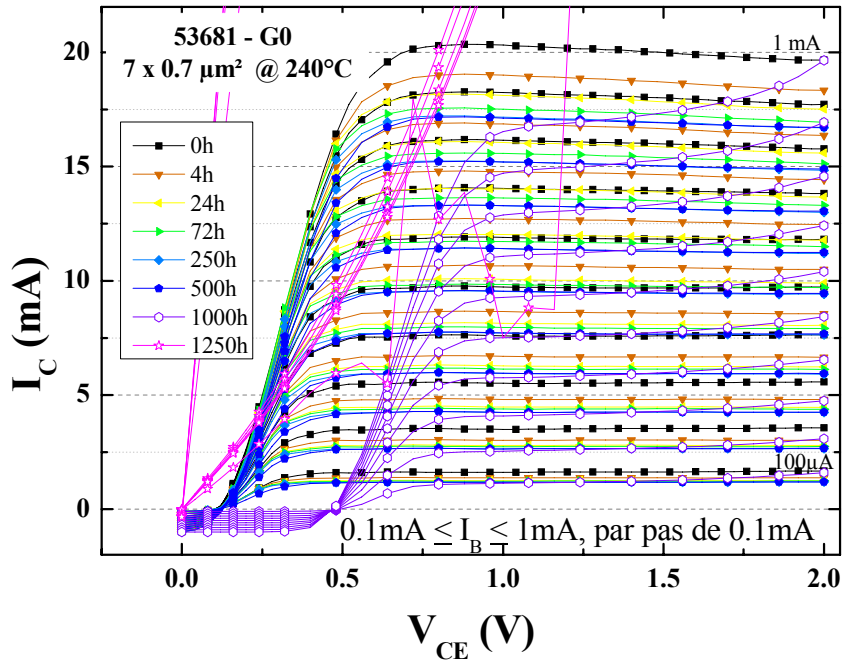
Figure 3. 9 : *Evolution des caractéristiques électriques de la jonction base-collecteur des transistors G0 sous tests en stockage*

(a) *et* ***(c)*** *sont les tracés de Gummel en inverse à 180, 210°C respectivement*

(b) *et* ***(d)*** *sont les réseaux de sortie I_C (V_{CE}) à 180, 210°C respectivement*



(a)



(b)

Figure 3. 10 : *Evolution des caractéristiques électriques de la jonction base collecteur des transistors G0 sous tests en stockage*
(a) *les tracés de Gummel en inverse*
(b) *les réseaux de sortie I_C (V_{CE})*

4.2. Génération 1 de la filière III-V Lab

Les tests de vieillissement accéléré effectués sur les transistors G1 ont été réalisés jusqu'à 3000 heures pour les températures de vieillissement de 180 et 210°C. Du fait de la dégradation importante des transistors, pour la température d'étuve de 240°C, le test s'est arrêté à 750 heures. Les mêmes étapes de reprise que celles effectuées sur les TBH G0 sont maintenues. Le *Tableau 3. 4* a été mis à jour en ajoutant le nombre de transistors G1 soumis au test de stockage. Ainsi le *Tableau 3. 5* donne le nombre de TBH G0 et de TBH G1 soumis au test de stockage.

Tableau 3. 5 : Conditions de tests sous contrainte thermique et nombre de transistors G0 et G1 III-V Lab testés

	Température (°C)					
	180		**210**		**240**	
Géométries	**G0**	**G1**	**G0**	**G1**	**G0**	**G1**
T5	0	4	0	4	1	4
T7	2	3	1	4	3	4
T10	2	4	1	4	2	4

❖ **Effet de la température sur la jonction base-émetteur**

La Figure 3. 11 présente les tracés de Gummel en direct et le gain en courant associés à chaque TBH sous test.

- Pour la température de vieillissement de 180°C (Figure 3. 11 (a)):
  - Aux faibles niveaux d'injection contrairement aux transistors G0, les transistors G1 présentent des courants de fuite qui augmentent au cours des tests de vieillissement. Ce comportement est attribué à la passivation polyimide.
  - Aux niveaux d'injection intermédiaires, le courant de base augmente tandis que le courant de collecteur n'évolue pas. Cette augmentation est attribuée à la variation de la densité de défauts localisés à la jonction base-émetteur comme dans le cas de TBH G0.
  - Aux forts niveaux d'injection, les courants de base et de collecteur évoluent peu de 0 à 3000 heures.
  - Le maximum du gain en courant (Figure 3. 11 (b)) diminue de 23 % à 0,96 V après 3000 heures. Cette diminution est plus importante que celle observée sur

les TBH G0 vieillis à 180°C qui n'est que de 9 %. On remarque aussi que le maximum du gain en courant se décale vers une tension V_{BE} plus élevée au cours des tests. Ceci est la signature électrique de la diffusion d'un ou plusieurs matériaux de la couche de contact dans le semi-conducteur [46]. Ceci est en contradiction avec la stabilité apparente à fort niveau d'injection de I_B et de I_C mais en cohérence avec l'évolution des TLM.

- Pour la température de vieillissement de 210°C (Figure 3. 11 (c)):
  - Aux niveaux d'injection faibles et intermédiaires, les courants de fuite de la base et du collecteur augmentent. A partir de 1000 heures de vieillissement, on observe une inversion du courant de base I_B [17] pour une tension V_{BE} égale à 0,25 V à 1000 heures, 0,35 V à 2000 heures et 0,45 V à 3000 heures tandis que I_C continue toujours à augmenter. L'inversion du courant de collecteur n'arrive qu'à 3000 heures. L'inversion de courant est une signature de la dégradation de la jonction base-collecteur [48].
  - Aux forts niveaux d'injection, les courants I_B et I_C diminuent. Ceci est lié à l'augmentation des résistances d'accès d'émetteur et de collecteur.
  - La diminution du maximum du gain en courant est de 32 % à 0,96 V après 3000 heures (Figure 3. 11 (d)) contre 8 % pour les TBH G0,
- Pour la température de vieillissement de 240°C (Figure 3. 11 (e)):
  - Aux niveaux d'injection faibles et intermédiaires, l'inversion de courant [17] se produit seulement après 250 heures de test. A 750 heures, il y a un court circuit de la jonction base émetteur.
  - Aux forts niveaux d'injection, l'augmentation des résistances de contact d'émetteur et de collecteur est plus importante et se produit plus tôt au cours des tests.
  - La Figure 3. 11 (f) montre qu'à 750 heures, le maximum du gain en courant du TBH a diminué de 87 % pour V_{BE} égale à 0,96 V, alors que les transistors G0 soumis à 240°C étaient encore fonctionnels à 1000 heures.

La dégradation de la jonction base-émetteur des transistors G1 vieillis à 180, 210 et 240°C se produit plus rapidement que celle des transistors G0 à température de vieillissement égale. Tout comme les TBH G0, les TBH G1 ne fonctionneront pas à une température de jonction de 240°C dans le cadre des applications visées. Cette température est extrême mais utile pour limiter les tests de qualification de la technologie.

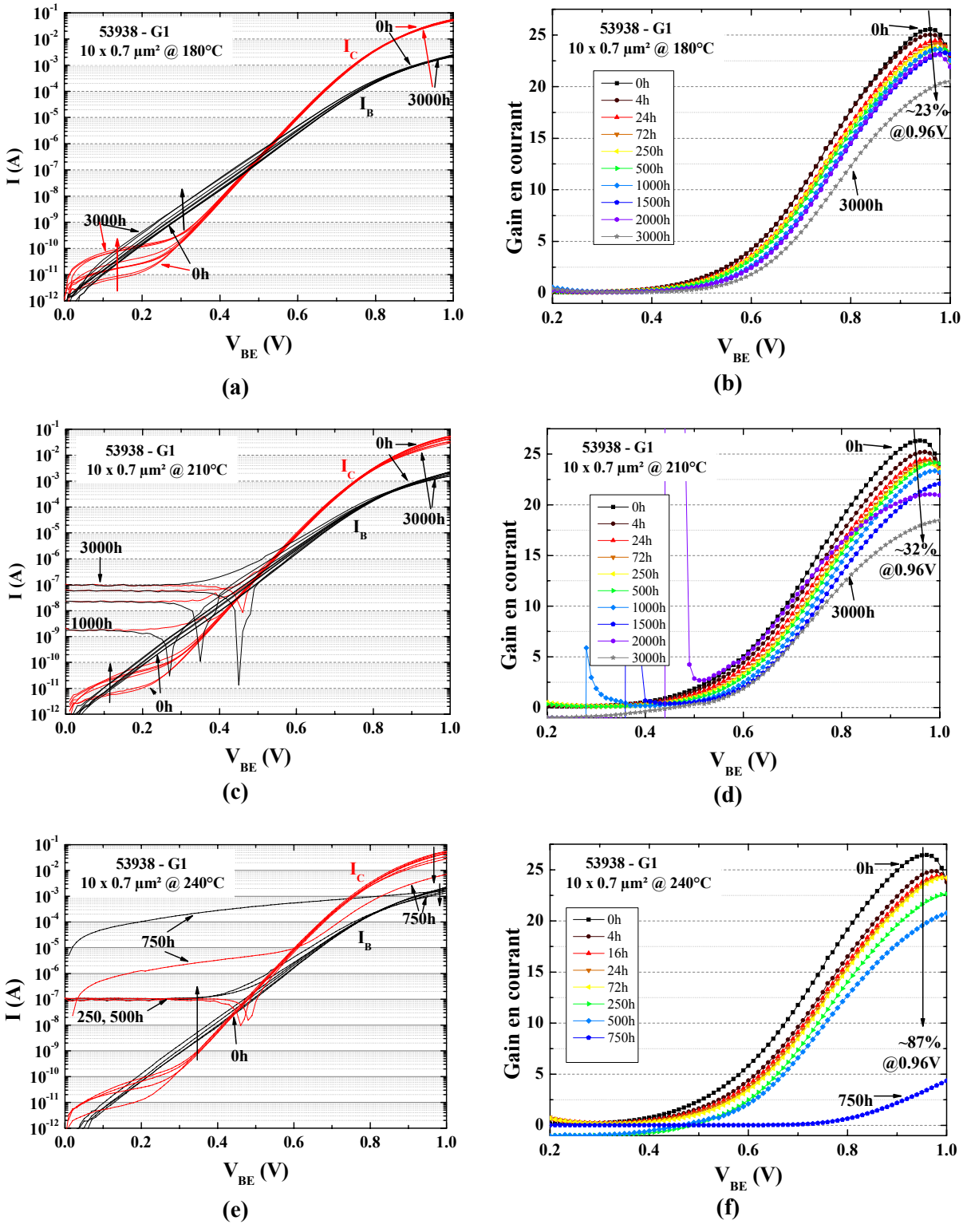


Figure 3. 11: *Evolution des caractéristiques électriques de la jonction base-émetteur des transistors G1 sous tests en stockage*

(a), (c) *et* ***(e)*** *sont les tracés de Gummel en direct à 180, 210 et 240°C respectivement*

(b), (d) *et* ***(f)*** *sont les gains en courant à 180, 210 et 240°C respectivement*

❖ **Effet de la température sur la jonction base-collecteur**

La Figure 3. 12 montre les tracés de Gummel en inverse (à V_{BE} nulle) et les réseaux de sortie I_C (V_{CE}) des TBH G1 vieillis à 180, 210 et 240°C. La caractérisation des réseaux de sortie I_C (V_{CE}) a été réalisée pour I_B allant de 0,1 à 1,1 mA avec un pas de 0,1 mA.

- Pour la température de vieillissement de 180°C :
  - La Figure 3. 12. (a) montre une légère augmentation des courants de base I_B et d'émetteur I_E pour les valeurs de la tension collecteur-émetteur V_{CE} inférieures à 0,6 V. Pour V_{CE} supérieure à 0,6 V, aucune variation n'est observée.
  - La Figure 3. 12. (b) montre une stabilité de la tension de décalage V_Δ et de la pente du courant I_C en régime de saturation. La diminution du courant de collecteur dans la zone linéaire, à courant de base fixé, est directement liée à la diminution du gain en courant.

- Pour la température de vieillissement de 210°C :
  - La Figure 3. 12. (c) montre que l'augmentation des courants I_B et I_E pour les valeurs de V_{CE} inférieures à 0,6 V est suivie par la formation d'un court-circuit à partir de 1500 heures.
  - La Figure 3. 12. (d) montre que la tension de décalage V_Δ commence à se décaler vers des valeurs de la tension V_{CE} plus élevées à partir de 1500 heures. Une légère variation de la pente de I_C en régime de saturation est observée. Et au même moment, dans la zone linéaire, apparait le mécanisme d'ionisation par impact, ce qui rend le transistor plus sensible au mécanisme d'avalanche. Le décalage de V_Δ et l'ionisation par impact s'intensifient durant le reste du test.

- Pour la température de vieillissement de 240°C
  - La Figure 3. 12 (e) montre que l'apparition du court-circuit survient dès 750 heures.
  - La Figure 3. 12 (f) montre effectivement qu'à 750 heures, la tension de décalage de V_Δ a fortement évolué et que le TBH n'a plus de gain.

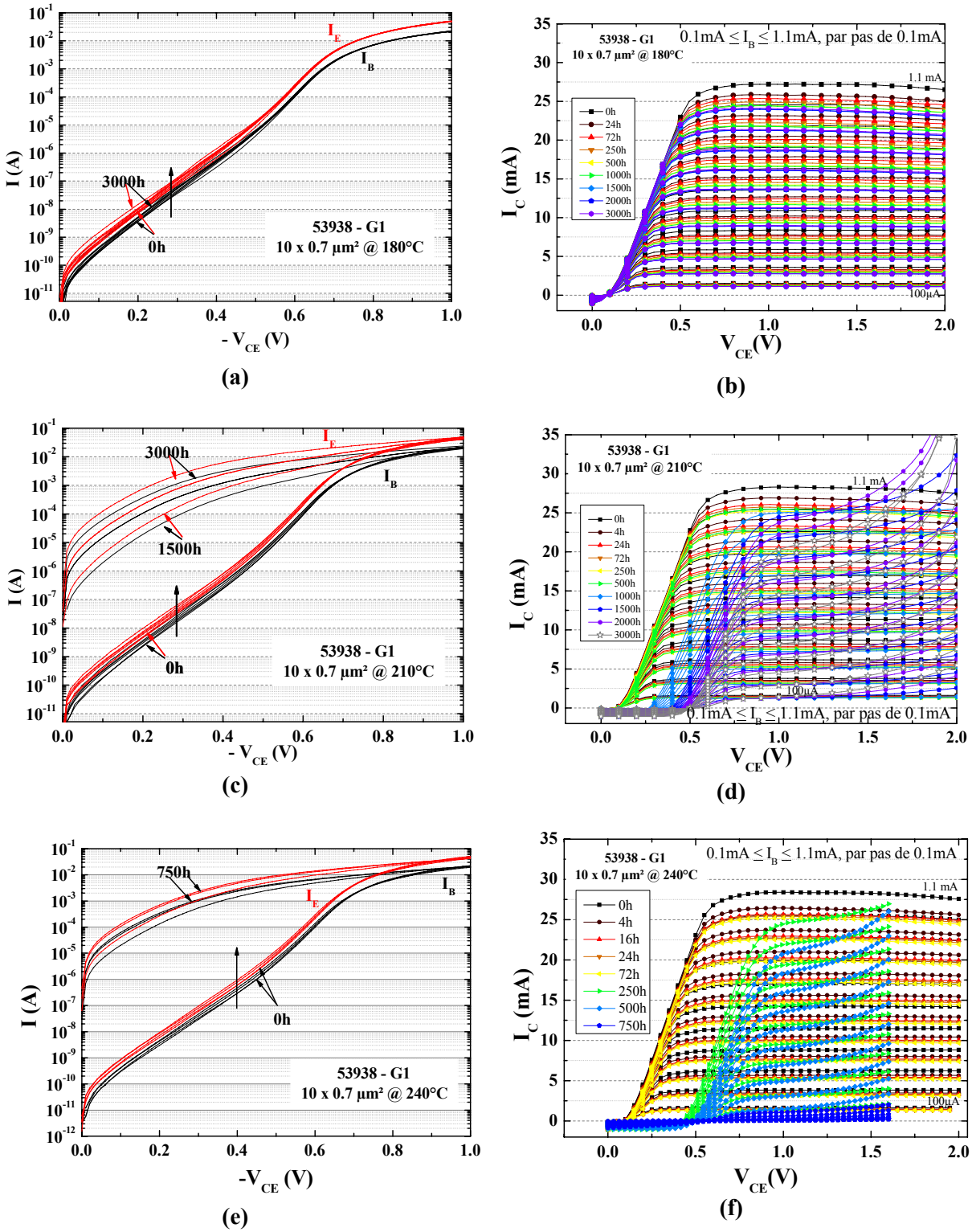


Figure 3. 12 : *Evolution des caractéristiques électriques de la jonction base collecteur des transistors G1 sous tests en stockage*

(a), (c) *et* ***(e)*** *sont les tracés de Gummel en inverse à 180, 210 et 240°C respectivement*

(b), (d) *et* ***(f)*** *sont les réseaux de sortie I_C (V_{CE}) à 180, 210 et 240°C respectivement*

4.3. Génération 2 de la filière III-V Lab

Les contacts ohmiques de la génération 2 de III-V Lab sont les mêmes que ceux de la génération 1. Pour cette raison, nous n'avons pas entrepris de tests de vieillissement en stockage de ces transistors puisque ces tests sont destinés à l'étude de la fiabilité des contacts.

4.4. Génération 2 de la filière OMMIC

Les mêmes températures d'étuve que précédemment sont utilisées pour réaliser les tests en stockage sur les transistors G2 OMMIC. Le *Tableau 3. 6* donne le nombre de transistors testés en stockage pour toutes les générations. Les tests de vieillissement ont été réalisés jusqu'à 3000 heures pour toutes les températures d'étuve.

Tableau 3. 6: Conditions de tests sous contrainte thermique et nombre de TBH testés de la G0 et G1 III-V Lab ainsi que de la G2 OMMIC

	Température (°C)								
	180			**210**			**240**		
Géométries	**G0 III-V Lab**	**G1 III-V Lab**	**G2 OMMIC**	**G0 III-V Lab**	**G1 III-V Lab**	**G2 OMMIC**	**G0 III-V Lab**	**G1 III-V Lab**	**G2 OMMIC**
T5	0	4	10	0	4	8	1	4	6
T7	2	3	10	1	4	8	3	4	6
T10	2	4	10	1	4	8	2	4	6

❖ **Effet de la température sur la jonction base-émetteur**

La Figure 3. 13 présente les tracés de Gummel en direct et le gain en courant associé à chaque TBH sous test de cette génération G2 OMMIC.

- Pour la température de vieillissement de 180°C (Figure 3. 13 (a)):
  - Aux faibles niveaux d'injection, le courant de base ne varie pas. L'analyse du courant de collecteur est rendue difficile du fait d'une mesure bruitée.
  - Aux niveaux d'injection intermédiaires, les courants I_B et I_C restent pratiquement stables.

- Aux forts niveaux d'injection, l'infime variation des courants n'est observable que sur le gain en courant (Figure 3. 13 (b)).
- Après 3000 heures, le gain en courant diminue de 11 % à une tension V_{BE} de 0,88 V. Cette variation est du même ordre que celle notée à 180°C pour les générations précédentes. Comme dans [89], on note une diminution et un décalage du maximum du gain vers les valeurs de V_{BE} supérieures.

- Pour la température de vieillissement de 210°C (Figure 3. 13 (c)):
  - Aux faibles niveaux d'injection, nous obtenons les mêmes résultats qu'à 180°C c'est à dire pas de réelle variation de I_B et l'analyse de I_C est rendue difficile du fait du bruit de mesure.
  - Aux niveaux d'injection intermédiaires, le courant I_B augmente légèrement tandis qu'I_C reste pratiquement inchangé jusqu'à 3000 heures.
  - Aux forts niveaux d'injection, la diminution des courants de base et de collecteur est plus importante que celle notée pour 180°C. Cette diminution tend vers une saturation après 1000 heures de vieillissement.
  - La Figure 3. 13 (d) montre qu'à 0,88 V le gain en courant diminue de 23 %, ce qui est plus important que la diminution à 180°C. Le décalage du maximum du gain en courant est plus important qu'à 180°C. Nous pouvons donc en déduire que la diffusion des métaux de la couche de contact d'émetteur, de base et/ou de collecteur est plus importante à 210°C [90].

- Pour la température de vieillissement de 240°C (Figure 3. 13 (e)) :
  - Aux niveaux d'injection faibles et intermédiaires, l'analyse est identique à celle décrite pour 210°C.
  - Aux forts niveaux d'injection, l'augmentation des résistances d'accès d'émetteur et du collecteur est encore plus importante et se produit plus tôt qu'à 210°C.
  - Sur la Figure 3. 13 (f), on remarque qu'après 250 heures, le maximum du gain en courant est obtenu pour de V_{BE} supérieure à 1 V. Son décalage est encore plus important que celui observé à 210°C. A 0,88 V le gain diminue de 30% après 3000 heures de test.

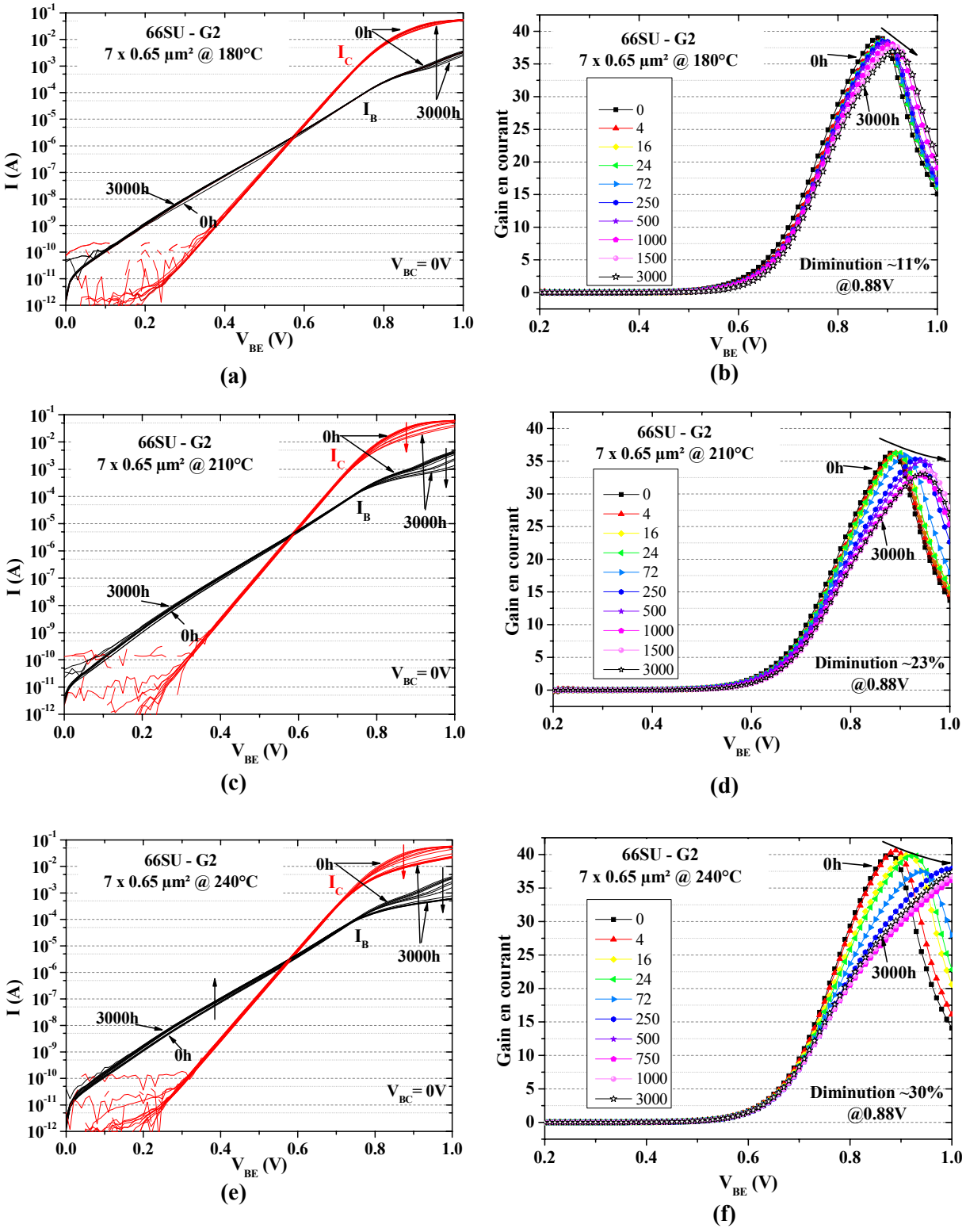


Figure 3. 13: *Evolution des caractéristiques électriques de la jonction base-émetteur des transistors G2 OMMIC sous tests en stockage*

(a), (c) *et* ***(e)*** *sont les tracés de Gummel en direct à 180, 210 et 240°C respectivement*

(b), (d) *et* ***(f)*** *sont les gains en courant à 180, 210 et 240°C respectivement*

- En général, le coefficient d'idéalité de la diode base-émetteur est proche de 1,5 pour tous les transistors de cette génération. Cette valeur élevée est due :
    - Soit à une densité d'états de surface élevée localisée à la surface de la base extrinsèque ou à la périphérie de l'émetteur comme cela est indiqué dans [91] et [92],
    - Soit à un courant de recombinaison par effet tunnel qui se produit dans la zone de charge d'espace de la jonction base-émetteur [27]. Le mécanisme de recombinaison serait dû au blocage des porteurs libres plus précisément des électrons à la jonction InP/InGaAs [93].

❖ **Effet de la température sur la jonction base-collecteur**

La Figure 3. 14 montre les tracés de Gummel en inverse et le réseau de sortie $I_C(V_{CE})$ à I_B constant des TBH G2 OMMIC soumis en stockage à 180, 210 et 240°C. La caractérisation du réseau de sortie $I_C(V_{CE})$ a été réalisée sur les TBH de géométrie T7B3H65 (cf chapitre 2, paragraphe 3.4) avec un courant I_B allant de 34 à 340 µA par pas de 34 µA.

- Pour les températures de vieillissement de 180 et de 210°C :
  - La Figure 3. 14 (a) et la Figure 3. 14 (c), montrent que pour les tensions $-V_{CE}$ inférieures à 0,8 V, les courants I_B et I_E diminuent après 4 heures de vieillissement. Puis, les niveaux des courants restent stables pendant la suite des tests. Pour les valeurs de tension supérieures à 0,8 V, aucune variation n'est observée.
  - La Figure 3. 14 (b) et la Figure 3. 14 (d) montrent les réseaux de sortie $I_C(V_{CE})$ à I_B constant. La différence entre les niveaux des courants de collecteur à I_{Bmax} est due à la dispersion technologique. Effectivement, tous les transistors n'ont pas la même valeur maximale de gain en courant, ce qui est très visible sur les réseaux de sortie. Néanmoins, on remarque sur les deux figures, une stabilité de la tension de décalage V_Δ. La pente du régime de saturation représentative de la somme des résistances entre émetteur et collecteur varie. La variation est plus prononcée à 210°C qu'à 180°C. Dans le régime linéaire, on note une diminution du courant de collecteur.

- Pour la température de vieillissement de 240°C
  - La Figure 3. 14 (e) montre que la jonction base-collecteur reste intègre après 3000 heures de vieillissement. Pour les valeurs de tension V_{CE} inférieures à 0,8 V, les courants I_B et I_E diminuent durant les 24 premières heures puis augmentent. Pour les valeurs de tensions V_{CE} supérieures à 0,8 V, les courants diminuent légèrement.
  - Sur la Figure 3. 14 (f), on remarque qu'après 3000 heures de test, V_Δ n'évolue pratiquement pas. Par contre, on note que les résistances de contact évoluent considérablement après 3000 heures de test. Ceci est la signature électrique de la diffusion des métaux de la couche de contact d'émetteur dans le semi-conducteur [90].

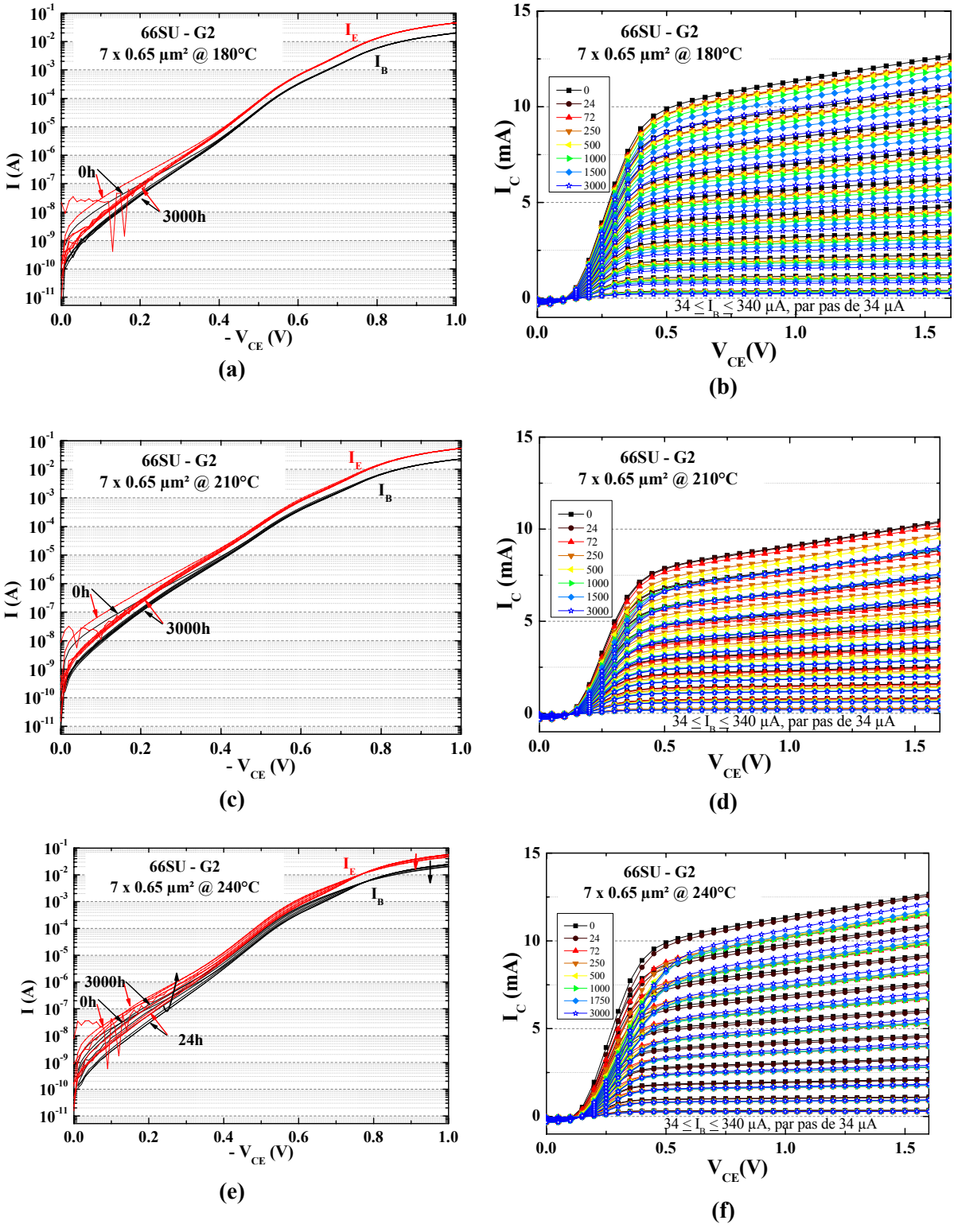


Figure 3. 14: Evolution des caractéristiques électriques de la jonction base collecteur des transistors G2 OMMIC sous tests en stockage.

***(a), (c)** et **(e)** sont les tracés de Gummel en inverse à 180, 210 et 240°C respectivement*

***(b), (d)** et **(f)** sont les réseaux de sortie I_C (V_{CE}) à 180, 210 et 240°C respectivement*

5. Résultats des tests de vieillissement accéléré sous contraintes thermique et électrique sur TBH

Les *Tableau 3. 7* et *Tableau 3. 8* donnent les nombres de transistors vieillis et mesurés sous tests de vieillissement sous polarisation des générations de TBH de la filière III-V Lab ainsi que de celle de la filière OMMIC. Malgré le nombre réduit de TBH, les mécanismes de dégradation relevés sont communs à tous les transistors de la même génération. Il s'agit donc bien de mécanismes de défaillance génériques représentatifs de la fiabilité de ces filières. Ainsi dans le chapitre 4, seuls les résultats d'un TBH représentatif par génération et par point de polarisation seront analysés.

Tableau 3. 7 : Nombre de transistors des générations G0, G1 et G2 de la filière III-V Lab sous tests de vieillissement en polarisation

Points de polarisation	P1			P2			P2'	P3	P4	P5
Générations / Géométries	G0	G1	G2	G0	G1	G2	G1	G1	G1	G1
T5		2			2					
T7	1	2	1	1	2	1	1	3	2	1
T10	1			1	2			2	1	

Tableau 3. 8 : Nombre de transistors G2 OMMIC sous tests de vieillissement en polarisation

Points de polarisation / Géométries	P1	P2	P5_O	P6_O
T5	1	1	2	3
T7	1	2	3	2
T10	0	0	0	0
Total	2	3	5	5

5.1. Génération 0 de III-V Lab

Les tests de vieillissement sous polarisation des TBH G0 ont été effectués sur la plaque 53576. Deux points de polarisation ont été testés : P1 et P2. La densité de courant de collecteur J_C étant maintenue constante à 400 kA/cm^2, P1 et P2 diffèrent uniquement par la tension base-collecteur V_{CE} appliquée qui est de 1,5 V et 2 V respectivement. De ce fait, la température de jonction associée à chacun des points de polarisation est différente. Les caractérisations électriques d'un T7 vieilli sous conditions P1 et P2 sont représentées sur la Figure 3. 15. Les tracés de Gummel en direct sont dans la colonne de gauche. A l'issue du test sous conditions P1 (Figure 3. 15 (a)) :

- Concernant le courant de base I_B:
  - Pour $0,2 \leq V_{BE} \leq 0,6$ V, il augmente, puis diminue un peu pour finir par se stabiliser à partir de 250 heures. Cette augmentation du courant de base a déjà été observée dans [46], [90], [62], [94] et [95].
  - Pour $V_{BE} \geq 0,6$ V, le courant commence à augmenter uniquement après 250 heures, c'est à dire à partir du moment où une stabilisation du courant apparaît pour V_{BE} inférieure à 0,6 V. Ce comportement spécifique sera analysé dans le chapitre 4 par le biais de la simulation physique.

- Concernant le courant de collecteur :
  - Pour $V_{BE} \leq 0,8$ V, on n'observe pas de variation.
  - Pour $V_{BE} \geq 0,8$ V, on observe une légère diminution du fait de l'augmentation des résistances de contact [57].

Au cours du test sous conditions P2, la Figure 3. 15 (b) montre que :

- Pour $0,2 \leq V_{BE} \leq 0,6$ V, le courant de base augmente et sa stabilisation se produit plus tôt c'est à dire à 72 heures.
- Pour $V_{BE} \geq 0,6$ V, l'augmentation du courant de base est plus importante que celle observée au cours du test sous conditions P1.
- Pour $V_{BE} \leq 0,8$ V, le courant de collecteur augmente progressivement,
- Pour $V_{BE} \geq 0,8$ V, le courant de collecteur diminue davantage qu'au cours du test sous conditions P1.

Sur les Figure 3. 15 (b) et (d), qui représentent l'allure du gain en courant des TBH vieillis, on note que la dégradation des transistors est plus importante durant le test sous conditions P2 que durant le test sous conditions P1. Le maximum du gain diminue de 30 % sous les conditions P1 après 2000 heures contre 60 % après seulement 1500 heures sous les conditions de polarisation P2.

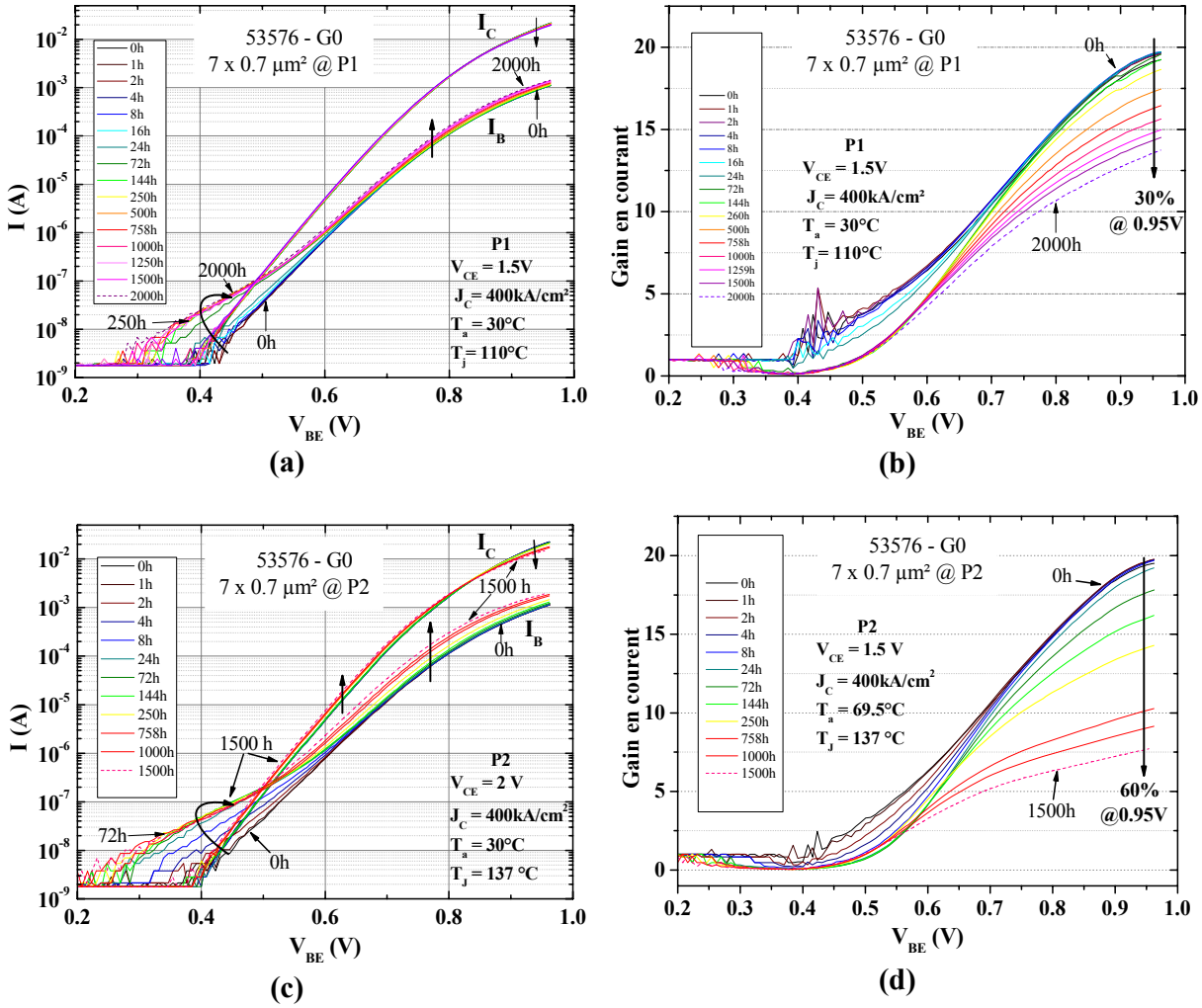


Figure 3. 15 : *Caractéristiques électriques des TBH G0 vieillis aux points de polarisation P1 et P2*

(a) *Les tracés de Gummel d'un T7 sous P1* ***(b)*** *Le gain en courant d'un T7 sous P1*

(c) *Les tracés de Gummel d'un T7 sous P2* ***(d)*** *Le gain en courant d'un T7 sous P2*

Comme indiqué dans le *Tableau 3. 7*, aucun T5 G0 n'a été soumis aux tests. Concernant les T10 G0, la signature de la dégradation (courant de base I_B, courant de collecteur I_C et gain en courant) est similaire à celle observée sur les transistors de géométrie T7. Dans [60], les auteurs ont observé des signatures électriques similaires.

5.2. Génération 1 de III-V Lab

Les résultats des tests de vieillissement accéléré sous polarisation effectués sur les transistors G1 sont décrits dans ce paragraphe. Rappelons que les transistors G1 ont été soumis aux 6 points de polarisation nommés P1, P2, P2', P3, P4 et P5. (*Tableau 3. 2*). Les résultats obtenus sont présentés selon deux critères: à température de jonction T_J fixée puis à densité de courant de collecteur J_C fixée.

5.2.1. Résultats des tests de vieillissement à température de jonction Tj fixée

Les températures de jonction associées aux points de polarisation P2 et P2' sont toutes les deux égales à 100°C. La différence entre ces deux points se situe au niveau de la tension V_{CE} et de la densité de courant de collecteur J_C (*Tableau 3. 2*). Sur la Figure 3. 16 (a), qui montre les résultats de vieillissement accéléré d'un T7 soumis à P2', nous remarquons que :

- Pour $0,2 \leq V_{BE} \leq 0,6$ V, le courant de base augmente jusqu'à 250 heures puis diminue légèrement avant de se stabiliser comme durant les tests sous P2 (Figure 3. 16 (c)).
- Pour $V_{BE} \geq 0,6$ V, l'augmentation du courant de base est plus importante que celle observée sur le TBH soumis à P2 (Figure 3. 16 (c)).
- La dynamique de variation du courant de collecteur est similaire à celle observée pendant le test P2. Cependant, l'amplitude de l'augmentation de I_C est plus importante sous conditions P2' que sous conditions P2.
- La diminution du gain en courant est plus importante sous P2'. Il décroit de 37% à 1250 heures sous P2' contre 23 % à 2000 heures sous P2. Cette dégradation rapide est sans doute due à la densité de courant de collecteur élevée de 610 kA/cm² du point P2' contre 400 kA/cm² pour le point P2.

En conclusion, indépendamment de la température de jonction (égale ici à 100°C dans les deux cas), les mécanismes de dégradation se produisent plus vite pour une densité de courant plus élevée. Les mécanismes de défaillance sont donc à la fois activés thermiquement et par la densité de courant et/ou le champ électrique.

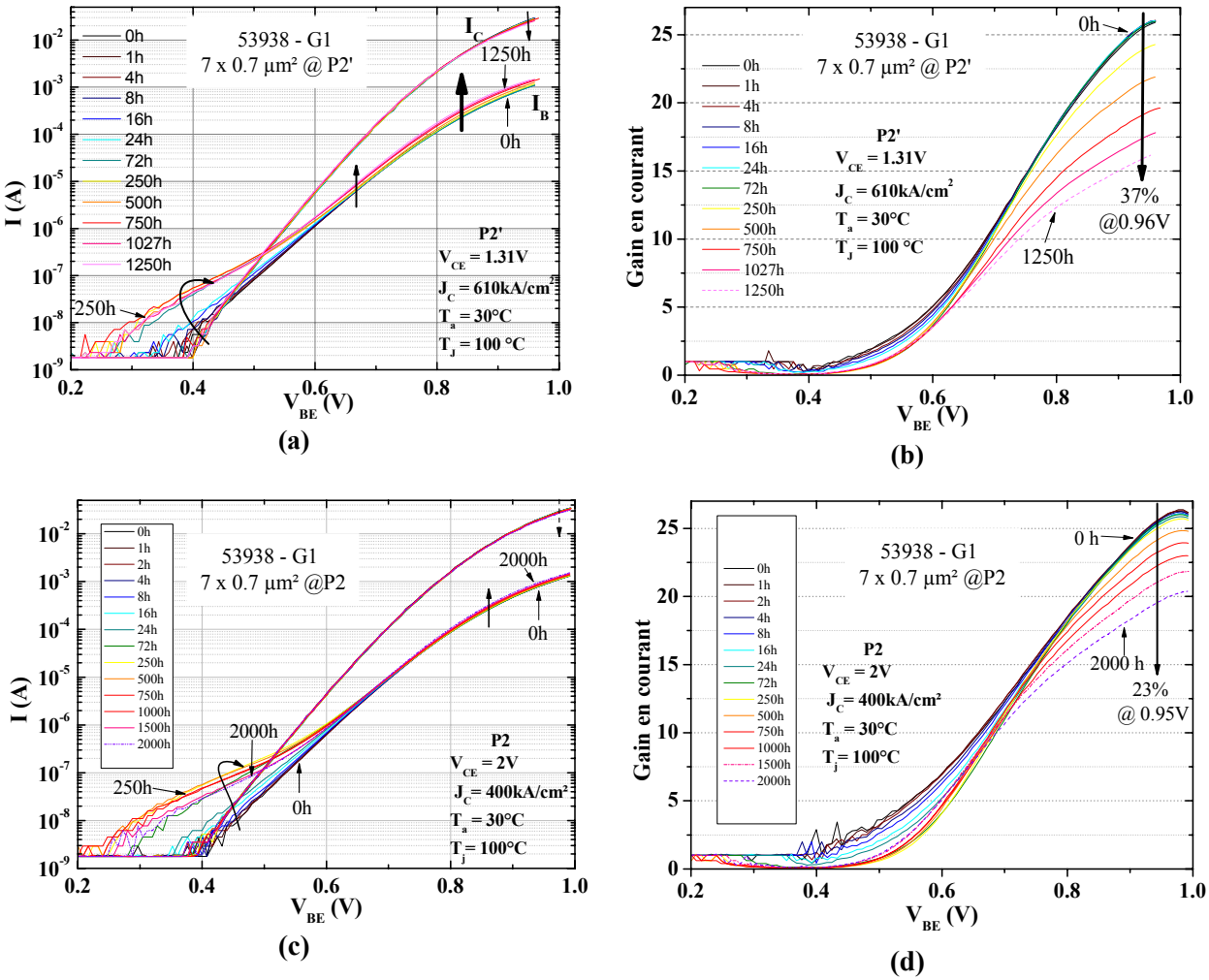


Figure 3. 16 : *Caractéristiques électriques des TBH G1 vieillis aux points de polarisation P2' et P2*

(a) *Les tracés de Gummel en direct d'un T7 sous P2'* ***(b)*** *Le gain en courant d'un T7 sous P2'*

(c) *Les tracés de Gummel en direct d'un T7 sous P2* ***(d)*** *Le gain en courant d'un T7 sous P2*

5.2.2. Résultats des tests de vieillissement à densité de courant de collecteur fixée

La Figure 3. 17 montre les caractéristiques électriques des transistors vieillis sous polarisation aux points P1 avec V_{CE} égale à 1,5 V.

a. Tests sous conditions P1

On remarque sur les tracés de Gummel de la Figure 3. 17 (a), que:

- Pour $0,2 \leq V_{BE} \leq 0,6$ V, le courant I_B augmente graduellement jusqu'à 500 heures, puis n'évolue plus.
- Pour $V_{BE} \geq 0,6$ V, l'augmentation de I_B est observée après 250 heures de test.
- Le courant de collecteur ne montre aucune variation pour les faibles et moyens niveaux d'injection. Par contre, il diminue uniquement aux forts niveaux d'injection.

Sur les tracés des gains en courant de la Figure 3. 17 (b), pour les 250 premières heures, il n'y a pas de variation du maximum de gain. Une diminution de 40 % du gain se produit à 500 heures. L'amplitude de cette évolution est surprenante. C'est pour cette raison que nous pensons que les 2 TBH vieillis sous conditions P1 et présentant le même comportement ont subi une contrainte supplémentaire durant les tests. L'origine de cette contrainte reste non identifiée. Cependant, les résultats des transistors vieillis sous conditions P1 restent néanmoins exploitables avant cette évolution brutale.

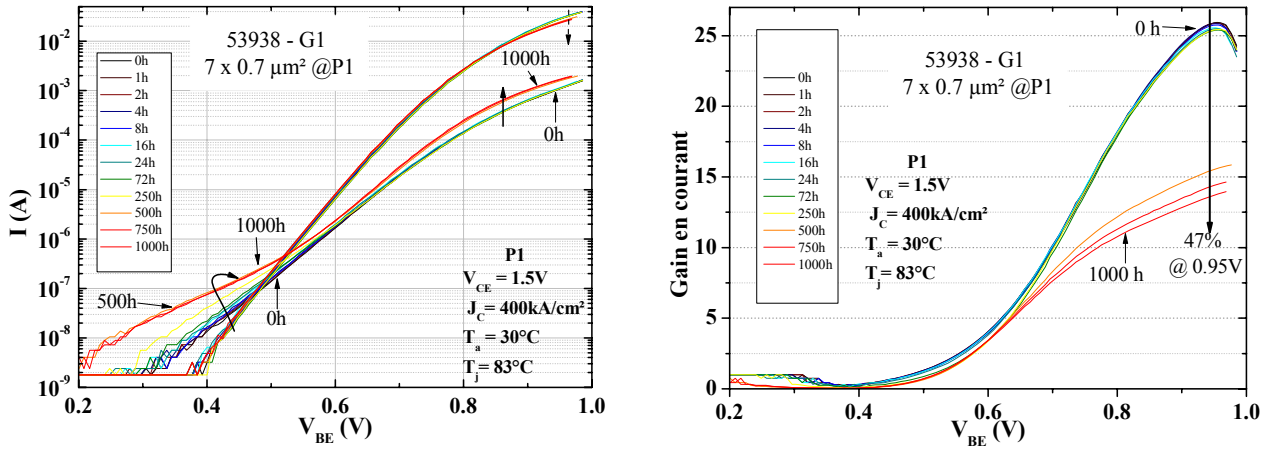


Figure 3. 17 : *Caractéristiques électriques des TBH G1 vieillis aux points de polarisation P1*

(a) *Les tracés de Gummel en direct d'un T7 sous P1* ***(b)*** *Le gain en courant d'un T7 sous P1*

b. Tests sous conditions P2, P3, P4 et P5

- En ce qui concerne le courant de base I_B:
  - Pour $0,2 \leq V_{BE} \leq 0,6$ V, il augmente pour tous les points de polarisation, puis se stabilise à partir de 250 heures pour P2 (Figure 3. 16 (c)), 72 heures pour P3 (Figure 3. 18 (a)), 24 heures pour P4 (Figure 3. 18 (c)) et 8 heures pour P5 (Figure 3. 18 (e)).
  - Pour $V_{BE} \geq 0,6$ V, plus la température de jonction T_j est importante plus le courant augmente tôt et avec une amplitude importante.
- Concernant le courant de collecteur :
  - Pour $V_{BE} \leq 0,8$ V, son augmentation est plus prononcée pour les tests associés à une température de jonction T_j élevée,
  - Pour $V_{BE} \geq 0,8$ V, il diminue légèrement sous P2, par contre nettement sous P3, P4 et P5.

La dégradation du gain en courant est de 23 et 55% après 2000 heures sous P2 (Figure 3. ***16*** (d)) et P3 (Figure 3. 18 (b)) respectivement. Sous P4 et P5, la diminution est de 44 % après 750 heures (Figure 3. 18 (d)) et de 54 % après 644 heures (Figure 3. 18 (f)).

Comme pour les transistors G0, on note que la dégradation arrive plus tôt et est plus importante pour les tests effectués aux points de polarisation associés à une température de jonction élevée. Le *Tableau 3. 7* montre que, d'autres géométries de TBH ont été soumises aux tests sous polarisation aux conditions P2, P3, P4 et P5. Ces transistors présentent les mêmes mécanismes de dégradation que ceux observés sur les T7 et développés ci-dessus.

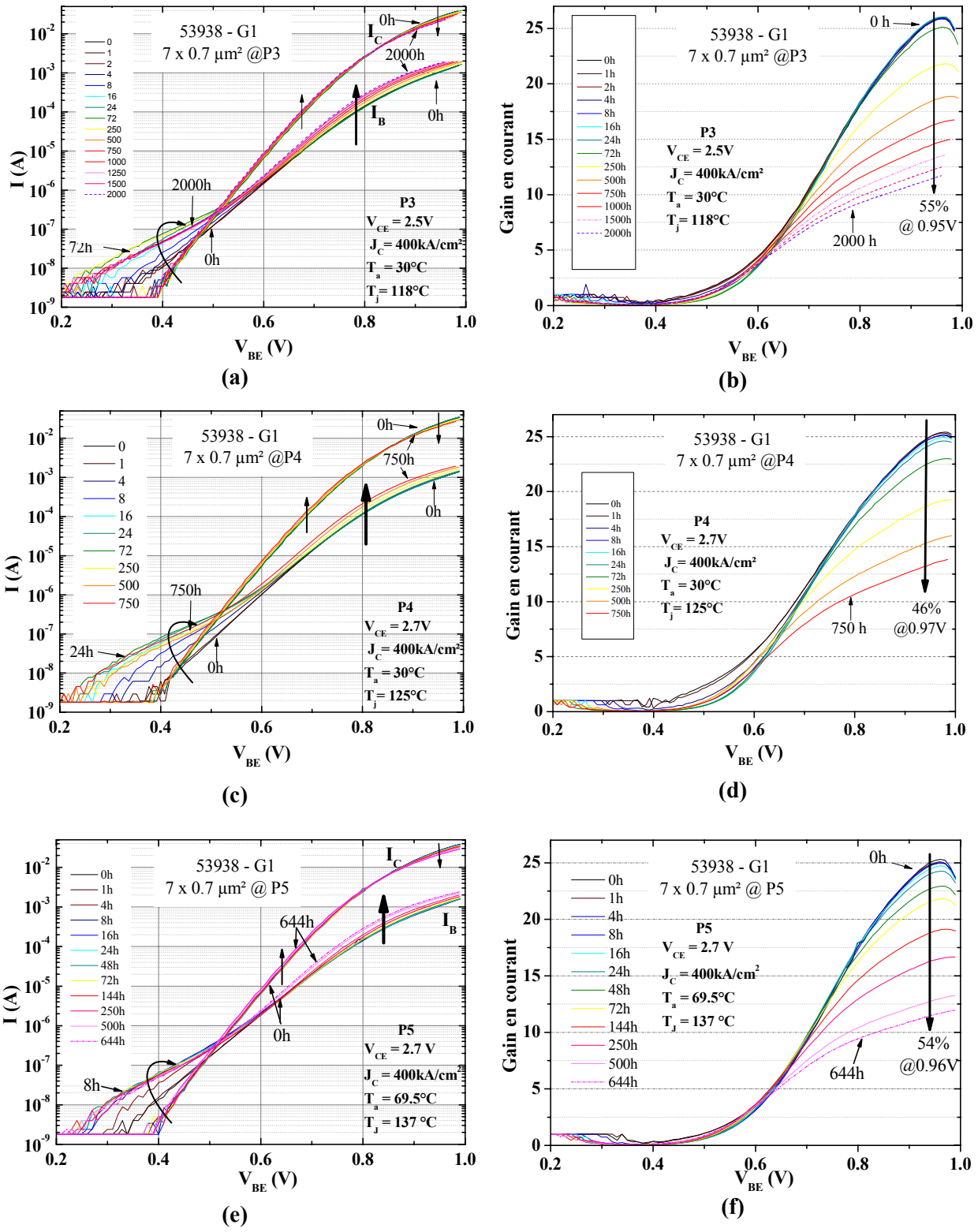


Figure 3. 18 : *Caractéristiques électriques des TBH G1 vieillis aux points de polarisation P4 et P5*

(a) *Les tracés de Gummel en direct d'un T7 sous P3* ***(b)*** *Le gain en courant d'un T7 sous P3*

(c) *Les tracés de Gummel en direct d'un T7 sous P4* ***(d)*** *Le gain en courant d'un T7 sous P4*

(e) *Les tracés de Gummel en direct d'un T7 sous P5* ***(f)*** *Le gain en courant d'un T7 sous P5*

5.3. Génération 2 de III-V Lab

Les résultats des tests de vieillissement sous polarisation sous conditions P1 et P2 des transistors G2 III - V Lab sont présentés par les graphes de la Figure 3. 19. Pour cette génération, uniquement les T7 ont été soumis aux tests de vieillissement sous polarisation. Nous remarquons que contrairement aux transistors des générations précédentes, après 1000 heures de test, le courant de base évolue à peine sous P1 mais augmente davantage sous P2 (Figure 3. 19 (a) et (c)). Quant à la dégradation du gain en courant, après 1000 heures celle ci n'excède pas 4% sous P1 et 8,6 % sous P2. Les TBH G2 III-V Lab semblent être les plus robustes des transistors de la filière III-V Lab.

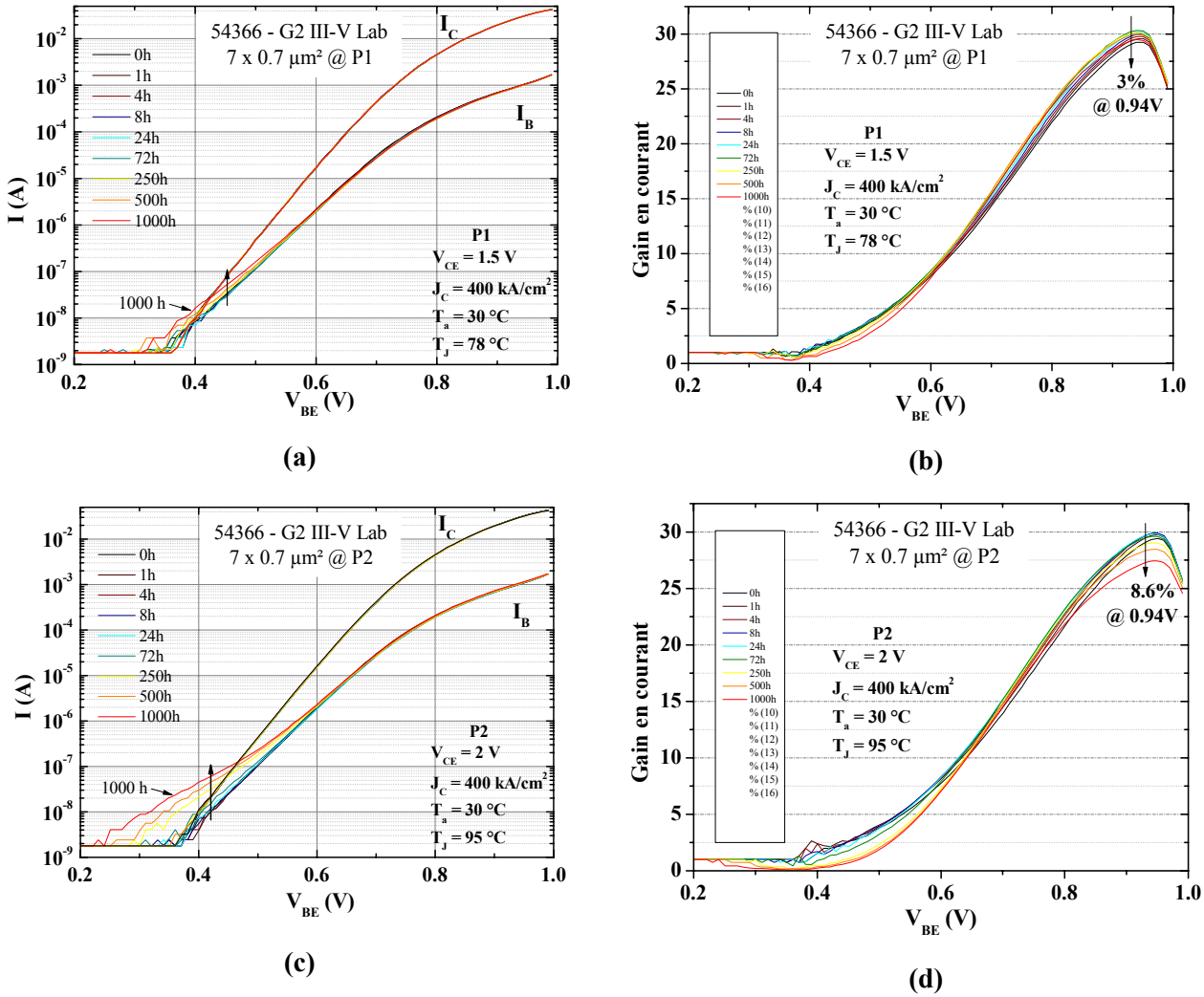


Figure 3. 19 : *Caractéristiques électriques des TBH G2 III-V Lab vieillis aux points de polarisation P1, P2*

(a) *Les tracés de Gummel en direct d'un T7 sous P1* ***(b)*** *Le gain en courant d'un T7 sous P1*

(c) *Les tracés de Gummel en direct d'un T7 sous P2* ***(d)*** *Le gain en courant d'un T7 sous P2*

5.4. Génération 2 d'OMMIC

Les résultats des tests de vieillissement des TBH G2 OMMIC sous polarisation sont présentés sur les graphes de la Figure 3. 20. Nous remarquons qu'après 2000 heures, aux points de polarisation P1 et P2, les transistors ne présentent pas de dégradation significative. Les Figure 3. 20 (a) et Figure 3. 20 (c) qui montrent l'évolution des courbes de Gummel en directe ne présentent pas de variation des courants de base et de collecteur. Cependant, en échelle linéaire, après 2000 heures, la diminution du gain en courant présentée sur les Figure 3. ***20*** (b) et (d) semble du même ordre de grandeur pour P1 et P2 et reste proche de 4%.

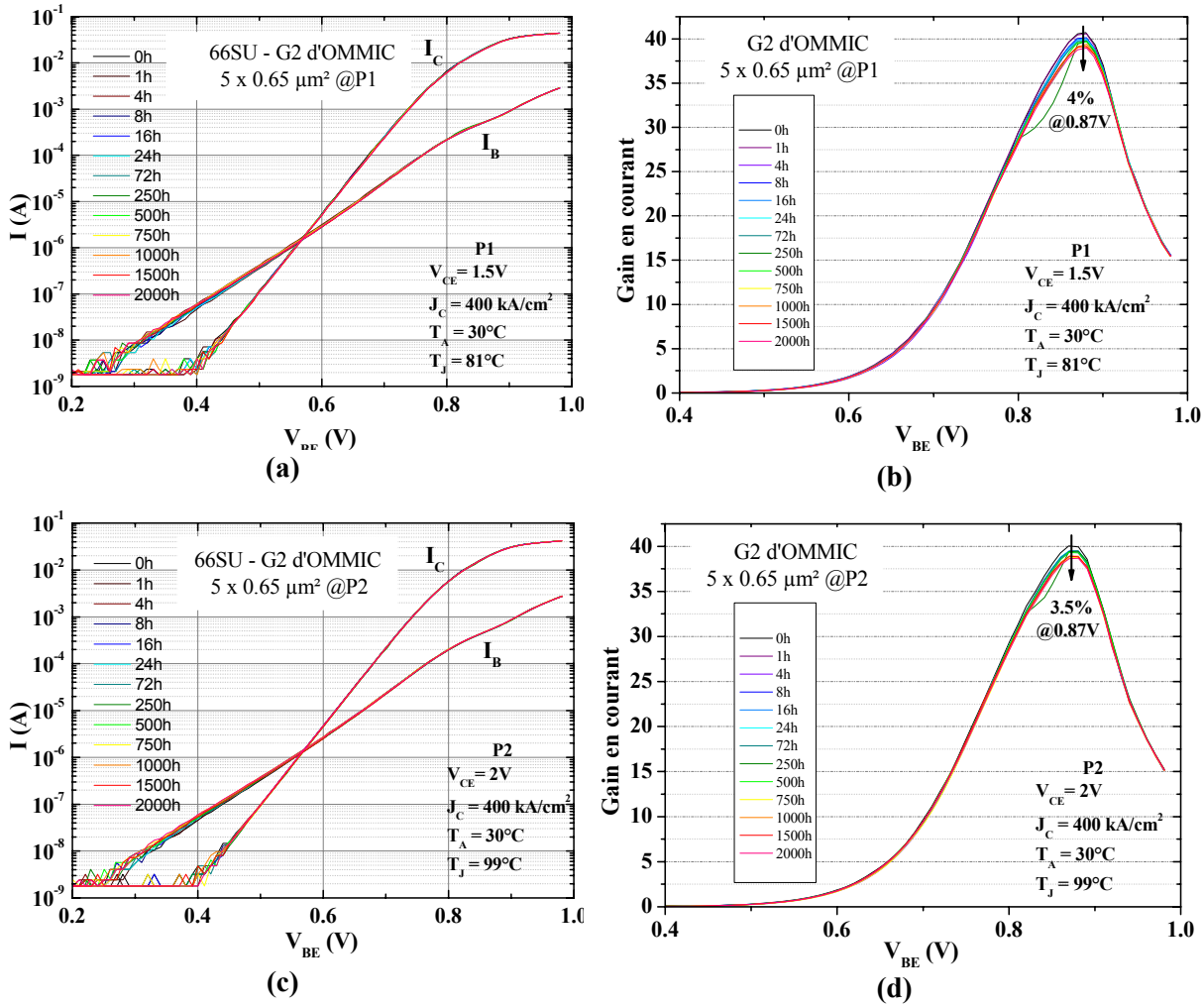


Figure 3. 20 : *Caractéristiques électriques des TBH G2 OMMIC vieillis aux points de polarisation P1 et P2*

(a) *Les tracés de Gummel en direct d'un T7 sous P1* ***(b)*** *Le gain en courant d'un T7 sous P1*

(c) *Les tracés de Gummel en direct d'un T7 sous P2* ***(d)*** *Le gain en courant d'un T7 sous P2*

Les résultats de ces tests de vieillissement montrent que les conditions de contraintes ne sont pas de nature à mettre en évidence les mécanismes de défaillance génériques de la

filière OMMIC. Cette constatation a donné lieu à une modification des conditions de contrainte (*Tableau 3. 3*). La Figure 3. 21 (a) présente les transistors vieillis sous P5_O. On observe une légère diminution du courant de base aux niveaux d'injection intermédiaires ($0,2 \leq V_{BE} \leq 0,8V$). Pour le gain en courant, la Figure 3. 21 (b) montre que la dégradation de 15 % après 2000 heures est plus prononcée que celles notées pour les transistors de la même génération vieillis sous les conditions P1 et P2.

Les deux TBH vieillis au point de polarisation P6_O ne présentent pas le même comportement durant les tests.

- Les caractéristiques électriques de TBH vieilli sous P6_O sont reportées sur la Figure 3. 21 (c) et la Figure 3. 21 (d). Les tracés de Gummel en direct montrent, aux niveaux d'injection intermédiaires, la même allure que celle notée pour les points P1, P2 et P5_O. Aux forts niveaux d'injection, nous remarquons des d'oscillations qui s'atténuent au cours des tests de vieillissement. Ces oscillations n'entrainent pas de dégradation catastrophique pour les transistors. Le transistor soumis aux conditions P6_O reste fonctionnel après 1500 heures de test comme le montre la Figure 3. 21 (d).
- Le second composant vieilli sous P6_O montre un courant de base qui, aux faibles et moyens niveaux d'injection, augmente spectaculairement après les 24 premières heures, puis atteint sa valeur maximale à 1000 heures. La valeur de I_B est stabilisée à partir de 1250 heures et jusqu'à 1500 heures (Figure ***3. 21*** (e)). Aux forts niveaux d'injection, I_B ne présente pas de changement. Le courant de collecteur de ce même transistor reste pratiquement inchangé jusqu'à 1250 heures. Le gain en courant associé présente une dégradation graduelle de près de 92 % après 1500 heures.

Par la suite, dans le chapitre 4 consacré à l'analyse des mécanismes de dégradation, nous ne nous sommes pas intéressés aux phénomènes observés sur le second transistor G2 OMMIC vieilli sous P6_O. En effet les dégradations observées sur ce transistor ne sont pas représentatives du comportement des transistors G2 OMMIC puisqu'elles ne semblent pas être cohérentes avec celles des autres points de vieillissement.

Le *Tableau 3. 8* montre qu'en plus des T7, seuls des T5 ont été soumis aux tests. Les résultats de ces T5 sont similaires à ceux des T7 c'est-à-dire une diminution du courant de base pour les tensions V_{BE} inférieures à 0,8 V.

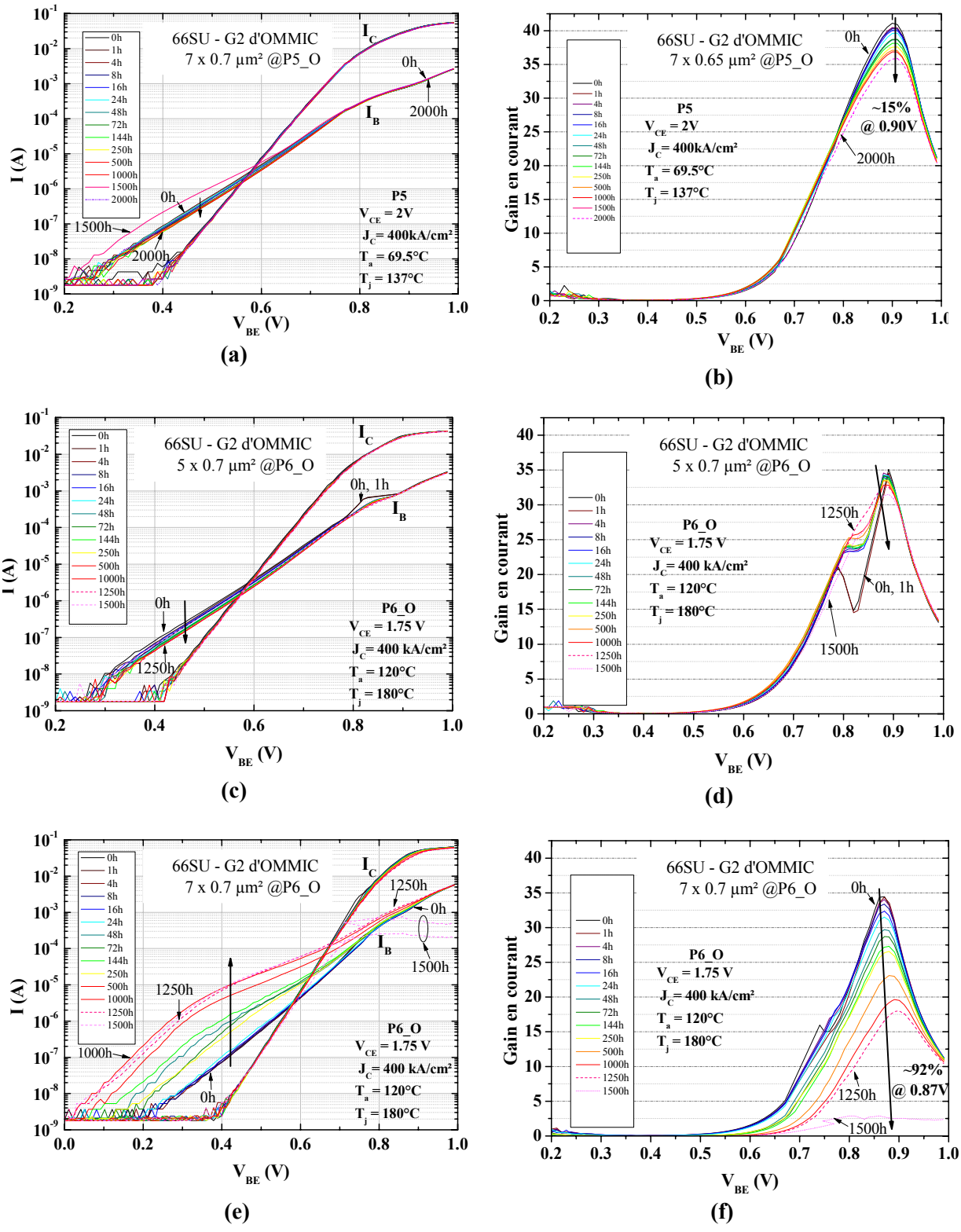


Figure 3. 21 : *Caractéristiques électriques des TBH G2 OMMIC vieillis sous polarisation*

(a) *Les tracés de Gummel en direct d'un T7 sous P5* ***(b)*** *Le gain en courant d'un T7 sous P5*

(c) *Les tracés de Gummel en direct d'un T7sous P6* ***(d)*** *Le gain en courant d'un T7 sous P6*

(e) *Les tracés de Gummel en direct d'un second T7 sous P6* ***(f)*** *Le gain en courant d'un autre T7 sous P6*

6. Synthèse et conclusion

Dans ce paragraphe, nous faisons une synthèse des mécanismes de dégradation génériques observés lors des tests de vieillissement. Une analyse plus approfondie et quantifiée est proposée dans le chapitre 4.

Au préalable, rappelons les conditions de contrainte du point de vue de la température de jonction du transistor sous test. La présentation des températures de jonction des TBH en fonction des contraintes appliquées (en stockage et sous polarisation) est reportée sur la Figure 4. 1. Sur cette figure sont présentes toutes les générations de TBH. On remarque que les températures des tests de stockage sont les plus élevées. Elles sont largement supérieures aux températures de jonction T_J obtenues avec les TBH soumis aux tests sous polarisation. En dehors de son intérêt pour l'étude des contacts ohmiques, les températures de jonction rencontrées en stockage ne seront jamais atteintes en fonctionnement. La température de jonction des TBH G2 OMMIC a été portée à 180°C dans le but d'observer une dégradation, car jusqu'à 139°C et jusqu'à 1500 heures de test, les mécanismes de dégradation ne sont pas observables.

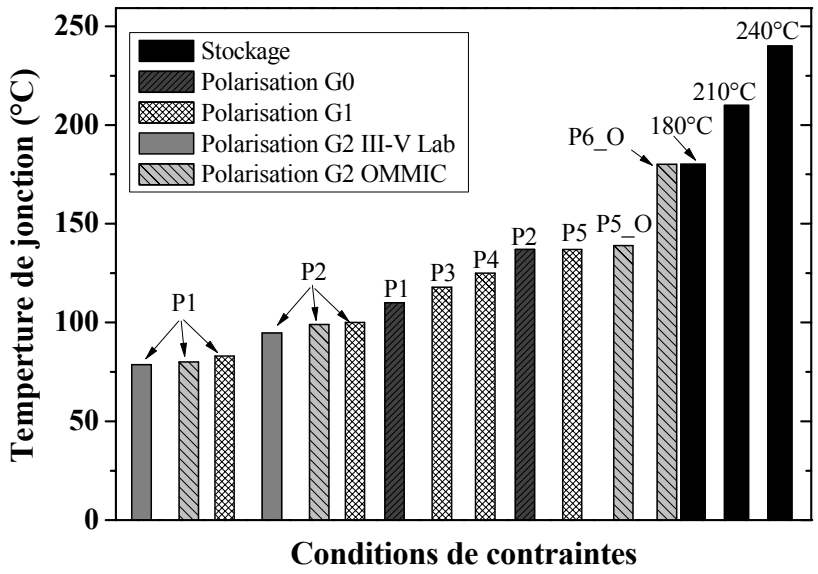


Figure 4. 1 *Température de jonction des TBH de toutes les générations pour différentes contraintes appliquées*

6.1. Tests de vieillissement accéléré en stockage

Les tests de vieillissement en stockage réalisés sur les TBH G0 et les TBH G1 de la filière III-V Lab ainsi que sur les TBH G2 de la filière OMMIC ont révélé les mécanismes de défaillance dont les signatures électriques sont les suivantes :

- Concernant la jonction base-émetteur :
    - Une augmentation du courant de base I_B aux niveaux d'injection intermédiaires ($0,2 \leq V_{BE} \leq 0,6$ V). Cette augmentation est présente pour les transistors de toutes les filières.
    - Une diminution des courants I_B et I_C observée pour les forts niveaux d'injection ($V_{BE} \geq 0,8$V). D'après les résultats des tests sur TLM de la filière III-V Lab, ceci est dû à l'augmentation de la résistance de contact de base. Le maximum du gain en courant, se trouvant dans la même gamme de V_{BE}, voit sa valeur maximale chuter de près de 90 % à 240°C seulement après 1250 et 750 heures respectivement pour les transistors G0 et les transistors G1. A la même température d'étuve T_{etu}, la réduction du maximum du gain en courant des TBH G2 OMMIC est proche de 30 % après 3000 heures de vieillissement.

- Concernant la jonction base-collecteur :
    - La tension de décalage V_Δ ne varie que pour la température d'étuve T_{etu} de 240°C et uniquement pour les transistors G0 et les transistors G1.
    - Les TBH de toutes les filières présentent des résistances de contact qui évoluent durant les tests et ce quelle que soit la température d'étuve. L'augmentation des résistances de contact, qui est due à la diffusion de métaux dans le semi-conducteur, est d'autant plus élevée que la température de vieillissement est élevée.

D'après ces résultats, sous contrainte thermique, les TBH G2 de la filière OMMIC semblent plus robustes que ceux de la filière III-V Lab car, après 3000 heures de test, les transistors G2 OMMIC sont toujours opérationnels et ce quelle que soit la température d'étuve considérée. Cependant, il convient de noter que les tests sous très forte température (240°C) sont des tests extrêmes ne représentant pas nécessairement une situation réaliste dans les circuits en fonctionnement.

6.2. Tests de vieillissement accéléré sous polarisation

Les tests de vieillissement sous polarisation ont été réalisés sur les TBH G0, les TBH G1 et les TBH G2 III-V Lab ainsi que sur les TBH G2 OMMIC. A partir de ces tests, des mécanismes de défaillance génériques sous tests ont été mis en évidence. Ces mécanismes se produisent plus tôt pour les points de polarisation associés à une température de jonction élevée. Les mécanismes observés sont les suivants :

- Pour le courant de base :
    - pour les tensions V_{BE} comprises entre 0,2 et 0,6 V, les densités de pièges ne semblent pas évoluer de la même façon pour les transistors des deux filières (III-V Lab et OMMIC). Elles augmentent au sein des TBH de la filière III-V Lab (qui ont une base en InGaAs), elles diminuent pour ceux de la filière OMMIC (dont la base est en GaAsSb).
    - pour les tensions V_{BE} supérieures à 0,6 V, le courant augmente uniquement pour les transistors avec une base en InGaAs (ceux de III-V Lab). Ceux de la filière d'OMMIC ne présentent pas d'évolution.

- Pour le courant de collecteur I_C :
    - Pour les tensions V_{BE} comprises entre 0,4 et 0,8 V, on note une augmentation du courant uniquement pour les conditions de contrainte avec des températures de jonction supérieures ou égales à 110°C (P1) pour les TBH G0 et à 118°C (P3) pour les TBH G1. Concernant les TBH G2 OMMIC, I_C n'évolue pas, même à près de 180°C (P6_O) de température de jonction. Les transistors G2 III-V Lab, ayant été vieillis uniquement qu'aux points de polarisation P1 et P2, ne présentent pas d'augmentation de I_C.
    - Pour les tensions V_{BE} supérieures à 0,8 V et pour les températures de jonction T_J élevées, une diminution de I_C est observée uniquement sur les mesures des TBH de la filière III-V Lab.

La Figure 3. 22 représente l'évolution du maximum du gain en courant normalisé en fonction du temps de vieillissement de tous les transistors T7 vieillis de toutes les filières. Ainsi nous observons :

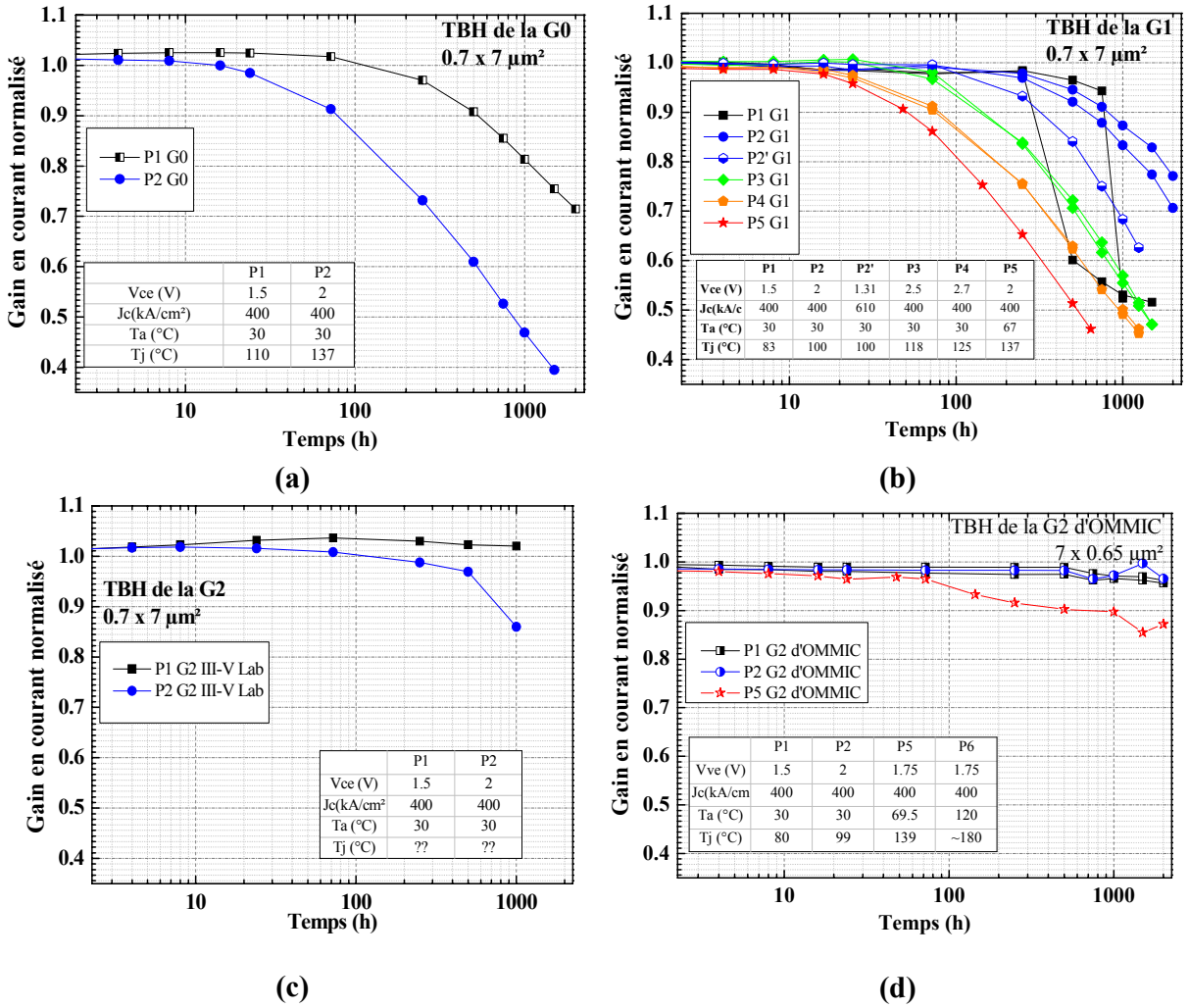
- Sur la Figure 3. 22 (a), où figurent les TBH G0, que la dégradation du maximum du gain en courant se produit plus tôt et qu'elle est plus importante sous condition P2 que

sous condition P1. La température de jonction T_J qui est plus élevée à P2 qu'à P1 semble donc être un paramètre important du mécanisme de défaillance.

- Sur la Figure 3. 22 (b), qui montre les TBH G1 sous tests, la dégradation du maximum du gain à la même allure que celle notée pour les transistors G0. La diminution graduelle du maximum du gain est plus importante pour les points de polarisation associés à une température de jonction élevée. Par ailleurs, on constate que les 2 TBH soumis à P1 présentent une évolution différente des autres P_x entre 500 et 1000 heures dont l'explication de l'origine n'est pas connue.
- Sur la Figure 3. 22 (c), on remarque que les TBH G2 III-V Lab sous conditions P1 et P2 présentent une légère augmentation de la valeur maximale du gain dans un premier temps puis une diminution. La décroissance est plus rapide sous conditions P2.
- Sur la Figure 3. 22 (d), où sont présentés les TBH G2 OMMIC, contrairement à ce qui se produit aux points de polarisation P1 et P2, la dégradation du maximum de gain est prononcée au cours du test sous conditions P5.

Le gain en courant de tous les TBH vieillis à la même température de jonction T_J de 137°C est reporté sur la Figure 3. 23. On remarque que l'évolution du gain en courant n'a pas la même dynamique pour toutes les générations. Après 1250 heures de test de vieillissement en polarisation, les transistors qui ont le gain en courant qui se dégrade le moins sont ceux de la G2 OMMIC, puis viennent ceux de la G0 et enfin ceux de la G1.

Les mécanismes de dégradation observés durant les tests de vieillissement accéléré en stockage et polarisation sont similaires à ceux observés dans [46], [90], [94], [50] et [53]. L'étude bibliographique attribue ces mécanismes de dégradation à la jonction base-émetteur (*Tableau 1.7*) où les densités de pièges augmentent considérablement. Cette conclusion est à vérifiée dans le chapitre 4 par une analyse approfondie en utilisant la modélisation compacte puis la simulation par éléments finis.



	P1	P2
Vce (V)	1.5	2
Jc(kA/cm²)	400	400
Ta (°C)	30	30
Tj (°C)	110	137

	P1	P2	P2'	P3	P4	P5
Vce (V)	1.5	2	1.31	2.5	2.7	2
Jc(kA/c	400	400	610	400	400	400
Ta (°C)	30	30	30	30	30	67
Tj (°C)	83	100	100	118	125	137

	P1	P2
Vce (V)	1.5	2
Jc(kA/cm²	400	400
Ta (°C)	30	30
Tj (°C)	??	??

	P1	P2	P5	P6
Vve (V)	1.5	2	1.75	1.75
Jc(kA/cm	400	400	400	400
Ta (°C)	30	30	69.5	120
Tj (°C)	80	99	139	~180

Figure 3. 22 *: Représentation du maximum du gain en courant normalisé en fonction du temps de vieillissement des composants du type T7H3B7et T7B3H65 pour les TBH de la filière III-V Lab et de la filière OMMIC respectivement.*

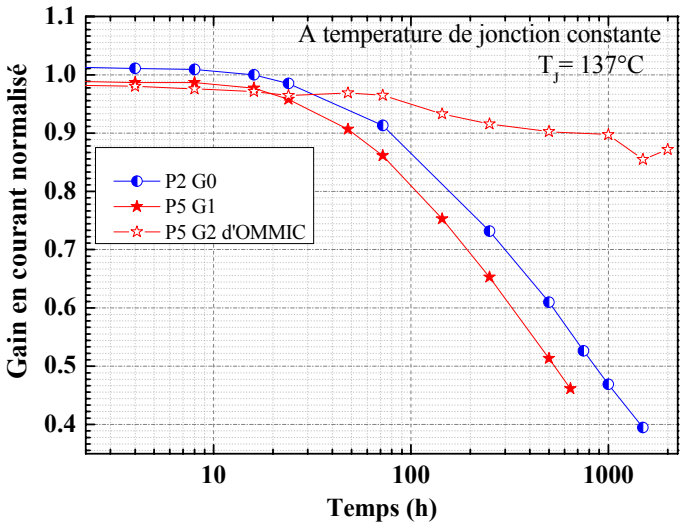


Figure 3. 23 : *Comparaison entre les composants des différentes générations vieillis en polarisation et ayant la même température de jonction de 137°C*

Chapitre 4
Analyses approfondies

1. Introduction

Ce chapitre est dédié à l'analyse électrique et/ou physique des mécanismes de dégradation observés sur les caractérisations électriques des TBH sous tests de vieillissement accéléré en stockage et sous polarisation. L'étude de la fiabilité des transistors se déroule selon 5 étapes :

I. L'étude bibliographique des mécanismes de dégradation susceptibles d'apparaitre dans les TBH InP. Cette étude figure dans le chapitre 1.
II. Le choix des structures de test et celui des contraintes appliquées. La description de ces choix fait l'objet du chapitre 3. Ces choix sont cruciaux car d'eux dépendent la maitrise de la dynamique temporelle des dégradations.
III. La détection des mécanismes de dégradation par le biais de caractérisations électriques statiques et/ou dynamiques. Ces résultats sont exposés en détail dans le chapitre 3.
IV. L'analyse des paramètres électriques et/ou physiques évoluant durant les tests. De cette analyse découle les premières hypothèses sur l'origine physique des mécanismes de défaillance. Elle est menée dans ce chapitre au moyen de la modélisation compacte. Le choix de cet outil repose sur les bases physiques des modèles utilisés : modèle Gummel-Poon et modèle HiCUM.
V. La validation des hypothèses au moyen de simulations physiques 2D/3D. Dans ce chapitre, nous détaillons la dérive des paramètres physiques au cours du vieillissement accéléré.

L'ensemble de la démarche est appliqué aux transistors de la filière III-V Lab ainsi qu'à ceux de la filière OMMIC.

2. Hypothèses sur l'origine physique des mécanismes de dégradation

Nous décrivons dans ce paragraphe des outils qui permettent d'établir des hypothèses sur les mécanismes de dégradation observés au cours des tests de vieillissement accéléré. Ces outils sont le modèle Gummel-Poon et le modèle HiCUM.

2.1. Outil : Modèle compact

La modélisation compacte est réalisée sur un transistor afin de décrire sans discontinuité ses différents régimes de fonctionnement. Cela est rendu possible par la résolution d'équations analytiques qui décrivent les comportements électrothermiques du transistor. Pour le TBH, il existe plusieurs modèles compacts parmi lesquels on peut citer : le modèle Gummel-Poon, le modèle VBIC, le modèle MEXTRAM et le modèle HiCUM. Selon le modèle utilisé, le nombre de paramètres varie de 40 à environ 90. Le mécanisme d'auto-échauffement n'est pas pris en compte dans tous ces modèles. La Figure 4. 2 donne le nombre de paramètres selon les modèles compacts tout en précisant ceux qui prennent en compte l'auto-échauffement [72]. Dans mes travaux de thèse deux modèles compacts ont été utilisés : le modèle Gummel-Poon et le modèle d'HiCUM.

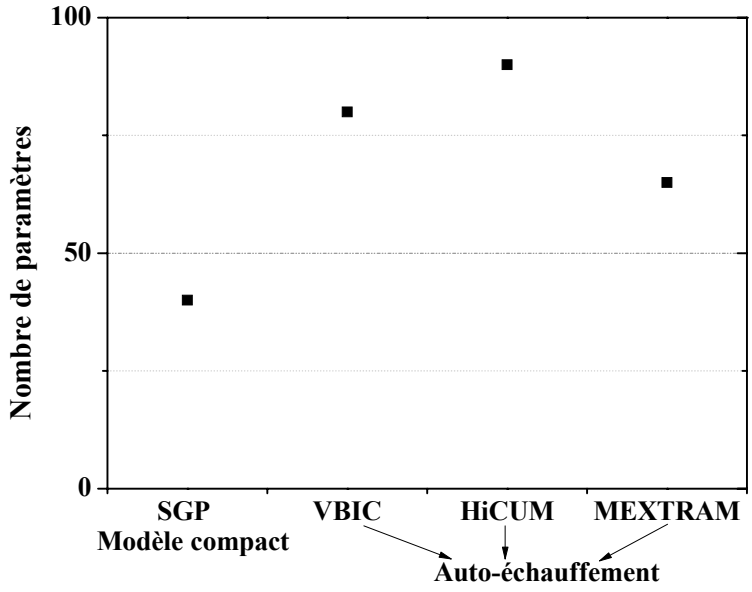


***Figure 4. 2** : Nombre de paramètres des modèles compacts et prise en compte de l'auto-échauffement*

2.1.1. Modèle Gummel-Poon

Proposé par Gummel et Poon [96] et implanté dans le simulateur SPICE, ce modèle est considéré comme le modèle standard des simulateurs commerciaux [97], [98], [99] et [100]. Le modèle Gummel-Poon est basé sur le contrôle des charges. En tant que modèle de première génération, il comprend un nombre important d'inconvénients [101], [102] :

- l'auto-échauffement et la quasi-saturation ne sont pas pris en compte,
- aucun modèle de claquage des jonctions n'est prévu,
- il n'y a pas de description du transistor pnp parasite,
- les effets de forts niveaux de courants (effet Kirk) sont partiellement décrits,
- le modèle empirique du temps de transit ne permet pas la prise en compte de l'impact de l'effet Kirk sur la fréquence de transition et sa dépendance en fonction du courant et des tensions est mal modélisée.

Ce modèle bien qu'incomplet est utilisé par les concepteurs pour sa rapidité, sa robustesse et sa simplicité de mise en œuvre, notamment lors de l'extraction de paramètres. Son schéma électrique équivalent aux petits signaux et la méthode d'extraction des paramètres sont détaillés dans [73].

Un exemple de modélisation compacte réalisée à partir du modèle Gummel-Poon avant les tests de vieillissement sur des TBH G2 OMMIC est reporté sur la Figure 4. 3. Sur les tracés de Gummel en direct mesurés et simulés, on observe deux régimes de fonctionnement où des différences apparaissent entre les résultats de mesures et de simulations :

- sur le courant de collecteur aux faibles niveaux d'injection. Cette différence de niveau est liée aux bruits de mesure,
- sur le courant de base, aux forts niveaux d'injection. Cette différence est attribuée aux phénomènes de forte injection (effet Kirk et auto-échauffement).

Pour les autres régimes de fonctionnement, il existe peu de différence entre les mesures électriques et les résultats du modèle compact.

Quant aux Figure 4. 3. (b) et (c), elles montrent les tracés de Gummel en inverse et le réseau de sortie I_C (V_{CE}) à I_B constant. Nous observons une très bonne cohérence entre les mesures électriques et les résultats du modèle compact. La modélisation compacte avec le modèle de Gummel-Poon du réseau de sortie I_C (V_{CE}) (Figure 4. 3 (c)) est parfaitement réalisée dans le régime linéaire pour les TBH G2 OMMIC car l'auto-échauffement ne se manifeste pas par une pente négative dans la zone linéaire.

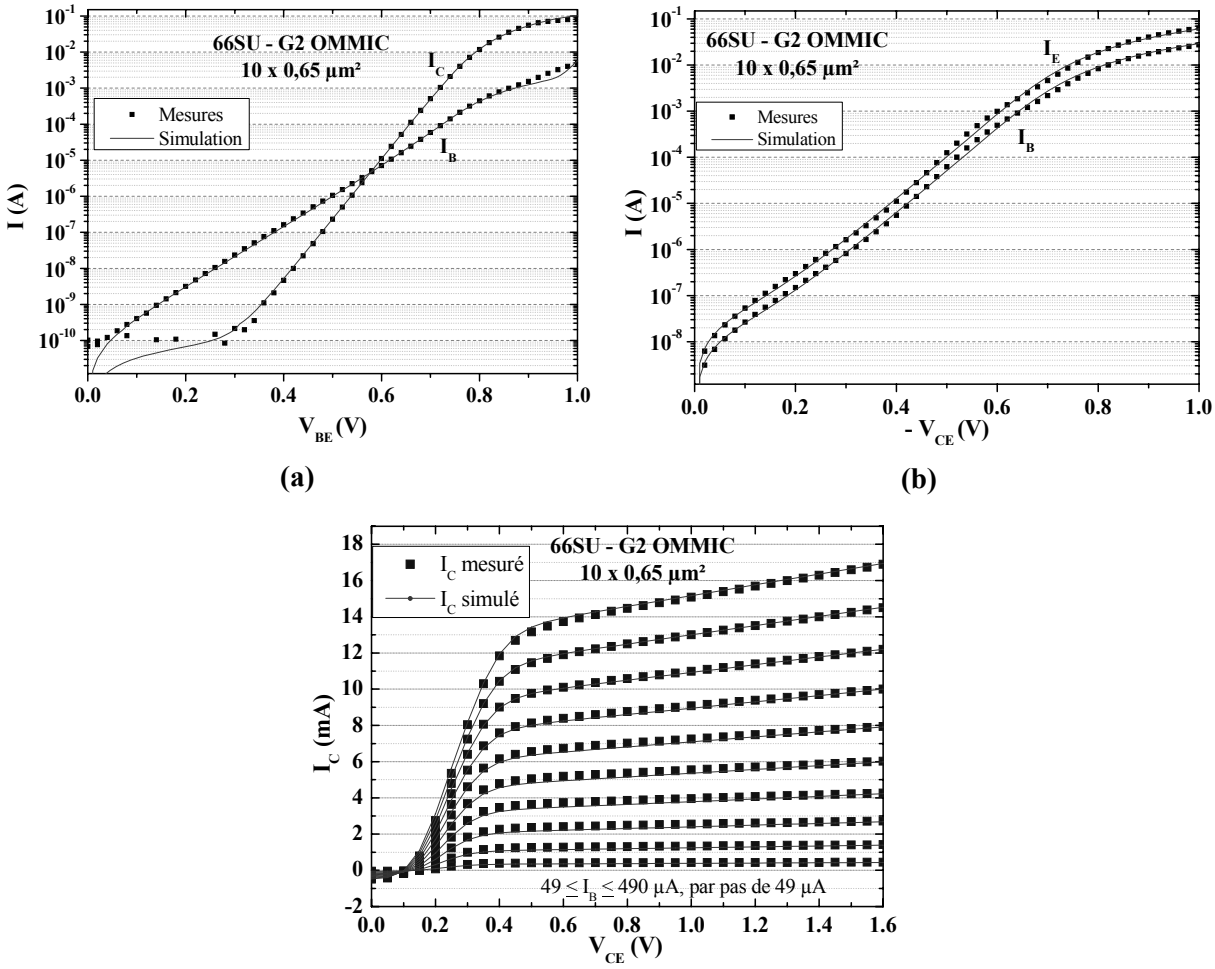


***Figure 4. 3** : Modélisation compacte avec le modèle de Gummel-Poon des TBH G2 OMMIC*

***(a)** Tracés de Gummel en direct **(b)** Tracés de Gummel en inverse*

***(c)** Réseau de sortie I_C (V_{CE}) à courant de base constant*

2.1.2. Modèle HiCUM

Le nom HiCUM vient de « High CUrrent Model » ou modèle à fort courant et est le résultat d'une combinaison de plusieurs modèles compacts [103]**.** C'est un modèle compact semi-physique [104], [105] du TBH qui prend en compte plusieurs phénomènes très importants se produisant dans différentes régions du transistor [102] tels que :

- l'effet Kirk et de l'auto-échauffement,
- la modélisation correcte de l'effet d'Early,
- la dépendance du temps de transit en fonction du courant et des tensions décrite par un modèle semi-physique,

- les effets bidimensionnels et tridimensionnels, les effets parasites dus au substrat et le claquage des jonctions base-émetteur et base-collecteur grâce à un modèle d'effet tunnel et d'avalanche respectivement.

La grande précision de ce modèle nécessite un nombre élevé de paramètres qui conduit à la complexité de l'extraction. La Figure 4. 4 est un exemple des résultats de simulation réalisée sur des TBH G0 de la filière III-V Lab avant les tests de vieillissement. Sur les tracés de Gummel en direct (Figure 4. 4(a)), on remarque :

- pour les tensions V_{BE} inférieures à 0,4 V, une différence entre mesures électriques et simulations qui est attribuée aux bruits de mesure,
- pour les tensions V_{BE} supérieures à 0,4 V, la superposition des courbes issues de mesures électriques et de simulations est très satisfaisante.

Sur la Figure 4. 4 (b) qui présente le réseau de sortie I_C (V_{CE}) à I_B constant, on observe que les résultats de la modélisation compacte sont également très proches des mesures électriques.

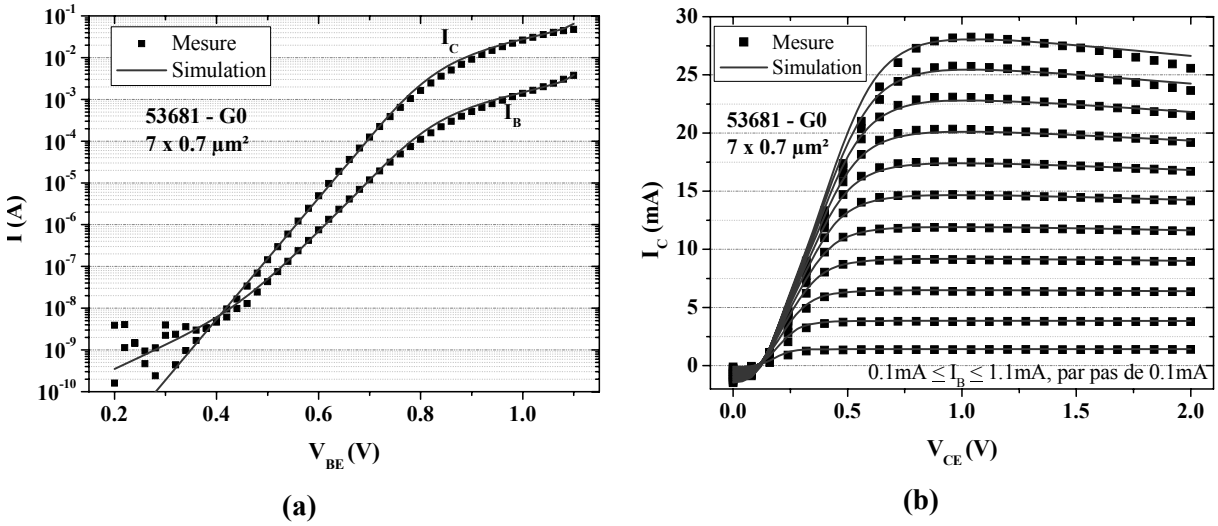


***Figure 4. 4** : Modélisation compacte avec le modèle HiCUM des TBH G0 III-V Lab*

***(a)** Tracés de Gummel en direct*

***(b)** Réseau de sortie I_C (V_{CE}) à courant de base constant*

2.2. Analyse des tests de vieillissement accéléré par modélisation compacte

Dans cette partie, nous présentons les résultats de la modélisation compacte réalisée à partir de l'évolution des mesures électriques des transistors sous tests. Nous commençons par montrer les résultats des tests sous contrainte thermique puis ceux des tests de vieillissement accéléré sous contraintes thermique et électrique**.** Une étude plus compléte basée sur la modélisation compacte des transistors du projets Robust est répoprtée dans la thèse de Sudip Ghosh [106].

2.2.1. Contrainte thermique

Nous rappelons que les tests de vieillissement accéléré en stockage ont été réalisés uniquement sur les transistors G0 et les transistors G1 de la filière III-V Lab ainsi que les transistors G2 de la filière OMMIC.

2.2.1.1. Génération 0 et génération 1 de la filière III-V Lab

Dans le chapitre 3, nous avons montré l'impact des mécanismes de défaillance sur les caractéristiques qui apparaissent au sein des transistors sous contrainte thermique. Rappelons l'impact de ces mécanismes sur les caractéristiques qui ont une dynamique d'autant plus rapide que la température d'étuve est élevée.

- Aux faibles niveaux d'injection, $0 \leq V_{BE} \leq 0{,}2$ V, les courants de fuite augmentent dans les transistors G0 et diminuent dans les transistors G1. Les faibles niveaux d'injection n'étant pas dans la gamme utile de tension des transistors alors nous ne traitons pas ce mécanisme dans la suite du chapitre.
- Aux niveaux d'injection intermédiaires, $0{,}2 \leq V_{BE} \leq 0{,}8$ V et à 180°C, contrairement au courant de collecteur qui n'évolue pas, le courant de base augmente. Pour les températures d'étuve de 210 et 240°C, une évolution similaire des courants est observée durant les premières heures de tests. Cependant, rapidement (à 1000 heures à 210°C et à 250 heures à 240°C) une inversion du courant de base puis du courant de

collecteur se produit au sein des TBH G1. L'inversion des courants n'est visible qu'à 240°C sur les tracés de Gummel en direct des TBH G0.

La Figure 4. 5 montre les résultats de la modélisation compacte réalisée sur un T7 G0 pour les niveaux d'injection intermédiaires. Les simulations ont été réalisées avec le modèle HiCUM et ce pour toutes les étapes de vieillissement. On remarque une parfaite concordance entre les mesures électriques et les résultats de simulation.

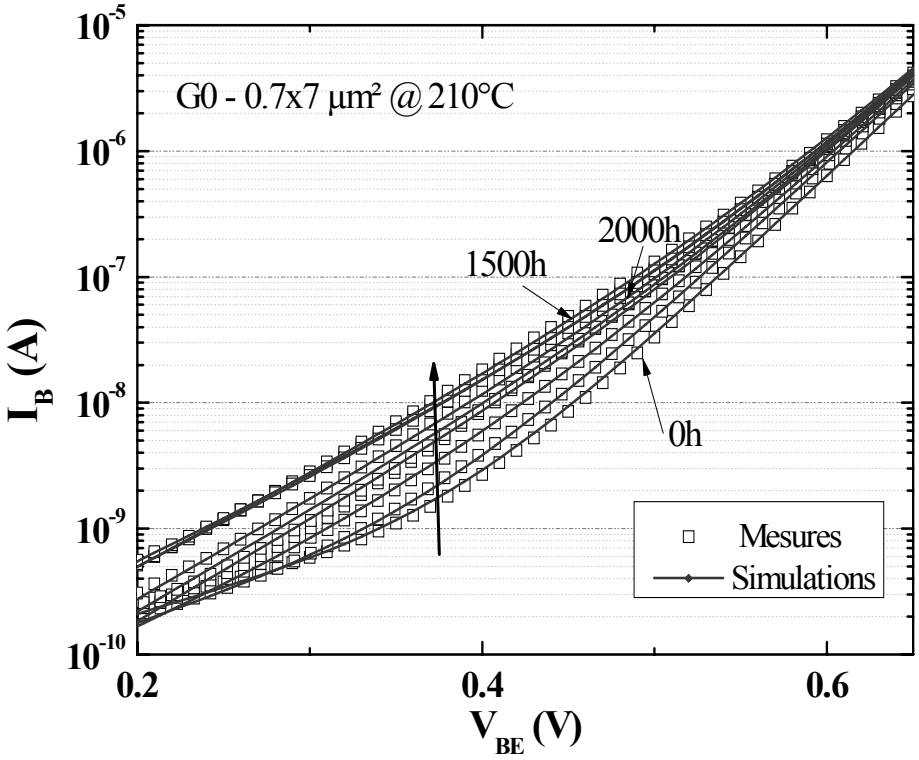


Figure 4. 5 : *Exemple de résultats de modélisation compacte réalisée pour les tensions V_{BE} comprises entre 0,2 et 0,8 V sur un T7 G0 soumis aux tests en stockage à 210°C durant 2000 heures*

Pour obtenir ce résultat, certains paramètres du modèle HiCUM ont été modifiés. La Figure *4. 6* montre le schéma équivalent grand signal du modèle HiCUM. Sur cette figure, la diode BEp, colorée en rouge, est le composant électrique dont les paramètres évoluent durant les tests de vieillissement accéléré en stockage [107]. Cette diode, représentée par le courant i_{jBEp} dont l'expression est donnée par l'équation 4. 1, est localisée à la périphérie de la jonction base-émetteur. Ceci nous permet d'établir une première sur l'origine de la dégradation.

Hypothèse 1 : Durant les tests de vieillissement accéléré en stockage, le mécanisme de dégradation observé sur le courant de base aux niveaux d'injection intermédiaires serait lié à une dégradation localisée à la périphérie de l'émetteur et plus précisément à une

augmentation du courant de recombinaison-saturation localisé à la périphérie de la jonction B-E noté I_{REpS} dans le modèle HiCUM (équation 4. 1).

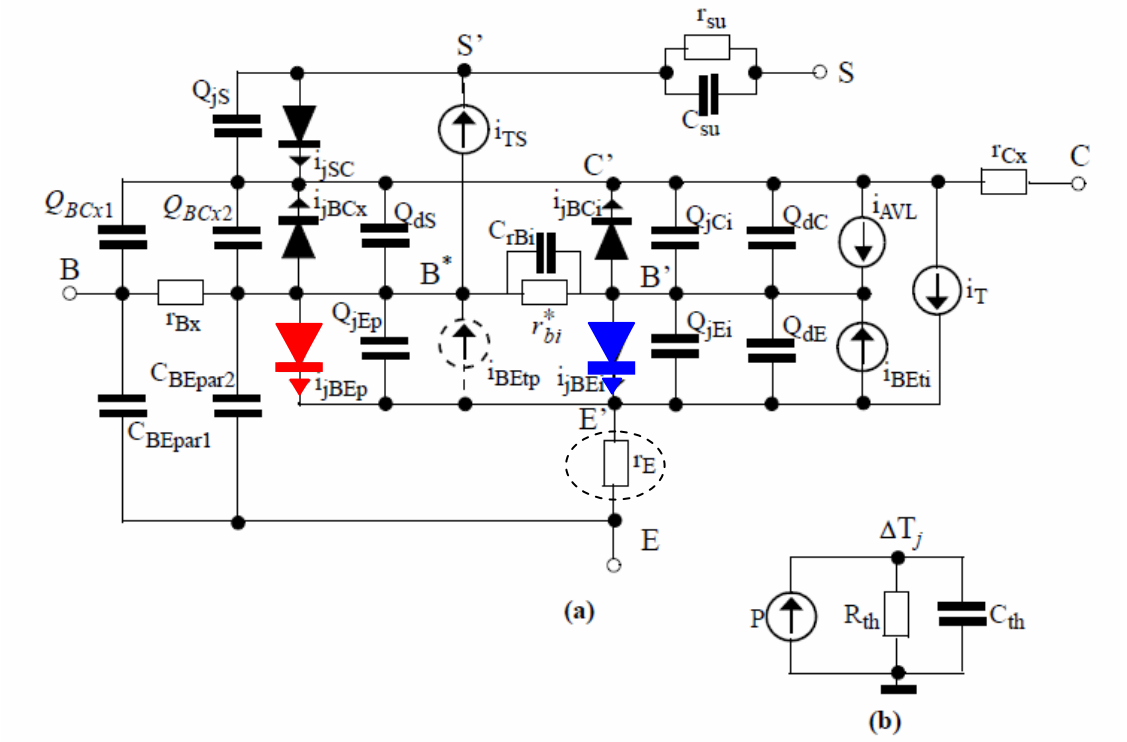


Figure 4. 6 : *Schéma électrique équivalent grand signal du modèle HiCUM*

$$i_{jBEp} = I_{BEpS}\left[\exp\left(\frac{V_{BE}}{m_{BEp}V_T}\right)-1\right] + I_{REpS}\left[\exp\left(\frac{V_{BE}}{m_{REp}V_T}\right)-1\right] \qquad \text{Équation 4. 1}$$

Avec :

- I_{BEpS} le courant de saturation de la périphérie de la jonction B-E
- m_{BEp} le facteur d'idéalité du courant I_{BEpS}
- I_{REpS} le courant de recombinaison-saturation de la périphérie de la jonction base-émetteur
- m_{REp} le facteur d'idéalité du courant I_{REpS}

- Pour les forts niveaux d'injection, $V_{BE} \geq 0{,}8$ V, tous les transistors vieillis aux trois températures d'étuve présentent une diminution des courants de base et de collecteur. L'étude des TLM de la génération 0 présentée dans le chapitre 3 nous confirme que la dégradation est directement liée à une augmentation des résistivités de contact de base et/ou de collecteur.

2.2.1.2. Génération 2 OMMIC

Les tests de vieillissement accéléré sous contrainte thermique réalisés sur les transistors G2 OMMIC ne présentent quasiment aucune évolution des courants de base et de collecteur pour les tensions V_{BE} inférieures 0,8 V (Figure 3. 13). Par contre, une diminution des courants se produit pour les tensions V_{BE} supérieures à 0,8 V (Figure 4. 7 (a)). Cette diminution des courants, aux forts niveaux d'injection, est attribuée à une variation de la résistance d'émetteur, de collecteur et/ou de base. Rappelons que la variation de la somme des résistances entre l'émetteur et le collecteur est confirmée par le changement de la pente de la zone de saturation de réseau de sortie des TBH vieillis à 180, 210 et 240°C. Ceci nous permet de dire que ce n'est pas la résistance de base qui évolue ici.

Ne disposant pas de TLM G2 OMMIC, nous avons entrepris une modélisation compacte en utilisant le modèle HiCUM afin d'identifier la résistance qui évolue au cours des tests. La résistance d'accès de base R_B n'évoluant pas est maintenue fixée à 20 Ω (ce qui correspond à sa valeur avant vieillissement). Ainsi, comme on l'observe sur la Figure 4. 7 (b), les 6 transistors caractérisés puis simulés présentent, au cours des tests, une stabilité de la résistance d'accès collecteur R_C. Ceci permet de déduire que c'est la valeur de la résistance d'accès d'émetteur R_E qui évolue durant les tests de stockage. En supposant que l'augmentation de la résistance d'accès R_E soit due à la diffusion des métaux de la couche de contact dans le semi-conducteur tout comme dans [46] alors cette augmentation devrait être proportionnelle à la profondeur de pénétration des métaux dans le semi-conducteur. L'évolution de R_E doit, dans ce cas, suivre une loi en racine carré du temps telle que celle décrite par l'équation 4. 2 [108]. L'équation 4. 3 donne l'expression du coefficient de diffusion D_A et l'équation 4. 4 décrit la variation de la résistance d'accès R_E en remplaçant D_A par son expression.

$$\frac{R_E}{R_{E0}} - 1 = k\sqrt{D_A(T)\,t} \qquad \text{Équation 4. 2}$$

$$D_A(T) = D_{A0}\exp\left(-\frac{E_a}{k_B T}\right) \qquad \text{Équation 4. 3}$$

$$\frac{R_E}{R_{E0}} - 1 = k\sqrt{D_{A0}}\exp\left(-\frac{E_a}{2k_B T}\right)\sqrt{t} \qquad \text{Équation 4. 4}$$

Avec :

R_{E0} la valeur initiale de R_E, k une constante, t le temps, E_a l'énergie d'activation du mécanisme de diffusion, k_B la constante de Boltzmann, T la température.

La Figure 4. 8 montre l'évolution relative de la résistance d'accès émetteur par rapport à sa valeur initiale normalisée R_E/R_{E0} en fonction de la racine du temps. Pour chaque température d'étuve, l'extraction de R_E/R_{E0} a été réalisée sur 4 transistors de géométrie T7 (7x0,65 μm^2). On note que l'évolution de R_E/R_{E0} est globalement linéaire ce qui confirme notre hypothèse de départ sur la diffusion de métaux dans le semi-conducteur au cours du vieillissement. La Figure 4. 8 montre, aussi, que plus la température d'étuve augmente, plus la diffusion est importante. Ceci se traduit par une augmentation considérable de la pente de l'équation 4. 4. Cette pente notée $\kappa_{RE/RE0}$ est décrite par l'équation 4. 5

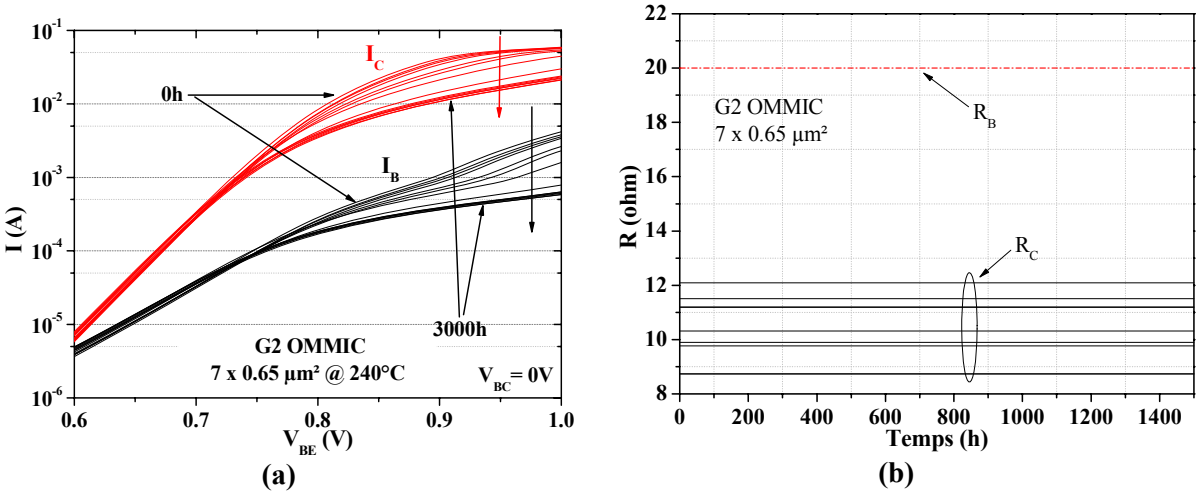


Figure 4. 7 : *Représentation des paramètres électriques évoluant lors des tests de vieillissement en stockage des transistors G2 OMMIC.*

(a) *: Evolution du tracé de Gummel en direct à 240°C*

(b) *Valeurs de résistances d'accès de base et de collecteur au cours des tests*

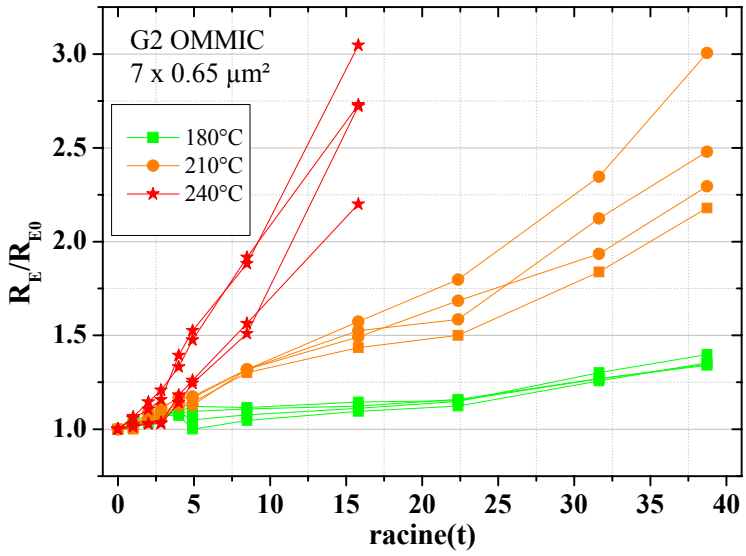


Figure 4. 8 : *Evolution de la résistance d'accès d'émetteur par rapport à sa valeur initiale R_E/R_{E0} à 180, 210 et 240°C*

$$\kappa_{RE/RE0} = k\sqrt{D_{A0}}\exp\left(-\frac{E_a}{2k_BT}\right) \qquad \text{Équation 4. 5}$$

La pente κ associée à chaque droite tracée sur la Figure 4. 8 a été évaluée. La valeur moyenne de la pente des TBH est donnée dans le *Tableau 4. 1* pour toutes les géométries confondues et pour toutes les températures de vieillissement. Ce tableau montre que :

- Quelque soit la géométrie, plus la température d'étuve est élevée, plus la pente est élevée et donc, plus la diffusion est importante.
- Pour une température donnée, la surface d'émetteur influe sensiblement sur la valeur de la pente (variation maximale de 52% à 240°C)et donc sur l'importance de la diffusion.
- Cependant, plus la température est élevée et plus la dispersion de la valeur moyenne $\kappa_{RE/RE0_moyenne}$ de la pente par température est importante.

Tableau 4. 1 : Valeurs moyennes de la pente κ de la droite R_E/R_{E0} fonction de racine(t) de TBH de toutes les géométries en fonction de la température d'étuve

	Température d'étuve (T_a) (°C)		
	180	**210**	**240**
$1000/T_a$ (K^{-1})	2,20677	2,06975	1,94875
$\kappa_{RE/RE0_T5}$	0,00747 ± 0,0002	0,04126 ± 0,0008	0,14537 ± 0,0006
$\kappa_{RE/RE0_T7}$	0,00776 ± 0,005	0,03574 ± 0,01	0,10876 ± 0.003
$\kappa_{RE/RE0_T10}$	0,00662 ± 0,006	0,02849 ± 0,02	0,09516 ± 0,006
$\kappa_{RE/RE0_moyenne}$	0,00728333 ± 0,00085	0,03516333 ± 0,012636	0,11643 ± 0,05021

La représentation des valeurs moyennes de la pente $\kappa_{RE/RE0}$ des transistors en fonction de l'inverse de la température d'étuve est reportée sur la Figure 4. 9. On remarque que cette représentation répond à la loi d'Arrhenius. Ainsi, nous pouvons dire que ce mécanisme de dégradation est activé thermiquement. L'énergie d'activation correspondante est d'environ 1,8 eV et ce quelle que soit la géométrie de TBH concernée. Cette valeur d'énergie d'activation est proche de celles obtenues dans [50] comprises entre 1,6 et 2 eV. Dans [50], l'augmentation de R_E est attribuée à la délamination du métal réfractaire. Dans notre cas, nous accordons cette évolution à la diffusion des métaux de la couche de contact c'est-à-dire l'or (Au) et/ou le titane (Ti) dans le semi-conducteur. Cette analyse portée sur la diminution des courants de base et de collecteur pour $V_{BE} \geq 0,8$ V a été publiée dans [49]. Rappelons que le contact ohmique de l'émetteur est réalisé avec l'empilement de métaux Ti/Pt/Au.

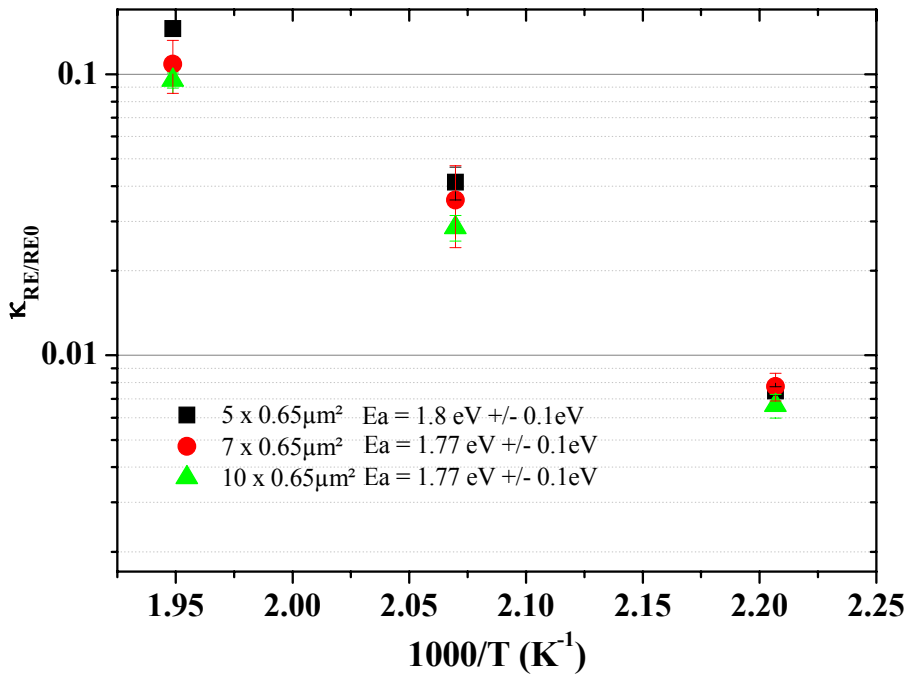


Figure 4. 9 : *Dépendance en température de la pente κ de R_E/R_{E0} des TBH G2 OMMIC*

2.2.2. Contraintes thermique et électrique

Dans le chapitre 3, nous avons vu que tous les transistors de la filière III-V Lab (G0, G1 et G2) sous tests de vieillissement accéléré sous polarisation présentent les mêmes signatures électriques. A conditions de contrainte identiques, les mécanismes de défaillance associés apparaissent au cours du temps en premier lieu dans les TBH de la G0, puis dans les TBH G1 et arrivent en dernier lieu dans les TBH G2 III-V Lab. Rappelons les mécanismes observés sur les Figure 3.12, Figure 3.14 et Figure 3.16 :

- une augmentation du facteur d'idéalité du courant de base pour les tensions V_{BE} inférieures à 0,6 V,
- une augmentation des courants I_B et I_C pour les tensions V_{BE} supérieures à 0,6 V et pour les tensions V_{BE} comprises entre 0,2 et 0,8 V respectivement,
- enfin une diminution du courant I_C pour les tensions V_{BE} supérieures à 0,8 V.

Ces mêmes mécanismes sont observés sur les transistors soumis à tous les points de polarisation (P1, P2, P2', P3, P4 et P5) mais avec une dynamique d'autant plus rapide que la température de jonction est élevée. La Figure 4. 10 présente les résultats de la modélisation compacte réalisée sur un transistor T7 G1 (vieilli sous P3) avec le modèle HiCUM. Les simulations sont réalisées pour les tests allant de 0 heure jusqu'à 2500 heures. Mis à part la

différence relative aux bruits de mesure aux faibles niveaux d'injection, les résultats de la simulation sont parfaitement conformes à ceux des mesures électriques. Ces résultats de la modélisation compacte ont été obtenus en modifiant la valeur de certains paramètres du modèle HiCUM. En analysant l'évolution des paramètres de HiCUM des TBH G1, nous concluons que :

- L'augmentation du courant de base, pour les tensions V_{BE} inférieures à 0,6 V, tout comme pour les mesures en stockage, est due à une évolution de la diode de la périphérie d'émetteur (BEp) représentée par le courant i_{jBEp} (diode rouge (Figure *4. 6*)).
- L'augmentation des courants I_B et I_C pour les tensions $V_{BE} \geq 0{,}6$ V et pour V_{BE} comprise entre 0,2 et 0,8 V respectivement est due à l'évolution de la diode intrinsèque de la jonction base-émetteur notée BEi (diode bleue (Figure 4. 6)) et représentée par le courant i_{jBEi} dont l'expression est donnée par l'équation 4. 6 [107].
- La diminution du courant de collecteur pour les tensions $V_{BE} \geq 0{,}8$ V est liée à l'augmentation de la résistance d'émetteur R_E (*Tableau 4. 2*).

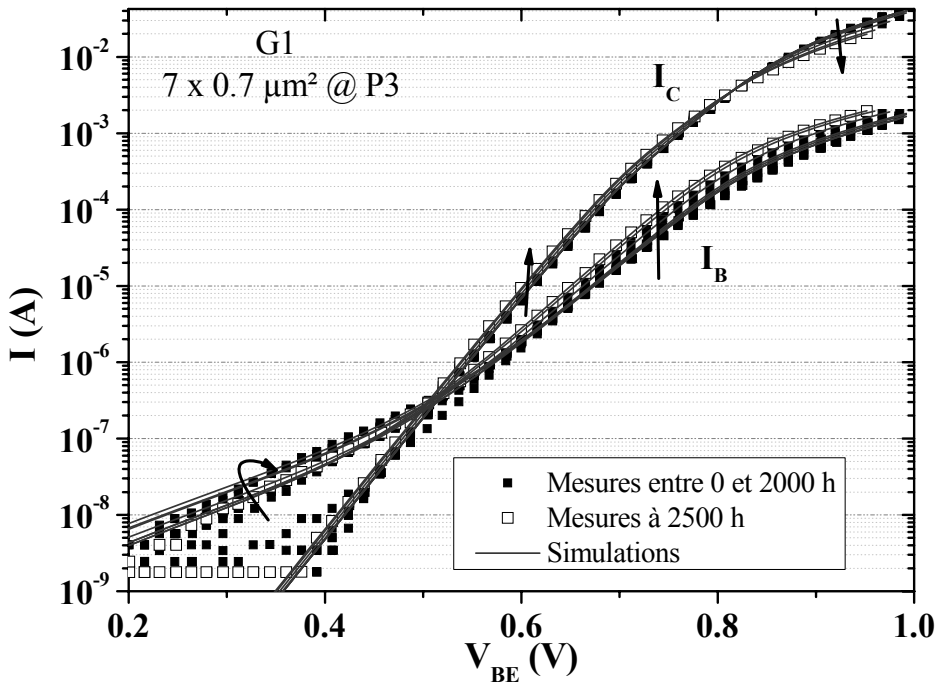


Figure 4. 10 *: Exemple de résultats de modélisation compacte réalisée sur un T7 G1 soumis au test sous polarisation P3 durant 2500 heures*

$$i_{jBEi} = I_{BEiS}\left[\exp\left(\frac{V_{BE}}{m_{BEi}V_T}\right)-1\right] + I_{REiS}\left[\exp\left(\frac{V_{BE}}{m_{REi}V_T}\right)-1\right] \qquad \text{Équation 4. 6}$$

Avec :

- I_{BEiS} le courant de saturation intrinsèque de la jonction B-E
- m_{BEi} le facteur d'idéalité du courant I_{BEiS}
- I_{REiS} le courant de recombinaison-saturation intrinsèque de la jonction B-E
- m_{REi} le facteur d'idéalité du courant I_{REiS}

Les valeurs initiales et finales des paramètres de l'équation 4. 1 et de l'équation 4. 6 ainsi que celles du courant de saturation I_S et de la résistance d'émetteur R_E sont reportées dans le *Tableau 4. 2*. Dans ce tableau nous rappelons que les paramètres qui ont évolué après 2500 heures de tests sont précisément :

- le courant de saturation intrinsèque de la jonction B-E noté I_{BEiS},
- le courant de recombinaison-saturation de la périphérie de la jonction B-E noté I_{REpS},
- le courant de saturation I_S,
- et la résistance d'émetteur R_E.

A partir de là, nous pouvons établir une seconde hypothèse qui est la suivante :

Hypothèse 2 : Durant les tests de vieillissement accéléré sous polarisation, le(s) mécanisme(s) de dégradation observé(s) seraient liés :

- pour le courant de base, aux niveaux d'injection intermédiaires, à une augmentation du courant de recombinaison-saturation de la périphérie de la jonction B-E noté I_{REpS},
- pour le courant de base I_B, pour $V_{BE} \geq 0,6$ V, ainsi que pour le courant de collecteur I_C pour V_{BE} comprise entre 0,2 et 0,8 V, à l'évolution de la diode intrinsèque de la jonction base-émetteur et plus précisément à une augmentation du courant de saturation de la jonction B-E, I_{BEiS},
- pour le courant de collecteur, pour V_{BE} supérieure à 0,8 V, à une augmentation des résistivités de contact, particulièrement celle de l'émetteur pour les transistors de la filière III-V Lab.

Les résultats des tests de vieillissement accéléré sous contraintes thermique et électrique des TBH de la filière OMMIC n'ont montré qu'un seul mécanisme de dégradation. La signature électrique de ce mécanisme correspond à une légère diminution du courant de base pour les tensions V_{BE} inférieures à 0,75 V. La modélisation compacte des transistors G2 OMMIC a pu lier cette réduction de I_B à une diminution du courant I_{BEpS}. Ainsi, comme avec les transistors de la filière III-V Lab, ceux de la filière OMMIC présentent une évolution de la diode localisée à la périphérie d'émetteur de la jonction B-E.

Tableau 4. 2 : Exemple de paramètres importants évoluant dans le modèle compact d'un TBH G1 de la filière III-V Lab.

Paramètres	**Nom des paramètres**	**TBH G1 à 0 h**	**TBH G1 à 2500 h (P3)**
I_{BEiS} (A)	Courant de saturation intrinsèque de la jonction B-E	**0**	**$34x10^{-15}$**
m_{Bei}	Facteur d'idéalité du courant I_{BEiS}	1,340	1,340
I_{REpS} (A)	Courant de recombinaison-saturation intrinsèque de la jonction B-E	$598,9\ x10^{-15}$	$598,9\ x10^{-15}$
m_{REi}	Facteur d'idéalité du courant I_{REiS}	1,699	1,699
I_{BEpS} (A)	Courant de saturation de la périphérie de la jonction B-E	$178,3\ x10^{-15}$	$178,3x10^{-15}$
m_{BEp}	Facteur d'idéalité du courant I_{BEpS}	1,517	1,517
I_{REpS} (A)	Courant de recombinaison-saturation de la périphérie de la jonction B-E	**0**	**$1,2x10^{-9}$**
m_{REp}	Facteur d'idéalité du courant I_{REpS}	4	4
I_S (A)	Courant de saturation	**$2,338x10^{-15}$**	**$3,195x10^{-15}$**
R_E (Ω)	Resistance d'émetteur	**4,01**	**4,86**

2.3. Synthèse

Les paramètres, identifiés à partir de la modélisation compacte avec le modèle HiCUM, qui évoluent au cours des tests de vieillissement en stockage et sous polarisation ainsi que leur localisation sont reportés dans le *Tableau 4. 3*. On remarque que l'origine des mécanismes de défaillance est localisée au niveau de la périphérie d'émetteur [59] [62] et/ou au niveau de la jonction base-émetteur [62], [53]. Dans [53], la dégradation est due à la relaxation de la base sous contrainte mécanique ce qui entraine une apparition/augmentation de la densité de pièges dans la base.

Afin de valider nos deux hypothèses, nous présentons par la suite les résultats de la simulation physique réalisée avec TCAD Sentaurus

Tableau 4. 3 : Récapitulatif des signatures électriques des mécanismes de dégradation identifiées à partir de la modélisation compacte

Paramètres	Stockage	Polarisation	Localisation
$\mathbf{I_{REpS}}$	Augmentation du courant de base I_B pour $0,2 \leq V_{BE} \leq 0,8$ V	Augmentation du courant de base I_B pour $V_{BE} \leq 0,6$ V	Périphérie d'émetteur
$\mathbf{I_{BEpS}}$	-	Augmentation du courant de base I_B pour $V_{BE} \geq 0,6$ V Augmentation du courant de collecteur I_C pour $0,4 \leq V_{BE} \leq 0,8$ V	Jonction base-émetteur
$\mathbf{R_E}$	Diminution des courants I_B et I_C pour $V_{BE} \geq 0,8$ V		Couche de contact de métal

3. Analyse approfondie des mécanismes de dégradation par simulation physique 2D

Dans ce paragraphe nous décrivons l'outil TCAD Sentaurus utilisé pour réaliser les simulations physiques 2D ainsi que les résultats obtenus grâce à ce dernier.

3.1. Description de l'outil

L'outil TCAD Sentaurus regroupe plusieurs logiciels de calcul des caractéristiques électriques des composants électroniques décrits par éléments finis. Nous avons particulièrement utilisé celui nommé SDevice pour les simulations 2D. Les caractéristiques électriques des transistors sont simulées par des méthodes de résolutions d'équations constituées de modèles de propriétés physiques discrétisées à chaque nœud de la structure selon un maillage non uniforme [73].

3.1.1. Structure et maillage

3.1.1.1. Structure simplifiée

S'agissant des caractéristiques électriques, les transistors sont simulés selon 2 dimensions (2D) à partir des simplifications suivantes :

- La définition des contacts n'est pas symétrique sur l'axe z aux extrémités (Figure ***4. 11***). Cependant, en considérant un transistor dont le rapport longueur sur largeur est élevé alors les effets associés aux extrémités (3D) deviennent peu importants devant les effets associés à la longueur du TBH. Ceci rend possible les simulations en 2 dimensions.
- Par ailleurs on remarque une symétrie des couches métalliques de contact suivant l'axe KK' (Figure 4. 11), cette symétrie nous autorise à ne simuler qu'une demi-structure.

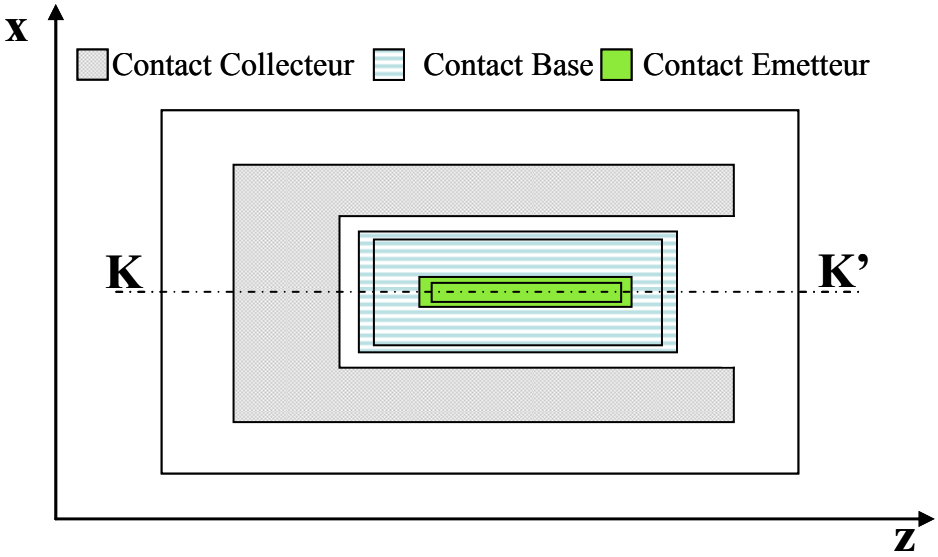


Figure 4. 11 : *Dessin en vue de dessus des masques montrant la gravure des couches actives et la définition des couches métalliques de contact*

3.1.1.2. Optimisation du maillage

Le maillage est un élément très important des simulations physiques par éléments finis. En effet, la discrétisation de la structure détermine la durée de la simulation. Par ailleurs, la précision des résultats de la simulation est très liée à la finesse du maillage. Il est donc impératif de trouver un compromis entre la durée de la simulation et la précision des résultats sans négliger les problèmes de convergence des calculs. La Figure 4. 12 montre une demi-structure de TBH InGaAs/InP avec le maillage nécessaire pour effectuer les simulations par éléments finis. Sur la demi-structure présentée on remarque la présence :

- des couches de contact émetteur et base,
- de la passivation, afin de pouvoir simuler les pièges périphériques des jonctions base-émetteur et base-collecteur

La couche de substrat n'est pas représentée ici, car concernant l'évaluation des pièges localisés dans la jonction B-E, le substrat n'est pas un élément actif contrairement aux cas des simulations thermoélectriques effectuées en 3D (cf. chapitre 2).

Afin de limiter les problèmes de convergence liés aux mécanismes de transport de charges aux interfaces, il est important d'effecteur un maillage plus dense au niveau des :

- interfaces entre semi-conducteurs, principalement au niveau des hétérojonctions B-E et B-C du fait de la variation abrupte de potentiel,

- interfaces entre semi-conducteurs et passivation du fait de l'activité des pièges,
- zones où les concentrations de porteurs de charge varient du fait de la brusque variation de potentiel.

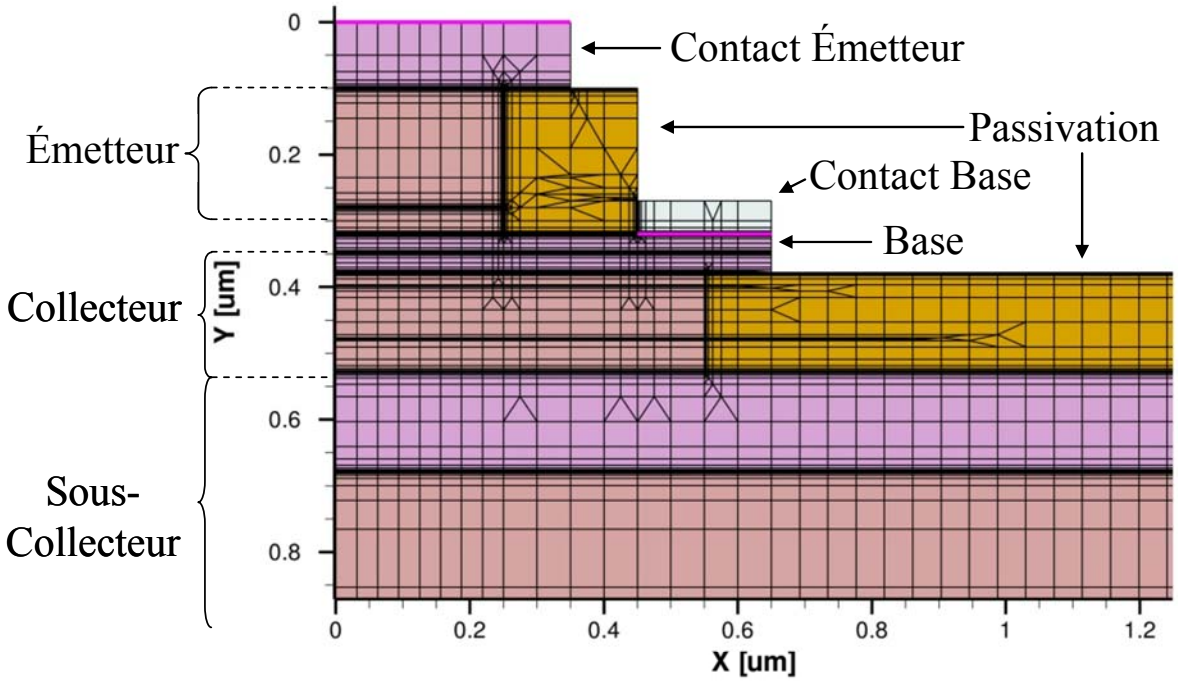


Figure 4. 12 : *Structure d'un TBH sous TCAD avec la représentation du maillage aux niveaux de différentes interfaces*

3.1.2. Analyses des mécanismes de transport avant vieillissement

Les équations à intégrer dans le simulateur afin de bien définir les mécanismes de transport de charges dans les semi-conducteurs sont les suivantes [73]:

- L'équation de Poisson.
- Les équations de continuité, qui représentent la continuité des densités de porteurs libres.
- Les équations du modèle dérive-diffusion, qui décrit le transport stationnaire des porteurs libres, électrons et trous.
- Les équations du modèle thermodynamique, qui tient compte de l'équation de la chaleur pour rendre compte des effets d'auto-échauffement.
- et les équations du modèle hydrodynamique, qui viennent en aide au modèle dérive-diffusion lorsque la zone active est de très faibles dimensions et/ou est le siège de grandes variations du champ électrique.

Nous définissons aussi dans le logiciel, les effets limitatifs décrits dans le chapitre 1 :

- L'effet thermoïonique, qui est le mécanisme d'injection prépondérant dans le TBH InGaAs/InP du fait de la présence du « spike » dans la bande de conduction de la jonction B-E.
- L'effet de la diminution de la bande interdite encore appelé « Band Gap Narrowing » pour les couches à forte concentration de dopage. Cet effet existe à cause de la présence d'un continuum d'états proches de la bande de valence ou de la bande de conduction. La calibration de cet effet est décrite dans [109].
- La génération-recombinaison qui a pour origine les recombinaisons Auger avec son coefficient C_{Auger} égal à $5x10^{31}$ cm^6/s et/ou les recombinaisons SRH généralement présents dans les TBH sur substrat III-V.
    - Les recombinaisons Auger sont, généralement, les mécanismes de recombinaison prépondérants dans les TBH à base InGaAs [110].
    - Les recombinaisons SRH (Shockley Read Hall) sont les mécanismes de recombinaison dominants dans les TBH à base GaAsSb [111].

Il faut aussi définir les paramètres thermiques des matériaux ainsi que les paramètres physiques électriques tels que :

- l'affinité électronique χ,
- l'énergie de la bande interdite E_g,
- la mobilité des porteurs et leur masse effective.

3.2. Simulations physiques 2D des mécanismes de dégradation

Dans cette partie, nous présentons les résultats de la simulation par éléments finis comparés aux résultats de tests de vieillissement accéléré du chapitre 3. Nous commençons par montrer les résultats des tests sous contrainte thermique uniquement puis ceux des tests de vieillissement accéléré sous contraintes thermique et électrique.

3.2.1. Impact des pièges sur les tracés de Gummel en direct

En préalable aux résultats relatifs au vieillissement accéléré, une étude approfondie des pièges (nature, localisation, densité) est nécessaire. Après avoir défini la structure simplifiée du TBH, son maillage ainsi que les mécanismes de transport avant vieillissement, nous introduisons des défauts dans le réseau cristallin du semi-conducteur et aux interfaces afin de simuler l'influence des mécanismes de génération-recombinaison sur les mesures électriques. La présence des défauts est due à la discontinuité de la périodicité du réseau cristallin. Bien souvent, elle se traduit par l'apparition d'états d'énergie dans la bande interdite du semi-conducteur.

- Lorsque le niveau d'énergie introduit est proche des bandes de conduction ou de valence, les défauts, encore appelés pièges, correspondent à des impuretés dopantes qui établissent une conductivité de type N ou P.
- Pour des perturbations importantes du réseau cristallin, le niveau d'énergie introduit se trouve éloigné des bandes de conduction et de valence [112]. Les niveaux d'énergie sont proches du centre de la bande interdite. Dans ce cas, ils sont appelés pièges profonds. Les pièges profonds modifient de façon plus ou moins importante les propriétés de conduction dans les semi-conducteurs. Ils peuvent compenser les niveaux donneurs ou accepteurs introduits intentionnellement et donc réduire la concentration des porteurs libres ainsi que leur mobilité. Ainsi ils participent aux phénomènes de génération-recombinaison de type SRH.

Ainsi, la Figure 4. 13 montre que, pour obtenir des résultats simulés conformes à ceux de la mesure électrique, différents pièges ont été définis dans la structure simulée :

- à la surface de la base,
- à la surface de la périphérie d'émetteur,
- et à l'interface de la jonction base-émetteur.

Outre la localisation des pièges, une étude importante réalisée au laboratoire IMS par Brice Grandchamp a porté sur leur type (accepteur ou donneur), leur niveau d'énergie et leur densité.

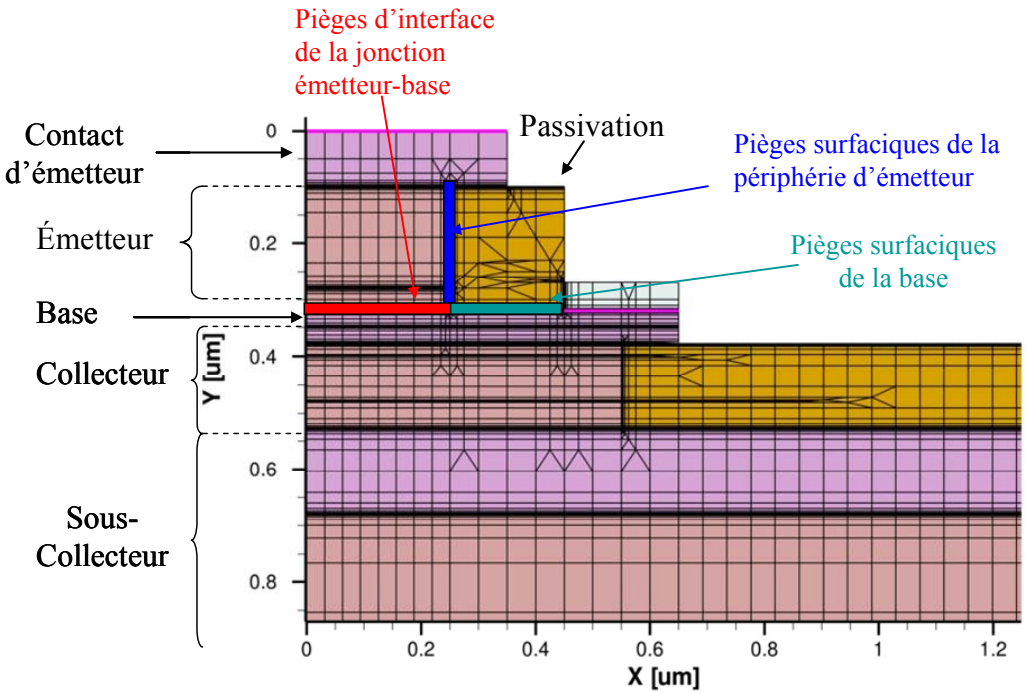
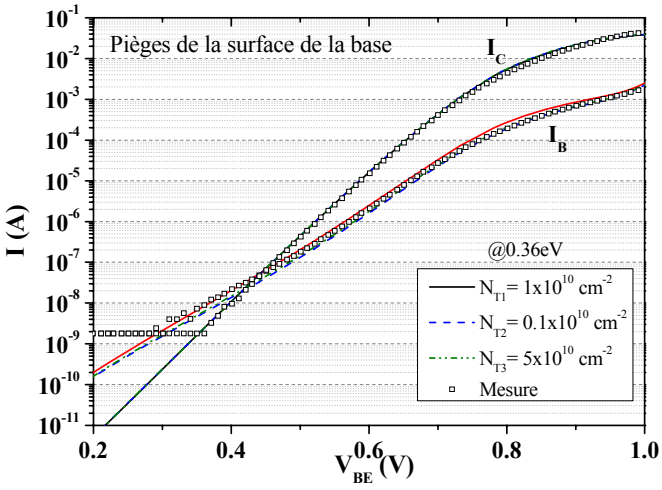


Figure 4. 13 *: Localisation des différents types de pièges évoluant lors des tests de vieillissement sur les TBH InP/InGaAs.*

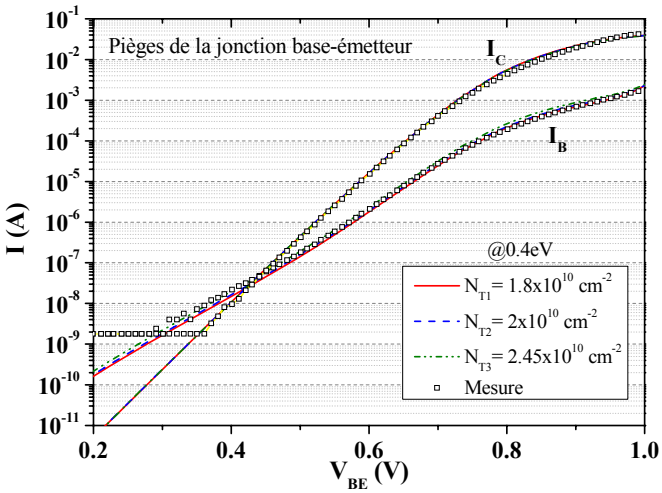
Les pièges introduits dans la bande interdite et localisés à la surface de la base, à la surface de la périphérie d'émetteur et à l'interface de la jonction base-émetteur agissent principalement sur le courant de base. Chacun de ces pièges affecte le courant de base sur une plage de tension V_{BE} bien précise. La Figure 4. 14 montre que :

- les pièges de type accepteur localisés à la surface de la base avec une énergie E_T-E_V égale à 0,36 eV ainsi que ceux de type accepteur localisés à la jonction base-émetteur avec une énergie E_T-E_V = 0,4 eV ont un impact sur le courant de base pour les tensions V_{BE} supérieures à 0,6 V (Figure 4. 14 (a) et Figure 4. 14 (b)). Une variation des densités de pièges N_T a pour effet de décaler le niveau du courant de base.
- les pièges de type donneur localisés à la surface de la périphérie d'émetteur, avec une énergie E_T-E_V de 0,83 eV, modifient le courant de base pour V_{BE} inférieure à 0,6 V (Figure 4. 14 (c)). Sur cette figure on constate que le niveau du courant de base diminue pour une densité de pièges croissante.

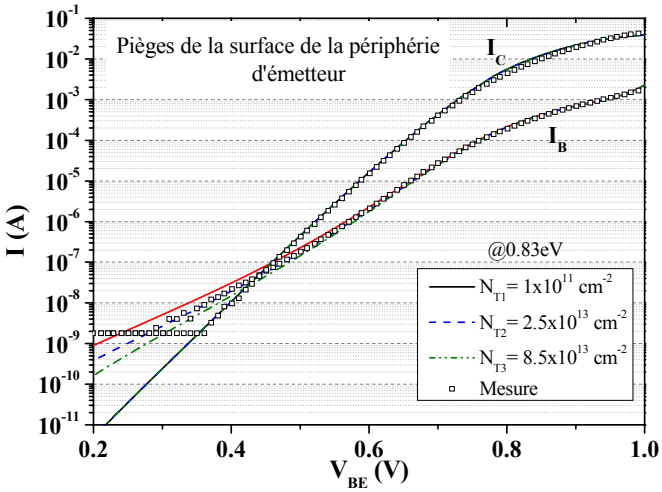
Notons que les valeurs des niveaux d'énergie utilisées ainsi que celles des densités de pièges sont extraites de la bibliographie [113] et ont été ajustées dans nos simulations.



(a)



(b)



(c)

Figure 4. 14 : *Impact des défauts introduits dans la bande interdite sur les tracés de Gummel*
(a) *Pièges localisés à la surface de la base*
(b) *Pièges localisés à la jonction base-émetteur*
(c) *Pièges localisés à la surface de la périphérie d'émetteur*

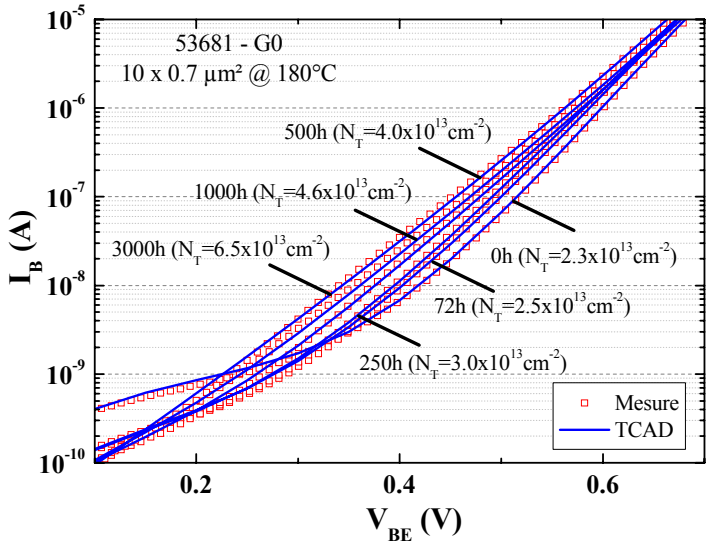
3.2.2. Filière III-V Lab

3.2.2.1. Sous contrainte thermique

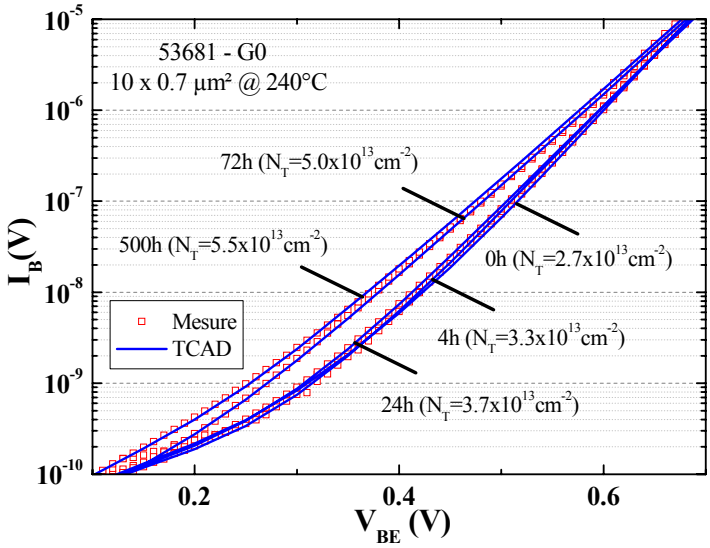
Nous rappelons que les transistors qui ont été soumis aux tests de vieillissement sous contrainte thermique sont ceux des générations G0 et G1 de la filière III-V Lab. Les résultats de ces tests ont montré que ces transistors présentent les mêmes mécanismes de dégradation. Les trois signatures électriques correspondantes aux différents mécanismes de dégradation ont été rappelées dans le paragraphe 2.2.1.1 de ce chapitre. Pour valider l'hypothèse 1 avancée sur l'origine de ces mécanismes de dégradation, l'augmentation du courant de base est identifiée et est parfaitement simulée sous TCAD Sentaurus. Son évolution est liée l'activité des pièges d'interface et de surface, et plus précisément des pièges de la périphérie d'émetteur. Comme on a pu remarquer sur la Figure 4. 14, ce sont ces pièges qui ont un effet sur le courant de base pour la plage de tension V_{BE} concernée, ce qui permet de valider l'hypothèse 1.

Avant les tests de vieillissement, pour simuler le courant base des TBH G0, les pièges introduits à la périphérie d'émetteur ont deux niveaux d'énergie différents qui sont E_T-E_V = 1,15 eV et E_T-E_V = 1,32 eV. La densité de pièges N_T est le paramètre utilisé pour ajuster la simulation aux mesures électriques lors des tests de vieillissement. La Figure 4. 15 montre les résultats de simulation de deux transistors G0 vieillis à 180 et à 240°C. La Figure 4. ***15*** (a) montre le TBH soumis à 180°C vieilli pendant 3000 heures et la Figure ***4. 15*** (b) montre celui soumis à 240°C vieilli pendant 500 heures. Sur chacun des graphes on remarque que les mesures électriques et les résultats de la simulation physique sont parfaitement cohérents. Sous contrainte thermique, seule la densité de pièges associée au niveau d'énergie E_T-E_V = 1,32 eV évolue au cours du test.

Le *Tableau 4. 4* donne l'évolution de la densité de pièges qui évolue lors des tests de vieillissement en stockage. L'évolution de la densité de pièges de la périphérie d'émetteur en fonction du temps de vieillissement est reportée sur la Figure 4. 16. On remarque que contrairement au TBH soumis au test à 180°C, l'augmentation de la densité de pièges du transistor vieilli à 240°C n'évolue plus après 200 heures de tests.



(a)



(b)

Figure 4. 15 : *Comparaison entre les courants de base, mesuré et simulé durant les tests de vieillissement en stockage.*
(a) *un transistor T10 à 180°C vieilli durant 3000 h*
(b) *un transistor T10 à 240°C vieilli durant 500 h*

Tableau 4. 4 : Evolution de la densité de pièges (à E_T-E_V = 1,32 eV) à la périphérie de l'émetteur au cours des tests de vieillissement en stockage

Temps de vieillissement (heures)	$N_{T\ 180°C}$ (cm^{-2})	$N_{T\ 240°C}$ (cm^{-2})
0	2,3	2,7
4	-	3,3
24	-	3,7
72	2,5	5
250	3	-
500	4	5,5
1000	4,6	-
3000	6,5	-

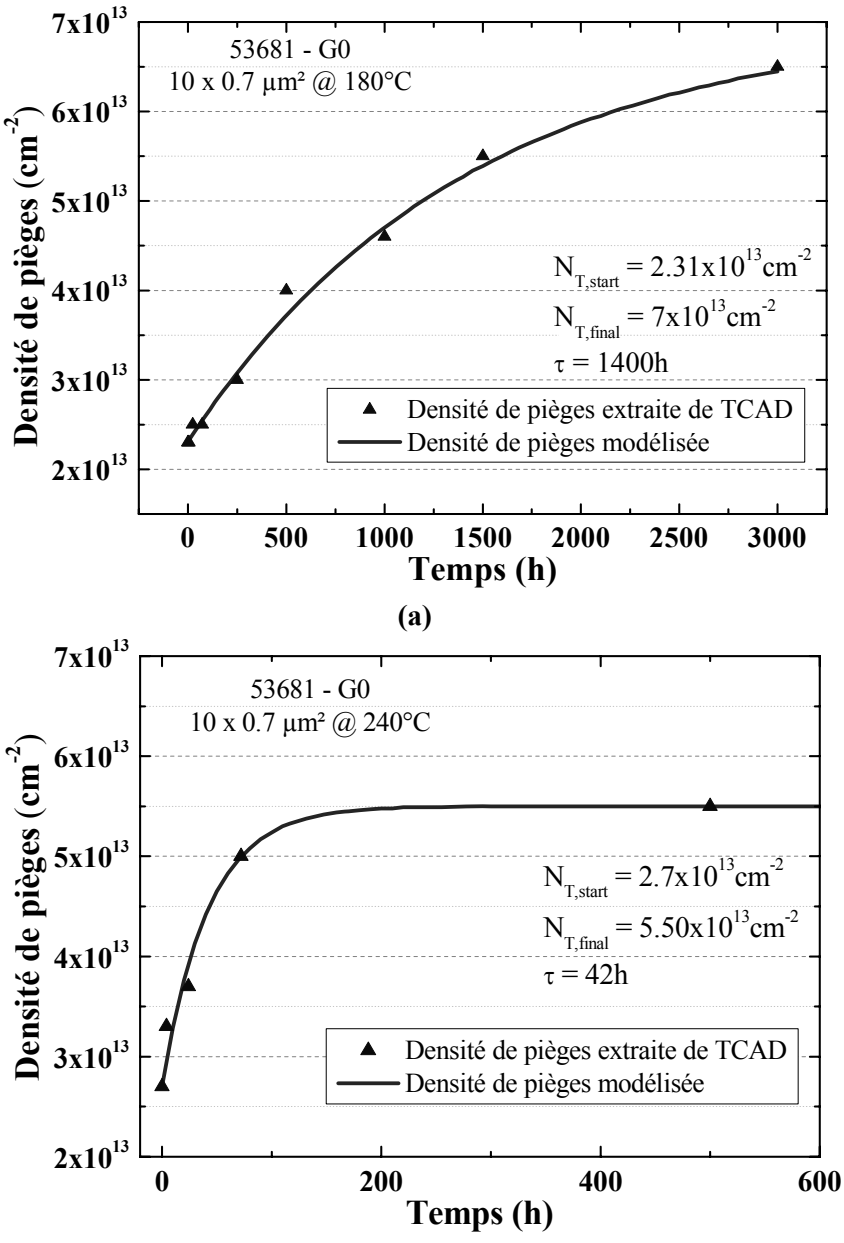


Figure 4. 16 : *Evolution de la densité de pièges (à E_T-E_V = 1,32 eV) localisés à la périphérie de l'émetteur de deux transistors T10 G0*
(a) *Vieilli à 180°C* ***(b)*** *Vieilli à 240°C*

La Figure 4. 16, montre également que l'évolution de N_T a été modélisée par une loi exponentielle dont l'expression est donnée par l'équation 4. 7.

$$N_T(t) = N_{T,final}\left(1-\left(1-\frac{N_{T,initial}}{N_{T,final}}\right)\exp\left(-\frac{t}{\tau}\right)\right) \qquad \text{Équation 4. 7}$$

Avec $N_{T,initial}$ la densité de pièges initiale, $N_{T,final}$ la densité de pièges finale et τ la constante de temps de la dégradation correspondant à l'évolution de la densité de pièges.

La densité de pièges modélisée selon cette loi (équation 4. 7) et normalisée pour tous les transistors, des différentes géométries, soumis aux tests de stockage jusqu'à 3000 heures et ce pour toutes les températures (180, 210 et 240°C) est reportée sur la Figure 4. 17. Encore une fois**,** on constate que la saturation de la densité de pièges N_T se produit en premier lieu pour les TBH soumis aux plus fortes températures d'étuve.

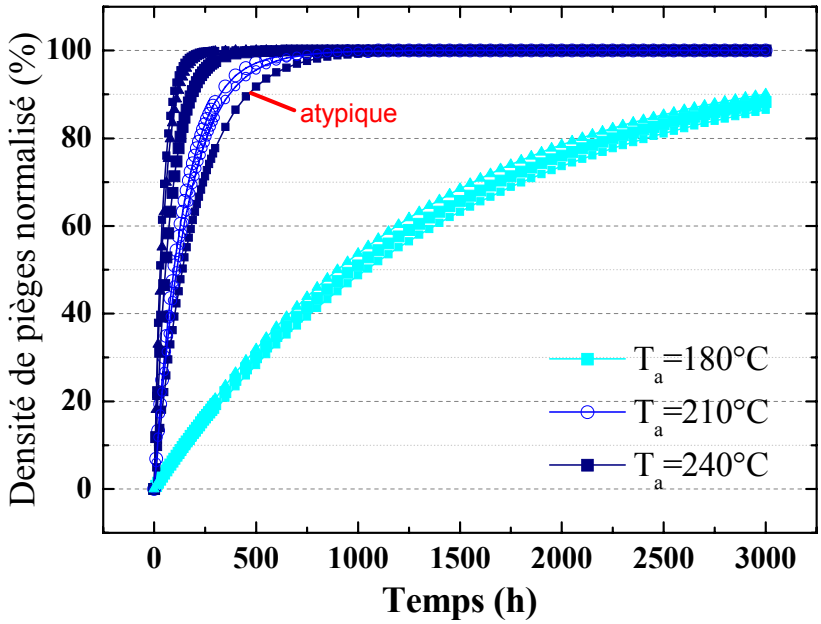


Figure 4. 17 : *Evolution de la densité de pièges (E_T-E_V = 1,32 eV) localisés à la périphérie de l'émetteur. Les valeurs de la densité de pièges ont été normalisées pour tous les TBH de différentes géométries soumis aux tests de vieillissement en stockage 180, 210 et 240°C*

La valeur moyenne de la constante de temps τ en fonction de la température d'étuve est donnée dans le *Tableau 4. 5*. On note que cette valeur est d'autant plus faible que la température est élevée. La dispersion de la constante de temps τ, à température de vieillissement constante, est minime. Elle est inférieure à 10 % pour les trois températures de stockage.

Tableau 4. 5 : Valeurs moyennes de la constante de temps τ avec la dispersion technologique associée pour les trois températures de stockage

Température (°C)	τ (h)	Δτ (%)
180	1400	6
210	150	7
240	46	9

La représentation de la constante de temps τ en fonction de l'inverse de la température d'étuve T_{etu} est reportée Figure 4. 18. On remarque que les trois points sont alignés, ce qui indique une variation répondant à la loi d'Arrhenius. Ceci nous permet d'affirmer que le mécanisme de dégradation entrainant l'augmentation du courant de base pour les tensions V_{BE} comprises entre 0,1 V et 0,7 V est thermiquement activé et est associé à une énergie d'activation de 0,957 eV [107].

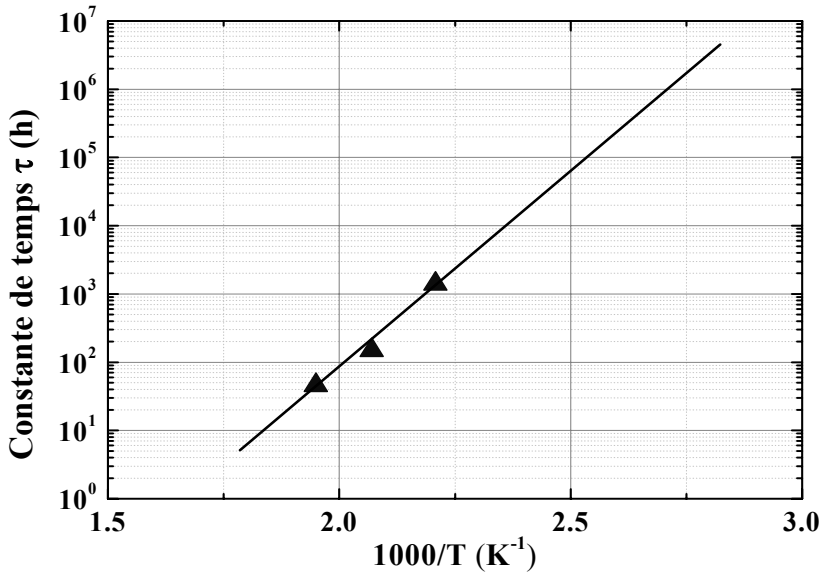


Figure 4. 18 : *Représentation de la constante de temps des TBH G0 selon la loi d'Arrhenius*

3.2.2.1. Contraintes thermique et électrique

Dans le chapitre 3, nous avons vu que les transistors de la filière III-V Lab présentent tous les mêmes mécanismes de dégradation :

- une augmentation du courant de base I_B sur toute la gamme de tension V_{BE}. Cette augmentation a lieu dans un premier temps, pour les tensions $V_{BE} \leq 0,6$ V, et est liée à l'augmentation du coefficient d'idéalité du courant de base. Elle se produit, dans un second temps, pour $V_{BE} \geq 0,6$ V et n'apparait qu'après que la valeur du coefficient d'idéalité de la diode défini pour $V_{BE} \leq 0,6$ V a atteint un maximum et sature.
- une augmentation du courant de collecteur I_C pour les tensions $V_{BE} \leq 0,8$ V et une diminution de I_C pour les tensions $V_{BE} \geq 0,8$ V.

La Figure 4. 19 résume les différents types de mécanismes dégradation observés sur les tracés de Gummel en direct des transistors de la filière III-V Lab pour toutes les générations sous contraintes thermique et électrique. Nous présentons dans la suite de ce paragraphe, les résultats des modélisations physiques de ces mécanismes de dégradation.

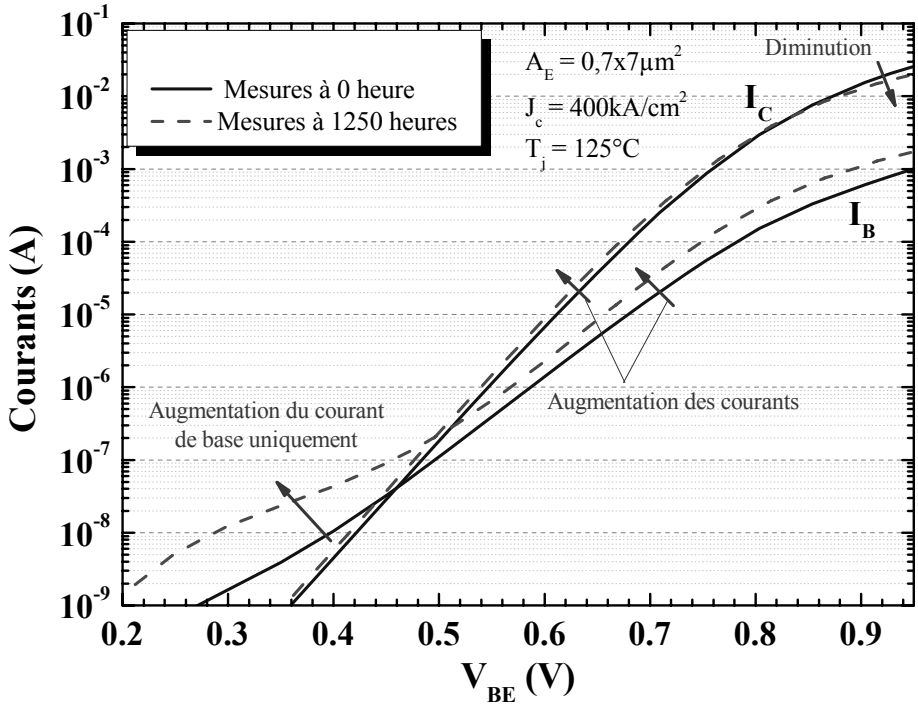


Figure 4. 19 : *Synthèse sur l'évolution des courants de base et de collecteur observée lors des tests de vieillissement accéléré sous contraintes thermique et électrique*

a. Augmentation du courant de base pour V_{BE} inférieure à 0,6 V

Les simulations physiques réalisées sur les transistors de la filière III-V Lab ont montré que l'augmentation du courant de base pour les tensions $V_{BE} \leq 0,6$ V est due à une augmentation de la densité de pièges localisés à la surface de la périphérie d'émetteur, tout comme pour les TBH sous tests de vieillissement en stockage, ce qui nous permet de valider la première partie de l'hypothèse 2. Cependant, pour les TBH G0 et les TBH G1, le défaut dont la densité de pièges évolue est celui dont l'énergie est la plus faible contrairement à ce qui se produit avec les TBH soumis aux tests de vieillissement en stockage. En effet ce sont les défauts se trouvant à une énergie E_T-E_V de 0,83 eV et de 1,15 eV, pour les TBH G1 et G0 respectivement, qui voient leur densité évoluer sous polarisation. La densité de pièges associés au niveau d'énergie E_T-E_V de 1,28 eV et de 1,32 eV, pour les TBH G1 et G0 respectivement, n'évolue pas au cours des tests. La Figure 4. 20 montre l'évolution de la densité de pièges associé au niveau d'énergie E_T-E_V de 0,83 eV et localisés à la surface de la périphérie d'émetteur au cours des tests réalisés sur les TBH G1. On remarque une augmentation rapide durant les premières heures de tests, suivi d'une stabilisation de la densité de pièges. La stabilisation de la densité de pièges se produit plus tôt pour les points de polarisation associés à une température de jonction élevée. Le même comportement a été observé sur les TBH G0 en stockage (Figure *4. 17*).

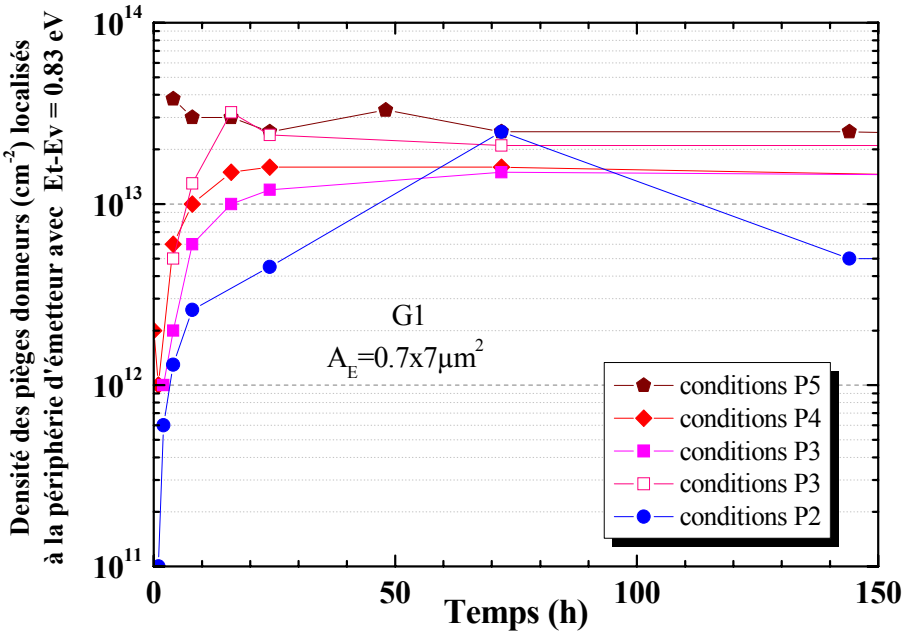


Figure 4. 20 *: Evolution de la densité de pièges (à E_T-E_V = 0,83 eV) localisés à la périphérie de l'émetteur des TBH G1 sous contraintes électrique et thermique*

La Figure 4. 21 regroupe les tracés de Gummel en direct d'un TBH G0, d'un TBH G1 et d'un TBH G2 de la filière III-V Lab tous vieillis au point de polarisation P2. On remarque que la valeur maximale du facteur d'idéalité du courant de base est atteinte :

- à seulement 72 heures pour le T7 G0 (Figure 4. 21 (a)),
- à 250 heures pour le T7 G1 (Figure 4. 21 (b)),
- après 250 heures pour le T7 G2 III-V Lab (Figure 4. 21 (c)).

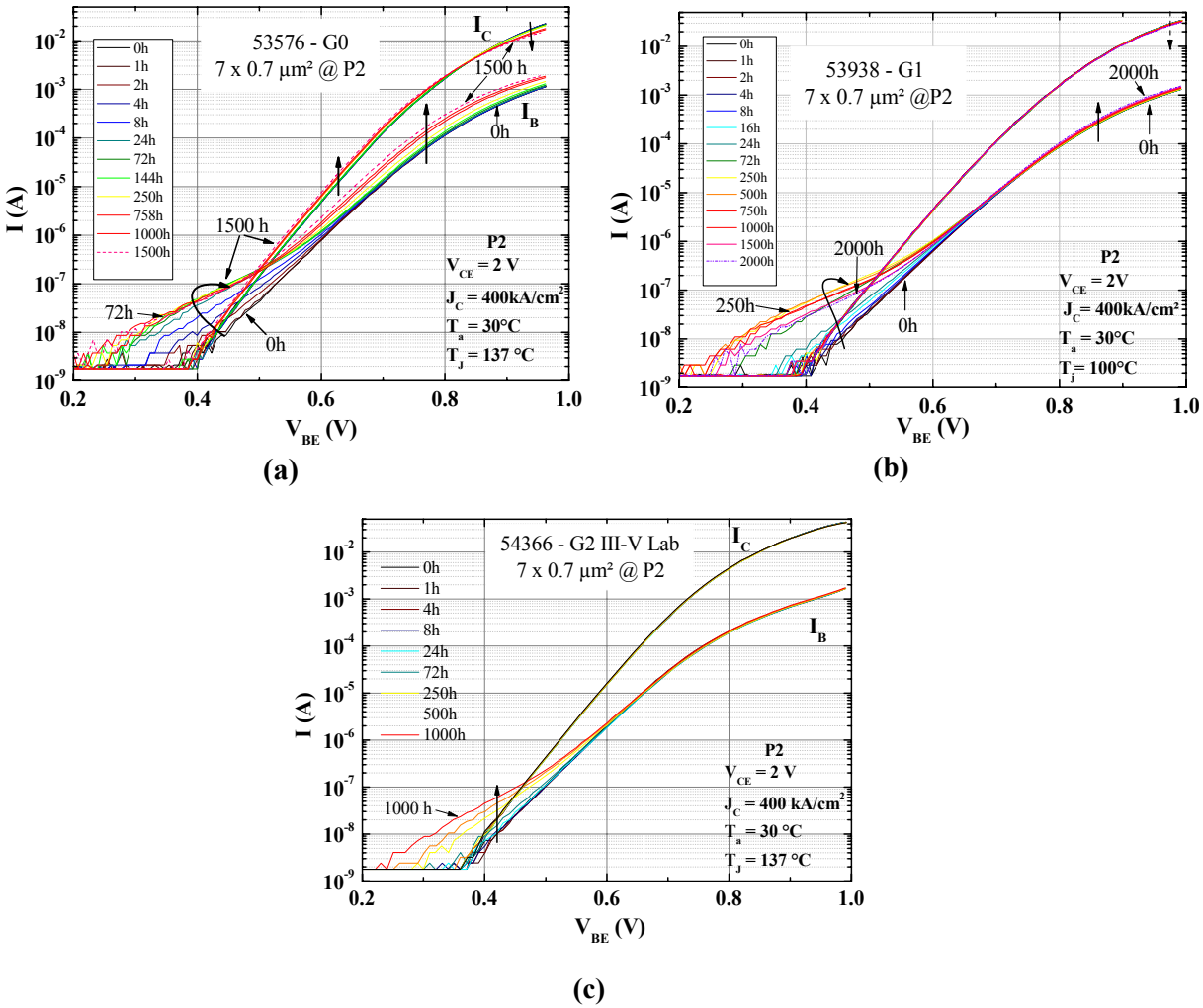


Figure 4. 21 : Tracés de Gummel en direct des TBH des 3 générations de la filière III-V Lab vieillis au point de polarisation P2

***(a)** T7 G0 **(b)** T7 G1 **(c)** T7 G2*

La simulation physique des transistors G2 III-V Lab a montré que la densité de pièges qui augmente est celle des pièges donneurs localisés à la jonction B-E avec une énergie $E_T - E_V$ égale à 1,30 eV. L'évolution de cette densité de pièges des transistors soumis aux contraintes P1 et P2 est reportée sur la Figure 4. 22. On remarque que la dégradation du

courant I_B est plus prononcée aux conditions P2 qu'aux conditions P1. Contrairement à la Figure 4. 20, après 500 heures de test, les évolutions observées sur cette figure ne tendent pas vers une saturation. L'utilisation du SiN en tant que matériau de passivation des flancs d'etteur-base, de collecteur ainsi que de la surface du sous-collecteur en InGaAs et de celle de la base extrinsèque des TBH G2 III-V Lab, a permis de ralentir l'augmentation de la densité de pièges localisés à la surface de la périphérie d'émetteur.

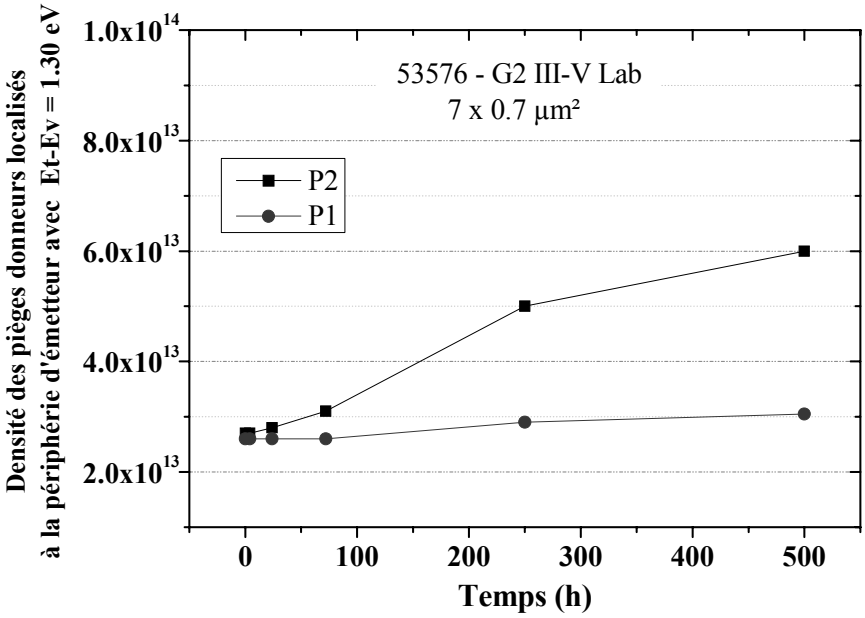


Figure 4. 22 : *Evolution de la densité de pièges donneurs (à $E_T - E_V$=1,30 eV) localisés à la jonction base-émetteur des transistors G2 III-V Lab.*

b. Augmentation du courant de base pour V_{BE} supérieure à 0,6 V et du courant de collecteur pour V_{BE} inférieure à 0,8 V

Dans le chapitre 3, nous avons vu que l'augmentation du courant de base, pour $V_{BE} \geq 0{,}6$ V, ne se produit que lorsque la densité de pièges localisés à la surface de la périphérie d'émetteur atteint la saturation. Cette augmentation du courant de base est due à l'évolution de la densité de pièges localisés à la jonction base-émetteur. Ces pièges correspondent à l'apparition de nouveaux défauts dans la zone de charge d'espace de la jonction base-émetteur. Ces défauts sont de type donneur avec une énergie E_T-E_V de 0,83 eV. L'apparition de ces pièges est expliquée par l'accumulation de charges positives du coté de la base dans la zone de charge d'espace de la jonction B-E [53], ce qui entraine aussi une

augmentation du courant de collecteur pour les tensions $V_{BE} \leq 0,8$ V. Cette analyse nous permet de valider la seconde partie de l'hypothèse 2.

L'évolution de la densité de pièges localisés à la jonction base-émetteur des TBH G1 sous contraintes électrique et thermique est reportée sur la Figure 4. 23. On remarque que :

(i) les défauts apparaissent plus tôt pour les conditions de contrainte associées à une température de jonction plus élevée,

(ii) après apparition, la densité de pièges ne cesse d'augmenter au cours des tests.

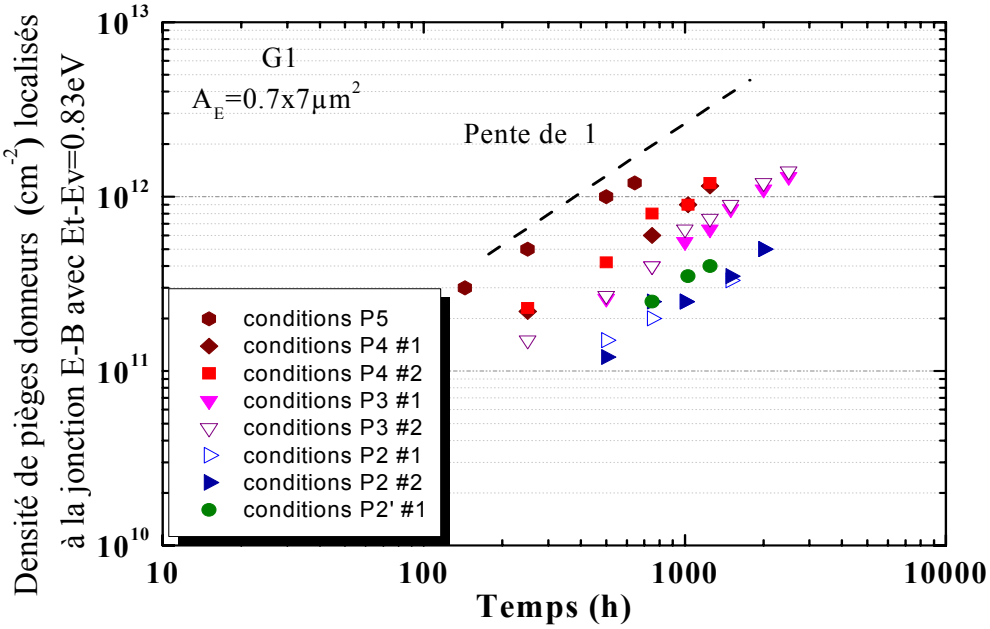


Figure 4. 23 : *Evolution de la densité de pièges (à E_T-E_V = 0,83 eV) localisés à la jonction base-émetteur des TBH G1 sous contraintes électrique et thermique*

Bien que les courants de base et de collecteur augmentent tous les deux, l'augmentation du courant de collecteur ne compense pas celle du courant de base, ce qui se traduit par une diminution du gain en courant. Cette diminution est plus importante pour les conditions de contrainte avec une température de jonction élevée (Figure 4. 24). Pour caractériser la chute du gain en courant, nous avons choisi comme critère de défaillance 15 % comme dans [114] et 20 % de réduction du la valeur maximale normalisée du gain en courant. La représentation des temps de défaillance moyens correspondant, t_{15} et de t_{20}, des transistors de la G0 et de la G1 de la filière III-V Lab est reportée dans la Figure 4. 25 dans un diagramme d'Arrhenius où T est la température de jonction. On remarque que les points des TBH G0 ainsi que ceux des TBH G1 sont alignés, ce qui indique une variation répondant à la loi d'Arrhenius. Les énergies d'activation associées à ce mécanisme sont 0,97 eV et 1,1 eV pour les TBH G0 et G1 respectivement. Un mécanisme similaire est observé dans [53].

Notons une réserve pour les TBH G0 dans la mesure où nous ne disposons que de deux transistors vieillis pour extraire l'énergie d'activation de 0,97 eV. Cependant, cette valeur est proche de celle déterminée pour le TBH G1.

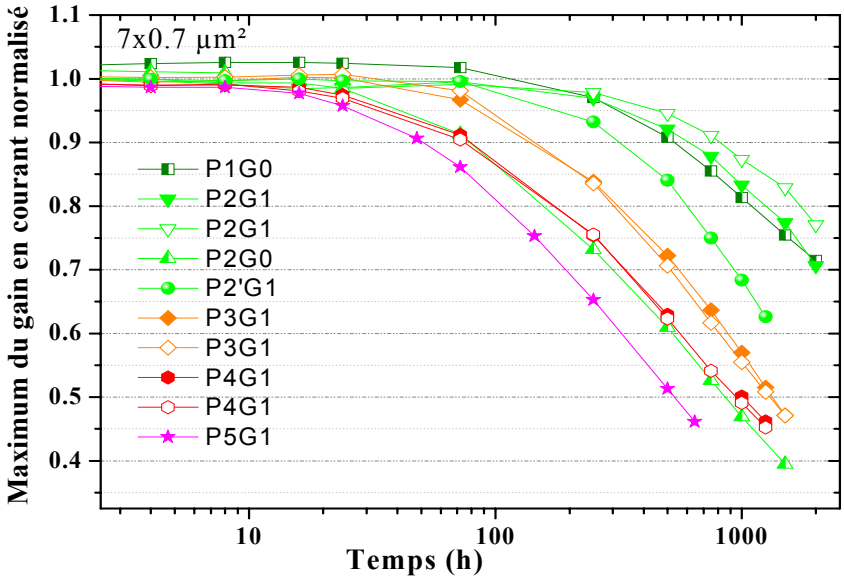


Figure 4. 24 : *Evolution du gain en courant normalisé des TBH G0 et des TBH G1 sous contraintes électrique et thermique*

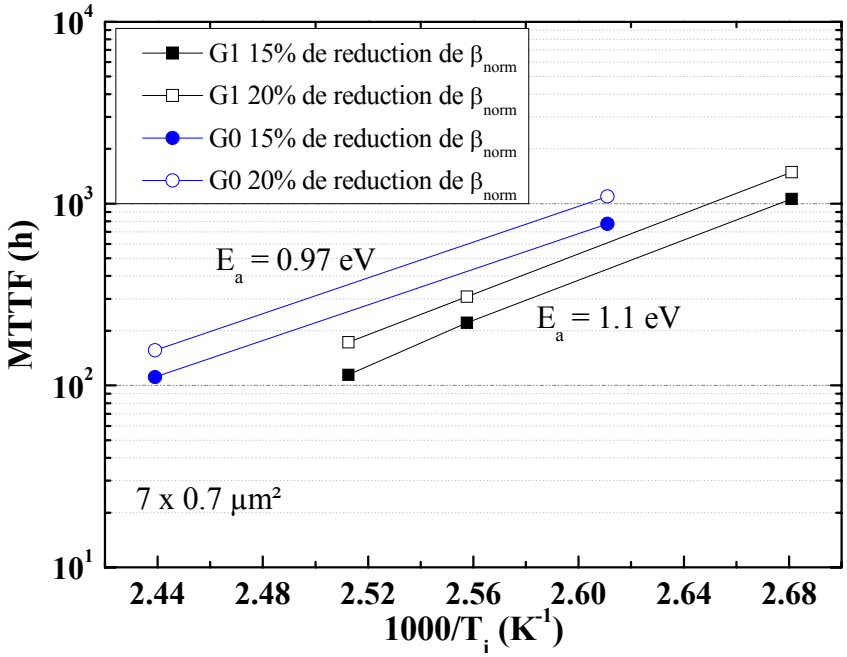


Figure 4. 25 : *Représentation des temps de défaillance moyens t_{15} et t_{20} des TBH G0 et de la G1 selon la loi d'Arrhenius*

Les transistors G2 III-V Lab n'ont été vieillis qu'aux points de polarisation P1 et P2. Seul le TBH soumis à P2 présente une diminution non négligeable du gain en courant après 1000 heures de test. Ce qui ne permet pas d'extraire une énergie d'activation. C'est pour cette raison que les TBH G2 III-V Lab ne sont pas considérées sur la Figure 4. 25.

c. Diminution du courant de collecteur pour V_{BE} supérieure à 0,8 V

Lors de la simulation 2D des transistors G1, nous avons réalisé une étude basée sur l'évolution des résistivités de contact de base, d'émetteur et de collecteur. Nous en avons conclu que, sous contraintes thermique et électrique, seule la résistivité de contact de l'émetteur est responsable de la diminution du courant de collecteur. Ceci nous permet de valider la troisième partie de l'hypothèse 2. La Figure 4. 26 montre l'évolution de la résistivité de contact d'émetteur au cours des tests de vieillissement de plusieurs TBH G1 sous polarisation. On remarque que contrairement à la résistivité de contact d'émetteur du TBH soumis à P2, celle des TBH soumis à P3 et P4 augmentent. Concernant le TBH soumis à P5, nous supposons que l'évolution de sa résistivité de contact d'émetteur est difficile à quantifier du fait de la prépondérance des autres mécanismes de dégradation sur la même plage de tension.

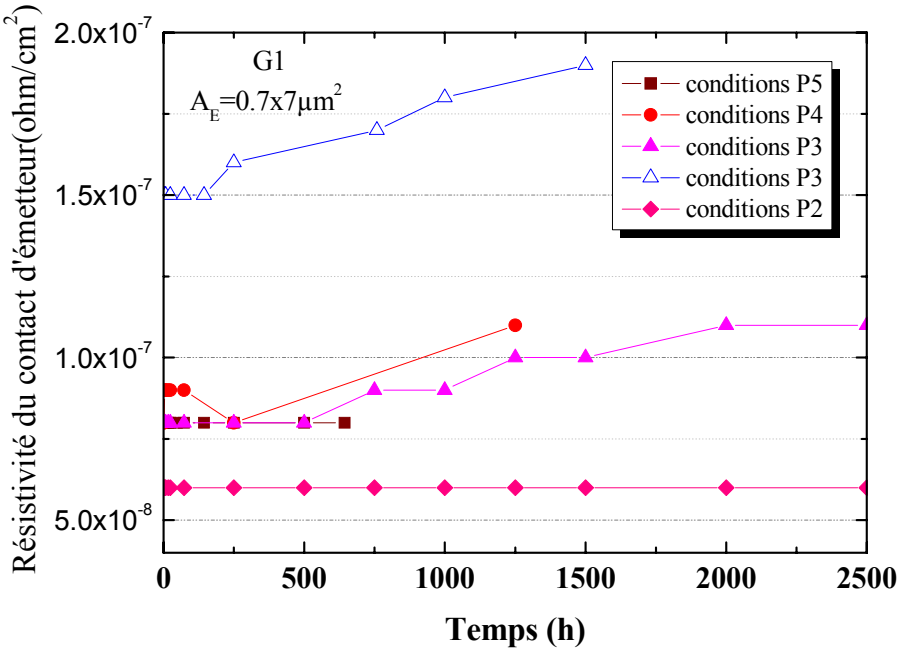


Figure 4. 26 : *Evolution de la résistivité de contact d'émetteur des TBH G1 sous contraintes électrique et thermique*

3.2.3. Filière OMMIC

En dépit d'une base en GaAsSb, la localisation des défauts à la jonction B-E est la même que celle de la filière III-V Lab (base en InGaAs) (Figure 4. 13). Nous retrouvons donc les défauts localisés :

- à la surface de la périphérie d'émetteur,
- à la surface de la base,
- et à l'interface de la jonction base-émetteur.

Les niveaux d'énergie associés à ces défauts sont donnés plus loin dans ce paragraphe.

3.2.3.1. Contrainte thermique

Les TBH G2 OMMIC soumis aux tests sous contrainte thermique ont montré une bonne tenue en température pour les niveaux d'injection faibles et intermédiaires ($V_{BE} \leq 0,8$ V). Seule une diminution des courants de base et de collecteur a été observée pour les tensions $V_{BE} \geq 0,8$ V. La modélisation compacte (avec le modèle HiCUM) ayant démontré que cette diminution des courants est principalement due à l'augmentation de la résistivité d'émetteur associée à une énergie d'activation de 1,8 eV (cf. paragraphe 2.2.1.2 du même chapitre) alors la validation par simulation physique n'est pas nécessaire.

3.2.3.2. Contraintes thermique et électrique

Dans ce paragraphe, nous rapportons sur les TBH G2 OMMIC vieillis sous polarisation (P5_O et P6_O). Ces TBH ont présenté une diminution du courant de base pour les tensions $V_{BE} \leq 0,75$ V. Pour simuler leur comportement au cours du vieillissement, nous n'avons activé que les défauts localisés à la surface de la périphérie d'émetteur et de la base extrinsèque.

- A la surface de la périphérie d'émetteur, nous avons défini des pièges de type donneur avec deux niveaux d'énergie:
    - Un premier avec une énergie $E_T - E_V$ de 1,29 eV et une densité de pièges initiale $N_{T,initial}$ de $5x10^{13}$ cm^{-2},
    - Et un second avec énergie $E_T - E_V$ de 1,15 eV et une densité de pièges initiale $N_{T,initial}$ de $6x10^{13}$ cm^{-2}.

- A la surface de la base extrinsèque, des pièges de type donneur avec une énergie $E_T - E_V$ de 0,2 eV et une densité de pièges initiale $N_{T,initial}$ de $3x10^{13}$ cm^{-2} ont été déclarés.

La Figure 4. 27, qui présente les tracés de Gummel en direct, montre que :

- aux faibles niveaux d'injection, du fait du bruit de mesure, il existe une différence entre les mesures électriques et les résultats des simulations 2D,
- aux niveaux d'injection intermédiaires, les mesures électriques et les résultats des simulations sous TCAD correspondent parfaitement,
- et aux forts niveaux d'injection, la légère différence entre mesures et simulations est liée à l'auto-échauffement qui n'est pas bien pris en compte dans les simulations 2D.

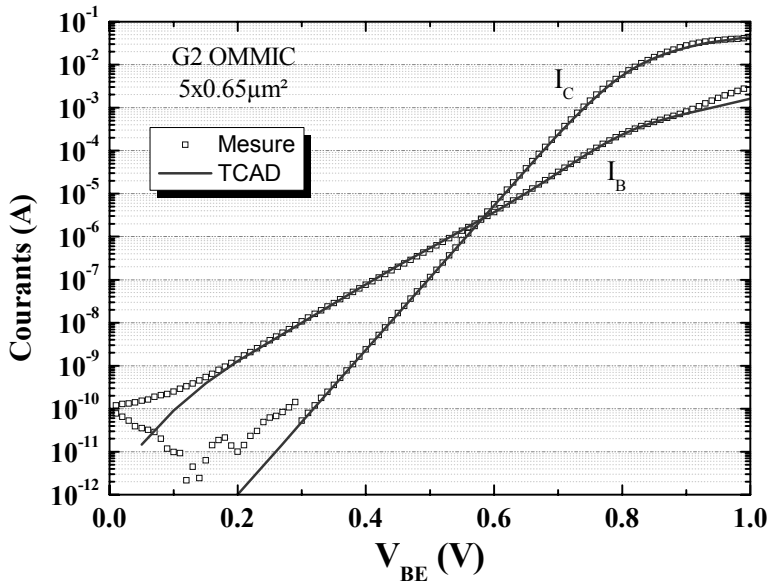


Figure 4. 27 : *Comparaison entre les mesures électriques initiales et les résultats de la simulation 2D d'un T5 G2 OMMIC*

La simulation physique 2D TCAD montre que ce sont les défauts localisés à la surface de la périphérie d'émetteur qui sont responsables de la diminution du courant de base. Plus précisément c'est la densité de pièges se trouvant au niveau d'énergie $E_T - E_V$ de 1,15 eV qui diminue. Par exemple, pour un T7 soumis aux conditions de test P6_0, la densité évolue de $6x10^{13}$ cm^{-2} à $1,5x^{13}$ cm^{-2} de 0 heures à 144 heures. La Figure 4. 28 montre la comparaison entre les mesures électriques et les résultats des simulations sous TCAD d'un T5 G2 OMMIC soumis au point de polarisation P6_O. On note une parfaite concordance entre les deux résultats. Nous avons effectué une étude systématique de ces résultats. La Figure 4. 29 montre

l'allure de l'évolution de la densité de pièges (à $E_T - E_V = 1,15$ eV) des transistors soumis aux points P5_O et P6_O. On note que la dynamique de l'évolution est la même pour les points P5_O et P6_O avec une stabilisation qui arrive plus tôt pour les TBH soumis à P6_O. Cependant, pour des raisons inconnues, les transistors A et B n'étaient plus fonctionnes à 1000 heurs. Le transistor C, lui, ne l'était plus après 144 heures.

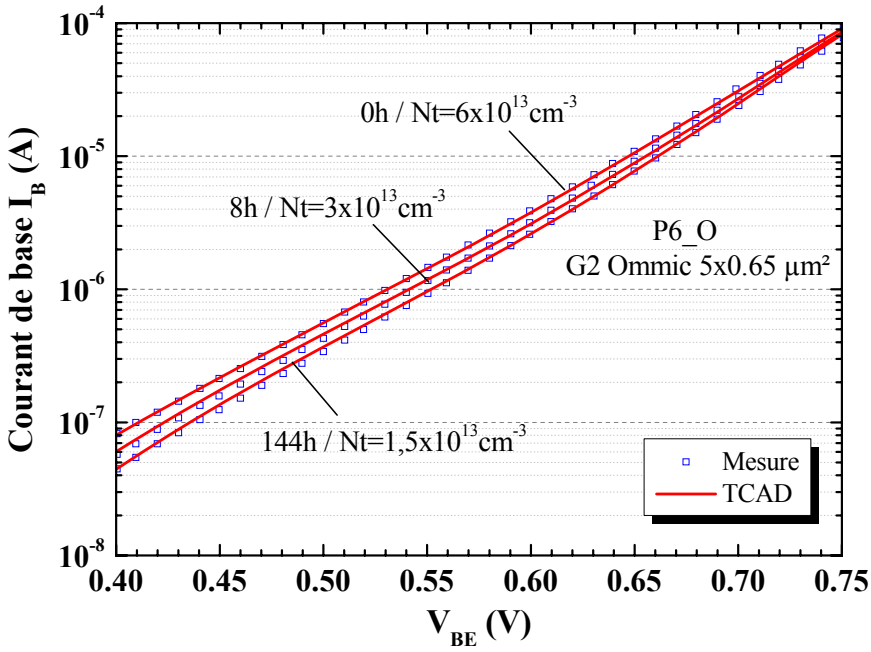


Figure 4. 28 : *Comparaison entre les mesures électriques et les résultats des simulations TCAD du courant de base d'un T5 vieilli à P6_O soit avec une température de jonction de 180°C*

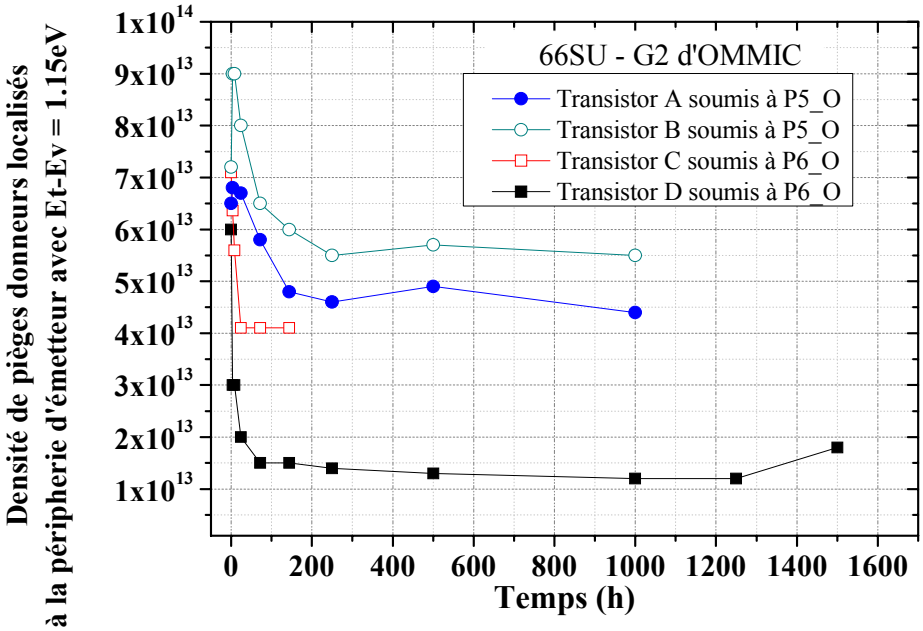


Figure 4. 29 : *Evolution de la densité de pièges (à $E_T - E_V = 1,15$ eV) localisés à la périphérie d'émetteur au cours des tests de vieillissement*

Ces résultats montrent que les tests de vieillissement sous polarisation de la filière OMMIC ont été adaptés pour permettre l'observation des mécanismes de défaillance. Grâce aux tests P5_O et P6_O, nous avons pu observer une diminution du courant de base dont l'origine est liée à une diminution de défauts localisés à la périphérie de l'émetteur. De plus, comme dans le cas des filières III-V Lab, l'évolution temporelle de cette densité de pièges permet d'extraire une constante de temps dépendant de la valeur de la température de jonction associée aux deux points de polarisation. En toute rigueur, ces constantes de temps associées aux deux points de polarisation, reportées dans un diagramme d'Arrhenius, ne suffisent pas pour extraire une énergie d'activation. Cependant, la Figure 4. 30 montre que l'énergie d'activation associée serait de 0,63 eV. L'étude bibliographique n'a pas permis d'associer cette énergie d'activation à un mécanisme connu. Par ailleurs, elle est bien plus faible que celles identifiées pour les filières III-V Lab.

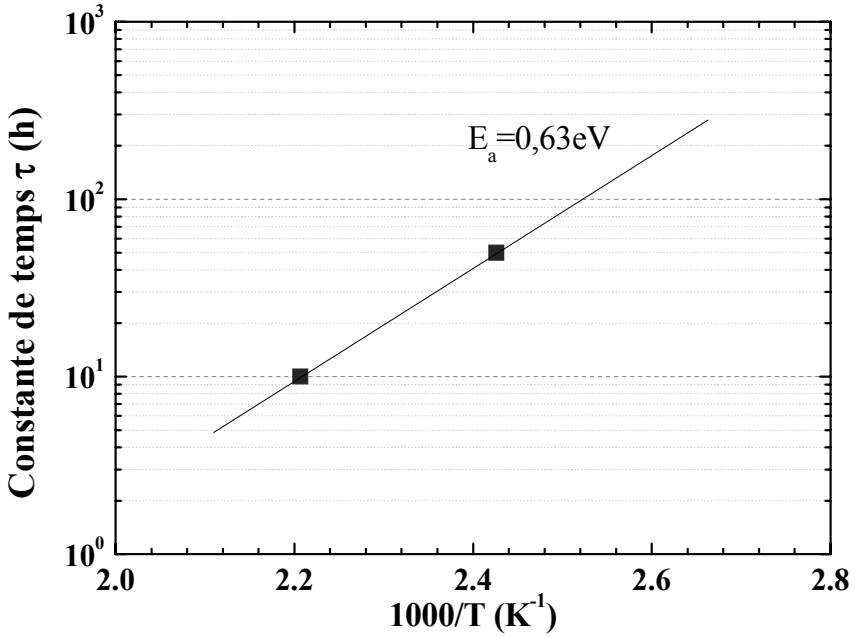


Figure 4. 30 *: Représentation de la constante de temps d'évolution de la densité de pièges localisés à la périphérie de l'émetteur des TBH de la G2 OMMIC*

3.2.4. Synthèse

La Figure 4. 31 résume une évolution représentative des tracés de Gummel en direct au cours des tests de vieillissement sous polarisation observée sur les TBH de la filière III-V Lab. Cette figure montre :

- une augmentation de la densité de pièges localisés à la surface de la périphérie d'émetteur avec une énergie E_T-E_V égale à 0,83 eV. Cette augmentation se stabilise grossièrement à partir de 72 heures (CF figure 4.19) Par exemple, la densité de pièges passe de $1x10^{12}$ cm^{-2} à $1,6x10^{13}$ cm^{-2} après 72 heures de tests pour les TBH soumis aux conditions P4.
- une augmentation de la densité de pièges localisés à la jonction base-émetteur avec une énergie E_T-E_V également égale à 0,83 eV. Cette augmentation se poursuit tout au long des tests de vieillissement. Par exemple, pour un TBH T7 G1 soumis aux conditions P3, ces défauts apparaissent à 250 heures avec une densité de pièges qui passe de $1,5x10^{11}$ cm^{-2} à $1,4x10^{12}$ cm^{-2} après 2500 heures de tests.
- une augmentation de la résistivité de contact d'émetteur. Par exemple, R_E passe de $8x10^{-8}$ Ω/cm^2 à 0 heures à $1,1x10^{-7}$ Ω/cm^2 à 2000 heures pour un TBH T7 G1 sous P3.

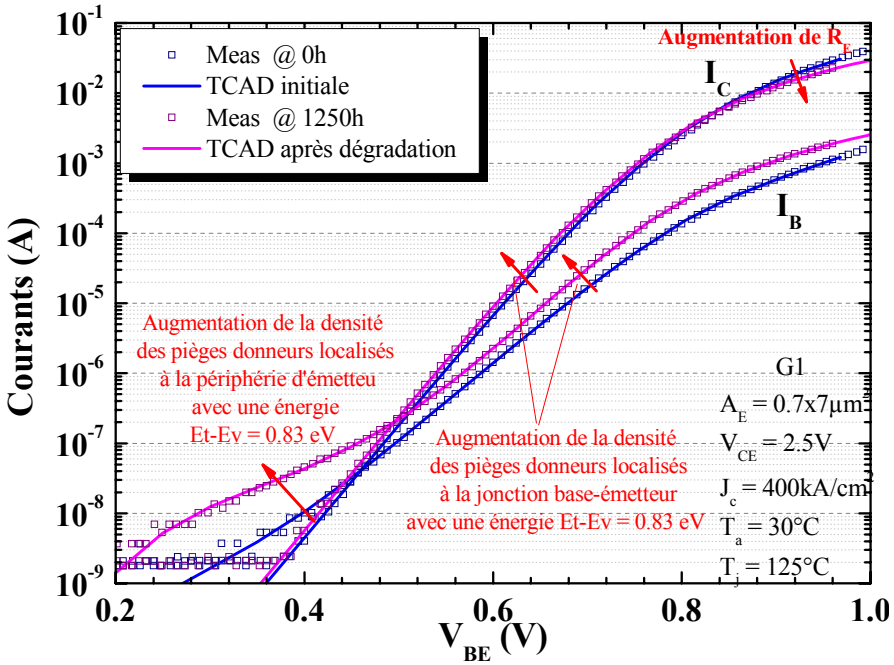


Figure 4. 31 : *Synthèse sur l'origine des mécanismes de dégradation observés lors des tests de vieillissement accéléré des TBH de la filière III-V Lab sous contraintes thermique et électrique*

La Figure 4. 32 résume une évolution représentative des tracés de Gummel en direct au cours des tests de vieillissement sous polarisation observée sur les TBH de la filière I OMMIC. Sur cette figure que seule une diminution du courant de base due à la diminution de la densité de pièges localisés à la surface de la périphérie d'émetteur avec à une énergie E_T-E_V de 1,15 eV a été observée (Figure 4. 32). Cette réduction du courant de base, observable pour V_{BE} comprises entre 0,2 V et 0,75 V, reste minime par rapport à la dispersion technologique initiale des caractéristiques électriques de ces transistors.

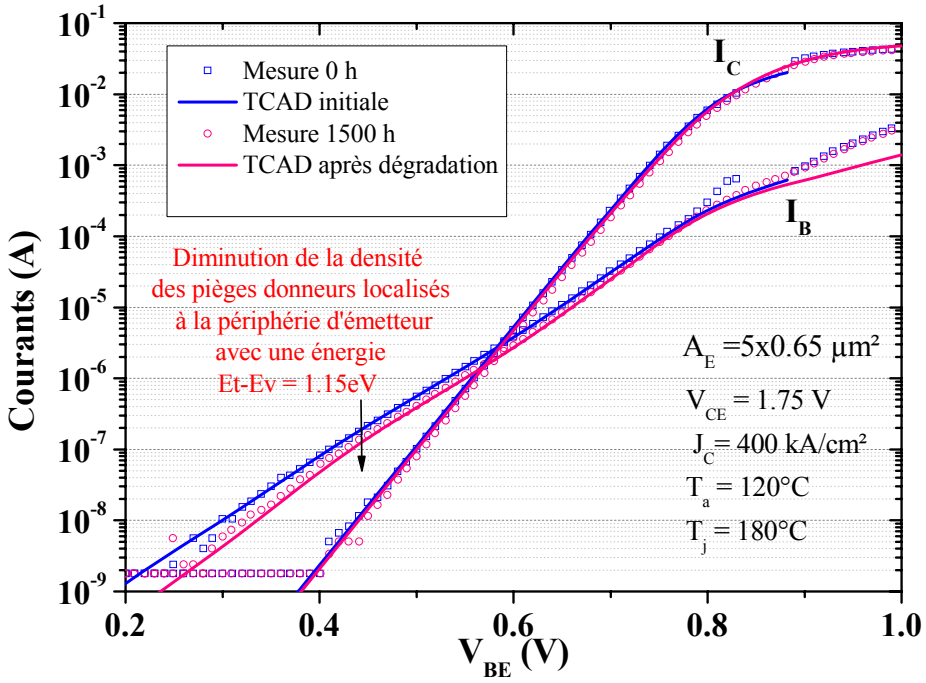


Figure 4. 32 : *Synthèse sur l'origine des mécanismes de dégradation observés lors des tests de vieillissement accéléré des TBH de la filière OMMIC sous contraintes thermique et électrique*

La Figure 4. 33 montre les courants de base et de collecteur d'une vingtaine de transistors caractérisés avant les tests de vieillissement accéléré. Sur la même figure, sont montrés, pour un TBH vieilli sous polarisation au point P6_O, les courants I_B et I_C mesurés à 0 et 1500 heures. On remarque effectivement que les évolutions des courants mesurées à 1500 heures se trouvent dans la dispersion technologique. Ceci nous amène à s'interroger sur l'intérêt de tels tests de vieillissement tant que la maturité technologique n'est pas acquise.

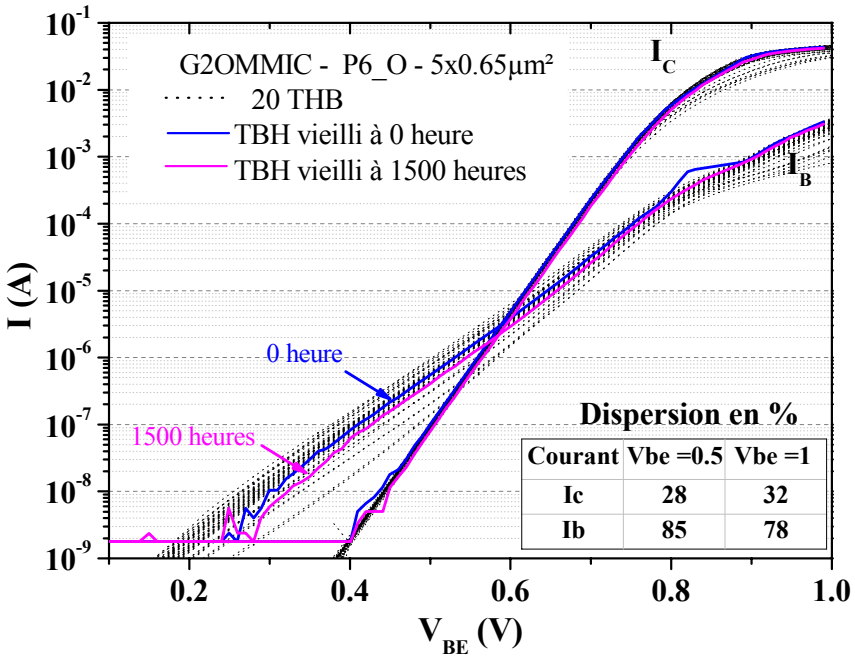


Figure 4. 33 *: Dispersion technologique initiale des tracés de Gummel en direct des TBH G2 OMMIC et l'évolution des tracés de Gummel en direct d'un TBH G2 OMMIC entre 0 et 1500 heures soumis aux conditions P6_O*

Le *Tableau 4. 6* fait un récapitulatif des types de pièges associés à chaque défaut étudié par simulation physique 2D et ce pour tous les transistors de toutes les générations.

Tableau 4. 6 : Récapitulatif de la localisation des défauts étudiés par simulation physique 2D

Localisation des pièges	Type	Energie E_T-E_V (eV)			
		G0 III-V Lab	G1 III-V Lab	G2 III-V Lab	G2 OMMIC
Surface de la base extrinsèque	Accepteur (4)	0,4	0,4	0,36	0,2
Jonction B-E	Accepteur (4)	0,4	0,36	0,4	-
	Donneur (3)	0,83	0,83	-	-
Périphérie d'émetteur	Donneur	1,15(4)	0,83(4)	0,83(4)	1,15(2)
		1,32(1)	1,28(1)	1,3(2)	1,29(4)

(1) Augmentation de la densité de pièges au cours des tests de vieillissement en stockage.

(2) Augmentation de la densité de pièges au cours des tests de vieillissement sous polarisation.

(3) Apparition de nouveaux défauts dont la densité cesse augmente lors des tests de vieillissement sous polarisation.

(4) Densité de pièges inchangée durant les tests.

4. Conclusion

Ce chapitre a permis d'établir les hypothèses sur l'origine physique des mécanismes de dégradation par la modélisation compacte puis de valider ces hypothèses grâce à la simulation par éléments finis.

Les deux hypothèses sur l'origine des dégradations des transistors de la **filière III-V Lab**, émis grâce à la modélisation compacte avec le modèle HiCUM, sont :

- Hypothèse 1 : durant les tests de vieillissement accéléré en stockage, le mécanisme de dégradation observé sur le courant de base aux niveaux d'injection intermédiaires ($0,2 \leq V_{BE} \leq 0,8$ V) serait lié à une dégradation localisée à la périphérie de l'émetteur, et plus précisément à une augmentation du courant de recombinaison de la diode B-E. Par exemple, ce courant noté I_{REpS} passe de $7,36x10^{-13}$ A à $1,09x10^{-11}$ A après 2000 heures de tests pour un TBH T7 G0 soumis à une température d'étuve de 210°C. L'ensemble des résultats de l'évolution de I_{REpS} selon les transistors vieillis aux autres températures d'étuve est détaillé dans [107].

- Hypothèse 2 : durant les tests de vieillissement accéléré sous polarisation, le mécanisme de dégradation observé serait lié :
  - Sur le courant de base, aux niveaux d'injection intermédiaires, à une augmentation du courant de recombinaison à la périphérie de la jonction B-E, comme pour les TBH soumis aux tests en stockage. Par exemple, pour le TBH T7 G1, vieilli aux conditions P3, le courant I_{REpS} passe de 0 à $1,2x10^{-9}$ A après 2500 heures de tests.
  - Sur le courant de base I_B et à $V_{BE} \geq 0,6$ V ainsi que sur le courant de collecteur I_C et pour $0,2 \leq V_{BE} \leq 0,8$ V, à l'évolution de la diode intrinsèque de la jonction base-émetteur. Plus précisément, il s'agit d'une augmentation du courant de saturation de la diode B-E. Ce courant noté I_{BEiS} passe de 0 A à $3,4x10^{-15}$ A après 2500 heures de tests, pour le même TBH T7 G1 vieilli sous P3.
  - Sur le courant de collecteur, pour $V_{BE} \geq 0,8$ V, à une augmentation de la résistance d'émetteur. Par exemple, au cours du test P3 et pour un TBH T7 G1, R_E passe de 4,01 à 4,86 Ω après 2500 heures de tests.

L'ensemble des valeurs associées à l'hypothèse 2 sont présentées dans le *Tableau 4. 2* et les mécanismes de dégradation observés sont résumés dans le *Tableau 4. 3*.

La simulation physique 2D des transistors de la filière III-V Lab réalisée avec le logiciel TCAD Sentaurus nous a permis de :

- Valider l'hypothèse 1 en démontrant que l'augmentation du courant de base, aux niveaux d'injection intermédiaires, lors des tests de vieillissement en stockage est liée à l'augmentation de la densité de pièges d'interface et de surface, plus précisément, celle des pièges en périphérie de l'émetteur avec un niveau d'énergie E_T-E_V =1,32 eV. Cette densité de pièges passe de 2,3x10^{13} cm^{-2} à 6,5x10^{13} cm^{-2} après 3000 heures de tests de stockage à 180°C pour un TBH G0 T7. Pour les transistors G0 de la filière III-V Lab, ce mécanisme de défaillance est associé à une énergie d'activation de 0,96 eV [107]. L'ensemble des résultats de l'évolution de cette densité de pièges selon les générations de transistors de la filière III-V Lab vieillis aux autres températures d'étuve est détaillé dans [57].

- Valider l'hypothèse 2 en montrant que :
  - L'augmentation du courant de base pour les tensions $V_{BE} \leq 0,6$ V est due à une augmentation de la densité de pièges localisés à la surface de la périphérie d'émetteur, identique au cas des tests de vieillissement en stockage. Dans le cas présent, la densité de pièges a un niveau d'énergie E_T-E_V = 0,83 eV. La densité de pièges passe de 1x10^{12} cm^{-2} à 1,6x10^{13} cm^{-2} après seulement 72 heures de tests pour les TBH soumis aux conditions P4. Par la suite, cette densité de pièges n'évolue plus au cours des tests.
  - L'augmentation du courant de base I_B pour $V_{BE} \geq 0,6$ V ainsi que celle du courant de collecteur I_C pour $0,2 \leq V_{BE} \leq 0,8$ V, sont dues à l'apparition de défauts dans la zone de charge d'espace de la jonction base-émetteur avec un niveau d'énergie E_T-E_V = 0,83 eV. Pour un TBH T7 G1 soumis aux conditions P3, ces défauts apparaissent à 250 heures avec une densité de pièges qui passe de 1,5x10^{11} cm^{-2} à 1,4x10^{12} cm^{-2} après 2500 heures de tests. A ce mécanisme de défaillance sont associées les énergies d'activation de 0,97 eV et de 1,1 eV pour les TBH G0 et les TBH G1 respectivement. Les critères de défaillances mises en place pour obtenir ces énergies d'activation sont une diminution de 15 et 20 % de la valeur maximale du gain en courant. L'ensemble est également détaillé dans [115].

- Seule la résistivité de contact de l'émetteur est responsable de la diminution des courants de collecteur pour V_{BE} supérieure à 0,8 V. Par exemple, pour un TBH T7 G1 soumis aux conditions P3, ρ_E passe de $8x10^{-8}$ Ω/cm^2 à $1,1x10^{-7}$ Ω/cm^2 àprès 2000 heures de test.

Les valeurs des niveaux d'énergie associées aux différents pièges introduits dans les simulations sont présentées dans le *Tableau 4. 6*.

Concernant les transistors de la **filière OMMIC** :

- la modélisation compacte a pu démontrer que la diminution des courants de base et de collecteur, pour les tensions $V_{BE} \geq 0,8$ V, est principalement liée à l'augmentation de la résistance d'émetteur. En effet, nous supposons que l'or et/ou le titane de la couche de contact ohmique de l'émetteur (Ti/Pt/Au) a(ont) diffusé dans le semi-conducteur. Ainsi R_E passe de 2,19 à 5,42 Ω après 1500 heures de tests de stockage à 210°C. A cette augmentation de R_E est associée une énergie d'activation de 1,8 eV. Ces conclusions ont fait l'objet de la publication [49].
- La simulation physique 2D réalisée avec le logiciel TCAD Sentaurus a montré que la diminution du courant de base pour $V_{BE} \leq 0,8$ V est due à une diminution de la densité de pièges localisés à la surface de la périphérie d'émetteur avec un niveau d'énergie E_T-E_V de 1,15 eV**.** La densité de pièges passe de $6x10^{13}$ cm^{-2} à 0 heures à $1,2x10^{13}$ cm^{-2} à 1250 heures sous P6_O. A cette diminution de la densité de pièges est associée une énergie d'activation de 0,63 eV. Cette valeur d'énergie d'activation est bien plus faible que celles identifiées pour les filières III-V Lab.

Globalement, les mécanismes de dégradation observés sur les transistors des deux filières mettent en évidence la criticité de la jonction base-émetteur. Dans [53] l'origine de ces mécanismes de dégradation localisés au niveau de la jonction B-E est attribuée à l'accumulation des charges positives du côté de la base dans la zone de charge d'espace de la jonction B-E.

Conclusion Générale

Ces travaux de thèse ont porté sur la caractérisation des effets thermiques et des mécanismes de défaillance spécifiques aux transistors bipolaires submicroniques sur substrat InP dont le profil de mission est relatif au ''driver'' des transmissions optiques Ethernet pouvant atteindre 112 Gb/s par canal. Pour ces transistors submicroniques, les effets thermiques induits par auto-échauffement, sont susceptibles d'accélérer l'apparition et la criticité des mécanismes de défaillance. Ces 3 années de thèse m'ont permis d'acquérir la maitrise du protocole expérimental pour l'évaluation des mécanismes de dégradations des TBH de la filière InP. Grâce à ce protocole, j'ai pu :

- Réaliser les caractérisations des performances statiques des TLM et des TBH de même que de leurs performances dynamiques.
- Mettre en œuvre deux types de contraintes (thermique et thermoélectrique).
- Utiliser deux bancs de caractérisation différents : l'un, banc de tests sous pointes, pour la caractérisation des composants soumis aux tests de vieillissement sous contrainte thermique et l'autre pour la caractérisation des transistors soumis aux tests de vieillissement sous contraintes thermique et électrique. Ce second banc a fait l'objet d'un développement expérimental afin d'obtenir des caractéristiques sans oscillations parasites.
- Utiliser les outils de la modélisation compacte et de la simulation physique par éléments finis dans le but d'effecteur une analyse approfondie de l'évolution des caractéristiques électriques au cours du test de vieillissement pour identifier et localiser l'origine physique des mécanismes de dégradation.

Le chapitre 1 de ce mémoire de thèse traite les mécanismes de défaillance des TBH InP. Cette étude bibliographique, résumée dans le *Tableau 1. 6*, localise ces mécanismes de dégradation potentiels au niveau des couches de contact, plus précisément celle de l'émetteur ainsi qu'au niveau des états de surface du transistor notamment dans la base extrinsèque. Avec le *Tableau 1. 6* comme support, nous avons une première idée de l'origine physique des mécanismes de défaillance potentiels mise en évidence au cours des tests de vieillissement des structures TBH et TLM présentés dans le chapitre 3.

Dans le chapitre 2 nous présentons les générations (G0, G1 et G2) de TBH de la filière III-V Lab ainsi que celle de la filière (G2) OMMIC étudiées dans cette thèse.

Les améliorations technologiques de la filière InP/InGaAs/InP de chez III-V Lab ont principalement porté sur la réduction de l'épaisseur de la couche de sous-collecteur [86] et de la nature de la passivation [74]. Ces améliorations technologiques reportées dans le *Tableau 2. 28*, ont permis de diminuer la valeur de la résistance thermique (passant de 4 064 à 2430 K/W de G0 à G2 pour une dimension de 0,7x7µm²) des transistors mais aussi d'améliorer leurs performances dynamiques (la fréquence de transition passe de 266 GHz à 306 GHz pour respectivement les TBH G0 et G2 pour une dimension de 0,7x7 µm²).

La valeur de la résistance thermique des TBH InP/GaAsSb/InP de chez OMMIC, est proche de celle des TBH G2 III-V Lab (*Tableau 2. 27*). Pour ces transistors, la fréquence de transition f_T est de 360 GHz.

Les caractérisations électriques présentées dans le chapitre 2 représentent à la fois un état des lieux initial des mécanismes de transport de charge dans chacune des filières et à la fois une étude de la dispersion technologique avant tests de vieillissement. Dans les deux cas, le nombre d'échantillons apparaît comme un paramètre critique de l'étude. S'agissant de la filière de chez III-V Lab, 200 échantillons TBH et 20 TLM ont été suivis au cours des tests de vieillissement électrique et/ou thermique. S'agissant des transistors de la filière OMMIC, 60 échantillons ont été suivis au cours des tests de vieillissement électrique et/ou thermique. Quelle que soit la filière, les transistors sont répartis selon trois géométries d'émetteur proches de 0,7x5 µm², 0,7x7 µm² et 0,7x10 µm².

Ce chapitre 2 a mis en évidence une dispersion technologique très différente selon l'origine des échantillons. Pour les transistors 0,7x7 µm² de la filière III-V Lab, les tracés de Gummel en direct montrent que le courant de base mesuré à V_{BE} égale à 1V varie au maximum de 33 %. Pour les transistors 0,65x7 µm² de la filière OMMIC, les tracés de Gummel en direct montrent que le courant de base mesuré à V_{BE} égale à 1V varie de 63 %.

Ce chapitre a également mis en évidence la présence de mécanismes de recombinaison à la jonction émetteur-base aussi bien dans les TBH InP/InGaAs/InP que dans les TBH InP/GaAsSb/InP. La localisation de l'origine physique de ces mécanismes est davantage détaillée dans le chapitre 4, cependant, dès le chapitre 2, l'importance de ces mécanismes semble davantage pénaliser le fonctionnement des TBH avec une base GaAsSb.

Le chapitre 3 présente les résultats des tests de vieillissement sous contrainte thermique (en stockage) ainsi que sous contraintes thermique et électrique (sous polarisation). Les tests en stockage sont réalisés dans des étuves portées à 180, 210 et 240°C. Les tests sous polarisation sont réalisés à différentes conditions de contrainte. Ces conditions de contraintes notées Px (avec x égal à 1 ou 2 ou 2' ou 3 ou 4 ou 5 ou 5_O ou 6_O) sont résumés dans le *Tableau 4. 7* ci-dessous. On observe que différents mécanismes de défaillance sont activés selon la nature des tests de vieillissement accéléré.

Tableau 4. 7: Conditions de contrainte des transistors de dimensions 0,7x7µm² des générations 0, 1 et 2 de chez III-V Lab ainsi que des TBH de dimensions0,65x5µm² G2 OMMIC

	P1				**P2**				**P2'**	**P3**	**P4**	**P5**	**P5_O**	**P6_O**
	G0	G1	G2 III-V	G2 OMMIC	G0	G1	G2	G2 OMMIC	G1				G2 OMMIC	
V_{CE} (V)	1,5				2				1,31	2,5	2,7	2	2	1.75
J_C(kA/cm²)	400				400				610	400				
T_a (°C)	30				30				30	30		67	69.5	120
T_J (°C)	110	83	78	80	137	100	95	99	100	118	125	137	139	180

Pour les TBH de la filière III-V Lab :

- soumis aux tests en stockage, on remarque une augmentation du courant de base I_B aux niveaux d'injection intermédiaires ($0,2 \leq V_{BE} \leq 0,6$ V) ainsi qu'une diminution des courants I_B et I_C aux forts niveaux d'injection ($V_{BE} \geq 0,8$V),
- soumis aux tests sous polarisation, en plus des mécanismes de défaillance présents dans les tests en stockage, on remarque une augmentation du courant de base pour $V_{BE} \geq 0,6$ V ainsi que du courant de collecteur pour V_{BE} comprise entre 0,4 et 0,8 V.

Les TBH de la filière OMMIC soumis aux tests en stockage présentent uniquement une diminution des courants de base et de collecteur pour $V_{BE} \geq 0,8$V. Quant aux transistors G2 OMMIC soumis aux tests sous polarisation, les résultats indiquent une légère diminution du courant de base pour $V_{BE} \leq 0,75$ V.

Les mécanismes de défaillance relatifs à l'augmentation des courants I_B ou I_C observés durant les tests de vieillissement accéléré en stockage ou sous polarisation sont similaires à ceux présentés dans [46], [90], [94], [50] et [53]. Cette étude bibliographique localise ces mécanismes de dégradation à la jonction base-émetteur (*Tableau 1.7*) où les densités de pièges augmentent. Cette conclusion est vérifiée dans le chapitre 4 par une analyse approfondie en utilisant la modélisation compacte puis la simulation par éléments finis.

Le chapitre 4 présente l'analyse approfondie des résultats des tests de vieillissement. Afin de réaliser cette analyse nous avons utilisés deux outils : la modélisation compacte (modèle HiCUM) qui nous a permis d'émettre des hypothèses sur l'origine des mécanismes de défaillances et la simulation physique 2D TCAD qui nous a permis de valider ces hypothèses.
La modélisation compacte associe l'augmentation du courant de base aux niveaux d'injection intermédiaires des TBH de la filière III-V Lab soumis aux tests de vieillissement en stockage, à une augmentation du courant de recombinaison à la périphérie de la jonction B-E noté I_{REpS}. Et la simulation physique 2D lie l'augmentation de I_B à la densité de pièges en périphérie de l'émetteur avec un niveau d'énergie E_T-E_V = 1,32 eV. Pour un TBH G0, par exemple, cette densité de pièges augmente de $2{,}3\text{x}10^{13}$ cm^{-2} à $6{,}5\text{x}10^{13}$ cm^{-2} après 3000 heures de tests de stockage à 180°C. Les résultats de l'évolution de I_{REpS} par génération de transistors vieillis en stockage et la densité de pièges associés sont détaillés dans [107] et [57].
Les résultats des tests de vieillissement sous contraintes thermique et électrique de la filière III-V Lab sont les suivants :

- La modélisation compacte associe, pour les tensions V_{BE} inférieures à 0,6 V, l'augmentation du courant de base à celle de I_{REpS}. La simulation par éléments finis confirme l'origine physique en localisant l'augmentation de la densité de pièges en périphérie de l'émetteur. Le niveau d'énergie E_T-E_V associée à ces pièges est de 0,83 eV.
- La modélisation compacte associe l'augmentation du courant de base I_B pour V_{BE} supérieure à 0,6 V ainsi que celle du courant de collecteur I_C pour V_{BE} comprise entre 0,2 et 0,8 V, à une augmentation du courant de saturation intrinsèque de la jonction B-E noté I_{BEiS}. La simulation physique associe cette augmentation des courants à l'apparition de défauts dans la zone de charge d'espace de la jonction base-émetteur avec une énergie E_T-E_V de 0,83 eV. Par exemple, pour un TBH soumis aux conditions P3, ces défauts apparaissent à 250 heures avec une densité de pièges qui passe de $1{,}5\text{x}10^{11}$ cm^{-2} à $1{,}4\text{x}10^{12}$ cm^{-2} après 2500 heures de tests [115].
- La modélisation compacte ainsi que la simulation physique ont attribué la diminution du courant de collecteur pour les tensions V_{BE} supérieures à 0,8 V à une augmentation de la résistivité de contact d'émetteur. Par exemple, pour un TBH G1 0,7x7µm² soumis à P3, la résistivité de contact d'émetteur passe de $8\text{x}10^{-8}$ Ω/cm^2 à 0 heure à $1{,}1\text{x}10^{-7}$ Ω/cm^2 après 2000 heures.

Pour les TBH de la filière OMMIC soumis aux tests de vieillissement en stockage, nous supposons que l'or et/ou le titane de la couche de contact ohmique de l'émetteur (Ti/Pt/Au) a(ont) diffusé dans le semi-conducteur entrainant ainsi l'augmentation de la résistance d'accès émetteur, R_E. Nous avons noté que pour un TBH 0,65x7µm² G2 OMMIC soumis à 210°C, R_E passe de 2,19 à 5,42 Ω après 1500 heures de tests. A cette augmentation de R_E est associée une énergie d'activation de 1,8 eV. L'ensemble des résultats sur l'évolution de R_E des transistors vieillis en stockage sont détaillés dans [49].

Concernant les tests de vieillissement sous polarisation réalisés sur les TBH de la filière OMMIC, la simulation physique 2D montre que la diminution du courant de base observée pour $V_{BE} \leq 0,8$ V est liée à une diminution de la densité de pièges localisés à la surface de la périphérie d'émetteur avec un niveau d'énergie E_T-E_V de 1,15 eV. Par exemple, pour un TBH 0,65x7µm² OMMIC sous P6_O, la densité de pièges diminue de $6x10^{13}$ cm^{-2} à 0 heures à $1,2x10^{13}$ cm^{-2} à 1250 heures.

Globalement les mécanismes de dégradation observés sur les transistors des deux filières mettent en évidence la criticité de la jonction base-émetteur. Dans [53], l'origine de ces mécanismes de dégradation localisés au niveau de la jonction B-E est attribuée l'accumulation des charges positives du coté de la base dans la zone de charge d'espace de la jonction B-E. Sur nos échantillons vieillis, il serait intéressant de réaliser des analyses physiques avec observation haute résolution au microscopie électronique en transmission (MET) afin de vérifier les conclusions obtenues grâce la simulation physique par éléments finis.

Par ailleurs, pour les mécanismes de défaillance liés à la diminution des courants à forts niveaux d'injection, il serait intéressant de réaliser une analyse au microscopie électronique à balayage (MEB) afin de vérifier les conclusions obtenues grâce à la modélisation compacte mettant en jeu une migration des métaux vers le semi-conducteur.

Liste des Figures

Chapitre 1 : TBH sur substrat InP

Figure 1. 1: Transistor bipolaire à homojonction 24
Figure 1. 2 : Différents montages amplificateurs d'un transistor 25
Figure 1. 3: Illustration de l'effet transistor avec la représentation des différents courants dans un transistor bipolaire en régime de fonctionnement normal direct. 26
Figure 1. 4 : Tracés de Gummel en direct d'un TBH fonctionnel 28
Figure 1. 5. Tracés de Gummel en direct avec les principaux paramètres et/ou effets 29
Figure 1. 6 : Réseaux de sortie I_C (V_{CE}) à I_B constant d'un transistor avec les différents paramètres électriques extraits selon un modèle simple. 30
Figure 1. 7 : Manifestation de l'effet d'Early sur le fonctionnement du transistor 32
Figure 1. 8 : Manifestation et source de l'effet d'Early 33
Figure 1. 9 : Composition des flux en présence de l'effet Sah-Noyce-Shockley 34
Figure 1. 10 : Evacuation de la chaleur dans un transistor [10] 35
Figure 1. 11 : Variation de la résistance thermique en fonction de l'épaisseur de la couche de sous-collecteur 36
Figure 1. 12 : Représentation de l'effet tunnel 37
Figure 1. 13 : Manifestation de l'effet Kirk par le déplacement de la ZCE de la jonction BC 39
Figure 1. 14 : Caractérisation du phénomène de « punch-through » 40
Figure 1. 15 : Courbes en relation avec le claquage des différentes jonctions du TBH 41
Figure 1. 16 : Vue au MEB d'un TBH InP/InGaAs/InP [8] 43
Figure 1. 17: Energie de bande interdite et paramètre de maille de matériaux III-V [29] 45
Figure 1. 18 : Comparaison des schémas de bandes d'énergie 46
Figure 1. 19 : Domaines d'utilisation en puissance en fonction de la fréquence des TBH [8] 47
Figure 1. 20 : Description de la technique d'auto-alignement 50
Figure 1. 21 : Schéma en 2D de la structure triple mesa auto-alignée 52
Figure 1. 22 : Activation et localisation des mécanismes de dégradation des transistors III-V en fonction des contraintes appliquées 58
Figure 1. 23 Image au MET de TBH vieillis sous contraintes thermique et électrique 60
Figure 1. 24 : Protocole expérimental pour l'évaluation des mécanismes de dégradation des TBH de la filière InP 60

Chapitre 2 : Technologies sous test

Figure 2. 1 : Photographie du banc de mesure destiné aux mesures statiques et dynamiques ainsi que pour la caractérisation des transistors soumis aux vieillissements sous contrainte thermique 65
Figure 2. 2: Baie de test utilisée pour les tests de vieillissement accéléré sous contraintes thermique et électrique avec ses différentes parties 66
Figure 2. 3 : Schéma électrique du TBH en montage émetteur commun avec les composants qui permettent de supprimer les oscillations parasites 68
Figure 2. 4 : Résultats de l'optimisation du filtre passe-bas visibles sur les tracés de Gummel 69
Figure 2. 5 : Exemple des mesures de I_C et V_{BE} en fonction de V_{CE} à I_B constant pour une température imposée allant de 27°C à 62°C et pour une aire d'émetteur de 2 x 10 µm² [73] 71
Figure 2. 6 : Exemple d'un réseau de courbes V_{BE} en fonction de la température imposée T_i pour différentes valeurs de V_{CE} et pour une aire d'émetteur de 2 x 10 µm² [73] 71
Figure 2. 7 : Exemple d'un réseau de caractéristiques T_i en fonction de la puissance dissipée pour différentes valeurs de V_{BE} et pour une aire d'émetteur de 2 x 10 µm² [73] 72
Figure 2. 8 : Exemple de variation de la tension base-émetteur V_{BE} en fonction de la température de substrat pour un TBH aire l'aire d'émetteur = 0,5x7 µm² [8]. 73
Figure 2. 9 : Comparaison entre mesures électriques et les résultats de la simulation 2D des tracés de Gummel en direct 75
Figure 2. 10 : Cartographie de l'élévation de la température (exprimée en K) due à l'auto-échauffement dans les TBH en régime permanent obtenue par simulation physique 3D ..... **Erreur ! Signet non défini.**
Figure 2. 11 : Comparaison entre résistances thermiques mesurées et simulées 77
Figure 2. 12 : Manifestation de la réduction de l'auto-échauffement dans un transistor en fonction de la durée d'impulsion. 78
Figure 2. 13 : Vue de dessus de transistor avec les sous-gravures des jonctions base-émetteur et base-collecteur 80
Figure 2. 14 : Photographie au microscope optique d'un site de 3 TBH sur la plaque 53576 83
Figure 2. 15 : Vue au microscope électronique d'un TBH submicronique à géométrie hexagonale de la filière III-V Lab 84
Figure 2. 16 : Représentation d'un TLM 85

Figure 2. 17 : Représentation de la résistance en fonction de la longueur inter-électrodes .. 86
Figure 2. 18 : Technique de mesure 4 pointes 86
Figure 2. 19 : Comparaison entre la mesure 2 et 4 pointes 87
Figure 2. 20 : Tracés de Gummel des transistors de la génération 0 90
Figure 2. 21 : Gain en courant des transistors de la génération 0 des 2 plaques 90
Figure 2. 22 : Réseaux de sortie I_C (V_{CE}) à I_B constant des 3 géométries de TBH : T5 (5x0,7 µm²), T7 (7x0,7 µm²) et T10 (10x0,7 µm²) 91
Figure 2. 23 : Performances dynamiques des TBH de la plaque 53576 de la génération 0 ... 92
Figure 2. 24 : Performances dynamiques des TBH de la plaque 53681 de la génération 0 ... 92
Figure 2. 25 : Tracés de Gummel des transistors de la plaque 53576 (G0) 93
Figure 2. 26 : Caractéristiques I_C (V_{CE}) à I_B constant des transistors de la plaque 53576 (G0) pour les TBH de la plaque 53576 (G0) 95
Figure 2. 27 : Tension de claquage BV_{CE0} des TBH de la plaque 53576 (G0) 96
Figure 2. 28 : Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TBH de la plaque 53576 (G0) 98
Figure 2. 29 : Comparaison entre un T10 G0 et un T10 G1 101
Figure 2. 30 : Tension de claquage BV_{CE0} des TBH G1 (T5 (5x0,7 µm²), T7 (7x0,7 µm²) et T10 (10x0,7 µm²)) 102
Figure 2. 31 : Tracés de Gummel en direct des transistors de la plaque 53938(G1) 103
Figure 2. 32 : Caractéristiques I_C (V_{CE}) à I_B constant pour les TBH de la plaque 53938 (G1) 104
Figure 2. 33 : Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TBH G1 .. 105
Figure 2. 34 : Localisation des deux classes de TBH sur la plaque 54366 (G2 III-V Lab) .. 107
Figure 2. 35: Structure de TBH G2 III-V Lab avec la passivation du « ledge » émetteur-base 108
Figure 2. 36 : Comparaison entre trois T10 des générations G0, G1 et G2 de III-V Lab 109
Figure 2. 37 : Tracés de Gummel en direct des transistors G2 III-V Lab 110
Figure 2. 38 : Caractéristiques I_C (V_{CE}) à I_B constant pour des TBH G2 III-V Lab 111
Figure 2. 39 : Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TxB3H7 de la plaque 54366 (G2 III-V Lab) 112
Figure 2. 40 : Fréquences d'oscillation maximale (f_{max}) et de transition (f_T) des TxB4H7 de la plaque 54366 (G2 III-V Lab) 114
Figure 2. 41 : Photographie au microscope optique des TBH de la plaque 66SU (G2 OMMIC) 115

Figure 2. 42 : Vue au microscope électronique d'un TBH submicronique à géométrie hexagonale de la génération G2 OMMIC 116
Figure 2. 43 : Comparaison de différents T10 pour les 4 générations de TBH étudiées 118
Figure 2. 44 : Caractéristiques statiques de 20 transistors de géométrie T5 de la filière OMMIC 121
Figure 2. 45 : Caractéristiques statiques de 20 transistors de géométrie T7 de la filière OMMIC 121
Figure 2. 46 : Caractéristiques statiques de 20 transistors de géométrie T10 de la filière OMMIC 121
Figure 2. 47 : Caractéristiques I_C (V_{CE}) à courant de base constant pour les TBH G2 OMMIC 122
Figure 2. 48 : Performances dynamiques des transistors G2 OMMIC 123
Figure 2. 49 : Comparaison des performances fréquentielles de TBH avec des longueurs d'émetteur de 0,45 et 0,65 µm 124

Chapitre 3 : Tests de vieillissement accéléré

Figure 3. 1 : Figures de mérite d'un TBH permettant de fixer les points de polarisation pour les tests de vieillissement sous contraintes thermique et électrique 132
Figure 3. 2 : Localisation des différents points de polarisation 133
Figure 3. 3 Localisation des points de polarisation de la génération 2 OMMIC 135
Figure 3. 4 Fréquence de transition F_T en fonction de la densité de courant collecteur J_C des HBT G2 de la filière OMMIC 136
Figure 3. 5 : Evolution de la droite R(L) des TLM base de la G0 en stockage. 137
Figure 3. 6 : Evolution de la droite R(L) des TLM collecteur de la G0 en stockage 138
Figure 3. 7*: Evolution de la droite R(L) des TLM émetteur de la génération G0 en stockage* 139
Figure 3. 8 : Evolution des caractéristiques électriques de la jonction base-émetteur des transistors G0 sous tests en stockage 143
Figure 3. 9 : Evolution des caractéristiques électriques de la jonction base-collecteur des transistors G0 sous tests en stockage 145
Figure 3. 10 : Evolution des caractéristiques électriques de la jonction base collecteur des transistors G0 sous tests en stockage 146

Figure 3. 11: Evolution des caractéristiques électriques de la jonction base-émetteur des transistors G1 sous tests en stockage 149
Figure 3. 12 : Evolution des caractéristiques électriques de la jonction base collecteur des transistors G1 sous tests en stockage 151
Figure 3. 13: Evolution des caractéristiques électriques de la jonction base-émetteur des transistors G2 OMMIC sous tests en stockage 154
Figure 3. 14: Evolution des caractéristiques électriques de la jonction base collecteur des transistors G2 OMMIC sous tests en stockage. 157
Figure 3. 15 : Caractéristiques électriques des TBH G0 vieillis aux points de polarisation P1 et P2 160
Figure 3. 16 : Caractéristiques électriques des TBH G1 vieillis aux points de polarisation P2' et P2 162
Figure 3. 17 : Caractéristiques électriques des TBH G1 vieillis aux points de polarisation P1 163
Figure 3. 18 : *Caractéristiques électriques des TBH G1 vieillis aux points de polarisation P4 et P5* 165
Figure 3. 19 : Caractéristiques électriques des TBH G2 III-V Lab vieillis aux points de polarisation P1, P2 166
Figure 3. 20 : Caractéristiques électriques des TBH G2 OMMIC vieillis aux points de polarisation P1 et P2 167
Figure 3. 21 : Caractéristiques électriques des TBH G2 OMMIC vieillis sous polarisation 169
Figure 3. 22 : Représentation du maximum du gain en courant normalisé en fonction du temps de vieillissement des composants du type T7H3B7et T7B3H65 pour les TBH de la filière III-V Lab et de la filière OMMIC r*espectivement.* 174
Figure 3. 23 : Comparaison entre les composants des différentes générations vieillis en polarisation et ayant la même température de jonction de 137°C 174

Chapitre 4 : Analyses approfondies

Figure 4. 1 Température de jonction des TBH de toutes les générations pour différentes contraintes appliquées 170
Figure 4. 2 : Nombre de paramètres des modèles compacts et prise en compte de l'auto-échauffement 178

Figure 4. 3 : Modélisation compacte avec le modèle de Gummel-Poon des TBH G2 OMMIC 180
Figure 4. 4 : Modélisation compacte avec le modèle HiCUM des TBH G0 III-V Lab 181
Figure 4. 5 : Exemple de résultats de modélisation compacte réalisée pour les tensions V_{BE} comprises entre 0,2 et 0,8 V sur un T7 G0 soumis aux tests en stockage à 210°C durant 2000 heures 183
Figure 4. 6 : Schéma électrique équivalent grand signal du modèle HiCUM 184
Figure 4. 7 : Représentation des paramètres électriques évoluant lors des tests de vieillissement en stockage des transistors G2 OMMIC. 186
Figure 4. 8 : Evolution de la résistance d'accès d'émetteur par rapport à sa valeur initiale R_E/R_{E0} à 180, 210 et 240°C 186
Figure 4. 9 : Dépendance en température de la pente κ de R_E/R_{E0} des TBH G2 OMMIC 188
Figure 4. 10 : Exemple de résultats de modélisation compacte réalisée sur un T7 G1 soumis au test sous polarisation P3 durant 2500 heures 189
Figure 4. 11 : Dessin en vue de dessus des masques montrant la gravure des couches actives et la définition des couches métalliques de contact 194
Figure 4. 12 : Structure d'un TBH sous TCAD avec la représentation du maillage aux niveaux de différentes interfaces 195
Figure 4. 13 : Localisation des différents types de pièges évoluant lors des tests de vieillissement sur les TBH InP/InGaAs 198
Figure 4. 14 : Impact des défauts introduits dans la bande interdite sur les tracés de Gummel 199
Figure 4. 15 : Comparaison entre les courants de base, mesuré et simulé durant les tests de vieillissement en stockage. 201
Figure 4. 16 : Evolution de la densité de pièges (à E_T-E_V = 1,32 eV) localisés à la périphérie de l'émetteur de deux transistors T10 G0 202
Figure 4. 17 : Evolution de la densité de pièges (E_T-E_V = 1,32 eV) localisés à la périphérie de l'émetteur. Les valeurs de la densité de pièges ont été normalisées pour tous les TBH de différentes géométries soumis aux tests de vieillissement en stockage 180, 210 et 240°C 203
Figure 4. 18 : Représentation de la constante de temps des TBH G0 selon la loi d'Arrhenius 204
Figure 4. 19 : Synthèse sur l'évolution des courants de base et de collecteur observée lors des tests de vieillissement accéléré sous contraintes thermique et électrique 205

Figure 4. 20 : Evolution de la densité de pièges (à E_T-E_V = 0,83 eV) localisés à la périphérie de l'émetteur des TBH G1 sous contraintes électrique et thermique 206
Figure 4. 21 : Tracés de Gummel en direct des TBH des 3 générations de la filière III-V Lab vieillis au point de polarisation P2 207
Figure 4. 22 : Evolution de la densité de pièges donneurs (à $E_T - E_V$=1,30 eV) localisés à la jonction base-émetteur des transistors G2 III-V Lab. 208
Figure 4. 23 : Evolution de la densité de pièges (à E_T-E_V = 0,83 eV) localisés à la jonction base-émetteur des TBH G1 sous contraintes électrique et thermique 209
Figure 4. 24 : Evolution du gain en courant normalisé des TBH G0 et des TBH G1 sous contraintes électrique et thermique 210
Figure 4. 25 : Représentation des temps de défaillance moyens t_{15} et t_{20} des TBH G0 et de la G1 selon la loi d'Arrhenius 210
Figure 4. 26 : Evolution de la résistivité de contact d'émetteur des TBH G1 sous contraintes électrique et thermique 211
Figure 4. 27 : Comparaison entre les mesures électriques initiales et les résultats de la simulation 2D d'un T5 G2 OMMIC 213
Figure 4. 28 : Comparaison entre les mesures électriques et les résultats des simulations TCAD du courant de base d'un T5 vieilli à P6_O soit avec une température de jonction de 180°C 214
Figure 4. 29 : Evolution de la densité de pièges (à $E_T - E_V$ = 1,15 eV) localisés à la périphérie d'émetteur au cours des tests de vieillissement 214
Figure 4. 30 : Représentation de la constante de temps d'évolution de la densité de pièges localisés à la périphérie de l'émetteur des TBH de la G2 OMMIC 215
Figure 4. 31 : Synthèse sur l'origine des mécanismes de dégradation observés lors des tests de vieillissement accéléré des TBH de la filière III-V Lab sous contraintes thermique et électrique 216
Figure 4. 32 : Synthèse sur l'origine des mécanismes de dégradation observés lors des tests de vieillissement accéléré des TBH de la filière OMMIC sous contraintes thermique et électrique 217
Figure 4. 33 : Dispersion technologique initiale des tracés de Gummel en direct des TBH G2 OMMIC et l'évolution des tracés de Gummel en direct d'un TBH G2 OMMIC entre 0 et 1500 heures soumis aux conditions P6_O 218

Liste des Tableaux

Chapitre 1 : TBH sur substrat InP

Tableau 1. 1 : Les modes de fonctionnement du transistor bipolaire 25
Tableau 1. 2 : Résumé du réseau de sortie I_C (V_{CE}) à courant de base constant 30
Tableau 1. 3 : Conductivité thermique à 300 K de différents matériaux Semi-conducteurs ... 35
Tableau 1. 4 : Quelques précurseurs des éléments III et V utilisés dans l'EPVOM 49
Tableau 1. 5 : Structure épitaxiale des TBH InP/InGaAs/InP et InP/GaAsSb/InP 52
Tableau 1. 6 : Synthèse bibliographique des mécanismes de dégradation des TBH sur substrat InP 56

Chapitre 2 : Technologies sous test

Tableau 2. 1 : Générations des filières sous test 79
Tableau 2. 2 : Définition des paramètres liés à la géométrie hexagonale 80
Tableau 2. 3 : Structure épitaxiale des plaques de la génération 0 (G0) 82
Tableau 2. 4 : Description des couches métalliques des contacts des TBH G0 82
Tableau 2. 5 : Nomenclature et géométries des masques des TBH G0 83
Tableau 2. 6 : Géométries effectives des TBH G0 84
Tableau 2. 7 : Nombre de TLM caractérisés par type de TLM pour la G0 86
Tableau 2. 8 : Paramètres extraits des TLM base, TLM émetteur et TLM collecteur de la plaque 53576 88
Tableau 2. 9 : Paramètres extraits des TLM base, TLM émetteur et TLM collecteur de la plaque 53681 88
Tableau 2. 10 : Etat de l'art sur la tension de claquage BV_{CE0} des TBH InP [8] 96
Tableau 2. 11 : Etat de l'art sur la tension de claquage BV_{CE0} des TBH SiGe 97
Tableau 2. 12 : Récapitulatif de la dispersion technologique des valeurs de f_{max} et f_T des TBH de la G0 98
Tableau 2. 13 : Structure épitaxiale de la plaque 53938 de la génération 1 99
Tableau 2. 14 : Comparaison des valeurs de résistance thermique des TBH G0 et G1 100
Tableau 2. 15 : Description des couches métalliques des contacts des TBH G1 100

Tableau 2. 16 : Tableau comparatif des mécanismes de transport de charge observés sur les tracés de Gummel en direct des TBH G0 et G1 101
Tableau 2. 17 : Récapitulatif de la dispersion technologique sur les f_{max} et f_T des TBH G1 . 106
Tableau 2. 18 : Structure épitaxiale de la plaque 54366 de la génération 2 de III-V Lab (G2 III-VLab) 108
Tableau 2. 19 : Description des couches métalliques des contacts des TBH G2 III-V Lab .. 108
Tableau 2. 20 : Tableau comparatif des mécanismes de transport de charge observés sur les tracés de Gummel en direct des TBH G0, G1 et G2 III-V Lab 109
Tableau 2. 21 : Récapitulatif de la dispersion technologique sur f_{max} et f_T des TxB3H7 de la génération G2 III-V Lab 113
Tableau 2. 22 : Récapitulatif de la dispersion technologique sur f_{max} et f_T des TxB4H7 de la génération G2 III-V Lab 113
Tableau 2. 23 : Structure épitaxiale de la plaque 66SU de la génération 2 d'OMMIC (G2 OMMIC) 117
Tableau 2. 24 : *Description des couches métalliques des contacts des TBH G2 OMMIC* 117
Tableau 2. 25 : Géométrie des masques et géométrie effective des transistors G2 OMMIC 117
Tableau 2. 26: Tableau comparatif des mécanismes de transport de charge observés sur les tracés de Gummel des TBH G0, G1, G2 III-V Lab et G2 OMMIC 119
Tableau 2. 27 : Comparaison entre les résistances thermiques mesurées des différentes générations 126
Tableau 2. 28 : Récapitulatif des structures épitaxiales des plaques G0, G1 et G2 III-V Lab 126

Chapitre 3 : Tests de vieillissement accéléré

Tableau 3. 1 : Valeurs maximales de la fréquence de transition f_T avec les densités de courant de collecteur J_C associées (TBH G1 III-V Lab) 132
Tableau 3. 2 : Conditions de contraintes thermique et électrique des transistors de géométrie T7 des générations 0, 1 et 2 de la filière III-V Lab 133
Tableau 3. 3: Conditions de contraintes thermique et électrique des transistors de géométrie T5 de la filière OMMIC 134
Tableau 3. 4 : Conditions de tests sous contrainte thermique et nombre de transistors de la G0 testés 140

Tableau 3. 5 : Conditions de tests sous contrainte thermique et nombre de transistors G0 et G1 III-V Lab testés 147
Tableau 3. 6: Conditions de tests sous contrainte thermique et nombre de TBH testés de la G0 et G1 III-V Lab ainsi que de la G2 OMMIC 152
Tableau 3. 7 : Nombre de transistors des générations G0, G1 et G2 de la filière III-V Lab sous tests de vieillissement en polarisation 158
Tableau 3. 8 : Nombre de transistors G2 OMMIC sous tests de vieillissement en polarisation 158

Chapitre 4 : Analyses approfondies

Tableau 4. 1 : Valeurs moyennes de la pente κ *de la droite* R_E/R_{E0} *fonction de racine(t) de TBH de toutes les géométries en fonction de la température d'étuve* 187
Tableau 4. 2 : Exemple de paramètres importants évoluant dans le modèle compact d'un TBH G1 de la filière III-V Lab. 191
Tableau 4. 3 : Récapitulatif des signatures électriques des mécanismes de dégradation identifiées à partir de la modélisation compacte 192
Tableau 4. 4 : Evolution de la densité de pièges (à E_T-E_V = 1,32 eV) *à la périphérie de l'émetteur au cours des tests de vieillissement en stockage* 201
Tableau 4. 5 : Valeurs moyennes de la constante de temps τ *avec la dispersion technologique associée pour les trois températures de stockage* 203
Tableau 4. 6 : Récapitulatif de la localisation des défauts étudiés par simulation physique 2D 218
Tableau 4. 7: Conditions de contrainte des transistors de dimensions 0,7x7µm² 225

Bibliographie

[1] N. Kauffmann, S. Blayac, M. Abboun, P. Andre, F. Aniel, M. Riet, J.-L. Benchimol, J. Godin, « InP HBT driver circuit optimization for high-speed ETDM transmission », *IEEE Journal of Solid-State Circuits*, vol. 36, n°. 4, p. 639-647, avr. 2001.

[2] A. Konczykowska, F. Jorge, J. -Y. Dupuy, M. Riet, J. Godin, A. Scavennec, H. -G. Bach, G. G. Mekonnen, D. Pech, C. Schubert, « InP HBT demultiplexing ICs for over 100 Gb/s optical transmission », in *18th International Conference on Microwave Radar and Wireless Communications (MIKON)*, p. 1-4, 2010.

[3] A. Konczykowska, « InP HBT technology activities in Europe », in *Compound Semiconductor Week (CSW/IPRM), and 23rd International Conference on Indium Phosphide and Related Materials*, p. 1-4, 2011.

[4] K. Kanaya, H. Amasuga, S. Watanabe, Y. Yamamoto, N. Kosaka, S. Miyakuni, S. Goto, A. Shina « A Low 1/f Noise and High Reliability InP/GaAsSb DHBT for 76 GHz Automotive Radars », in *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, p. 1-4, 2010.

[5] M. Nagatani, H. Nosaka, S. Yamanaka, K. Sano, et K. Murata, « An Ultrahigh-Speed Low-Power DAC Using InP HBTs for Multi-Level Optical Transmission Systems », in *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, p. 1-4, 2000.

[6] V. Jain, E. Lobisser, A. Baraskar, B. J. Thibeault, M. J. W. Rodwell, Z. Griffith, M. Urteaga, D. Loubychev, A. Snyder, Y. Wu, J. M. Fastenau, W. K. Liu, « InGaAs/InP DHBTs in a Dry-Etched Refractory Metal Emitter Process Demonstrating Simultaneous ft/fmax ~ 430/800 GHz », *Electron Device Letters, IEEE*, vol. 32, n°. 1, p. 24-26, 2011.

[7] P. Cazenave, *Modélisation du transistor bipolaire intégré 1*, Lavoisier. France: Hermes Science, 2004.

[8] V. Nodjiadjim, « Transistor bipolaire à double hétérojonction submicronique InP/InGaAs pour circuits numériques ou mixtes ultra-rapides », Thèse de l'université de Lille 1, 2009.

[9] M. Vaidyanathan et D. L. Pulfrey, « Extrapolated fmax of heterojunction bipolar transistors », *IEEE Transactions on Electron Devices*, vol. 46, n°. 2, p. 301-309, févr. 1999.

[10] V. Nodjiadjim, « Soutenance de thèse ». 2008.

[11] A. Benvenuti, W. M. Coughrau, et M. R. Pinto, « A thermal-fully hydrodynamic model for semiconductor devices and applications to III-V HBT simulation », *IEEE Transactions on Electron Devices*, vol. 44, n°. 9, p. 1349-1359, sept. 1997.

[12] W. Liu et B. Bayraktaroglu, « Theoretical calculations of temperature and current profiles in multi-finger heterojunction bipolar transistors », *Solid-State Electronics*, vol. 36, n°. 2, p. 125-132, févr. 1993.

[13] A. Marty, T. Camps, J. Tasselli, D. L. Pulfrey, et J. P. Bailbe, « A self-consistent DC-AC two dimensional electrothermal model for GaAlAs/GaAs microwave power HBTs », *IEEE Transactions on Electron Devices*, vol. 40, n°. 7, p. 1202-1210, juill. 1993.

[14] T. Ishikawa, K. Okaniwa, M. Komaru, K. Kosaki, et Y. Mitsui, « A high-power GaAs FET having buried plated heat sink for high-performance MMIC's », *IEEE Transactions on Electron Devices*, vol. 41, n°. 1, p. 3-9, janv. 1994.

[15] Guang-Bo Gao, Ming-Zhu Wang, Xiang Gui, et H. Morkoc, « Thermal design studies of high-power heterojunction bipolar transistors », *IEEE Transactions on Electron Devices*, vol. 36, n°. 5, p. 854-863, mai 1989.

[16] M. Schüβler, B. Mottet, C. Sydlo, V. Krozer, H. L. Hartnagel, et R. Jakoby, « Model for the decrease in HBT collector current under DC stress based on recombination enhanced defect reactions », *Microelectronics Reliability*, vol. 40, n°. 8-10, p. 1733-1738, août 2000.

[17] J. C. Martin, « Etude des mécanismes de dégradation des transistors bipolaires à hétérojonction sur substrat InP destinés aux communications optiques », Thèse de l'Université Bordeaux 1, France, 2004.

[18] H. Kroemer, « Theory of a Wide-Gap Emitter for Transistors », *Proceedings of the IRE*, vol. 45, n°. 11, p. 1535-1537, nov. 1957.

[19] W. V. McLevige, H. T. Yuan, W. M. Duncan, W. R. Frensley, F. H. Doerbeck, H. Morkoc, T. J. Drummond, « GaAs/AlGaAs heterojunction bipolar transistors for integrated circuit applications », *IEEE Electron Device Letters*, vol. 3, n°. 2, p. 43- 45, févr. 1982.

[20] M. J. Mondry et H. Kroemer, « Heterojunction bipolar transistor using a (Ga,In)P emitter on a GaAs base, grown by molecular beam epitaxy », *IEEE Electron Device Letters*, vol. 6, n°. 4, p. 175- 177, avr. 1985.

[21] H. Ito, S. Yamahata, N. Shigekawa, K. Kurishima, et Y. Matsuoka, « High-speed carbon-doped-base InP/InGaAs heterojunction bipolartransistors grown by MOCVD », *Electronics Letters*, vol. 31, n°. 24, p. 2128-2130, nov. 1995.

[22] A. W. Hanson, S. A. Stockman, et G. E. Stillman, « InP/In0.53Ga0.47As heterojunction bipolar transistors with a carbon-doped base grown by MOCVD », *IEEE Electron Device Letters*, vol. 13, n°. 10, p. 504-506, oct. 1992.

[23] S. J. Pearton, W. S. Hobson, A. P. Kinsella, J. Kovalchick, U. K. Chakrabarti, et C. R. Abernathy, « Carbon implantation in InGaAs and AlInAs », *Applied Physics Letters*, vol. 56, n°. 13, p. 1263-1265, mars 1990.

[24] Jae-Chun Han, Jong-In Song, Sung-Woong Park, et Deokha Woo, « Growth of ultrahigh carbon-doped InGaAs and its application to InP/InGaAs(C) HBTs », *IEEE Transactions on Electron Devices*, vol. 49, n°. 1, p. 1-6, janv. 2002.

[25] B. T. McDermott, E. R. Gertner, S. Pittman, C. W. Seabury, et M. F. Chang, « Growth and doping of GaAsSb via metalorganic chemical vapor deposition for InP heterojunction bipolar transistors », *Applied Physics Letters*, vol. 68, n°. 10, 1996.

[26] B. T. McDermott, E. R. Gertner, S. Pittman, C. W. Seabury, et M. F. Chang, « Carbon doped InP/GaAsSb HBTs via MOCVD », presented at the 53rd Device Research Conferencel, p. 90-91, 1995.

[27] C. R. Bolognesi, N. Matine, R. W. Dvorak, X. G. Xu, J. Hu, et S. P. Watkins, « Non-blocking collector InP/GaAs0.51Sb0.49/InP double heterojunction bipolar transistors with a staggered lineup base-collector junction », *IEEE Electron Device Letters*, vol. 20, n°. 4, p. 155-157, avr. 1999.

[28] M. Lijadi, « Transistors bipolaires à hétérojonction : Développement d'une filière InP/GaAsSb pour applications ultra-rapides », Thèse de l'Université Paris VI, 2005.

[29] C. Maneux, « Filières bipolaires à hétérojonction, Modélisation compacte et Mécanismes de dégradation », Diplôme d'habilitation à diriger des recherches, Université de Bordeaux 1, 2007.

[30] S. Kraus, I. Kallfass, R. E. Makon, R. Driad, M. Moyal, et D. Ritter, « A 20-GHz Bipolar Latched Comparator With Improved Sensitivity Implemented in InP HBT Technology », *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, n°. 3, p. 707-715, mars 2011.

[31] H. Murakami, K. Sekido, et K. Ayaki, « Electrical performance of GaAs epitaxial Gunn effect oscillators », *IEEE Transactions on Electron Devices*, vol. 14, n°. 9, p. 611- 612, sept. 1967.

[32] A. Y. Cho, « GaAs Epitaxy by a Molecular Beam Method: Observations of Surface Structure on the (001) Face », *Journal of Applied Physics*, vol. 42, n°. 5, p. 2074-2081, avr. 1971.
[33] K. Kamei, M. Tatematsu, T. Nakanishi, A. Tanaka, et S. Okano, « GaAs low-noise MESFET prepared by metal-organic chemical vapor deposition », in *Electron Devices Meeting*, vol. 25, p. 380- 383, 1979.
[34] M. B. Panish et S. Sumski, « Gas source molecular beam epitaxy of GaxIn1-xPyAs1-y », *Journal of Applied Physics*, vol. 55, n°. 10, p. 3571-3576, mai 1984.
[35] W. T. Tsang, « Chemical beam epitaxy of InP and GaAs », *Applied Physics Letters*, vol. 45, n°. 11, p. 1234-1236, déc. 1984.
[36] W. T. Tsang, « Chemical beam epitaxy of InGaAs », *Journal of Applied Physics*, vol. 58, n°. 3, p. 1415-1418, août 1985.
[37] A. Y. Cho et J. R. Arthur, « Molecular beam epitaxy », *Progress in Solid-State Chemistry*, vol. 10, p. 157-191, 1975.
[38] J. F. Morris et H. Fukui, « A new GaAs, GaP, and GaAsXP1-X vaccum deposition technique using arsine and phosphine gas », *Journal of Vaccum Science and Technology,*, vol. 11, n°. 2, p. 506-510, 1974.
[39] A. Saleh, « Caractérisation en impulsions étroites et modélisation de transistors bipolaires à hétérojonction en technologie InP », Thèse de l'université de Limoges, 2009.
[40] H. M. Manasevit, « Single-cristal gallium arsenide on insulating substrates », *Applied Physics Letters*, vol. 12, p. 156-159, 1968.
[41] R. C. Gee, T. -P., Chin, C. W. Tu, P. M. Asbeck, C. L. Lin, P. D. Kirchner, J. M. Woodall « InP/InGaAs heterojunction bipolar transistors grown by gas-source molecular beam epitaxy with carbon-doped base », *IEEE Electron Device Letters*, vol. 13, n°. 5, p. 247-249, mai 1992.
[42] D. Cui, D. Pavlidis, et A. Eisenbach, « Characterization of carbon induced lattice contraction of highly carbon doped InGaAs », in *International Conference on Indium Phosphide and Related Materials, Conference Proceedings*, p. 526-529, 2000.
[43] J. Mba, « fabrication, caractérisation et modélisation des transistors bipolaires à double hétérojonction InP pour circuits de communications optiques à très hauts débits (40 Gbits/s) », Thèse de l'INSA Lyon, 1999.
[44] S. Blayac, « Transistor Bipolaire à Double Hétérojonction InP/GaInAs pour Circuits de Communications Optiques à très Haut Débit », Thèse de l'université de Montpellier II, 2001.
[45] C. Maneux, N. Labat, N. Saysset, A. Touboul, Y. Danto, J. -M. Dumas, P. Launay, J. Dangla, « Analysis of GaAs HBT failure mechanisms: impact on life test strategy », in *Proceedings of the 1997 6th International Symposium on Physical & Failure Analysis of Integrated Circuits, 1997*, 1997, p. 182-186.
[46] K. Doguchi, H. Yano, M. Murata, et H. Nishizawa, « Reliability analysis of InP-based Heterojunction Bipolar Transistors », *Indium Phosphide and Related Materials*, n°. 460-463, 1995.
[47] E. Nebauer, M. Mai, J. Würfl, et W. Österle, « Au/Pt/Ti/Pt base contacts to n-InGaP/p^+-GaAs for self-passivating HBT ledge structures », *Semiconductor Science and Technology*, vol. 15, n°. 8, p. 818-822, août 2000.
[48] E. F. Chor, R. J. Malik, R. A. Hamm, et R. Ryan, « Metallurgical stability of ohmic contacts on thin base InP/InGaAs/InP HBT's », *Electron Device Letters, IEEE*, vol. 17, n°. 2, p. 62-64, févr. 1996.
[49] G. A. Koné, S; Ghosh, B. Grandchamp, C. Maneux, F. Marc, N. Labat, T. Zimmer, H. Maher, M. L; Bourqui, D. Smith, « Preliminary results of storage accelerated aging test

on InP/GaAsSb DHBT », in *Compound Semiconductor Week (CSW/IPRM), and 23rd International Conference on Indium Phosphide and Related Materials*, Berlin, p. 1-4, 2011.

[50] Y. K. Fukai, K. Kurishima, N. Kashio, M. Ida, S. Yamahata, et T. Enoki, « Emitter-metal-related degradation in InP-based HBTs operating at high current density and its suppression by refractory metal », *Microelectronics Reliability*, vol. 49, n°. 4, p. 357-364, avr. 2009.

[51] S. R. Bahl, N. Moll, V. M. Robbins, Hao-Chung Kuo, B. G. Moser, et G. E. Stillman, « Be diffusion in InGaAs/InP heterojunction bipolar transistors », *Electron Device Letters, IEEE*, vol. 21, n°. 7, p. 332, 2000.

[52] M. Borgarino, R. Menozzi, D. Dieci, L. Cattani, et F. Fantini, « Reliability physics of compound semiconductor transistors for microwave applications », *Microelectronics Reliability*, vol. 41, n°. 1, p. 21-30, janv. 2001.

[53] J. J. Liou, « Long-term base current instability: a major concern for AlGaAs/GaAsHBT reliability », presented at the Semiconductor Conference, vol. 1, p. 23-32, 1998.

[54] K. T. Feng, N. X. Nguyen, et Chanh Nguyen, « Reliability of commercial InP HBTs under high current density lifetests », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 24th Annual Technical Digest*, p. 89- 92, 2002.

[55] T. Kikawa, S. Takatami, H. Masuda, et T. Tanoue, « Passivation of InP-based heterostructure bipolar transistors-relation to surface Fermi level », *Indium Phosphide and Related Materials*, p. 76, Tokyo 1998.

[56] D. Caffin, L. Bricard, J. L. Courant, L. S. How Kee Chun, B. Lescaut, A. M. Duchenois, M. Meghelli, J. L. Benchimol, P. Launay, « Passivation of InP-based HBTs for high bit rate circuit applications », *Indium Phosphide and Related Materials*, p. 637, 1997.

[57] G. A. Koné, B. Grandchamp, C. Hainaut, F. Marc, C. Maneux, N. Labat, T. Zimmer, V. Nodjiadjim, J. Godin, « Preliminary results of storage accelerated aging test on InP/InGaAs DHBT », *Microelectronics Reliability*, vol. 50, n°. 9-11, p. 1548-1553, sept. 2010.

[58] D. Pavlidis, « Reliability characteristics of GaAs and InP-based heterojunction bipolar transistors », *Microelectronics Reliability*, vol. 39, n°. 12, p. 1801-1808, déc. 1999.

[59] Y. K. Fukai, K. Kurishima, M. Ida, S. Yamahata, et T. Enoki, « Highly reliable InP-based HBTs with a ledge structure operating at high current density », *Electronics and Communications in Japan (Part II: Electronics)*, vol. 90, n°. 4, p. 1-8, avr. 2007.

[60] Y. Yuefei, D. Rasbot, C. -H. Chen, B. Lee, W. Yau, D. Hou, D. Wang., « A Foundry-Ready Ultra High fT InP/InGaAs DHBT Technology », *CS MANTECH Conference 17th-20th,Portland, Oregon, USA*, p. 55-58, mai 2010.

[61] C. R. Abernathy et E. S. E. Division, *State-of-the-Art Program on Compound Semiconductors (SOTAPOCs XXX): proceedings of the State-of-the-Art Program on Compound Semiconductors (SOTAPOCs XXX)*. The Electrochemical Society, 1999.

[62] K. Kurishima, S. Yamahata, H. Nakajima, H. Ito, et N. Watanabe, « Initial degradation of base-emitter junction in carbon-doped InP/InGaAs HBTs under bias and temperature stress », *IEEE Electron Device Letters*, vol. 19, n°. 8, p. 303-305, août 1998.

[63] R. Yamabi, K. Kotani, T. Kawasaki, M. Yanagisawa, S. Yaegassi, et H. Yano, « Reliability of InGaAs/InP HBTs with InP passivation structure », in *International Conference on Indium Phosphide and Related Materials*, p. 122- 125, 2003.

[64] M. Uematsu et K. Wada, « Recombinaison-enhanced impurity diffusion in Be-doped GaAs », *Applied Physics Letters*, vol. 58, n°. 18, p. 2015, 1991.

[65] O. Nakajima, K. Nagata, H. Sugahara, T. Makimura, et T. Ishibashi, « Stability of emitter electrode using Au/Ge/Ni/Ti/Pt/Au for AlGaAs/GaAs HBTs », *Extended abstracts of 55th Autumn meeting of Japan society of applied physics*, p. 1109, 1994.

[66] L. C. Kimerling, « Recombinaison enhanced defect reactions », *Solid State Electronics*, vol. 21, p. 1391, 1978.

[67] W. Liu, Hin-Fai Chau, et E. Beam, « Thermal properties and thermal instabilities of InP-based heterojunction bipolar transistors », *IEEE Transactions on Electron Devices*, vol. 43, n°. 3, p. 388-395, mars 1996.

[68] V. E. Houtsma, N. G. Weimann, et Y. K. Chen, « Investigation of stressing InP/InGaAs DHBTs under high current density », *in Proc. Int. Conf. Compound Semicond. GaAs Mantech, article 11.3*, 2003.

[69] R. Menozzi, J. Barrett, et P. Ersland, « A new method to extract HBT thermal resistance and its temperature and power dependence », *IEEE Transactions on Device and Materials Reliability*, vol. 5, n°. 3, p. 595- 601, sept. 2005.

[70] C. Jacob-Maneux, « Etude des mécanismes de dégradation des Transistors Bipolaires à Hétérojonction sur substrat GaAs », Brodeaux 1, 1998.

[71] V. E. Houtsma, J. Chen, J. Frackoviak, T. Hu, R. F. Kopf, R. R. Reyes, A. Tate, Y. Yang, N. G. Weimann, N. G. Chen « Self-heating of submicrometer InP-InGaAs DHBTs », *IEEE Electron Device Letters*, vol. 25, n°. 6, p. 357- 359, juin 2004.

[72] P.-Y. Sulima, « Contribution à la modélisation analytique tridimensionnelle de l'auto-échauffement dans les transistors bipolaires à hétérojonction de type Si/SiGe », Thèse de l'Université de Bordeaux 1, 2005.

[73] B. Grandchamp, « Etude des mécanismes de dégradation dans les Transistors Bipolaires à Hétérojonction InP/GaAsSb/InP utilisés dans les circuits de commande des systèmes de communications optiques 40-80 Gbits/s », Thèse de l'Université de Bordeaux 1, 2007.

[74] B. Grandchamp, V. Nodjiadjim, M. Zaknoune, G. A. kone, C. Hainaut, J. Godin, M. Riet, T. Zimmer, C. Maneux, « Trends in Submicrometer InP-Based HBT Architecture Targeting Thermal Management », *IEEE Transactions on Electron Devices*, vol. 58, n°. 8, p. 2566-2572, août 2011.

[75] A. Saleh, M. A. Chahine, T. Reveyrand, G. Neveux, D. Barataud, J. M. Nebus, R. Quere, Y. Bouvier, J. Godin, M. Riet, « 40 ns pulsed I/V set-up and measurement method applied to InP HBT characterization and electro-thermal modeling », in *IEEE Radio Frequency Integrated Circuits Symposium*, p. 401-404, 2009.

[76] M. Rodwel, E. Lind, Z. Griffith, S. R. ank, A. M. Crook, U. Singisetti, M. Wistey, G. Burek, A. C. Gossard, « Frequency Limits of InP-based Integrated Circuits », in *IEEE 19th International Conference on Indium Phosphide & Related Materials*, p. 9-13, 2007.

[77] B. A. Orner, M. Dahlstrom, A. Pothiawala, R. M. Rassel, Q. Liu, H. Ding, M. Khater, D. Ahlgren, A. Joseph, J. Dunn, « BiCMOS technology featuring a 300/330 GHz (fT/fmax) SiGe HBT for millimeter wave applications », *IEEE Bipolar/BiCMOS Circuits and Technology Meeting,*, p. 49-52, 2006.

[78] R. K. Vytla, « Simultaneous integration of SiGe High speed transistor and high voltage transistors », *IEEE Bipolar/BiCMOS Circuits and Technology Meeting,*, p. 223-230, 2006.

[79] M. Miura, « SiGe BiCMOS Technologies for improving sensitivity and high-speed characteristics of the communication LSIs », *IEEE International SiGe Technology and Device Meeting*, p. 228-229, 2006.

[80] B. Heinemann, « A low-parasitic collector construction for high speed SiGeCHBTs », *IEEE Internationl Electron Device Meeting,*, p. 251-254, 2004.

[81] B. Jagannathan, M. Khater, F. Pagette, J. -S. Rieh, D. Angell, H. Chen, J. Florkey, F. Golan, D. R. Greenberg, R. Groves, S. J. Jeng, J. Johnson, E. Mengistu, K. T. Schonenberg, C. M. Schnabel, P. Smith, A. Stricker, D. Ahlgren, G. Freeman, K. Stein, S. Subbanna, « Self aligned SiGe NPN transistors with 285 GHz fmax and 207 GHz fT in a manufacturable technology », *IEEE Electron Device Letters,*, vol. 23, n°. 5, p. 258-260, 2002.

[82] N. Zerounian, F. Aniel, B. Barbalat, et et al., « 500 GHz cutoff frequency SiGe HBTs », *IEEE Electronics Letters,*, vol. 43, n°. 14, p. 549-552.

[83] H. Rucker, B. Heinemann, A. Mai, et B. Tillack, « A 0.13 µm SiGe BiCMOS technology for mm-wave mixed-signal applications », in *Mixed Design of Integrated Circuits & Systems, MIXDES-16th International Conference*, p. 19-22, 2009.

[84] Y. Tian et H. Wang, « Temperature dependence of DC characteristics of NpN InP/GaAsSb/InP double heterojunction bipolar transistors: an analytic study », *Microelectronics journal*, n°. 37, p. 595-600, 2006.

[85] H. Wang et Y. Tian, « Analytical studies on temperature dependence of DC characteristics of InP/GaAsSb double heterojunction bipolar transistors », in *International Conference on Indium Phosphide & Related Materials (IPRM)*, p. 1-3, 2010.

[86] V. Nodjiadjim, M. Riet, P. Berdaguer, J. L. Gentner, O. Drisse, E. Derouin, A. Scavennec, J. Godin., « Performances and self-heating reduction of submicron InP/InGaAs/InP heterojunction bipolar transistors », *Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE)*, mai 2007.

[87] C. R. Bolognesi, M. M. . Dvorak, P. Yeo, X. G. Xu, et S. P. Watkins, « InP/GaAsSb/InP double HBTs: a new alternative for InP-based DHBTs », *IEEE Transactions on Electron Devices*, vol. 48, n°. 11, p. 2631-2639, nov. 2001.

[88] M. W. Dvorak, C. R. Bolognesi, O. J. Pitts, et S. P. Watkins, « 300 GHz InP/GaAsSb/InP double HBTs with high current capability and BVCEO>6 V », *IEEE Electron Device Letters*, vol. 22, n°. 8, p. 361-363, août 2001.

[89] B. Grandchamp, C. Maneux, N. Labat, A. Touboul, P. Bove, M. Riet, J. Godin, A. Scavennec, « Study of Failure Mechanisms in InP/GaAsSb/InP DHBT Under Bias and Thermal Stress », in *IEEE 19th International Conference on Indium Phosphide & Related Materials*, p. 413-416, 2007.

[90] Y. K. Fukai, K. Kurishima, N. Kashio, et S. Yamahata, « Reliability study on InP/InGaAs emitter-base junction for high-speed and low-power InP HBT », in *International Conference on Indium Phosphide & Related Materials (IPRM)*, 2010, p. 1-4.

[91] N. G. Tao, H. G. Liu, et C. R. Bolognesi, « Impact of surface state modeling on the characteristics ofInP/GaAsSb/InP DHBTs », *Solid-State Electronics*, vol. 51, n°. 955-1001, juin-2007.

[92] Z. Jin, S. Neumann, W. Prost, et F.-J. Tegude, « Surface recombination mechanism in graded-base InGaAs-InP HBTs », *IEEE Transactions on Electron Devices*, vol. 51, n°. 6, p. 1044- 1045, juin 2004.

[93] S. W. Cho, J. H. Yun, D. H. Jun, J. I. Song, I. Adesida, N. Pan, J. H. Jang, « High performance InP/InAlAs/GaAsSb/InP double heterojunction bipolar transistors », *Solid-State Electronics*, vol. 50, n°. 6, p. 902-907, juin 2006.

[94] Hong Wang et Geok Ing Ng, « Investigation of the degradation of InGaAs/InP double HBTs underreverse base-collector bias stress », *IEEE Transactions on Electron Devices*, vol. 48, n°. 11, p. 2647-2654, nov. 2001.

[95] E. F. Yu, D. G. Hill, C. E. Weitzel, R. D. Redd, et C. S. Cook, « Reliability implication of InGaP HBT emitter ledge dimension », in *GaAs Reliability Workshop, Proceedings*, p. 167- 174, 2002.

[96] C. McAndrew, J. Seitchik, D. Bowers, M. Dunn, M. Foisy, I. Getreu, M. McSwain, S. Moinian, J. Paker, P. Van Wijnen, L. Wagner, « VBIC95: An improved vertical, IC bipolar transistor model », in *Bipolar/BiCMOS Circuits and Technology Meeting*, p. 170-177, 1995.

[97] H. K. Gummel et H. C. Poon, « An Integral Charge-Control Model for Bipolar Transistors », *Bell System Technical Journal*, vol. 49, p. 827-852, 1970.

[98] H. K. Gummel, « A Charge Control Relation for Bipolar Transistors », *System Technical Journal*, vol. 49, p. 827-852, 1970.

[99] I. E. Getreu, « Modeling the bipolar transistor », *Amsterdam, Elsevier Scientific Pub.*, 1978.

[100] « HSPICE User's Manual, Elements and Models, Metasofware ». 1992.

[101] N. Gambetta, « Evolution du modèle du transistor bipolaire et des techniques d'extraction des paramètres, pour la simulation de circuits intégrés logiques et analogiques hautes fréquences », Thèse de l'institut national Polytechnique de Grenoble, 1992.

[102] B. Ardouin, « Contribution à la modélisation et à la caractérisation en hautes fréquences des transistors bipolaires à hétérojonction Si/SiGe », Thèse de l'Université Brodeaux 1, 2001.

[103] M. Schröter, « Hicum bipolar transistor model ». available on the web: http://www.iee.et.tu-dresden.de/iee/eb/comp_mod.html.

[104] M. Schröter et T. Y. Lee, « Physics-Based Minority Charge and Transit Time Modeling for Bipolar Transistor », *IEEE Transactions on Electron Devices*, vol. 46, n°. 2, p. 288-300, 1999.

[105] M. Schröter et Tzung-Yin Lee, « Physics-based minority charge and transit time modeling for bipolartransistors », *IEEE Transactions on Electron Devices*, vol. 46, n°. 2, p. 288-300, févr. 1999.

[106] S. Ghosh, « Electrical model evaluation and development of compact model including aging for InP Heretojunction Bipolar Transistors (HBTs) », Thèse de l'Université Bordeaux 1, Bordeaux, 2011.

[107] S. Ghosh, F. Marc, C. Maneux, B. Grandchamp, G. A. Koné, et T. Zimmer, « Thermal aging model of InP/InGaAs/InP DHBT », *Microelectronics Reliability*, vol. 50, n°. 9-11, p. 1554-1558, sept. 2010.

[108] J. Philibert et coll. et J. P. et coll, *Métallurgie, du minerai au matériau*. Dunod, 2002.

[109] C. Maneux, M. Belhaj, B. Grandchamp, N. Labat, et A. Touboul, « Two-dimensional DC simulation methodology for InP/GaAsSb/InP heterojunction bipolar transistor », *Solid-State Electronics*, vol. 49, p. 956-964, juin 2005.

[110] D. Vignaud, D. A. Yarekha, J. F. Lampin, M. Zaknoune, S. Godey, et F. Mollot, « Electron lifetime of heavily C-doped InGaAs and GaAsSb as a function of doping density », in *IEEE 19th International Conference on Indium Phosphide & Related Materials*, p. 586-587, 2007.

[111] C. R. Bolognesi, H. G. Liu, N. Tao, X. Zhang, S. Bagheri-Najimi, et S. P. Watkins, « Neutral base recombination in InP/GaAsSb/InP double-heterostructure bipolar transistors: Suppression of Auger recombination in p+ GaAsSb base layers », *Applied Physics Letters*, vol. 86, n°. 25, p. 253506-253506-3, juin 2005.

[112] M. Lakhdara, « Etude de Composants Semi-conducteurs Réalisés en Technologie CMOS Dédiés à la Radio Fréquence », Thèse de l'Université de Mentouri-Constantine, 2009.

[113] J. M. Ruiz-Palmero, U. Hammer, H. Jackel, « Hydrodynamic 2D model for simulation and scaling of InP/InGaAs(P) DHBTs and circuits with limited complexity », *Solid State Electron*, n°. 50, p. 1595-1611, 2006.

[114] Y. K. Fukai, K. Kurishima, M. Ida, S. Yamahata, et T. Enoki, « Highly reliable InP-based HBTs with a ledge structure operating at current density over 2 mA/μm^2 », in *International Conference on Indium Phosphide and Related Materials*, p. 339- 342, 2005.

[115] G. A. Koné, B. Grandchamp, C. Hainaut, F. Marc, C. Maneux, N. Labat, T. Zimmer, V. Nodjiadjim, M. Riet, J. Godin, « Reliability of submicron InGaAs/InP DHBT under thermal and electrical stresses », *Microelectronics Reliability*, vol. 51, p. 1730-1735, sept. 2011.