

# THESE

**Présentée à L'Université des Sciences et Technologies de Lille**

pour obtenir le grade de

## **DOCTEUR DE L'UNIVERSITE**

**Spécialité : MICRO ET NANO TECHNOLOGIE, ACOUSTIQUE ET  
TELECOMMUNICATION**

par

Yoann TAGRO

**MISE AU POINT D'UNE METHODOLOGIE DE CARACTERISATION DES 4 PARAMETRES DE BRUIT HF  
DES TECHNOLOGIES CMOS ET HBT AVANCEES DANS LA BANDE 60-110 GHz :  
« DEVELOPPEMENT DE SYSTEME A IMPEDANCE VARIABLE IN-SITU »**

Soutenue le Vendredi 09 Avril, 2010 devant la commission d'examen

### **Membres du Jury :**

---

<b>Pr. D. GASQUET</b>	<b>Président (IES – Montpellier)</b>
<b>Pr. L. ESCOTTE</b>	<b>Rapporteur (LAAS – Toulouse)</b>
<b>Pr. P. FERRARI</b>	<b>Rapporteur (IMEP – Grenoble)</b>
<b>Pr. F. DANNEVILLE</b>	<b>Membre (IEMN – Lille)</b>
<b>Dr. D. GLORIA</b>	<b>Membre (STMicroelectronics)</b>
<b>Pr. G. DAMBRINE</b>	<b>Directeur de thèse (IEMN – Lille)</b>

Thèse Préparée en collaboration avec L'Institut d'Electronique de Microélectronique et de Nanotechnologies (IEMN) de l'USTL et STMicroelectronics Crolles



*To my parents*

*To my friends*

*To my love*

*“Coincidence is GOD’s way of remaining anonymous,” Albert Einstein.*



# Remerciements

---

L'ensemble de ces travaux de thèse a été réalisé au sein de la société *STMicroelectronics* sur le site de Crolles dans le service caractérisation et fiabilité et en collaboration avec l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (*IEMN*) sise Université des Sciences et Technologie de Lille.

Vous comprendrez qu'il est évidemment bien difficile de citer toutes les personnes qui ont contribué au bon déroulement de cette thèse, alors en espérant n'oublier personne ..., je tiens avant tout à remercier Monsieur le Professeur *Alain CAPPY* de m'avoir accueilli au sein de son laboratoire (IEMN).

J'exprime toute ma gratitude à Monsieur *Daniel GASQUET*, de me faire l'honneur d'être président de ce jury. Je remercie Monsieur *Philippe FERRARI* et Monsieur *Laurent ESCOTTE* d'avoir accepté de juger mon travail en qualité de rapporteurs. Je remercie Monsieur *François DANNEVILLE* d'avoir examiné ce travail.

Je tiens à remercier particulièrement Monsieur *Gilles DAMBRINE*, Professeur à l'Université des Sciences et Technologie de Lille, pour sa riche expérience scientifique dont il m'a fait profiter. Qu'il trouve ici l'expression de ma profonde gratitude pour les conseils et les suggestions avisés qu'il m'a prodigué ainsi que pour ses qualités scientifiques et humaines dont il a fait preuve en dirigeant ce travail.

Un grand merci à *Daniel GLORIA* co-directeur et encadrant industriel de m'avoir accueilli au sein de l'équipe « Passifs RF » et d'avoir accepté d'être membre de ce jury. Merci pour ta disponibilité, ton expérience, ta bonne humeur, ton soutien.... Un grand merci simplement !

Je tiens à remercier toute l'équipe Passifs RF avec ses membres actuels et également les anciens : « le groupe HFC » Samuel B. (Daddy) pour ton apport sur l'aspect caractérisation, Michel B.(Mich) et Jordan P. ; « le groupe Varactor » Jean-François L. (Jeffrey) pour ton apport en TCL et VBA, Sébastien J. (Pépito), Yvan M. (Brother), Romain D. (Deb le P'Ch'ti chauve) courage pour la fin de ta thèse, Florence S. (Flo) et Dario R. ; « le groupe EMD » Frédéric G. (Grosselo) pour ta bonne humeur « Reste comme tu es !!! », Romain P. (Pilaro), Cédric D. (le Ced), Sébastien M. (le Montus) et Carine P. Je remercie Gérard MORIN et Emmanuel VINCENT de m'avoir accueilli durant ces trois années au sein du service caractérisation et fiabilité, mais également toutes les personnes du service que j'ai pu côtoyer. Un grand merci à Christelle E., Myriam V. et à Ruddy C. pour leurs qualités et chaleurs humaines.

Je remercie l'ensemble de l'équipe ANODE et de caractérisation de l'IEMN qui m'a assisté au cours de mes visites : Sylvie L, Nicolas W., etc .... (Alberto, Oo, Alexandre et Laurent bon courage pour la fin de thèse).

Un grand merci à mon équipe de basket, à mes amis et plus particulièrement à la famille GNAKALE (Elysée, Herman et leur Mère). Mes dernières pensées vont à la famille MAHILLET DE KOMET (Camille, Carole et ma petite Nadrey). Merci mon oncle de m'avoir fait confiance en acceptant de m'accueillir chez toi. Pour finir je remercie très sincèrement Mélissa FANNY de m'avoir supporté durant toutes ces années, je remercie toutes mes SŒURS pour leurs soutiens et ma MERE pour tous.



# Résumé

---

MISE AU POINT D'UNE METHODOLOGIE DE CARACTERISATION DES 4 PARAMETRES DE BRUIT HF  
DES TECHNOLOGIES CMOS ET HBT AVANCEES DANS LA BANDE 60-110 GHz :  
« DEVELOPPEMENT DE SYSTEME A IMPEDANCE VARIABLE IN-SITU »

Les avancées technologiques sur la réduction de la longueur de grille en accord avec la loi de Moore permettent aujourd'hui d'avoir des transistors sur silicium assez performants ( $f_t/f_{Max} > 150$  GHz).

La connaissance des performances dynamiques et en bruit en gamme millimétrique des transistors passe par leur caractérisation qui aujourd'hui est rendue difficile à cause de la limitation en fréquence des appareils de mesure.

Il a été question dans cette thèse d'établir dans un premier temps un état de l'art sur les tuners d'impédances. Cette étude a débouché sur la nécessité de concevoir et de caractériser des variateurs d'impédances intégrés pour s'affranchir des pertes d'insertions causées par la présence des dispositifs passifs entre les tuners mécaniques et les transistors sous test. Nous avons décrit les BEOL et les différents composants constituant le tuner d'impédance intégré, puis définit une architecture commune aux 2 technologies CMOS 65 nm et BiCMOS9MW. La mesure des tuners présente des performances meilleures (TOS de 7 :1 et 150 :1) que les tuners mécaniques standards.

Les méthodes de caractérisation en bruit sont présentées avec une attention particulière sur la méthode des impédances multiples que nous avons utilisée en source froide. Nous concluons par l'extraction des 4 paramètres de bruit des transistors MOSFET et HBT, en utilisant les tuners intégrés conçus. Les performances en bruit en gamme millimétrique ( $NF_{min}$ ) obtenues sont respectivement de l'ordre de 2 dB (MOSFET) et 3.5 dB (HBT) à la fréquence de 80 GHz et sont en accord avec les modèles utilisés.

Une ouverture vers des applications encore plus larges des tuners est aussi présentée, permettant d'envisager des applications au-delà de la bande W (75-110 GHz), des systèmes load-pull et des amplificateurs à gain variable.

## Mots clefs :

---

Impédances-variables, bruit millimétrique, MOSFET, HBT, transistors, méthode des impédances multiples, varactor, lignes de transmission, FET-froid



# Abstract

---

CHARACTERIZATION'S METHODOLOGY OF THE HIGH FREQUENCY 4 NOISE PARAMETERS OF  
ADVANCED CMOS AND HBT IN MILLIMETER WAVE BAND 60-110 GHz:  
« DEVELOPMENT OF A VARIABLE IN- SITU IMPEDANCE SYSTEM »

The advanced technologies following the gate length scaling in agreement with Moore's law allow today to get high performances of silicon transistors ( $f_t/f_{Max} > 150$  GHz).

The knowledge of the silicon transistors' dynamic and noise performances in millimeter wave range is mandatory but they characterization is difficult due to the limitation of measurement tools.

In this thesis we establish in a first step a state of the art of existing impedance tune. This study is followed by the design and the characterization of integrated impedance tuners in order to avoid the insertion losses induced by the passive devices between mechanical tuner and transistors under test in classical setup. We have described the BEOL, the different integrated tuner's components, and defined a common tuner's architecture for both technologies (CMOS 65 nm and BiCMOS9MW). The tuner measures presented performances (TOS of 7 :1 and 150 :1) better than mechanical ones.

The noise characterization methods are presented with particular focus on the multi impedance method that we have used in cold-noise source. We conclude by the extraction of the 4 noise parameters of the MOSFET and HBT transistors, using designed integrated tuners. The obtained noise performances in millimeter wave range are respectively around 2 dB for MOSFET and around 3.5 dB for HBT at 80 GHz and are in agreement with the used models.

The possibility to address a broad band of applications with these tuners is also presented, such as load-pull applications, G band integrated tuner, variable gain amplifier.

## Keywords :

---

Impedances tuner, millimeter wave noise, MOSFET, HBT, transistors, multi-impedance method, varactor, cold-FET, transmission lignes.



# Table des matières

---

Remerciements.....	iii
Résumé .....	v
Abstract .....	vii
Glossaire .....	x
Introduction Générale .....	xii
Organisation de la thèse .....	xii
I -    Emergence du besoin des mesures des 4 paramètres de bruit en gamme millimétrique sur silicium .....	I-1
I.1.    Pourquoi le Si en bande millimétrique ? .....	I-2
I.2.    Motivations et challenge « mmw » .....	I-4
I.2.1.    Les applications visées .....	I-4
I.2.2.    Difficulté de la caractérisation millimétrique .....	I-8
I.2.3.    Les méthodes d'extraction des 4 paramètres de bruit .....	I-14
I.2.4.    L'avant thèse : .....	I-20
I.3.    Conclusion .....	I-33
Références bibliographiques .....	I-34
II -    Le tuner intégré (Conception – Caractérisation).....	II-38
II.1.    Présentation des technologies CMOS 65nm SOI et BiCMOS9MW : process (BEOL), performances et composants offerts.....	II-39
II.1.1.    La technologie CMOS 65nm SOI ( <i>Substrat SOI-HR 3kΩ.cm</i> ) .....	II-39
II.1.2.    La technologie BiCMOS9MW ( <i>Substrat Standard 12Ω.cm</i> ).....	II-43
II.2.    Cahier des charges du tuner .....	II-48
II.2.1.    Lieux des impédances optimales .....	II-48
II.3.    Conception du tuner .....	II-57
II.3.1.    Définition de l'architecture.....	II-58
II.3.2.    Les passifs RF .....	II-59
II.3.3.    Réalisation du tuner (CMOS 65nm SOI-HR & BiCMOS9MW) .....	II-76
II.4.    Performances des tuners.....	II-80
II.4.1.    La technologie CMOS 65nm SOI .....	II-80
II.4.2.    La technologie BiCMOS9MW .....	II-81
II.5.    Conclusion sur les tuners .....	II-84
Références bibliographiques .....	II-86
III -    Exploitation des tuners in-situ réalisés pour la caractérisation en bruit des transistors sur silicium..	III-88
III.1.    Description de la démarche de caractérisation .....	III-89
III.2.    Méthodologie de calibrage du banc de mesure en bruit .....	III-91
III.2.1.    Présentation du banc de mesure en bruit disponible à l'IEMN.....	III-91
III.2.2.    Le calibrage .....	III-93
III.2.3.    L'épluchage .....	III-101
III.2.4.    L'extraction des 4 paramètres de bruit des TST .....	III-105
III.3.    Benchmark tuner OFF-/ON- WAFER .....	III-110
III.4.    Perspectives.....	III-111
III.4.1.    Ouverture vers le Load-Pull intégré .....	III-111
III.4.2.    Perspectives d'amélioration du tuner .....	III-118
III.4.3.    Utilisation des tuners dans un contexte plus large .....	III-120
III.5.    Conclusion sur la caractérisation en bruit des transistors.....	III-123
Références bibliographiques .....	III-125
IV -    Conclusion Générale.....	IV-127
Liste des publications.....	cxxix

## Glossaire

---

<b>ADS</b> : Advanced Design System © Agilent .....	II-50
<b>AP</b> : Abréviation de l'aluminium encore appelé l'AluCap .....	II-46
<b>BEOL</b> : Back End Of Line .....	II-44, II-48
<b>BiCMOS</b> : Bipolar Complementary Metal Oxide Semiconductor.....	I-3
<b>BiCMOS9MW</b> : Technologie bipolaire pour des applications millimétriques .....	II-41
<b>BSIM4</b> : Berkeley Short-channel IGFET Model (version 4).....	II-50
<b>Calibrage</b> : Méthode de correction des accès .....	III-90
<b>CMOS</b> : Complementary Metal Oxide Semiconductor .....	I-3
<b>CMP</b> : Chemical Mechanical Polishing .....	II-71
<b>DST</b> : Dispositif Sous Test.....	I-14, III-89
<b>ENR</b> : Excess Noise Ratio .....	III-91
<b>Epluchage</b> : Méthode de correction sur Silicium .....	III-90
<b>Extraction</b> : exploitation des résultats issus de la mesure .....	III-90
<b>FCC</b> : Federal Communication Commission.....	I-5
<b>FD</b> : Fully Depleted .....	II-42
<b>HBT</b> : Heterojunction Bipolar Transistor .....	I-2
<b>HF</b> : High Frequency.....	I-21
<b>HICUM</b> : High Current Model.....	II-50
<b>HR</b> : High Resistivity.....	II-41
<b>IR</b> : Infra Rouge .....	I-6
<b>IST</b> : In Situ Tuner (Tuner Intégré).....	III-89
<b>l'électro-migration</b> : étude du passage d'un courant minimum dans une piste métallique .....	II-49
<b>LNA</b> : Low Noise Amplifier .....	I-11
<b>LRR</b> : Long Range Ranging .....	I-6
<b>MEMS</b> : Micro Electro Mechanical System.....	I-32
<b>MIM</b> : Metal Isolateur Metal.....	II-46

<b>MIM</b> : Metal Isolator Metal .....	I-26
<b>MMIC</b> : Monolithic Microwave Integrated Circuits .....	I-26
<b>MOM</b> : Metal Oxide Metal .....	II-48
<b>MOSFETs</b> : Metal Oxide Semiconductor Field Effect Transistors .....	II-42
<b>NFM</b> : Noise Figure Meter .....	III-91
<b>Nwell</b> : Caisson avec un dopage de type N .....	II-65
<b>PD</b> : Partially Depleted .....	II-42
<b>Poly</b> : le Polysilicium.....	II-65
<b>Pwell</b> : Caisson avec un dopage de type P .....	II-65
<b>RADAR</b> : RADio Detection And Ranging.....	I-5
<b>RSIHFxx</b> : Reliability SIam High Frequency "xx = numéro du banc" .....	I-21
<b>SOI</b> : Silicon On Insulator .....	II-41
<b>SRR</b> : Short Range Radar.....	I-6
<b>TE</b> : Transverse Electrique .....	II-72
<b>TEM</b> : Transverse Electro Magnétique.....	II-71
<b>TOS</b> : Taux d'Ondes Stationnaire.....	I-26
<b>TR</b> : Tuning Ratio .....	II-65
<b>TST</b> : Transistor Sous Test.....	III-89
<b>Tuner</b> : Variateur d'impédances .....	I-32
<b>VLSI</b> : Very Large Scale Integration .....	II-41
<b>VNA</b> : Vector Network Analyser.....	I-8
<b>WHDMI</b> : Wireless High Definition Multimedia Interface.....	I-4
<b>Wi-Fi</b> : Wireless Fidelity .....	I-4
<b>WLAN</b> : Wireless Local Area Network .....	I-4
<b>WPAN</b> : Wireless Personal Area Network.....	I-4

## Introduction Générale

---

Jusque dans les années 2000, les applications en gamme millimétrique étaient principalement réservées au domaine de la défense, à cause des coûts élevés de développement. Ces dernières années, les performances intrinsèques des transistors sur silicium ont fortement été améliorées et aujourd'hui ces technologies sont omniprésentes dans les marchés à fort volume de consommation et permettent de concevoir des circuits aux fréquences millimétriques dédiés par exemple aux applications telles que :

- Le radar automobile, pour l'amélioration de la protection routière
- L'imagerie millimétrique dans le domaine médical pour la détection de tumeur
- Les liaisons haute définition sans fil.

La caractérisation hyperfréquence et principalement en bruit de ces technologies est une étape essentielle pour l'optimisation des procédés de fabrication et au début de cette thèse les méthodologies existantes dédiées à ces mesures entre 60 GHz et 110 GHz étaient désadaptées.

Afin d'amener des réponses à ce besoin, ces travaux de thèse sont focalisés sur une méthodologie d'extraction originale des 4 paramètres de bruit hyperfréquence des transistors en technologie silicium.

### ***Organisation de la thèse***

Le premier chapitre intitulé « *Emergence du besoin des mesures des 4 paramètres de bruit en gamme millimétrique sur silicium* » exposera les motivations et les challenges à relever sur l'utilisation d'un synthétiseur d'impédances intégré en gamme millimétrique (en bande W « 75-110 GHz ») pour la caractérisation des performances en bruit des dispositifs (MOSFET et HBT) sur silicium. Nous décrirons de manière plus générale les deux méthodes de caractérisation de bruit ( $NF_{50}$  et les impédances multiples) à notre disposition et plus particulièrement la méthode des impédances multiples qui est la méthode utilisée dans tout le reste de la thèse. Cette méthode dans notre cas, sera basée

sur un synthétiseur d'impédances intégré sur silicium. Un bref état de l'art sur les différents variateurs d'impédances qui existent dans la littérature sera présenté.

Le second chapitre « *Les tuners intégrés (conception – caractérisation)* » est entièrement consacré au développement du tuner intégré, de sa conception à sa mesure en paramètres S en passant par son utilisation. Les technologies (CMOS 65nm SOI et BiCMOS9MW) dans lesquelles ce tuner a été conçu seront présentées. Nous décrirons les performances des composants intégrés (passifs et actifs) et leur caractérisation. En effet, pour intégrer les tuners sur silicium, il est important de connaître les substrats silicium disponibles et de quantifier les performances des composants actifs (transistors) et passifs (inductances, lignes de transmission) aux fréquences millimétriques. Les technologies abordées au cours de cette étude correspondent aux nœuds technologiques 130 nm SiGe, 65 nm SOI.

Le dernier chapitre « *Exploitation des tuners in-situ réalisés pour la caractérisation en bruit des transistors sur silicium* » du manuscrit sera consacré dans un premier temps à la description du banc de mesure en bruit (banc de mesure en guide d'onde) utilisant les tuners in-situ développés suivi de la méthodologie de calibrage utilisée. Ce calibrage prend en compte le calibrage du récepteur, le calibrage des systèmes passifs (guide d'onde, etc ...). Etant donné les pertes d'insertion élevées du tuner intégré (~20dB) dans la bande de fréquence d'intérêt, la méthode de caractérisation source froide retenue est appliquée à la multi-impédance.

L'extraction des quatre paramètres de bruit en passant par les moyens d'épluchage (de correction) sera dans un deuxième temps, présentée, suivi par une étude préliminaire d'une caractérisation en puissance (Load-Pull) avec ce même tuner intégré. Nous allons par la suite faire une comparaison des performances d'un tuner mécanique en bande W à notre tuner intégré. Des voies d'améliorations du tuner seront données puis des perspectives d'études sur la montée en fréquence pour des applications encore plus complexes seront apportées.

# I - Emergence du besoin des mesures des 4 paramètres de bruit en gamme millimétrique sur silicium

---

I -	Emergence du besoin des mesures des 4 paramètres de bruit en gamme millimétrique sur silicium .....	I-1
I.1.	Pourquoi le Si en bande millimétrique ? .....	I-2
I.2.	Motivations et challenge « mmw » .....	I-4
I.2.1.	Les applications visées .....	I-4
I.2.1.a	La communication (Télécommunication) à 60 GHz.....	I-4
I.2.1.b	Le Radar (Civil et Militaire) à 77 GHz .....	I-6
I.2.1.c	L'imagerie (Civile et Militaire).....	I-7
I.2.2.	Difficulté de la caractérisation millimétrique.....	I-8
I.2.2.a	La caractérisation petit signal (les paramètres S).....	I-8
I.2.2.b	La caractérisation grand signal (Puissance) .....	I-10
I.2.2.c	La caractérisation de bruit HF .....	I-12
I.2.3.	Les méthodes d'extraction des 4 paramètres de bruit .....	I-14
I.2.3.a	La méthode $NF_{50}$ .....	I-15
I.2.3.b	La méthode des impédances multiples.....	I-17
I.2.4.	L'avant thèse : .....	I-20
I.2.4.a	Limitation des appareils de mesure au-delà de 50GHz.....	I-20
I.2.4.b	Etat de l'art des tuners d'impédances avant 2007 .....	I-22
I.2.4.c	Problématique du sujet .....	I-30
I.2.4.d	Positionnement du sujet de thèse dans un contexte international .....	I-30
I.3.	Conclusion.....	I-33

---

# I - Emergence du besoin des mesures des 4 paramètres de bruit en gamme millimétrique sur silicium

---

## I.1. Pourquoi le Si en bande millimétrique ?

Deux questions nous interpellent dans ce titre :

- Tout d'abord « POURQUOI LES ONDES MILLIMETRIQUES ? »

Pour répondre à cette première question, nous nous appuyons sur le théorème de Shannon [I-1] (en 1948) qui dit que la vitesse maximale de transmission de données dans une communication qui peut être transmise dans un canal (capacité du canal «  $C$  ») est relative à sa bande passante «  $BW$  » et à son rapport signal à bruit «  $SNR$  » (de l'anglais *Signal-to-Noise Ratio*) et s'exprime de la manière suivante :  $C = BW * \log_2(1 + SNR)$ .

On voit que l'augmentation de données «  $C$  » nécessite une augmentation de la bande passante «  $BW$  » et une augmentation du rapport signal à bruit «  $SNR$  ».

Il faut savoir que la bande passante nécessaire dans un système est fortement liée à l'application ciblée. Ainsi, pour des applications civiles ou militaires les bandes de fréquences sont allouées par des commissions.

Néanmoins, pour une distance donnée, le signal reçu à une fréquence porteuse élevée connaît plus d'atténuation pour les raisons suivantes :

- Premièrement, comme la taille de l'antenne est inversement proportionnelle à la fréquence porteuse, plus la fréquence porteuse est importante, plus petite est l'antenne, et il en résulte une faible collecte de puissance.
- La seconde raison est l'absorption atmosphérique qui cause une forte atténuation du signal en hautes fréquences.

Ces deux caractéristiques ont tendance à augmenter le facteur de bruit, diminuant ainsi le rapport signal à bruit «  $SNR$  ».

- Puis, « POURQUOI LE SILICIUM ? »

Les technologies GaAs et InP (PHEMT, HEMT et HBT) ont durant plusieurs années dominé le marché des applications millimétriques. Cependant, la miniaturisation drastique (de la longueur de grille) des transistors suivant la loi de Gordon Moore [I-3] - [I-4] énoncée en 1965 (et initiée par la loi de Dennard [I-2]) a particulièrement comme conséquence l'augmentation des performances dynamiques des transistors sur silicium, les rendant compétitifs vis-à-vis des technologies **III-V**. Présentant aujourd'hui des fréquences de coupures ( $f_t / f_{Max}$ ) avoisinant les 280GHz avec de bonnes performances en bruit (Cf. Figure I-1, [I-5] et Figure I-2, [I-7]), ces composants à base de silicium adressent les applications millimétriques et les applications grand public à forts volumes de consommation [I-6].

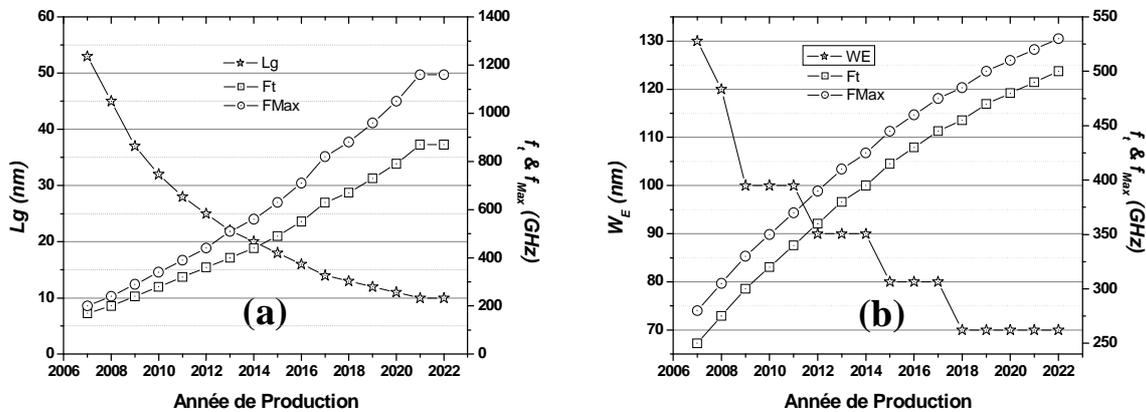


Figure I-1: Conséquence de la loi de Moore pour la technologie CMOSFET (a) et pour la technologie Bipolaire (b) ; source ITRS 2008 [I-5]

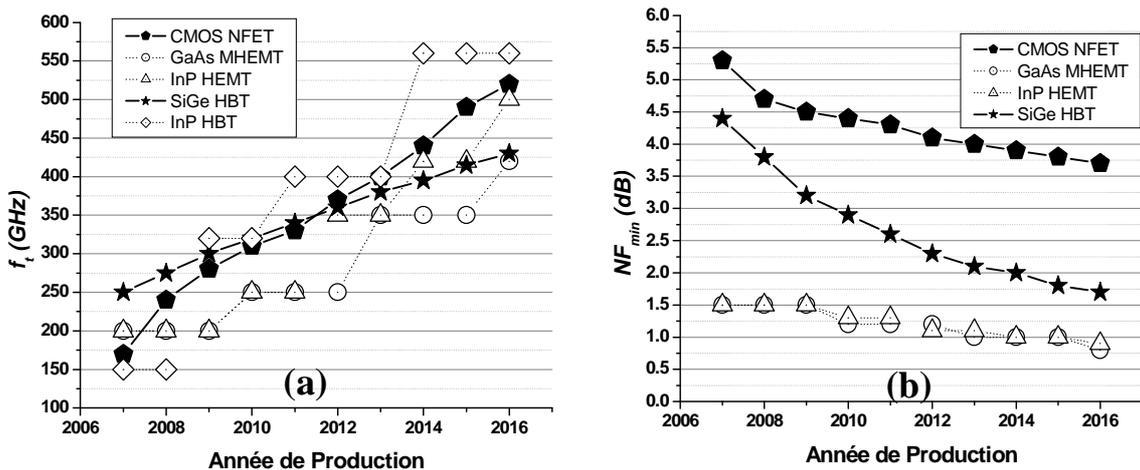


Figure I-2: Comparaison des performances du silicium avec la technologie III-V et InP. (a) fréquences de coupures et (b) Facteur de bruit minimum pris à 94 GHz ; source ITRS 2008 [I-7].

Une des particularités des technologies sur silicium (CMOS) est sa forte capacité d'intégration et également le fait de pouvoir intégrer le HBT sur une plateforme CMOS. Ce

qui se traduit par la possibilité d'offrir des produits intégrant sur la même puce à la fois des blocs RF (analogique) et des blocs digitaux. C'est cette volonté d'intégration qui a renforcé l'intérêt de la technologie silicium CMOS et BiCMOS pour les applications RF [I-5] - [I-7]).

## ***I.2. Motivations et challenge « mmw »***

Les principales recherches dans les gammes millimétriques sont d'origine militaire, c'est dans un souci d'amélioration du quotidien humain que nous sommes passés des applications militaires aux applications civiles. Cette perpétuelle quête d'évolution a donné naissance à certains besoins.

En effet, la bande millimétrique (30GHz à 300GHz) offre un large choix en termes d'applications grand public et on doit être capable de quantifier précisément les performances des composants (passifs et actifs) dédiés à ces applications par leur caractérisation en petit signal, en puissance et particulièrement en bruit pour avoir des systèmes avec un rapport signal/bruit le plus faible possible.

### ***I.2.1. Les applications visées***

Les applications visées sont multiples et variées. Nous trouvons pour n'en citer que quelques unes, dans le domaine de la communication sans fil [I-8] (le WHDMI « communication sans fil à haute définition multimédia », le WPAN « communication sans fil pour un réseau personnel », la WLAN « communication sans fil pour un réseau local » et le Wi-Fi), dans le domaine du radar [I-9] (les longues et faibles portées) et dans le domaine de l'imagerie (médicale ou militaire).

#### ***I.2.1.a La communication (Télécommunication) à 60 GHz***

La communication s'impose à nous comme une nécessité. Depuis longtemps les moyens de communication sont différents d'une civilisation à une autre. Elle est ainsi connue sous plusieurs formes, on voit apparaître le tam-tam dans la savane, la fumée chez les Indiens, etc....

L'évolution dans le temps des moyens de communication requiert de nouveaux critères de transmission, ce n'est plus seulement la voix mais plutôt tout contenu multimédia (le son, l'image, la vidéo et des données informatiques) qui sera transmis. L'une des applications qui résume bien l'évolution de la communication est la communication domestique courte portée

que nous pouvons observer dans nos bureaux (cf. Figure I-3) ou dans nos maisons. Nous sommes aujourd'hui capables avec l'avancée de la technologie d'échanger des données d'un support à un autre sans perte d'information (qualité du signal).

Pour des raisons d'uniformité, de contrôle et de compatibilité, il a fallu réglementer et standardiser tout système de communication.

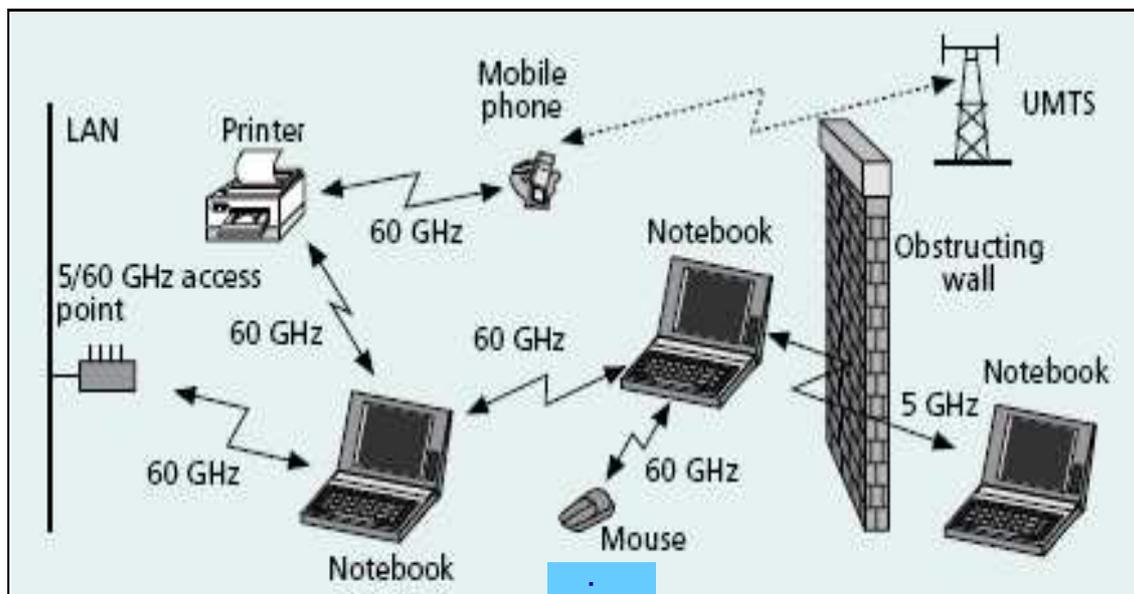


Figure I-3: Scenario d'une communication sans fil à 60GHz dans un bureau [I-10]

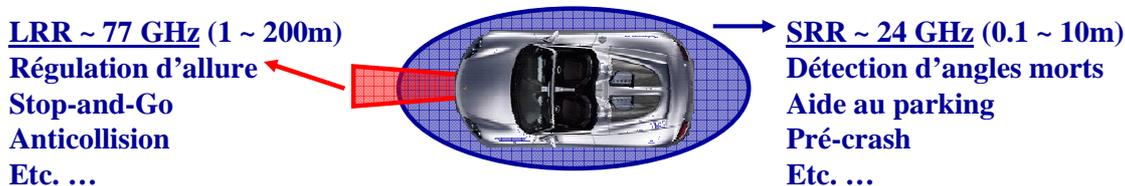
La quantité d'informations que l'on devra transmettre sera de plus en plus importante, et comme le démontre Shannon [I-1], la bande passante est un critère important dans les systèmes de communication. C'est ainsi qu'en 2001 (USA-FCC), l'allocation d'une bande passante de 7 GHz autour de 60 GHz (entre 57 et 64 GHz) est annoncée. Cette bande autour de 60 GHz devient alors une attention particulière pour beaucoup d'applications à grande vitesse.

### I.2.1.b Le Radar (Civil et Militaire) à 77 GHz

Le RADAR, basé sur la propagation des ondes électromagnétiques offre la capacité de détecter une cible et d'estimer sa distance voire sa vitesse par ondes radio. Son principe est de détecter cette cible, d'en déduire sa position et sa vitesse par simple réflexion de l'onde sur cette dernière. C'est en effet, en 1886, qu'Heinrich Hertz démontre la capacité pour une surface métallique de réfléchir les ondes radio. Ainsi suivant les travaux de Hülsmeier [I-11] en 1904, la première localisation RADAR est mise en place.

Datant d'avant la seconde guerre mondiale, cette technique de localisation est maintenant couramment utilisée dans un grand nombre d'applications civiles. Les récents progrès des composants électroniques (rapidité, forte intégration, coût, etc. ...) permettent d'envisager des applications RADAR sur des produits civils grand public tels que la navigation aérienne, la météorologie, la télédétection et particulièrement la circulation routière.

Le nombre croissant de personnes tuées par an sur les routes a rendu la technologie RADAR très attractive pour l'équipement des véhicules. La Figure I-4 présente les différents positionnements des capteurs pour la détection courte portée (de piétons et d'aide au parking etc. ...) et longue portée (des véhicules, motocyclistes, etc. ...) d'obstacles.



**Figure I-4: Les applications RADAR automobile courtes et longues portées**

Pour la détection courte portée « SRR » entre 0.1 et 10m la fréquence allouée se situe autour de 24 GHz (22-29 GHz) et les applications possibles sont l'aide au parking, la détection d'angles morts, le changement de file, l'anticollision vis-à-vis d'obstacles fixes ou mobiles et le pré-crash. En ce qui concerne la détection longue portée « LRR » entre 1 et 200m la fréquence allouée se situe autour de 77 GHz (75-79 GHz) et les applications possibles sont la régulation d'allure intelligente sur route (Adaptive Cruise Control), son complément urbain et l'alerte de collision.

### *I.2.1.c L'imagerie (Civile et Militaire)*

Une des applications potentielles dans le domaine des ondes radio est l'imagerie. L'intérêt pour l'imagerie millimétrique est bien évident par rapport à l'imagerie par IR. En effet, dans toutes conditions météorologiques (le brouillard, les nuages, la neige, les tempêtes de poussière et la pluie), les ondes radio sont beaucoup plus efficaces (atténuation plus faible) que les ondes infrarouges. La Figure I-5 montre les fenêtres de propagation (35 GHz, 94 GHz, 140 GHz et 220 GHz, etc. ...) autour desquelles l'atténuation atmosphérique est relativement faible.

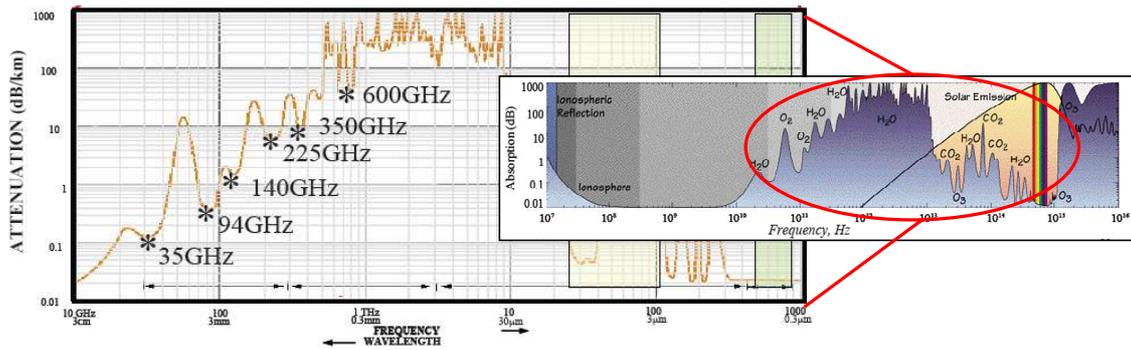


Figure I-5: Atténuation atmosphérique autour des fenêtres de propagations

La Figure I-6 nous montre qu'avec une imagerie millimétrique on est capable de détecter des armes cachées par un individu.



Figure I-6: l'ensemble des images (a) et (b) montre la dissimulation d'une arme de poing. Chaque image montre le visible (plus à gauche), la révélation par l'imagerie (au centre) puis une image visible de l'arme exposée. L'image la plus à gauche en (b) est prise dans des conditions simulant un environnement froid [I-12]

Il existe deux types d'imagerie, la passive similaire à la radiométrie et l'active similaire aux applications RADAR. L'imagerie médicale à 94 GHz est également un domaine potentiel d'applications courte distance, pour la détection de tumeurs, de flux sanguins, par exemple.

En résumé, le choix de la fréquence est fortement lié à l'application spécifique. Trois applications potentielles font l'intérêt des technologies millimétriques (Cf. Figure I-7):

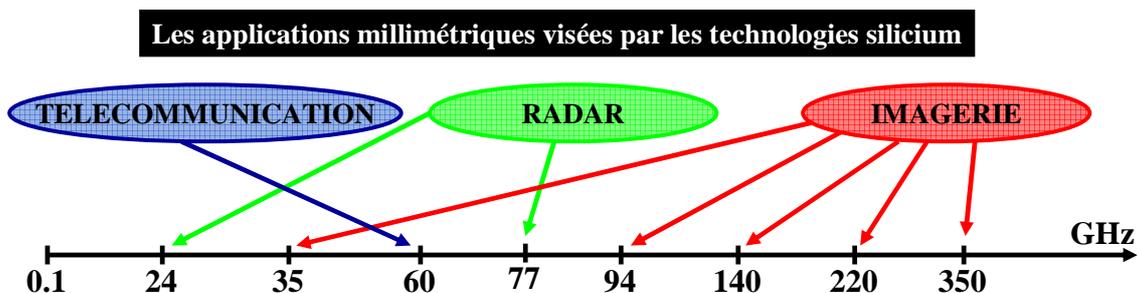


Figure I-7: Récapitulatif des applications visées

## I.2.2. Difficulté de la caractérisation millimétrique

La conception de circuits performants (à la pointe de la technologie) dans le domaine des applications définies plus haut (Cf. I.2.1) requiert en amont la connaissance et l'optimisation des performances des composants actifs (MOSFET et HBT) et passifs (Ligne de transmission, varactor, etc ...) utilisés. L'optimisation des performances et la modélisation de ces composants passe essentiellement par leur caractérisation dans la bande de fréquence utile (30 – 110 GHz).

### I.2.2.a La caractérisation petit signal (les paramètres S)

La caractérisation petit signal consiste à mesurer en fonction de la fréquence les paramètres de dispersion ou paramètres [S] (de l'anglais Scattering) d'un dipôle, d'un quadripôle ou d'un multi pôle par l'utilisation d'un système de mesure « VNA ». Ce système de mesure présente des imperfections qui sont systématiques (récepteur « transposition de fréquence », câblage, sondes hyperfréquences), aléatoires (bruit des instruments de mesure, les commutateurs et la reproductibilité des connexions) et de dérive (changement d'environnement après calibrage, variation de la température).

Il existe différentes méthodes de calibrage (SOLT, TRL, LRM...) [I-13] [I-14] qui permettent de corriger ces erreurs (Cf. Figure I-8) systématiques au moyen de standards de calibrage encore appelés étalons (court-circuit, circuit ouvert, ligne de transmission ...).

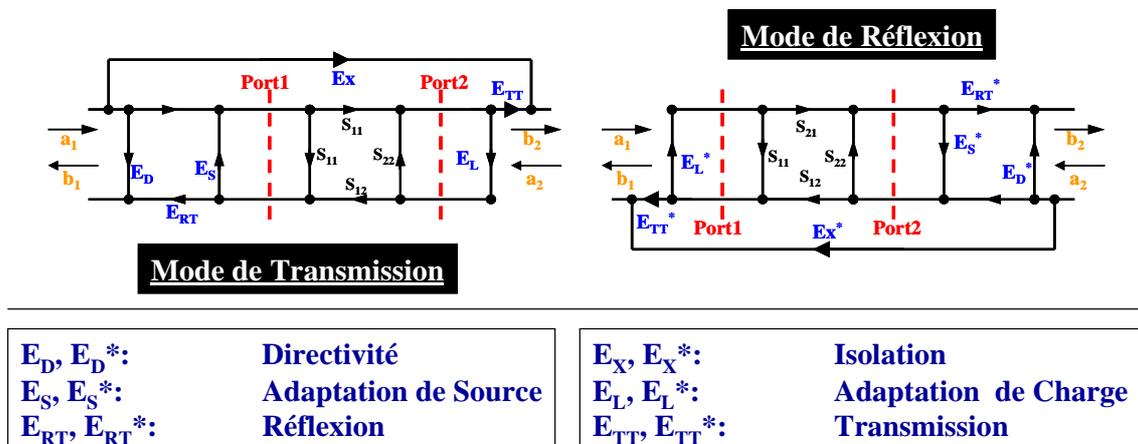


Figure I-8: Les 12 termes d'erreurs d'un réseau deux ports à corriger par une méthode de calibrage type SOLT

Dans le cas des VNA de dernières générations, les erreurs aléatoires et de dérives sont aujourd'hui limitées par les grandes sensibilités et la stabilité des systèmes de mesures (VNA, stations sous pointes, etc ...).

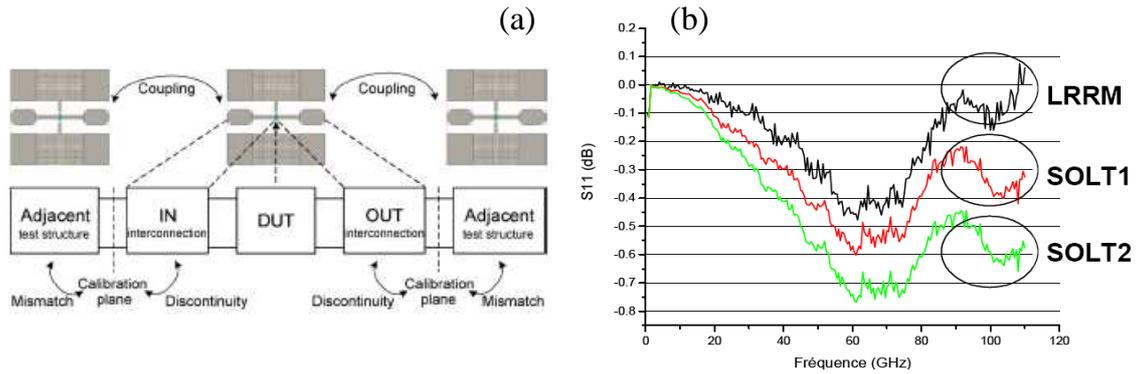
Ces étapes de corrections nous permettront dans un premier temps d'écarter de la mesure la contribution des câbles et des sondes en positionnant les plans de références au bout des pointes des sondes RF.

Il est aussi nécessaire de connaître avec précision dans un second temps la mesure du composant intrinsèque en écartant les contributions des accès du transistor (pads et lignes d'accès) au moyen de structures particulières et spécifiques sur silicium (Court-circuit, circuit ouvert, ligne de transmission) pour corriger la mesure sur tranche de silicium, cette étape est le plus souvent appelée « de-embedding » ou épluchage.

De récents travaux [I-15] ont montré qu'au-delà de 50 GHz le calibrage devient critique et la mesure de paramètres S jusque 110 GHz sur silicium présente des spécificités propres. Il s'agit du couplage entre les sondes, entre les sondes et les structures de test mais aussi entre les sondes et les structures adjacentes [I-15] qui rendent le calibrage spécifique.

La validation du modèle d'un transistor passe par la comparaison de la mesure précise avec sa simulation. Il se trouve cependant qu'un calibrage conventionnel (SOLT) ne prend pas en compte tous les différents couplages énumérés précédemment et ne donne de bonnes précisions que jusque 60 GHz. Au-delà de la fréquence de 60 GHz, la validation du modèle devient critique et nécessite un calibrage plus rigoureux et un épluchage plus complexe [I-16].

- En ce qui concerne le calibrage SOLT, des travaux pionniers [I-17] montrent que par la détermination et l'ajustement de la capacité  $C_{open}$  des sondes coplanaires, il est possible de compenser plus précisément les erreurs systématiques de l'analyseur de réseau au-delà de 60 GHz. Waldhoff s'est fondamentalement basé sur ces travaux pionniers pour développer une stratégie d'optimisation de calibrage (la SOLT améliorée [I-18]) qui permet d'avoir des mesures petit signal précises jusque 110 GHz (Cf. Figure I-9).
- De manière à prendre en compte le couplage entre les sondes et le silicium, il est nécessaire d'optimiser le placement des structures testées de façon à diminuer ces couplages en les rendant reproductibles d'une structure d'épluchage à une autre.



En complément de ce calibrage, un espacement des structures de test d'au moins 50µm sur silicium est nécessaire.

### I.2.2.b La caractérisation grand signal (Puissance)

La mesure en régime de grand signal est une nécessité pour la conception d'amplificateur de puissance, pour l'optimisation des dispositifs (transistors) et pour l'extraction des modèles non linéaires.

Il est bien évident que faire une mesure grand signal (puissance) requiert tout d'abord des étapes de calibrage petit signal afin de placer les plans de références aux bons endroits et s'affranchir des contributions parasites des accès pour avoir une mesure précise.

Cependant, plusieurs gains en puissance sont possibles dans le formalisme de la mesure en puissance (Cf. Figure I-10).

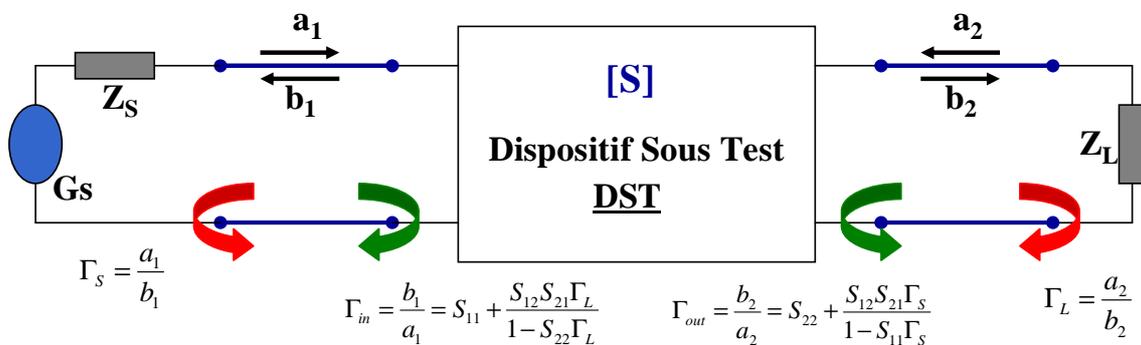


Figure I-10: Formalisme d'un quadripôle avec ces différents facteurs de réflexions

- Le gain en puissance transducique ( $G_T$ ) : qui traduit le transfert de puissance au travers d'un quadripôle.

$$G_T = f(\Gamma_s, [S], \Gamma_L) = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2} \cdot |S_{21}|^2 \cdot \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{out}\Gamma_L|^2} \quad \text{Eq I-1}$$

- Le gain en puissance disponible ( $G_A$ ) : est très utilisé pour l'optimisation des amplificateurs de réception « LNA (de l'anglais Amplificateur Faible Bruit) ».

$$G_A = f(\Gamma_s, [S]) = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2} \cdot |S_{21}|^2 \cdot \frac{1}{1 - |\Gamma_{out}|^2} \quad \text{Eq I-2}$$

- Le gain en puissance ( $G_P$ ) : est très utilisé pour l'optimisation des amplificateurs d'émission ou de puissance « PA (de l'anglais Amplificateur de Puissance) ».

$$G_p = f([S], \Gamma_L) = \frac{1}{1 - |\Gamma_{in}|^2} \cdot |S_{21}|^2 \cdot \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad \text{Eq I-3}$$

On voit que les différents gains sont fonction des impédances de source et de charge du DST. Sur le plan expérimental il va donc falloir utiliser un banc de test disposant d'un tuner (variateur d'impédance) en entrée et en sortie du dispositif de manière à présenter les impédances souhaitées et synthétiser le gain recherché (Cf. Figure I-11).

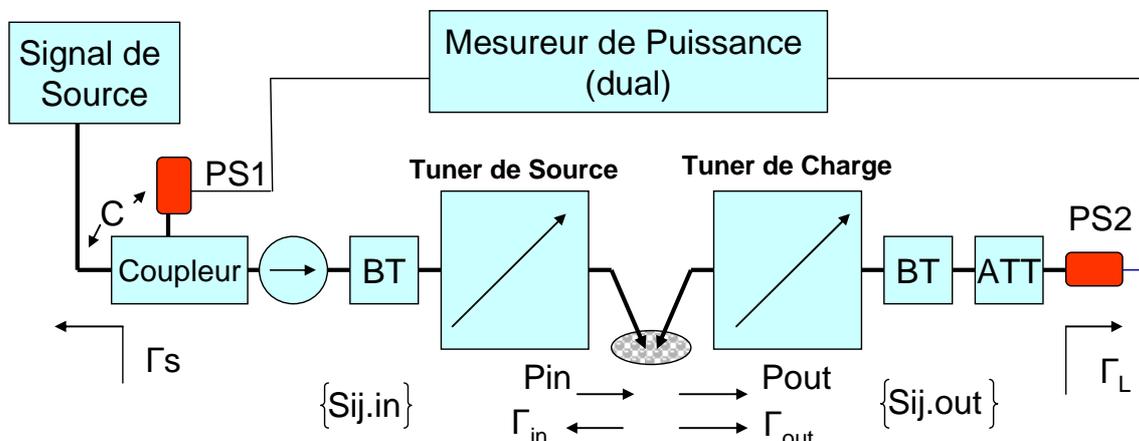


Figure I-11 : Synoptique d'un banc de mesure Load et Source -Pull

La difficulté de ce type de mesure en gamme millimétrique réside dans le fait que les coefficients de réflexion (proches de 0.75) sont fortement dépendants de la fréquence et en particulier de la géométrie du transistor à caractériser.

Pour remédier à cette difficulté, il faut dans le banc de mesure en régime grand signal disposer de tuner millimétrique pouvant adresser les forts coefficients de réflexion et un système très faibles pertes entre le tuner et les plots de test RF afin de conserver une constellation utile dans les plans du transistor.

Enfin, tous les éléments de la chaîne de mesure doivent être plus linéaires que le composant à tester pour ne pas introduire de non-linéarités en supplément de celles générées par le composant lui-même.

### *I.2.2.c La caractérisation de bruit HF*

Un transistor est entièrement caractérisé en bruit si l'on connaît ses 4 paramètres de bruit ( $NF_{\min}$ ,  $R_n$ ,  $G_{opt}$  et  $B_{opt}$ ). En effet le facteur de bruit, pour une admittance ( $Y_S$ ) de source donnée, d'un transistor s'exprime de la manière suivante (Cf. Eq I-4) :

$$NF(Y_S) = NF_{\min} + \frac{R_n}{G_S} |Y_S - Y_{opt}|^2$$

Eq I-4

*avec  $G_S = \text{Re}(Y_S)$*

Où  $NF_{\min}$  traduit le facteur de bruit minimum qui est atteint pour une admittance de source optimale ( $Y_S = Y_{opt}$ ) et  $R_n$  la résistance équivalente de bruit qui traduit aussi la sensibilité à la désadaptation (plus  $R_n$  sera élevée et plus on aura une forte sensibilité à la désadaptation vis-à-vis de  $Y_{opt}$ ). La mise en place d'un banc de mesure de bruit impose l'utilisation d'un tuner d'impédances en entrée.

L'une des parties les plus importantes dans la mesure de paramètres de bruit reste la phase de calibrage du système de mesure. Il faut avant tout faire un calibrage petit signal (Cf. I.2.2.a) en paramètre [S] (connaissance des paramètres [S] du tuner), puis un calibrage en bruit qui consiste à déplacer les plans de références en bruit de la sortie des appareils de

mesure vers le plan des pointes et ceci pour toutes les impédances et pour chaque fréquence (Cf. Figure I-12).

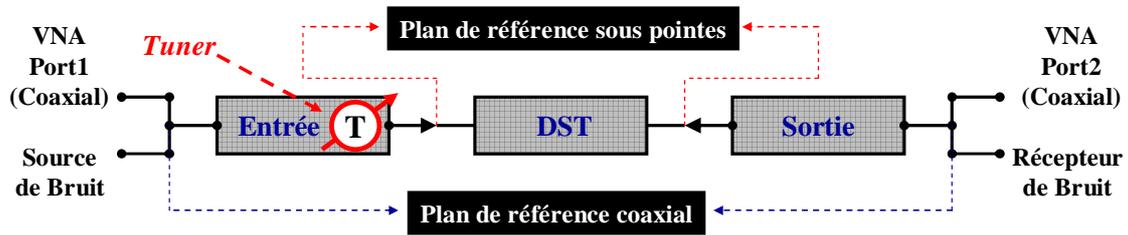


Figure I-12: Visualisation des plans de références pour un calibrage coaxial et sous pointe

Comme le montre la Figure I-13 les plans de référence après la mesure de bruit se situent au bout des pointes des sondes RF. Nous devons ramener ces plans de référence au niveau du transistor intrinsèque en prenant en compte les contributions des accès sur tranche. La Figure I-13 décrit ce formalisme de correction en paramètres petit signal [S].

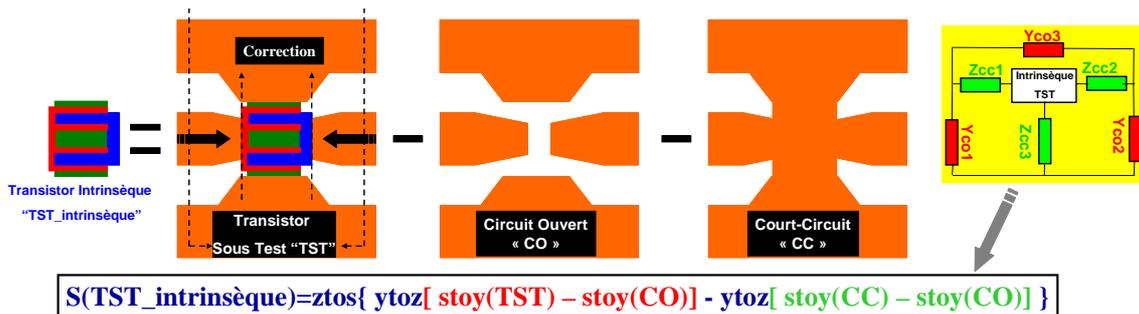


Figure I-13: Illustration du principe de la correction des accès pour l'obtention des paramètres intrinsèques petits signaux

En ce qui concerne le formalisme de correction en bruit, le schéma reste le même mais en revanche on utilise les équations de Nyquist relatives aux structures de test passives et la phase d'épluchage s'effectue en utilisant les matrices de corrélations (Cf. Figure I-14).

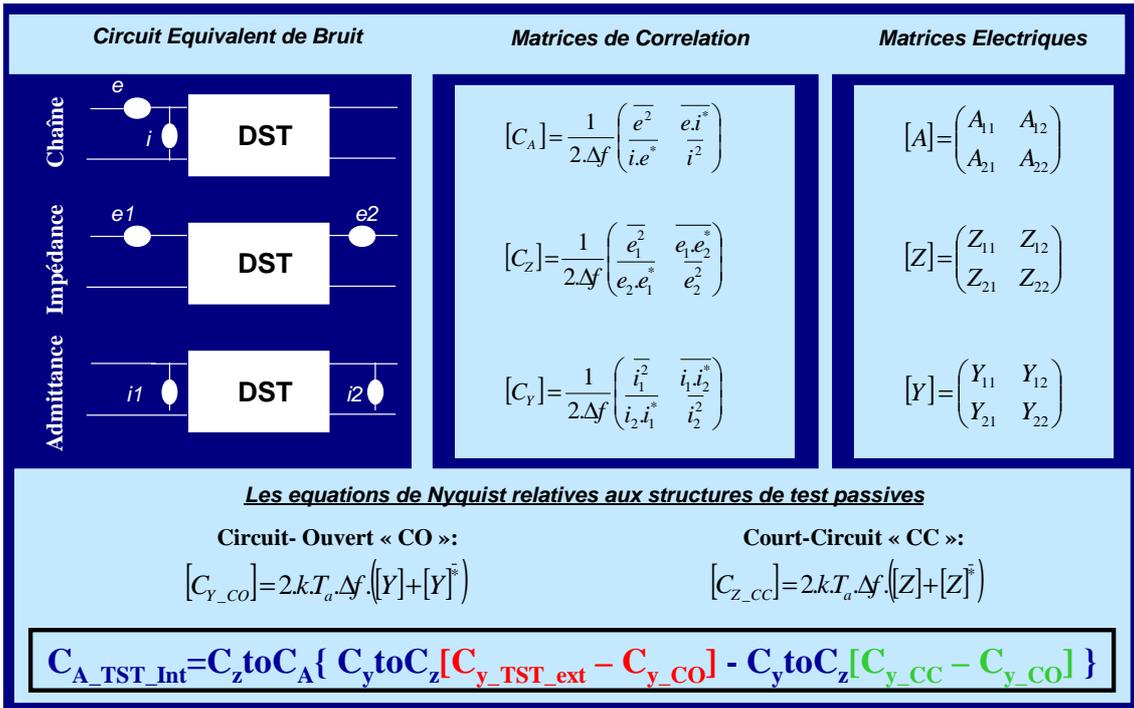


Figure I-14 : Les matrices de corrélations de bruit des quadripôles actifs et passifs

### I.2.3. Les méthodes d'extraction des 4 paramètres de bruit

La caractérisation plus particulièrement des 4 paramètres de bruit en gamme millimétrique des transistors (MOSFET ou HBT) est une nécessité pour la modélisation du bruit et la conception de système type « LNA » dans une chaîne d'émission – réception.

Le but de ce paragraphe n'est pas de refaire toute la théorie du bruit déjà bien expliquée dans certains ouvrages et publications. Ce paragraphe sera le lieu d'un bref rappel sur la théorie du bruit qui nous permettra dans un second temps de décrire de manière succincte les deux méthodes expérimentales mises à notre disposition pour déterminer les paramètres de bruit millimétrique des DST.

La théorie du bruit dans un quadripôle est décrite dès 1956 [I-19], mettant en évidence les différentes représentations possibles (chaîne, impédance et admittance) d'un quadripôle bruyant par l'association d'un quadripôle non bruyant et de ses sources de bruit.

L'équation (Eq I-4) bien connue du bruit d'un quadripôle montre que le facteur de bruit dépend principalement de l'admittance de source [I-20]. On définit dans le cas d'une mesure de bruit sous une impédance particulière de 50Ω et sous différentes hypothèses la méthode de caractérisation de bruit dite  $NF_{50}$ .

### I.2.3.a La méthode $NF_{50}$

La méthode  $NF_{50}$  est une méthode analytique basée sur un modèle physique de bruit [I-21], proposée par G. Dambrine, elle est valable uniquement pour des dispositifs à effet de champ MOSFET dans notre cas.

C'est en poursuivant les travaux de A. Van der Ziel [I-22], [I-23], que les propriétés de bruit des composants unipolaires (MOSFET et HEMT) ont été décrites par certains groupes de recherche ([I-24], [I-25], [I-26]). Le but de cette méthode est d'extraire, au travers de la mesure de facteurs de bruit ou de puissance de bruit, les sources de bruit  $\overline{i_d^2}$  côté drain et  $\overline{i_g^2}$  côté grille et leur coefficient de corrélation  $C$ . Cependant les composants (FET) présentent deux propriétés très importantes à retenir :

- la source de bruit en admittance  $\overline{i_d^2}$  côté drain est indépendante de la fréquence.
- La partie réelle du coefficient de corrélation  $C$  entre les sources de bruit  $\overline{i_d^2}$  et  $\overline{i_g^2}$  est très petite vis-à-vis de sa partie imaginaire. Par conséquent  $C$  est purement imaginaire et de plus varie linéairement en fonction de la fréquence.

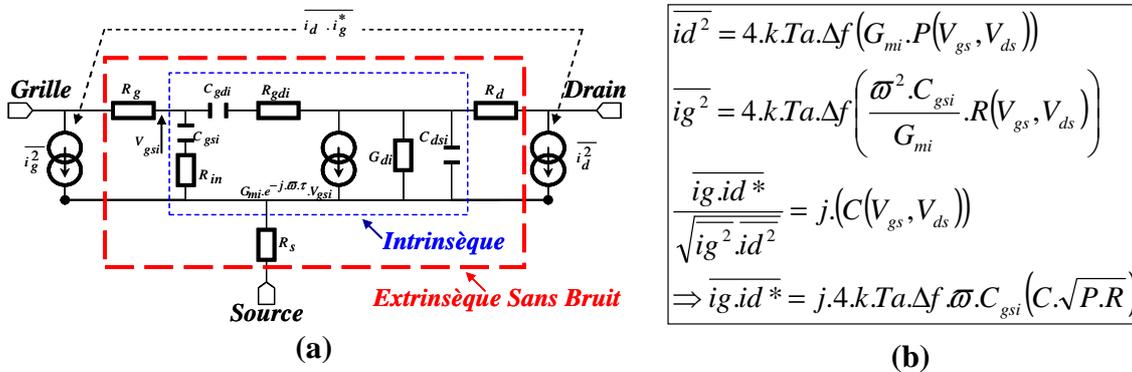


Figure I-15: (a) Modèle de bruit d'un MOSFET en représentation courant-courant; (b) Equation régissant le formalisme du modèle à trois paramètres ( $P, R$  et  $C$ ) [I-22]

La première propriété vient du fait que la puissance spectrale du bruit de diffusion dans la bande millimétrique est blanche [I-23]. La seconde propriété résulte du couplage capacitif entre le canal conducteur et l'électrode de grille [I-22].

Dans la Figure I-15.b,  $k=1.38*10^{-23}$  J/K est la constante de Boltzmann,  $Ta=290$  K est la température ambiante ;  $\Delta f$  est la bande de fréquence sur laquelle le bruit est considéré ;  $G_{mi}$  et

$C_{gsi}$  sont respectivement la transconductance et la capacité grille-source intrinsèque du transistor ; les coefficients  $P$ ,  $R$  et  $C$  sont sans dimensions et dépendent des propriétés physiques du composant et de sa polarisation. [I-24] - [I-27] ; prennent en compte l'influence d'autres éléments du schéma équivalent petit signal.

Pospieszalski [I-29] propose après les travaux pionniers un modèle de bruit HF qui décrit parfaitement les caractéristiques en bruit des transistors FET, ce modèle est basé sur deux sources de bruit non corrélées (Cf. Figure I-16).

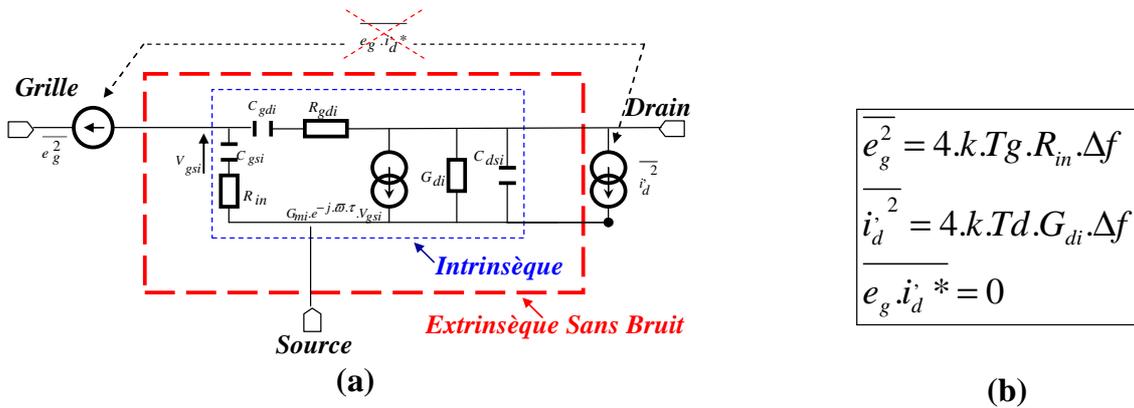


Figure I-16: (a) Modèle de bruit d'un MOSFET en représentation Tension-Courant; (b) Equation régissant le formalisme du modèle à deux température [I-29]

On retrouve d'une part en entrée une source de bruit en tension  $e_g$  (associée à la résistance  $R_{in}$ ) qui est liée à la température équivalente côté grille  $T_g$  et d'autre part en sortie une source de bruit en courant  $i_d$  (associée à la conductance  $G_{di}$ ). Ces sources de bruit  $e_g$  et  $i_d$  sont respectivement liées par le formalisme de Nyquist aux températures équivalente  $T_g$  et  $T_d$ .

Le modèle à deux températures est cependant amélioré ([I-30] - [I-31]) en remplaçant respectivement les deux températures  $T_g$  et  $T_d$  par  $T_{in}$  et  $T_{out}$  et en prenant en compte les éléments extrinsèques du schéma équivalent (Cf. Figure I-17).

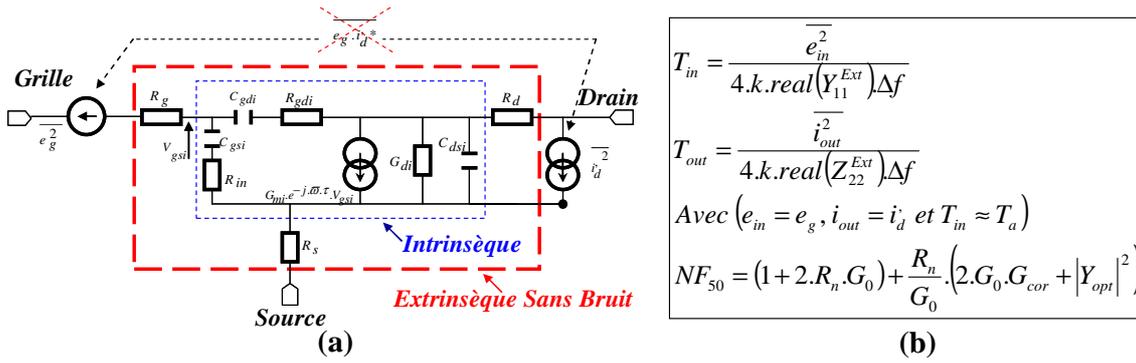


Figure I-17: (a) Schéma équivalent du MOSFET avec ses sources de bruit; (b) Equation régissant le formalisme du modèle à deux température amélioré et de la méthode NF<sub>50</sub> [I-21]

La température  $T_{in}$  est en effet proche de la température ambiante  $T_a$  ([I-32] - [I-33]). Le principe de la méthode NF<sub>50</sub> [I-21] est de faire la mesure directe des paramètres de bruit sous une unique impédance de 50Ω. Expérimentalement, seuls trois paramètres de bruit sont suffisants pour entièrement caractériser ces dispositifs (Cf. Figure I-18).

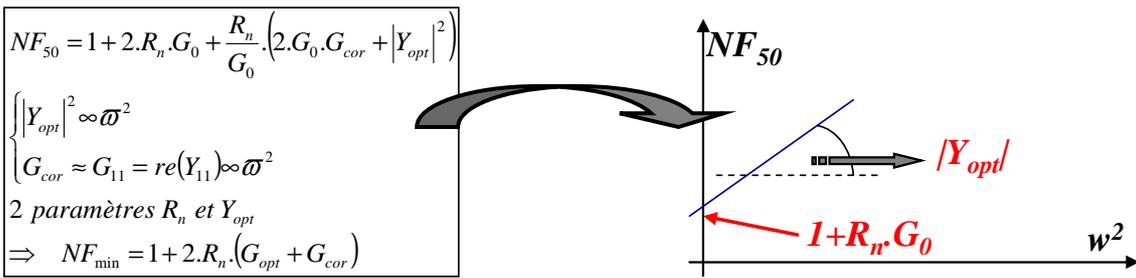


Figure I-18: Formalisme de la méthode NF<sub>50</sub> initié par G. Dambrine [I-21]

La mesure de bruit par le formalisme des impédances multiples est une grande alternative pour la mesure de bruit des dispositifs ne présentant pas les hypothèses décrites ci-dessus, en particulier les HBT.

### I.2.3.b La méthode des impédances multiples

La mesure du facteur de bruit de dispositifs se fait de manière générale par deux techniques, une technique dite standard « facteur Y » [I-34] et une technique source froide (mesure de puissances de bruit) [I-35] - [I-36]. Le principe de ces méthodes est basé sur le banc de mesure présenté en Figure I-19.

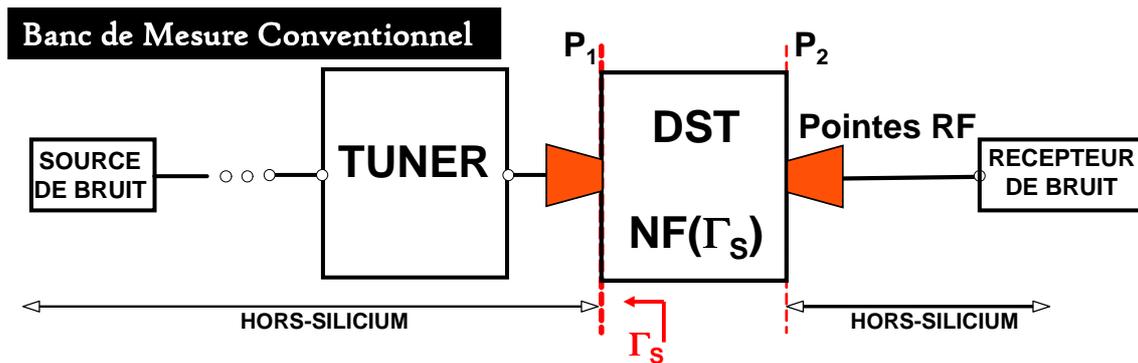


Figure I-19: Synoptique d'un banc de mesure de bruit conventionnel (méthode Y et source froide)

En effet, cela consiste en l'extraction des quatre paramètres de bruit par la mesure des facteurs de bruit [I-34] ou par la mesure de puissance de bruit [I-35] - [I-36] pour différentes admittances de source, en utilisant une méthode numérique.

En ce qui concerne la technique standard « facteur Y », l'utilisation du synthétiseur d'impédances permet de mesurer le facteur de bruit du DST pour des impédances de source ( $Z_S \neq 50\Omega$ ), qui sont nécessaires pour extraire les 4 paramètres de bruit. Le calcul du facteur de bruit se fait par la mesure des puissances de bruit de la source de bruit mise successivement dans son état froid (température  $T_C$ ) et chaud (température  $T_H$ ). La connaissance précise des pertes (ou gains) du synthétiseur d'impédances est requise car elle est prise en compte dans le calcul du facteur de bruit mesuré. De plus, plus les coefficients de réflexions générés sont élevés ( $|\Gamma_S| \sim 1$ ) et plus la puissance transmise est faible.

Pour ce qui est de la méthode source froide, décrite pour la première fois par Adamian et Uhlir [I-35] - [I-36], la source de bruit est utilisée dans ses deux états (froid et chaud) pour déterminer la constante Gain-Bande [I-37] « kBG » du récepteur lors de l'étalonnage du banc de mesure (dans ce cas le DST est remplacé par une THRU). Cependant, la source de bruit est à température ambiante pendant la phase de mesure du DST. Le facteur de bruit du DST est alors calculé en connaissant à la fois les coefficients de réflexion de source ( $|\Gamma_S|$ ) générés, les paramètres S du DST et les puissances de bruit de la source froide dans le plan du récepteur de bruit.

Les deux méthodes d'extraction des paramètres de bruit basées sur l'utilisation d'un synthétiseur d'impédances étant présentées, nous allons dans le détail regarder comment sont déterminés les quatre paramètres de bruit d'un composant actif (MOSFET et HBT).

De tout ce qui précède, il ressort que le facteur de bruit est fonction des admittances de sources. La méthode d'extraction des 4 paramètres de bruit décrite sur la Figure I-20 est celle proposée par Lane en 1969 [I-38].

$$F(Y_{si}) = F_{\min} + \frac{R_n}{G_{si}} |Y_{si} - Y_{opt}|^2 = A + B \left[ G_{si} + \frac{B_{si}^2}{G_{si}} \right] + \frac{C}{G_{si}} + D \left[ \frac{B_{si}}{G_{si}} \right] \quad \text{avec } Y_{si} = G_{si} + j.B_{si}$$

On identifie :  $F_{\min} = A + \sqrt{4.B.C - D^2}$ ,  $G_{opt} = \frac{\sqrt{4.B.C - D^2}}{2.B}$ ,  $B_{opt} = \frac{-D}{2.B}$ ,  $R_n = B$

On pose :

$$R = \left( A + B \left[ G_{si} + \frac{B_{si}^2}{G_{si}} \right] + \frac{C}{G_{si}} + D \left[ \frac{B_{si}}{G_{si}} \right] - F(Y_{si}) \right) \text{ et } P = \left( \frac{1}{F(Y_{si})} \right)^2 \text{ avec " } P \text{ : facteur de pondération "}$$

puis on réduit l'erreur "ε" :  $\varepsilon = \frac{1}{2} \sum_{i=1}^n (P.R^2)$

par la construction d'un système de 4 équations à 4 inconnues .

$$\Rightarrow \left\{ \begin{array}{l} \delta \varepsilon_A = \sum_{i=1}^n (P.R) = 0 \\ \delta \varepsilon_B = \sum_{i=1}^n \left( P \cdot \left[ G_{si} + \frac{B_{si}^2}{G_{si}} \right] \cdot R \right) = 0 \\ \delta \varepsilon_C = \sum_{i=1}^n \left( P \cdot \left[ \frac{1}{G_{si}} \right] \cdot R \right) = 0 \\ \delta \varepsilon_D = \sum_{i=1}^n \left( P \cdot \left[ \frac{B_{si}}{G_{si}} \right] \cdot R \right) = 0 \end{array} \right. \xrightarrow{\text{On extrait}} \begin{pmatrix} A \\ B \\ C \\ D \end{pmatrix}$$

Figure I-20: Détermination des 4 paramètres de bruit par la méthode des impédances multiples

La linéarisation de l'équation bien connue du facteur de bruit par rapport à quatre nouvelles inconnues (A, B, C et D), nous donne une équation à 4 inconnues. Mathématiquement, il nous faut un minimum de quatre mesures non singulières ( $\neq 0$ ) de facteur de bruit pour quatre admittances ( $Y_s$ ) de sources différentes pour déterminer les quatre nouveaux paramètres (A, B, C et D) [I-39] et déduire les quatre paramètres de bruit du DST. Afin de réduire les erreurs expérimentales sur la mesure du facteur de bruit et des admittances de sources ( $Y_s$ ), il est plus prudent de faire des mesures additionnelles et un calcul de minimisation d'erreur « ε » (les moindres carrés).

[I-40] présente la comparaison de différents algorithmes permettant d'extraire les 4 paramètres de bruit, ce papier montre que certains algorithmes sont plus précis que R. Q. Lane [I-38]. En effet, l'algorithme utilisé dans cette thèse et présentée ci-dessus (Cf. Figure I-20) est la version améliorée de R. Q. Lane [I-38] proposé par A. Boudiaf [I-41]. Il faut toutefois s'affranchir de certaines solutions non physiques, telles-que : ( $F_{\min} < 1$ ,  $R_n < 0$  et  $G_{opt} < 0$ ).

Cependant, quelques comparaisons en termes d'inconvénients et d'avantages de ces deux techniques ( $NF_{50}$  et impédances multiples) de mesure de bruit sont à relever :

- La méthode dite  $NF_{50}$  est plus simple à mettre en œuvre, elle présente une bonne précision sur l'extraction des paramètres de bruit, mais en revanche elle est basée sur un modèle physique de bruit et est uniquement valable pour des transistors unipolaires (MOSFET, HEMT, MESFET ...).
- La méthode des impédances multiples est, contrairement à la méthode  $NF_{50}$ , plus lourde à mettre en place. Elle nécessite de nombreux étalonnages (montages et démontages) et les résultats sont fortement liés (dépendants) aux impédances de sources présentées au transistor à caractériser. Le point fort de cette méthode de caractérisation réside dans le fait qu'il est possible de caractériser tout type de dispositifs dans ce cas considérés comme une boîte noire.

#### I.2.4. L'avant thèse :

Nous avons vu dans les paragraphes I.2.2 et I.2.3 les difficultés de la caractérisation millimétrique et particulièrement les méthodes qui s'offrent à nous pour caractériser les transistors. Il ressort que le transistor MOSFET bénéficie des deux méthodes de caractérisation, en revanche le transistor HBT bénéficie uniquement de la méthode des impédances multiples qui est actuellement limitée en fréquence. La question qui subsiste est le choix de l'élément de synthèse d'impédance (tuner intégré ou mécanique) pour la méthode des impédances multiples.

##### I.2.4.a Limitation des appareils de mesure au-delà de 50GHz.

Les appareils de mesures qui ont été mis à disposition pour la thèse sont listés sur les figures suivantes (Figure I-21, Figure I-22, Figure I-23).

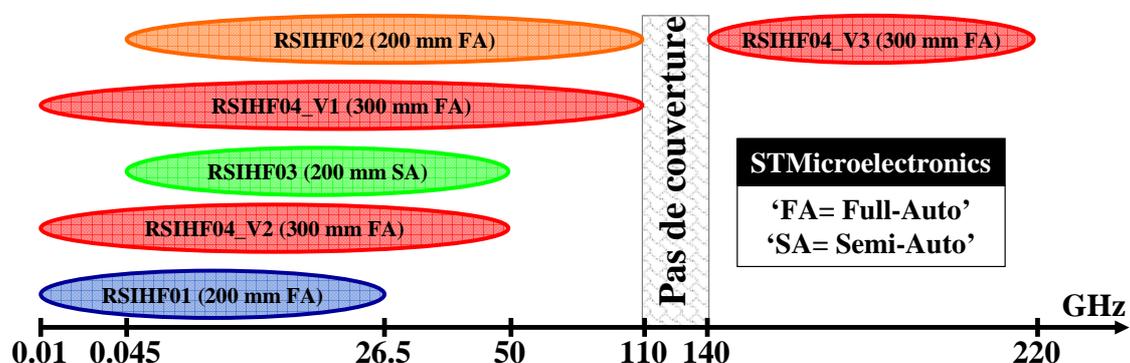


Figure I-21: Statut des bancs de mesure chez STMicroelectronics en paramètres [S].

La Figure I-21 montre l'état de l'art des bancs de mesure en paramètres [S] qui sont disponibles dans l'équipe « caractérisation HF » dans laquelle la thèse s'est effectuée. Les bancs de mesure sont au nombre de 4 et portent un nom générique « RSIHFxx » suivant la nomenclature du laboratoire à STMicroelectronics Crolles. Nous pouvons couvrir une large gamme de fréquence de 0.01-110 GHz et de 140-220 GHz.

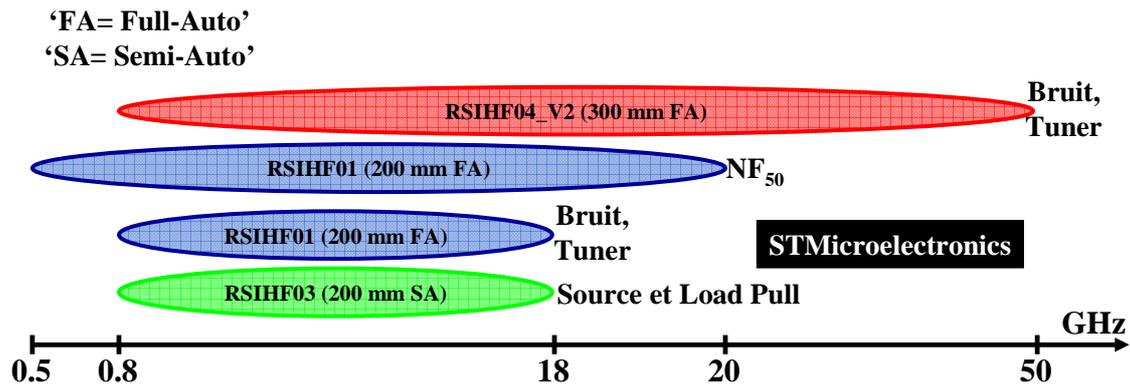


Figure I-22: Statut des bancs de mesure chez STMicroelectronics en bruit (Tuner + NF<sub>50</sub>) et en puissance (LP).

Certains de nos bancs de mesures sont équipés pour la caractérisation des paramètres de bruit. Comme le montre la Figure I-22, le banc de mesure « RSIHF01 » est un banc industriel pour les plaquettes de silicium de 200 mm de diamètre. Il dispose d'un tuner (0.8 – 18 GHz) mécanique et permet aussi d'effectuer des mesures de bruit avec la méthode NF<sub>50</sub>. Le banc de mesure « RSIHF04\_V2 » disponible pour des plaquettes de 300mm de diamètre couvre la bande 0.8 – 50 GHz et est équipé d'un tuner mécanique dans cette même bande de fréquence. Le banc de mesure « RSIHF03 » est disponible pour la mesure de puissance jusqu'à 18 GHz utilisant un tuner en entrée et en sortie.

La Figure I-23 fait l'état de l'art des bancs de mesure en bruit disponibles à l'IEMN. On peut voir une couverture fréquentielle allant de 0.8 – 40 GHz et de 75 à 110 GHz. La méthode de caractérisation utilisée est la NF<sub>50</sub>, c'est seulement à la fin de l'année 2009 que l'IEMN s'est équipé d'un tuner en bande W. Nous devons noter que pour les mesures de paramètres [S], l'IEMN dispose de bancs sous pointes manuels jusque 325 GHz.

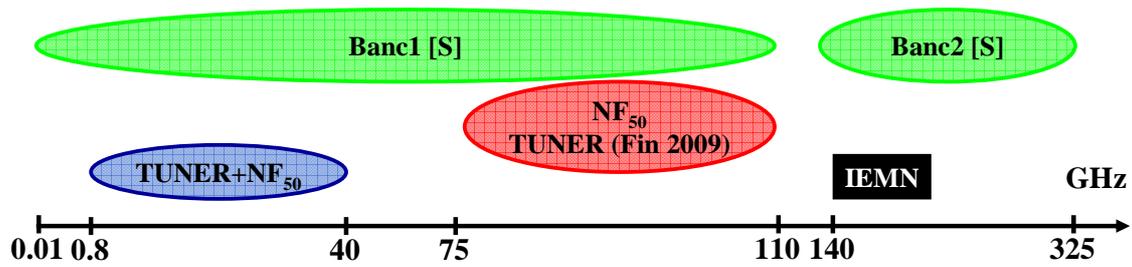


Figure I-23: Statut des bancs de mesure à l'IEMN en bruit (Tuner + NF50).

Comme présenté ci-dessus, le début de ma thèse fut marqué par une forte présence de moyen de caractérisation en paramètres S. Au-delà de 50 GHz, seuls les transistors MOSFETs pouvaient être caractérisés en bruit par la méthode NF<sub>50</sub>. De plus comme nous l'avons vu au paragraphe I.2.1, les applications au-delà de 50 GHz sont aujourd'hui nombreuses pour les composants silicium et il est donc nécessaire d'optimiser et de modéliser en bruit les transistors. De plus, sur le marché, des tuners millimétriques performants n'étaient pas disponibles en 2006 avec des caractéristiques compatibles avec des mesures sous pointes en laboratoire industriel c'est-à-dire des tuners automatisés large bande (60-110GHz) permettant de présenter des  $|\Gamma| > 0.7$  dans les plans du transistor.

L'approche a donc été de concevoir des systèmes d'impédances variables intégrés sur silicium pour caractériser ces transistors en appliquant la méthode des impédances multiples décrites au paragraphe I.2.3.b .

#### I.2.4.b Etat de l'art des tuners d'impédances avant 2007

On trouve dans la littérature de nombreux ouvrages qui traitent des adaptateurs d'impédances (tuners) qu'ils soient mécaniques (programmables) ou intégrés. Ces tuners sont réalisés suivant différentes topologies et technologies. On trouvera des tuners large bande avec une faible couverture d'impédances, des tuners bande étroite avec une couverture d'impédances restreinte et des tuners large bande avec une large couverture d'impédances. En effet la couverture nécessaire de l'abaque de Smith est fonction de l'application visée et de la topologie du transistor.

Les tuners mécaniques sont les plus utilisés dans des systèmes de mesure soit de puissance, soit pour la mesure de paramètre de bruit sous pointes [I-42]. La fonctionnalité de ces tuners (Cf. Figure I-24) [I-43] consiste par exemple à ajuster un court-circuit mobile et un atténuateur, offrant ainsi un fort coefficient de réflexion.



Figure I-24: (a) Tuner d'impédance mécanique manuel utilisé en bande W (75-110 GHz) [I-43], (b) Tuner d'impédance mécanique programmable [I-44].

Cependant, le coefficient de réflexion maximum qui peut être obtenu à la sortie des pointes RF est limité par les pertes du réseau passif situé entre le DST et le tuner. Pour illustrer nos propos, la Figure I-25 montre comment le coefficient de réflexion obtenu en sortie du tuner est réduit. Il faut noter que ces résultats sont issus de la mesure du tuner MAURY® en bande W (75-110 GHz) faite à l'IEMN.

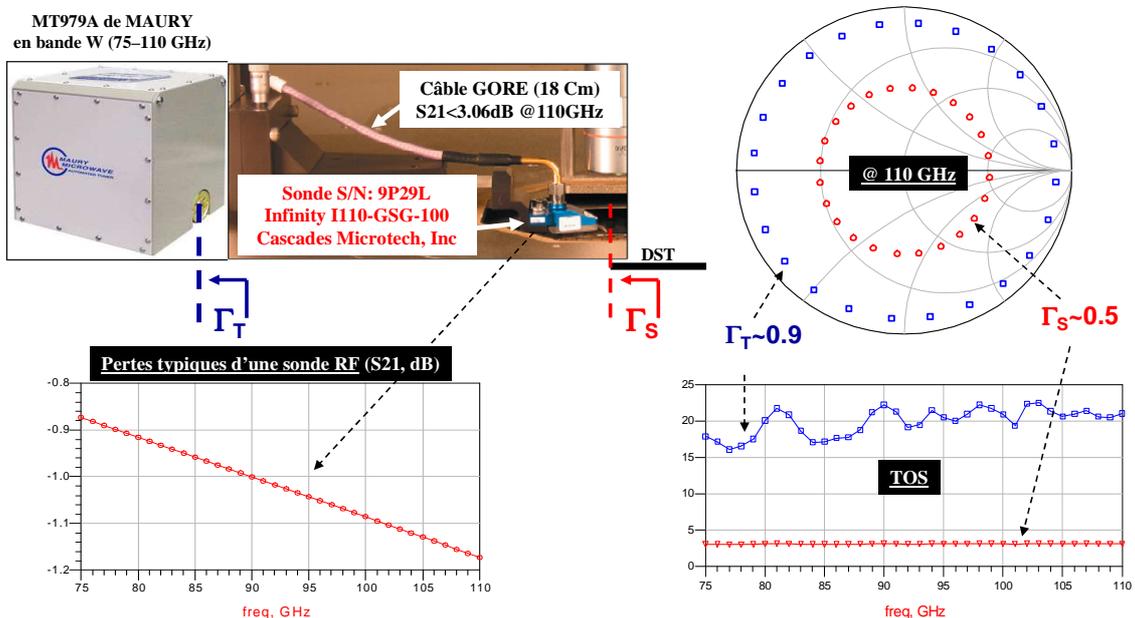


Figure I-25 : Influence des pertes de sondes RF et des câbles sur le coefficient de réflexion du tuner

Malgré la réduction des éléments de connexion entre le tuner et les pointes RF, on ne peut pas accroître de manière significative le coefficient de réflexion maximum à cause de la sonde RF qui reste entre le tuner et le DST. Cette tendance sera d'autant marquée avec l'augmentation de la fréquence. De plus, au-delà de 110 GHz le silicium conserve un fort

potentiel et à ces fréquences les tuners n'existent pas sur le marché pour de la mesure industrielle. C'est sur ces motivations et ces principes de base que plusieurs groupes de recherche se sont penchés sur le sujet (Cf. Figure I-26) [I-45].



Figure I-26: (a) Sonde RF avec une pré-adaptation intégrée pour la mesure sous pointe en bande W, (b) représentation du schéma équivalent interne de la sonde RF [I-45]

Dès 1998 pour réduire les pertes d'insertion entre les tuners et les pointes des sondes RF, des solutions ont été envisagées (Cf. Figure I-27) [I-46]. Cascade Microtech et ATN Microwave ont imaginé un synthétiseur d'impédance intégré dans les sondes RF pour des applications de puissance fonctionnant jusqu'à 40 GHz pour la structure en membrane et jusqu'à 110 GHz pour la structure air-coplanaire (ACP) de leurs sondes RF.

Ces tuners intégrés dans les sondes RF servent à pré-adapter le tuner externe dans un système de mesure de puissance par exemple. La Figure I-27 présente une bonne couverture de l'abaque de Smith à 1.9GHz.

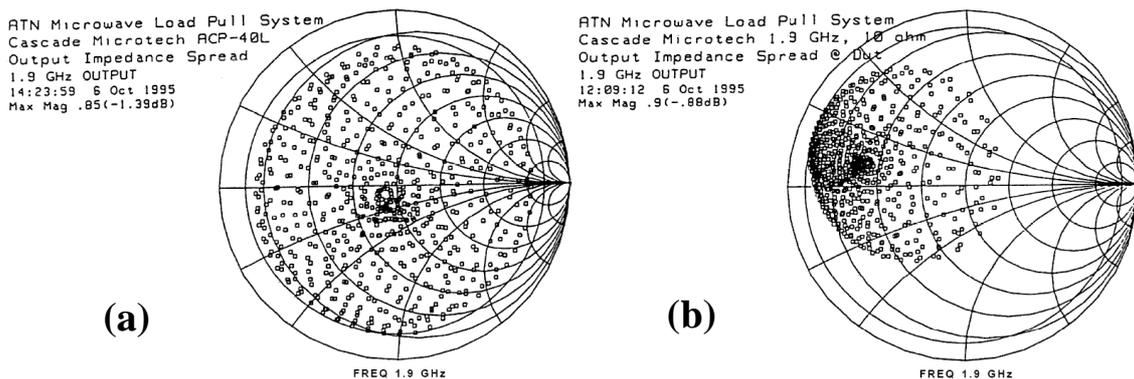


Figure I-27: (a) Impédance à la sortie d'une sonde ACP, (b) sonde pré-adaptée de 50-10 Ω. [I-46]

Il faut savoir que les spécifications d'un tuner sont fortement liées à son application. Dans le cas d'une application de mesure de bruit en source froide, les pertes de transmission ne sont pas un facteur critique en soit mais il est plus intéressant d'avoir une bonne couverture d'impédances si possible sur une grande plage de fréquence.

Les tuners planaires sont tous basés sur le même principe qui consiste à charger une ligne de transmission ou stub par des capacités fixes ou variables. On peut par contre les classer en deux grandes familles [I-47], la première famille est celle qui regroupe toutes variations digitales (variation discrète) et la seconde est celle dont la variation est analogique (variation continue).

Il existe différentes topologies de stub (les standards simple stub, les double stubs et les triple stubs ; Cf. Figure I-28). La configuration en stub des tuners se retrouve également dans les filières coaxiales [I-48], [I-49], [I-50] et [I-51].

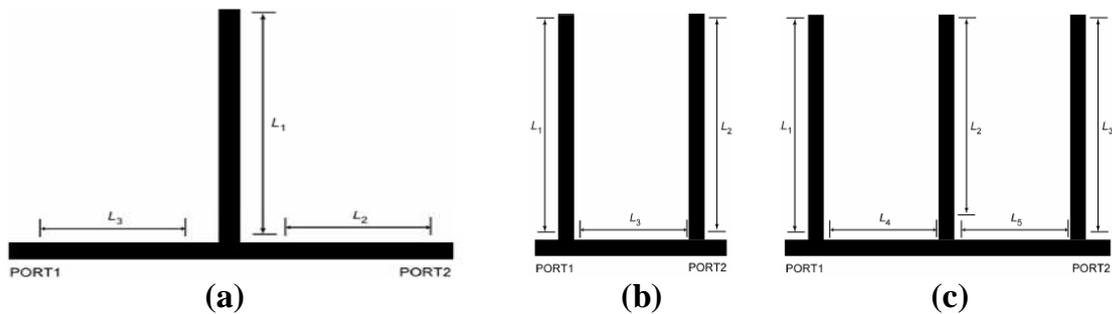


Figure I-28: Base des tuners à topologie stub. (a) simple stub, (b) double stubs et (c) triples stubs

La variation digitale nécessite l'utilisation de commutateurs entre plusieurs jeux de capacités fixes ou de tronçons de lignes. La variation analogique est une variation continue en utilisant par exemple des varactors. La Figure I-29 présente des possibilités de variation digitale sur des structures simple stub.

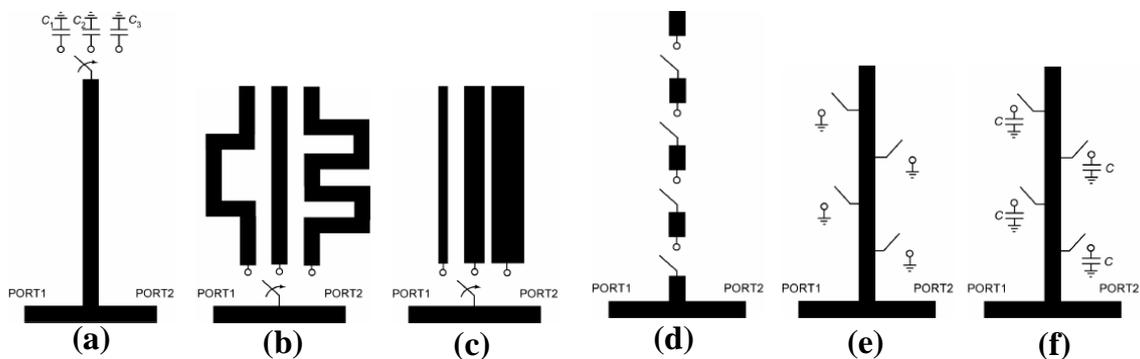


Figure I-29: Des exemples de réalisation de tuner avec une variation digitale.

Cette variation digitale peut s'appliquer aussi bien sur une structure double que triple stubs. En (a) un simple stub avec un jeu de capacités fixes, en (b) une commutation sur des stubs de longueurs différentes, en (c) une commutation sur des lignes d'impédances caractéristiques différentes, en (d) un changement de la longueur du stub par l'intégration de commutateurs sur le stub, en (e) des commutateurs en parallèles sur le stub pour synthétiser différentes lignes de stubs et en (f) des capacités variables sur le stub.

Le contrôle digital sur des structures planaires est le plus répandu dans la littérature. Dès 1994, W. Bishof développe l'un des tout premiers tuners d'impédances en technologie MMIC. Ce tuner qui a pour objectif d'adapter un transistor a son principe de fonctionnement basé sur la ligne de transmission chargée périodiquement par quatre capacités MIM parallèles et commutables par des transistors HEMT (Cf. Figure I-30) [I-52]. Ce tuner n'offre que 16 ( $2^4$ ) états différents et est réalisé en technologie MMIC fonctionnant entre 0.5-27 GHz avec un Taux d'Ondes Stationnaire (TOS) d'environ 6:1 ( $\sim|\Gamma|$  de 0.71) autour de 27 GHz traduisant une faible couverture de l'abaque de Smith.

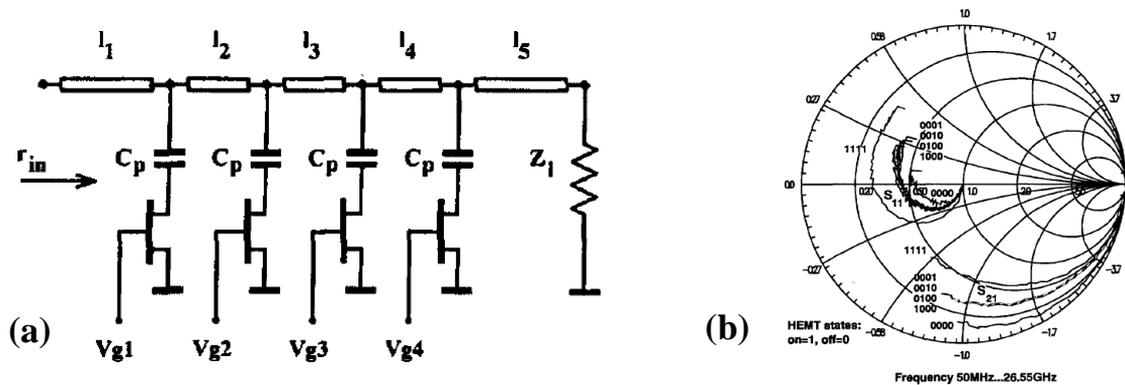


Figure I-30: Adaptateur présenté par Bishof (a) puis la mesure en réflexion et en transmission (b) entre 0.5 GHz et 26.55 GHz

Collins [I-53] reprend deux ans après Bishof, en 1996 le même procédé de ligne chargée, en insérant des interrupteurs sur la ligne de transmission et en série avec la masse (Cf. Figure I-31). En positionnant les interrupteurs MMIC (sw1, sw2, sw3 et sw4) à l'état « ON » et les interrupteurs (sw5, sw6, sw7 et sw8) à l'état « OFF » on crée par défaut une ligne de transmission entre les deux ports.

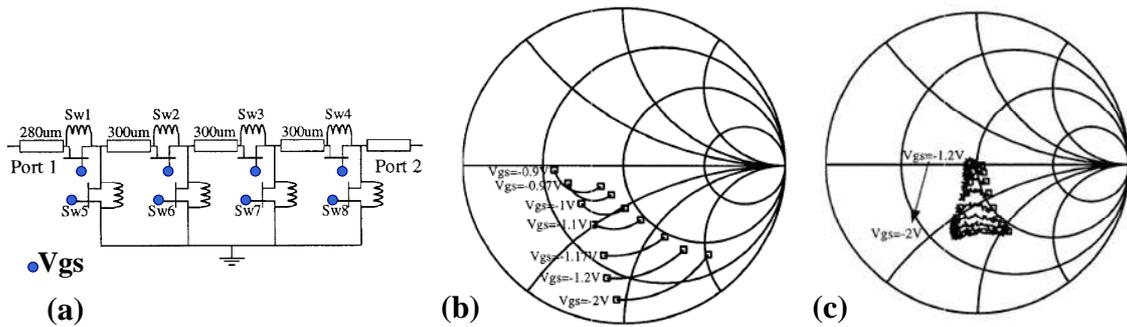


Figure I-31: Tuner de Collins en technologie MMIC pour des applications de bruit entre 16 GHz et 20 GHz. En (a) le schéma équivalent, en (b) la simulation et en (c) la mesure

Toujours en technologie MMIC [I-54], McIntosh présente en 1999 ses études sur les tuners pour la mesure de bruit de 10 à 26 GHz, en revanche ces tuners couvrent une faible gamme d'impédances autour de 18 GHz.

Des études complémentaires proposant des structures basées sur des cellules résonnantes et inverseuses ont été montrées en 2001 ([I-47], [I-55]) et en 2004 ([I-56]) mais ne seront pas détaillées ici.

En ce qui concerne la variation analogique, la Figure I-29 reste valable, mais les capacités fixes sont remplacées par des varactors et le contrôle de la tension d'alimentation est dans ce cas continu. La Figure I-32 présente des possibilités de variations analogiques sur des structures simple stub.

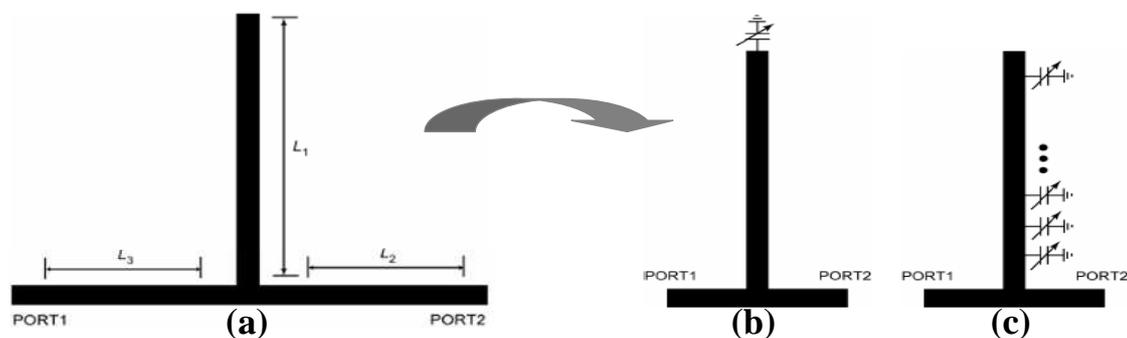


Figure I-32: Tuner à variation analogique. En (a) une structure simple stub sans commutateur, en (b) le varactor est connecté en sortie du stub, en (c) des varactors mis en parallèle sur le stub

On passe de la structure initiale en (a) vers la structure en (b) en utilisant un varactor en bout de stub, la structure en (c) utilise plusieurs varactors sur le stub.

La technologie MEMS est la plus utilisée dans les systèmes reconfigurables à variation digitale, que ce soit pour des applications d'adaptation d'antenne ou de transistor (Cf. Figure

I-35). T. Vaha-Heikkila a le plus travaillé avec la technologie MEMS, il s'est principalement intéressé aux structures à stubs recouvrant de nombreuses bandes de fréquence, ainsi on peut voir des couvertures allant de 6 à 110 GHz (6-24 GHz [I-57] - [I-58], 20-50 GHz [I-59], en bande V [I-60] et W [I-61]). La Figure I-33 illustre un exemple de réalisation en bande W.

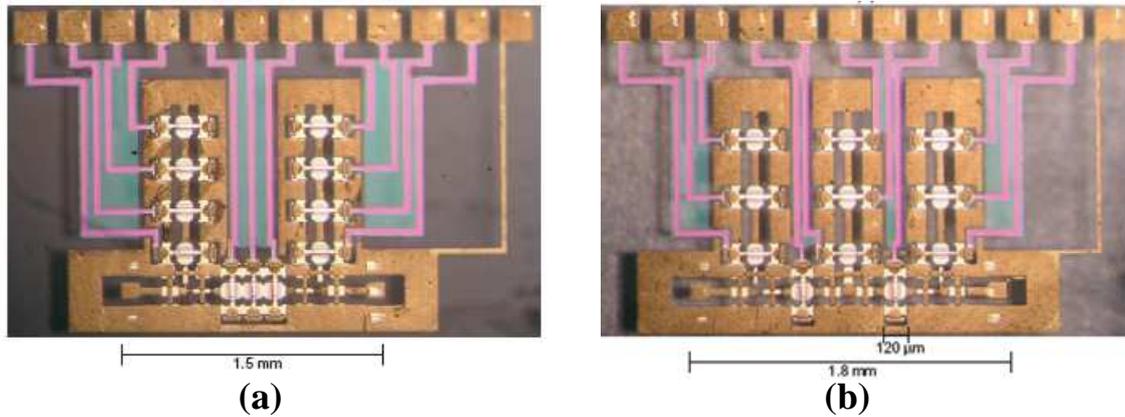
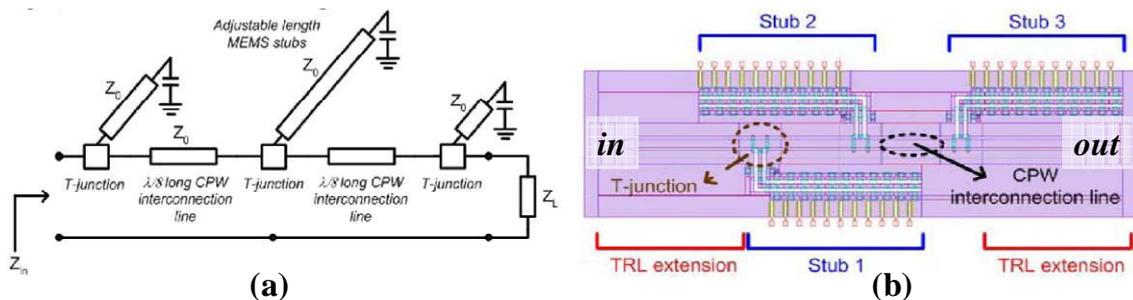


Figure I-33: Tuner d'impédances double et triple stub en bande W [I-61]

M. UnLu [I-62] en 2006 propose une structure à stubs centrée à 10GHz et basée sur des Lignes de Transmission à MEMS Distribués (LTMD). Chaque stub est constitué de 12 commutateurs et sont espacés d'une longueur de  $\lambda/8$  pour une répartition uniforme sur l'abaque de Smith. La Figure I-34 illustre cette structure.



Commutateurs « Etat ON »		Simulation			Mesure		
		Z	$\Gamma$	TOS	Z	$\Gamma$	TOS
5 GHz	Tous	69 + j17	0.21	1.5	43 + j16	0.185	1.45
	395	6 + j60	0.90	20.4	28 + j86	0.765	7.49
	777	18 + j48	0.69	5.51	43 + j91	0.701	5.69
10 GHz	Tous	56 + j5	0.07	1.15	63 + j12	0.156	1.36
	395	35 - j5	0.18	1.45	52 + j1	0.022	1.04
	777	111 - j33	0.42	2.46	161 - j12	0.528	3.24

Figure I-34: (a) Synoptique du tuner d'impédances à trois stubs (b) réalisation du stub et tableau récapitulatif de la comparaison entre la mesure et la simulation du tuner [I-62]

Sur le tableau de la Figure I-34 nous représentons les coefficients de réflexion du tuner à 5 et 10 GHz pour une configuration où tous les commutateurs des 3 stubs sont actifs dans un premier temps, dans un second temps respectivement le 3<sup>ème</sup>, le 9<sup>ème</sup> et le 5<sup>ème</sup> commutateur du stub 1, 2 et 3 sont actifs puis la dernière configuration présente le cas où le 7<sup>ème</sup> commutateur de chaque stub est actif.

Q. Shen et S. Baker s'appuient sur une structure distribuée sur une section de 90° [I-63], [I-64] et [I-65]. Ce tuner fonctionne entre 10 et 30 GHz et présente une bonne couverture d'impédances (avec un TOS d'environ 12 :1 ( $\sim|\Gamma|$  de 0.84) à 27.76 GHz).

L'état de l'art des tuners (mécaniques et intégrés) avant le début de ma thèse est résumé sur la Figure I-35. Nous pouvons voir dans le cas des tuners mécaniques une forte contribution de FOCUS® et de MAURY® sur une large plage de fréquence (0-110 GHz).

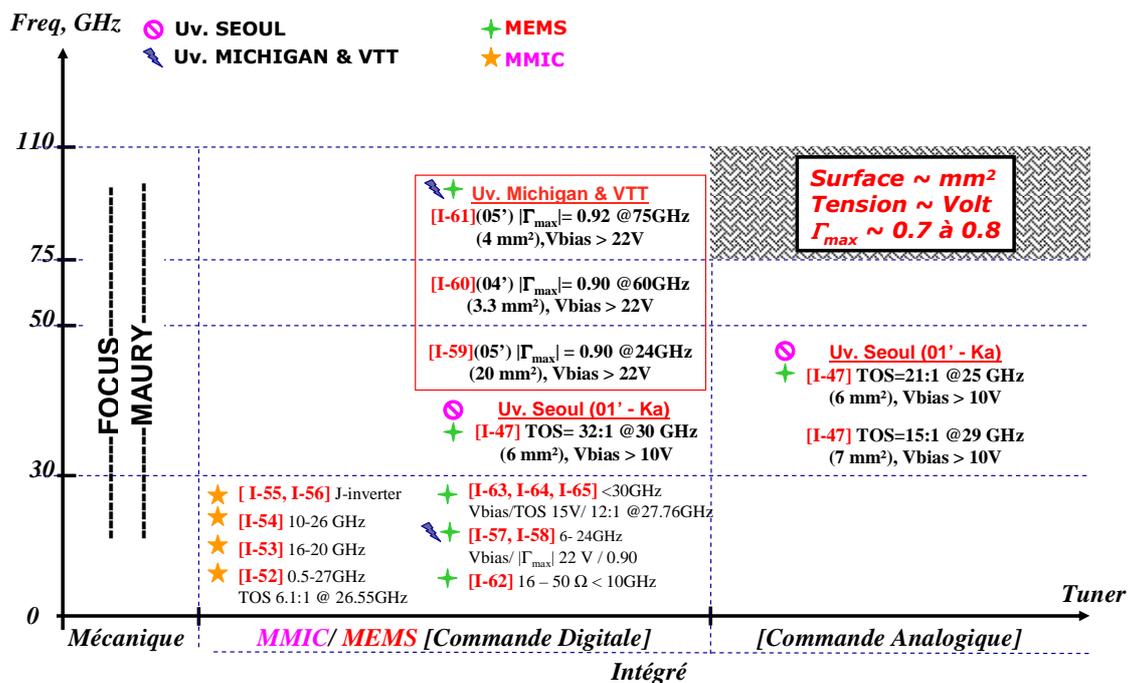


Figure I-35: Etat de l'art des tuners d'impédances mécaniques et intégrés en 2006

Dans le cas des tuners intégrés, nous distinguons ceux avec une commande en tension digitale et une commande analogique. La technologie à base de MEMS est la plus représentée avec des performances intéressantes. Cependant, elle présente aussi de nombreux inconvénients ; il faut tout d'abord développer des technologies dédiées pour réaliser des tuners à base de MEMS ce qui entraîne un coût élevé de production, nous observons aussi une occupation importante en surface (encombrement~7mm²) et il faut de plus pour réaliser

cette commande électrique utiliser de fortes tensions d'alimentation (~20V) trop importante pour des dispositifs sur silicium (bruit substrat).

#### *1.2.4.c Problématique du sujet*

La compétitivité des transistors sur silicium (bipolaires HBT SiGe et MOSFET sub 65 nm) vis-à-vis des transistors GaAs et InP n'est aujourd'hui plus à démontrer. Ils se retrouvent en effet présents dans les applications publiques à fort volume de consommation à cause de leurs performances dynamiques.

L'Objectif principal est de pouvoir connaître en gamme millimétrique (60-110 GHz) et au-delà, les performances technologiques en bruit des composants HBT avancés, MOSFET sub 65 nm et ceux qui vont être développés dans les années à venir, s'inscrivant ainsi dans un contexte global pour les applications radar anticollisions mais aussi de type WPAN, WLAN et d'imagerie.

Problème : Une des difficultés de la caractérisation en bruit est le faible facteur de bruit (~ 3 dB @ 80 GHz) et le gain faible de ces dispositifs aux fréquences millimétriques. La présence de pertes entre le tuner et les sondes RF a pour conséquence directe la réduction du TOS ( $|\Gamma_s| \leq 0.72$ ) rendant ainsi particulièrement difficile d'atteindre les coefficients de réflexion optimums des dispositifs MOSFETs. Un autre point critique de la caractérisation en bruit est le calibrage et les étapes de correction (appelées « de-embedding ») de ces structures sous test.

Motivation et Solution : Pour remédier à la problématique du sujet, l'action menée est de réaliser des systèmes de mesure directement connectés aux transistors sur tranche de silicium (In-Situ) à partir de « tuner » intégrés conçus dans les technologies testées. Cette alternative nous affranchit de l'utilisation de tuners mécaniques (externes à la structure de test), des pertes d'insertion des câbles RF, des guides d'ondes et des sondes RF, permettant ainsi d'adresser de forts coefficients de réflexion (zones des impédances optimales de source des transistors) tout en évitant les zones d'instabilités des transistors. Ce tuner doit utiliser une architecture assez simple.

#### *1.2.4.d Positionnement du sujet de thèse dans un contexte international*

De nombreuses entreprises mènent des recherches sur la mesure de bruit automatique. La question qui se pose est : « comment rendre la mesure la plus précise possible en

diminuant au mieux toutes sources d'erreurs additionnelles apportées par les appareils de mesure ? ».

Dans [I-66] il est montré que de nos jours les mesures de facteurs de bruit sont devenues incontournables dans le milieu industriel et les grands équipementiers tels qu'Agilent et Maury travaillent ensemble pour une compacité de l'instrumentation (Cf. Figure I-36).

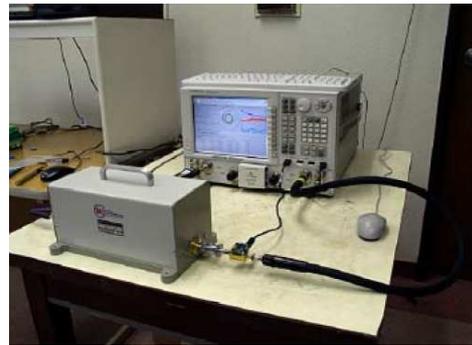
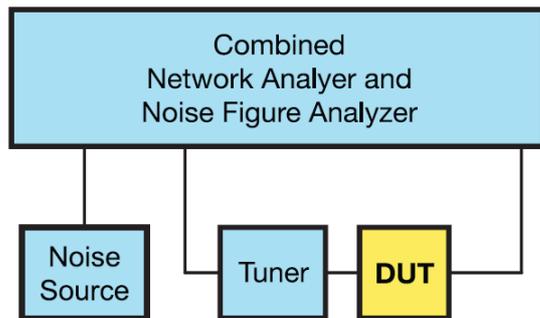


Figure I-36: Synoptique et photo du banc de mesure de bruit utilisant une nouvelle méthode fondée sur le PNAX d'Agilent [I-66]

L'université de Toronto a publié en 2009 lors de l'IMS à Boston, un variateur d'impédance intégré (tuner) en bande W (75-110GHz) pour l'extraction des quatre paramètres de bruit d'un transistor MOSFET (Cf. [I-67]).

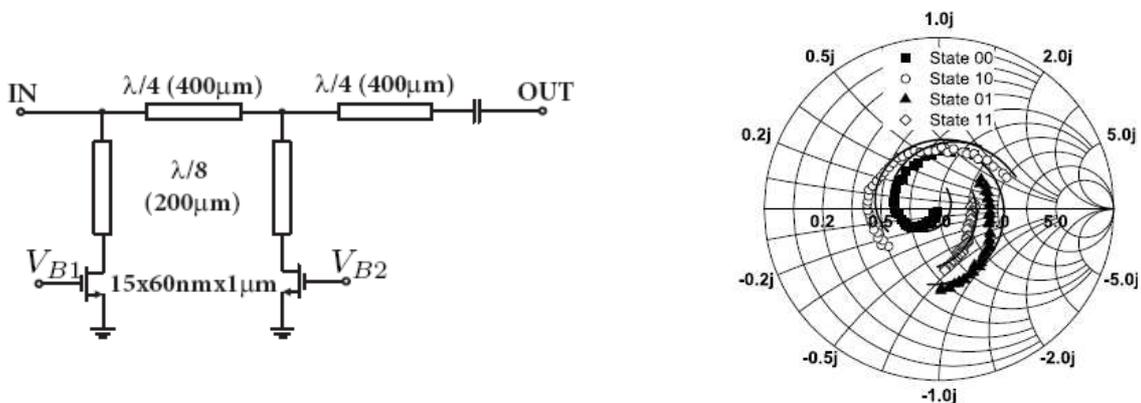


Figure I-37: De gauche à droite : tuner d'impédances intégré et les impédances synthétisées dans la plage de fréquence 57 - 94 GHz

Ce tuner peut générer quatre impédances à l'entrée du DST en commutant les transistors MOSFET ( $V_{B1}$  et  $V_{B2}$ ) dans un état (0 : bloqué ou 1 : passant).

Lors de ces 3 dernières années, 3 thèses de doctorat ont orienté leurs axes de recherche sur les structures accordables. A.-L. Prerier [I-68] en 2006 à l'université de Savoie et au sein du laboratoire d'Hyperfréquences et de Caractérisation (LAHC), utilise le même principe de

ligne chargée par des commutateurs. Elle remplace ces commutateurs par des varactors contrôlés en tension de manière digitale, son adaptateur d'impédance fonctionne autour de 2 GHz.

En 2008, Bordas [I-69] de l'université de Toulouse III – Paul Sabatier mène ses travaux de thèse sur la conception d'un tuner d'impédances en technologie MEMS fonctionnant en bande K [15-26 GHz]. Le principe de sa conception est basé sur l'utilisation d'une structure simple stub inter-digitée par des MEMS (Cf. Figure I-38).

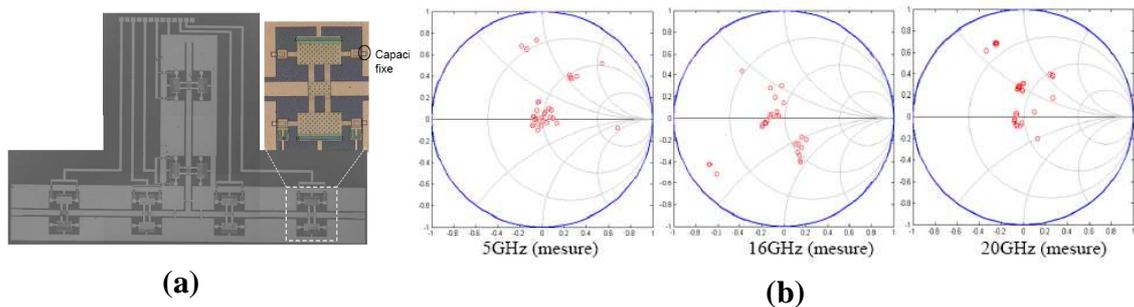


Figure I-38: (a) Tuner d'impédances de C. Bordas, (b) Mesure du tuner à 5, 16 et 20 GHz [I-69]

Bordas obtient respectivement les coefficients de réflexions maximum de 0.75, 0.81 et 0.73 aux fréquences de 5, 16 et 20 GHz.

Toujours en 2008, Hoarau [I-70] de l'université Joseph Fourier travaille sur l'élaboration d'un tuner d'impédances en technologie hybride fonctionnant autour de 1 GHz. La Figure I-39 illustre sa conception et les résultats issus de la mesure autour de 1 GHz.

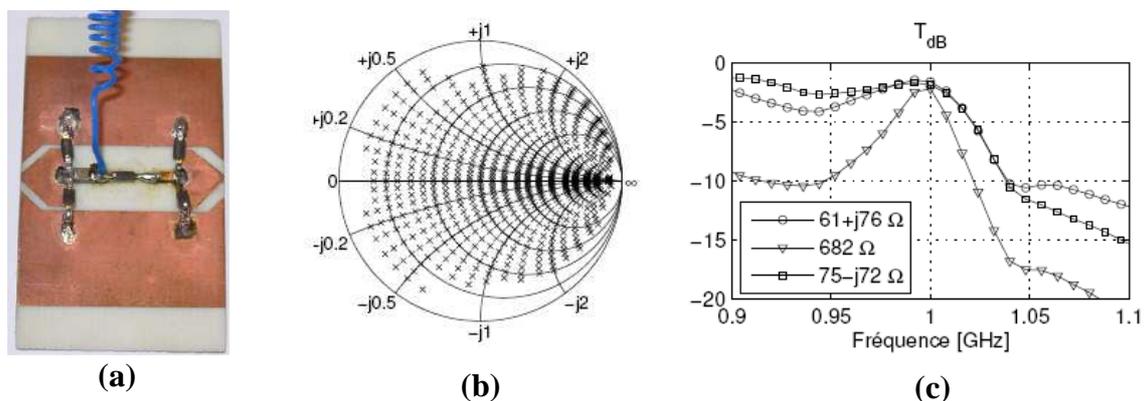


Figure I-39: (a) Réalisation du tuner en technologie hybride, (b) coefficient de réflexion sur l'abaque de Smith à 1 GHz et (c) les coefficients de transmission autour de 1 GHz.

Ces axes de recherche de MAURY®, de l'université de Savoie, de l'université de Toulouse III (Paul Sabatier) et de l'IMEP (Grenoble) montrent qu'il y a un intérêt majeur à

effectuer des recherches dans ce domaine. L'intérêt étant dans un premier de temps d'obtenir une capacité de test adaptée aux spécificités des composants sur silicium dans un contexte industriel tout en augmentant la précision et la qualité des mesures en passant par la miniaturisation des dispositifs.

En ce qui nous (STMicroelectronics et IEMN) concerne, l'ensemble des résultats obtenus au cours de ces trois dernières années de thèse ont donné lieu à 4 publications internationales (*IEEE*) (Cf. [I-71], [I-72], [I-73] et [I-74]) et 1 nationale [I-75], démontrant ainsi l'intérêt international pour ce genre de recherche.

### ***1.3. Conclusion***

Ce premier chapitre nous a permis d'exposer les motivations et les challenges à relever au cours de ces trois années de thèse. Il a été question d'établir un bref état de l'art sur l'existence des variateurs d'impédances qui est le cœur de nos travaux de recherche. De cet état de l'art différents points importants sont à retenir. L'utilisation des technologies à base de MEMS dans la conception de synthétiseur d'impédance nécessite des coûts de production élevés, un encombrement surfacique ( $\sim 7\text{mm}^2$ ) et de fortes tensions d'alimentation.

Toutes ces observations nous ont poussés à orienter notre étude de conception vers les tuners intégrés avec une commande en tension analogique, de manière à avoir une surface d'occupation de l'ordre du millimètre carré ( $\text{mm}^2$ ), des tensions d'alimentations de l'ordre du volt (V) et l'obtention de forts coefficients de réflexions dans la bande W (75-110 GHz).

Ceci va naturellement nous conduire au second chapitre qui sera entièrement consacré au développement et à la mesure petit signal des tuners intégrés. Nous allons également nous familiariser avec les technologies (CMOS 65nm SOI-HR et BiCMOS9MW 130nm SiGe) dans lesquelles les tuners seront conçus.

Le dernier chapitre de ce manuscrit nous permettra d'utiliser les tuners réalisés pour la caractérisation en bruit hyper fréquences (75-110 GHz) des transistors sous test issus des technologies étudiées. Nous décrirons le banc de mesure et les différentes techniques de corrections utilisées pour l'extraction des quatre paramètres de bruit.

## Références bibliographiques

---

### *Pourquoi le Si en bande millimétrique ?*

- [I-1] C. Shannon, "A Mathematical Theory of Communication," *The Bell System Technical Journal*, Vol. 27, pp. 379-423, 623-656, July-October 1948
- [I-2] R. Dennard, et al., "Design of ion-implanted MOSFETs with very small physical dimensions," *IEEE Journal of Solid State Circuit*, Vol. SC-9, no. 5, pp. 256-268, Oct 1974
- [I-3] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, pp. 114 - 117, 1965.
- [I-4] G. E. Moore, "No Exponential is Forever: But "Forever" Can be Delayed!," *IEEE ISSCC Tech Digest*, pp. 20-23, 2003
- [I-5] ITRS 2008 Update, <http://www.itrs.net/Links/2008ITRS/Home2008a.htm>; "Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communication".
- [I-6] [http://domino.watson.ibm.com/comm/research\\_projects.nsf/pages/mmwave.apps.html](http://domino.watson.ibm.com/comm/research_projects.nsf/pages/mmwave.apps.html)
- [I-7] ITRS 2008 Update, <http://www.itrs.net/Links/2006Update/2006UpdateFinal.htm>; "Millimeter Wave 10 GHz – 100 GHz Technology Requirements".

---

### *Motivations et challenge « mmw »*

- [I-8] H. Meinel, "The current status of millimeter-wave communication systems", *MELECON*, pp. 680-686, Lisbonne, 1989
- [I-9] JB Andersen and al, "Propagation measurements and models for wireless communications channels", *IEEE Communications Magazine*, 1995
- [I-10] P. Smulders, "Exploiting the 60 GHz band for wireless multimedia access: prospects and futures directions", *IEEE Communications Magazine*, pp. 140 - 147; January, 2002
- [I-11] <http://www.onera.fr/lumiere/medias/radar.swf>
- [I-12] Larry Yujiri (papier invité), "Passive Millimeter Wave Imaging", *IEEE Microwave Magazine*, Vol. 4, issue 3, pp. 39-50, Sept. 2003

---

### *Difficulté de la caractérisation millimétrique*

- [I-13] L. F. Tiemeijer, R. J. Havens, A. B. M. Jansman, and Y. Bouttement, "Comparison of the 'pad-open-short' and 'open-short-load' de-embedding techniques for accurate on-wafer RF characterization of highquality passives," *IEEE Trans. Microw Theory Tech.*, vol. 53, no. 2, pp. 723-729, Feb. 2005
- [I-14] H. Cho and D. E. Burk, "A three-step method for the deembedding of high-frequency S-parameter measurements," *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1371-1371, Jun. 1991
- [I-15] C. Andrei, D. Gloria, F. Danneville, P. Scheer, and G. Dambrine, "Coupling on-wafer measurement errors and their impact on calibrage and de-embedding up to 110 GHz for CMOSFET millimeter wave characterizations" *IEEE ICMTS*, pp 253-256, March 2007.
- [I-16] N. Waldhoff, C. Andrei, D. Gloria, S. Lepilliet, F. Danneville and G. Dambrine, "Small Signal Equivalent Circuit for MOSFETs up to 220 GHz" *IEEE ...*
- [I-17] P. Crozat, J. Henaux, and G. Vernet, "Precise determination of open circuit capacitance of coplanar probes for on-wafer automatic network analyzer measurements," *Electronics Letters*, vol. 27, 1991, pp. 1476-1478.
- [I-18] N. Waldhoff, C. Andrei, D. Gloria, F. Danneville and G. Dambrine, "Small Signal and Noise Equivalent Circuit for CMOSFET 65 nm up to 110 GHz" *IEEE EuMC*, pp 321-324, 27-31 October 2008.

- [I-19] Rothe H., Dahlke W., "Theory of noisy four poles", proceedings of I.R.E., vol. 44, pp.811-818, juin 1956
- [I-20] IRE subcommittee on noise, "IRE standards on methods of measuring noise in linear two-ports, 1959", Proc. of the IRE, pp 60-68, Jan. 1960
- [I-21] G. Dambrine, H. Happy, F. Danneville, and A. Cappy, "A new method for on-wafer noise measurements," IEEE Transactions on Microwave Theory and Techniques, vol. 41,n°3, pp. 375-381, 1993.
- [I-22] A. Van Der Ziel, "Thermal noise In Field Effect Transistor" Proc. IRE, Vol. 50, pp. 1808-1812, 1962
- [I-23] A. Van Der Ziel, "Gate noise in field effect transistors at moderately high frequencies", Proc. IRE, Vol. 51, pp. 461-467, 1963
- [I-24] R. A. Pucel, H. A. Haus, and H. Statz, "Signal and noise properties of gallium arsenide and field effect transistors", advances in Electronics and Electron Physics, Vol. 38, pp. 192-265, 1974
- [I-25] B. Carnez A. Cappy, R.Fauquembergue, and E Constant and G. Salmer, " Noise Modeling in sub-micrometer-gate FET's," IEEE Trans. Electron Devices, Vol. ED28, no. 7, pp. 784-789, 1981
- [I-26] Y. Ando and T. Itoh, "DC, small-signal, and noise modeling for two-dimensional electron gas field effect transistors based on accurate charge-control characteristics," IEEE Trans. Electron Devices, Vol. 37 , no. 1, pp. 67-78, Jan. 1990
- [I-27] A. Cappy, "Noise modeling and measurement techniques," IEEE Transactions on Microwave Theory and Techniques, vol. 36, pp. 1-10, 1988.
- [I-28] R. A. Pucel, D. J. Massé, and C. F. Krumm, "Noise Performances of Gallium Arsenide Microwave Field Effect Transistors," IEEE Journal of Solid-State Circuits, vol. 11, pp. 243-255, 1976.
- [I-29] M. W. Pospieszalski, "Modeling of Noise parameters of MESFET," IEEE Transactions on Microwave Theory and Techniques, vol. 37, pp. 1340-1350, 1989.
- [I-30] F. Danneville and G. Dambrine, "Noise Modeling and Measurement Techniques in Deep Submicron Silicon on Insulator Devices," in Noise and Fluctuations Control in Electronics Devices, American Scientific Publishers, 2002, pp. 355-366.
- [I-31] G. Dambrine, J.-P. Raskin, F. Danneville, D. Vanhoenacker-Janvier, J.-P. Colinge, and A. Cappy, "High Frequency Four Noise Parameters of Silicon-on-Insulator-Based Technology MOSFET for the Design of Low-Noise RF Integrated Circuits," IEEE Transactions on Electron Devices, Vol. 46, no. 8, August 1999
- [I-32] F. Danneville, H. Happy, G. Dambrine, J.-M. Belquin, and A. Cappy, "Microscopic noise modeling and macroscopic noise models: How good a connection?" IEEE Transactions on Electron Devices, vol. 41, pp. 779-786, 1994
- [I-33] G. Dambrine, J.-M. Belquin, F. Danneville, and A. Cappy, "A New Extrinsic Equivalent Circuit of HEMT's Including Noise for Millimeter-Wave Circuit Design," IEEE Transactions on Microwave Theory and Techniques, vol. 46, pp. 1231-1236, 1998
- [I-34] Fundamentals of RF and Microwave Noise Figure Measurements, Hewlett-Packard Application Note 57-1, Juillet 1983
- [I-35] V. Adamian et A. Uhler, A novel procedure for receiver noise characterization, IEEE Transactions on Instrument Measurement, IM-22:181-182, Juin 1973.
- [I-36] A. C. Davidson, B. W. Leake et E. Strid, Accuracy Improvements in Microwave Noise Parameter Measurements IEEE Transactions on Microwave Theory and Technique, MTT-37,: 1973-1977, December 1989
- [I-37] Noise Measurements Using the Computer Controlled Microwave Tuner System, Focus Microwaves Application Note 1-90
- [I-38] R. Q. Lane, "The determination of device noise parameters," Proc. Of the IEEE Vol. 57, pp. 1461 - 1462, August 1969
- [I-39] H. Fukui, "The noise performance of microwave transistors", IEEE Transactions on Electron Devices, 13: 329 – 341, Mars 1966

[I-40] L. Escotte, R. Plana, J. Graffeuil, "Evaluation of Noise Parameter Extraction Methods", IEEE Transactions on Microwave Theory and Techniques, 41:382-387, March 1993

[I-41] A. Boudiaf, M. La Porte, J. Dangla, G. Vernet, IEEE MTT-S International Microwave Symposium Digest, 3 : 1569-1576, Juin 1992

---

*L'avant thèse :*

[I-42] C. E. Muehe, "A high-power waveguide tuner", IEEE MTT, Vol. 16, Oct. 1968, pp. 882-883.

[I-43] T. Vaha-Heikkilä, M. Lahdes, M. Kantanen, and J. Tuovinen, "On-wafer noise parameter measurements at W-band," in IEEE Transactions on Microwave Theory and Techniques, vol. 51, pp. 1621-1628, Jun 2003.

[I-44] <http://www.focus-microwaves.com/>

[I-45] <http://www.ggb.com/>

[I-46] S. Basu, "Impedance Matching Probes For Wireless Applications", IEEE ARFTG Conference Digest-Fall 46<sup>th</sup>, Vol. 28, pp. 80-87, November 1995

[I-47] H. -T. Kim, S. Jung, K. Kang, J.-H. Park, Y.-K. Kim, Y. Kwon, "Low-loss analog and digital micromachined impedance tuners at the Ka-band", IEEE MTT, December 2001, Vol. 49, No. 12, pp. 2394-2400.

[I-48] R. E. Collin, "Foundations For Microwave Engineering", New York, McGraw.Hill Book Company, 1966.

[I-49] R. Ludwig, and P. Bretchko, "RF Circuit Design Theory and Applications", Upper Saddle River, Prentice Hall, 2000.

[I-50] D.M. Pozar, "Microwave Engineering", New York, John Wiley & Sons, 1998.

[I-51] G. M. Rebeiz, RF MEMS: "Theory, Design, and Technology", New York, John Wiley & Sons, 2003.

[I-52] W. Bischof, "Variable impedance tuner for MMICs", IEEE Microwave and Guided Wave Letters, Vol. 4, No. 6, pp. 172-174, Jun 1994.

[I-53] C. E. Collins "A novel MMIC source impedance tuner for on-wafer microwave noise parameter measurements", IEEE Microwave and Millimeter Wave Monolithic Circuit Symposium, pp. 123-126, 1996.

[I-54] C.E. McIntosh, R.D. Pollard, and R.E. Miles, "Novel MMIC source impedance tuners for onwafer microwave noise-parameter measurements", IEEE Transactions on Microwave Theory and Techniques, Vol. 47, No. 2, pp. 125-131, 1999.

[I-55] S. Jung, "Micromachined Frequency Variable Impedance Tuners Using Resonant Unit Cells," IEEE MTT's Digest, pp. 333 - 336

[I-56] J. de Mingo, A. Valdovinos, A. Crespo, D. Navarro, and P. García, "An RF electronically controlled impedance tuning network design and its application to an antenna input impedance automatic matching system", IEEE Transactions on Microwave Theory and Techniques, Vol. 52, No. 2, February 2004.

[I-57] T. Vähä-Heikkilä, J. Varis, J. Tuovinen, G. M. Rebeiz, "A reconfigurable 6-20 GHz RF MEMS impedance tuner", IEEE MTT-S Digest, 2004, pp. 729-732.

[I-58] T. Vähä-Heikkilä, K. V. Caekenberghe, J. Varis, J. Tuovinen, G. M. Rebeiz, "RF MEMS impedance tuners for 6-24 GHz applications", Int. Journal of RF and Microwave Computer-Aided Engineering, Vol. 17, May 2007, pp. 265-278.

[I-59] T. Vähä-Heikkilä, J. Varis, J. Tuovinen, G. M. Rebeiz, "A 20-50 GHz RF MEMS single-stub impedance tuner", IEEE Microwave and Wireless Components Letters, April 2005, Vol. 15, No. 4, pp. 205-207.

[I-60] T. Vähä-Heikkilä, J. Varis, J. Tuovinen, G. M. Rebeiz, "A V-band single-stub RF MEMS impedance tuner", European Microwave Conference 2004, Amsterdam, pp. 1301-1304.

[I-61] T. Vähä-Heikkilä, J. Varis, J. Tuovinen, G. M. Rebeiz, "W-band RF MEMS double and triple-stub impedance tuners", IEEE MTT-S Digest, April 2005, Vols 1-4, pp.923-926.

- [I-62] M. Unlu, K. Topalli, H. I. Atasoy, E. U. Temocin, I. Istanbuloglu, O. Bayraktar, S. Demir, O. A. Civi, S. Koc, T. Akin, "A reconfigurable RF MEMS triple stub impedance matching network", EUMC 2006, Manchester, pp. 1370-1373.
- [I-63] Q. Shen, N. S. Baker, "RF-MEMS based tunable matching network", IEEE Radio and Wireless Conference (RAWCON) 2003, pp. 313-316.
- [I-64] Q. Shen, N. S. Baker, "A reconfigurable RF MEMS based double slug impedance tuner", European Microwave Conference 2005, Paris, pp. 537-540.
- [I-65] Q. Shen, N. S. Baker, "Reconfigurable matching with a 10-30 GHz distributed RF-MEMS tuner", IEEE Microwave Conference Proceeding (APMC), December 2005, Asia Pacific
- [I-66] G. Simpson, D. Ballo, J. Dunsmore, A. Ganwani, "A New Noise Parameter Measurement Method Results in More than 100x Speed Improvement and Enhanced Measurement Accuracy", 72nd ARFTG Conference, Dec 9-12, 2008.
- [I-67] Yau, Kenneth H.K., "On-Die Source-Pull for the Characterization of the W-Band Noise Performance of 65nm General Purpose (GP) and Low Power (LP) n-MOSFETs", IEEE IMS, pp. 773 – 776, June 7-12, 2009
- [I-68] A. -L. Perrier, "Conception et réalisation d'adaptateur d'impédances et de diviseurs de puissance miniatures et accordables par varactor", thèse 2006, Université de Savoie, LAHC
- [I-69] C. Bordas, "Optimisation technologique de commutateurs MEMS RF capacitifs à tenue en puissance améliorée – Application à l'élaboration d'un synthétiseur d'impédances MEMS en bande K", thèse 2008, Université de Toulouse III – Paul Sabatier
- [I-70] C. A. Hoarau, "Dispositif accordables en radiofréquence : exemples d'un adaptateur d'impédance accordable et d'un filtre passe-bas contrôlé optiquement ", thèse 2008, IMEP (LAHC).
- [I-71] Y. Tagro, D. Gloria, S. Boret, Y. Morandini, G. Dambrine, "In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction of Si HBT and MOSFET in the range 60-110 GHz", IEEE ARFTG, Portland, OR, December 9<sup>th</sup> – 12<sup>th</sup>, 2008
- [I-72] Y. Tagro, D. Gloria, S. Boret, Y. Morandini, G. Dambrine, "In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction using Multi-Impedance Method for Transistor Characterization", IEEE ICMTS, Oxnard, CA, March 30<sup>th</sup> – April 02<sup>nd</sup>, 2009.
- [I-73] Y. Tagro, D. Gloria, S. Boret, G. Dambrine, "MMW Lab In-Situ to Extract Noise Parameters of 65nm CMOS Aiming 70-90 GHz Applications ", IEEE RFIC, Boston, MA, June 7<sup>th</sup> – 12<sup>th</sup>, 2009.
- [I-74] Y. Tagro, D. Gloria, S. Boret, S. Lepilliet, G. Dambrine, "SiGe HBT Noise Parameters Extraction Using In-Situ Silicon Integrated Tuner in MMW Range 60 – 110 GHz", IEEE BCTM, Capri, Italia, October 12<sup>th</sup> – 14<sup>th</sup>, 2009.
- [I-75] Y. Tagro, D. Gloria, G. Dambrine, "Tuner intégré sur Silicium pour l'extraction des paramètres de bruit sous pointes en bande millimétrique (60~110GHz) pour les technologies SiGeC HBT et MOSFET", Journée Thématique des 16<sup>th</sup> Journée Nationale Micro-onde.

## II - Le tuner intégré (Conception – Caractérisation)

II -	Le tuner intégré (Conception – Caractérisation) .....	II-38
II.1.	Présentation des technologies CMOS 65nm SOI et BiCMOS9MW : process (BEOL), performances et composants offerts .....	II-39
II.1.1.	La technologie CMOS 65nm SOI ( <i>Substrat SOI-HR 3kΩ.cm</i> ) .....	II-39
II.1.2.	La technologie BiCMOS9MW ( <i>Substrat Standard 12Ω.cm</i> ) .....	II-43
II.2.	Cahier des charges du tuner .....	II-48
II.2.1.	Lieux des impédances optimales .....	II-48
II.2.1.a	Le MOSFET (CMOS 65nm SOI) .....	II-49
II.2.1.b	Le Bipolaire HBT SiGe :C (BiCMOS9MW) .....	II-51
II.2.1.c	Synthèse des lieux d'impédances .....	II-54
II.3.	Conception du tuner .....	II-57
II.3.1.	Définition de l'architecture .....	II-58
II.3.2.	Les passifs RF .....	II-59
II.3.2.a	Le transistor MOSFET Froid (résistance variable) .....	II-59
(1)	Description .....	II-59
(2)	Modélisation .....	II-60
(3)	Mesure .....	II-61
II.3.2.b	Le varactor (capacité variable) .....	II-62
(1)	Description .....	II-62
(2)	Modélisation .....	II-64
(3)	Mesure .....	II-66
II.3.2.c	Les capacités MIM et MOM (description et modélisation) .....	II-68
II.3.2.d	Les lignes de propagation (coplanaire et micro-ruban) .....	II-69
(1)	Description .....	II-69
(2)	Modélisation .....	II-72
(3)	Mesure .....	II-75
II.3.3.	Réalisation du tuner (CMOS 65nm SOI-HR & BiCMOS9MW) .....	II-76
II.4.	Performances des tuners .....	II-80
II.4.1.	La technologie CMOS 65nm SOI .....	II-80
II.4.2.	La technologie BiCMOS9MW .....	II-81
II.5.	Conclusion sur les tuners .....	II-84

## II - Le tuner intégré (Conception – Caractérisation)

---

Dans ce chapitre, nous allons entièrement consacrer notre attention sur le tuner intégré en technologie CMOS 65nm SOI-HR et en technologie BiCMOS9MW. Les performances petits signaux seront montrées en passant par l'établissement du cahier des charges des tuners et la présentation des performances des dispositifs passifs et actifs disponibles dans les deux technologies utilisées et en partie utilisées dans la conception de ces tuners.

### **II.1. Présentation des technologies CMOS 65nm SOI et BiCMOS9MW : process (BEOL), performances et composants offerts**

La conception de circuits intégrés requiert la connaissance des technologies. Nous allons dans ce paragraphe nous familiariser avec les technologies CMOS 65nm SOI-HR et BiCMOS9MW.

#### II.1.1. La technologie CMOS 65nm SOI (*Substrat SOI-HR 3kΩ.cm*)

On ne peut pas parler de la technologie CMOS SOI-HR sans parler de la technologie CMOS. La technologie CMOS intègre à la fois des transistors de type N, de type P et permet de concevoir des circuits de faibles coûts et à basses consommations. Aujourd'hui reconnue comme une technologie avancée et à la pointe dans le domaine de la microélectronique, elle est depuis longtemps destinée au développement de systèmes à très forte échelle d'intégration (VLSI).

La technologie SOI présente plusieurs avantages sur la technologie CMOS substrat massif (dit 'Bulk') du fait qu'elle soit compatible avec un substrat de haute résistivité (HR). L'oxyde enterré dans la structure SOI a la propriété de réduire la capacité de jonction Drain/Substrat et Source/Substrat ( $C_2 \gg C_1$ ) (Cf. Figure II-1) permettant ainsi de diminuer significativement la consommation et les fuites de jonction. Cet oxyde enterré permet de plus d'obtenir une meilleure isolation des transistors, une réduction des pertes substrat et la

réduction du couplage substrat. La Figure II-1 présente l'influence de la couche d'oxyde enterrée sur la réduction des capacités de jonction.

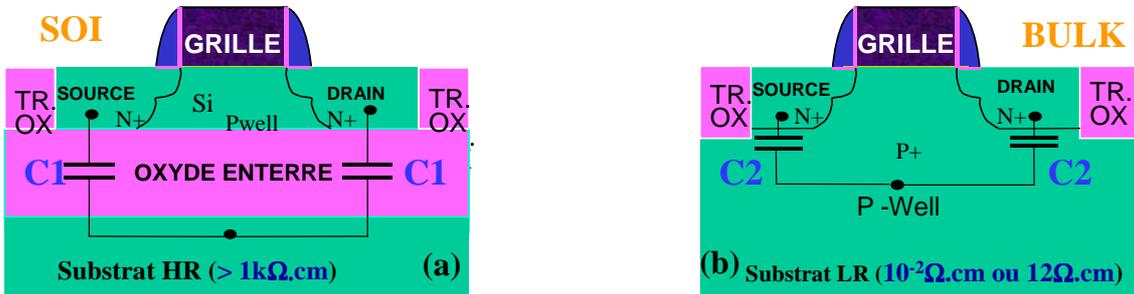


Figure II-1: Influence de la couche d'oxyde enterrée sur les capacités de jonction C2. (a) coupe transversale d'un transistor MOSFET en technologie SOI sur un substrat HR, (b) coupe transversale d'un transistor MOSFET en technologie Bulk sur un substrat standard

Cette technologie présente aussi des inconvénients tels que : un effet de substrat flottant, l'auto échauffement et un coût supérieur au 'bulk'. Afin de contrôler ce phénomène de substrat flottant une prise externe est réalisée. Il existe 2 types de transistors MOSFETs sur substrats SOI qui dépendent de l'épaisseur du film de silicium constituant le canal à savoir des transistors partiellement déplétés (PD) et les transistors complètement déplétés (FD).

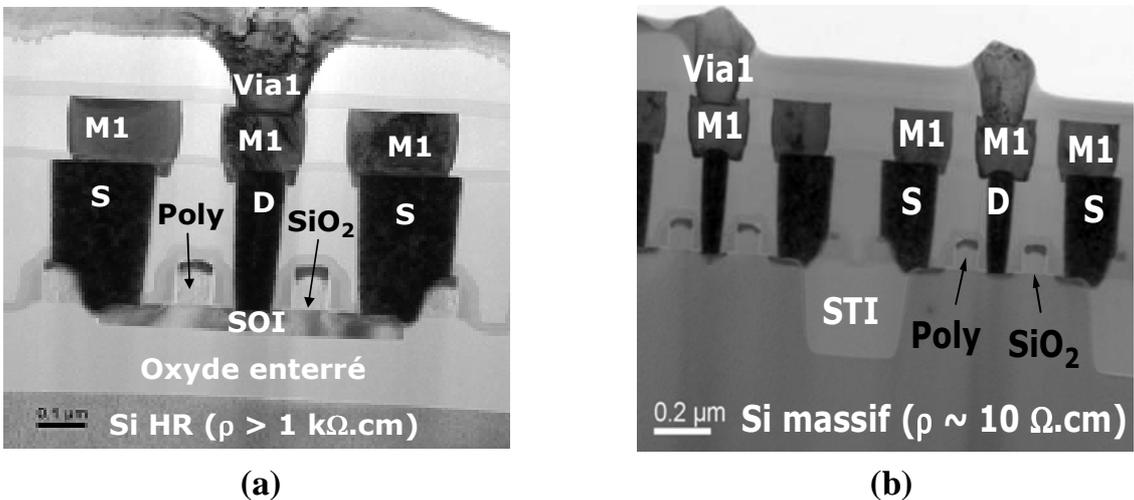
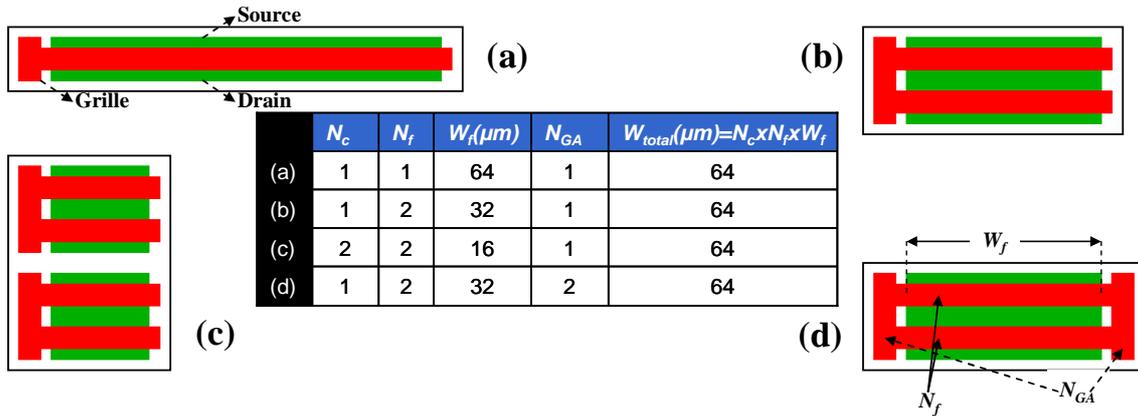


Figure II-2 : Coupe transversale d'un transistor MOSFET en technologie CMOS 65 nm (a) sur un substrat SOI-HR et (b) sur un substrat massif bulk[II-1]

Plusieurs paramètres permettent de définir le transistor MOSFET, il s'agit de ses paramètres géométriques intrinsèques (largueur et longueur du canal) et extrinsèques. En effet, le développement total  $W_t$  d'un transistor MOSFET est proportionnel au nombre de cellule élémentaire  $N_c$  mis en jeu, au nombre de doigt de grille  $N_f$  et à la largueur d'un doigt

de grille  $W_f$ . Les doigts de grille peuvent cependant être connectés de deux manières, une connexion simple  $N_{GA}=1$  ou une connexion double  $N_{GA}=2$ . Le double contact de grille permet de diminuer la résistance de grille, améliorant les performances en gain et en facteur de bruit du transistor. La Figure II-3 présente un exemple de transistor MOSFET dont la largeur de grille totale est répartie de différentes manières sur plusieurs cellules élémentaires.



**Figure II-3: Différents dessins possibles pour réaliser un  $W_t$  visé : répartition de la largeur de grille totale d'un transistor MOSFET sur plusieurs cellules élémentaires**

Nous avons vu au chapitre I que les performances dynamiques des transistors sur silicium sont aujourd'hui très appréciées pour la conception de circuits en gamme millimétrique. Ces performances sont définies par les fréquences de coupures ( $f_t/f_{MAX}$ ) et le facteur de bruit  $NF_{min}$ . L'acquisition de ces données passe avant tout par la mesure petit signal (les paramètres S) des transistors.

Associée au gain en courant, la fréquence de transition  $f_t$  est la fréquence pour laquelle le module du gain en courant est unitaire ( $|H_{21}|^2=1$ ). L'équation Eq II-1 nous donne l'expression du gain en courant.

$$f_t = freq_{dB(|H_{21}|^2)=0} \text{ avec } |H_{21}|^2 = \left| \frac{2 \cdot S_{21}}{(1 - S_{11}) \cdot (1 + S_{22}) + S_{12} \cdot S_{21}} \right|^2 \quad \text{Eq II-1}$$

La fréquence d'oscillation maximale  $f_{MAX}$  est la fréquence théorique que nous devrions être capable d'atteindre dans la réalisation d'un oscillateur; autrement dit, c'est la fréquence jusqu'à laquelle le composant actif est capable de fournir de la puissance. Cette fréquence est définie lorsque le gain de Mason « U » (Cf. Eq II-2) est unitaire.

$$f_{Max} = freq_{|dB(|U|)=0} \text{ avec } |U| = \frac{|Y_{21} - Y_{12}|^2}{4 \cdot [\text{Re}(Y_{11}) \cdot \text{Re}(Y_{22}) - \text{Re}(Y_{12}) \cdot \text{Re}(Y_{21})]} \quad \text{Eq II-2}$$

Technologie	$f_t$ [GHz]	$f_{MAX}$ [GHz]	$NF_{min}$ [dB]	Vdd [V]
CMOS 65 nm SOI-HR	150 (LP) 220 (GP)	320 (LP)	1.9 @ 60 GHz	1.0 V

Figure II-4: Performances dynamiques et en bruit des transistor issus de la technologie CMOS 65nm SOI-HR (LP : Low Power ; GP : General Purpose )

Après avoir défini les critères de performances des composants actifs disponibles dans la technologie CMOS 65nm SOI-HR, nous allons particulièrement décrire les niveaux d'empilement métallique (de l'anglais Back End Of Line « BEOL ») puis nous listerons les composants passifs que nous offre cette technologie.

Le BEOL de la technologie CMOS 65nm SOI-HR utilise 6 niveaux de métallisation successivement espacés par un diélectrique (Si<sub>3</sub>N<sub>4</sub> et SiO<sub>2</sub>). L'empilement total des niveaux de métallisation est de 4.4µm. Ces niveaux de métallisation sont le lieu d'intégration des composants passifs tels que les lignes de transmission, les inductances et les capacités MOM, en revanche, les varactors sont intégrés dans la couche active. Tous ces composants seront décrits au paragraphe II.3. La Figure II-5 illustre la coupe transversale du BEOL de la technologie CMOS 65 nm SOI-HR.

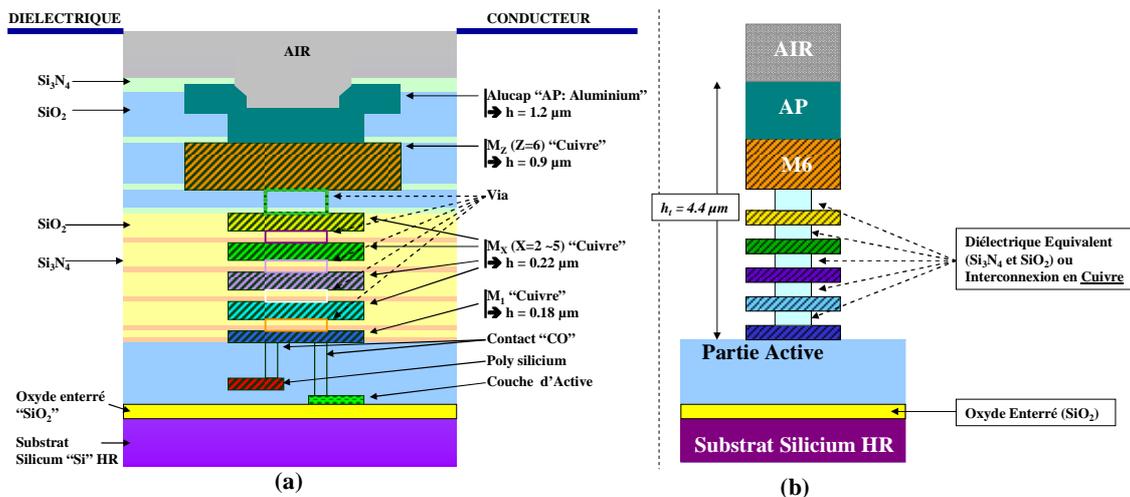


Figure II-5: Illustration de la vue en coupe du BEOL de la technologie CMOS 65nm SOI-HR (a) et de sa représentation simplifiée (b) [II-3]

Plusieurs familles d'inductances peuvent être intégrées en technologie SOI. Les grandes familles d'inductances sont les inductances dites 'symétriques', de 'fortes valeurs' et de 'faibles surfaces'. Elles se présentent parfois sous forme de spirales ou de rectangles. Les inductances sont des composants qui occupent énormément de surface dans la conception de circuits et aux fréquences millimétriques, elles sont remplacées par des lignes de transmissions. De ce fait, nous avons fait le choix de ne pas les utiliser, donc nous ne décrirons pas ce composant dans la suite de ce chapitre.

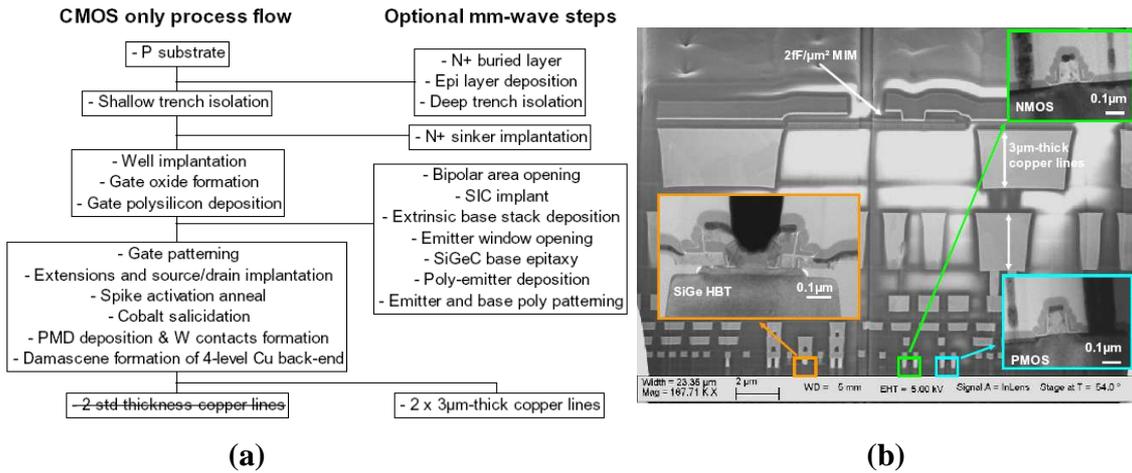
### II.1.2. La technologie BiCMOS9MW (*Substrat Standard 12Ω.cm*)

La technologie bipolaire est une technologie planaire qui permet une haute intégration à partir de transistors bipolaires. Les propriétés des transistors bipolaires confèrent aux circuits conçus dans cette technologie plus de rapidité en comparaison de la technologie CMOS 65 nm et des tensions plus élevées mais une consommation plus forte.

La technologie BiCMOS utilise à la fois le procédé de fabrication d'une structure bipolaire et d'une structure CMOS, permettant ainsi de fabriquer sur un même substrat des transistors CMOS et des transistors bipolaires. Elle rassemble ainsi les avantages de ces deux technologies, en particulier elle permet de fabriquer des circuits rapides et de faibles consommations.

Chez STMicroelectronics, la première technologie capable d'adresser le domaine millimétrique est la technologie BiCMOS9 avec des transistors bipolaires de type HBT SiGe atteignant des fréquences de coupures  $f_t/f_{MAX}$  de 150/150 GHz [II-4].

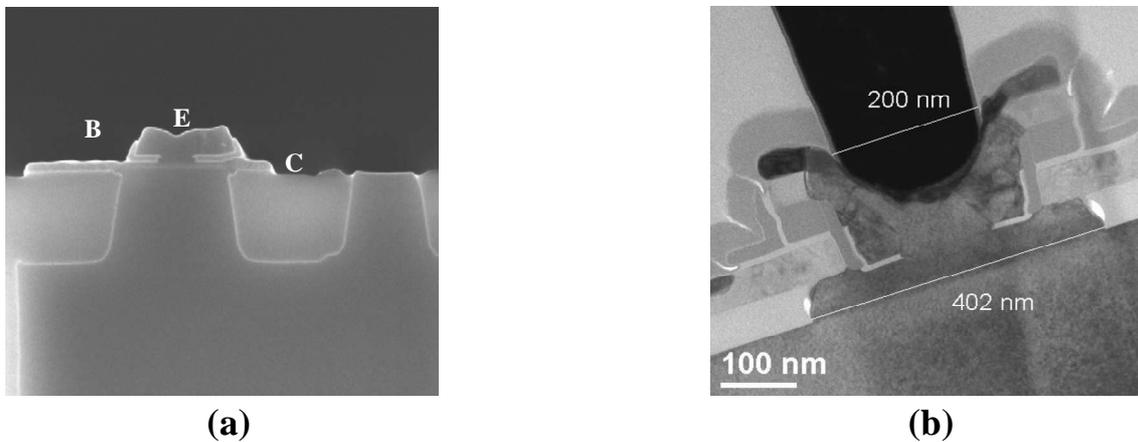
Les composants actifs qu'offre la technologie BiCMOS9MW sont aux nombres de 3, il s'agit des MOSFETs (de type N et P) 130 nm et des composants bipolaires (HBT SiGe de type NPN et PNP). La Figure II-6 nous donne les étapes de fabrication des composants actifs et une vue en coupe de la technologie BiCMOS9MW montrant les 3 composants actifs, une capacité MIM et les différents niveaux d'interconnexions.



**Figure II-6 : (a) Description de l'intégration des composants HBT dans la technologie BiCMOS9MW, (b) coupe en vue de la technologie intégrant les lignes d'interconnexions, la capacité MIM et les composants actifs (HBT et MOSFETS) [II-5]**

Il faut noter de plus qu'un diélectrique est rajouté entre le métal 6 (M6) et l'aluminium (Alucap AP) pour permettre la réalisation de la capacité MIM de densité 2 fF/µm<sup>2</sup>.

La Figure II-7 présente une coupe transversale du transistor Bipolaire HBT en technologie BiCMOS9MW.



**Figure II-7 : Coupe transversale du transistor HBT en technologie BiCMOS9MW [II-6], (a) sans les contacts et en (b) avec les contacts sur l'émetteur**

Les performances en terme de fréquences de coupures ( $f_i / f_{MAX}$ ) et de facteur de bruit minimum ( $NF_{min}$ ) des transistors bipolaires issus de la technologie BiCMOS9MW sont représentées sur la Figure II-8. Des fréquences de coupure de l'ordre de 250 GHz sont atteintes pour des facteurs de bruit minimum de l'ordre de 3 dB en gamme millimétrique.

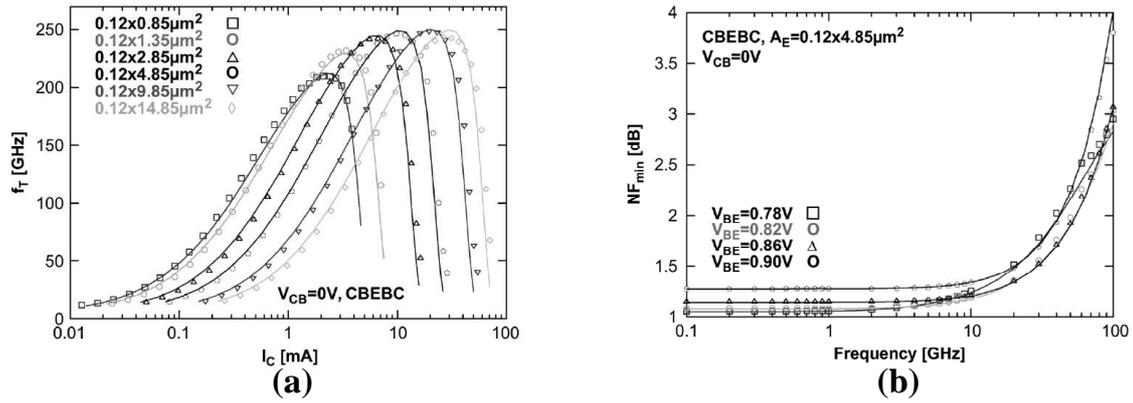


Figure II-8: (a) Fréquences de transition de différentes structures bipolaires en fonction du courant collecteur, (b) facteur de bruit minimum en fonction de la fréquence d'une structure à 1 doigt d'emetteur sous différentes conditions de polarisation [II-5]

La technologie BiCMOS9MW est dédiée aux applications millimétriques et est la version améliorée de la technologie BiCMOS9. Le passage de la technologie BiCMOS9 à la technologie BiCMOS9MW a également permis d'épaissir les niveaux supérieurs de métallisation rendant ainsi possible l'intégration de composants passifs performants.

La Figure II-9 nous montre l'évolution du BEOL entre les deux technologies (BiCMOS9 et BiCMOS9MW).

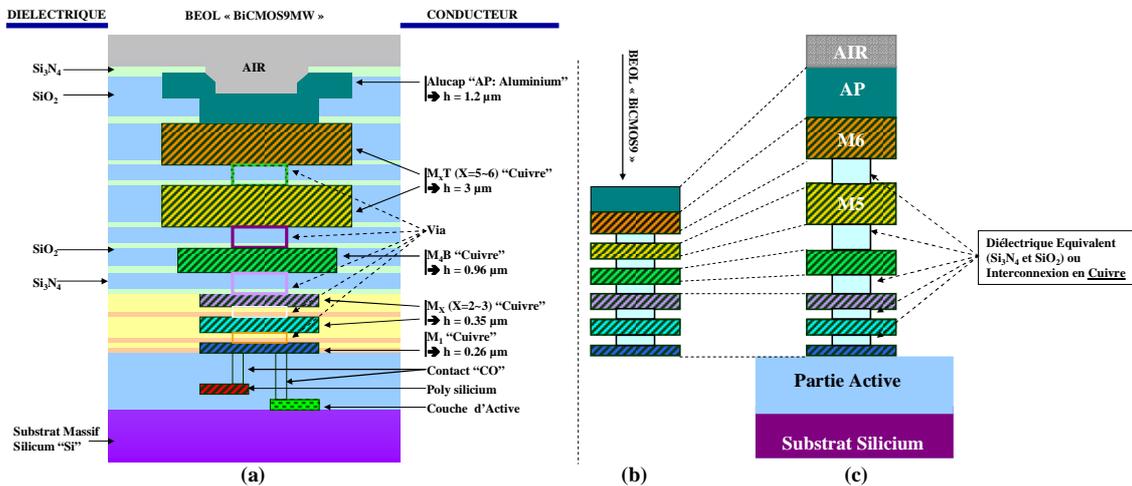


Figure II-9: (a) Description de toutes les couches de métallisation et de diélectrique constituant le BEOL de la technologie BiCMOS9MW, (b & c) comparaison de BEOL simplifié de la technologie BiCMOS9 en (b) et de la technologie BiCMOS9MW en (c) [II-7]

Les niveaux de métallisations inférieurs (de M1 à M3) ont été conservés, en revanche l'épaississement se fait à partir du métal (M4) et plus particulièrement sur les 2 niveaux supérieurs (M5T et M6T) épaissit à 3μm.

Tout comme la technologie CMOS 65 nm SOI-HR, la technologie BiCMOS9MW dispose de composants passifs intégrés dans le BEOL tels que les lignes de transmissions, les inductances, les capacités MOM, les varactors étant intégrés dans la partie active. A noter la disponibilité d'une capacité MIM en complément de la MOM. Les passifs utilisés dans la conception des tuners seront détaillés dans le paragraphe II.3.

Pour conclure sur la présentation des technologies utilisées pour la conception des tuners d'impédances, nous faisons une brève comparaison (à l'échelle) des 2 BEOL, en donnant les résistances carrées en  $m\Omega$  des différents niveaux de métallisation et la largeur minimale et maximale des pistes métalliques. Cette synthèse est montrée sur la Figure II-10 et récapitulée dans le Tableau II-1.

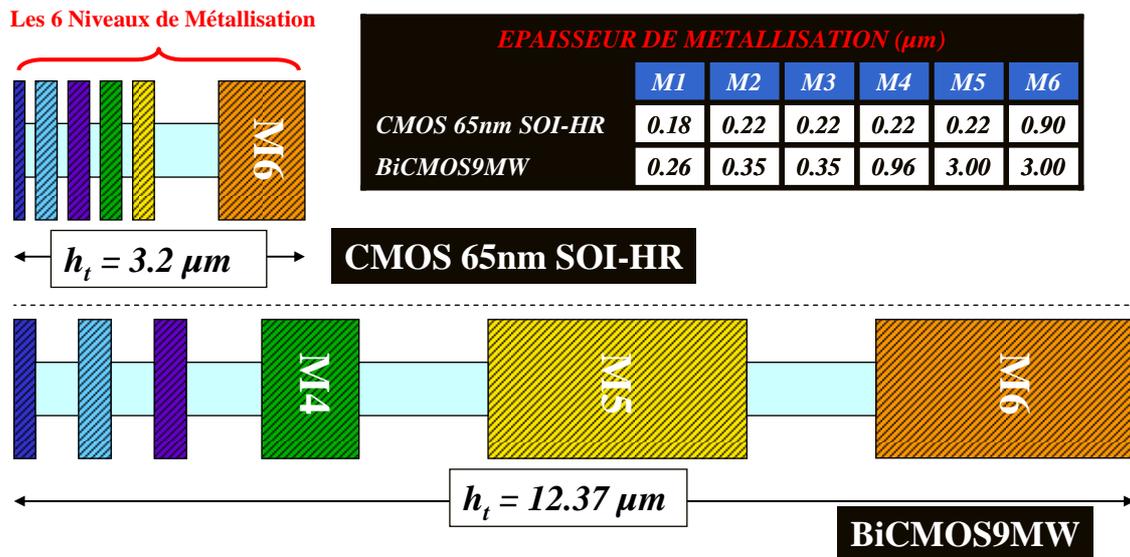


Figure II-10: Comparaison du BEOL des technologies CMOS 65nm SOI-HR (avec un empilement total de 3.2  $\mu m$ ) et du BiCMOS9MW (avec un empilement total de 12.37  $\mu m$ ) [II-3] et [II-7]

Comparaison		M1	M2	M3	M4	M5	M6	AP
BiCMOS9MW	Mmin	0.16	0.20	0.20	0.44	0.60	0.60	1.00
	WMAx	12.0	12.0	12.0	12.0	30.0	30.0	60.0
	Rs ( $m\Omega/\square$ )	75.0	60.0	60.0	22.0	6.00	6.00	33.0
CMOS 65nm SOI-HR	Mmin	0.09	0.10	0.10	0.10	0.10	0.20	3.00
	WMAx	12.0	12.0	12.0	12.0	12.0	12.0	35.0
	Rs ( $m\Omega/\square$ )	175	134	135	110	41.0	24.0	24.0

Tableau II-1 : Récapitulatif des contraintes de dessins des 2 technologies sur les largeurs minimales, maximales et les résistances par carrés [II-3] et [II-7]

Trois grands points de comparaison entre la technologie BiCMOS9MW et la technologie CMOS 65 nm SOI-HR peuvent être relevés. Le premier point concerne la résistivité du substrat qui est à l'avantage du SOI-HR avec une valeur de 3 k $\Omega$ .cm contre 12  $\Omega$ .cm, cet avantage permet une réduction significative des pertes substrats et des couplages substrats. Deuxièmement, le BEOL plus épais de la technologie BiCMOS9MW (12.37  $\mu$ m) avec un épaissement des niveaux supérieurs permet une intégration de passifs performants. Enfin les contraintes de dessins combinées au BEOL des 2 technologies vont fortement influencer sur la manière de dessiner nos structures et seront particulièrement importantes pour l'électro-migration (largeur des pistes nécessaires pour le passage d'un courant minimum). Toutes ces différences ainsi énumérées nous permettront de concevoir nos tuners d'impédances de manière optimum dans chaque technologie, en passant d'abord par la définition d'un cahier de charge.

## **II.2. Cahier des charges du tuner**

Dans le but de rendre possible notre étude, nous nous sommes fixés des critères de conception sur lesquels nous avons appuyé notre analyse avant de commencer la conception du tuner d'impédances intégrés dans les 2 technologies utilisées « BiCMOS9MW et CMOS 65nm SOI-HR ». L'une des premières questions, à laquelle il fallait répondre, était de connaître le comportement bruyant des transistors étudiés dans la gamme millimétrique (60 - 110 GHz) en termes d'impédances optimales pour le bruit et de cercles de stabilité. La couverture d'impédances à synthétiser est relative aux cercles de stabilité et aux cercles de facteur de bruit des transistors, c'est en effet, ces deux types de cercles qui vont fixer les règles dans la synthèse des impédances. Afin de ne pas rajouter du bruit additionnel au transistor sous test dans l'application de la méthode des impédances multiples, nous nous devons de concevoir un tuner d'impédances qui doit rester passif dans la bande de fréquence désirée. Nous souhaitons de plus que l'architecture du tuner soit compatible aux 2 technologies utilisées.

### **II.2.1. Lieux des impédances optimales**

L'objectif de cette analyse est de pouvoir identifier les zones optimales de l'abaque de Smith pour les transistors (MOSFETs et HBT) dans le but de développer sous ADS ® un outil

permettant d'appliquer le principe de la méthode des impédances multiples en gamme millimétrique (60-110 GHz) avec des impédances simulées. Pour cela, nous avons regardé en gamme millimétrique le compromis gain-bruit des transistors, puis leurs comportements bruyants sous différentes conditions de polarisation.

Ces études sont permises par l'utilisation de modèles de transistors compacts (BSIM4 pour les MOSFETs et HICUM pour le HBT) développés par l'équipe de modélisation et utilisables sous ADS ®. Les résultats obtenus nous permettent d'identifier les parties de l'abaque de Smith considérées comme étant des zones stables pour l'extraction du facteur de bruit minimum, puis de voir si dans les 2 cas (BiCMOS9MW ou CMOS 65nm SOI-HR) les zones de l'abaque de Smith requises sont les mêmes.

### II.2.1.a Le MOSFET (CMOS 65nm SOI)

Le compromis gain-bruit d'un transistor dépend de sa géométrie et de sa polarisation. Ce paragraphe nous permettra de comprendre comment la zone d'impédances utile est déterminée dans le cas d'une structure MOSFET. L'objectif étant dans un premier temps de choisir la polarisation du transistor qui offre un bon compromis entre le gain du transistor et son facteur de bruit.

Afin d'avoir une large vision sur le compromis gain-bruit des transistors MOSFETs, nous avons dans un premier temps regardé la courbe du gain (MAG) et du facteur minimum de bruit ( $NF_{min}$ ) simulé pour plusieurs géométries de transistor MOSFETs. La Figure II-11 nous permet à titre d'exemple d'avoir une idée assez précise du choix de la polarisation qui offre le meilleur compromis pour deux géométries de transistors distinctes.

Ces 2 transistors MOSFETs ont une longueur de grille de  $60nm$ , un développement total «  $W_t$  » de  $40\mu m$  et ont un double contact de grille ( $N_{GA}=2$ ) (dimensions typiquement utilisées en conception millimétrique) en revanche, ils ont respectivement un nombre de doigts de 15 et de 60.

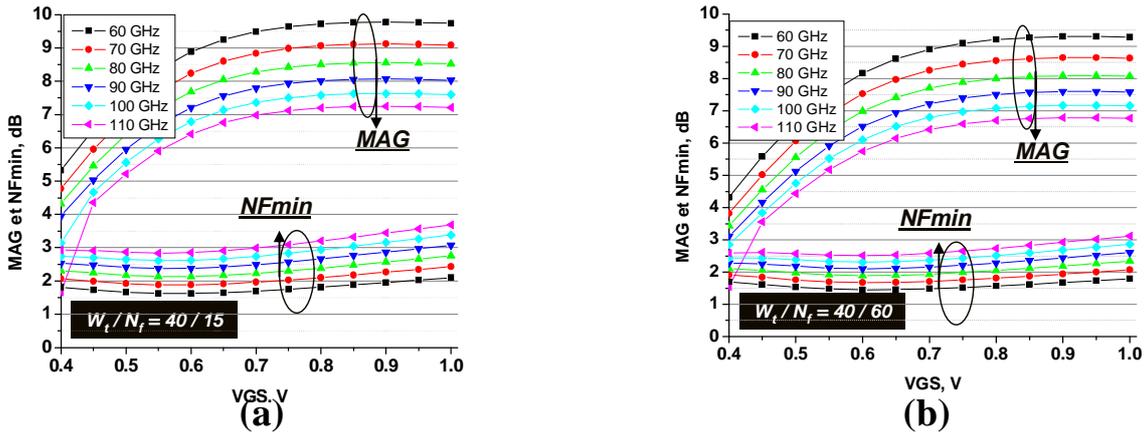


Figure II-11:  $MAG$  et  $NF_{min}$  en fonction de la polarisation  $V_{GS}$  avec  $V_{DS}$  @ 1.2V; (a) transistor nMOSFETS  $W_t / N_f$  (40 / 15), (b) transistor nMOSFETS  $W_t / N_f$  (40 / 60) avec une longueur de grille de 60 nm

Les 2 configurations de transistors présentent un facteur de bruit minimum autour de la polarisation de grille  $V_{GS}=0.6V$ , à cette polarisation les transistors MOSFETs sont pratiquement au maximum de leurs transconductances  $G_m$  et présentent du gain.

Nous prenons ensuite le soin de regarder la stabilité des transistors MOSFETs en fonction de la polarisation de grille dans la plage de fréquence concernée, la Figure II-12 illustre nos propos.

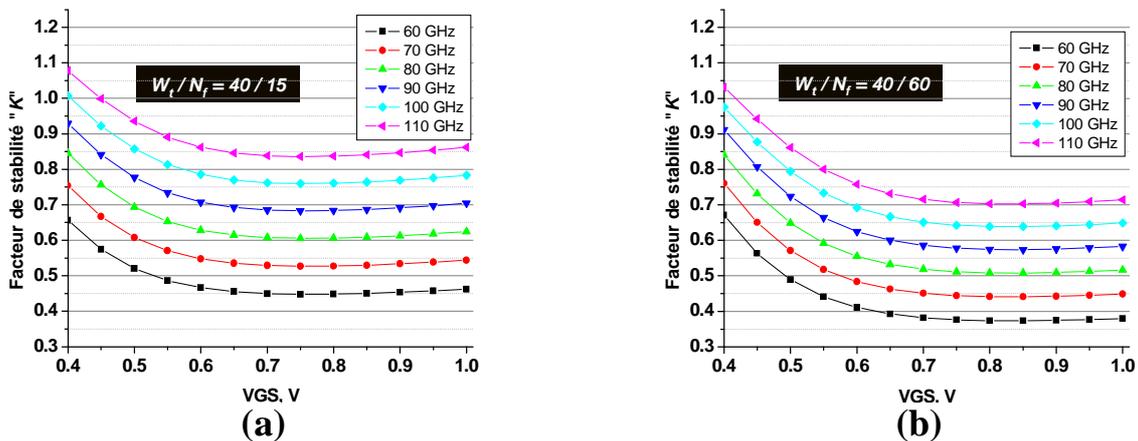


Figure II-12: Facteur de stabilité «  $k$  » en fonction de la polarisation  $V_{GS}$  avec  $V_{DS}$  @ 1.2V ; (a) transistor nMOSFETS  $W_t / N_f$  (40 / 15), (b) transistor nMOSFETS  $W_t / N_f$  (40 / 60) avec une longueur de grille de 60 nm

Il résulte de la Figure II-12 que les transistors MOSFETs sont conditionnellement stables en gamme millimétrique autour du point de polarisation. Cela implique qu'il y a une zone de l'abaque de Smith qui sera à éviter.

Afin de fixer le point de polarisation et de définir la zone d'impédance utile sur l'abaque de Smith, nous décidons de faire une étude de sensibilité en fonction de la polarisation. Cette étude de sensibilité consiste à faire varier de 5% la tension de polarisation choisie et de regarder le comportement du coefficient de réflexion optimum. La Figure II-13 permet de mieux comprendre cette étude de sensibilité et d'en déduire la zone de l'abaque utile.

Les transistors simulés ont tous les deux une longueur de grille de 60 nm avec 2 accès de grilles et un développement total de 40  $\mu\text{m}$  respectivement réparti sur 1 et 2 cellules.

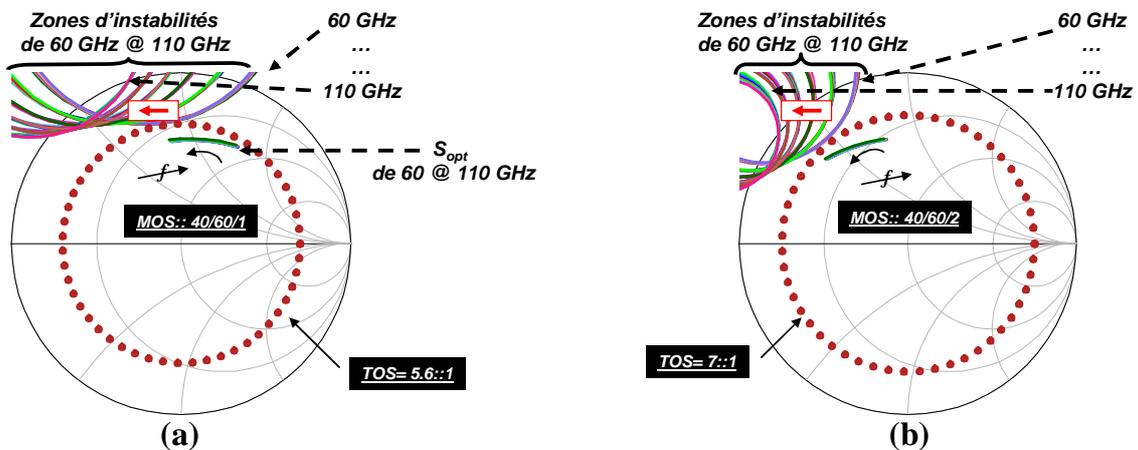


Figure II-13: Sensibilité des impédances optimales et des cercles de stabilité en fonction de  $V_{GS}$  pour  $V_{DS}$  @ 1.2V ; (a) transistor nMOSFET  $W_t / N_f / N_c$  (40/60/1), (b) transistor nMOSFET  $W_t / N_f / N_c$  (40/60/2) avec une longueur de grille de 60 nm

De toute cette étude, il ressort que les transistors MOSFETs en gamme millimétrique sont conditionnellement stables et leurs comportements en bruit (voir coefficient optimal) sont très peu sensibles à la variation de la tension de grille pour  $NF_{min}$ . La zone utile de l'abaque se définit alors comme montré sur la Figure II-13.

### II.2.1.b Le Bipolaire HBT SiGe :C (BiCMOS9MW)

Pour des questions de simplifications nous utilisons à STMicroelectronics une nomenclature assez simple pour la dénomination des transistors bipolaires, cette nomenclature donne des informations sur le type de transistor (NPN ou PNP), sur le nombre de doigts d'émetteur, sur la largeur et la longueur du doigt d'émetteur. La nomenclature utilisée est illustrée sur la Figure II-14.

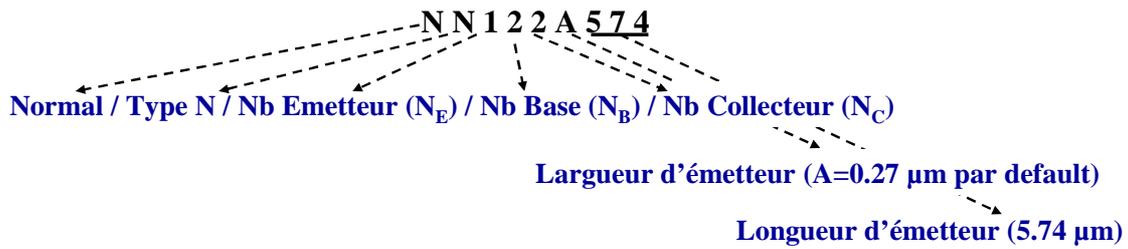


Figure II-14 : La nomenclature des transistors bipolaires à STMicroelectronics

Nous avons regardé pour chaque transistor le compromis gain-bruit pour le choix de la polarisation et une étude de la sensibilité à cette polarisation. Dans tout ce qui suit, la polarisation  $V_{CE}$  est fixée à 1.2V. En ce qui concerne le choix de la polarisation, la Figure II-15 (c) et la Figure II-16 (c) présentent le compromis gain/bruit simulé de 2 transistors bipolaires typiquement utilisés en gamme millimétrique (60 ~ 110 GHz).

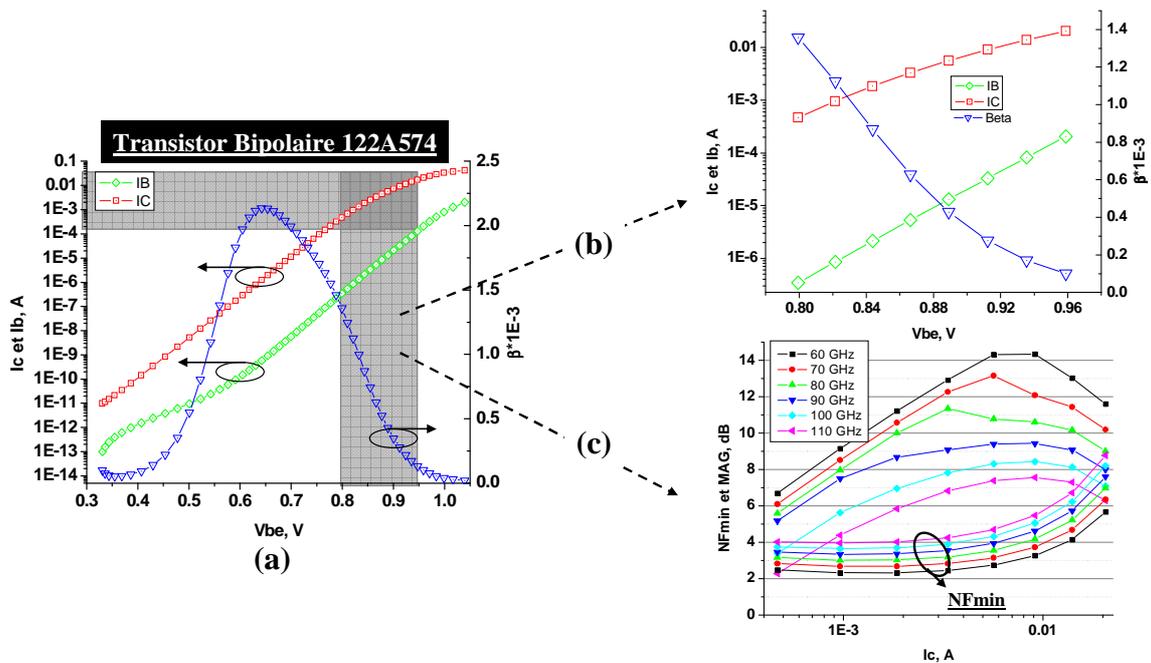


Figure II-15 : (a) Caractéristique statique d'un transistor HBT NN122A574 « courbe de Gummel et du gain » (b) un zoom de la courbe de Gummel sur la plage de polarisation pour laquelle le compromis Gain/Bruit est le meilleur et (c) la représentation du MAG et du  $NF_{min}$  en fonction du courant collecteur  $I_c$  pour une tension  $V_{CE}$  @ 1.2V

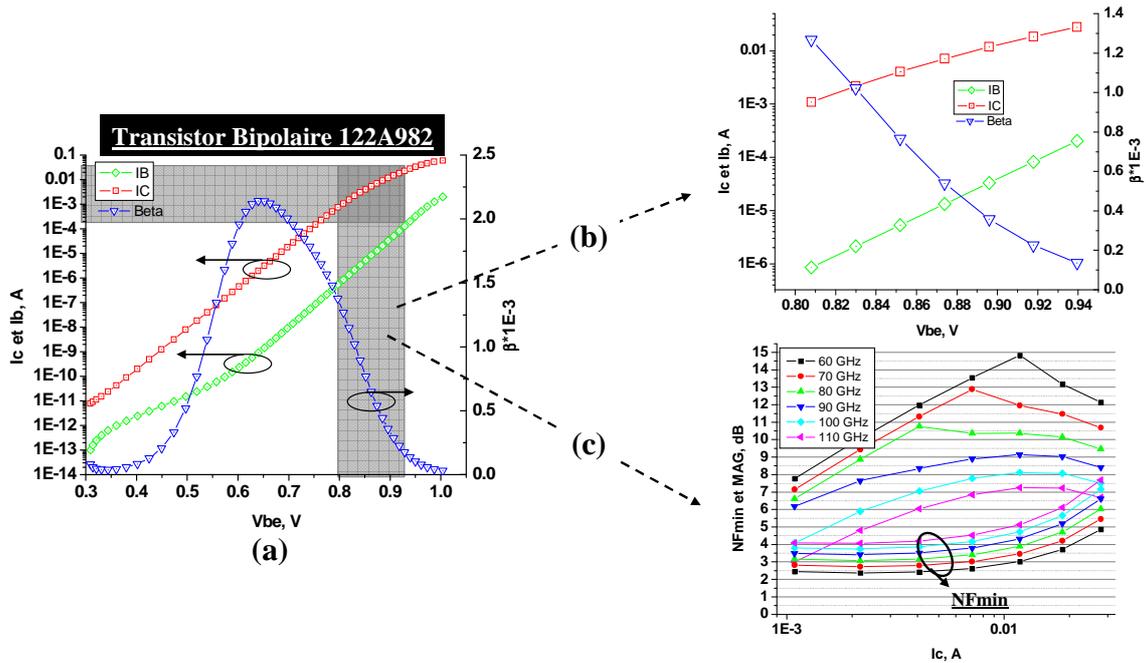


Figure II-16 : (a) Caractéristique statique d'un transistor HBT NN122A982 « courbe de Gummel et du gain » (b) un zoom de la courbe de Gummel sur la plage de polarisation pour laquelle le compromis Gain/Bruit est le meilleur et (c) la représentation du MAG et du  $NF_{min}$  en fonction du courant collecteur  $I_c$  pour une tension  $V_{CE}$  @ 1.2V

Les facteurs de bruit minimum présentés sur la Figure II-15 (c) et Figure II-16 (c) atteignent leurs minimums autour d'un courant collecteur de  $I_c = 2$  mA, ce qui correspond à une polarisation de base  $V_{BE} = 0.88$  V. Nous remarquerons également qu'autour de ce point de polarisation les 2 transistors ont du gain, ce qui présage un bon choix pour le compromis gain-bruit.

L'étape suivante consiste à déterminer la zone de l'abaque de Smith considérée comme étant stable et utile pour la génération des impédances de source dans le but d'appliquer la méthode des impédances multiples décrite dans le chapitre I. Pour rendre possible cette étude, nous regardons dans un premier temps le facteur de stabilité «  $k$  » en fonction de la tension  $V_{BE}$  dans la plage de fréquence considérée. La Figure II-17 présente la simulation des facteurs de stabilité des deux bipolaires étudiés.

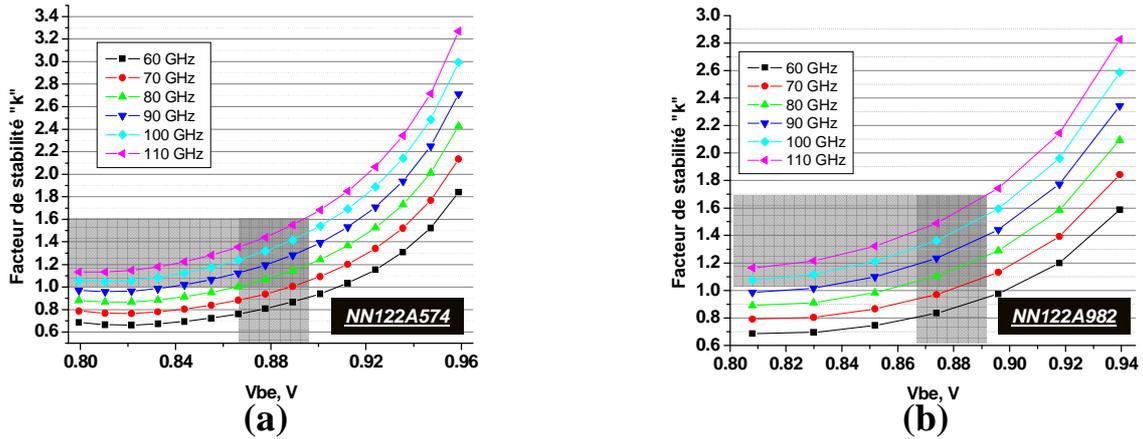


Figure II-17: Facteur de stabilité «  $k$  » en fonction de la polarisation  $V_{BE}$  avec  $V_{CE}$  @ 1.2V ; (a) transistor bipolaire 1 doigt d'émetteur et  $A_E=0.27*5.74\mu m^2$ , (b) transistor bipolaire 1 doigt d'émetteur et  $A_E=0.27*9.82\mu m^2$

Nous remarquons que le facteur de stabilité devient supérieur à l'unité à partir de 70GHz autour de 0.88V, ce qui sous-entend que les deux transistors bipolaires sont conditionnellement stables entre 60 et 110 GHz. En interprétant la Figure II-17, nous voyons que plus nous montons en fréquence et plus nous nous rapprochons de la stabilité, cette interprétation nous informe sur le comportement des cercles de stabilité en fonction de la fréquence. En effet, plus la fréquence est élevée et plus les cercles de stabilité sortent de l'abaque de Smith (60 GHz est donc le pire cas)

Pour s'assurer de ne pas faire une erreur d'appréciation sur la zone de l'abaque utile, nous avons décidé tout comme dans le cas du transistor MOSFET de regarder la sensibilité de  $\Gamma_{opt}$  et du comportement bruyant des transistors bipolaires autour du point de polarisation choisi. La Figure II-18 présente cette étude résumée sur l'abaque de Smith.

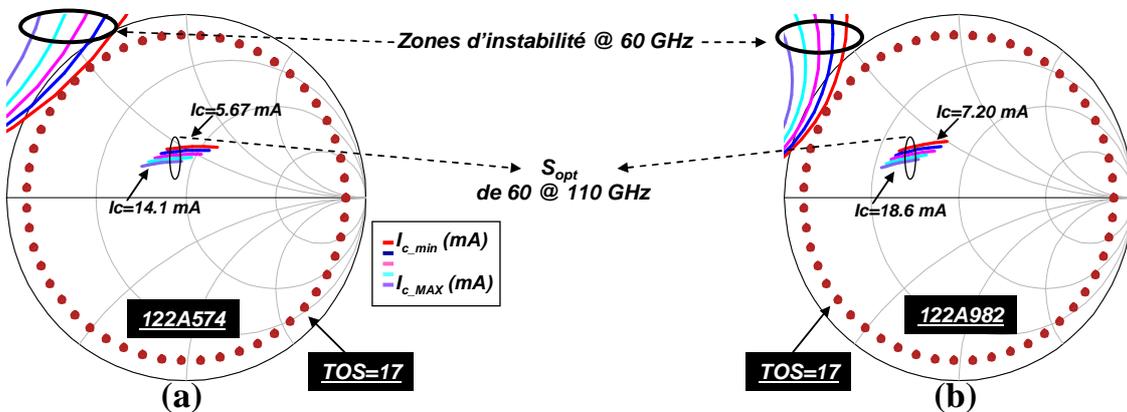


Figure II-18: Sensibilité des impédances optimales et des cercles de stabilité vis-à-vis de la polarisation de base  $V_{BE}$  (de 0.8 à 0.96 V) avec  $V_{CE}$  @ 1.2V ; (a) transistor bipolaire 1 doigt d'émetteur et  $A_E=0.27*5.74\mu m^2$ , (b) transistor bipolaire 1 doigt d'émetteur et  $A_E=0.27*9.82\mu m^2$

Nous avons choisi comme polarisation un courant de collecteur entre 2mA et 15mA (~ entre 0.82V et 0.96V), puis nous avons regardé sur l'abaque de Smith le comportement des cercles de stabilité et des impédances optimales de source. Nous remarquons que dans le cas des transistors HBT la variation des impédances optimales de source est plus importante par rapport aux transistors MOSFET.

### II.2.1.c Synthèse des lieux d'impédances

Ce paragraphe nous permet de faire un bref bilan sur la synthèse des impédances utiles dans les 2 technologies (CMOS 65nm SOI HR et BiCMOS9MW). De toute cette étude qui précède, il en résulte que le comportement bruyant des transistors bipolaires est plus sensible à la variation de la polarisation comparé aux transistors MOSFET. En effet pour mieux illustrer nos propos la Figure II-19 montre dans la gamme millimétrique les différents coefficients de réflexion optimums des transistors MOSFET et HBT en fonction de la polarisation.

Le comportement bruyant des transistors bipolaires comparé à celui des transistors MOSFETs varie plus en fonction de la polarisation. On constate une variation quasi nulle sur le transistor MOSFET (phase et module) en revanche une variation d'environ 30% pour le  $S_{opt}$  sur le transistor bipolaire.

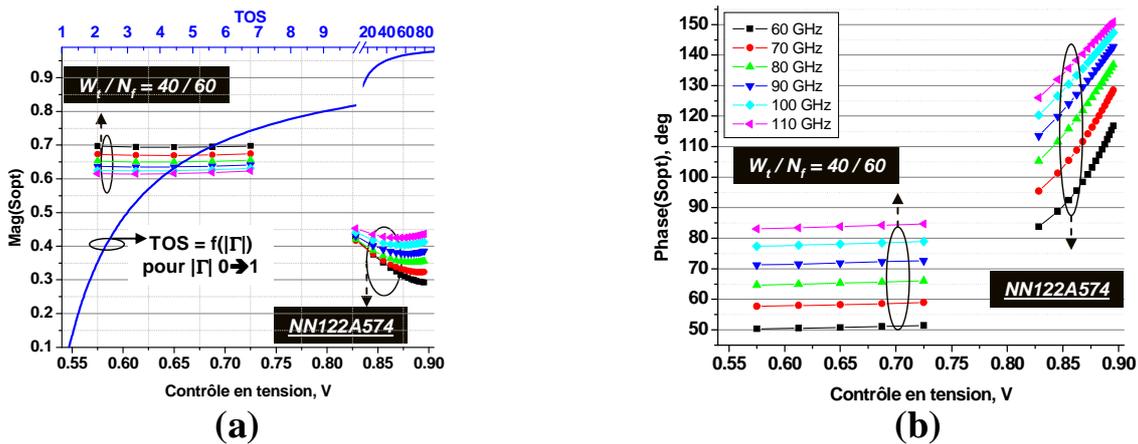


Figure II-19: Sensibilité des impédances optimales en fonction de la polarisation de base  $V_{BE}$  et de grille  $V_{GS}$ ; (a) module des coefficients de réflexion optimaux et la représentation du TOS en fonction du coefficient de réflexion (b) phase des coefficients de réflexion optimaux

Fort de cette comparaison vis-à-vis de la sensibilité à la polarisation, les zones de l'abaque considérées comme étant stables dans le cas des 2 technologies sont résumées sur la Figure II-20.

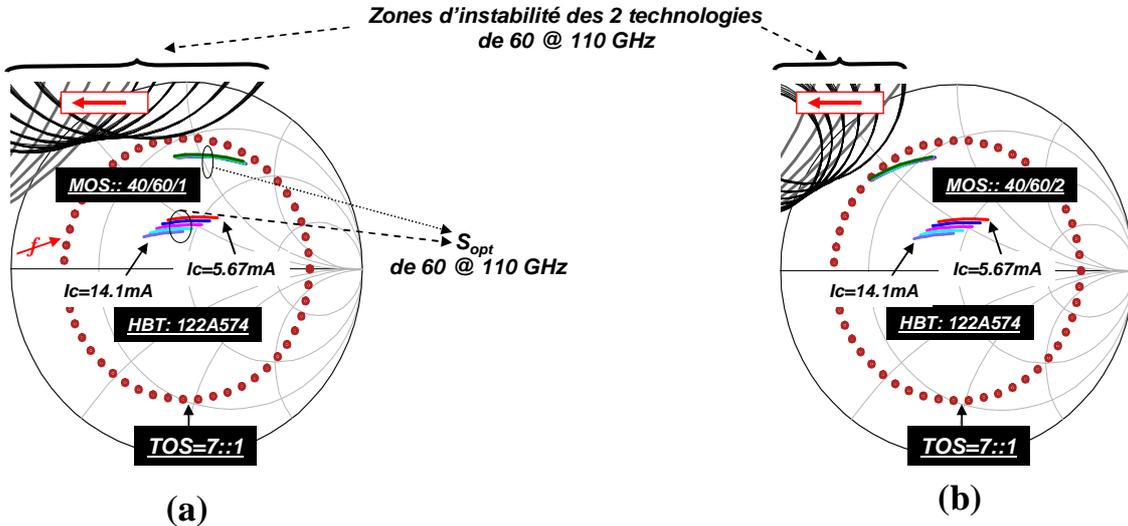


Figure II-20: Sensibilité des impédances optimales et des cercles de stabilité vis-à-vis du courant collecteur  $I_c$  et de la tension  $I_{ds}$ , (a) transistor bipolaire 1 doigt et  $A_E=0.27*5.74\mu m^2$  et transistor MOSFET (40/60/1 cellule), (b) transistor MOSFET (40/60/2 cellules)

Nous pouvons voir sur l'abaque de Smith ci-dessus le comportement des différents coefficients de réflexion (MOSFET et HBT) en fonction de la polarisation. Les zones d'intersection de l'abaque de Smith avec les cercles de stabilité sont les zones à éviter pour ne pas faire osciller les transistors. Tout le reste de l'abaque (TOS~7) est cependant adressable par le tuner intégré à développer.

Par soucis de synthèse, sur les deux géométries typiques bipolaires et à effet de champ ont été illustrées dans cette étape de définition du cahier des charges des tuners mais cette étude s'est effectuée sur plusieurs géométries de HBT et MOSFET pour consolider les spécifications des impédances nécessaires. A titre d'exemple nous énumérons sur le Tableau II-2 les géométries de transistors bipolaires utilisées pour l'élaboration du cahier des charges du tuner.

$A_E$ ( $\mu\text{m}$ ) « aire de l'émetteur du transistor »	↓ Nombre de doigts ↓				
Longueur du doigt d'émetteur pour une largeur de doigt d'émetteur standard de $A=0.27\mu\text{m}$	1	2	3	4	5
5.74 $\mu\text{m}$	$A_E=(5.74*0.27)$	$A_E=2*(5.74*0.27)$	$A_E=3*(5.74*0.27)$	$A_E=4*(5.74*0.27)$	$A_E=5*(5.74*0.27)$
9.82 $\mu\text{m}$	$A_E=(9.82*0.27)$				$A_E=5*(9.82*0.27)$
14.92 $\mu\text{m}$	$A_E=(14.92*0.27)$	$A_E=2*(14.92*0.27)$			

Tableau II-2 : Les transistors bipolaires étudiés dans la technologie BiCMOS9MW

La Figure II-21 présente les cercles de stabilité dans le pire cas (@ 60 GHz), les cercles de bruit à 60 GHz espacés de 1 dB et les coefficients de réflexion optimums en gamme millimétrique (60-110 GHz) en fonction du courant collecteur.

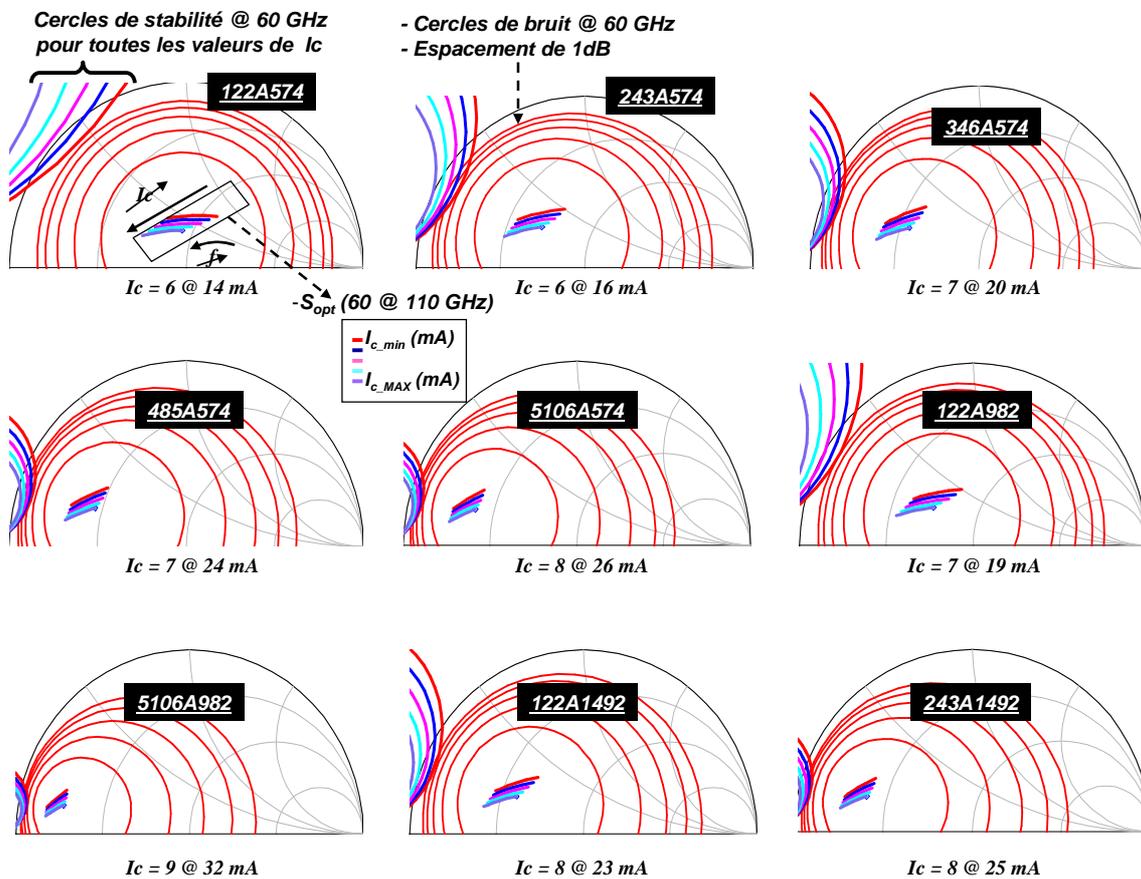


Figure II-21 : Les cercles de bruit, de stabilité à 60 GHz et les impédances optimales des transistors HBT dans la bande (60-110GHz) en fonction du courant collecteur,  $V_{CE}=1.2\text{ V}$

Un travail équivalent a été réalisé sur les MOSFETs par l'analyse de 6 géométries. Cette étude nous a permis de définir les zones de l'abaque de Smith stables pour la conception de nos tuners d'impédances. Ces zones sont principalement sur la demi-partie supérieure de l'abaque et sont définies par l'intersection des cercles de stabilité avec l'abaque de Smith.

En complément, nous sommes également capable d'identifier les zones regroupant plusieurs cercles de bruit constants avec au moins 1 dB entre chaque cercle, ce qui nous permet d'éviter toute matrice singulière dans l'application de la méthode des impédances multiples pour l'extraction des 4 paramètres de bruit des transistors HBT et MOSFET.

### **II.3. Conception du tuner**

Le paragraphe II.2 nous a permis de définir les zones de l'abaque utiles pour la conception de notre tuner d'impédances. La synthèse de ces précédentes études dans le cas des 2 technologies étudiées, nous a montré que les zones de l'abaque de Smith utiles se situent entre une phase de 0 à 180 degré et pour un module allant de 0 à 0.7 ; cette synthèse d'impédance définit ainsi notre cahier de charges. Nous pouvons en effet affirmer qu'il est possible d'adresser les différentes impédances optimales (CMOS 65 nm SOI-HR et BiCMOS9MW) à l'aide d'une seule architecture de tuner d'impédance.

#### II.3.1. Définition de l'architecture

Dans le but de faire une conception assez simple et qui reste compacte, nous sommes partis de l'identification des impédances nécessaires pour définir l'architecture de notre tuner. L'idée première est de pouvoir recouvrir la partie supérieure de l'abaque de Smith et dans un second temps, de pouvoir pour une fréquence donnée dans la bande concernée, parcourir assez largement les cercles de bruit de chaque transistor (MOSFET et HBT). Nous sommes alors partis d'une faible valeur fixe de résistance pour implicitement fixer une forte valeur du TOS qui sera à la limite de l'intersection avec les cercles de stabilité c'est-à-dire  $\sim |\Gamma|=0.7$ . Puis il a fallu rendre cette résistance variable et utiliser une capacité variable afin de définir une région d'impédances synthétisable et enfin utiliser des inductances pour rendre mobile cette nouvelle zone d'impédances. La Figure II-22 présente le principe de notre tuner et son architecture.

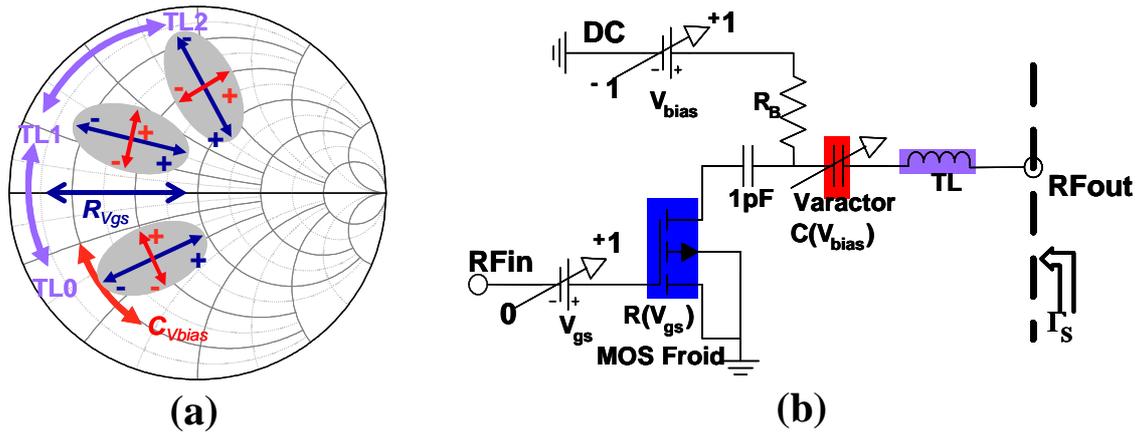


Figure II-22: (a) Illustration de la mobilité de la constellation synthétisable, (b) l'architecture du tuner d'impédances pour les 2 technologies étudiées

Les 2 technologies utilisées offrent des composants passifs qui permettent de répondre à notre besoin de résistance variable, de capacité variable, d'inductances et de capacités de découplages. En effet, les fonctions respectives de résistance variable et de capacité variable sont assurées par l'utilisation de composant à base de semi-conducteurs tels que le MOSFET froid (polarisation de drain flottante) et le varactor MOS en accumulation (N+Poly/Nwell). Ces composants à base de semi-conducteurs sont ici considérés comme des composants passifs, qui ne génèrent pas de bruit autre que thermique du type bruit de grenaille ( $T_{\text{Bruit}} \neq T_{\text{amb}}$ ). Dans tout ce qui suit, nous faisons donc l'hypothèse que la température de bruit de notre tuner d'impédance est à la température ambiante ( $T_{\text{Bruit\_Tuner}} = T_{\text{amb}}$ ).

Les inductances sont synthétisées par des lignes de transmission (coplanaire ou micro-ruban) qui dépendent de la technologie utilisée.

### II.3.2. Les passifs RF

L'architecture du tuner d'impédance étant décrite, nous allons à présent analyser en détail les différents éléments ( $R_{V_{gs}}$ ,  $C_{V_{bias}}$ , TL et les capacités de découplage illustrés sur la Figure II-22) qui rentrent dans la constitution de notre tuner d'impédances.

#### II.3.2.a Le transistor MOSFET Froid (résistance variable)

##### (1) Description

Le transistor MOSFET froid (polarisation de drain flottante) permet par son fonctionnement de réaliser une résistance variable [II-12]. La caractéristique  $I_D$  en fonction

de  $V_{DS}$  d'un transistor MOSFET présente 2 régimes de fonctionnement, le régime ohmique et le régime de saturation. La Figure II-23 donne l'expression de  $I_D$  dans le régime ohmique.

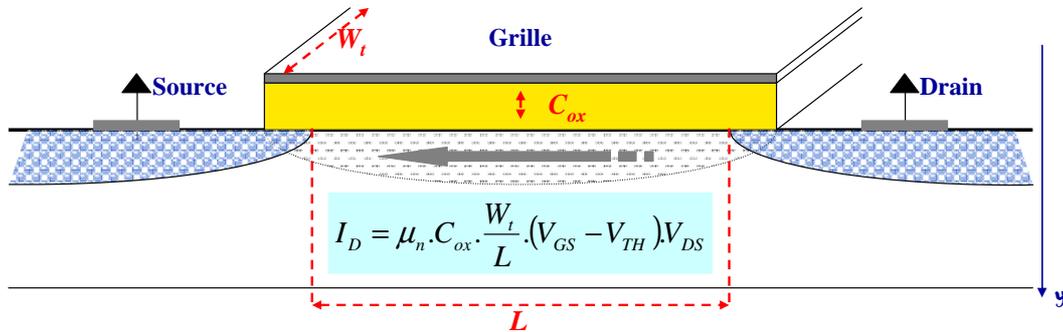


Figure II-23 : Expression du courant de drain avec la représentation des paramètres géométriques

Cette expression du courant de drain  $I_D$  est fonction de 3 termes d'un paramètre technologique ( $\alpha \equiv \mu_n \cdot C_{ox}$ ), d'une commande électrique ( $V_{GS} - V_{TH}$ ) et d'un paramètre géométrique ( $L/W_t$ ). Pour une faible tension de drain autour de la tension de seuil (CMOS " $V_{TH} \approx 0.3V$ " et HBT " $V_{TH} \approx 0.2V$ "), nous pouvons approximer la courbe  $I_D/V_{DS}$  par une ligne droite. Dans ces conditions, la relation linéaire implique que le canal de la source au drain peut être représenté par une résistance linéaire qui peut être approximée par :

$$R_{DS} = \frac{1}{\mu_n \cdot C_{ox} \cdot \frac{W_t}{L} \cdot (V_{GS} - V_{TH})} \cong \frac{1}{\alpha} \cdot \frac{1}{(V_{GS} - V_{TH})} \cdot \frac{L}{W_t} \quad \text{Eq II-3}$$

Le transistor MOSFET peut alors fonctionner dans son régime ohmique profond comme une résistance contrôlée par la tension ( $V_{GS} - V_{TH}$ ). La Figure II-24 illustre cette résistance.

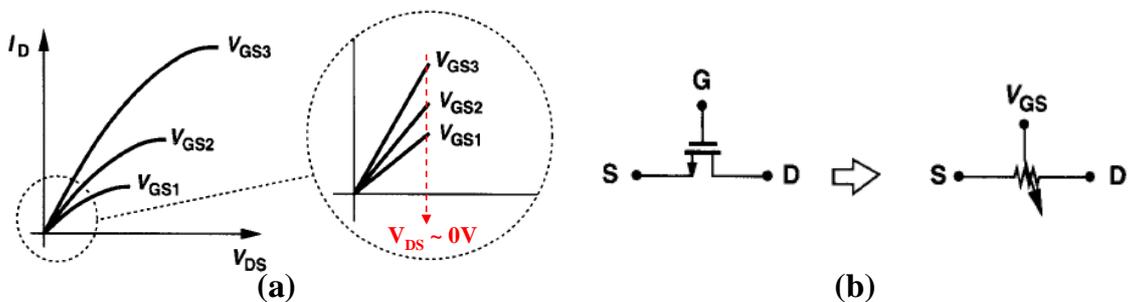


Figure II-24: (a) Représentation d'un MOSFET dans son fonctionnement ohmique et (b) la résistance équivalente contrôlée en tension

(2) Modélisation

Il existe dans la littérature diverses manières de modéliser le transistor MOSFET dans son fonctionnement à froid [II-13], [II-14], [II-15], lorsque le transistor MOSFET est dans son régime ohmique et que l'on considère que la source et le drain sont quasiment au même potentiel. En effet, le comportement en régime dynamique de faible amplitude peut être représenté par un circuit RC distribué (Cf. Figure II-25) dans le sens de la longueur du canal. Une représentation approximative de ce circuit est donnée à la Figure II-25.

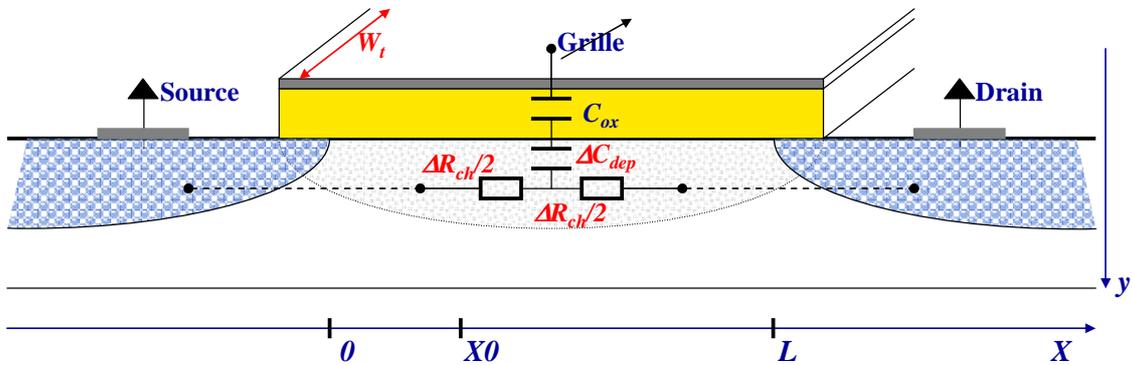


Figure II-25: Modélisation du transistor MOSFET dans son fonctionnement à froid (polarisation de drain flottante)

Pour modéliser ce phénomène il faut associer à la coupe transversale du transistor MOSFET « froid » un schéma électrique équivalent. La Figure II-26 présente le schéma simplifié du transistor MOSFET dans son fonctionnement à froid.

En partant du port d'entrée « grille » vers le port de sortie « le drain » le schéma équivalent simplifié du MOSFET « froid » est le suivant (Cf. Figure II-26) :

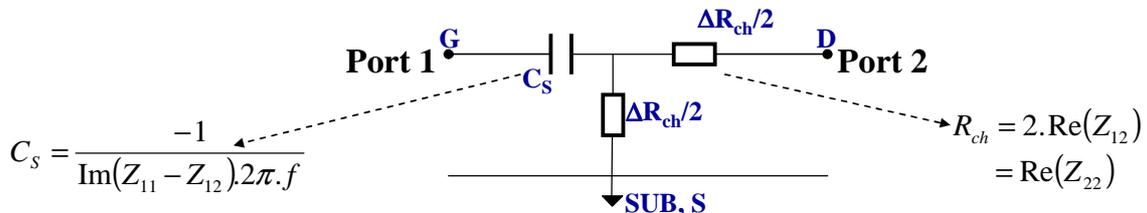


Figure II-26: Le schéma équivalent du transistor MOSFET « froid ».

(3) Mesure

Les technologies CMOS 65 nm SOI-HR et BiCMOS9MW

L'obtention de la résistance variable s'est respectivement effectuée dans la technologie CMOS par l'utilisation d'un transistor MOSFET de longueur de grille total 0.12  $\mu\text{m}$ , d'un développement total de 40  $\mu\text{m}$  avec 80 doigts parallèles ; dans la technologie BiCMOS par l'utilisation d'un transistor MOSFET de longueur de grille total 0.13  $\mu\text{m}$ , d'un développement total de 20  $\mu\text{m}$  avec 20 doigts parallèles.

Nous représentons sur la Figure II-27 les évolutions de la résistance ( $R_{ch}$ ) en fonction de la polarisation et ceci pour les fréquences comprise entre 60 et 110 GHz.

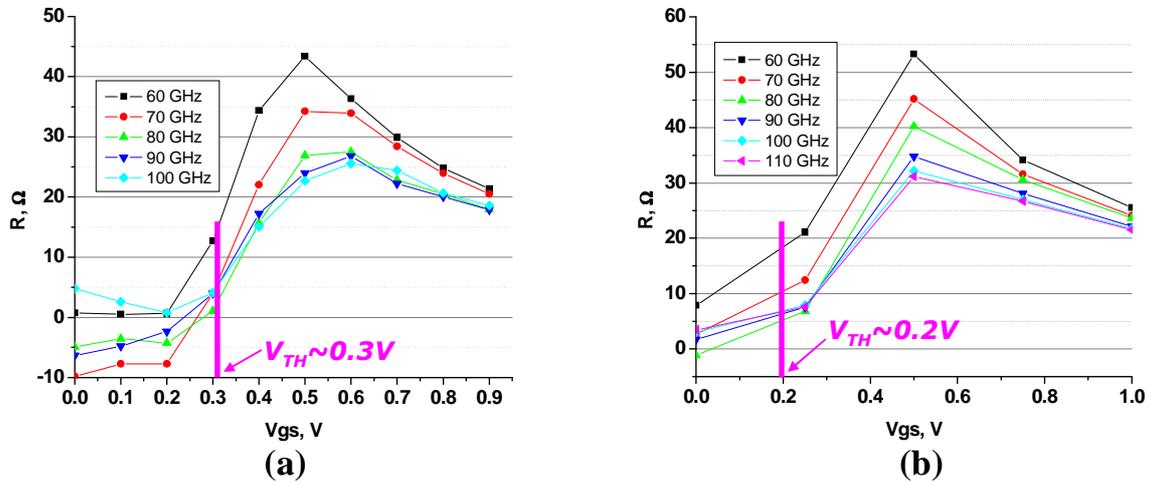


Figure II-27 : Caractéristique de la résistance du MOS froid en fonction de la polarisation entre 60 et 110 GHz ; (a) technologie CMOS 65 nm SOI-HR et (b) la technologie BiCMOS9MW

Ces résultats de mesures sont en accords avec le cahier des charges. Nous observons respectivement en technologie CMOS et BiCMOS une variation de la résistance comprise entre 10 - 45 $\Omega$  autour de 30 $\Omega$  et une variation comprise 10 - 55 $\Omega$  autour de 40 $\Omega$  sur la plage de fréquence concernée.

II.3.2.b Le varactor (capacité variable)

(1) Description

Ce paragraphe décrit le fonctionnement d'une capacité variable en l'occurrence la capacité MOSFET (Figure II-28) disponible chez STMicroelectronics. La fonction première d'une capacité variable est assurée par une jonction de type P/N ou par la capacité constituée

de l'empilement d'une grille de polysilicium, de l'oxyde de silicium ( $\text{SiO}_2$ ) et du substrat de silicium (capacité MOS).

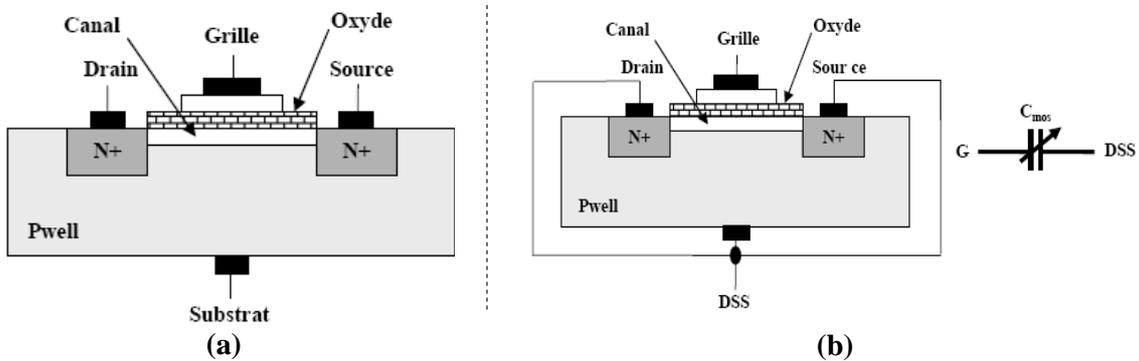


Figure II-28: (a) Coupe transversale d'un MOSFET, (b) MOSFET vu comme une Varicap MOS

La disponibilité des deux transistors MOSFET de type N et P et les différentes combinaisons possibles nous permettent d'obtenir les jeux de varactors suivants [II-16] :

- 4 varactors MOS : N+Poly/Nwell, N+Poly/Pwell, P+Poly/Pwell et P+Poly/Nwell.
- Et 2 varactors diodes: N+/Pwell et P+/Nwell.

Plusieurs études ([II-16], [II-17] et [II-18]) font état de la comparaison entre les capacités de types MOSFET et diodes (pn), il en ressort que le tuning ratio « TR » des varactors MOS est meilleur que celui des varactors diodes.

Issue directement de la structure MOSFET, le varactor MOS est le plus intéressant grâce à sa variation en fonction de la tension de grille plus importante dans les technologies ici concernées. La Figure II-28.b nous montre les différentes bornes de connexions du varactors MOS pris en tant que dipôle. Nous avons la connexion de grille sur laquelle la commande en tension s'effectue et la connexion DSS (Drain – Source – Substrat), la différence de potentiel appliquée entre ces deux connexions détermine la valeur de la capacité.

De manière à utiliser une structure dont la variation est monotone en fonction de la tension nous ne retenons que la capacité MOS à accumulation N+Poly/Nwell [II-16].

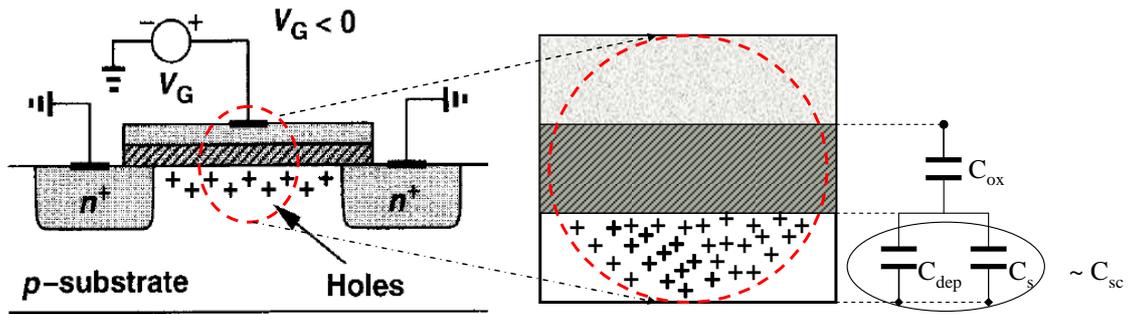


Figure II-29: Représentation de la capacité MOS sur une coupe transversale d'un transistor MOSFET de type NPN

Comme l'illustre la Figure II-29, la capacité de la structure MOSFET est décrite par la mise en série de la capacité de l'oxyde " $C_{ox}$ " avec la capacité du semi-conducteur " $C_{sc}$ ". La capacité du semi-conducteur est elle-même l'association d'une mise en parallèle de la capacité de déplétion " $C_{dep}$ " et la capacité de surface " $C_s$ ".

Sur la Figure II-30 est représentée la caractéristique C-V du varactor MOS à accumulation dans la technologie BiCMOS9MW.

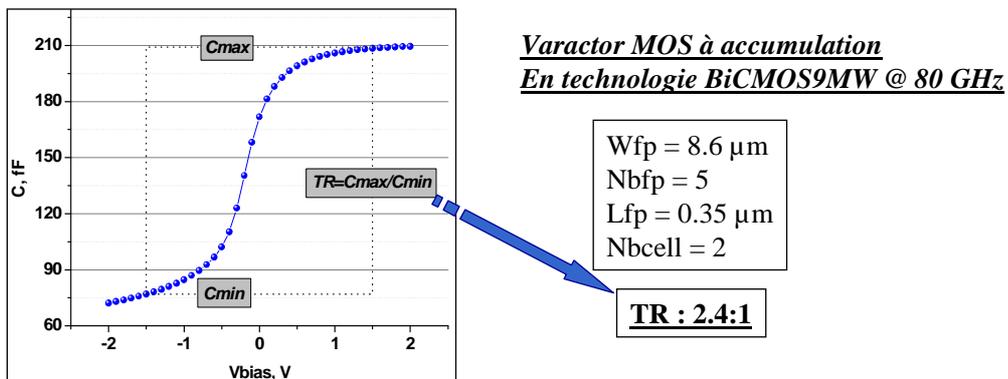


Figure II-30 : la caractéristique C-V du varactor MOS à accumulation

## (2) Modélisation

La capacité MOS (N+Poly/Nwell) possède deux accès (Port 1 et 2) et une prise substrat (SUB) en technologie bulk (il n'y a pas de prise substrat en technologie SOI). Elle est caractérisée par 3 principaux paramètres géométriques qui sont le nombre de doigts de polysilicium (Nbf), la largeur des doigts de polysilicium (Wfp) et la longueur de ces doigts de polysilicium (Lfp). La Figure II-31 nous montre la coupe transversale et la vue de dessus d'un varactor MOS N+Poly/Nwell.

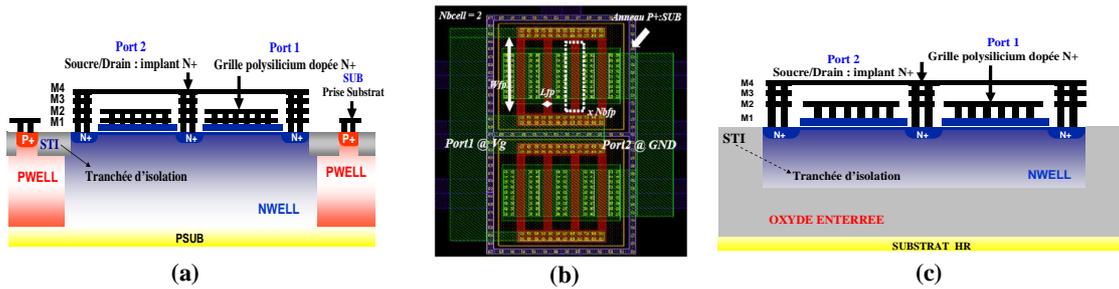


Figure II-31 : Coupe transversale d'un varactor N+Poly/Nwell. En (a) sur un substrat bulk (cas du BiCMOS9MW), en (b) une vue de dessus et en (c) sur substrat SOI-HR

Afin de modéliser ce comportement de notre varactor MOS à accumulation, nous associons un schéma électrique à la coupe transversale présenté sur la Figure II-32.

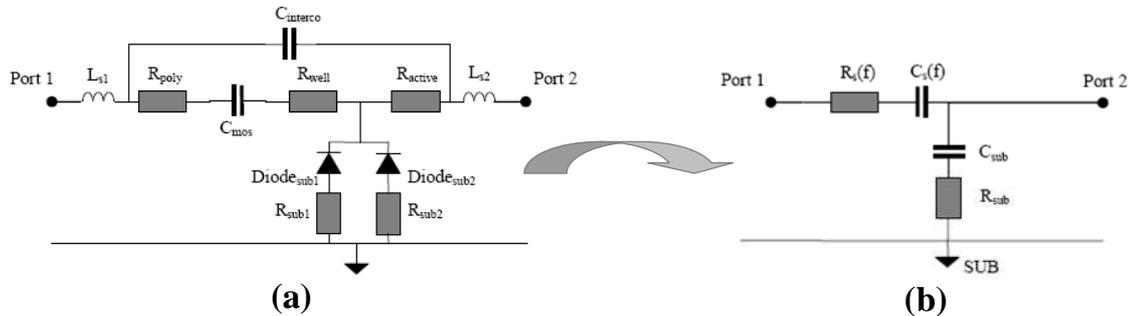


Figure II-32: (a) Schéma équivalent de la varicap MOS, (b) schéma équivalent simplifié

Le passage de la Figure II-32 - (a) à la Figure II-32 - (b) se fait comme suit : la capacité série  $C_s(f)$  tient compte des éléments parasites et représente les capacités  $C_{mos}$  et  $C_{interco}$ . La résistance  $R_s$  représente l'association de  $R_{nwell}$  (résistance non linéaire du caisson Nwell), de  $R_{poly}$  (résistance du polysilicium et de métallisation) et de  $R_{active}$  (résistance de métallisation pour connecter les doigts P+). Le réseau substrat est modélisé par  $C_{sub}$  et  $R_{sub}$  et représente les résistances  $R_{sub1}$ ,  $R_{sub2}$  et les deux jonctions diodes.

L'extraction des paramètres électriques du schéma équivalent simplifié de la varicap MOSFET à accumulation se fait en utilisant les équations décrites sur la Figure II-33.

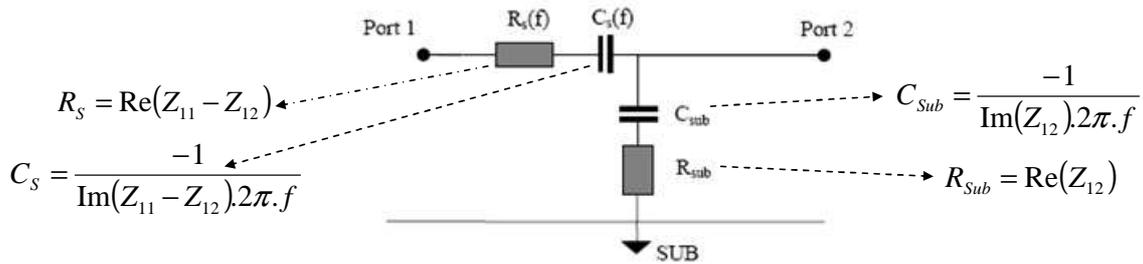


Figure II-33: Equations régissant les différents paramètres de la varicap MOS

La modélisation des varactors MOS à accumulation prend également en compte les inductances parasites qui entraînent une résonance et permet de fixer la fréquence de fonctionnement. En effet, dans le cadre de la conception de notre tuner, il faut nous assurer de ne pas choisir un varactor MOS à accumulation dont la fréquence de coupure est inférieure à la fréquence de fonctionnement maximum (110 GHz) du tuner.

### (3) Mesure

Avant de se consacrer à la mesure des varactors utilisés dans la conception de notre tuner, nous tenons à dire qu’une étude des paramètres géométriques des varactors est nécessaire pour nous orienter sur le choix de la géométrie à utiliser. La Figure II-34 nous donne une idée sur le processus à suivre pour un choix optimum de varactor. Cette figure est illustrée dans la technologie BiCMOS9MW, elle est également valable pour la technologie CMOS 65 nm SOI-HR.

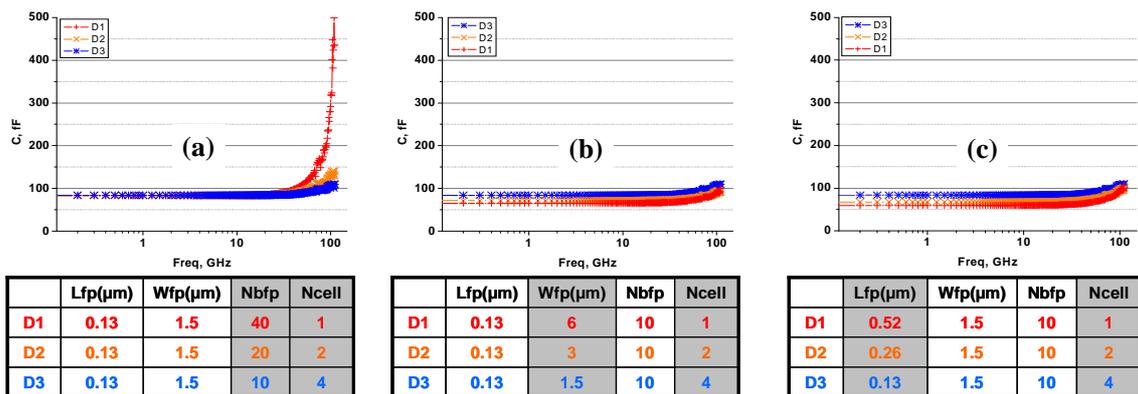


Figure II-34: Influence du layout sur la valeur de la capacité (polarisation @ 2.5V) des varactors dans la technologie BiCMOS9MW [II-19], (a) variation du nombre de doigts, (b) variation de la largeur et (c) variation de la longueur de grille

Sur la Figure II-34 le produit géométrique (Lfp\*Wfp\*Nbf\*Ncell) des varactors D1, D2 et D3 est identique suivant les cas (a), (b) et (c). Le cas (a) permet de mettre en évidence

l'influence des inductances parasites, en effet moins le varactor auras de cellule, plus vite nous observerons sa fréquence de coupures qui donnera la fréquence d'utilisation maximale du varactor. Les cas (b) et (c) mettent en évidence l'influence des capacités parasites, plus le varactor sera large (fort Wfp) ou plus il sera long (fort Lfp), plus la valeur de la capacité sera faible.

La Figure II-35 et la Figure II-36 présentent respectivement les résultats de mesure des capacités des varctors MOS à accumulation dans la technologie CMOS 65nm SOI-HR et dans la technologie BiCMOS9MW.

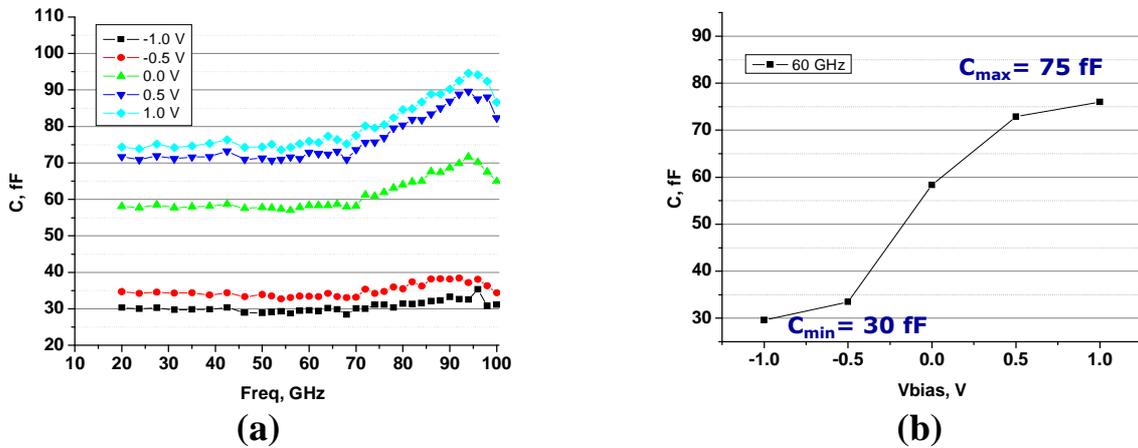


Figure II-35 : Caractérisation de la capacité du varactor MOS à accumulation (N+Poly/Nwell) en technologie CMOS 65nm SOI-HR  $tox=5nm$  ( $L_{fp}=0.35 \mu m$   $W_{fp}=3 \mu m$   $N_{fbp}=5$ ). (a) en fonction de la fréquence et (b) en fonction de la tension d'alimentation à la fréquence de 60 GHz.

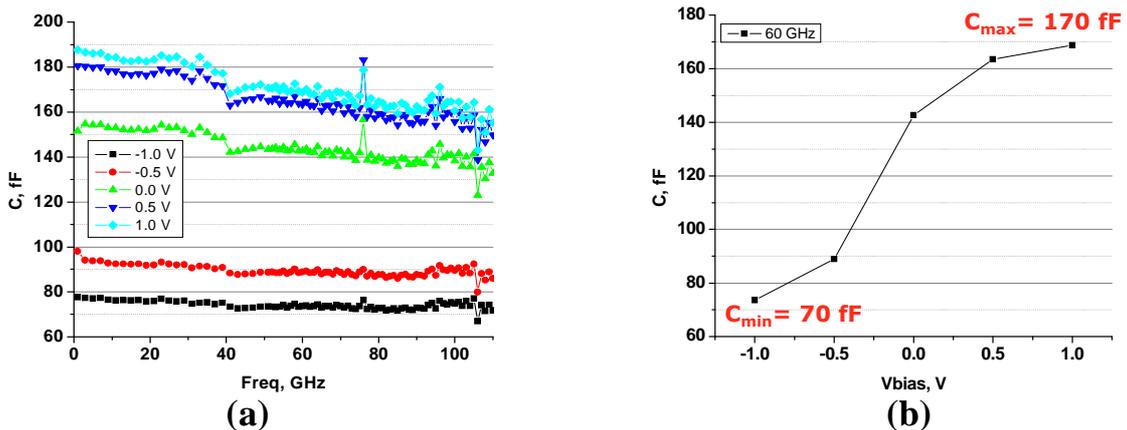


Figure II-36 : Caractérisation de la capacité du varactor MOS à accumulation (N+Poly/Nwell) en technologie BiCMOS9MW  $tox=5nm$  ( $L_{fp}=0.35 \mu m$   $W_{fp}=8.6 \mu m$   $N_{fbp}=5$ ). (a) en fonction de la fréquence et (b) en fonction de la tension d'alimentation à la fréquence de 60 GHz

Le choix des géométries de varactors MOS utilisés dans les deux technologies pour la conception de nos tuners c'est avant tout établi sur le fait que ces varactors devaient présenter

des fréquences de coupures au-delà de la fréquence de fonctionnement maximale (110 GHz). Ces résultats restent toutefois en accord avec notre cahier des charges, avec des capacités de l'ordre de 50fF +/- 20fF en technologie CMOS et de l'ordre de 120fF +/- 40fF en technologie BiCMOS.

### II.3.2.c Les capacités MIM et MOM (description et modélisation)

Les capacités MOM ( $1 \text{ fF}/\mu\text{m}^2$ ) (Métal – Oxyde ( $\text{SiO}_2$ ) – Métal) sont disponibles dans la technologie CMOS 65nm SOI-HR. Il existe plusieurs topologies de capacité MOM répertoriées dans la littérature [II-20]-[II-25], on peut citer entre autre les capacités interdigitées classiques, les capacités de Woven et les quasi-fractales. Il n'y a pas de pertes substrat avec l'utilisation du SOI-HR, ce qui permet une utilisation totale de l'empilement métallique sans utiliser de plan de masse au niveau du silicium. La Figure II-37 illustre la coupe transversale d'une capacité MOM dans la technologie CMOS 65 nm SOI-HR.

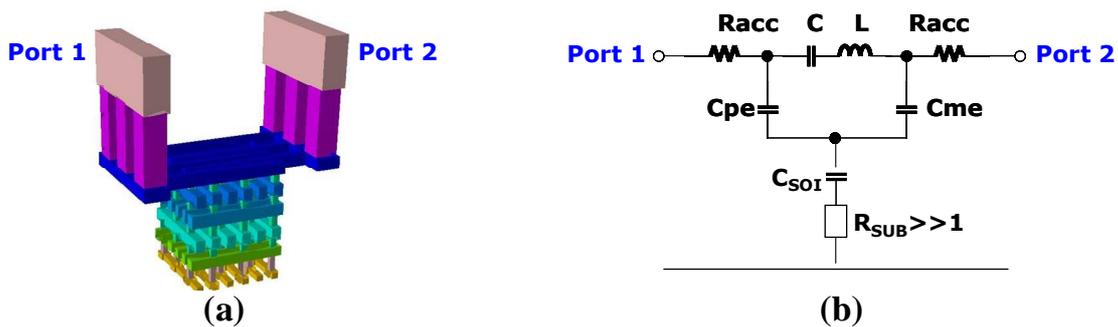


Figure II-37: (a) Vue 3D de la capacité MOM, (b) et sa représentation électrique [II-26]

Dans le cadre de cette thèse, nous avons utilisé respectivement la capacité MOM pour les circuits de polarisations et le découplage dans la technologie CMOS 65nm SOI-HR.

Les capacités MIM ( $2 \text{ fF}/\mu\text{m}^2$ ) (Métal – Isolant – Métal) sont disponibles dans le kit de conception dédié à la technologie BiCMOS9MW. Cette capacité de densité 2 fois plus grande que les capacités MOM est le plus souvent utilisée dans les circuits de polarisation et sert à découpler le signal RF du signal DC. Comme le montre la Figure II-38 la capacité MIM est principalement formée par l'empilement de 2 électrodes plates séparées par un matériau diélectrique (Nitrure ' $\text{Si}_3\text{N}_4$ ',  $\epsilon_r = 7.25$ ). Cet empilement est réalisé entre le métal M6 et l'AP, son schéma électrique prend en compte les contributions parasites ( $L_S$  et  $R_S$ ) des niveaux de métallisation. L'extraction des éléments du schéma électrique est basée sur un modèle en T.

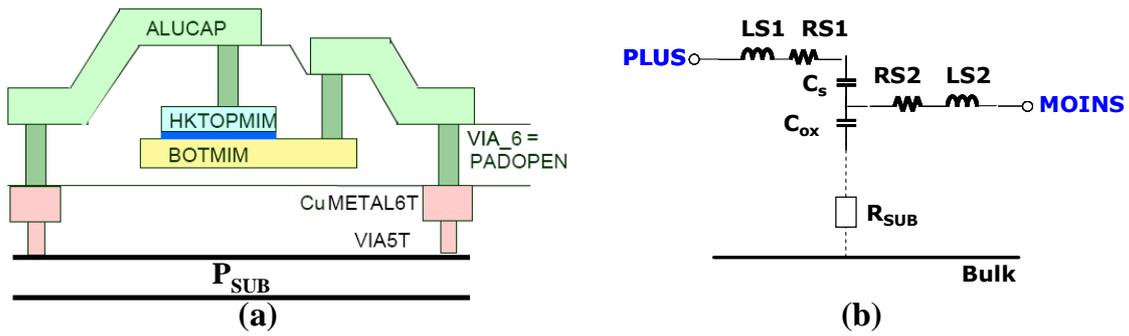


Figure II-38: (a) Représentation d'une capacité MIM intégrée sur un substrat massif (b) son schéma électrique associé [II-26]

Cette capacité MIM a été utilisée pour les capacités de polarisation et de découplage dans les tuners en BiCMOS9MW. Une caractérisation RF sur ces capacités MIM et MOM n'a pas été menée spécifiquement car ces capacités ont été utilisées en DC.

### II.3.2.d Les lignes de propagation (coplanaire et micro-ruban)

#### (1) Description

Deux types de ligne de propagation sont utilisés dans notre étude, il s'agit de la ligne micro-ruban et de la ligne coplanaire.

#### Technologie BiCMOS9MW :

La ligne de propagation micro ruban (Cf. Figure II-39) se compose de 2 métallisations (le ruban supérieur transporte le signal « de largeur " $W_s$ ", d'épaisseur " $t_s$ " et de longueur " $L$ " » et la métallisation inférieure constitue le plan de masse « de largeur " $W_m$ " et d'épaisseur " $t_m$ " ») séparés par un substrat semi-isolant.

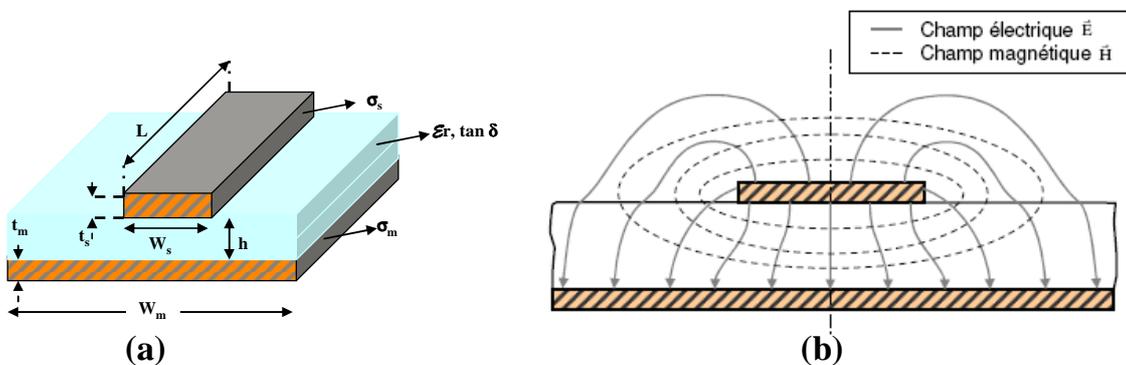


Figure II-39 : (a) La ligne de propagation micro-ruban et (b) ses champs magnétique et électrique

Ces lignes sont les plus appropriées pour une technologie disposant d'un substrat massif. Tout simplement parce que l'utilisation des niveaux de métallisation inférieurs va écranter le substrat de faible résistivité. La ligne de transmission micro-ruban en technologie BiCMOS9MW utilise les métaux supérieurs (M6T et la couche d'AP ; Cf. Figure II-9) et est protégée verticalement du substrat par un écran constitué des 2 premiers niveaux de métallisation (M1 et M2) sous la forme d'une grille en raison des contraintes de CMP. Son impédance caractéristique  $Z_c$  varie de  $39\Omega$  à  $72\Omega$  pour une largeur de ligne comprise entre  $20\mu\text{m}$  et  $4.4\mu\text{m}$ , pour une hauteur du diélectrique équivalent ( $\epsilon_r = 4.22$ ) de  $8.36\mu\text{m}$ . La mesure jusque  $100\text{GHz}$  des paramètres S de la ligne d'impédance caractéristique  $50\Omega$  a permis de mettre en évidence ses performances, montrant respectivement une atténuation ( $\alpha$ ) de 0.4, 0.5 et  $0.58\text{dB/mm}$  aux fréquences de 40, 60 et  $77\text{GHz}$ . On peut en plus noter que la constante de phase ( $\beta$ ) de cette ligne reste linéaire jusque  $110\text{GHz}$  et le mode de propagation est donc peu dispersif jusque  $110\text{GHz}$  (mode quasi-TEM).

La Figure II-40 résume toute la description faite de la ligne de transmission micro-ruban dans la technologie BiCMOS9MW.

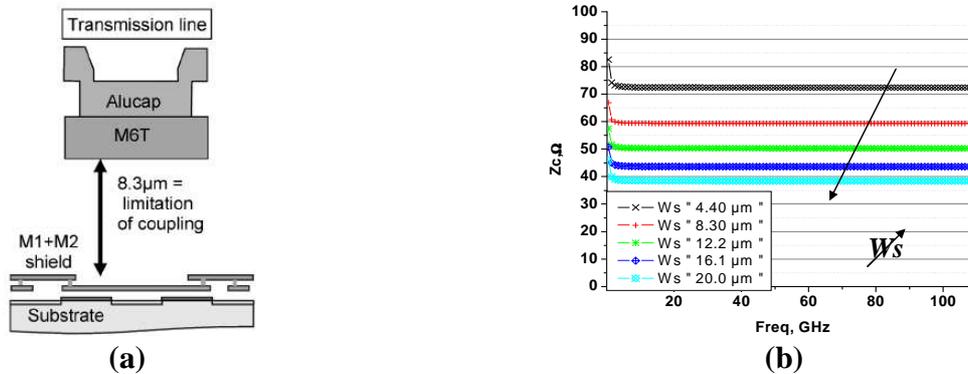


Figure II-40: (a) Coupe transversale de la ligne micro-ruban, (b) Variation de l'impédance caractéristique pour une largeur de ligne allant de  $4.4\mu\text{m}$  à  $20\mu\text{m}$

#### Technologie CMOS 65 nm SOI-HR :

La ligne de propagation coplanaire (Cf. Figure II-41) se compose de 3 rubans métalliques (le ruban central transporte le signal et les 2 rubans latéraux constituent le plan de masse) déposés sur un substrat semi-isolant.

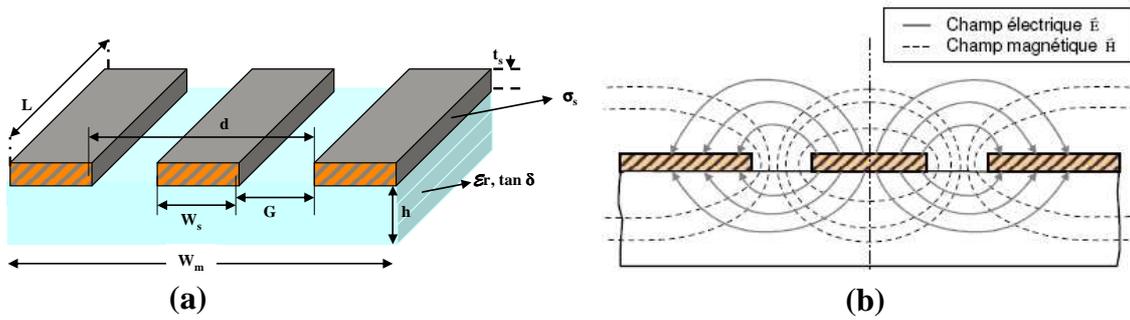


Figure II-41 : (a) La ligne de propagation coplanaire et (b) ses champs magnétiques et électriques

La géométrie et la symétrie permettent à la ligne de propagation de supporter 2 modes de propagation fondamentaux sans fréquence de coupure [II-27]-[II-28]. Un mode impair quasi-TEM, encore appelé mode coplanaire [II-29], ce mode de propagation est souhaité avec pour particularité des plans de masse équipotentiels et un mode pair quasi-TE, appelé mode fente qui est à éviter car il est fortement dispersif [II-30], ce mode peut être excité par la présence de discontinuités.

Ces lignes sont les plus appropriées pour une technologie disposant d'un substrat hautement résistif (SOI-HR). Giancesello [II-31] a montré dans ses travaux de thèse l'intérêt de la technologie SOI-HR par rapport à une technologie bulk. Pour ce faire, il a mesuré respectivement à 100 GHz des pertes de 1dB/mm en technologie SOI HR et des pertes de 4dB/mm en technologie bulk pour une structure identique (Cf. Figure II-42).

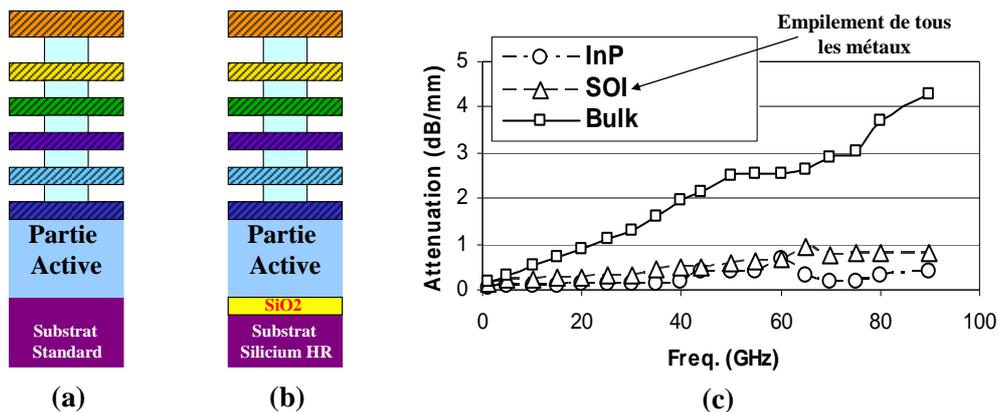


Figure II-42: Comparaison du BEOL bulk (a) et du BEOL SOI-HR (b) en technologie CMOS 65 nm au travers d'une mesure de ligne coplanaire (c) [II-31]

On remarquera également que l'empilement de tous les niveaux de métallisation permet d'avoir un métal plein équivalent de 4.4 μm (Cf. Figure II-5), permettant fortement de bénéficier des performances du SOI-HR pour l'intégration de dispositifs passifs performants.

(2) Modélisation

La modélisation d'une ligne de propagation va être faite toujours dans son mode TEM ou quasi-TEM ; sous ces différentes conditions, la ligne de propagation s'apparente à une succession de petits réseaux (longueur proche de zéro « dz~0 ») mis en cascade comme illustré sur la Figure II-43.

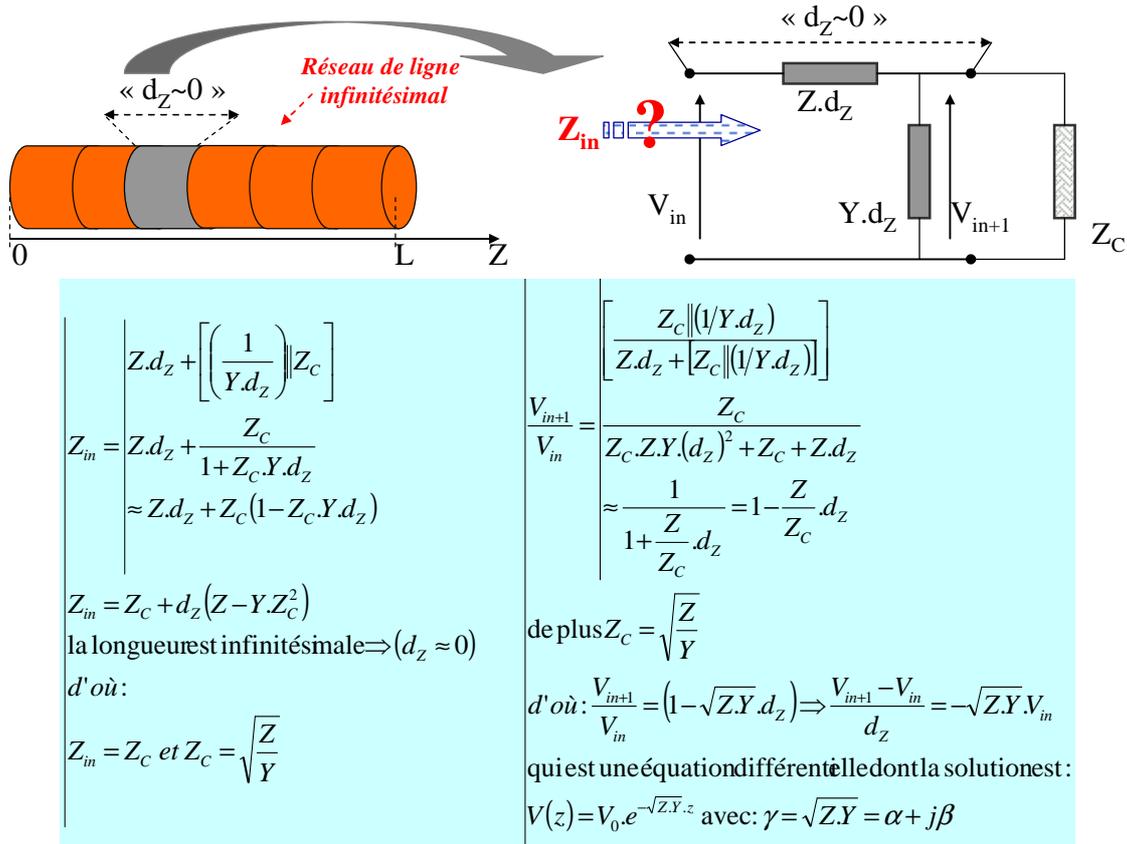


Figure II-43: Modélisation d'une ligne de transmission et obtention de l'impédance caractéristique et de la constante de propagation [II-32]

La ligne de propagation est entièrement caractérisée par la connaissance de 3 paramètres ( $Z_c [\Omega]$  son impédance caractéristique et  $\gamma = \alpha[Np/m] + j.\beta[rad/m]$  sa constante de propagation, où  $\alpha$  est la constante d'atténuation et  $\beta$  la constante de phase). La détermination de  $Z_c$  et de  $\gamma$  est basée sur le formalisme des équations de l'électromagnétisme de MAXWELL et des équations de KIRCKKOFF [II-32] que nous ne démontrerons pas ici. Les équations de gauche sur la Figure II-43 présentent de manière simplifiée la détermination de l'impédance caractéristique lorsque la ligne infinitésimale est chargée par son impédance

caractéristique ; et les équations de droite sur la Figure II-43 présentent la détermination de la constante de propagation. Dans ces équations  $Z = R + jL\omega$  et  $Y = G + jC\omega$  avec :

- $R[\Omega/m]$  : modélise les pertes métalliques [II-33]
- $L[H/m]$  : modélise l'énergie magnétique stockée
- $C[F/m]$  : modélise l'énergie électrique stockée
- $G[S/m]$  : modélise les pertes diélectriques.

Les équations d'Eisenstadt [II-34] permettent d'extraire ces paramètres par la mesure des paramètres [S] de la ligne.

### Technologie BiCMOS9MW :

La modélisation des lignes de propagation chez STMicroelectronics, se fait en suivant le formalisme de la ligne distribuée ( $RLCG$ ), les équations utilisées [II-35] sont celles décrites sur la Figure II-44 :

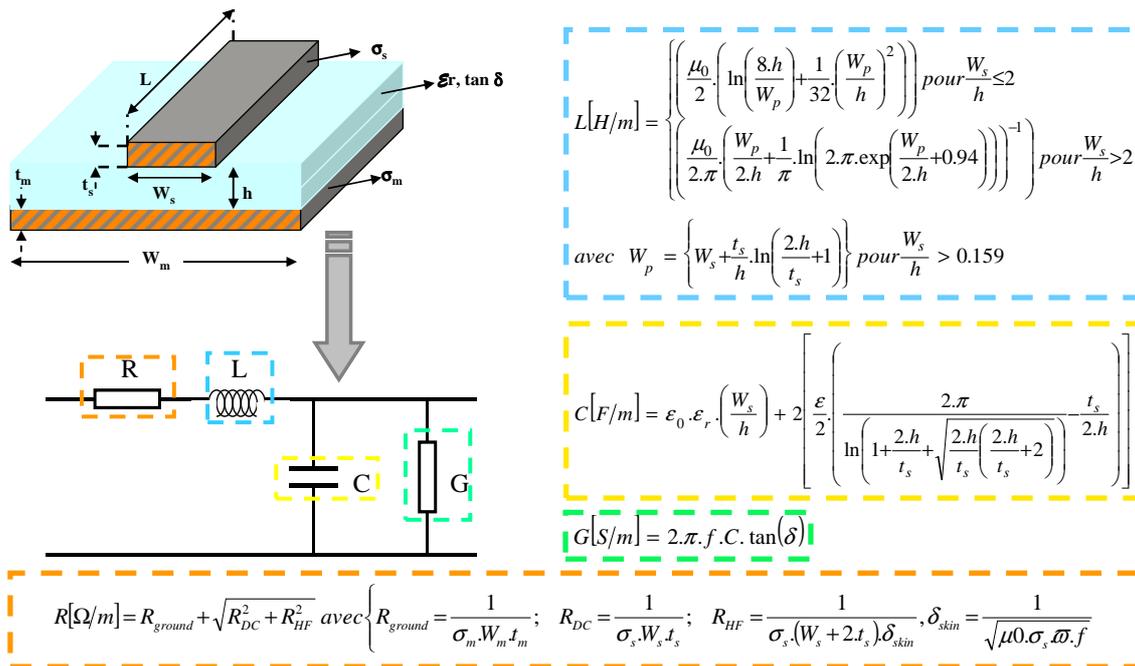


Figure II-44: Formule de la modélisation de la ligne de transmission micro ruban [II-35]

### Technologie CMOS 65 nm SOI-HR :

En ce qui concerne la modélisation de la ligne coplanaire (décrite plus haut), elle est basée sur le même principe de réseau distribué ( $RLCG$ ) (Cf. Figure II-44). Les équations de la résistance et de la conductance restent les mêmes [II-36] que dans la ligne micro-ruban et la

détermination de la capacité et de l'inductance se font à partir de fonctions elliptiques [II-37] et de transformations conformes [II-38].

Cependant 3 caractéristiques importantes sont à prendre en compte dans le dimensionnement de la ligne coplanaire [II-39]. Il s'agit de la distance d'inter-masse " $d = (W_s + 2.G)$ ", du rapport " $\chi = (W_s / d_{MAX})$ " et de l'épaisseur de métallisation de la ligne signal " $t_s$ ".

La Figure II-45 montre l'évolution de la distance d'inter-masse en fonction de la fréquence ainsi que l'impact de l'empilement des niveaux de métallisation sur l'atténuation et sur l'impédance caractéristique de la ligne.

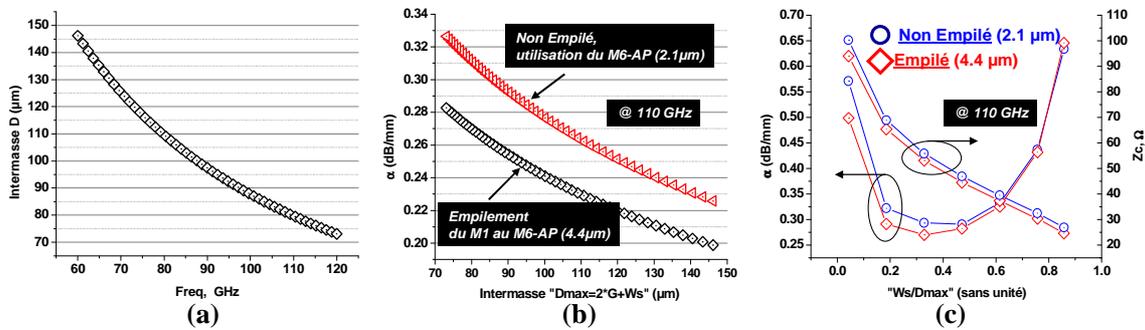


Figure II-45 : (a) Distance d'inter-masse maximum pour une fréquence de travail de 110GHz, en (b) influence de la distance d'inter-masse sur les pertes et en (C) influence de la distance d'inter-masse sur les pertes

En effet, afin d'éviter la propagation de modes indésirables, la distance d'inter-masse doit rester faible par rapport à la longueur d'onde guidée dans le diélectrique " $\lambda_g$ " [II-36]. Cette distance est fortement liée au diélectrique utilisé (" $\epsilon_r$ ") et à la fréquence d'utilisation (Cf. Eq II-4).

$$d \leq \frac{\lambda_g}{10} = \frac{c}{10 \cdot f \cdot \sqrt{\epsilon_{reff}}} \cong 79.73 \mu\text{m} @ 110 \text{ GHz}$$

$$\Rightarrow d_{MAX|110\text{GHz}; \epsilon_r=11.7} \approx 70 \mu\text{m}$$
Eq II-4

Dans notre cas le substrat utilisé est le silicium (" $\epsilon_r = 11.7$ ") et les lignes doivent avoir un comportement quasi-TEM en bande W (jusque 110 GHz), ce qui nous donne une distance d'inter-masse maximale " $d_{MAX} = 70 \mu\text{m}$ ".

Après avoir fixé la distance d'inter-masse, il faut fixer le rapport " $\chi = (W_s/d_{MAX})$ " qui nous donne les dimensions de la ligne coplanaire pour laquelle l'atténuation est la plus faible. Nous remarquerons que sur un substrat SOI, mieux vaut avoir une épaisseur de métallisation plus importante pour bénéficier pleinement du substrat HR et avoir des lignes performantes (faible atténuation, etc ...) [II-39].

### (3) Mesure

La ligne micro ruban en BiCMOS9MW utilise les 2 niveaux de métallisation inférieurs du BEOL pour son plan de masse et le niveau de métallisation supérieur (M6 et AP) pour la ligne qui transporte le signal. La Figure II-46 présente sa caractérisation.

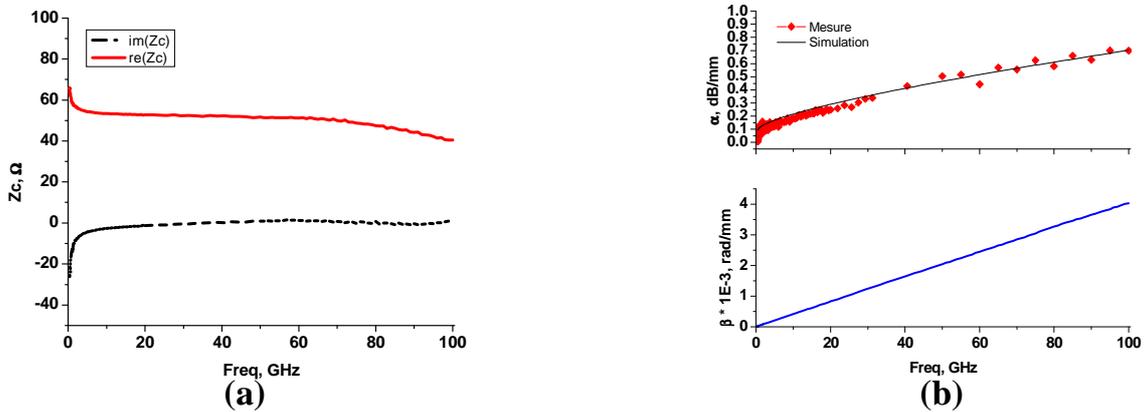
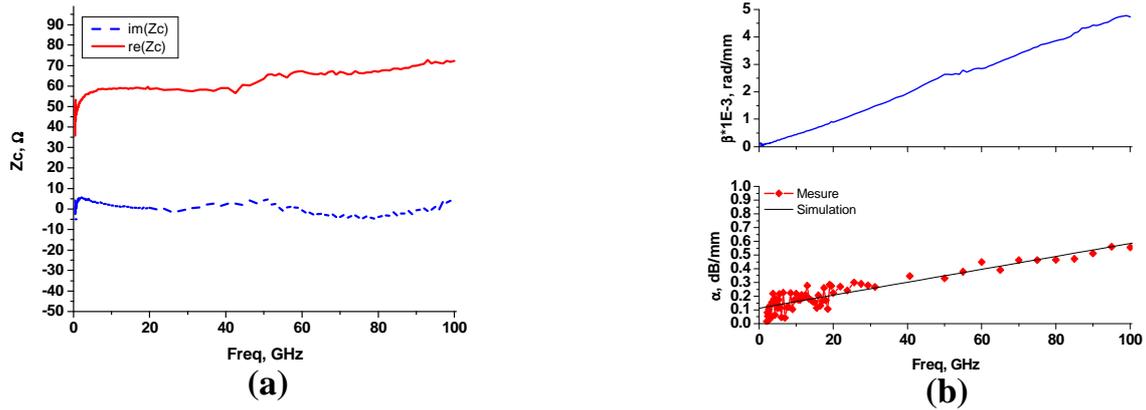


Figure II-46: (a) Impédance caractéristique, (b) le coefficient d'atténuation mesuré, simulé et la constante de phase mesurée d'une ligne de transmission micro ruban de 600 $\mu$ m

La ligne coplanaire en CMOS 65 nm SOI-HR a les dimensions suivantes pour un fonctionnement quasi-TEM en bande W [75-110 GHz] «  $d=70 \mu\text{m}$ ,  $W_s=26\mu\text{m}$  et  $G=22\mu\text{m}$  ». Etant donné que les règles de dessin (Cf. II.2.1.c) de la technologie CMOS 65 nm SOI-HR ne nous permettent pas d'avoir un métal de plus de 12  $\mu\text{m}$  de large, nous avons segmenté la ligne signal ( $W_s=26\mu\text{m}$ ) en 3 lignes parallèles espacées de 1.5 $\mu\text{m}$ . La Figure II-47 présente les résultats de la mesure de cette ligne de propagation utilisant tous les niveaux de métallisation empilés.



**Figure II-47: (a) Impédance caractéristique (b) coefficient d'atténuation et constante de phase mesurée d'une ligne de transmission coplanaire de 600µm**

Les performances des deux types de lignes (micro ruban et coplanaire) ont des performances similaires. Nous observons respectivement à la fréquence de 110 GHz en CMOS et en BiCMOS une atténuation de l'ordre de 0.7dB/mm et de 0.6dB/mm.

### II.3.3. Réalisation du tuner (CMOS 65nm SOI-HR & BiCMOS9MW)

Le but du tuner est de synthétiser des impédances proches des impédances optimales des transistors sous test, nous pouvons voir ce système intégré (tuner + transistor) de mesure comme un amplificateur (faible bruit) variable. Ces tuners d'impédances nous permettront de valider le modèle millimétrique des transistors plus précisément en bande W.

Les paragraphes suivants présentent la conception de notre tuner intégré dans la technologie CMOS 65 nm SOI HR pour adresser la mesure de bruit des transistors à effet de champ (MOSFET) et dans la technologie BiCMOS9MW pour adresser la mesure de bruit des transistors bipolaires (HBT SiGe) de STMicroelectronics.

#### La technologie CMOS 65 nm SOI HR :

Pour concevoir notre tuner, nous avons basé notre étude sur un transistor MOSFET de longueur de grille 60 nm avec un développement total de 40 µm. Les conditions de polarisation du transistor MOSFET définies ci-dessus (Cf. II.2.1.a ) nous ont permis de localiser les impédances optimales de source permettant de définir une zone utile de l'abaque de Smith. La polarisation est fixée à  $V_{GS} = 0.72$  V (au maximum du gain) et  $V_{DS} = 1.2$  V.

Les valeurs des composants passifs décrits au paragraphe II.3.2 et utilisés dans le tuner CMOS 65 nm SOI-HR sont résumées dans le tableau suivant :

Composants	Géométries	Polarisation	Valeur @ 80 GHz
MOS-froid	$W_f / L = 40 / 0.12$ [ $\mu\text{m}$ ] $N_f = 80$	(0) à (1) V [5 points]	$27 \Omega @ 0.5 \text{ V}$
Varactor	$W_{fp} / L_{fp} = 3 / 0.35$ [ $\mu\text{m}$ ] $N_{bfp} = 5$	De (-1) à (1) V 5 points	$65 \text{ fF} @ 0 \text{ V}$ TR = 2.4
Ligne de Transmission Coplanaire	$W_s = 26 \mu\text{m}$ $G = 22 \mu\text{m}$	---	$Z_c = 65 \Omega$ $\alpha = 0.45 \text{ dB/mm}$ $\beta = 3600 \text{ rad/mm}$

Tableau II-3 : Les composants nécessaires pour la conception du tuner d'impédances dans la technologie CMOS 65 nm SOI-HR

La Figure II-48 présente le schéma du tuner en technologie CMOS 65nm SOI HR. Les lignes de transmission utilisées sont des lignes coplanaires et leur dimensionnement a été discuté ci-dessus (Cf. II.3.2.d ). La variation de la résistance du MOSFET-froid s'effectue par la commande en tension directement appliquée par les tés de polarisation du banc et associés aux sondes RF, le premier té de polarisation interne sert à la commande en tension du varactor MOS à accumulation et le deuxième permet de polariser le transistor sous test. Un jeu de 5 points de polarisation sur le MOSFET-froid et sur le varactor à accumulation permet la synthèse de 25 impédances par point de fréquence. L'utilisation de la ligne de transmission en sortie du 2<sup>ème</sup> té de polarisation permet de faire tourner la constellation ainsi présentée au transistor (Cf. Figure II-22).

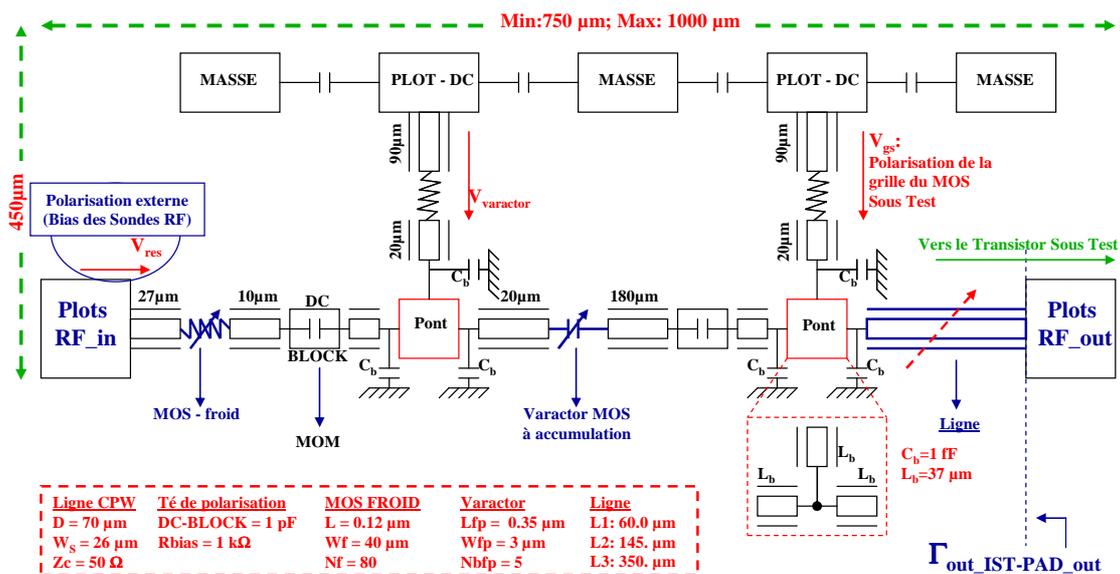


Figure II-48: Schéma équivalent du tuner dans la technologie CMOS 65 nm SOI HR

La Figure II-49 présente les blocs principaux du tuner dans la technologie CMOS 65 nm SOI-HR, en l'occurrence le té de polarisation interne, le MOSFET froid et le varactor.

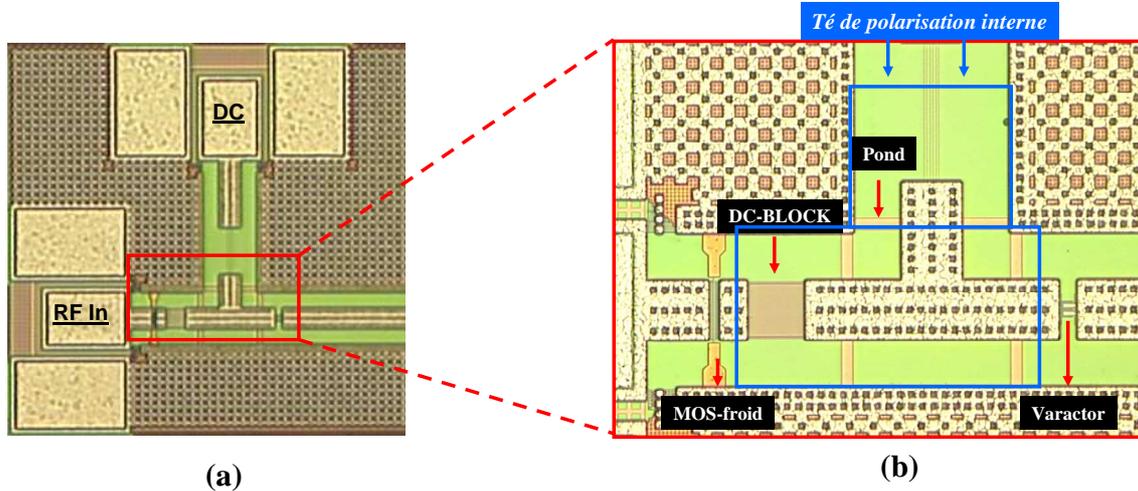


Figure II-49: (a) Photo de la réalisation du tuner dans la technologie CMOS 65 nm SOI-HR, (b) zoom sur la partie principale du tuner d'impédances

La présence de ponts à air sur le schéma équivalent permet de prendre en compte la discontinuité à la jonction des tés de polarisation et d'éviter toute propagation de mode indésirable (mode fente). Ces ponts à air permettent de relier les masses entre elles, rendant les plans de masses équipotentiels.

La technologie BiCMOS9MW :

Les valeurs des composants passifs décrits au paragraphe II.3.2 et utilisés dans le tuner CMOS 65 nm SOI-HR sont résumées dans le tableau suivant :

Composants	Géométries	Polarisation	Valeur @ 80 GHz
MOS-froid	$W_f / L = 20 / 0.13$ [ $\mu\text{m}$ ] $N_f = 20$	De (0) à (1) V [5 points]	40 $\Omega$ @ 0.5 V
Varactor	$W_{fp} / L_{fp} = 8.6 / 0.35$ [ $\mu\text{m}$ ] $N_{bfp} = 5$	De (-1) à (1) V [5 points]	140 fF @ 0 V TR = 2.4
Ligne de Transmission Microo-ruban	$W_s = 11.5$ $\mu\text{m}$	---	ZC = 49 $\Omega$ $\alpha = 0.50$ dB/mm $\beta = 3400$ rad/mm

Tableau II-4 : Les composants nécessaires pour la conception du tuner d'impédances dans la technologie BiCMOS9MW

Le principe de conception du tuner reste le même pour la technologie BiCMOS9MW, la seule différence est le BEOL d'où l'utilisation des lignes de transmission micro-ruban. La Figure II-50 illustre le schéma équivalent du tuner.

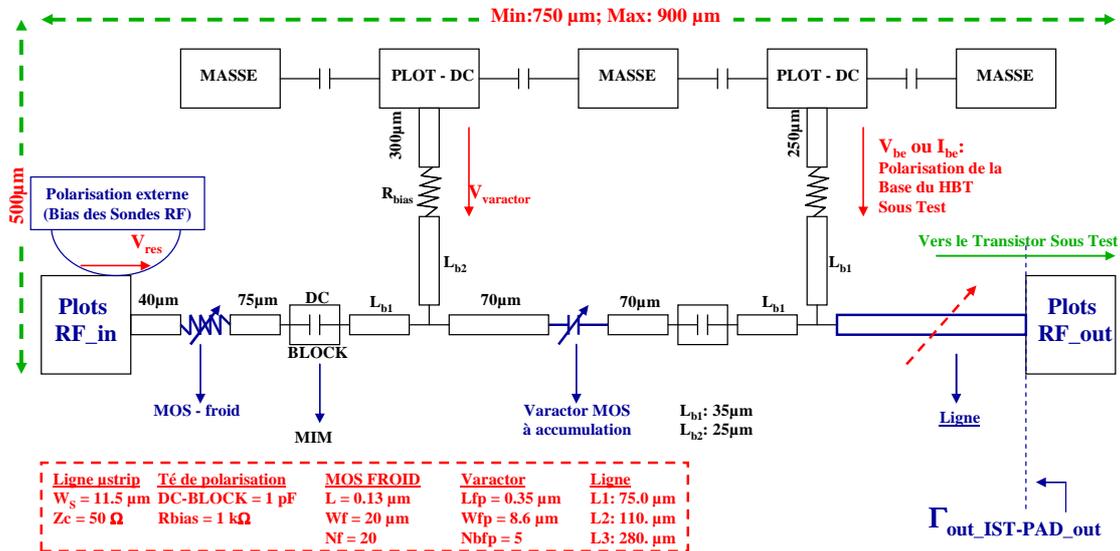


Figure II-50: Schéma équivalent du tuner dans la technologie BiCMOS9MW

La Figure II-51 présente la réalisation de ce tuner d'impédances, ainsi que le comportement des tés de polarisation interne.

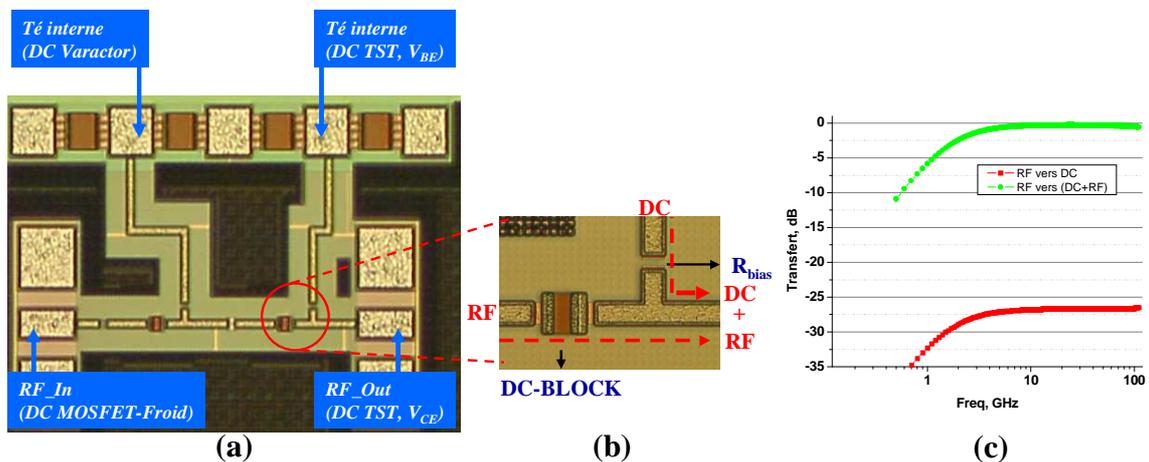


Figure II-51: (a) Photo de la réalisation du tuner d'impédances dans la technologie BiCMOS9MW, (b) zoom du té de polarisation, (c) simulation du té de polarisation

## II.4. Performances des tuners

La caractérisation des tuners s'est effectuée en paramètres S sur un banc de mesure conventionnel disponible à STMicroelectronics.

### II.4.1. La technologie CMOS 65nm SOI

Dans la conception du tuner nous avons utilisé 3 longueurs de lignes différentes pour synthétiser des inductances variables. La Figure II-52 et la Figure II-53 présentent les coefficients de réflexion mesurés en gamme millimétrique en sortie du tuner.

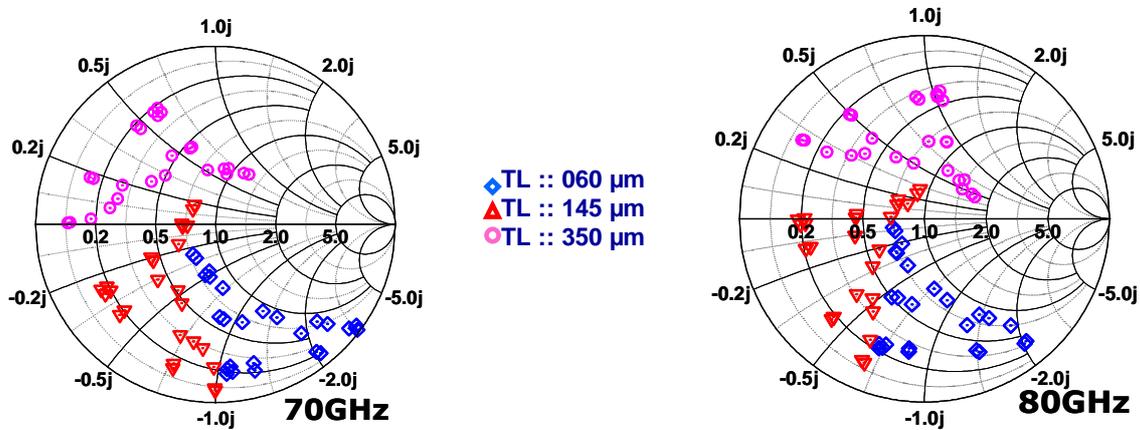


Figure II-52: Coefficients de réflexion (70-80 GHz) en sortie du tuner en technologie CMOS

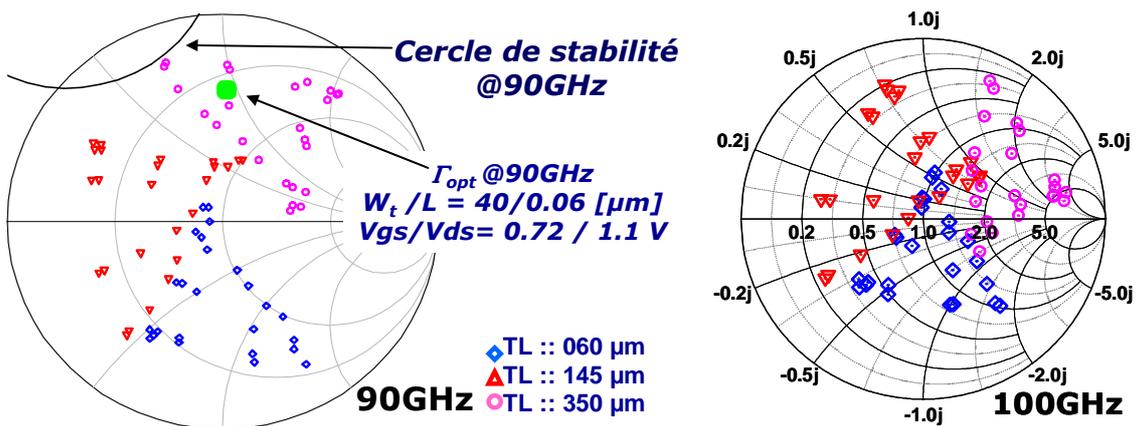


Figure II-53: Coefficients de réflexion (90-100 GHz) en sortie du tuner en technologie CMOS

Nous observons une bonne couverture d'impédances de l'abaque de Smith et une large couverture fréquentielle. La Figure II-53 présente à 90GHz le coefficient de réflexion optimal du transistor à caractériser, son cercle de stabilité et les impédances mesurées. Ce graphe

montre que notre système est stable (impédances dans la zone stable de l'abaque). La Figure II-54 présente en revanche la conséquence directe de forts coefficients de réflexion ( $S_{21} \sim -20\text{dB}$ ) qui est dû au transistor MOSFET-froid. Afin d'augmenter la transmission  $S_{21}$ , une solution d'amélioration est à envisager.

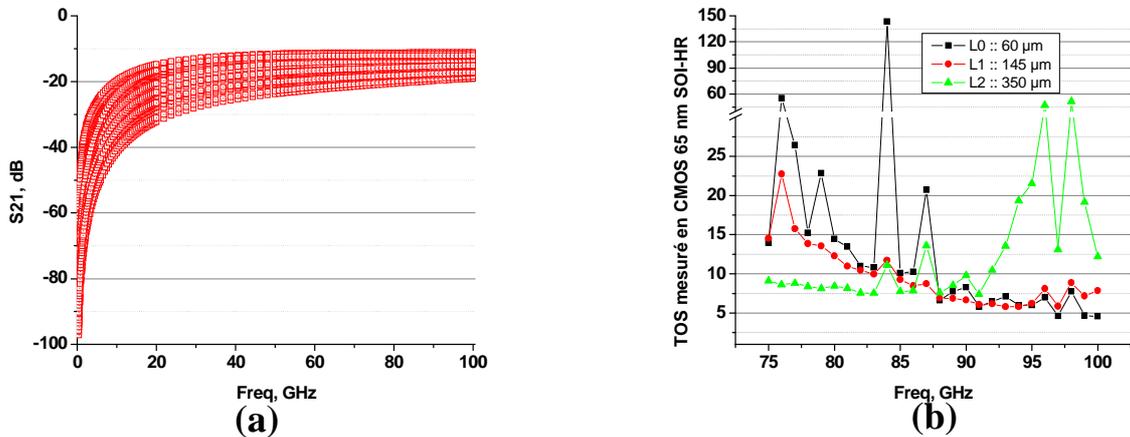


Figure II-54: Performances du tuner en technologie CMOS 65 nm SOI-HR (a) coefficients de transmission du tuner, (b) TOS maximum mesuré du tuner

Nous constatons que la zone couverte est compatible avec le cahier des charges défini au paragraphe II.2.1.a pour le MOSFET de la technologie CMOS 65 nm SOI-HR, ce qui laisse penser que la mesure du facteur de bruit du transistor sera possible sur la base de ce tuner.

#### II.4.2. La technologie BiCMOS9MW

Tout comme la technologie CMOS, trois longueurs de ligne (Cf. Figure II-55 et Figure II-56) sont utilisées pour synthétiser une inductance variable.

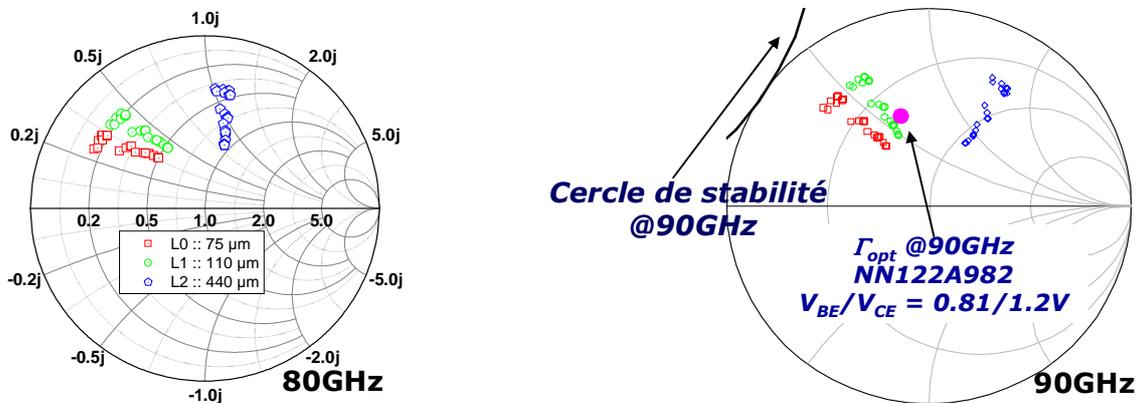


Figure II-55 : Coefficients de réflexion à 80 et 90 GHz en sortie du tuner dans la technologie BiCMOS9MW

Nous observons une bonne couverture d'impédances sur la plage de fréquence concernée. Nous constatons sur la Figure II-55 à 90GHz que les impédances mesurées se situent dans la zone stable du transistor, ceci montre que notre système est aussi stable.

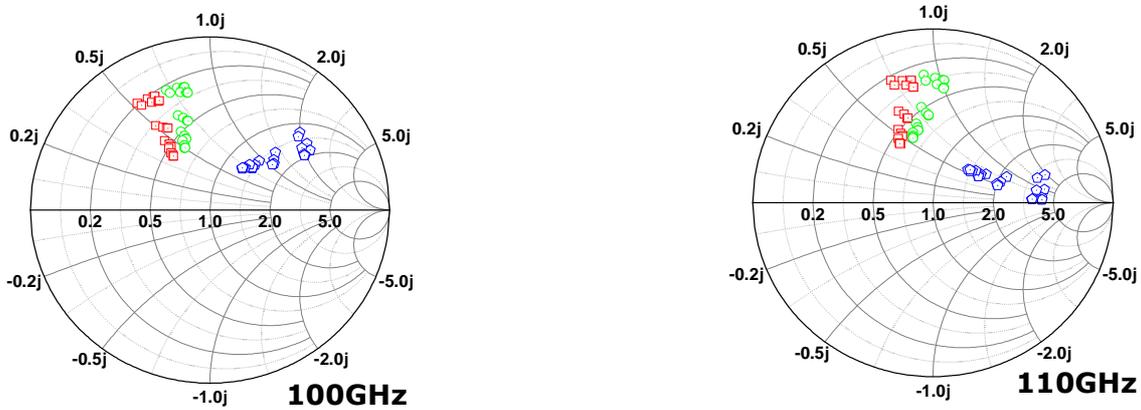


Figure II-56 : Coefficients de réflexion à 100 et 110 GHz en sortie du tuner dans la technologie BiCMOS9MW

Cependant la constellation obtenue est plus réduite que celle de la technologie CMOS. Cette réduction de constellation en BiCMOS9MW s'explique par le comportement de l'impédance de la capacité qui évolue de la même manière que la fonction inverse ( $Z_C = 1/(C.2\pi f)$ ). En effet, à fréquence fixe plus la capacité est importante et plus l'impédance est faible et vis versa. Je rappelle que nous avons respectivement en CMOS et en BiCMOS une capacité du varactor de 50fF +/- 20fF à 60GHz et 120fF +/- 40fF @ 60 GHz. La forte impédance d'une capacité se traduit alors sur l'abaque de Smith par cette réduction de la constellation. Le paramètre de transmission reste similaire à la technologie CMOS ( $S_{21} \sim -20$  dB), en revanche les TOS maximums sont de l'ordre de 7:1 (Figure II-57).

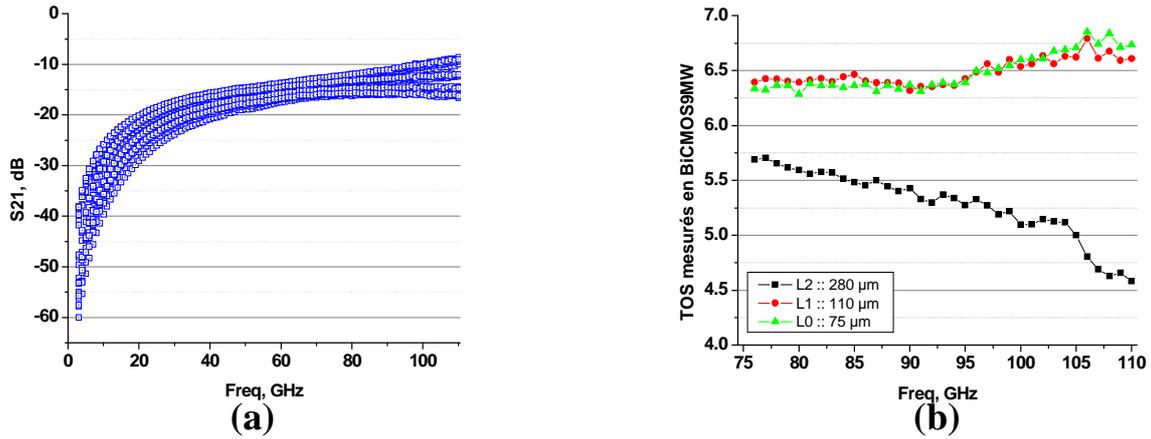


Figure II-57: Performance du tuner en technologie BiCMOS9MW. (a) coefficients de transmission du tuner, (b) TOS maximum mesuré pour le tuner

Il faut toutefois noter qu’avec la faible ouverture de la constellation, la technologie BiCMOS9MW reste en accord avec le cahier des charges identifié au paragraphe II.2.1.b . Les résultats obtenus révèlent une transmission de l’ordre de (20dB) qui est due à l’utilisation série du MOSFET-froid. Une amélioration de cette transmission est apportée en plaçant le MOSFET-froid dans le prolongement du stub de polarisation (Cf. Figure II-58), ce qui permet de réduire d’un facteur 2 les pertes d’insertion. Cette amélioration du coefficient de transmission a pour conséquence directe la réduction du coefficient de réflexion (du TOS).

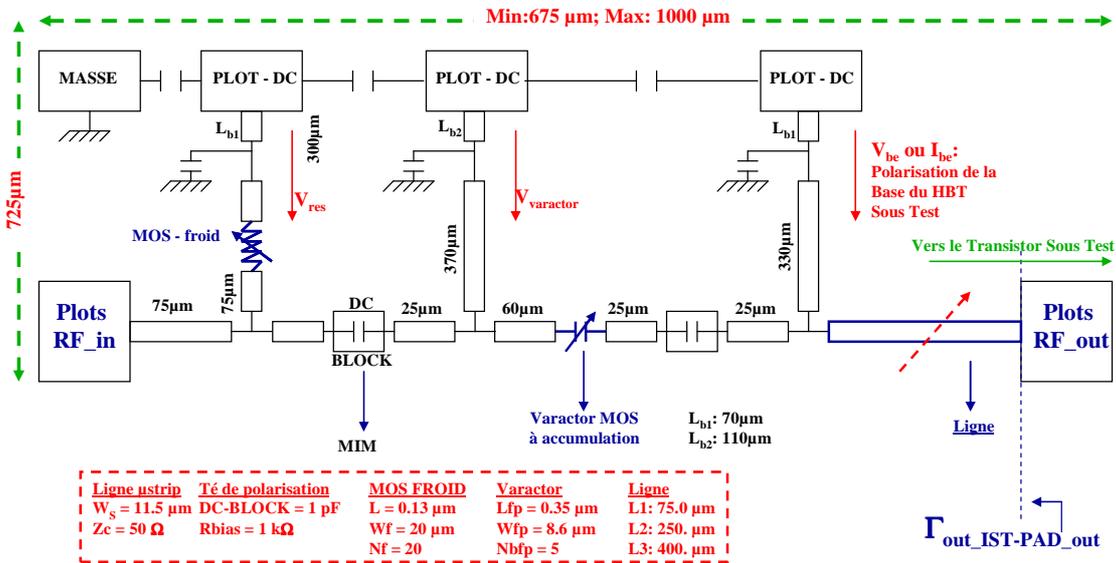


Figure II-58: Schéma équivalent du tuner amélioré en technologie BiCMOS9MW

Dans cette nouvelle configuration le contrôle en tension du MOSFET-froid ne se fait plus par les pointes RF des sondes mais par les pointes DC (Masse – Signal – Signal –

Signal). La Figure II-59 présente les résultats de mesure du tuner amélioré sur la bande de fréquence W, en termes de coefficient de réflexions et de TOS.

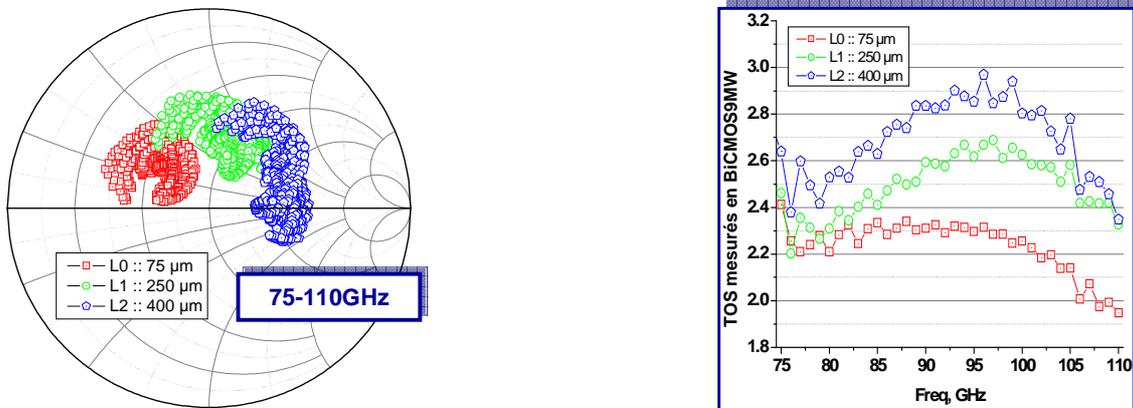


Figure II-59: Coefficients de réflexion et TOS du tuner amélioré entre 75 et 110GHz

La Figure II-60 présente l'amélioration de la transmission.

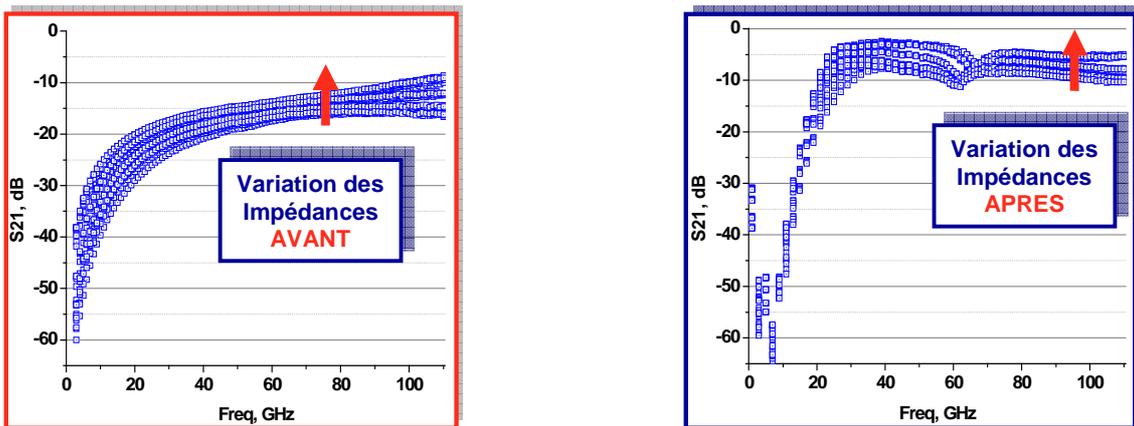


Figure II-60: Coefficients de réflexion et TOS du tuner amélioré entre 75 et 110GHz

## II.5. Conclusion sur les tuners

Comme évoqué au chapitre I, la caractérisation millimétrique (60 – 110 GHz) des transistors HBT et MOSFET des technologies avancées est indispensable du fait des applications émergentes et des performances compétitives de ces composants principalement au niveau de leur facteur de bruit. Par manque de solution de tests industriels performantes de facteur de bruit à ces fréquences au début de la thèse, nous avons étudiés une solution alternative fondée sur l'utilisation de tuners intégrés à la structure de test. Ce chapitre II présente l'approche utilisée pour définir le cahier des charges de ces tuners pour le test des

transistors HBT de la technologie BiCMOS9MW et des MOSFET de la technologie CMOS 65 nm SOI-HR. Ce cahier des charges a été construit suite à l'analyse comportementale en bruit des transistors de façon à définir les zones de l'abaque de Smith à réaliser pour se rapprocher des impédances optimales de bruit tout en restant stable et en conservant du gain en bande millimétrique (60 – 110 GHz). Cette étape amène à la conclusion qu'une seule architecture de tuner est nécessaire pour adresser le bipolaire et le MOSFET des technologies concernées. Ensuite, une structure fondée sur un circuit R, L et C série est proposée et réalisée en passant par la description et la modélisation des composants passifs (MOS-froid, capacité MIM et MOM, ligne de transmission, varactor) utilisés dans la conception et ceci pour les 2 technologies étudiées. La caractérisation des structures réalisées est ensuite montrée en termes de coefficients de réflexions atteints et de pertes d'insertion montrant que les performances obtenues sont compatibles avec le cahier des charges établi, en réalisant des TOS entre 7:1 en B9MW et 150:1 en CMOS 65 nm SOI-HR (Cf. Figure II-61).

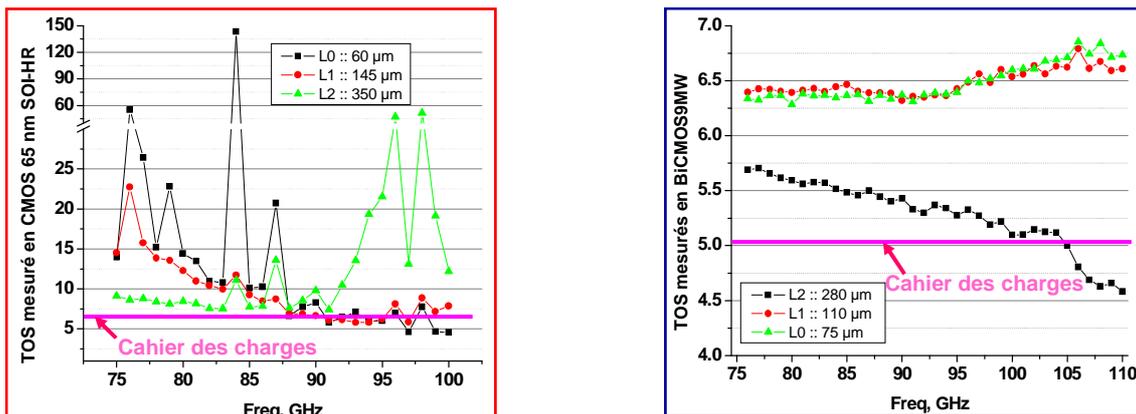


Figure II-61: Récapitulatif des TOS des tuners mesurés en technologie CMOS et BiCMOS

Les objectifs fixés au chapitre I, dans l'état de l'art des tuners sont respectés, nous avons obtenues des surfaces compétitives aux tuners à base de MEMS de l'ordre du millimètre carré (~0.5mm<sup>2</sup>) qui restent et des tensions d'alimentations de l'ordre du Volt (~1V).

Ces tuners d'impédances vont nous permettre dans le chapitre III d'extraire les 4 paramètres de bruit en bande W (75-110 GHz) des transistors HBT et MOSFET qui ont été utilisés.

## Références bibliographiques

*Présentation des technologies CMOS 65nm SOI et BiCMOS9MW : process (BEOL), performances et composants offerts*

---

- [II-1] C. Raynaud, et al., “Advanced CMOS (sub-0.25  $\mu\text{m}$ ) technologies for RF and MMW PA”, IEEE Radio-Frequency Integrated Circuits Symposium, Workshop on “Technology and Power Combining Techniques for Millimeter-Wave Applications”, Juin, 2009
- [II-2] H. Rhoté, et al., « Theory of noisy fourpoles », Proceedings of the Institute of Radio Engineers, vol. 44, n° 6, pp. 811-818, juin, 1956
- [II-3] Rapport interne STMicroelectronics, “Manuel des Règles de Dessin de la Technologie CMOS 65nm SOI-RH”
- [II-4] M. Laurens et al., “150 GHz ft/fMax 0.13  $\mu\text{m}$  SiGe:C BiCMOS technology,” in Proc. BCTM, Oct. 2003, pp. 199–202.
- [II-5] G. Avenier et al., “0.13 $\mu\text{m}$  SiGe BiCMOS Technology Fully Dedicated to mm-Wave Applications,” in IEEE Journal of Solid-State Circuits, Vol. 44, No. 9, September 2009, pp. 2312–2321.
- [II-6] S. Decoutere et al, “Pushing the speed limits of SiGeC HBTs up to 0.5 Terahertz”, IEEE Custom Integrated Circuits Conference (CICC), San Jose, CA, 2009, pp. 347 – 354.
- [II-7] Rapport interne STMicroelectronics, “Manuel des Règles de Dessin de la Technologie BiCMOS9MW”
- [II-8] P. Chevalier et al., “300 GHz fMax self-aligned SiGeC HBT optimized towards CMOS compatibility,” in Proc. BCTM, Oct. 2005, pp.120–123.
- [II-9] D. Kelly and F. Wright, "Improvements to performance of spiral inductors on insulators," Radio Frequency Integrated Circuits (RFIC) Symposium, IEEE, pp.431-433, June 2002.
- [II-10] W. B. Kuhn and N. M. Ibrahim, "Analysis of current crowding effects in multiturn spiral inductors," IEEE Transactions on Microwave Theory and Techniques, vol. 49, Issue 1, pp.31-38, Jan. 2001.
- [II-11] C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," IEEE Journal of Solid-State Circuits, vol. 33, Issue 5, pp.743-752, May 1998.

*Conception du tuner*

---

- [II-12] B. Razavi "Design of Analog CMOS Integrated Circuits," Livre Mc Graw-hill international edition, Electrical Engineering Series
- [II-13] Steven Kay. “Fundamentals of statistical signal processing: Estimation theory”. Prentice Hall, 1993
- [II-14] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez. A new method for determining the FET small-signal equivalent circuit. IEEE Transactions on Microwave Theory and Techniques, 36(7):1151.1159, 1988
- [II-15] G. Crupi et al, "Accurate Multibias Equivalent-Circuit Extraction for GaN HEMTs," IEEE MTT, Vol. 54, No. 10, pp.3616-3622, October 2006
- [II-16] Y.Morandini "Evaluation de la technologie CMOS SOI Haute Résistivité pour applications RF jusqu'en bande millimétrique," thèse 2008 Université de Lille et STMicroelectronics
- [II-17] Porret A.-S., Melly T., Enz C.C., Vittoz E.A., “Design of high-Q varactors for low-power wireless applications using a standard CMOS process,” IEEE Journal of Solid-State Circuits, Vol. 35, Issue 3, pp.337-345, March 2000

- [II-18] Yi-Jen Chan, Chi-Feng Huang, Chun-Chieh Wu, Chun-Hon Chen, Chih-Ping Chao, "Performance Consideration of MOSFETS and Junction Diodes for Varactor," IEEE Transactions on Application Electron Devices, Vol. 54, Issue 9, pp. 2570-2573, Sept. 2007
- [II-19] S. Jan, "Rapport interne STMicroelectronics ", Decembre 2009
- [II-20] H. Samavati, A. Hajimiri, A. R. Shahani, G. N. Nasserbakht, and T.H. Lee, "Fractal capacitors," IEEE J. Solid-State Circuits, vol. 33, pp. 2035–2041, Dec. 1998
- [II-21] O. E. Akcasu, "High capacitance structure in a semiconductor device," U.S. Patent 5 208 725, May 4, 1993.
- [II-22] R. Aparicio and A. Hajimiri, "Capacity Limits and Matching Properties of Integrated Capacitors," IEEE Journal of Solid-State Circuits, vol. 37, no. 3, pp. 384-93, March 2002.
- [II-23] A. C. C. Ng and M. Saran, "Capacitor structure for an integrated circuit," U.S. Patent 5 583 359, Dec. 10, 1996.
- [II-24] A. Stolmeijer and D. C. Greenlaw, "High quality capacitor for sub-micrometer integrated circuits," U.S. Patent 5 939 766, Aug. 17, 1999.
- [II-25] M. N. Yoder, "Recessed interdigitated integrated capacitor," U.S. Patent 4 409 608, Oct. 11, 1983.
- [II-26] S. Boret, "EC13\_82 -high frequency characterization of 2fF/μm<sup>2</sup> MIM capacitor in HCMOS9 technology," rapport interne STMicroelectronics, Janvier 2005
- [II-27] N. H. L. Koster, S. Koslowski, R. Bertenburg, S. Heinen, I. Wolff, "Investigations on airbridges used for MMICs in CPW technique," 19th EuMC proceedings, 1989, pp. 666-671
- [II-28] Chen P. Wen, "Coplanar Waveguide: a surface strip transmission line suitable for nonreciprocal gyromagnetic device applications," IEEE, MTT, pp. 58-61, 1969
- [II-29] M. Riziat, R. Majidi-Ahy, and I. Jaung-Feng, "Propagation modes and dispersion characteristics of coplanar waveguides," IEEE, Trans. Microwave Theory Tech., vol. 38, pp. 245-251, Mars 1990
- [II-30] M. W. Jackson, "Mode conversion at discontinuities in fine-width conductor-backed waveguide," IEEE, Trans. Microwave Theory Tech., vol. 37, No. 10, pp. 1582-1589, October 1989
- [II-31] F. Gianesello "Evaluation de la technologie CMOS SOI Haute Résistivité pour applications RF jusqu'en bande millimétrique," thèse 2006 STMicroelectronics
- [II-32] T. H. Lee "The design of CMOS radio frequency integrated circuit," Livre second edition, Stanford University
- [II-33] H. A. Wheeler, « Formulas for the skin effect », Proceedings of the Institute of Radio Engineers, vol. 30, n° 9, pp. 412-424, septembre, 1942
- [II-34] W. R. Eisenstadt, et al., « S-parameter-based IC interconnect transmission line characterization », IEEE Transactions on Component, Hybrids and Manufacturing Technology, vol. 15, n° 4, pp. 483-490, août, 1992
- [II-35] S. Boret, « Scalable model for microstrip transmission line in BiCMOS6M and BiCMOS6G technologies », Rapport interne STMicroelectronics, Avril, 2000
- [II-36] W. Heinrich, « Quasi-TEM description of MMIC coplanar lines including conductor-loss effects », IEEE Transactions on Microwave Theory and Techniques, vol. 41, n° 1, pp. 45-52, janvier, 1993
- [II-37] W. Hilberg, « From approximations to exact relations for characteristic impedances », IEEE Transactions on Microwave Theory and Techniques, vol. 17, n° 5, pp. 259-265, mai, 1969
- [II-38] S. Gevorgian, et al., « Simple and accurate dispersion expression for effective dielectric constant of coplanar waveguide », IEE Microwave, Antennas and Propagation Proceedings, vol. 144, n° 2, pp. 145-148, avril, 1997
- [II-39] S. Boret "Circuits intégrés monolithiques en technologie coplanaire pour les applications de réceptions jusque 110 GHz," thèse 1999 Université de Lille et STMicroelectronics

## **III - Exploitation des tuners in-situ réalisés pour la caractérisation en bruit des transistors sur silicium**

---

III -	Exploitation des tuners in-situ réalisés pour la caractérisation en bruit des transistors sur silicium .....	III-88
III.1.	Description de la démarche de caractérisation .....	III-89
III.2.	Méthodologie de calibrage du banc de mesure en bruit.....	III-91
III.2.1.	Présentation du banc de mesure en bruit disponible à l'IEMN .....	III-91
III.2.2.	Le calibrage .....	III-93
III.2.3.	L'épluchage .....	III-101
III.2.4.	L'extraction des 4 paramètres de bruit des TST.....	III-105
III.3.	Benchmark tuner OFF-/ON- WAFER .....	III-110
III.4.	Perspectives .....	III-111
III.4.1.	Ouverture vers le Load-Pull intégré .....	III-111
III.4.2.	Perspectives d'amélioration du tuner .....	III-118
III.4.2.a	L'intégration.....	III-118
III.4.2.b	La montée en fréquence .....	III-119
III.4.3.	Utilisation des tuners dans un contexte plus large .....	III-120
III.4.3.a	L'adaptation d'impédance.....	III-120
(1)	En puissance .....	III-120
(2)	Système multi-bandes .....	III-121
(3)	Antenne-Amplificateur de puissance .....	III-122
III.5.	Conclusion sur la caractérisation en bruit des transistors .....	III-123

---

### III - Exploitation des tuners in-situ réalisés pour la caractérisation en bruit des transistors sur silicium

A travers le chapitre II, nous avons présentés les étapes de définition, de conception et de réalisation des tuners intégrés sur silicium en bande millimétrique. Ces tuners dédiés à la mesure de bruit vont nous permettre dans ce chapitre III d'extraire les 4 paramètres de bruit des transistors sous test (TST) à partir de la méthode des impédances multiples décrite dans le chapitre I.

#### III.1. Description de la démarche de caractérisation

Dans le but de clarifier le déroulement de toute notre extraction, nous tenons avant tout à présenter le synoptique du banc de mesure qui est illustré par la Figure III-1.

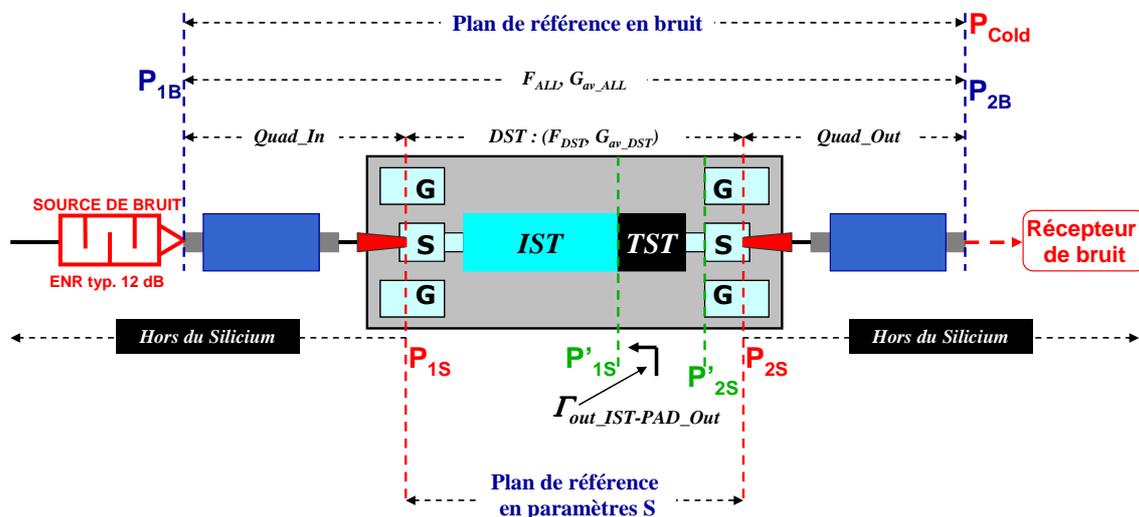


Figure III-1: Synoptique du banc de mesure en bruit disponible à l'IEMN et utilisé au cours de mes travaux de thèse

Sur la Figure III-1 nous pouvons distinguer le Dispositif Sous Test (DST) qui est constitué de l'In-Situ Tuner (IST), du Transistor Sous Test (*TST*) et des plots RF « GSG » (*PAD*). Le système global est constitué des quadripôles d'entrée (*Quad\_In*), de sortie

(*Quad\_Out*) et du DST. La mesure de bruit du système global s'effectue entre les plans de références  $P_{1B}$  et  $P_{2B}$ . La détermination des paramètres de bruit du TST s'effectue alors par corrections successives des plans de références  $P_{1B}$  et  $P_{2B}$  vers les plans de références  $P_{1S}$  et  $P_{2S}$  puis vers les plans de références  $P'_{1S}$  et  $P'_{2S}$ .

La Figure III-2 complète la Figure III-1 et présente la méthodologie utilisée pour l'extraction des 4 paramètres de bruit des TST.

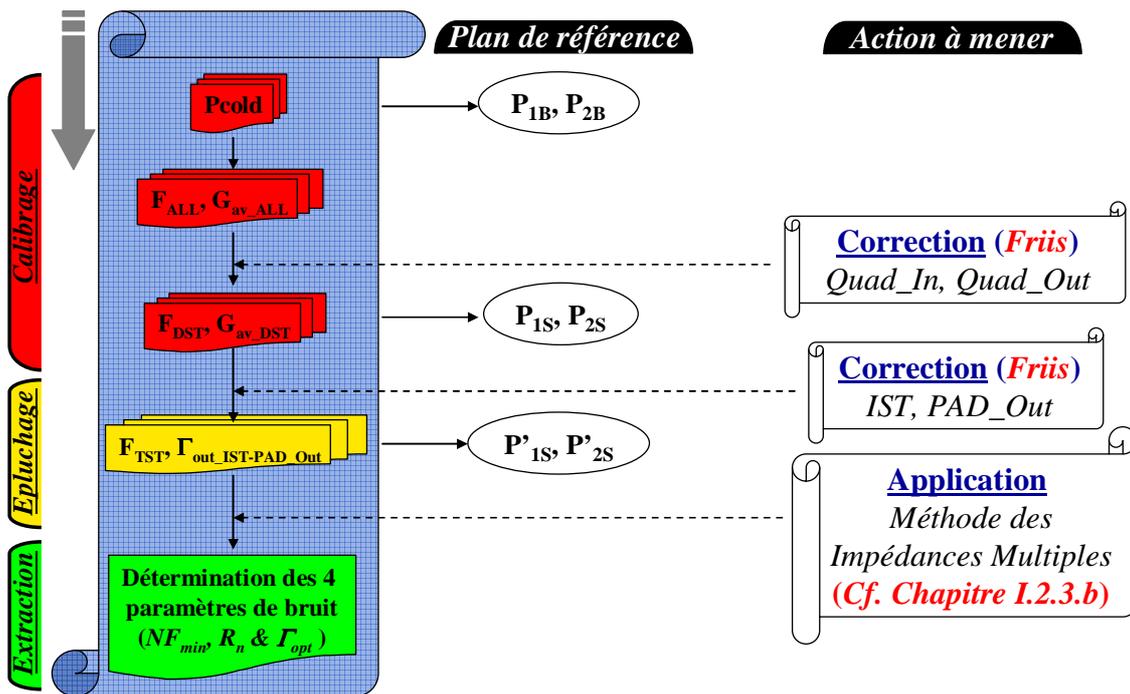


Figure III-2 : Méthodologie d'extraction des 4 paramètres de bruit des Transistors Sous Test

Sur la Figure III-2, nous pouvons distinguer trois termes qui seront utilisés assez fréquemment dans ce chapitre, il s'agit du **calibrage**, de l'**épluchage** et de l'**extraction**. En effet, la phase de calibrage nous permettra de faire une correction hors silicium des *Quad\_In* et *Quad\_Out*, la phase d'épluchage nous permettra de faire une correction sur silicium de l'IST et du plot RF de sortie et la phase d'extraction nous permettra d'appliquer la méthode des impédances multiples décrite au chapitre I.2.3.b puis de déduire les 4 paramètres de bruit du TST.

Dans un premier temps, ce chapitre III, nous permettra de présenter en détail le banc de mesure de bruit, le calibrage, l'épluchage et l'extraction pour aboutir aux 4 paramètres de bruit du TST (Bipolaire de BiCMOS9MW et MOSFET de CMOS 65 nm SOI-HR). Dans un

second temps, une étude expérimentale concernant les applications de puissance sera abordée, suivie d'une comparaison de performance entre les tuners intégrés et classiques. Nous clôturons ce chapitre par des perspectives d'amélioration du tuner et des voies supplémentaires d'utilisation.

## III.2. Méthodologie de calibrage du banc de mesure en bruit

### III.2.1. Présentation du banc de mesure en bruit disponible à l'IEMN

Les bancs de mesure de bruit sont, de manière générale, constitués de la source de bruit et du récepteur de bruit. La Figure III-3 décrit le banc de mesure de bruit en guide d'onde développé à l'IEMN pour la mesure en bande W (75-110 GHz) sous 50Ω.

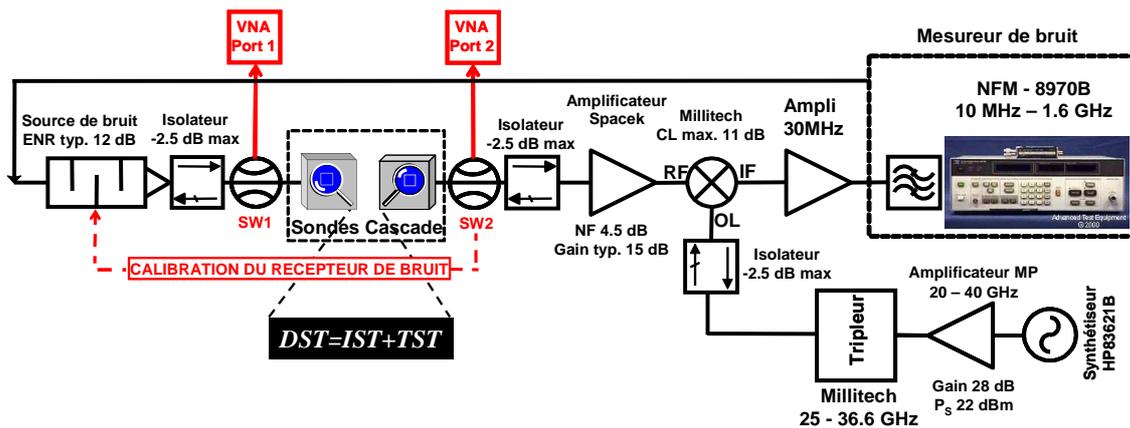


Figure III-3: Synoptique du banc de mesure en bruit développé à l'IEMN pour la bande W (75 - 110 GHz) sous 50Ω

La source de bruit est entièrement caractérisée par son ENR (de l'anglais Excess Noise Ratio) qui est une donnée constructeur, tandis que le récepteur de bruit est constitué d'un NFM (de l'anglais Noise Figure Meter) de type 8970B qui permet de faire la mesure dans sa bande de base (10MHz à 1.6 GHz), d'un mélangeur Millitech® (~11dB de pertes de conversion) qui permet d'effectuer la mesure dans la bande W (75-110 GHz) par transposition de fréquence à une fréquence intermédiaire (IF) de 100MHz et d'un synthétiseur de fréquences HP83621B qui génère des fréquences allant de 25 GHz à 36.6 GHz pour attaquer le mélangeur. La fréquence générée par le synthétiseur de fréquence est amplifiée et triplée.

Dans le but d'augmenter la sensibilité du banc, les précautions suivantes ont été prises :

- l'ajout d'un amplificateur faible bruit ( $NF = 4.5dB$  &  $Gain = 15 dB$ ) de la société Spacek ® à l'entrée du récepteur de bruit permet d'augmenter la sensibilité du banc de mesure (Cf. Friis) en réduisant ainsi le facteur de bruit global du récepteur ;
- l'ajout d'isolateurs entre la source de bruit et l'entrée du dispositif sous test (DST), et entre la sortie du dispositif sous test et le récepteur de bruit permet de réduire les effets de désadaptation lors de la mesure ;
- une incertitude de mesure sur l'ENR de la source de bruit se répercute immédiatement sur la mesure de bruit, il a donc été nécessaire de passer par une étape de vérification de l'ENR en bande W, la méthodologie appliquée étant celle du facteur Y [III-1] en utilisant une charge absorbante insérée dans un guide d'onde. Cette charge est placée successivement dans l'azote liquide (77K) et à température ambiante (~300K). Des valeurs proches de 12 dB ( $\pm 0.3$  dB) ont été mesurées et sont présentées sur la Figure III-4.

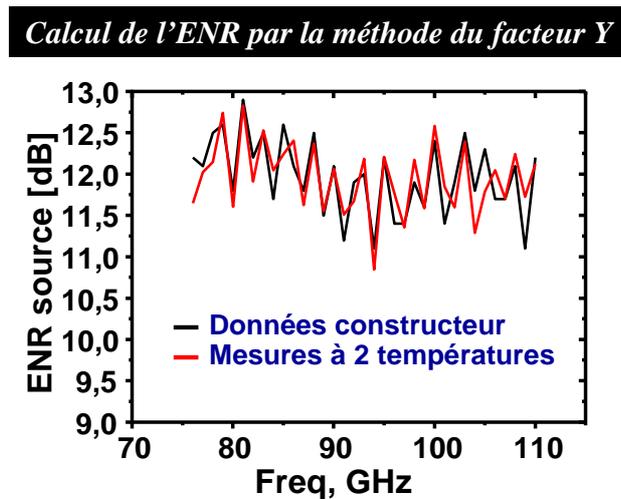


Figure III-4: Vérification de l'ENR de la source de bruit en bande W (75 – 110 GHz).

Les mesures de facteur de bruit des DST sont basées sur la méthode des impédances multiples décrite au chapitre I.2.3.b, avec une utilisation de la source à l'état froid [III-2].

### III.2.2. Le calibrage

#### Calibrage ‘guide d’onde’ (en bruit)

Afin de savoir effectivement ce que l’on mesure en bruit, nous devons définir des plans de référence de mesure. Il faut dans un premier temps calibrer le récepteur de bruit comme illustré sur la Figure III-5.

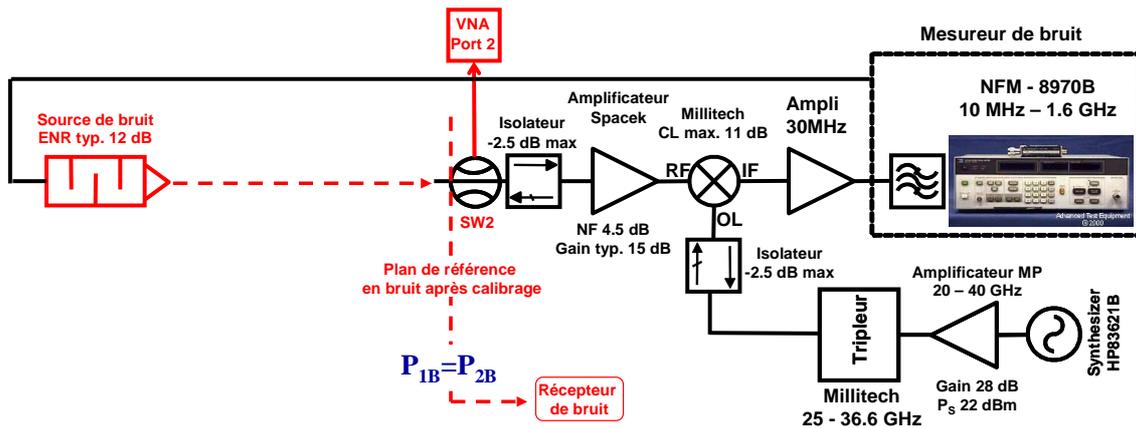


Figure III-5 : Synoptique du calibrage du récepteur du banc de mesure en bruit

Nous connectons la source de bruit à l’entrée du récepteur de bruit et nous mesurons le facteur de bruit du récepteur. Dans ces conditions nous définissons le plan de référence à l’entrée du récepteur de bruit comme la référence de mesure du facteur de bruit du système global constitué des *Quad\_In*, *Quad\_Out* et du *DST*. Les plans de références de mesure sont dans ce cas  $P_{1B}$  et  $P_{2B}$  (Cf. Figure III-1).

#### Calibrage dans le plan des pointes (en bruit)

Nous avons vu au Chapitre II que les différents tuners réalisés dans les technologies CMOS 65 nm SOI-HR et BiCMOS9MW présentent des pertes d’insertion autour de 20dB. Ces pertes d’insertion rendent difficile la caractérisation en bruit du DST par la méthode du facteur Y. Notre choix de caractérisation, s’est donc naturellement porté sur la méthode source froide [III-2]. Dans ces conditions de caractérisation, la source de bruit (assimilée à une charge absorbante) est placée à température ambiante puis nous effectuons une mesure de puissance avec cette source dite ‘froide’. Cette puissance de source froide mesurée prend en compte les contributions de tous les éléments compris dans les plans de références de bruit ( $P_{1B}$  et  $P_{2B}$ ).

$$F_{ALL} = \frac{(S/B)_{In}}{(S/B)_{Out}} = \frac{B_{Out} * S_{In}}{B_{In} * S_{Out}} = \frac{B_{Out} * S_{In}}{B_{In} * (S_{In} * G_{av\_ALL})} = \frac{B_{Out}}{B_{In} * G_{av\_ALL}}$$

avec  $B_{In} = k.T_0.\Delta f = -174dBm/Hz$

Eq III-1

de plus  $\frac{P_{cold}}{k.T_0.\Delta f} = F_{ALL}.G_{av\_ALL}$

Dans l'équation Eq III-1,  $F_{ALL}$  est le facteur de bruit total du système,  $G_{av\_ALL}$  le gain disponible total du système comme montré sur la Figure III-1.  $B_{In}$ ,  $B_{Out}$ ,  $S_{In}$  et  $S_{Out}$  sont respectivement la puissance disponible de bruit du générateur pris au plan ( $P_{1B}$ ), la puissance disponible de bruit en sortie du système pris au plan ( $P_{2B}$ ), la puissance disponible de signal en entrée et la puissance disponible de signal en sortie.

La Figure III-6 donne la puissance  $P_{cold}$  obtenue dans les plans de référence ( $P_{1B}$ ,  $P_{2B}$ ) pour un transistor MOSFET ( $40*0.06 \mu m^2$ ) en technologie CMOS 65 nm SOI-HR et pour un transistor bipolaire (NN122A982) en technologie BiCMOS9MW.

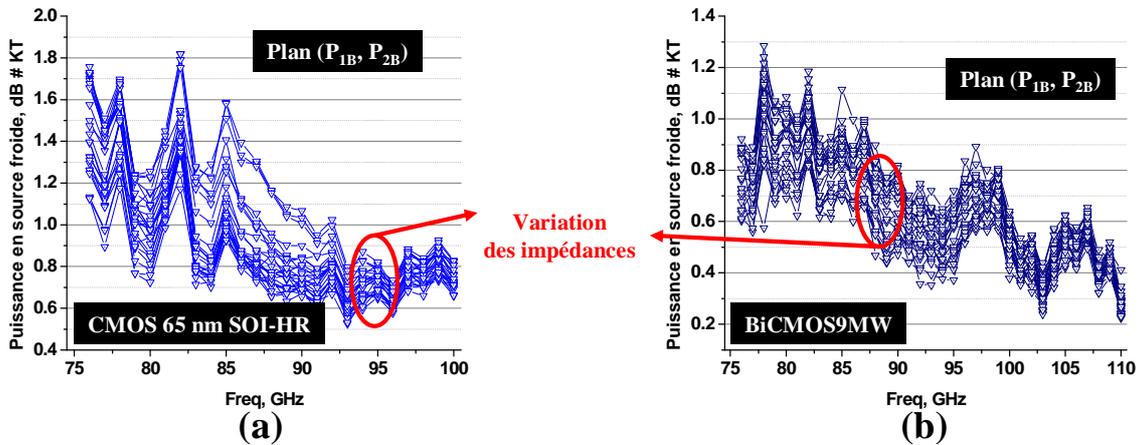


Figure III-6: Puissance de bruit en (a) technologie CMOS 65 nm SOI-RH et en (b) technologie BiCMOS9MW

Nous voyons assez bien que la mesure du facteur de bruit est entachée des contributions bruyantes des quadripôles d'entrée ( $Quad_{In}$ ) et de sortie ( $Quad_{Out}$ ). Pour extraire les facteurs de bruit du DST, il faut se ramener dans les plans de référence du DST ( $P_{1S}$  et  $P_{2S}$ ) (Cf. Figure III-7) par l'utilisation de la formule de Friis décrite dans l'équation Eq III-2.

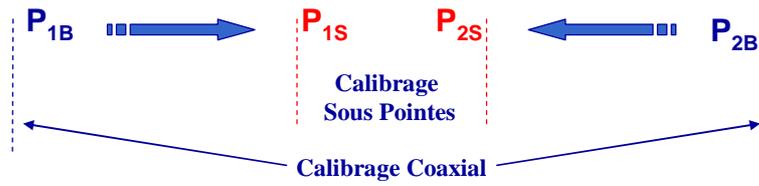


Figure III-7 : Passage des plans de référence en bruit ( $P_{1B}$ ,  $P_{2B}$ ) vers les plans de référence en paramètres S ( $P_{1S}$ ,  $P_{2S}$ )

$$F_{DST} = 1 + \left( F_{ALL} - F_{Quad\_In} - \frac{F_{Quad\_Out} - 1}{G_{av\_Quad\_In} * G_{av\_DST}} \right) * G_{av\_Quad\_In}$$

Eq III-2

avec :

$F_{DST}$  facteur de bruit du DST

$F_{ALL}$  facteur de bruit de l'ensemble ( $Quad\_In$ , DST et  $Quad\_Out$ )

Les quadripôles d'entrée et de sortie ( $Quad\_In$  et  $Quad\_Out$ ) sont constitués de guides d'ondes, de commutateurs, de transitions, de té de polarisation et de sondes RF. Ces quadripôles sont donc entièrement passifs et la détermination de leurs facteurs de bruit est fonction de leurs gains disponibles et de la température ambiante. L'équation Eq III-3 donne l'expression du facteur de bruit d'un quadripôle passif.

$$F_{passif} = 1 + \frac{(1 - G_{av\_passif})T_a}{G_{av\_passif} \cdot T_0} \xrightarrow{Si T_0=T_a} = \frac{1}{G_{av\_passif}}$$

Eq III-3

Le facteur de bruit d'un passif est sensiblement égal à l'inverse de son gain disponible si ce passif est porté à la température ambiante. Néanmoins nous mesurons cette température ambiante qui est prise en compte. Il faut noter qu'ici les facteurs de bruit des quadripôles d'entrée et de sortie ( $Quad\_In$  et  $Quad\_Out$ ) sont calculés à partir de l'équation Eq III-3.

Le facteur de bruit du DST est en effet directement impacté par l'influence du quadripôle d'entrée ( $G_{av\_Quad\_In}$ ) en revanche l'influence du quadripôle de sortie ( $G_{av\_Quad\_Out}$ ) sur le facteur de bruit total est d'autant plus forte que le gain du DST est faible.

Comme montré dans l'équation Eq III-2 la détermination du facteur de bruit du DST nécessite la connaissance des gains disponibles du *Quad\_In*, du *DST*, du *Quad\_Out* et des facteurs de bruit des quadripôles d'entrée et de sortie (*Quad\_In* et *Quad\_Out*).

Le gain disponible d'un quadripôle est dépendant de l'impédance de source présentée à l'entrée de ce quadripôle. La Figure III-8 présente le calcul du gain disponible et un schéma explicatif des différents coefficients de réflexion qui sont pris en compte dans ce calcul de gain disponible.

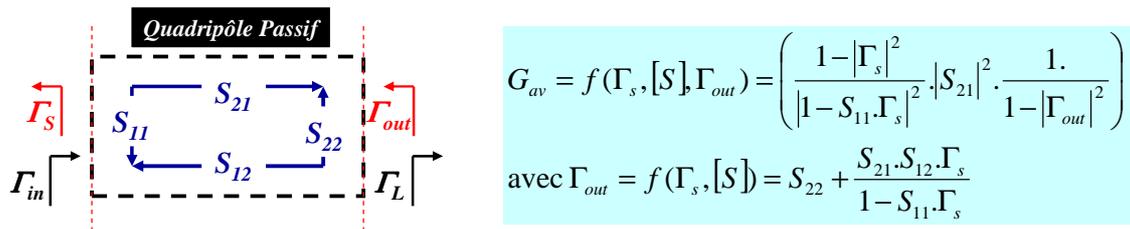


Figure III-8: Influence du coefficient de réflexion de source sur le gain disponible d'un quadripôle

La Figure III-9 permet de comprendre les différents coefficients de réflexion qui rentrent en jeu dans la détermination des gains disponibles de chaque bloc (*Quad\_In*, *DST* et *Quad\_Out*) du système global afin d'appliquer la formule de Friis.

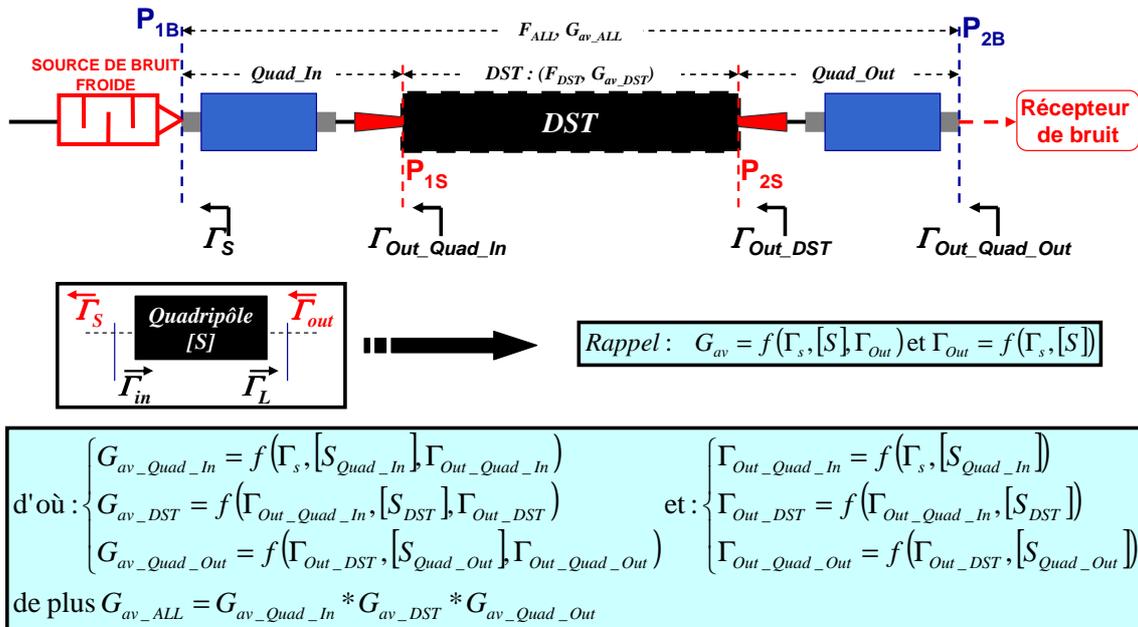


Figure III-9: Détermination du gain disponible de chaque bloc du système de mesure global

Le gain disponible d'un quadripôle étant fonction de ses paramètres S et du coefficient de réflexion de source à son entrée, il est donc nécessaire de mesurer les paramètres S du *Quad\_In*, du *Quad\_Out* et le coefficient de réflexion de la source de bruit  $\Gamma_s$ . La procédure à suivre pour déterminer les paramètres S des quadripôles d'entrée (*Quad\_In*) et de sortie (*Quad\_Out*) est la même, il s'agit de la méthode QUAD1P [III-3] décrite sur la Figure III-10.

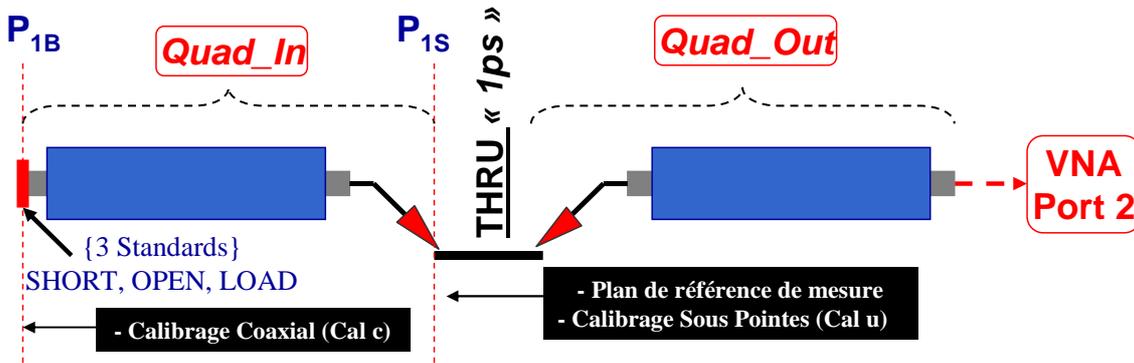


Figure III-10: Illustration de la détermination du quadripôle d'entrée (*Quad\_In*) par la méthode QUAD1P [III-3] qui est aussi valable pour le quadripôle de sortie (*Quad\_Out*).

L'analyseur de réseau est avant tout étalonné dans les plans de référence des pointes RF. On place un étalon dit 'THRU' (constitué d'une ligne coplanaire dont le délai est de 1ps) entre les pointes RF et on indique un retard de 1ps sur le port 2 du VNA, dans ces conditions on positionne le plan de référence de mesure du port 2 au niveau de la pointe d'entrée. L'étape suivante consiste à placer successivement 3 standards (un Short " $\Gamma_s$ ", un Open " $\Gamma_o$ " et une Load " $\Gamma_L$ ") dont nous connaissons les coefficients de réflexion à l'entrée du quadripôle concerné, puis nous mesurons les coefficients de réflexion associés " $\Gamma_m^S$ ", " $\Gamma_m^O$ " et " $\Gamma_m^L$ ". Les paramètres S du quadripôle sont alors déduits comme expliqués sur la Figure III-11.

$$\Gamma_m^x = S_{22} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_x}{1 - S_{11} \cdot \Gamma_x} \Rightarrow \begin{cases} \Gamma_m^x \cdot (1 - S_{11} \cdot \Gamma_x) = S_{22} \cdot (1 - S_{11} \cdot \Gamma_x) + S_{12} \cdot S_{21} \cdot \Gamma_x \\ \Gamma_m^x - S_{11} \cdot \Gamma_x \cdot \Gamma_m^x = S_{22} - S_{22} \cdot S_{11} \cdot \Gamma_x + S_{12} \cdot S_{21} \cdot \Gamma_x \\ \Gamma_m^x = S_{22} - S_{22} \cdot S_{11} \cdot \Gamma_x + S_{11} \cdot \Gamma_x \cdot \Gamma_m^x + S_{12} \cdot S_{21} \cdot \Gamma_x \\ \Gamma_m^x = S_{22} + S_{11} \cdot \Gamma_x \cdot \Gamma_m^x - \Delta_S \cdot \Gamma_x \end{cases}$$

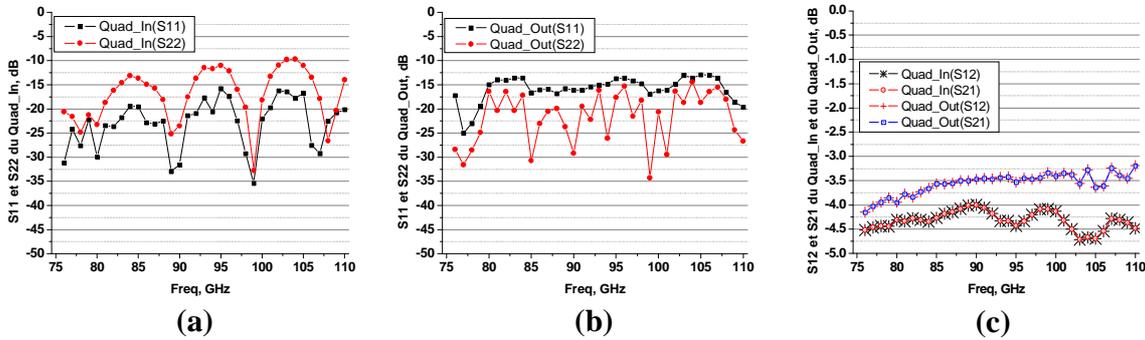
avec  $\Delta_S = (S_{11} \cdot S_{22} - S_{12} \cdot S_{21})$  et  $x = \{S(Short), O(Open), L(Load)\}$

$$\Rightarrow \begin{cases} \Gamma_m^S = S_{22} + S_{11} \cdot \Gamma_S \cdot \Gamma_m^S - \Delta_S \cdot \Gamma_S \\ \Gamma_m^O = S_{22} + S_{11} \cdot \Gamma_O \cdot \Gamma_m^O - \Delta_S \cdot \Gamma_O \\ \Gamma_m^L = S_{22} + S_{11} \cdot \Gamma_L \cdot \Gamma_m^L - \Delta_S \cdot \Gamma_L \end{cases} \Rightarrow \begin{pmatrix} \Gamma_m^S \\ \Gamma_m^O \\ \Gamma_m^L \end{pmatrix} = \begin{bmatrix} 1 & \Gamma_S \cdot \Gamma_m^S & \Gamma_S \\ 1 & \Gamma_O \cdot \Gamma_m^O & \Gamma_O \\ 1 & \Gamma_L \cdot \Gamma_m^L & \Gamma_L \end{bmatrix} \begin{pmatrix} S_{22} \\ S_{11} \\ -\Delta_S \end{pmatrix}$$

puis on obtient la matrice S par inversion de la matrice 3x3.

**Figure III-11 : Equations pour la détermination des paramètres du quadripôle d'entrée et du quadripôle de sortie**

On considère les quadripôles réciproques ( $S_{12}=S_{21}$ ) pour le calcul des paramètres S, la Figure III-12 présente les résultats de caractérisation en bande millimétrique 75-110 GHz des quadripôles d'entrée et de sortie (*Quad\_In* et *Quad\_Out*).



**Figure III-12 : (a) Coefficients de réflexion du Quad\_In, (b) Coefficients de réflexion du Quad\_Out et (c) Coefficients de transmission du Quad\_In et du Quad\_Out**

Le facteur de bruit du quadripôle d'entrée s'ajoute directement au facteur de bruit du DST, en revanche le facteur de bruit du quadripôle de sortie est fortement pondéré par le gain du DST. La détermination du gain disponible du quadripôle d'entrée fait directement intervenir le coefficient de réflexion de la source de bruit qui en théorie doit être quasi nul. Pour des questions de précision de mesure nous devons prendre en compte le coefficient de réflexion réel de la source de bruit. La méthode de détermination du coefficient de réflexion de la source de bruit est la même que précédemment (la méthode QUAD1P [III-3]). La Figure III-13 montre comment le coefficient de réflexion de la source de bruit est déterminé.

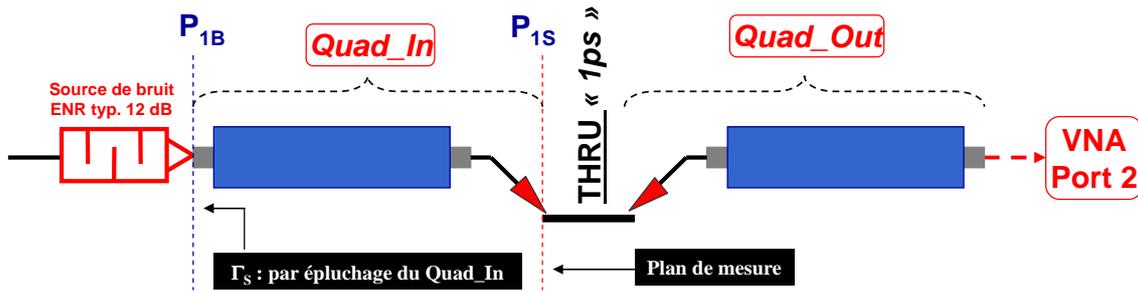


Figure III-13: Détermination du coefficient de réflexion de la source de bruit

On reste en effet posé sur le THRU en gardant le retard de 1ps sur le port 2 du VNA, puis on place la source de bruit à l'entrée du banc de mesure dans son fonctionnement à froid et on effectue la mesure 1 port des paramètres S de l'ensemble source de bruit et *Quad\_In*. La connaissance des paramètres S du quadripôle d'entrée (*Quad\_In*) préalablement mesuré, nous permet de retirer sa contribution de la mesure en passant du plan P<sub>1S</sub> vers le plan P<sub>1B</sub> de la source de bruit.

La Figure III-14 présente les résultats de caractérisation en bande millimétrique 75-110 GHz de l'impédance réelle de la source de bruit.

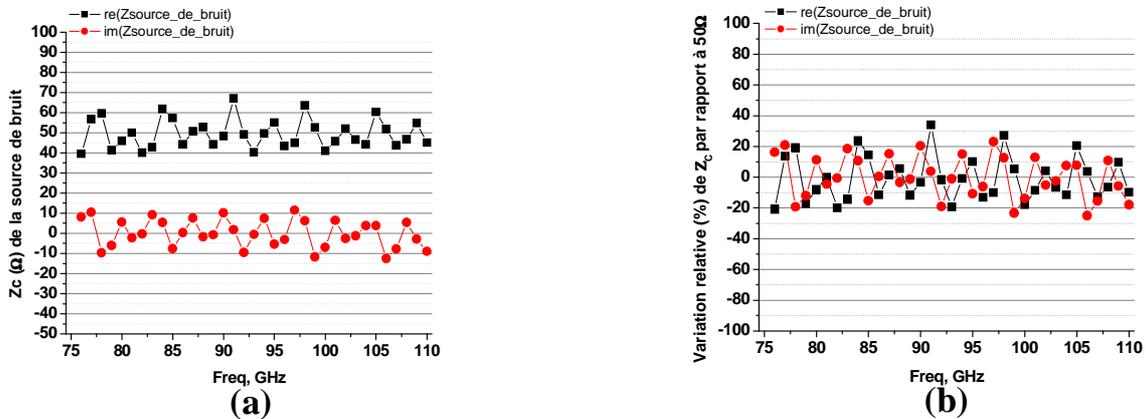


Figure III-14 : (a) Impédance réelle de la source de bruit et (b) variation relative de l'impédance de la source de bruit par rapport à 50Ω

Dans la suite, nous prendrons donc en compte la valeur réelle de l'impédance de la source de bruit pour dérouler les calculs.

La Figure III-15 présente les gains disponibles du *Quad\_Out*. Ce gain disponible est fonction des impédances en sortie du DST. Il apparaît une fluctuation d'impédances due au tuner d'impédances. Dans ces conditions, cette fluctuation est directement répercutée sur le

gain disponible du *Quad\_Out*. La différence des deux gains est due au fait que les deux tuners ont une signature petit signal différente.

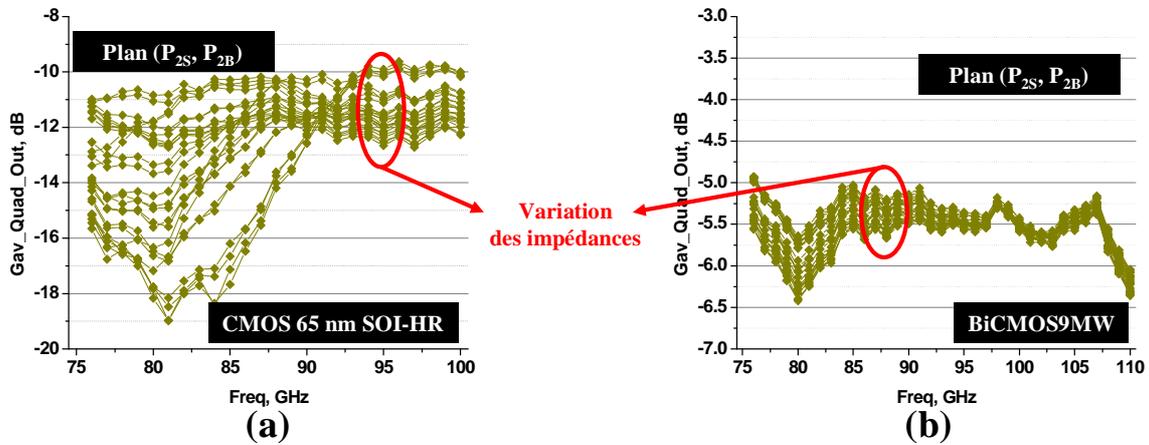


Figure III-15 : Gain disponible du *Quad\_Out* en (a) technologie CMOS 65 nm SOI-RH et en (b) technologie BiCMOS9MW, pour les différentes polarisations de l'IST.

Après avoir présenté les puissances de bruit et les gains disponibles des *Quad\_In* et *Quad\_Out*, nous présentons sur la Figure III-16 les gains disponibles du DST (IST+TST+PAD-RF) dans les 2 technologies étudiées.

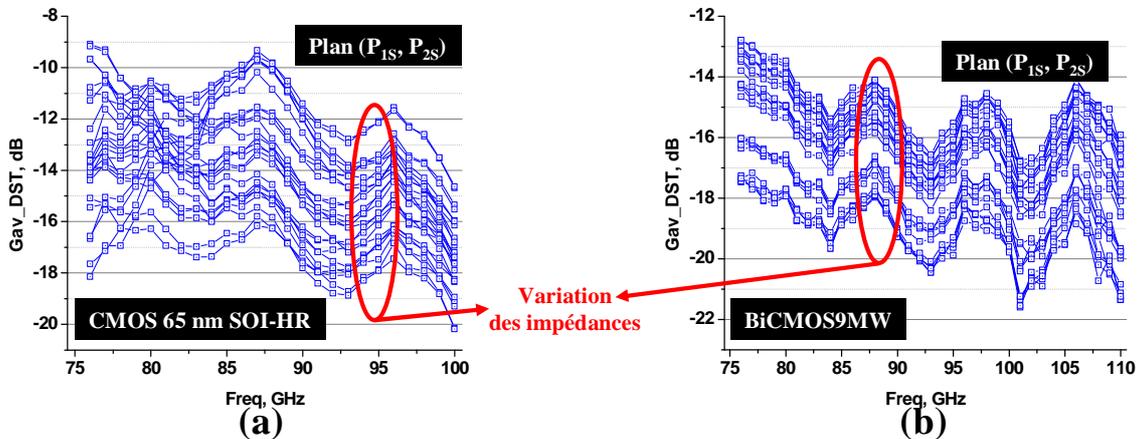


Figure III-16 : Gain disponible du DST en (a) technologie CMOS 65 nm SOI-RH et en (b) technologie BiCMOS9MW, pour les différentes polarisations de l'IST

On remarque une bonne fluctuation des impédances des tuners, avec un gain disponible entre -20 et -8 dB en technologie CMOS 65 nm SOI-RH et un gain disponible entre -22 et -12 dB en technologie BiCMOS9MW. Ces valeurs négatives des gains disponibles sont dues au fait que les tuners présentent un coefficient de transmission  $S_{21}$  compris entre -20 et -10 dB en bande W (Cf. Chapitre II.4).

Les différents facteurs de bruit du DST dans les 2 technologies sont calculés à partir de l'équation Eq III-2 et sont présentés sur la Figure III-17.

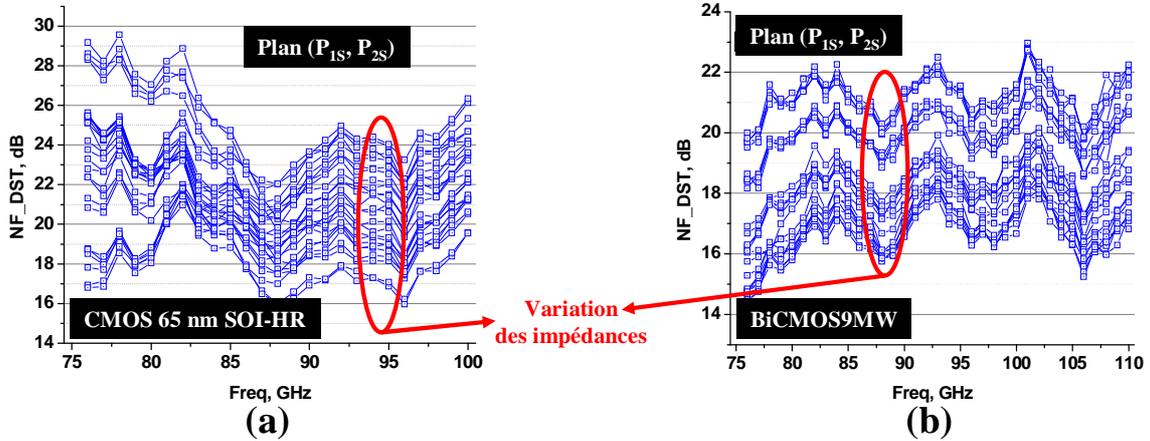


Figure III-17 : Facteur de bruit du DST en (a) technologie CMOS 65 nm SOI-RH et en (b) technologie BiCMOS9MW, pour les différentes polarisations de l'IST

A cette étape, grâce au paragraphe III.2.2 nous connaissons les facteurs de bruit du DST, il faut à présent retirer la contribution de l'IST et des plots RF. C'est l'objet du paragraphe suivant.

### III.2.3. L'épluchage

Nous pouvons voir le DST comme étant la mise en cascade de l'IST corrigé de son plot RF de sortie, du TST et du plot RF de sortie. La Figure III-18 illustre cette décomposition du DST en 3 sous blocs.

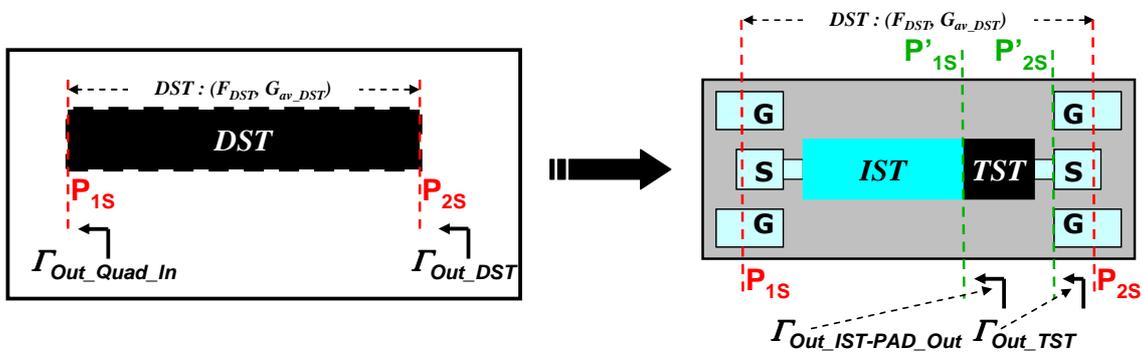


Figure III-18: Décomposition du DST en 3 sous blocs (IST, TST, PAD\_Out)

Une correction sur silicium permet de retrancher les contributions bruyantes de l'IST et du plot RF en sortie du DST, cette étape est nécessaire pour remonter dans les plans de référence du TST ( $P'_{1S}$  et  $P'_{2S}$ ). Le facteur de bruit du TST s'exprime suivant l'équation de Friis (Eq III-4).

$$F_{TST} = 1 + \left( F_{DST} - F_{IST-PAD\_Out} - \frac{(F_{PAD\_Out} - 1)}{G_{av\_IST-PAD\_Out} * G_{av\_TST}} \right) * G_{av\_IST-PAD\_Out} \quad \text{Eq III-4}$$

Nous voyons dans l'équation Eq III-4 que le facteur de bruit du TST dépend du gain disponible de l'IST corrigé de son PAD de sortie ( $G_{av\_IST-PAD\_Out}$ ), du facteur de bruit du DST ( $F_{DST}$ ) calculé précédemment, de son gain disponible ( $G_{av\_DST}$ ) et du facteur de bruit du plot RF de sortie ( $F_{PAD\_Out}$ ). Le plot RF étant passif, son facteur de bruit est calculé à partir de l'équation Eq III-3.

Deux points sont cependant à prendre en compte dans cette phase d'épluchage :

- La détermination des paramètres S d'un demi-OPEN par la mesure d'un OPEN [III-3]. L'illustration de la procédure de calcul est montrée sur la Figure III-19.

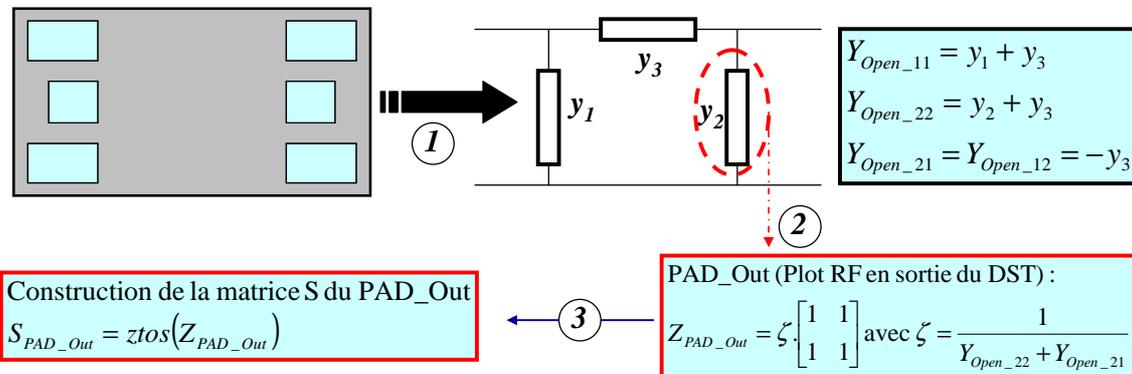


Figure III-19: Construction de la matrice S du demi-OPEN du plot RF en sortie du DST

Les capacités équivalentes en entrée, en sortie et de couplage du plot RF sont extraites de la mesure et présentées sur la Figure III-20.

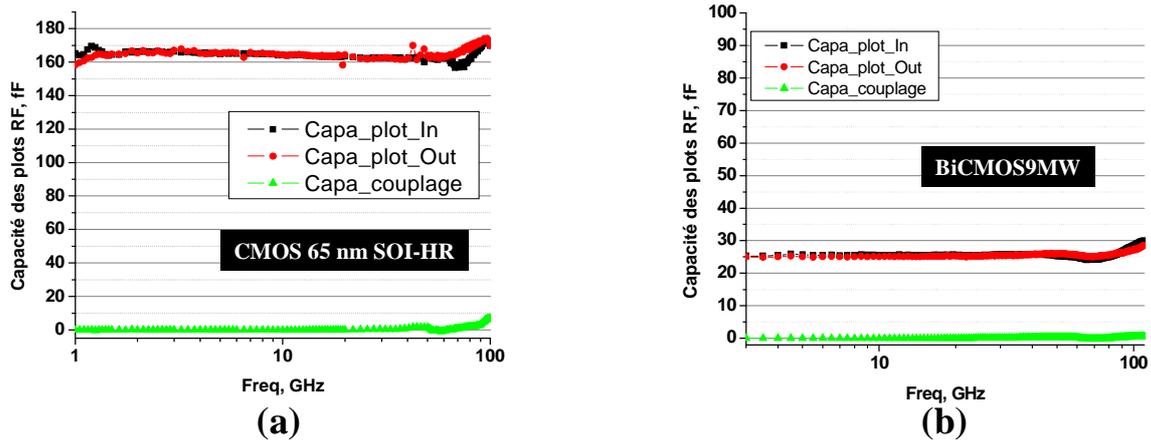


Figure III-20 : Capacité des plots RF en technologie (a) CMOS 65 nm SOI-RH et (b) BiCMOS9MW

Nous obtenons pour la technologie CMOS 65 nm SOI-RH et la technologie BiCMOS9MW des capacités respectives en entrée et en sortie de 162 fF et 25 fF avec une capacité de couplage nulle.

Les capacités étant purement réactives, elles sont de ce fait non bruyantes (pas de dissipation de puissance par effet Joule), en revanche il est important de corriger la contribution petit signal des plots RF du TST.

- La connaissance des paramètres S du demi-OPEN permet de corriger le tuner (IST) de son plot RF de sortie (Cf. Figure III-21).

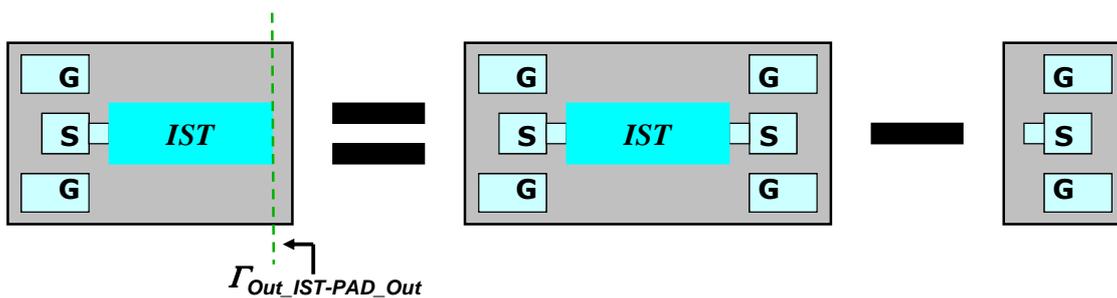


Figure III-21: Correction du plot RF de sortie sur la mesure du tuner

Sur la Figure III-22 est montré dans les 2 technologies le gain disponible de l'IST (In-Situ Tuner) corrigé de son plot RF de sortie.

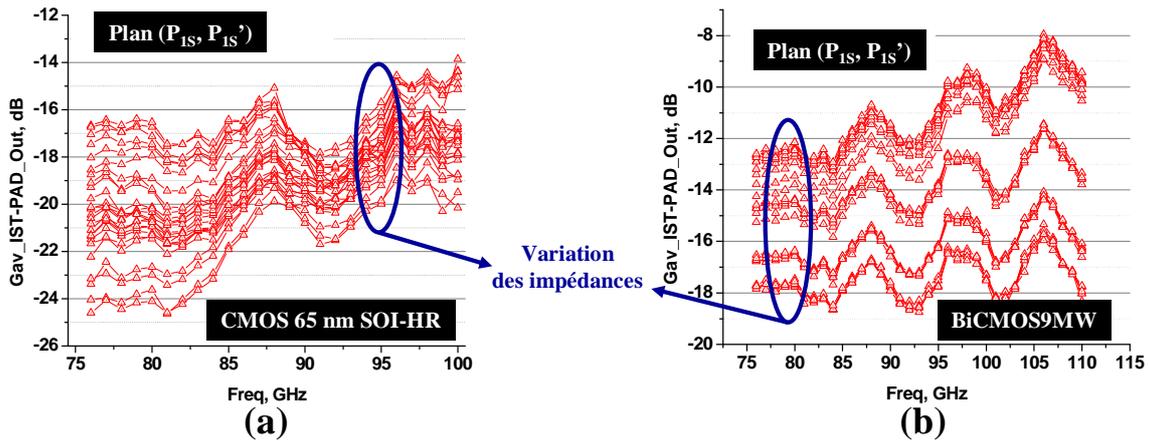


Figure III-22 : Gain disponible du tuner corrigé de son plot RF de sortie (PAD Out) pour ces différentes polarisation en (a) technologie CMOS 65 nm SOI-RH et en (b) technologie BiCMOS9MW

Toutes ces étapes de correction nous ont permis de remonter dans les plans de référence du TST ( $P'_{s1}$  et  $P'_{s2}$ ) tout en ayant connaissance des coefficients de réflexion ( $\Gamma_{out\_IST-PAD\_Out}$ ) générés par le tuner à l'entrée du TST et des facteurs de bruit du TST associés à ces coefficients de réflexion comme illustré sur la Figure III-23.

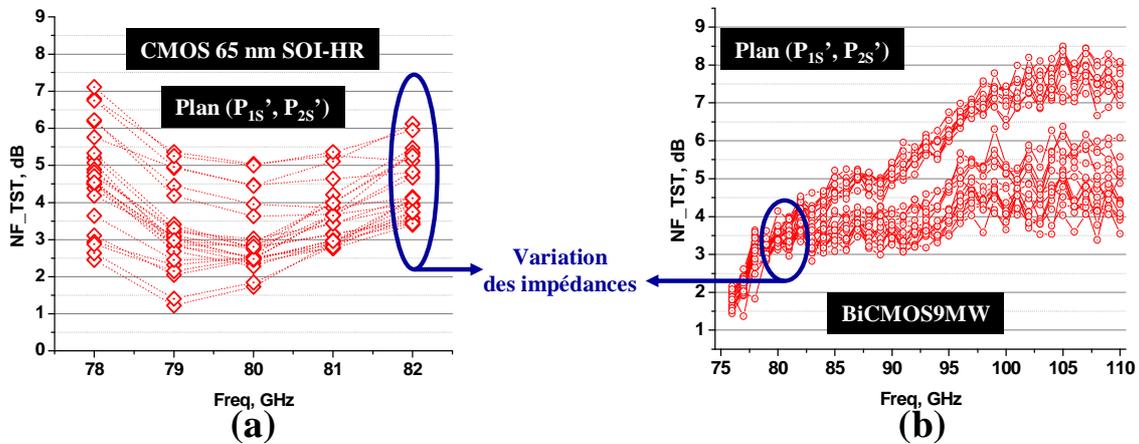


Figure III-23 : Facteur de bruit du TST en (a) technologie CMOS 65 nm SOI-RH et en (b) technologie BiCMOS9MW

On remarquera que les facteurs de bruit du MOSFET ont été extraits jusque 82 GHz car au-delà de cette fréquence le transistor MOSFET ne présentait plus de gain.

La phase suivante d'extraction des paramètres de bruit du TST est l'application de la méthode des impédances multiples (décrite au chapitre I.2.3.b) aux couples de valeurs des admittances générées à l'entrée du TST et les différents facteurs de bruit associés.

### III.2.4. L'extraction des 4 paramètres de bruit des TST

Avant de présenter les résultats de l'extraction des 4 paramètres de bruit des TST, nous tenons à faire un bref rappel de la méthode des impédances multiples appliquée à notre système de mesure et proposée par Lane en 1969 [III-4]. La Figure III-24 nous rappelle cette méthode. Il nous faut un minimum de 4 couples de valeurs ( $Y_{Si}$ ,  $NF_i$ ) pour déterminer les 4 paramètres de bruit du TST. Notre système de mesure intégrant les tuners d'impédances nous permet de générer à une fréquence donnée dans la bande millimétrique 75-110 GHz un jeu de 25 impédances, ce qui semble être correct pour minimiser au mieux le terme d'erreur «  $\mathcal{E}$  » défini sur la Figure III-24. L'obtention des 4 nouveaux paramètres (A, B, C et D) issus de la linéarisation de l'équation du bruit d'un transistor permet de remonter aux valeurs des paramètres de bruit du TST.

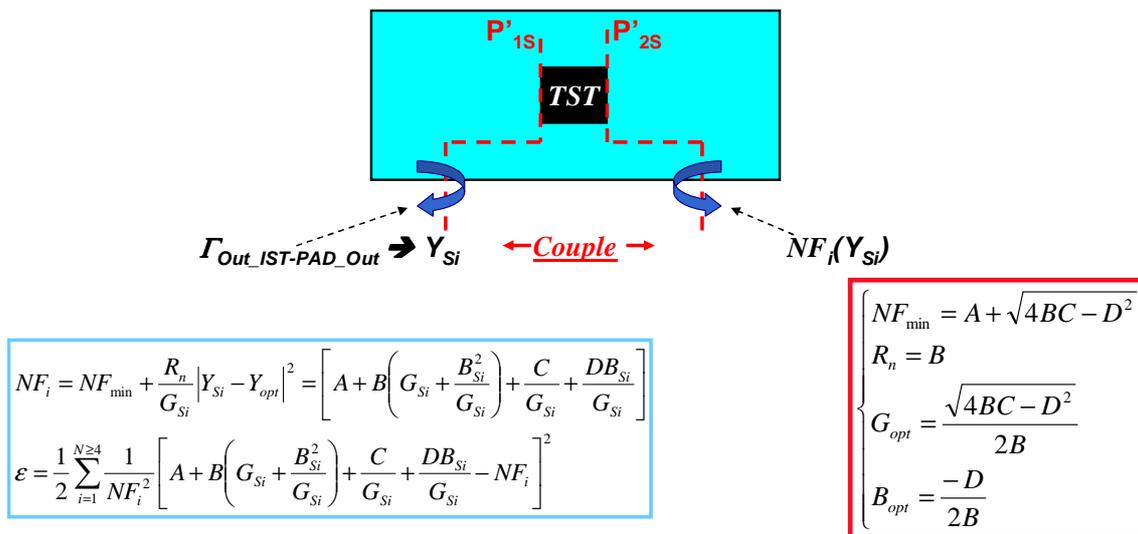


Figure III-24 : Rappel de la méthode des impédances multiples pour l'extraction des 4 paramètres de bruit du TST [III-4]

Cette méthode est valable pour les transistors MOSFET et les transistors bipolaires, en particulier pour les transistors issus de la technologie CMOS 65 nm SOI-HR et de la technologie BiCMOS9MW.

#### Le transistor MOSFET

La technologie CMOS 65nm SOI-HR nous a permis de mettre en application notre méthodologie d'extraction des 4 paramètres de bruit sur une structure MOSFET. Cette

structure MOSFET a pour géométrie ( $40 \times 0.06 \mu\text{m}^2$ ) et est polarisée à son maximum de  $G_m$  pour une tension de grille de  $V_{gs}=0.72\text{V}$  et une tension de drain fixée à  $V_{ds}=1.2\text{V}$ .

La Figure III-25 présente la coupe transversale du transistor MOSFET issue du modèle BSIM4 avec sa représentation électrique.

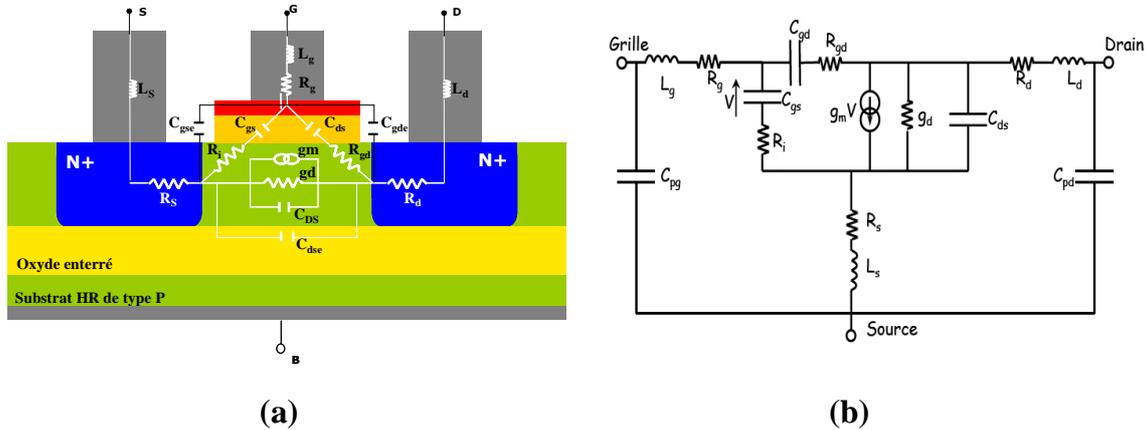


Figure III-25 : (a) Représentation du schéma équivalent petit signal d'un transistor MOSFET sur substrat SOI sur une vue schématique en coupe ; (b) Représentation du schéma équivalent petit signal d'un transistor MOSFET

L'extraction des 4 paramètres de bruit du MOSFET ainsi établie, nous présentons la comparaison des résultats obtenus en bande W avec le modèle BSIM4. Le facteur de bruit minimum et la résistance équivalente de bruit sont présentés sur la Figure III-26 et le coefficient de réflexion optimum est présenté en module et phase sur la Figure III-27.

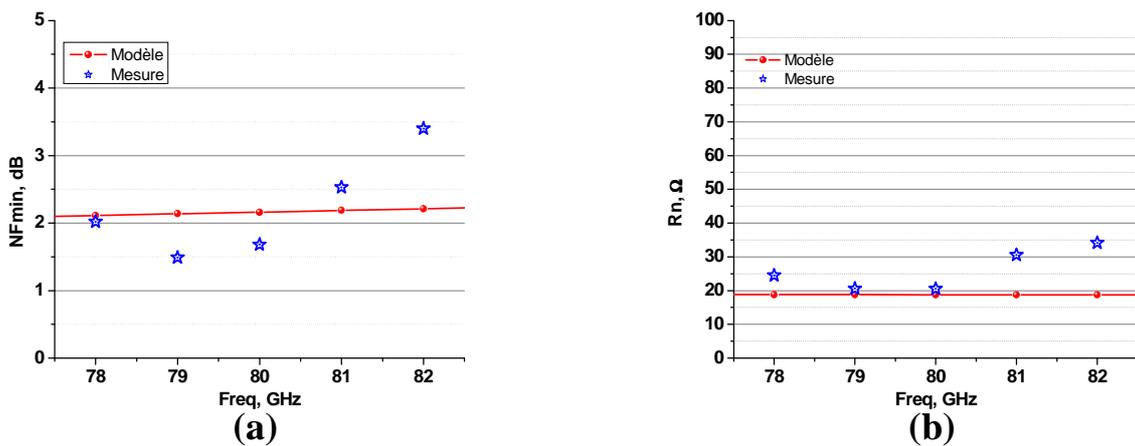
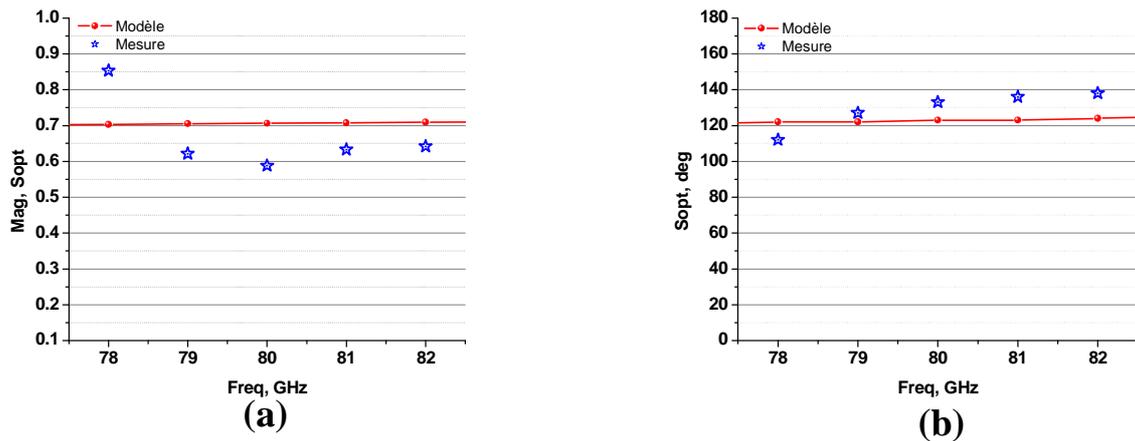


Figure III-26 : Les paramètres de bruit du transistor MOSFET extraits à partir de la méthode des impédances multiples avec l'utilisation d'un tuner d'impédances intégré, comparaison avec les paramètres de bruit du modèle BSIM 4 ; (a) NFmin et (b) Rn



**Figure III-27 : Les 4 paramètres de bruit du transistor MOSFET extraits à partir de la méthode des impédances multiples avec l'utilisation d'un tuner d'impédances intégré, comparaison avec les paramètres de bruit du modèle BSIM 4 ; (a) module de  $S_{opt}$  et (b) phase de  $S_{opt}$**

La caractérisation du MOSFET (CMOS 65 nm SOI-HR) présente un facteur de bruit minimum d'environ 2 dB à la fréquence de 80 GHz. Ces résultats montrent de bonnes performances en bruit aujourd'hui comparables et compétitives vis-à-vis des autres industriels. Il faut toutefois signaler qu'aucune étude de précision n'a été effectuée lors de mes travaux de thèse, ceci explique le manque de barres d'erreurs sur l'ensemble des résultats et implicitement le fait que ces résultats soient inférieurs aux prévisions de l'ITRS ( $NF_{min} < 3.2\text{dB @ }60\text{GHz}$  et  $< 4.5\text{dB @ }94\text{GHz}$ ) pour l'année 2010. Le Tableau III-1 présente l'état de l'art du  $NF_{min}$  de la technologie CMOS.

Industriels	$NF_{min}$	Technologie	Références
IBM	< 1.5 dB @ 10 GHz	CMOS SOI PD 130	[III-5]
Fujitsu	0.8 dB @ 10 GHz	CMOS SOI DTMOS 130	[III-6]
STMicroelectronics	1.3 dB @ 10 GHz	CMOS SOI LP PD 130	[III-7]
IBM	1.4 dB @ 10 GHz	CMOS SOI HP 65	[III-8]
STMicroelectronics	0.5 dB @ 10 GHz	CMOS LP 65	[III-9]
IBM	1 dB @ 10 GHz	CMOS SOI HP 65	[III-10]
IBM	1 dB @ 10 GHz	CMOS 45	[III-11]
STMicroelectronics	2 dB @ 80 GHz	CMOS SOI 65	[nos travaux]

**Tableau III-1 : Etat de l'art des performances en bruit ( $NF_{min}$ ) de la technologie CMOS**

### Le transistor bipolaire

La technologie BiCMOS9MW nous a permis de mettre en application notre méthodologie d'extraction des 4 paramètres de bruit sur un transistor bipolaire. Ce transistor

Bipolaire caractérisé est le NN122A982 (modèle HICUM) et est polarisé à  $I_c=1.6\text{mA}$  ( $V_{BE}=0.81\text{V}$ ) et  $V_{CE}=1.2\text{V}$ , avec un gain  $\beta_0$  de 1400.

La Figure III-28 présente la coupe transversale du transistor bipolaire et sa représentation électrique.

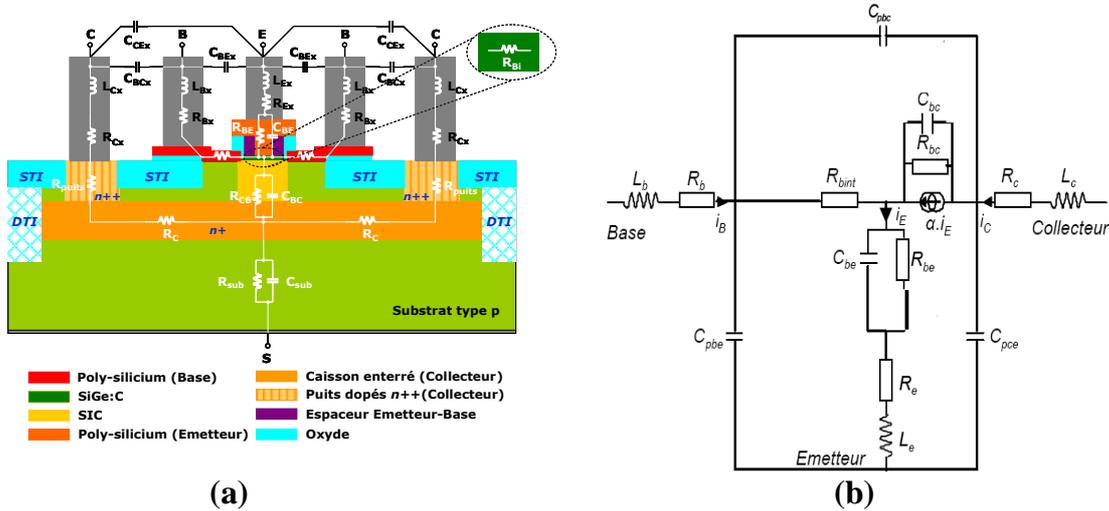


Figure III-28 : (a) Représentation du schéma équivalent petit signal d'un transistor Bipolaire sur substrat massif (Bulk) sur une vue schématique en coupe ; (b) Représentation du schéma équivalent petit signal d'un transistor bipolaire

Ses 4 paramètres de bruit sont extraits et montrés sur la Figure III-29 et la Figure III-30 en bande W (75-110GHz).

La comparaison en bande W des résultats en bruit de la caractérisation du HBT et du modèle HICUM est présentée sur la Figure III-29 (facteur de bruit minimum et résistance équivalente de bruit) et sur la Figure III-30 (coefficient de réflexion optimum).

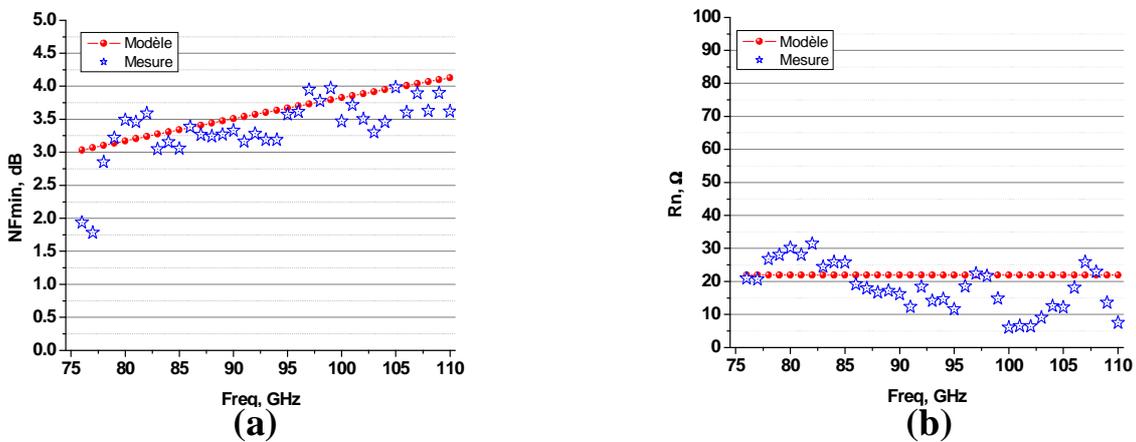


Figure III-29 : Les 4 paramètres de bruit du transistor Bipolaire NN122A982 pour une polarisation de base à  $V_{BE} = 0.81\text{V}$  et une polarisation collecteur de  $V_{CE} = 1.2\text{V}$ , comparaison avec les paramètres de bruit du modèle HICUM, (a)  $NF_{min}$  et en (b)  $R_n$

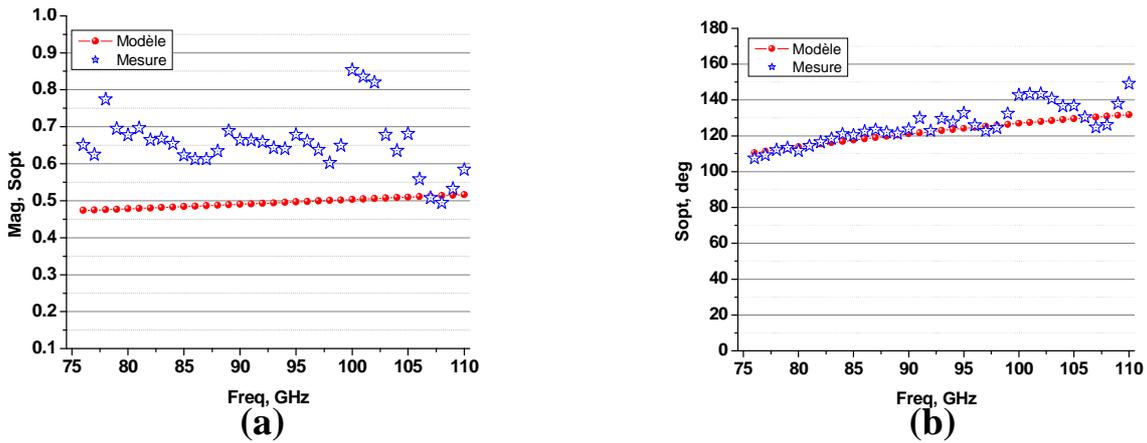


Figure III-30 : Les 4 paramètres de bruit du transistor Bipolaire NN122A982 pour une polarisation de base à  $V_{BE} = 0.81V$  et une polarisation collecteur de  $V_{CE} = 1.2V$ , comparaison avec les paramètres de bruit du modèle HICUM, (a) module de  $S_{opt}$  et (b) phase de  $S_{opt}$

La technologie BiCMOS9MW dédiée aux applications millimétrique (RF) présente des performances en bruit de l'ordre de 3.0 dB à la fréquence de 80 GHz. Tout comme la technologie CMOS, nous n'avons pas effectué d'étude de précision lors de l'extraction des 4 paramètres de bruit des HBT. Les résultats obtenus sont en accord avec les prévisions de l'ITRS ( $NF_{min} < 2dB @ 60GHz$  et  $< 3dB @ 94GHz$ ) pour l'année 2010.

La Figure III-31 présente l'état de l'art des performances en bruit du HBT.

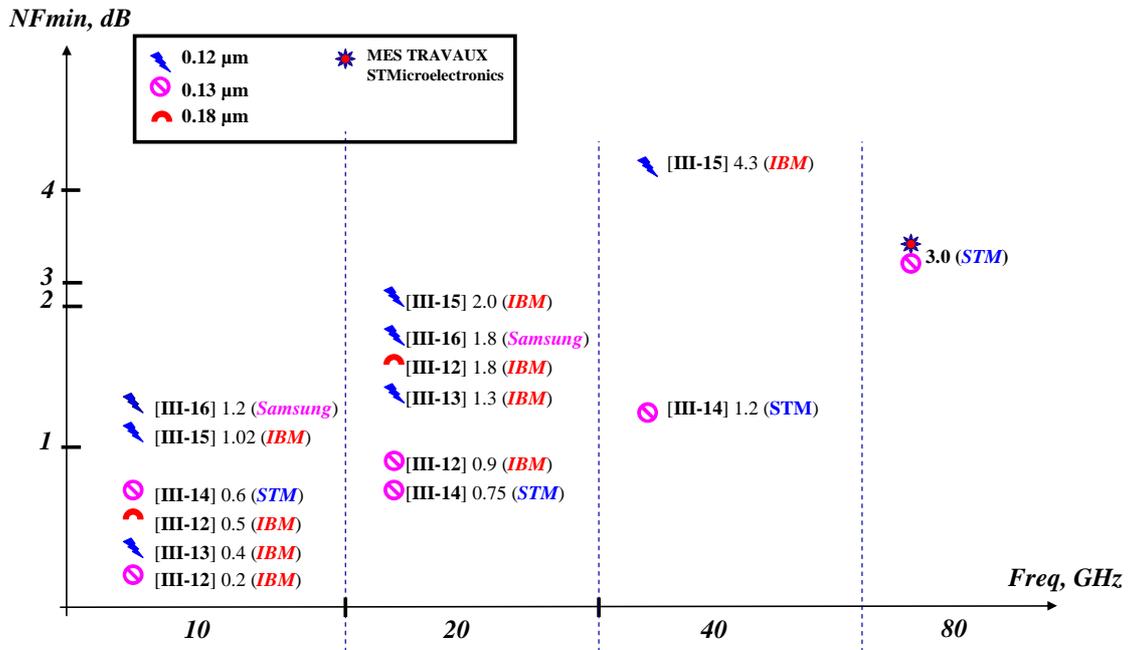


Figure III-31 : Etat de l'art des performances en bruit des transistors HBT

L'extraction des 4 paramètres de bruit des 2 technologies (BiCMOS9MW et CMOS 65 nm SOI-HR) présente une assez bonne corrélation avec le modèle. La prochaine étape serait l'extraction des sources de bruit intrinsèques des différents transistors.

### III.3. Benchmark tuner OFF-/ON- WAFER

Ce paragraphe du chapitre III nous permet de faire une comparaison en bande W entre les performances de nos tuners réalisés (en technologie CMOS 65 nm SOI-HR et BiCMOS9MW) et ceux issus du marché en l'occurrence les tuners mécaniques. Les chapitres (I et II) nous ont respectivement permis de mettre en évidence les TOS que nous pouvons atteindre dans le cas d'un tuner mécanique en bande W à la sortie de la pointe RF et dans le cas de nos tuners intégrés. Le tuner mécanique est celui de la société MAURY (MT979A – bande W « 75 – 110 GHz ») disponible et caractérisé à l'IEMN. La Figure III-32 fait état de la comparaison des performances des TOS des tuners.

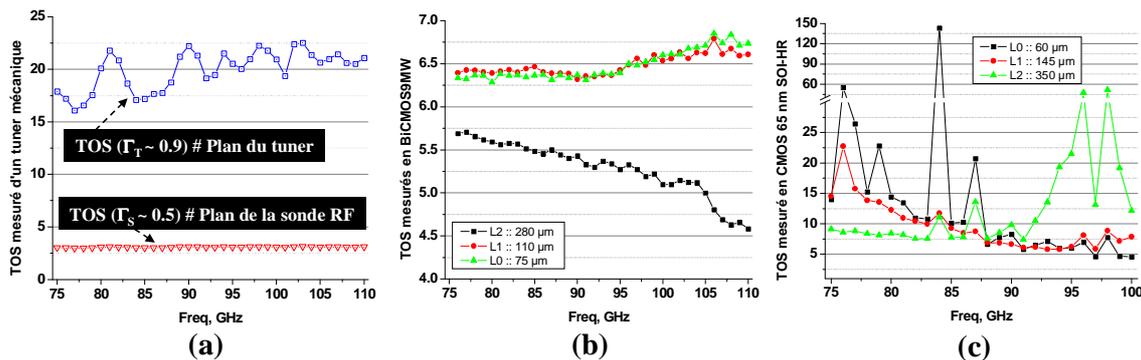


Figure III-32 : La comparaison des différents TOS mesurés, (a) à la sortie d'un tuner mécanique et dans le plan de la sonde RF, (b) dans le cas du tuner intégré en technologie BiCMOS9MW et en (c) dans le cas du tuner intégré en technologie CMOS 65 nm SOI-HR

Nous remarquons qu'avec nos tuners intégrés nous avons atteint des performances en termes de coefficients de réflexion maximums comparables voire meilleurs aux tuners mécaniques pour la mesure de transistor sur silicium et avec une solution plus compacte.

Ces travaux de thèse ont permis à STMicroelectronics et à l'IEMN d'avoir une expertise additionnelle dans le cadre de la caractérisation en bruit millimétrique. Nous avons conjointement pu positionner nos travaux dans un contexte international vis-à-vis de l'état de l'art existant. La Figure III-33 présente cet état de l'art en bande W (75 – 110 GHz) et les références bibliographiques de cette figure sont issues du chapitre I.

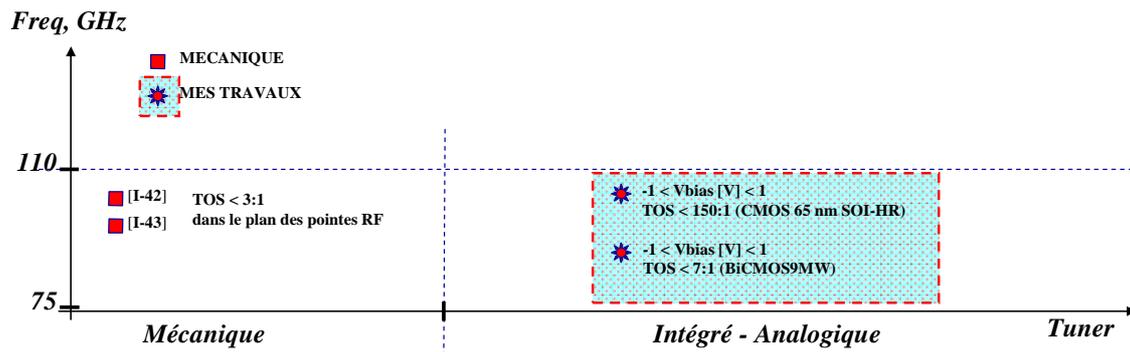


Figure III-33 : Etat de l'art après la thèse

Nous avons étudiés les tuners intégrés millimétriques (bande W 75 – 110 GHz) à variations analogiques. Ces travaux de thèse permettent de former une base pour l'exploration de la gamme de fréquences au-delà de la bande W.

### III.4. Perspectives

Nous avons lors de cette thèse, démontré la faisabilité d'utiliser des IST pour la mesure des paramètres de bruit des transistors sur silicium. Des perspectives se dégagent dès à présent sur ce concept à la fois pour l'amélioration de l'IST lui-même (montée en fréquence, l'intégration pour les autres types de mesure) et pour des utilisations alternatives dans le domaine de la conception millimétrique.

#### III.4.1. Ouverture vers le Load-Pull intégré

Pour l'optimisation des technologies et leur modélisation, deux types de comportements sont importants à analyser : le bruit hyperfréquence et la linéarité. Cette thèse a majoritairement abordé l'analyse en bruit, et dans cette partie nous allons mettre en perspectives les potentialités des tuners intégrés pour l'analyse en puissance. Cette analyse est traditionnellement faite à l'aide de systèmes load-pull fondés sur des tuners externes. L'idée, tout comme l'approche en bruit décrite dans ce manuscrit est l'utilisation de l'IST pour cette analyse en puissance.

Dans le but d'élargir l'utilisation des tuners intégrés, nous avons envisagé lors de cette thèse d'analyser la possibilité de concevoir des structures de test pour des applications de type load-pull. Basées sur le même principe des tuners intégrés les structures de test de type load-

pull développées sont constituées d'un tuner en entrée et en sortie du TST. La valeur ajoutée de cette approche est la possibilité de caractériser en puissance (Gain maximum, linéarité) les transistors sous test en évitant l'utilisation de tuners externes et ayant la possibilité de présenter des  $\Gamma$  élevés requis en entrée et sortie du transistor sur silicium. Afin d'étudier le cahier des charges des transistors, nous rappelons ci-dessous le principe d'adaptation en puissance et nous l'appliquons sur les transistors bipolaires de la technologie BiCMOS9MW.

Dans la conception d'un amplificateur de puissance nous sommes le plus souvent intéressés par le gain en puissance transducique. Nous pouvons donner l'expression du gain en puissance si nous dessinons le graphe de fluence (Cf. Figure III-34). Le gain en puissance transducique est défini comme étant le rapport de la puissance délivrée à la charge divisée par la puissance disponible de la source.

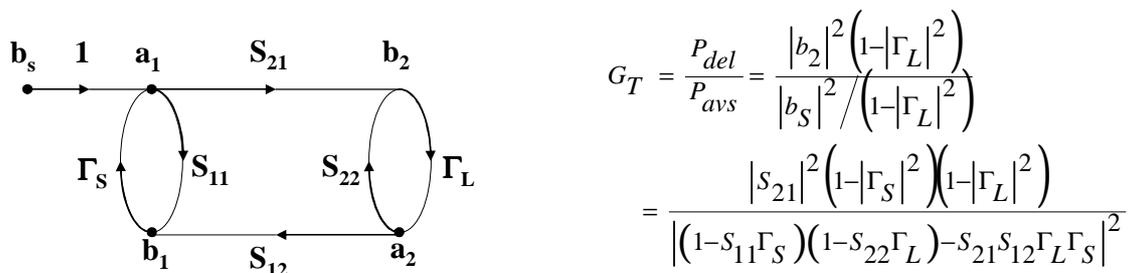


Figure III-34 : Définition du gain transducique avec le graphe de fluence

Si on considère que le réseau est unilatéral ( $S_{12}=0$ ), le terme du gain en puissance transducique peut être écrit comme le produit de trois termes distincts. (Cf. Figure III-35).

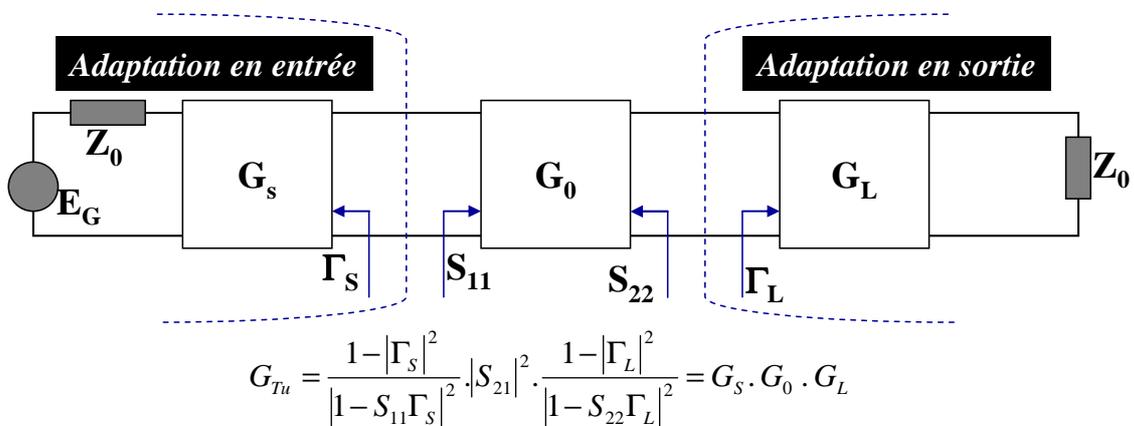


Figure III-35 : Expression du gain transducique unilatéral

Dans cette expression (Cf. Figure III-35) le terme du milieu est relatif au transistor utilisé. Lorsque les conditions de polarisation sont établies, on détermine le paramètre  $S_{21}$  qui reste invariant lors de la conception d'un amplificateur. Les deux autres terme, dépendent des coefficients de réflexion de la source ( $\Gamma_S$ ) et de la charge ( $\Gamma_L$ ). Ce sont ces deux dernières quantités que nous devons être capables de contrôler lors de la conception d'un amplificateur. Le contrôle de ces impédances de source et de charge va se faire par l'utilisation d'un transformateur d'impédance à l'entrée et à la sortie du transistor pour amener le transistor dans un fonctionnement à gain maximum ou de rendement visé et nous étudierons alors la compression et l'intermodulation d'ordre 3.

Cependant, le gain maximum unilatéral peut être atteint si l'on choisit des impédances de source et de charge telles que  $\Gamma_S = S_{11}^*$  et que  $\Gamma_L = S_{22}^*$ .

Afin de définir les couples d'impédances de source et de charge qui nous donnent le maximum de gain transducique, nous regardons en détail le premier terme de l'expression  $G_{Tu}$ .

Nous avons vu que  $G_S$  est maximum lorsque  $\Gamma_S$  est égal au complexe conjugué de  $S_{11}$ . Il est aussi évident que lorsque  $|\Gamma_S|=1$ ,  $G_S$  devient nul. En résumé pour toute valeur arbitraire de  $G_S$  entre zéro et  $G_{S_{max}}$ , les solutions pour l'impédance de source  $\Gamma_S$  sont liées par un cercle (Cf. Eq III-5).

$$G_S = 0 < g < G_{S_{max}} \quad \text{avec} \quad g = \frac{1 - |\Gamma_S|^2}{|1 - S_{11}\Gamma_S|} \quad \text{Eq III-5}$$

Il est cependant intéressant de tracer ces cercles à gain constant sur l'abaque de Smith. En effet, ces cercles ont leurs centres sur le vecteur allant du centre de l'abaque de Smith au complexe conjugué du coefficient de réflexion d'entrée. Ces cercles peuvent être précisément localisés sur l'abaque de Smith par les équations suivantes (Cf. Eq III-6)

$$\left. \begin{aligned}
 d_{i,j} &= \frac{g_j \cdot |S_{ii}|}{1 - |S_{ii}|^2 \cdot (1 - g_j)} \\
 R_{i,j} &= \frac{\sqrt{(1 - g_j)(1 - |S_{ii}|^2)}}{1 - |S_{ii}|^2 \cdot (1 - g_j)} \\
 g_{i,j} &= G_j (1 - |S_{ii}|^2) = \frac{G_j}{G_{j\_max}}
 \end{aligned} \right\} \text{avec } \begin{cases} j = S \text{ pour } ii = 11 \\ \text{ou} \\ j = L \text{ pour } ii = 22 \end{cases} \quad \text{Eq III-6}$$

Dans l'équation Eq III-6 «  $d_{i,j}$  » représente la distance du centre de l'abaque de Smith au centre du cercle à gain constant sur le vecteur  $S_{11}^*$ . «  $R_{i,j}$  » est le rayon du cercle et «  $g_{i,j}$  » est la valeur du gain normalisé du cercle à gain constant.

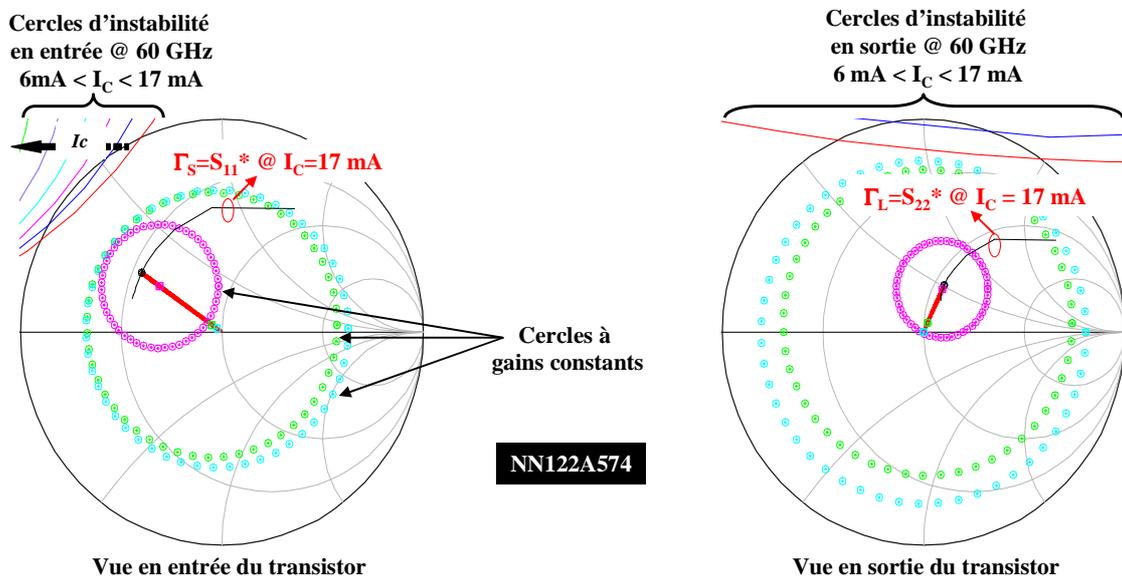
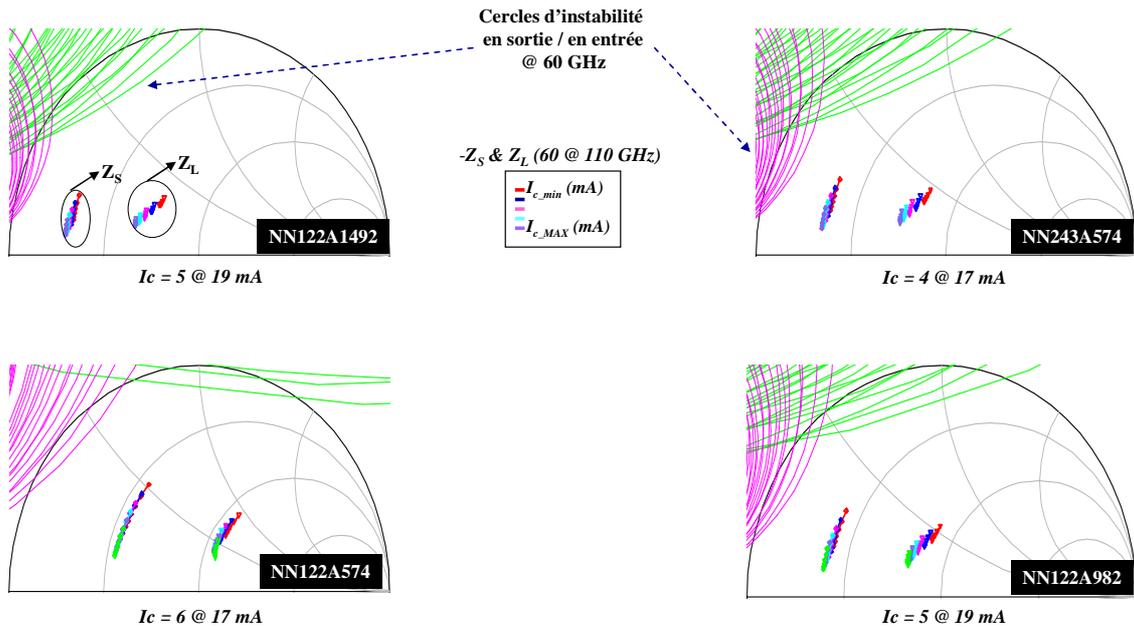


Figure III-36 : Couple d'impédances vue en entrée/sortie du transistor sous test et les cercles de stabilité en entrée/sortie puis des cercles à gain constant à 60 GHz pour une polarisation  $I_C=17\text{mA}$  et  $V_{CE}=1.2\text{V}$ .

Nous représentons par la suite dans la Figure III-37 sur l'abaque de Smith les couples d'impédances (entrée/sortie) pour différents transistors bipolaires en fonction du courant collecteur  $I_c$ , puis les cercles de stabilité en entrée et en sortie.



**Figure III-37 : Couple des coefficients de réflexion d'entrée et de sortie optimal pour l'obtention du gain transductique maximum**

Les couples mis en jeu sont les coefficients de réflexion conjugués en entrée et en sortie qui nous donnent le maximum de gain transductique unilatéral ( $S_{12}=0$ ).

Dans ce contexte nous avons imaginé utiliser un tuner en entrée et un tuner en sortie du TST de manière à caractériser ce dernier en puissance autour de son gain maximum et en évitant les zones d'instabilité. Les résultats de la Figure III-37 illustrent le cahier des charges requis pour le tuner concerné en termes de zone d'impédances stables.

Sur la Figure III-38 est représenté le layout de la structure de test réalisée. Le transistor sous test (bipolaire dans notre cas) est connecté à son entrée et à sa sortie par un tuner d'impédances. Pour des raisons de simplification de l'étude, nous avons dans un premier temps utilisé les mêmes tuneurs d'impédances (la version améliorée : Cf. Chapitre II.4.2) dédiés à la mesure de bruit.

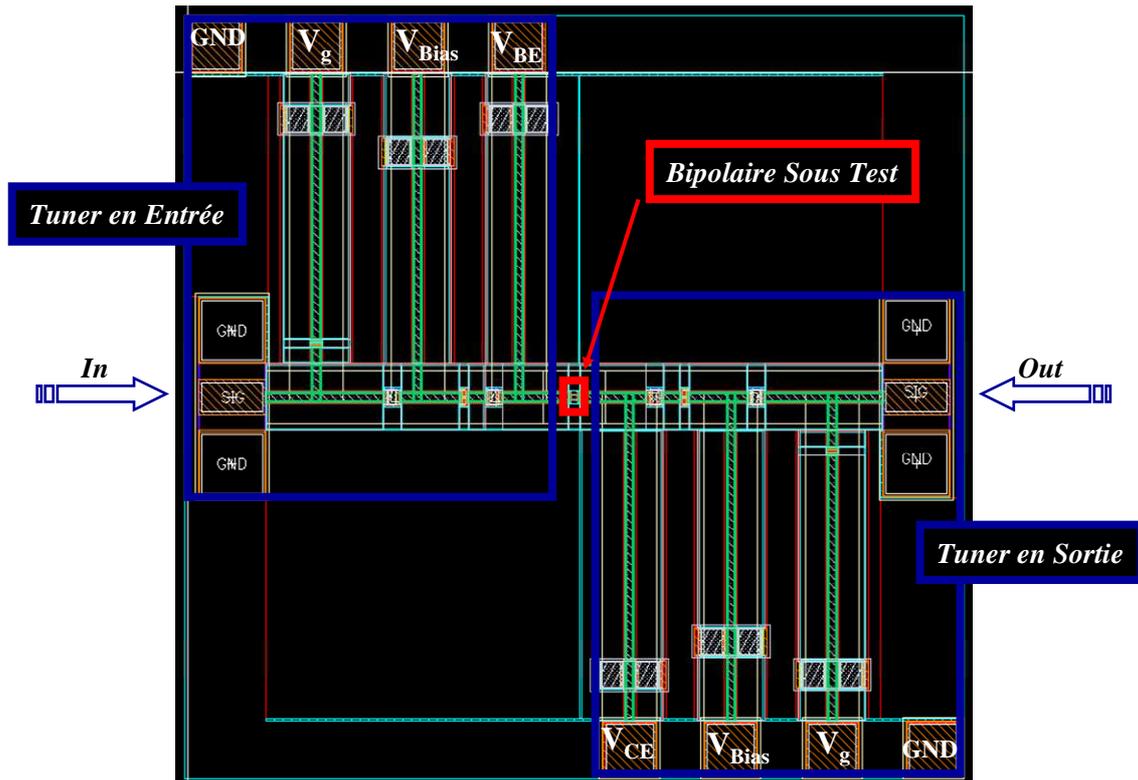


Figure III-38 : Capture d'écran du layout de la structure de test en configuration load et source pull en technologie BiCMO9MW

Nous rappelons que le tuner d'impédances est capable de synthétiser jusque 25 impédances, ce qui nous donne pour une polarisation fixe du transistor bipolaire une combinaison de 25 par 25, soit 625 impédances pour un point de fréquence. Afin de simplifier la caractérisation de cette structure load pull, nous avons dans un premier temps décidé de relier les polarisations des varactors et des transistors MOSFET-froid des tuners en entrée et en sortie entre elles, ce qui nous donne 25 points de mesure. Dans ces conditions nous présentons simultanément les mêmes impédances à l'entrée et à la sortie du transistor. Les résultats de caractérisation large bande dans les plans de références des points RF sont montrés sur la Figure III-39.

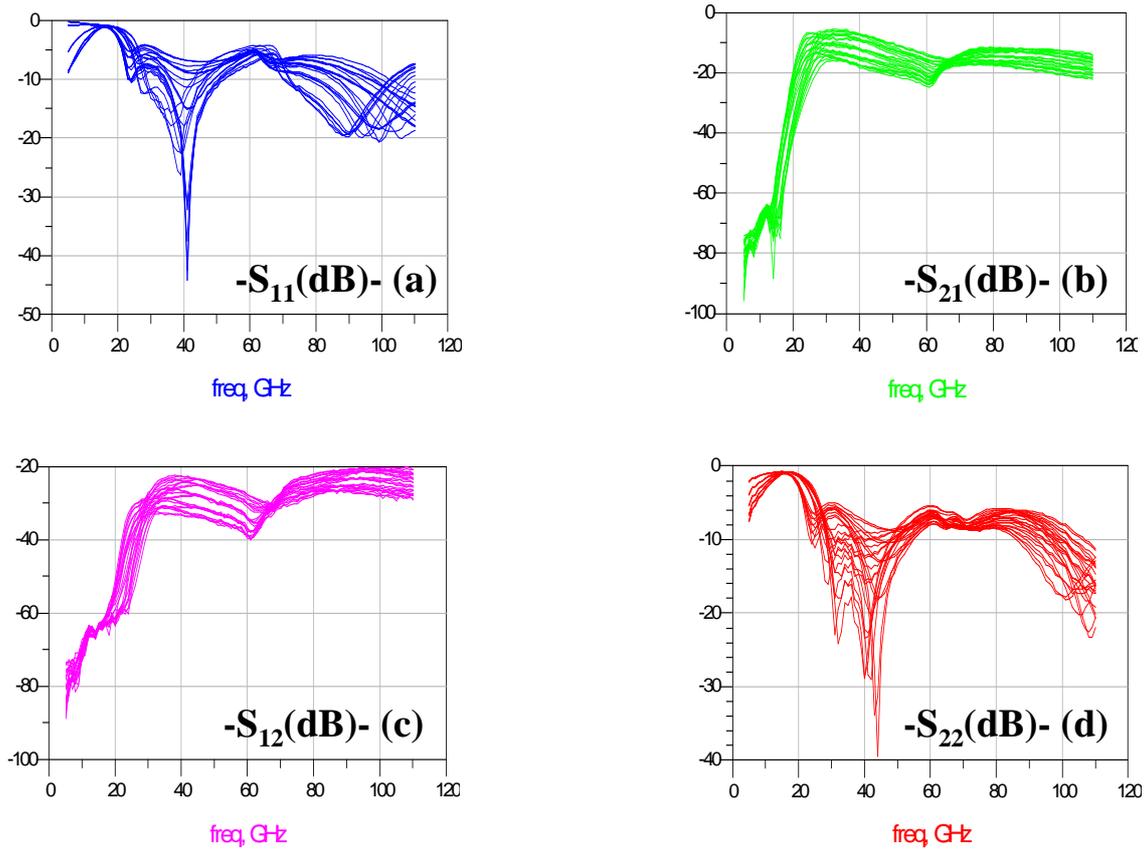


Figure III-39 : Coefficients de réflexion et de transmission de la structure load pull

La structure de test présente un coefficient de transmission  $S_{21}$  qui est inférieur à 0 dB dans le plan des pointes des sondes RF. En regardant ces résultats de mesure dans la bande W (75 – 110 GHz) comme montrés sur la Figure III-40, nous remarquons une dynamique d'environ 10 dB entre la transmission ( $S_{21}$ ) et l'isolation ( $S_{12}$ ).

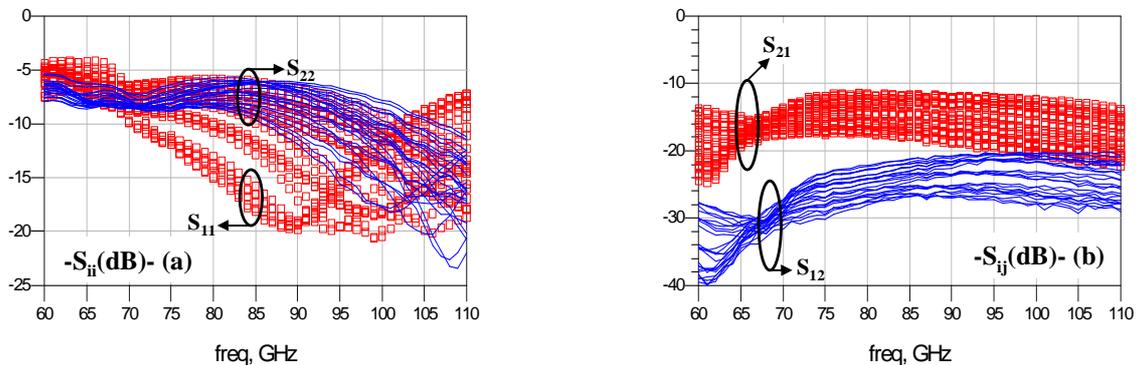


Figure III-40 : Les paramètres S de la structure de test load pull en bande W (75 - 110 GHz). En (a) les coefficients de réflexion et en (b) les coefficients de transmission

Le coefficient de transmission  $S_{21}$  de la structure de test load pull reste inférieur à 0 dB à cause des pertes d'insertion intrinsèques du tuner d'impédances.

L'étape de caractérisation suivante est de pouvoir corriger la structure de test load pull de ces accès (plots RF) et des tuners situés en entrée et en sortie du transistor, puis d'extraire par calcul les gains transduciques en fonction des différentes impédances de source et de charge générées par les tuners.

Afin de valider le concept, il sera également nécessaire de faire l'étude de la linéarité de ces tuners c'est-à-dire analyser leur IP3 et leur compression afin de s'assurer que celles-ci sont meilleures que celle du transistor testé.

### III.4.2. Perspectives d'amélioration du tuner

#### III.4.2.a L'intégration

Dans la conception de nos tuners nous avons utilisé plusieurs lignes de transmission pour modéliser une inductance variable, occupant ainsi une surface considérable sur le silicium. Une des voies d'amélioration que nous pouvons apporter pour réduire la surface occupée par les tuners supplémentaires est de transformer les tuners en un seul et ne faire qu'une seule structure par transistor à tester qui utilisera des lignes commutées [III-17].

La Figure III-41 nous donne une piste d'amélioration sur le gain en surface d'occupation des tuners. Cette figure présente une commutation de ligne de transmission de même longueur mais d'impédances caractéristiques différentes. Dans la modélisation de l'inductance variable, il faudra tenir compte du couplage existant entre les lignes de transmission.

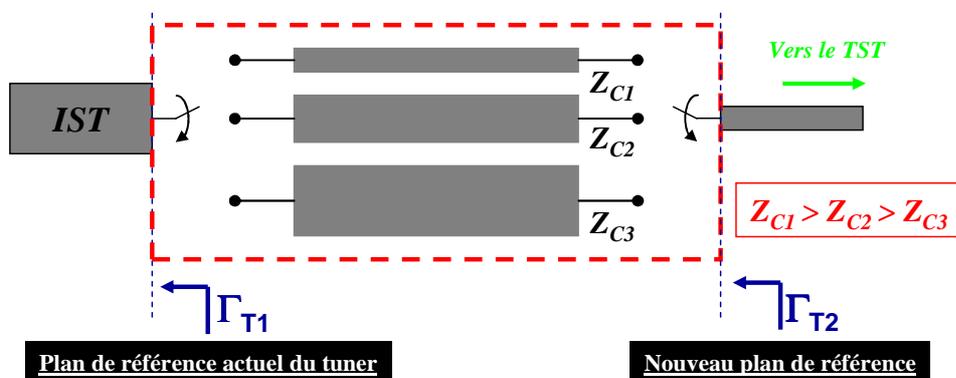


Figure III-41 : Perspective d'amélioration des tuners, variation de l'impédance caractéristique sur une structure à ligne commutée

Toujours dans une optique de gain de surface, la Figure III-42 présente une commutation de lignes de transmission de longueurs différentes et d'impédances caractéristiques identiques.

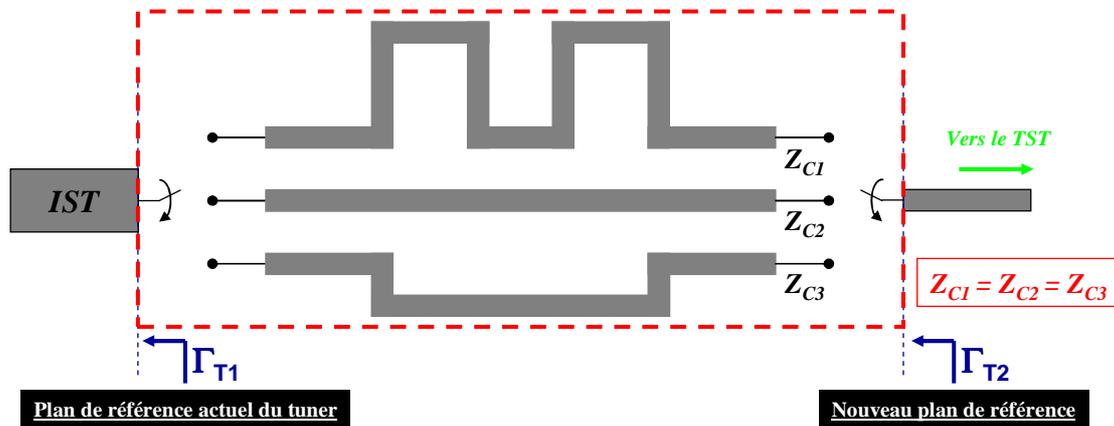


Figure III-42 : Perspective d'amélioration du tuner, variation de la longueur de la ligne de transmission sur une structure à ligne commutée

Une alternative intermédiaire serait de regrouper la variation de l'impédance caractéristique et la variation de la longueur de la ligne, pour en faire une variation mixte.

L'enjeu principal de ce concept sera la réalisation de commutateurs intégrés millimétriques ne présentant pas trop de pertes en mode de conduction [III-17]. Il est également envisageable de concevoir des variateurs digitaux sous forme de banque de capacités variables en tension avec un  $\Delta C$  plus important.

### III.4.2.b La montée en fréquence

Il nous est aujourd'hui possible de caractériser en bruit et en gamme millimétrique les transistors bipolaires et MOSFET, par l'utilisation d'IST intégrés. Ces travaux de thèse ouvrent une voix sur la montée en fréquence et la possibilité de pouvoir caractériser en bruit les transistors au-delà de la bande W. En effet, certaines applications sont déjà étudiées aujourd'hui au delà de 110 GHz (150, 180 GHz) car les nœuds technologiques en cours de développement présentent des fréquences de coupure approchant les 0.5 THz. La nécessité de caractériser les transistors en bruit et en puissance au delà de 110 GHz va donc être une réalité. Pour cela il faudra un travail de recherche sur l'architecture des bancs de mesure nécessaires (source de bruit, de puissance, récepteur de bruit, analyseur de spectre) mais aussi

une analyse sur le synthétiseur d'impédances. Le concept présenté dans cette thèse sur l'IST semble être adaptable à ce besoin, dans la mesure où il ne semble pas être limité en fréquence. Il faudra s'assurer que les composants utilisés pour concevoir l'IST présentent des fréquences de coupure au delà de la fréquence de mesure souhaitée ce qui paraît possible sur les MOSFET froids, sur les varactors et les lignes de transmission. A ces fréquences les pertes entre le synthétiseur d'impédances et les TST sont encore plus pénalisantes pour le TOS et seule l'approche IST semble répondre au besoin.

### III.4.3. Utilisation des tuners dans un contexte plus large

Le tuner d'impédances est un système qui permet de générer plusieurs impédances sur une gamme de fréquence donnée. Il est généralement utilisé dans les systèmes de mesure de puissance, dans les systèmes reconfigurables pour l'adaptation des antennes par exemple et dans les systèmes de mesure de bruit.

#### III.4.3.a L'adaptation d'impédance

##### (1) En puissance

Les amplificateurs de puissance permettent le transfert maximal de la puissance, ce qui sous-entend que le transistor doit être stable et doit présenter une adaptation à la fois en entrée et en sortie (Cf. Figure III-43).

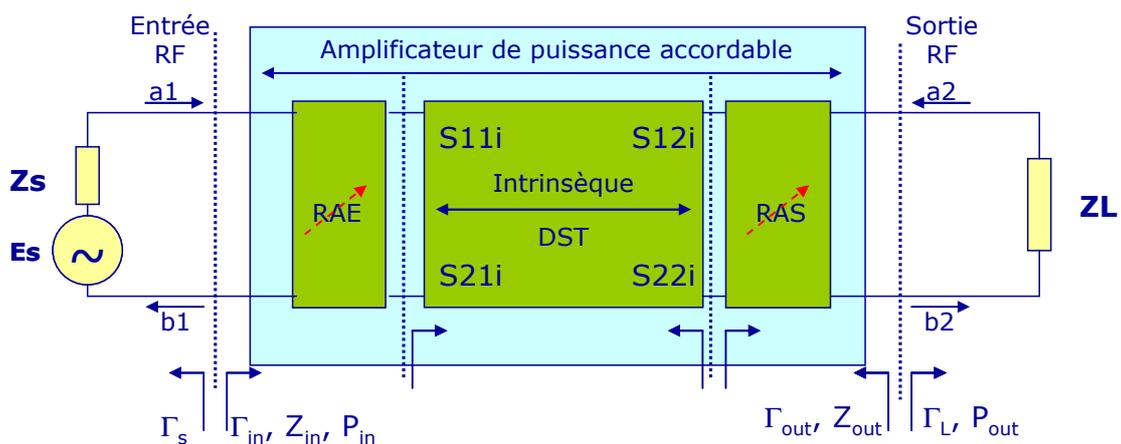


Figure III-43: Configuration d'un amplificateur de puissance variable

Dans le cadre d'une application reconfigurable, il est possible d'imaginer des systèmes d'accord variable en entrée et en sortie du transistor, ce qui permettrait de concevoir un

amplificateur agile. Cette application a pour but de favoriser un gain de surface et implicitement une réduction du coût, ce qui lui donne une position économiquement intéressante.

(2) *Système multi-bandes*

L'évolution des technologies permet de pousser haut en fréquence tous types d'applications, permettant ainsi d'avoir des systèmes plus complexes et plus performants. L'une des fonctions les plus importantes dans un système de réception est la fonction de l'amplificateur faible bruit. En effet, l'amplificateur faible bruit dans une chaîne de réception permet de réduire significativement le bruit de toute la chaîne s'il est conçu pour générer un minimum de bruit. Dans un système multi-bandes, on pourrait rendre l'amplificateur faible bruit accordable et implicitement rendre compacte toute la chaîne de réception. La fonction d'amplificateur faible bruit serait alors possible par l'utilisation d'un tuner d'impédances qui aura pour fonction de rechercher l'impédance optimale du transistor qui le ferait fonctionner à son minimum de bruit en fonction de la bande de fréquence souhaitée.

Une illustration de ce concept d'amplificateur faible bruit accordable dans une chaîne de réception est représentée sur la Figure III-44.

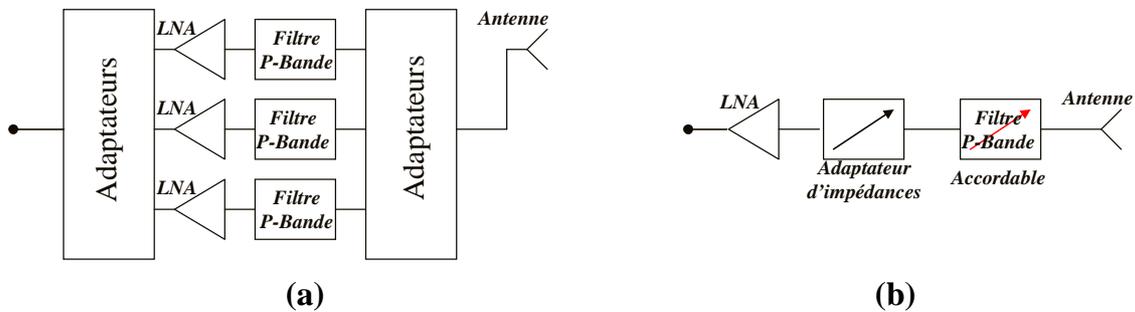


Figure III-44: (a) Système de réception multi-bandes conventionnel, (b) Système de réception multi-bande accordable

Ce concept est également valable dans une chaîne d'émission, dans ce cas c'est l'amplificateur de puissance qui est rendu variable, le principe de fonctionnement est présenté sur la Figure III-45.

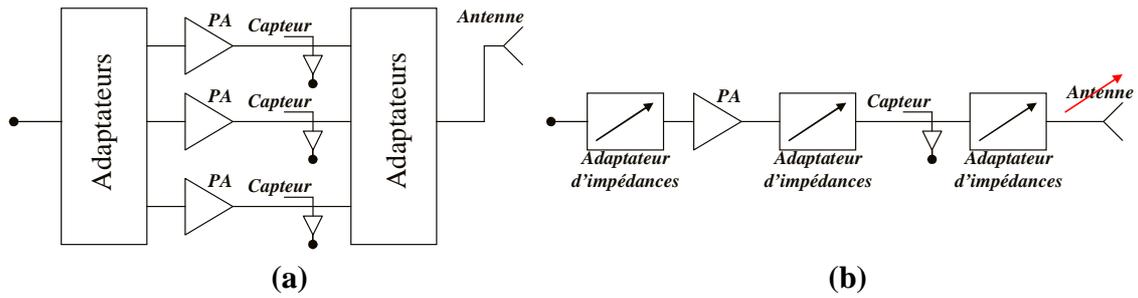


Figure III-45: (a) Système d'émission multi-bandes conventionnel, (b) Système d'émission multi-bandes accordable

### (3) Antenne-Amplificateur de puissance

L'évolution de la communication sans fil implique aujourd'hui un besoin croissant de synthétiseurs multi-bandes et des composants millimétriques accordables se prêtent à ce besoin. Pour ce type d'application, le rendement stable de l'amplificateur de puissance ainsi que sa fiabilité sont des éléments clés. Aujourd'hui l'amplificateur de puissance est adapté sous l'impédance de l'antenne considérée stable. Or en fonction de l'environnement que celle-ci voit (métal, surface variable, ...) son impédance change et l'amplificateur se voit donc déstabilisé voire endommagé par des TOS trop élevés. Une façon de palier à ce phénomène est que l'on intègre un circuit agile entre l'antenne et le PA [III-18] qui quelque soit l'impédance que présente l'antenne (changement de l'environnement) conserve un point d'impédance fixe vue par l'amplificateur.

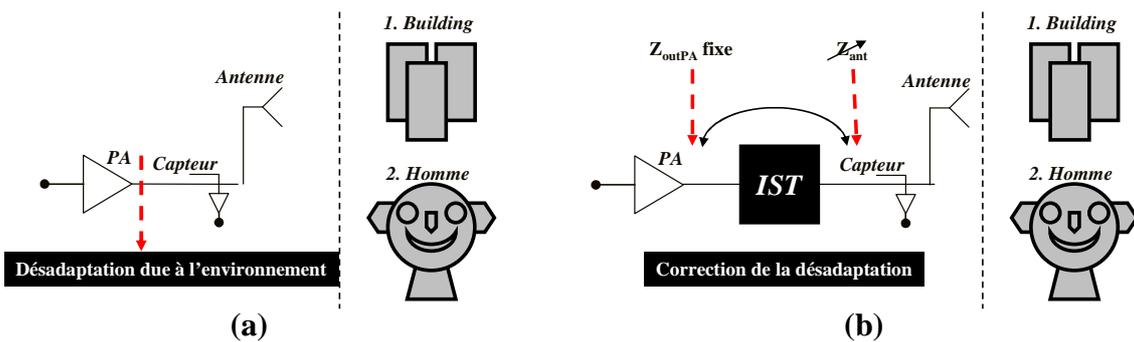


Figure III-46 : Principe de correction de la désadaptation du bloc PA-antenne due au changement d'environnement par l'utilisation de variateur d'impédance

### **III.5. Conclusion sur la caractérisation en bruit des transistors**

Ce chapitre III nous a permis de mettre en application la méthode des impédances multiples en bande W (75 – 110 GHz) pour la caractérisation en bruit respective des transistors HBT et MOSFET de la technologie BiCOS9MW et CMOS 65 nm SOI-HR de chez STMicroelectronics en utilisant des tuners intégrés que nous avons conçus et décrits au chapitre II. Les étapes de correction sont successivement décrites jusqu'à l'extraction des 4 paramètres de bruit.

Il ressort de cette étude que les transistors MOSFET du nœud technologique 65 nm présentent des facteurs de bruit minimum de l'ordre de 2 dB en bande W et que les transistors bipolaires de la technologie BiCMOS9MW présentent des facteurs de bruit minimum de l'ordre de 3.5 dB en bande millimétrique.

Une comparaison entre les tuners mécaniques et nos tuners a montré que les IST sont compétitifs et nous a permis de positionner nos travaux à l'échelle internationale. Il ressort de cet état de l'art que nos travaux ouvrent une brèche sur l'exploration des fréquences au-delà de la bande W.

Nous avons par la suite dans, le but d'étendre les applications des tuners d'impédances intégrés, établi un cahier des charges pour des applications de type load-pull. Ce cahier des charges a été construit suite à l'analyse des zones de stabilité en entrée et en sortie des transistors de façon à définir les zones de l'abaque de Smith à réaliser pour se rapprocher des impédances optimales de source et de charge qui nous donnent le gain transductique le plus élevé. Afin de simplifier notre approche nous avons basé notre étude préliminaire sur l'utilisation des tuners d'impédances en technologie BiCMOS9MW comme variateur d'impédances en entrée et en sortie des transistors sous test. Les résultats de caractérisation de ces structures préliminaires de test dans les plans des sondes sont montrés, présentant une dynamique de 10 dB entre l'isolation ( $S_{12_{\max}} \# -20\text{dB}$ ) et la transmission ( $S_{21_{\max}} \# -10\text{dB}$ ). La caractérisation des tuners seuls étant en cours, les étapes de correction pour remonter dans le plan du TST seront montrées ultérieurement. Toutefois des pertes d'insertion élevées du tuner ( $S_{21_{\max}} \# -10 \text{ dB}$ ) laissent penser qu'après ces étapes de corrections nous aurons du gain dans les plans de références du TST.

Nous avons également donné des pistes d'amélioration de nos tuners d'impédances en termes de compacité et de couverture de l'abaque de Smith. Ces voies d'amélioration font appel à l'utilisation de lignes commutées, en variant soit l'impédance caractéristique des lignes soit en variant les longueurs de ces lignes, soit en associant conjointement ces 2 types de variation. Il faudra toutefois tenir compte des couplages entre les lignes pendant la phase de conception du tuner.

Nous avons enfin, présenté une utilisation plus large des tuners intégrés vis-à-vis de l'adaptation d'impédances dans des systèmes multi-bandes et dans le cas d'une adaptation entre une antenne et un amplificateur.

---

## Références bibliographiques

---

*Méthodologie de calibrage du banc de mesure en bruit*

---

- [III-1] N. Waldhoff "Thèse Caractérisations et modélisations des technologies CMOS et BiCMOS", thèse 2009 Université de Lille et STMicroelectronics
- [III-2] Adamian V., Uhler A., "A novel procedure for receiver noise characterization", IEEE Transaction on Instrumentation and Measurement, vol. 22, Issue 2, pp. 181-182, June 1973
- [III-3] G. Pailloncy "propriétés hyperfréquences et de bruit de MOSFETs sur substrat massif et SOI jusqu'au nœud technologique 65 nm ", thèse 2005 Université de Lille
- [III-4] R. Q. Lane, "The determination of device noise parameters," Proc. Of the IEEE Vol. 57, pp. 1461 - 1462, August 1969

---

*L'extraction des 4 paramètres de bruit des TST*

---

- [III-5] N. Zamdmer, A. Ray, J. Plouchart, L. Wagner, N. Fong, K. Jenkins, W. Jin, P. Smeys, I. Yang, G. Shahidi, and F. Assaderghi, "A 0.13- $\mu$ m SOI CMOS technology for low-power digital and RF applications," VLSI Technology, 2001. Digest of Technical Papers, pp. 85-86, Kyoto
- [III-6] T. Hirose et al. "A 185GHz fmax SOI DTMOS with a new metallic overlaygate for low power RF applications", IEDM Technical Digest, Dec 2001, Washington, DC, pp.33.5.1-33.5.3
- [III-7] M. Vanmackelberg, S. Boret, D. Gloria, O. Rozeau, R. Gwoziecki, C. Raynaud, S. Lepilliet, and G. Dambrine, "90nm SOI-CMOS of 150GHz fmax and 0.8dB NFmin @6GHz for SOC," SOI Conference, IEEE International 2002, October 2002, pp. 153-154.
- [III-8] Sungjae Lee, L. Wagner, B. Jagannathan, S. Csutak, J. Pekarik, M. Breitwisch, R. Ramachandran, and G. Freeman, "Record RF performance of sub-46 nm L/sub gate/ NFETs in microprocessor SOI CMOS technologies," Electron Devices Meeting, 2005. IEDM Technical Digest, Washington, DC, pp. 241-244.
- [III-9] F. Giancesello, "Evaluation de la technologie CMOS SOI Haute-Résistivité pour applications RF jusqu'en bande millimétrique", PhD Thesis presented at the Institut Polytechnique de Grenoble, France, 2006.
- [III-10] Sungjae Lee, B. Jagannathan, S. Narasimha, A. Chou, N. Zamdmer, J. Johnson, R. Williams, L. Wagner, Jonghae Kim, J. Plouchart, J. Pekarik, S. Springer, and G. Freeman, "Record RF performance of 45-nm SOI CMOS Technology," Electron Devices Meeting, 2007 IEDM 2007, Washington, DC, pp. 255-258
- [III-11] Hongmei Li, B. Jagannathan, Jing Wang, Tai-Chi Su, S. Sweeney, J. Pekarik, Yun Shi, D. Greenberg, Zhenrong Jin, R. Groves, L. Wagner, and S. Csutak, "Technology Scaling and Device Design for 350 GHz RF Performance in a 45nm Bulk CMOS Process," VLSI Technology, 2007 IEEE Symposium on, 2007, Kyoto, pp. 56-57
- [III-12] Jae-Sung Rieh, "A brief overview of modern high-speed SiGe HBTs," Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on, 2006, Shanghai, pp. 170-173.
- [III-13] D. Greenberg, B. Jagannathan, S. Sweeney, G. Freeman, and D. Ahlgren, "Noise performance of a low base resistance 200 GHz SiGe technology," Electron Devices Meeting, 2002. IEDM '02. Digest. International, 2002, pp. 787-790.
- [III-14] P. Chevalier, D. Gloria, P. Scheer, S. Pruvost, F. Giancesello, F. Pourchon, P. Garcia, J.-C. Vildeuil, A. Chantre, C. Garnier, O. Noblanc, S.P. Voinescu, T.O. Dickson, E. Laskin, S.T. Nicolson, T. Chalvatzis, and K.H.K. Yau, "Advanced SiGe BiCMOS and CMOS platforms for Optical and Millimeter-Wave Integrated Circuits," Compound Semiconductor Integrated Circuit (CSIC) Symposium, Nov. 2006, San Antonio, TX, pp. 12-15.

**[III-15] J.C. Bardin and S. Weinreb, "Experimental cryogenic modeling and noise of SiGe HBTs," Microwave Symposium Digest, 2008 IEEE MTT-S International, 15-20 Jun. 2008, Atlanta, GA, pp. 459-462.**

**[III-16] B. Banerjee, S. Venkataraman, Chang-Ho Lee, and J. Laskar, "Broadband Noise Modeling of SiGe HBT under Cryogenic Temperatures," IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 3-5 Jun. 2007, Honolulu, HI, pp. 765-768.**

---

*Perspectives*

**[III-17] B. Lakshminarayanan and T. Weller, "Electronically tunable multi-line TRL using an impedance matched multi-Bit MEMS phase shifter." IEEE Microwave and Wireless Components Letters, Vol. 15, No. 2, pp. 137-139, Feb. 2005**

**[III-18] J. Schobel, T. Buck, M. Reimann, M. Ulm, and M. Schneider, "W-band RF-MEMS subsystems for smart antennas in automotive radar sensors." Proceedings of the 34th European Microwave Conference 2004, Amsterdam, Netherlands, 11-15 Oct. 2004, pp. 1305-1308**

## IV - Conclusion Générale

---

L'objectif de cette thèse était de mettre au point une méthodologie de caractérisation des 4 paramètres de bruit hyperfréquence des technologies CMOS (65 nm) et HBT (BiCMOS9MW) avancées en gamme millimétrique « 60 – 110 GHz » en développant des systèmes à impédance variable In-Situ.

Dans un premier temps, nous avons décrit l'importance de l'utilisation des technologies sur silicium pour les applications millimétriques telles que la communication à 60 GHz, les applications radar à 77 GHz et l'imagerie à 94 GHz. Ce chapitre nous a permis de montrer les difficultés de la caractérisation millimétrique petit signal, en puissance et particulièrement en bruit. Les méthodes d'extraction des paramètres de bruit ont été présentées, nous permettant ainsi de choisir le moyen le plus adapté à notre cas d'étude à savoir la méthode des impédances multiples. La limitation des performances en fréquence des appareils de mesures au-delà de 50 GHz du fait de la présence de dispositifs passifs entre les tuners mécaniques et les transistors sous test (TST), est traduit par une réduction du TOS en entrée du TST, ceci nous laissant alors envisager la caractérisation HF par l'utilisation de moyens intégrés en l'occurrence des tuners d'impédances in-situ.

La deuxième partie de ce manuscrit s'est principalement focalisée sur la conception et la caractérisation des tuners d'impédances intégrés dans les 2 technologies (BiCMOS9MW '*Substrat Standard 12Ω.cm*' et CMOS 65nm SOI '*Substrat SOI-HR 3kΩ.cm*') étudiées en passant par l'élaboration d'un cahier des charges. Nous nous sommes avant tout familiarisés avec les 2 technologies en présentant succinctement leurs BEOL et leurs composants actifs. L'architecture retenue du tuner est la même suivant la technologie et elle utilise des composants considérés comme passifs afin de ne pas générer de bruit additionnel au TST. Cette architecture utilise une résistance variable 'MOSFET-froid', une capacité variable 'Varactor MOS à accumulation' et une ligne de transmission. Nous présentons par la suite la description, la modélisation et les mesures de ces composants. Les performances en termes de TOS mesurés de ces tuners d'impédances intégrés sont meilleures que celles des tuners mécaniques commercialisés.

Enfin, nous avons exploité les tuners intégrés pour extraire les 4 paramètres de bruit HF des transistors MOSFET et HBT par la mesure de puissance de bruit en source froide. Nous avons avant tout décrit le banc de mesure et expliqué les différentes étapes de correction nécessaires pour remonter dans le plan des TST. Les performances en bruit ainsi extraites montrent la compétitivité des transistors sur silicium par rapport aux composants III-V.

Une comparaison des performances entre les tuners intégrés développés (TOS de 7 :1 et 150 :1) et les tuners mécaniques est faite montrant ainsi les potentialités et les perspectives d'adresser les fréquences au-delà de la bande W (Cf. la Figure 47 – sur l'état de l'art en 2010).

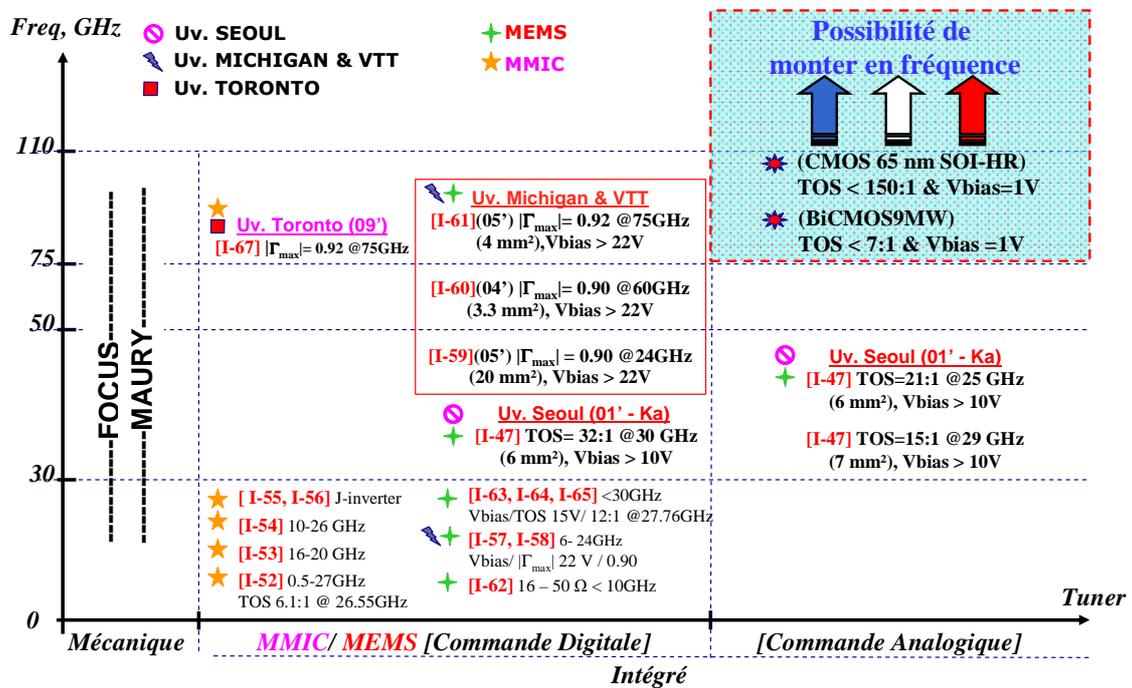


Figure 47 : Etat de l'art des tuners d'impédances en 2010 en comparaison de l'état de l'art en 2007 (Cf. Chapitre I.2.4.b)

Cette étude nous a permis de positionner internationalement nos travaux de thèse. Des perspectives d'amélioration des tuners sont apportées en termes de compacité en réalisant des structures à lignes commutées. Ces tuners sont également potentiellement intéressants pour la réalisation de système agile en bande W et au-delà (bande G, J, etc ...). Ce travail de thèse nous a permis d'acquérir une forte expérience et d'apporter une expertise additionnelle dans le domaine de la caractérisation millimétrique à STMicroelectronics et à l'IEMN.

## Liste des publications

Article dans une revue internationale avec comité de lecture:

[7] N. Waldhoff, **Y. Tagro**, D. Gloria, F. Gianesello, F. Danneville, G. Dambrine, “*Pre-matched transistor in W-band for sub-65 nm technology*”, *IEEE Microwave and Wireless Component Letters (MCLW)*, 2009.

Cette lettre se focalise sur les mesures de bruit millimétriques portées sur les transistors MOSFET en bande W (75-110 GHz). Le facteur de bruit sur 50  $\Omega$  de ces transistors étant supérieur à 10 dB en bande W, il n'est pas évident de valider le modèle de bruit millimétrique. Pour remédier à cela, des structures pré-adaptées ont été conçues couvrant la bande W et même au-delà pour réduire le facteur de bruit et augmenter le gain du transistor.

[6] **Y. Tagro**, N. Waldhoff, D. Gloria, S. Boret, G. Dambrine, “*In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction using Multi-Impedance Method for Transistor Characterization*”, TSM (En attente).

Communication internationale avec acte :

[5] **Y. Tagro**, D. Gloria, S. Boret, S. Lepilliet, G. Dambrine, “*SiGe HBT Noise Parameters Extraction Using In-Situ Silicon Integrated Tuner in MMW Range 60 – 110 GHz*”, *IEEE BCTM*, Capri, Italia, October 12<sup>th</sup> – 14<sup>th</sup>, 2009, pp. 83-86.

[4] **Y. Tagro**, D. Gloria, S. Boret, G. Dambrine, “*MMW Lab In-Situ to Extract Noise Parameters of 65nm CMOS Aiming 70-90 GHz Applications*”, *IEEE RFIC*, Boston, MA, June 7<sup>th</sup> – 12<sup>th</sup>, 2009, pp.397-400

[3] **Y. Tagro**, D. Gloria, S. Boret, Y. Morandini, G. Dambrine, “*In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction using Multi-Impedance Method for Transistor Characterization*”, *IEEE ICMTS*, Oxnard, CA, March 30<sup>th</sup> - April 02<sup>nd</sup>, 2009, pp. 184-188.

[2] **Y. Tagro**, D. Gloria, S. Boret, Y. Morandini, G. Dambrine, “*In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction of Si HBT and MOSFET in the range 60-110 GHz*”, *IEEE ARFTG*, Portland, OR, December 9<sup>th</sup> – 12<sup>th</sup>, 2008, pp. 119-122.

Communications nationales avec acte :

[1] **Y. Tagro**, D. Gloria, G. Dambrine, “*Tuner intégré sur Silicium pour l'extraction des paramètres de bruit sous pointes en bande millimétrique (60~110GHz) pour les technologies SiGeC HBT et MOSFET*”, *Poster*, Journée Thématique des 16<sup>th</sup> Journée Nationale Micro-ondes (JNM), Grenoble, May 2009.

Communications nationales sans acte :

[0-3] **Y. Tagro**, “*CMOS 65 nm SOI, 4 noise parameters extraction in MMW band using Lab in-situ tuner (IST)*”, *WORKSHOP Laboratoire commun STMicroelectronics/IEMN*, Crolle, Mars 2009.

[0-2] **Y. Tagro**, “*In situ tuner for MMW applications: focus on HF noise parameters extraction in the band 60~110 GHz*”, *WORKSHOP Laboratoire commun STMicroelectronics/IEMN*, Crolle, Mars 2008.

[0-1] **Y. Tagro**, “*Contribution on HF characterization for optimization of CMOS and BiCMOS sub-65 nm technologies for MMW applications: « focus on HF noise parameters extraction in the band 60~110 GHz*”, *WORKSHOP Laboratoire commun STMicroelectronics/IEMN*, Crolle, Mars 2007.

