

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX 1

École doctorale des Sciences Physiques et de l'Ingénieur

par Aya MABROUKI

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ÉLECTRONIQUE

Soutenance le 9 Décembre 2010

.....
Mise en œuvre de l'effet de substrat dans la conception des
amplificateurs faible bruit sous contrainte de faible puissance
.....

Après avis de:

M.	Hervé BARTHELEMY	Professeur	Université Sud Toulon Var	Rapporteur
M.	Pascal NOUET	Professeur	Université Montpellier 2	Rapporteur

Devant la commission d'examen formée de:

M.	Hervé BARTHELEMY	Professeur	Université Sud Toulon Var	Rapporteur
M.	Pascal NOUET	Professeur	Université Montpellier 2	Rapporteur
M.	David DUBUC	Maître de conférences HDR	Université Paul Sabatier	Examineur
M.	Jean-Baptiste BEGUERET	Professeur	Université Bordeaux 1	Examineur
M.	Yann DEVAL	Professeur	IPB Bordeaux	Directeur de thèse
M.	Thierry TARIS	Maître de conférences HDR	Université Bordeaux 1	Co-Directeur de thèse

A Papa Mohamed Salah

A Mama Ramdhana

*« La science ne consiste pas en ce qui est conservé dans les livres,
mais bien en ce qui se grave dans les cœurs »*

Proverbe arabe

Remerciements

Je tiens ici à remercier toutes les personnes qui ont contribué au bon déroulement de cette thèse tant par leur encadrement ou leurs compétences que par leur soutien.

Cette thèse a été effectuée au sein du laboratoire IMS de l'université Bordeaux I, dirigé par le Professeur Pascal FOUILLAT que je remercie pour m'avoir accueillie au sein de la cellule et permis la réalisation de ces travaux.

Je souhaite tout d'abord, remercier sincèrement mon directeur de thèse, le Professeur Yann DAVAL pour m'avoir accordé sa confiance en acceptant de diriger mes recherches, pour les conseils précieux dont j'ai bénéficiés ainsi que sa bonne humeur et sa joie de vivre que j'apprécie beaucoup. Ma gratitude et ma reconnaissance vont au Maître de Conférences (HDR) Thierry TARIS, co-directeur de thèse, pour sa disponibilité, son soutien, ses suivis réguliers et sa patience qu'il a gardé jusqu'au bout.

Je remercie également Monsieur Jean Baptiste BEGUERET, chef du groupe conception pour son aide et son encouragement durant ses trois années de thèse. Je le remercie aussi pour avoir participé et présidé le jury de ma soutenance.

J'adresse mes sincères remerciements à Monsieur Pascal NOUET Professeur à l'université Montpellier et Monsieur Hervé BARTHELEMY Professeur à l'université Sud Toulon d'avoir rapporté cette thèse et apporté leurs remarques constructives. Merci à Monsieur David DUBUC, Maître de conférences (HDR) au LAAS pour l'avoir examinée.

Merci particulièrement aux ingénieurs de l'équipe de conception de circuits pour leurs disponibilités et leurs soutiens qui ont contribué à l'avancement de mes recherches : Romaric TOUPE, Magali DEMATOS, Olivier MAZOUFFRE, André MARIANO, Cédric MAJEK.

Une pensée pour mes compagnons de route du laboratoire IMS, tous les thésards et les stagiaires qui ont ensoleillé mon quotidien et avec qui j'ai partagé des discussions et des moments agréables durant ces trois ans : Chama AMEZIANE, Andrée FOUQUE, Pierre Olivier LUCAS DE PESLOUAN, Yohann LUQUE, Sofiane ALOUI, Nejdhat DEMIREL, Cedric MAJEK, Nima OMAR AOULED, Nogaye MBAYE, Quentin BERAUD, Diego ROSSONI MATOS, Nicolas REGIMBAL, Bernardo LEITE, Victor DUPUY, André MARIANO, Hassene KRIMIA, Raffaele SEVERINO, François RIVET, Kamal BARAKA...

Un grand merci à Simone VAN DANG pour sa sympathie et son soutien pendant les périodes difficiles ainsi que pour tous les plats asiatiques qu'elle m'a fait goûter.

Merci à mes copines avec qui j'ai partagé des moments de folies, de joies et d'inquiétude, merci de m'avoir écouté à cœur ouvert sans jamais me dire "Aya arrête de râler" : Nadia BRAHMI, Nadia BEN ABDALLAH, Hanene JEMOUI, Dorsaf ELHOG, Feten BEN GAZDALLAH, Hanene SABEUR, Imène SBIKI, Wafa DAHMENI, Boutheina BANNOUR...

Du fond du cœur, je dédie la présente thèse à ceux qui ont toujours été la pour moi, pour le meilleur et pour le pire : A mes Parents. A la mémoire des nuits blanches, des journées d'angoisse et de fatigue. A toi Mama, pour les prières qui résonneront à jamais dans mes oreilles, pour tes larmes et tes sourires. A toi Papa, pour les longues journées de route entre Gafsa et Tunis et à la mémoire de notre dernier prix ensemble du Bac 2002.

Merci à toute ma famille d'avoir toujours été fière de moi.

Enfin Merci à tous ceux qui m'ont apporté un jour, support et soutien et dont j'ai oublié de mentionner dans ces lignes.

Sommaire

INTRODUCTION GENERALE.....	9
I EVOLUTION DES STANDARDS ET ARCHITECTURES POUR LES COMMUNICATIONS SANS FIL.....	15
I. CLASSIFICATION DES COMMUNICATIONS SANS FIL ET CONTRAINTES DE CONCEPTION.....	16
I.1. Expansion des normes de communication sans fil.....	16
I.2. Technologies CMOS et contraintes de conception.....	19
II. ARCHITECTURE DES SYSTEMES D'EMISSION ET DE RECEPTION.....	22
II.1. Introduction.....	22
II.2. Systèmes d'émission.....	22
II.3. Systèmes de réception.....	24
III. FONCTIONNALITES ET CARACTERISTIQUES DES BLOCS RF.....	28
III.1. Définition des blocs.....	28
III.1.1. Amplificateur faible de bruit.....	28
III.1.2. Mélangeur.....	28
III.1.3. Amplificateur de puissance.....	28
III.1.4. Synthétiseur de fréquence.....	29
III.1.5. Filtres.....	29
III.2. Définition des caractéristiques.....	29
III.2.1. Gain et adaptation d'impédance.....	29
III.2.2. Facteur de bruit.....	30
III.2.3. Linéarité.....	32
IV. CONCLUSION ET DEFINITION DE L'AXE DE RECHERCHE.....	39
REFERENCES.....	41
II ETAT DE L'ART SUR L'OPTIMISATION DE LA LINEARITE DANS LES AMPLIFICATEURS FAIBLE BRUIT.....	45
I. TRANSISTOR MOS ET MODES DE FONCTIONNEMENT.....	46
I.1. Généralités.....	46
I.2. Modes de fonctionnement.....	47
II. ARCHITECTURES DE BASE DES LNA.....	49
II.1. LNA à terminaison résistive.....	50
II.2. LNA à terminaison $1/g_m$	50
II.3. LNA à contre réaction résistive.....	51
II.4. LNA à dégénérescence inductive.....	51
II.5. Comparatif.....	53
III. TECHNIQUES DE LINEARISATION.....	54
III.1. Optimisation par polarisation de grille.....	55
III.2. Configuration multi-grille et ses dérivées.....	57
III.2.1. Configuration multi-grille de base.....	57
III.2.2. Configuration multi-grille modifiée.....	59
III.2.3. Configuration multi-grille modifiée avec optimisation de NF.....	60
III.3. Compensation par post-distorsion active.....	61
III.4. Post IM3 compensation.....	63
III.5. Comparatif.....	64
IV. EFFET DE SUBSTRAT.....	65
IV.1. Principe.....	65
IV.2. Contrôle de Gain et de linéarité.....	66
V. CONCLUSION.....	70

REFERENCES	72
III CONCEPTION D'UN LNA A DEGENERESCENCE INDUCTIVE A GAIN ET LINEARITE CONTROLABLES PAR EFFET DE SUBSTRAT	77
I. ETUDE DE L'EFFET DE SUBSTRAT SUR LES CARACTERISTIQUES D'UN LNA A DEGENERESCENCE INDUCTIVE	78
I.1. Adaptation d'entrée	78
I.1.1. Rappel	78
I.1.2. Effet de substrat.....	80
I.2. Gain	81
I.3. Facteur de bruit	81
I.4. Linéarité.....	82
II. CONCEPTION DU CIRCUIT ET RESULTATS DES SIMULATIONS POST LAYOUT (PLS)	85
II.1. Le circuit et la puce	85
II.2. Procédure de conception	88
II.3. Résultats des simulations post layout	90
II.3.1. Fonctionnement nominal ($V_{BS}=0V$)	90
II.3.2. Fonctionnement pour V_{BS} non nulle.....	91
III. RESULTATS DES MESURES	94
III.1. Implémentation	94
III.2. Contrôle numérique de V_{BS}	95
III.3. Résultats expérimentaux	97
III.3.1. Mesure du circuit à $V_{BS}=0V$	97
III.3.2. Mesure de l'effet de substrat sur les caractéristiques du LNA.....	101
IV. CONCLUSION	105
REFERENCES	107
IV CONCEPTION D'UN LNA A FAIBLE CONSOMMATION EN PUISSANCE AVEC FORWARD BODY BIAS	109
I. RESEAUX DE CAPTEURS SANS FIL	110
I.1. Définition.....	110
I.2. Architecture d'un noeud	111
I.3. Applications des réseaux de capteurs	113
I.4. Contraintes de conception	114
II. TECHNIQUES DE CONCEPTION SOUS BASSE TENSION ET FAIBLE CONSOMMATION	115
III. METHODOLOGIE DE CONCEPTION SOUS CONTRAINTE DE CONSOMMATION	116
III.1. Largeur de doigt optimale	119
III.2. Nombre de doigt	121
IV. RESULTATS DES SIMULATIONS POST LAYOUT	123
V. RESULTATS DES MESURES	125
V.1. Implémentation du circuit et banc de mesure	125
V.2. Résultats expérimentaux	126
V.3. Comparaison des résultats à l'état de l'art	129
VI. CONCLUSION	130
REFERENCES	131
CONCLUSION ET PERSPECTIVES	134
LISTE DES TRAVAUX PUBLIES (2007-2010)	139
GLOSSAIRE	140
ANNEXES	142

Introduction générale

INTRODUCTION GENERALE

L'essor des technologies sans fil offre à l'heure actuelle de nouvelles perspectives pour la communication. Les systèmes mobiles ont permis l'exploitation de l'information dans des environnements complexes à travers des unités de traitements portables ayant des caractéristiques spécifiques telles que : une capacité de stockage limitée et une source d'énergie autonome. A cette évolution s'ajoute aussi le progrès des technologies semiconducteurs qui a permis le développement de nombreuses applications sans fil dont les fréquences de fonctionnement peuvent s'étendre jusqu'à une centaine de gigahertz aujourd'hui. Parmi les secteurs les plus porteurs, nous retrouvons : l'internet, la téléphonie mobile, le médical, l'aéronautique, la domotique et la sécurité routière.

Cette croissance spectaculaire du marché d'objets communicants s'accompagne d'une forte demande de produits électroniques portables, suffisamment autonomes pour que les utilisateurs puissent les mettre en œuvre sans avoir à les relier à une source d'énergie externe en permanence. Ainsi, la durée de vie des batteries est d'une importance capitale. Par ailleurs, les contraintes de portabilité sont fortement liées à une faible consommation et une forte intégration. Pour répondre à ces exigences, les concepteurs des circuits intégrés doivent développer des architectures de communication innovantes et fiables. Parmi les nouvelles approches qui ont été adoptées dans la conception des blocs radiofréquences en technologie CMOS, on retrouve par exemple « l'effet de substrat ». Cet aspect, rendu exploitable grâce au développement des technologies CMOS "triple well", présente une voie intéressante permettant l'amélioration des performances des circuits intégrés sans avoir recours à des structures complexes gourmandes en puissance et en silicium. De nombreux travaux de recherches ont été développés en exploitant cette approche pour diverses raisons telles que la linéarisation des mélangeurs [LIA08] et la réduction de la consommation en puissance dans les oscillateurs et les amplificateurs faibles bruits [HSI07], [WU07] et [JHO09].

Nous nous intéressons dans ce travail de thèse à la conception d'un élément critique de la chaîne de réception qui est l'amplificateur faible bruit (ou Low Noise Amplifier LNA) et à l'étude de la faisabilité du contrôle de ses caractéristiques par effet de substrat (ou Body effect). Toutes les étapes de conception des circuits seront décrites depuis la définition des spécifications jusqu'à la réalisation finale des circuits et leurs caractérisations.

Le premier chapitre de ce mémoire de thèse présente, dans un premier temps, une analyse générale de l'évolution des normes de communication sans fil et les différentes

limitations inhérentes aux progrès des technologies CMOS. Par la suite nous rappelons le principe de quelques architectures de systèmes de transmission comprenant les deux parties : émission et réception. Nous décrivons également les fonctionnalités des blocs communs d'une chaîne de réception ainsi que leurs caractéristiques associées.

Dans le deuxième chapitre, nous dressons un état de l'art sur les structures et méthodes d'optimisation de la consommation en puissance, tout d'abord, de la linéarité, par la suite, dans les LNAs. Enfin, nous définissons l'axe de recherche et la problématique de cette thèse en étudiant la notion d'effet de substrat sur les caractéristiques d'un amplificateur source commune en se basant sur les différents résultats de simulations.

Dans le troisième chapitre nous développons une étude théorique préliminaire des caractéristiques du LNA en fonction de la polarisation du substrat dans une architecture cascode à dégénérescence inductive. A l'issue de cette étude, nous démontrons, d'une part, la faisabilité de l'optimisation de la linéarité par effet de substrat sous une consommation en puissance réduite, et d'autre part la possibilité du contrôle du gain du LNA pour des applications à gain variable. Ces investigations seront validées par les mesures du circuit conçu en technologie CMOS 130nm.

Le quatrième chapitre est dédié à la conception d'un LNA à très basse tension d'alimentation qui emploie la technique du « Forward body bias » (FBB). Nous commençons tout d'abord par rappeler quelques généralités sur les réseaux de capteurs sans fil. Ensuite, nous décrivons les avantages de la technique « Forward body bias » pour palier les problèmes de la technologie CMOS pour les applications à très faibles tensions d'alimentation. Afin de mieux appréhender le comportement du transistor MOS pour des applications très faible puissance, nous présentons par la suite les résultats des mesures concernant les aspects de sa modélisation et sa caractérisation. Nous proposons également une méthodologie de conception pour optimiser le gain et le bruit du LNA sous une consommation en puissance fixée par le cahier des charges. Cette approche sera par la suite validée par une réalisation pratique. Enfin, les performances du circuit mesuré sont discutées et confrontées à l'état de l'art.

Enfin nous concluons ce manuscrit au travers d'un résumé des travaux menés. Des perspectives de recherche y sont également proposées.

REFERENCES

[HSI07] H. H. Hsieh et L. H. Lu, "A high-performance CMOS voltage-controlled oscillator for ultra-low-voltage operations," *IEEE trans. Microwave Theory Thec.*, vol. 55, pp.467-473, Mar. 2007.

[JHO09] H.S. Jhon, H. Jung, M. Koo, I. Song et H. Shin, "0.7 V supply highly linear subthreshold low-noise amplifier design for 2.4 GHz wireless sensor network applications," *Microwave and optical technology letters*, Vol. 51, No. 5, pp. 1316-1320, May 2009.

[LIA08] K. H. Liang, C. H. Lin, H. Y. Chang et Y. J. Chan, "A New Linearization Technique for CMOS RF Mixer Using Third-Order Transconductance Cancellation," *IEEE Microwave and Wireless Components Letters*, Volume: 18, Issue: 5, pp. 350 - 352, 2008.

[WU07] D. Wu, R. Huang, W. Wong et Y. Wang, "A 0.4-V low noise amplifier using forward body bias technology for 5 GHz application," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 7, pp. 543 - 545, 2007.

CHAPITRE I

I *Evolution des standards et architectures pour les communications sans fil*

Sommaire

I	EVOLUTION DES STANDARDS ET ARCHITECTURES POUR LES COMMUNICATIONS SANS FIL	15
I.	CLASSIFICATION DES COMMUNICATIONS SANS FIL ET CONTRAINTES DE CONCEPTION	16
I.1.	Expansion des normes de communication sans fil.....	16
I.2.	Technologies CMOS et contraintes de conception	19
II.	ARCHITECTURE DES SYSTEMES D'EMISSION ET DE RECEPTION.....	22
II.1.	Introduction	22
II.2.	Systèmes d'émission.....	22
II.3.	Systèmes de réception.....	24
III.	FONCTIONNALITES ET CARACTERISTIQUES DES BLOCS RF	28
III.1.	Définition des blocs	28
III.1.1.	Amplificateur faible de bruit	28
III.1.2.	Mélangeur	28
III.1.3.	Amplificateur de puissance	28
III.1.4.	Synthétiseur de fréquence.....	29
III.1.5.	Filtres.....	29
III.2.	Définition des caractéristiques	29
III.2.1.	Gain et adaptation d'impédance	29
III.2.2.	Facteur de bruit.....	30
III.2.3.	Linéarité	32
IV.	CONCLUSION ET DEFINITION DE L'AXE DE RECHERCHE.....	39
	REFERENCES.....	41

Ce premier chapitre présente, d'abord un état de l'art sur l'évolution des normes de communication sans fil ainsi que les technologies des semiconducteurs. Nous rappelons ensuite les contraintes de conception qui en découlent en termes de linéarité et de consommation en puissance ouvrant ainsi la voie vers des nouvelles architectures de systèmes d'émission-réception. A ce titre, nous décrivons brièvement, dans un premier temps, les structures d'émetteur, ensuite nous présentons un aperçu général des architectures de récepteur. Les fonctionnalités des différents blocs et leurs caractéristiques en termes de gain, de bruit et de linéarité seront par la suite détaillées. Au final, nous définissons l'axe de recherche de cette thèse en focalisant notre étude autour de la conception des amplificateurs faibles bruits et l'optimisation de leurs performances par effet de substrat.

I. CLASSIFICATION DES COMMUNICATIONS SANS FIL ET CONTRAINTES DE CONCEPTION

I.1. Expansion des normes de communication sans fil

Un système communicant peut se définir par une multitude d'objets dispersés physiquement disposant chacun d'une unité de traitement de données et d'un accès à un réseau de communication [GUI05]. De nombreuses normes ont été mises en place ces dernières années, se distinguant d'une part par la fréquence d'émission utilisée ainsi que par le débit et la portée des transmissions. Les réseaux sans fil permettent de relier des équipements distants d'une dizaine de centimètres à quelques kilomètres. Ils peuvent être ainsi classés en différentes catégories suivant le périmètre géographique qu'ils peuvent couvrir (*zone de couverture*), comme illustré à la Figure I-1.

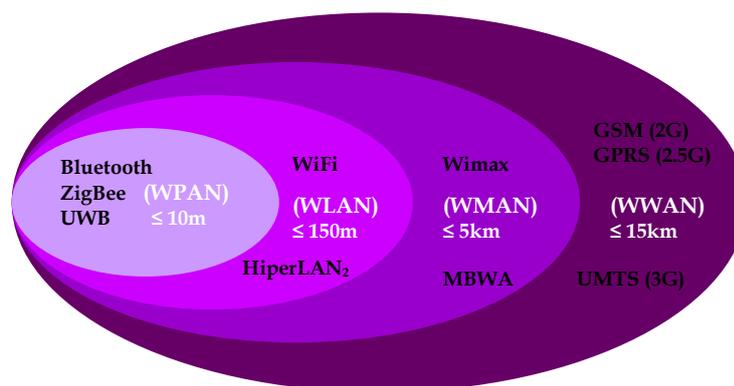


Figure I-1 : Vue d'ensemble des réseaux sans fil

📶 Réseaux personnels sans fil (WPAN : *Wireless Personal Area Network*)

Il s'agit d'un réseau à faible portée : de l'ordre de quelques dizaines de mètres au maximum. Il permet aux utilisateurs d'établir des communications sans fil adéquates pour

des périphériques tels que des assistants personnels (PDA), des téléphones cellulaires ou des ordinateurs portables, utilisés dans un espace de fonctionnement personnel (POS : Personal Operating Space). Il existe plusieurs technologies utilisées par ce réseau :

- ❖ **Bluetooth** : Cette technologie est normalisée sous le nom *IEEE 802.15.1* [802.15.1]. Elle permet la transmission de la voix et des données via une liaison radio courte distance. Initialement, elle permettait de faire communiquer un appareil maître avec sept autres appareils esclaves. Les spécifications techniques de la dernière norme (Bluetooth 2.0) permettent de bénéficier de débits pouvant aller jusqu'à 3 Mbits/s dans un rayon de moins de 100 mètres. Les appareils compatibles Bluetooth utilisent des ondes radio sur la bande ISM (*Industrial Scientific & Médical*) qui est comprise entre 2,4 GHz et 2,48 GHz, utilisable librement sans licence ni autorisation, [BLU99] et [DAR01].
- ❖ **Zigbee** : Cette technologie, aussi connue sous le nom *IEEE 802.15.4* [802.15.4], permet d'obtenir des liaisons sans fil à très bas prix et avec une très faible consommation d'énergie. Zigbee est un prolongement de la norme HomeRF issue d'un accord stratégique de licence signé entre MicroChip et Adcon Telemetry. Elle fonctionne sur la bande de fréquences des 2,4 GHz et permet d'obtenir des débits pouvant atteindre 250 Kb/s avec une portée maximale de 100 mètres environ.
- ❖ **Ultra Wide Band** : Cette technologie offre la possibilité d'un débit élevé jusqu'à 480 Mbit/s pour une portée de 15 mètres. Elle utilise ainsi une bande très large de fréquence (entre 3,1GHz à 10,6GHz) pour échanger des données et répondre au standard *IEEE 802.15.3* [802.15.3].

✚ Réseaux locaux sans fil (**WLAN** : *Wireless Local Area Network*)

Ce réseau présente une infrastructure de communication reliant des équipements informatiques et permettant de partager des ressources communes sur une aire limitée à quelques centaines de mètres. Il existe deux modes de fonctionnement possibles pour les WLANs : le mode omnidirectionnel dans lequel la transmission s'effectue dans toutes les directions de l'espace, le mode point à point permet aux utilisateurs situés dans une zone limitée, par exemple une salle de conférence, de former un réseau provisoire sans utiliser de points d'accès, s'ils n'ont pas besoin d'accéder aux ressources réseau. Les principales technologies de ce réseau sont :

- ❖ La norme *802.11* permet d'établir des liaisons point à point grâce à des antennes omnidirectionnelles sur de courtes distances, avec un taux de transfert de données de

1 à 11 mégabits par seconde (Mbits/s) (Wifi) [802.11]. Ils existent plusieurs autres extensions de cette norme telle que la norme IEEE 802.11g permettant 54 Mbits/s.

- ❖ **HiperLAN (*High Performance Local Area Network*)** est une famille de standards pour les communications numériques sans fil à haut débit dans les bandes (5,15GHz-5,3GHz) et (17,1GHz-17,3GHz) à l'initiative de l'institut de standardisation européenne (ETSI : *European Telecommunications Standards Institute*).

 Réseaux métropolitains sans fil (**WMAN : Wireless Metropolitan Area Network**)

Ce réseau permet d'établir des connexions sans fil entre différents emplacements au sein d'une zone métropolitaine (par exemple, entre plusieurs immeubles de bureaux dans une ville ou sur un campus universitaire). Le standard principal est WiMax [802.16] (*Worldwide Interoperability for Microwave Access*). Il permet un débit théorique de 70 Mbits/s sur un rayon de 50 km maximum. Son équivalent en Europe est le HiperMAN.

 Réseaux étendus (**WWAN : Wireless Wide Area Network**)

Le réseau WWAN, également connu sous le nom "réseau cellulaire mobile", permet aux utilisateurs d'établir des connexions sans fil sur des réseaux publics ou privés distants. Ces connexions peuvent être maintenues sur de vastes zones géographiques, comme des villes ou des pays, grâce à l'utilisation de plusieurs sites d'antennes ou de systèmes satellites gérés par les fournisseurs de services sans fil. Les principaux systèmes sont :

- ❖ **GSM (*Global System for Mobile Communication initialement Groupe Spécial Mobile*)** : Ce standard a été prévu initialement pour les applications de transport de la parole et de donnée à bas débits (9600 bits/s) autour des fréquences (935MHz-960MHz) ou (890MHz-915MHz).
- ❖ **GPRS (*General Packet Radio Service*)** : Cette technologie est l'évolution de la norme GSM pour pouvoir atteindre des débits compatibles avec des applications à débits moyens de type multimédia.
- ❖ **UMTS (*Universal Mobile Telecommunication System*)** : Ce système de téléphonie permet de développer une meilleure couverture radio et d'augmenter le nombre d'abonnés par unité de surface et promouvoir l'acheminement des services 3^{ème} Génération (3G) avec un débit maximum de 2 Mbp/s. Il permet la vidéoconférence sur téléphone mobile avec une qualité proche de celle d'un PC.

Tous les systèmes de communication, décrits précédemment, sont différents les uns des autres et nécessitent le développement de terminaux adaptés. Les spécifications inhérentes à chacune de ces normes (bande passante, débit, consommation, dynamique,

modulation...) imposent donc des contraintes différentes pour la conception des systèmes d'émission-réception. Ainsi, devant cette multiplication des applications sans fil, les objets mobiles doivent adopter le concept des terminaux multistandards afin d'offrir aux utilisateurs une interopérabilité entre ces systèmes. Cela permet aussi de réduire le coût et d'augmenter la flexibilité et l'utilité des terminaux [KLU06] [VID04]. Dès lors, réussir à émettre et recevoir différents standards avec le même terminal se présente comme un enjeu à la fois technique et économique. Les axes de recherches actuelles s'orientent alors vers le développement des systèmes reconfigurables basés sur la réutilisation des blocs et intégrant plusieurs services et applications afin de répondre aux exigences du marché des dispositifs portables en termes de faible coût de production et de faible consommation.

1.2. Technologies CMOS et contraintes de conception

Comme nous l'avons vu dans la section précédente, les standards de communication sans fil ne cessent de se multiplier. Cette croissance est étroitement liée à l'évolution des technologies des semiconducteurs. Dans la Figure I-2, sont répertoriées les différentes applications sans fil, en fonction de la fréquence, prévues par l'ITRS 2007 : "International Technology Roadmap for semiconductors", [ITRS07].

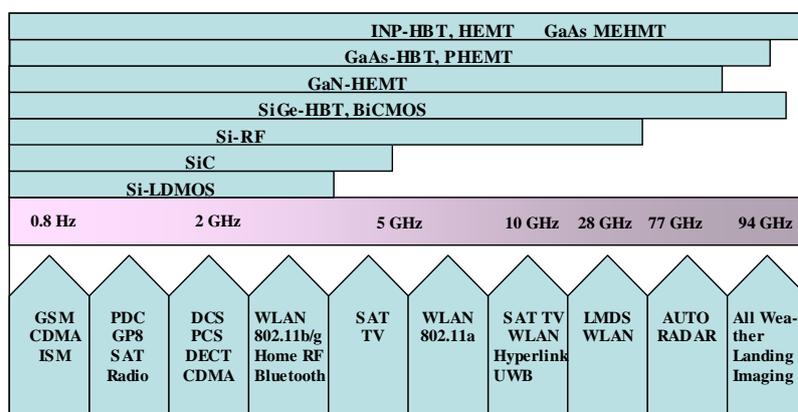


Figure I-2 : Spectre des applications des technologies sans fil (ITRS roadmap 2007)

Au cœur de ces avancées technologiques, la technologie silicium CMOS présente aujourd'hui une voie prometteuse et de plus en plus utilisée dans la conception des circuits intégrés. Cela grâce à l'évolution de ses performances fréquentielles, sa forte densité d'intégration et son faible coût qui facilitent la réalisation de nouvelles fonctions analogiques et numériques. D'autre part elle ouvre la voie vers l'intégration complète d'un système de communication sur une seule puce (System On Chip). Cette augmentation de la densité d'intégration et la croissance de la rapidité des circuits sont favorisés par la miniaturisation du transistor MOS selon l'incontournable loi de Moore [MOO65]. Cette réduction de

dimensions a entrainé le monde de la nano microélectronique vers de nouveaux défis aussi bien technologiques que physiques. Dans les Figure I-3 (a) et (b) nous relevons respectivement l'effet de la miniaturisation [ITRS07] sur la fréquence de transition f_T des transistors MOS, la tension d'alimentation V_{DD} et l'épaisseur d'oxyde T_{ox} .

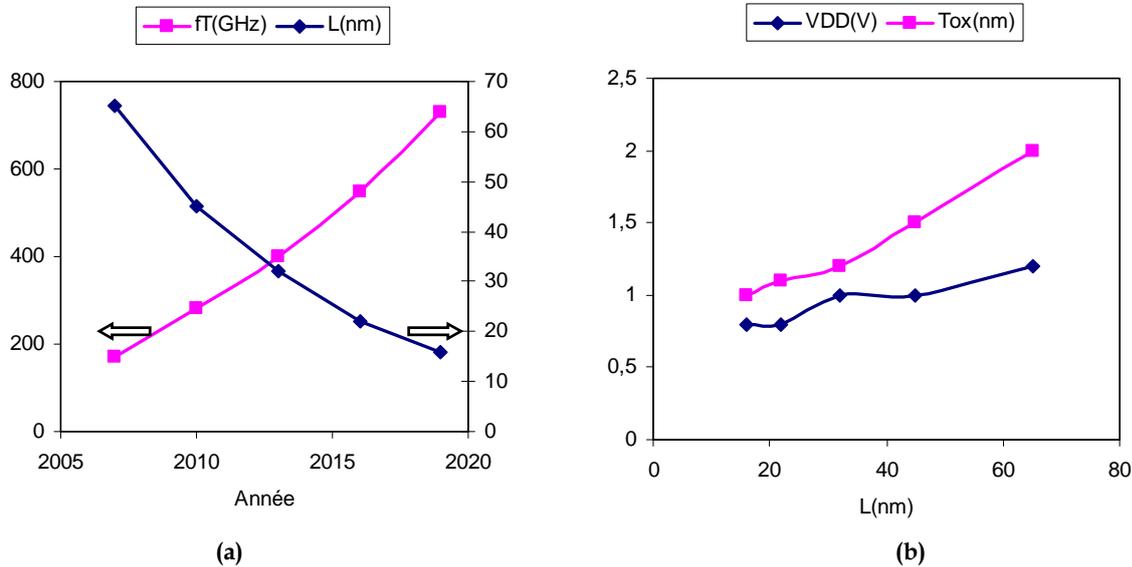


Figure I-3 : Effet de la miniaturisation sur : (a) f_T , (b) V_{DD} et T_{ox}

- Théoriquement, la fréquence de transition f_T augmente de façon inversement proportionnelle à la longueur de grille L du transistor MOS. Elle est définie comme la fréquence pour laquelle le gain en courant du transistor (avec sortie court-circuitée) est égal à 1. Elle reflète donc les performances dynamiques du transistor (en régime de fonctionnement petit signal) et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé. D'après la Figure I-3(a), nous remarquons un accroissement important de f_T avec la réduction de la longueur de grille L . Cette augmentation est favorable pour le développement des circuits numériques rapides.
- La diminution de la tension d'alimentation avec la miniaturisation, comme illustrée en Figure I-3(b), est régie par plusieurs facteurs : l'épaisseur d'oxyde de grille diminue conjointement avec la longueur de canal du transistor due au développement des technologies CMOS submicroniques profondes. Ainsi, afin d'éviter des ruptures de jonction p-n, l'intensité du champ électrique doit être réduite. La tension d'alimentation est diminuée pour assurer la fiabilité des composants. Le deuxième facteur est lié à l'augmentation du niveau d'intégration dans les circuits microélectroniques complexes. De plus en plus de fonctions électroniques sont implantées par unité de surface et de ce fait la consommation de

chaque fonction doit être réduite pour éviter les problèmes de surchauffe du système global.

Par ailleurs, l'explosion du marché des produits mobiles alimentés par des batteries favorise la réduction de la tension d'alimentation et la consommation afin d'augmenter la durée de vie des ces batteries.

Minimiser la tension d'alimentation contribue également à réduire la consommation de puissance des cellules numériques puisque la consommation moyenne de courant des circuits numériques CMOS est proportionnelle au carré de la tension d'alimentation [MEA80] et [CHA94]. Cependant, dans les circuits intégrés analogiques, elle induit des modifications importantes des architectures. En effet, la plupart de leurs performances, comme la dynamique de sortie, le gain et la linéarité sont fortement influencés, dans un sens indésirable, quand la tension d'alimentation est réduite. Par conséquent, de nombreux travaux de recherche ont été consacrés à surmonter les défis de très basse tension d'alimentation dans les circuits intégrés [HOG66], [VIT90], [VIT85] et [ENZ95].

Toutes ces limitations constituent l'une des motivations principales de ce travail de thèse qui est la conception des circuits intégrés sous contraintes de basse tension d'alimentation et de faible consommation.

En se référant à l'Annexe 1, on distingue plusieurs types de bruit pour un transistor MOS parmi lesquels on trouve le bruit $1/f$ qui est dû à des inhomogénéités et des disparités de l'interface Si/SiO₂. Il est inversement proportionnel à la longueur de grille L et à la capacité d'oxyde de grille C_{ox} qui elle-même dépend inversement de T_{ox} . Comme l'épaisseur de l'oxyde de grille diminue avec la miniaturisation des technologies CMOS, le niveau de bruit $1/f$ peut être augmenté [FRA04] [MER04], ajoutant ainsi plus de défis aux concepteurs de circuits.

Outre les limites techniques imposées par la réduction des dimensions des dispositifs CMOS que nous venons d'expliquer, les diélectriques de grille deviennent de plus en plus minces pour atteindre quelques nanomètres d'épaisseur. Cette réduction des épaisseurs s'accompagne, d'une part, d'un accroissement des courants de fuite par effet tunnel et du phénomène de déplétion dans le polysilicium de grille. D'autre part, les mécanismes de conduction et de fiabilité des isolants minces sont profondément modifiés à faible épaisseur ce qui pose des problèmes nouveaux en termes de courant de fuite et de consommation pour les futures technologies CMOS.

La multiplication croissante des standards de communication impose, si l'on veut conserver de faibles coûts de fabrication, de modifier l'approche de conception des circuits

intégrés. Il s'agit alors, dans les contextes actuel et futur, de repenser la conception des systèmes radiofréquences afin que ceux-ci apportent toujours plus de fonctionnalités, tout en sachant se conformer aux spécifications des normes visées et en tirant parti des possibilités offertes par les avancées des technologies CMOS. La notion de reconfigurabilité sera donc un élément prépondérant dans les futures architectures. En effet, elle permettra de réutiliser certaines fonctionnalités de la chaîne d'émission ou de réception afin de traiter plusieurs normes de communication. Ceci résultera d'un gain significatif en termes de surface occupée et de consommation ce qui se traduirait par une minimisation du coût de fabrication.

Dans ce qui suit, nous présentons un descriptif général des différentes structures des systèmes de transmission, comprenant l'émetteur et le récepteur, qui ont été développées dans l'objectif de satisfaire les spécifications des standards de communication.

II. ARCHITECTURE DES SYSTEMES D'EMISSION ET DE RECEPTION

II.1. Introduction

Un système de radiocommunication utilise les propriétés de propagation des ondes radiofréquences (RF) pour transmettre une information. Il peut être représenté par le schéma illustré à la Figure I-4.

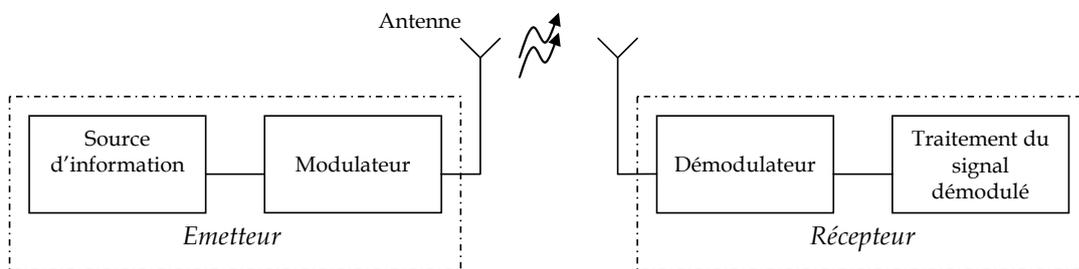


Figure I-4 : Système d'émission-réception

Dans l'émetteur, le signal d'information est transposé en hautes fréquences (HF), c'est la modulation, suivant les spécifications de bande de la norme. Lors de son transport, le signal modulé subit des perturbations (atténuations et distorsions) liées à la propagation. Lorsqu'il est collecté par le récepteur, le signal RF est démodulé, redescend donc en basses fréquences (BF), afin d'en extraire l'information.

II.2. Systèmes d'émission

Plusieurs étapes de mise en forme, réalisées par des blocs RF, sont nécessaires à l'émission de données. Les principales étapes chronologiques sont : la modulation, la transposition en fréquence, l'amplification de puissance et la transmission par rayonnement.

Il existe deux architectures d'émetteurs : l'émetteur à conversion directe et l'émetteur à changement de fréquence [LEE98] [RAZ98].

✚ Emetteur à conversion directe

L'émetteur à conversion directe, aussi appelé homodyne ou encore Zero-IF (Zero Intermediate Frequency, sans fréquence intermédiaire), utilise un seul étage de conversion en fréquence comme illustré à la Figure I-5.

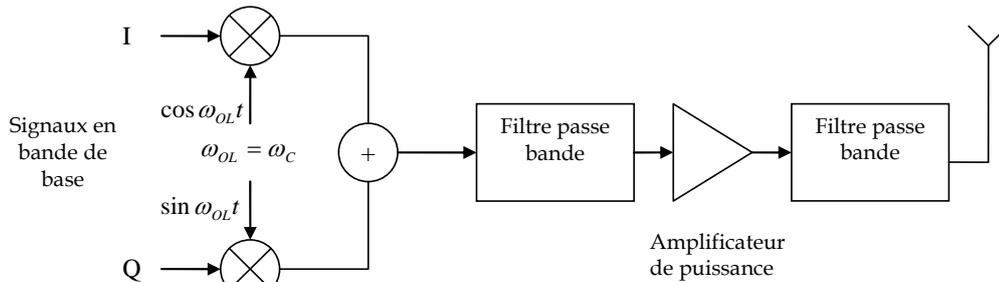


Figure I-5 : Emetteur direct

Dans cet émetteur, la fréquence du signal RF transmis est égale à la fréquence de l'oscillateur local (OL) du modulateur [LEE98]. L'étage de modulation est suivi d'un amplificateur de puissance (PA). Deux filtres passe bande sont placés avant et après le PA afin de garantir un transfert maximal de puissance à l'antenne et le filtrage des harmoniques résultantes des non linéarités.

Un des inconvénients majeurs de l'émetteur homodyne est le phénomène de « pulling ». Lorsque deux systèmes oscillants se trouvent proches l'un de l'autre, ils ont tendance à s'accorder à la même pulsation par phénomène de couplage. Dans le cas d'une chaîne d'émission Zero-IF, l'oscillateur local et la sortie de l'amplificateur de puissance fonctionnent à des fréquences proches et sont sujets au couplage par le substrat.

Le signal RF en sortie de l'amplificateur de puissance étant d'une puissance bien supérieure à celle de l'OL, c'est la pulsation de l'OL qui va être décalée vers la fréquence RF.

Une technique qui permet de résoudre ce problème d'injection est d'utiliser deux oscillateurs locaux de fréquences inférieures à la fréquence de la porteuse et dont la somme est égale à la fréquence de la porteuse [RAZ98] [LEE98].

✚ Emetteur à changement de fréquence

Le principe de l'émetteur à changement de fréquence est illustré à la Figure I-6. Cette architecture est l'une des approches qui permet de résoudre le problème de « injection pulling ». Le signal en bande de base est transposé en deux étapes pour que le spectre du

signal à la sortie de l'amplificateur soit éloigné des fréquences des oscillateurs locaux [LEE98] [RAZ98].

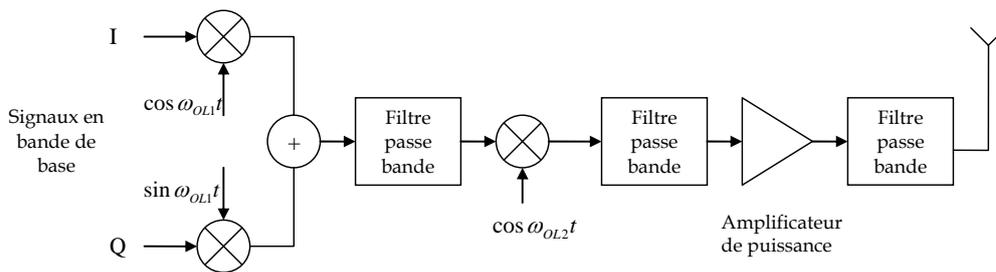


Figure I-6 : Émetteur à changement de fréquence

Le modulateur IQ transpose le signal en bande de base à une fréquence intermédiaire $f_{OI} = f_{OL1}$. Après un deuxième mélange et un filtrage passe bande, le signal modulé sera transposé à la fréquence $f_{OL1} + f_{OL2}$. Le premier filtre passe-bande coupe les harmoniques du signal à la fréquence intermédiaire, alors que le deuxième supprime les bandes latérales indésirables centrées autour de $f_{OL1} - f_{OL2}$.

L'autre avantage de cette structure par rapport à celle de la conversion directe est que le mélange quadratique se fait à des fréquences beaucoup plus faibles ce qui permet de faciliter la réalisation de la quadrature entre les deux sorties de l'oscillateur local.

II.3. Systèmes de réception

Le rôle de la partie RF d'une chaîne de réception est de transposer vers une fréquence centrale, inférieure à celle reçue, un signal modulé caractéristique du standard utilisé. En se référant aux publications, nous présentons dans cette partie les trois principales architectures de réception : superhétérodyne, homodyne (Zéro IF) et à faible fréquence intermédiaire (Low-IF).

🚦 Récepteur superhétérodyne

L'architecture de ce récepteur est reportée à la Figure I-7.

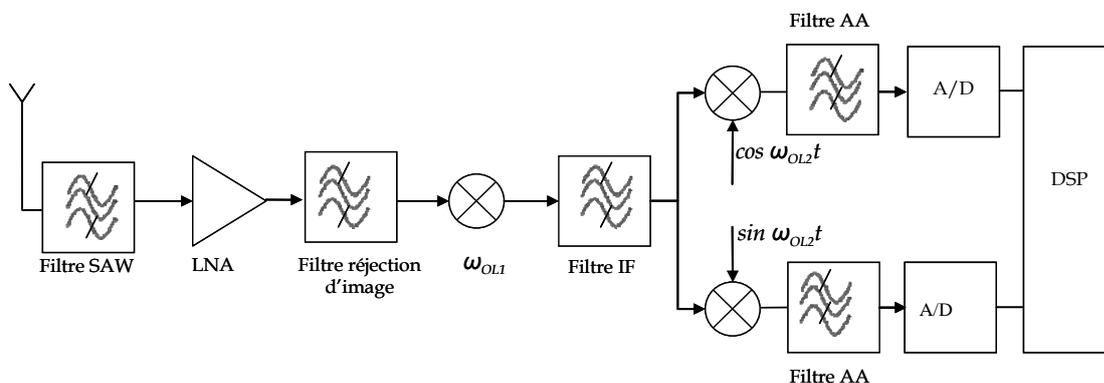


Figure I-7 : Récepteur superhétérodyne

Son principe de fonctionnement est basé sur une première transposition de la bande de réception autour d'une fréquence intermédiaire fixe (FI), puis une seconde transposition en bande de base centrée sur la fréquence centrale du canal utilisé. Ces deux étapes sont réalisées via l'utilisation de deux oscillateurs locaux fonctionnant respectivement à f_{OL1} et f_{OL2} . Le premier filtre placé juste derrière l'antenne est utilisé pour sélectionner la bande de fréquence RF utile. Il est suivi d'un LNA qui amplifie le signal. Un filtre de réjection d'image est requis avant le mélangeur pour résoudre le problème de la fréquence image dont l'effet est décrit à la Figure I-8. En effet, tout signal symétrique au signal utile par rapport à la fréquence de l'oscillateur local, se retrouve alors autour de la fréquence intermédiaire, pouvant ainsi nuire à la détection du signal désiré. Ce signal symétrique est appelé "signal image", d'où le nom de filtre de réjection d'image.

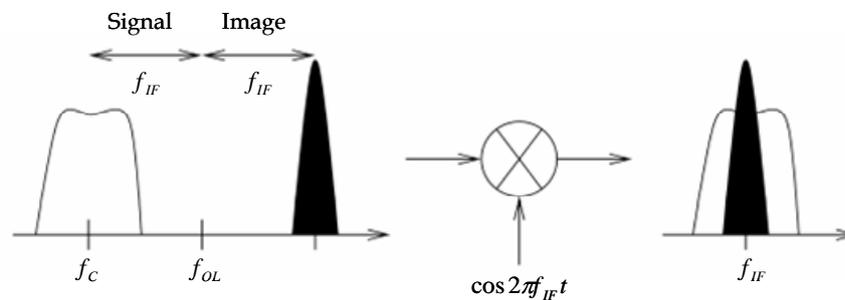


Figure I-8 : Problème de la fréquence image

Le premier mélangeur utilisé ramène le spectre de la bande réception autour de la fréquence intermédiaire choisie. Un filtre IF de grande sélectivité est ajouté pour réaliser un pré-filtrage juste avant le deuxième mélangeur qui permet le passage de fréquence intermédiaire à la bande de base. Cette transposition de fréquence est réalisée à l'aide de deux mélangeurs en quadrature. Enfin, la sélection de canal est assurée sur les deux voies, de manière analogique avant la numérisation du signal.

L'inconvénient majeur de cette topologie superhétérodyne est l'utilisation récurrente des filtres difficilement intégrables et encombrants tels que le filtre de sélection de bande et le filtre de la réjection d'image. La taille et le coût du circuit seront alors augmentés et le facteur de bruit ainsi que la sensibilité du récepteur seront dégradés. Par conséquent, cette architecture répond difficilement aux exigences de reconfigurabilité d'un système de radiocommunication multi-standards.

✚ Récepteur homodyne

Ce récepteur est aussi appelé à conversion directe ou à fréquence intermédiaire nulle (Zéro IF), il est illustré à la Figure I-9.

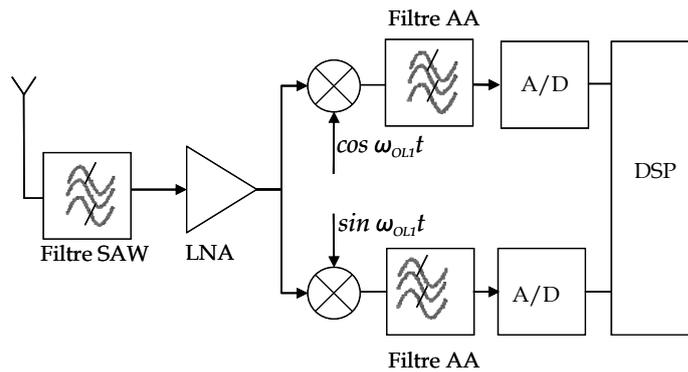


Figure I-9 : Récepteur homodyne

Dans cette architecture, la fréquence de l'oscillateur local chargé de réaliser la transposition est égale à celle de la porteuse de la bande RF, [HAY82]. La fréquence intermédiaire est donc nulle et le signal image est le signal désiré lui-même. Cette architecture présente plusieurs avantages par rapport à la structure superhétérodyne :

- Elle est plus simple à concevoir car elle n'utilise pas le filtre à réjection.
- Elle est facilement intégrable sur une puce unique.
- La consommation en puissance ainsi que le coût sont réduits.

Cependant ce récepteur possède quelques inconvénients :

- La présence d'une tension continue de décalage ou DC offset en sortie des mélangeurs à cause des défauts d'isolation entre les voies RF et OL. Par exemple, le signal provenant de l'oscillateur peut être mélangé avec une partie de lui-même. Il peut également remonter jusqu'à l'antenne (mauvaise isolation inverse du LNA) pour être émis puis à nouveau capté par cette même antenne et mélangé de nouveaux avec le signal de l'OL. Dans ce cas là, la tension continue générée à la sortie du mélangeur peut varier dans le temps (offset dynamique). Ce problème devient plus critique quand l'interférent est de forte puissance. Pour résoudre ce problème, plusieurs solutions ont été proposées. On peut en citer, dans le cas d'un offset statique, l'ajout d'une tension de signe opposé pour supprimer la composante continue. Pour l'offset dynamique, des algorithmes de traitement bande de base chargés d'évaluer puis de compenser cette tension ont été développés [DEN93] et [LEO96].
- L'appariement entre les voies I et Q n'est pas parfait, ce qui va se traduire par une erreur de gain ou de phase. La constellation du signal est alors déformé et le taux d'erreur binaire (BER : Bit Error Rate) est augmenté.

- Dégradation de la sensibilité du récepteur aux très basses fréquences à cause du niveau élevé du bruit (bruit $1/f$) qui va se superposer au signal utile.

Cette architecture reste néanmoins simple et facile à intégrer ce qui la rend plus utilisable dans les systèmes reconfigurables.

✚ Récepteur à faible fréquence intermédiaire

L'architecture de ce récepteur est basée sur le même principe que le récepteur à conversion directe puisque le signal est transposé directement en bande de base avant son traitement. Cependant la fréquence intermédiaire est non nulle pour s'affranchir des problèmes d'offset continu. Cette architecture réintroduit le problème de réjection d'image auquel se confrontent les structures hétérodynes. Pour l'éliminer sans avoir à intégrer des filtres de réjection, deux techniques appelées méthodes de Hartley et de Weaver ont été proposées, [RAZ98]. Elles sont reportées à la Figure I-10. Pour la première structure, un mélange quadratique du signal reçu et un déphasage de 90° produisent deux signaux de même polarité pour la composante du signal désiré et de polarités opposées pour la composante de l'image. Dans la structure de Weaver, le déphaseur de 90° a été remplacé par un deuxième mélange quadratique. Les problèmes principaux de ces structures sont les erreurs d'appariement des voies I et Q en gain et en phase.

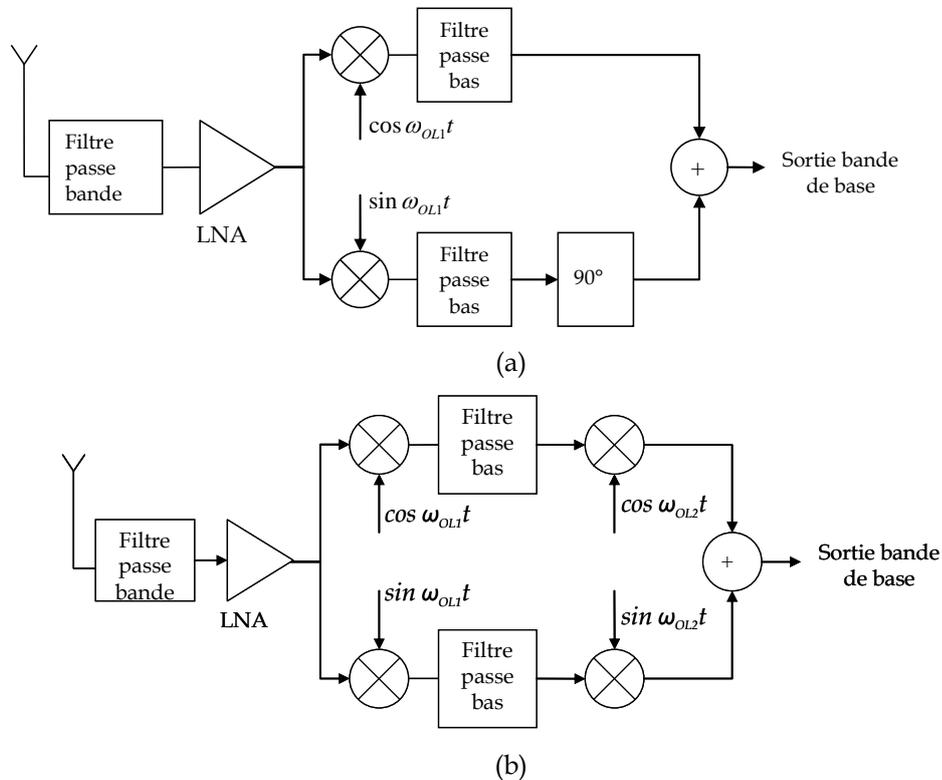


Figure I-10 : Récepteur à réjection d'image : (a) structure de Hartley, (b) structure de Weaver

L'architecture à faible FI offre de réelles potentialités grâce à son haut niveau d'intégration. Elle est plus efficace pour les standards à bande étroite que pour les standards à large bande [BRU02]. De ce fait, les nouvelles structures adoptées pour les récepteurs multistandard se basent en général sur les architectures homodyne et/ou à faible FI qui offrent surtout un degré d'intégration élevé donc un faible coût de fabrication et une faible consommation [MAH06].

III. FONCTIONNALITES ET CARACTERISTIQUES DES BLOCS RF

Il convient de constater après l'étude générale des architectures des systèmes de réception, décrite en II.2, qu'elles sont toutes construites autour des mêmes éléments de bases : amplificateur faibles bruits, mélangeur, amplificateur de puissance, synthétiseur de fréquence, filtres. Dans ce qui suit, nous identifions le rôle de chaque bloc et nous rappelons les caractéristiques générales communes en termes de gain, d'adaptation d'entrée, de bruit et de linéarité.

III.1. Définition des blocs

III.1.1. Amplificateur faible de bruit

L'amplificateur faible bruit (ou Low Noise Amplifier LNA) est le premier bloc de la chaîne de réception. Il est généralement placé après le filtre de sélection du canal. Sa fonction consiste à amplifier le signal reçu de l'antenne, qui est en général d'un niveau très faible, sans le déformer et en ajoutant le minimum de bruit possible.

III.1.2. Mélangeur

Le mélangeur est un dispositif qui assure la fonction de transposition de fréquence permettant de décaler en fréquence un signal sans modifier l'information dont il est porteur. Il a deux modes de fonctionnement possibles: *Up-convertter* qui correspond à la transposition de la fréquence f_{BF} vers la fréquence f_{RF} , et *Down-convertter* qui correspond à la transposition de la fréquence f_{RF} vers la fréquence f_{FI} . Il possède deux accès pour les fréquences utiles (fréquence intermédiaire f_{FI} ou f_{BF} et fréquence f_{RF}) et un autre pour la fréquence de pompe OL (oscillateur local).

III.1.3. Amplificateur de puissance

L'amplificateur de puissance (Power Amplifier ou PA) permet de fournir suffisamment de puissance au signal entrant pour qu'il puisse être émis. Il doit être optimisé pour avoir un rendement et une puissance de sortie importants.

III.1.4. Synthétiseur de fréquence

Le bloc de synthèse de fréquence fournit un signal stable en fréquence et en amplitude. La fréquence peut varier ou non suivant les besoins. Elle est générée à partir d'une référence externe (quartz ou autre).

III.1.5. Filtres

Les filtres RF utilisés dans les architectures de réception ont plusieurs fonctionnalités. Ils permettent de :

- Sélectionner la bande de réception (Filtre SAW)
- Eviter le repliement du spectre dans le canal
- Rejeter la fréquence image

Après avoir défini les architectures des systèmes de communication ainsi que les fonctionnalités des blocs RF, nous nous penchons dans ce mémoire de thèse à l'étude et la conception des amplificateurs faible bruit sous contrainte de consommation et de linéarité. Ainsi, nous présentons dans ce qui suit les principaux paramètres qui le caractérisent en termes de gain, de bruit et de linéarité.

III.2. Définition des caractéristiques

III.2.1. Gain et adaptation d'impédance

Avant de définir la notion du gain, nous définissons tout d'abord les conditions d'une transmission optimale de la puissance, de la source vers la charge, en prenant l'exemple de la Figure I-11.

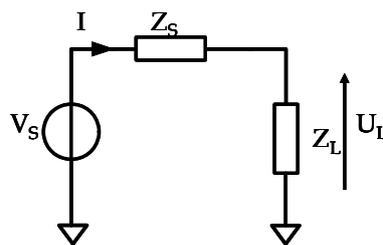


Figure I-11 : Adaptation d'impédance

La puissance consommée par la charge est donnée par :

$$P_L = U_L I^* \quad (I-1)$$

Avec I^* le complexe conjugué de I .

Un maximum de transfert de la puissance de la source vers la charge est obtenu en dérivant l'équation précédente, il est donné par la condition d'adaptation d'impédance suivante :

$$Z_S = Z_L^* \quad (I-2)$$

En appliquant ce résultat à un système deux ports, on obtient les conditions d'adaptation optimales permettant un maximum de transfert de puissance entre deux étages et donc l'optimisation du gain de l'étage mis en cause (Annexe 2):

$$\begin{cases} Z_S = Z_{in}^* \\ Z_L = Z_{out}^* \end{cases} \quad (I-3)$$

Dans la littérature, le gain du LNA est généralement exprimé grâce au paramètre S21 appelé coefficient de transmission. La Figure I-12 présente une illustration des paramètres S.

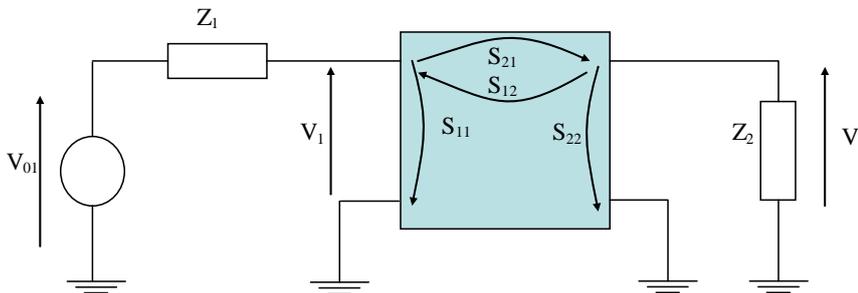


Figure I-12 : Illustration des paramètres S d'un quadripôle

Les coefficients S11 et S22 traduisent la réflexion du signal incident à chacun des accès et permettent donc de caractériser respectivement les impédances d'entrée et de sortie du quadripôle. Le paramètre S12 correspond quand à lui au coefficient de transmission inverse, c'est-à-dire la puissance transmise du port 2 vers le port 1 du quadripôle. En ce qui concerne le coefficient de transmission S21, celui-ci est défini comme étant le rapport entre la puissance transmise et incidente lorsque la sortie est terminée par une charge Z_2 dite parfaite. Ainsi en considérant :

$$Z_1=Z_2=Z_0=50\Omega \quad (I-4)$$

Le coefficient de transmission S21 s'écrit :

$$S_{21} = 20 \log \left(\frac{V_2}{V_{01}} \right) \quad (I-5)$$

III.2.2. Facteur de bruit

Le bruit est une source d'imperfection qui limite les performances globales des systèmes de communication en dégradant la qualité du signal utile et par conséquent perturbe sa récupération lors de son traitement en bande de base [NAM00]. On distingue plusieurs sources de bruit dont une description précise de leurs origines est donnée en Annexe 1.

- ✓ Le bruit thermique qui trouve son origine dans le mouvement aléatoire des porteurs de charge sous l'effet de la température.
- ✓ Le bruit en 1/f qui n'a pas de mécanisme universel mais qui est fortement lié aux fluctuations des porteurs ainsi qu'au mécanisme de piégeage.
- ✓ Le bruit de grenaille causé par le saut de barrières de potentiel à des instants aléatoires par des porteurs de charge.
- ✓ Le bruit RTS (Random Telegraph Noise) concerne plus particulièrement les TMOS de surface de grille réduite ($<1\mu\text{m}^2$), et qui représente le mécanisme de piégeage unique.

✚ Définition du bruit d'un étage

Le facteur de bruit ou Noise Figure (NF) est un critère qui permet d'apprécier la qualité d'un système en fonction du bruit qu'il génère. Autrement dit, il mesure la dégradation de la qualité de la liaison par le système. Il est donc défini par le rapport signal sur bruit en entrée (SNR_{in}) sur le rapport signal sur bruit en sortie (SNR_{out}).

$$NF = 10 \log(F) \text{ avec } F = \frac{SNR_{in}}{SNR_{out}} \quad (I-6)$$

L'expression du facteur de bruit F peut être développée à partir de la modélisation du bruit d'un système deux ports [RAZ98], Figure I-13.

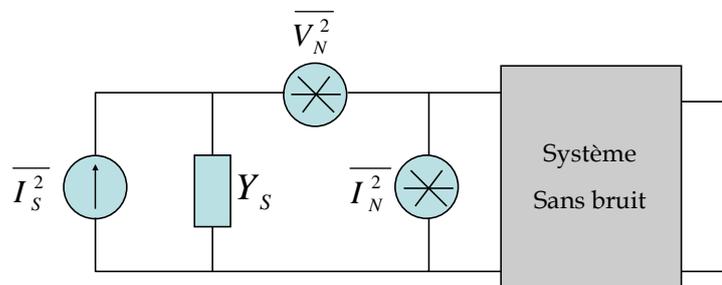


Figure I-13 : Modélisation deux ports du bruit d'un étage

$\overline{I_s^2}$ est le générateur de courant de bruit équivalent associé à l'admittance Y_s .

$\overline{I_N^2}$ et $\overline{V_N^2}$ correspondent respectivement aux générateurs de courant et de tension équivalents de bruit associés à l'étage étudié.

Le facteur de bruit est défini comme suit :

$$F = 1 + \frac{\overline{I_N^2 + Y_s V_N^2}}{\overline{I_s^2}} \quad (I-7)$$

Dans le cas où V_N et I_N sont corrélées, I_N peut être divisée en deux parties : une corrélée avec V_N avec et l'autre non, d'où :

$$I_N = I_C + I_U \quad (I-8)$$

Avec $I_C = Y_C V_N$ et $Y_C = G_C + jB_C$ est une admittance fictive utile pour le calcul.

Le facteur de bruit peut ainsi être défini :

$$F = 1 + \frac{\overline{I_U}^2 + |Y_C + Y_S|^2 \overline{V_N}^2}{\overline{I_S}^2} \quad (I-9)$$

Cette méthode de calcul de facteur de bruit très générale est utilisée dans de nombreux travaux de recherches, [LEE98-1] [GOO02], afin de proposer un dimensionnement optimal du bloc en question pour un facteur de bruit minimal. Nous y reviendrons plus en détail dans le quatrième chapitre.

Définition du bruit d'un système

Selon la formule de FRIIS [FRI44], le facteur de bruit global d'un système composé de n étages en cascade, adapté chacun en entrée et en sortie, comme illustré à la Figure I-14, est donné en fonction des gains G_i et des facteurs de bruits F_i par la formule suivante :

$$F_{tot} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_n} \quad (I-10)$$

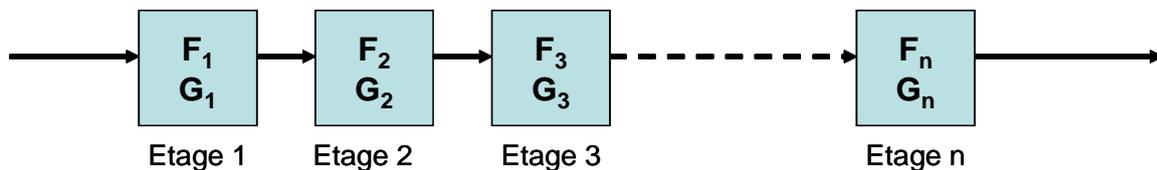


Figure I-14 : Facteur de bruit d'un système à n étage en cascade

L'équation précédente met en évidence l'importance du gain et du facteur de bruit du premier étage. En effet, il conditionne le facteur de bruit total du système. Ainsi, réduire au maximum la figure de bruit globale consiste à s'intéresser plus précisément au premier étage. Une méthodologie de conception doit être alors adoptée pour étudier son bruit qui dépend fortement du dimensionnement du transistor d'entrée du premier bloc.

III.2.3. Linéarité

Les systèmes et les composants électroniques sont souvent assimilés à des structures linéaires, or en réalité, tous les composants, notamment le transistor, entraînent une distorsion des signaux qui les traversent. Les non linéarités participent à la dégradation de la

qualité de transmission des signaux dans les chaînes de communication. Ainsi, les fonctions de transfert des systèmes ne sont pas linéaires. Considérons à titre d'exemple la relation (I-11) où $x(t)$ est le signal d'entrée, $y(t)$ la réponse du système et les α_n sont des coefficients, Figure I-15.

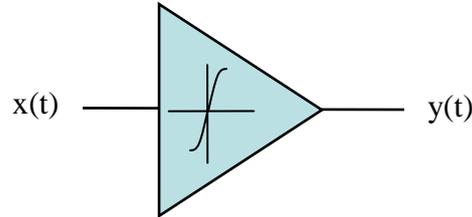


Figure I-15 : Système non linéaire [GRA93]

$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots \quad (I-11)$$

Il se produit plusieurs types de non-linéarités : une distorsion du signal ou compression du gain (saturation), une distorsion harmonique (génération d'harmoniques du signal d'entrée) et une distorsion d'intermodulation (génération de parasites à des fréquences qui sont une combinaison des fréquences en entrée) [LEE98] et [GEF02]. Dans ce qui suit nous allons présenter ces différents types de distorsion ainsi que les critères qui permettent de les évaluer.

🚦 Compression de gain

Soit $x(t)$ un signal d'entrée de type $A \cdot \cos(\omega t)$, en se limitant au troisième ordre, l'expression de la sortie (I-11) peut s'écrire aussi [GRA93]:

$$y(t) = \alpha_1 A \cos \omega t + \alpha_2 A^2 \cos^2 \omega t + \alpha_3 A^3 \cos^3 \omega t + \dots \quad (I-12)$$

$$y(t) = \alpha_1 A \cos \omega t + \frac{\alpha_2 A^2}{2} [1 + \cos 2\omega t] + \frac{\alpha_3 A^3}{4} [3 \cos \omega t + \cos 3\omega t] + \dots \quad (I-13)$$

$$y(t) = \underbrace{\frac{\alpha_2 A^2}{2}}_{\text{Composante continue}} + \underbrace{\left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right)}_{\text{Fondamental}} \cos \omega t + \underbrace{\frac{\alpha_2 A^2}{2} \cos 2\omega t + \frac{\alpha_3 A^3}{4} \cos 3\omega t}_{\text{Harmoniques}} + \dots \quad (I-14)$$

En première approximation, on étudie un circuit avec son schéma équivalent aux petites variations. Cette approche considère que dans la réponse précédente, $(\alpha_1 A)$ est supérieur à tous les autres facteurs des harmoniques et le gain du système est α_1 .

Cependant, dans le cas de forts signaux, le gain n'est pas linéaire, il ne dépend pas uniquement de α_1 . C'est le terme $(3\alpha_3 A^3/4)$ du fondamental qui devient prépondérant par

rapport à $(\alpha_1 A)$. Dans les circuits que nous étudions, ce troisième harmonique α_3 est négatif et de rang impair, et le terme $(3\alpha_3 A^3/4)$ va limiter l'amplification linéaire en ajoutant un terme négatif à $(\alpha_1 A)$. Ainsi, le gain du fondamental s'écrit sous la forme suivante :

$$G = \alpha_1 A + \frac{3\alpha_3 A^3}{4} \quad (I-15)$$

En considérant cet effet, le point de compression à -1 dB a été défini. Il correspond à la puissance en entrée pour laquelle le gain du fondamental chute de 1dB par rapport à sa valeur petit signal, Figure I-16.

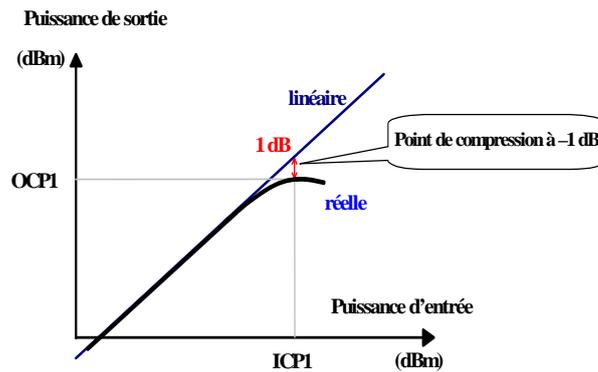


Figure I-16 : Point de compression à -1 dB ou CP1

Nous pouvons noter sur la Figure I-16 que la droite dite « linéaire » est l'interpolation de la puissance de sortie en fonction de la puissance d'entrée du circuit fonctionnant pour des puissances d'entrée moyennes, c'est-à-dire $20 \cdot \log(\alpha_1)$. En revanche, la courbe « réelle » représente la puissance de sortie en fonction de la puissance d'entrée (I-16).

$$20 \log \left| \alpha_1 + \frac{3}{4} \alpha_3 A^2 \right| \quad (I-16)$$

Lorsque la réponse réelle diffère de la réponse linéaire de -1 dB, on définit alors le CP1 selon

$$20 \log \alpha_1 - 1 \text{ dB} = 20 \log \left| \alpha_1 + \frac{3}{4} \alpha_3 A_{-1 \text{ dB}}^2 \right|, \text{ ce qui engendre l'expression (I-17).}$$

$$A_{-1 \text{ dB}} = \sqrt{0,145 \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (I-17)$$

En réception, le point de compression est normalement défini en entrée, étant représenté par le terme ICPI, tandis qu'en émission, on définit le point de compression par rapport au niveau de puissance de sortie (OCP1).

En résumé, le point de compression à 1dB (CP1) nous donne une information sur la faculté du circuit à transmettre linéairement de la puissance dans sa plage de fréquences de fonctionnement.

Génération d'harmoniques

Distorsion Harmoniques

Comme le montre (I-14), si nous présentons un signal sinusoïdal à l'entrée d'un système non-linéaire, nous obtenons en sortie du système une composante continue, un terme de même fréquence qu'en entrée ou fondamental et des termes de fréquence multiple du fondamental ou harmoniques. Tout signal autre que le fondamental est une distorsion de celui-ci. La distorsion causée par une harmonique donnée est quantifiée par HD_n , la distorsion harmonique d'ordre n , qui est le rapport de l'amplitude de l'harmonique d'ordre n sur A_1 , l'amplitude du fondamental. Nous distinguons les distorsions harmoniques de second et de troisième ordre, HD_2 et HD_3 , de (I-14), dans des conditions de faible distorsion.

$$HD_2 = \frac{1}{2} \frac{\alpha_2}{\alpha_1} A \quad (I-18)$$

$$HD_3 = \frac{1}{4} \frac{\alpha_3}{\alpha_1} A^2 \quad (I-19)$$

Comme il sera montré dans la section sur l'intermodulation, les contraintes que la distorsion d'intermodulation impose à un système sont bien plus fortes que celles de la distorsion harmonique.

Intermodulation

Nous avons vu que les systèmes utilisés n'étant pas linéaires, ils produisent des harmoniques à partir d'une seule fréquence présente en entrée. Toutefois, la caractérisation des circuits en radiofréquence à travers la distorsion harmonique n'est pas pratique car les composantes des harmoniques se situent très loin de la bande utile du système.

Puisque l'excitation des systèmes de communications est de type multi-porteuses, une caractérisation plus réelle consiste à utiliser les produits d'intermodulation. Ainsi, on utilise la technique d'analyse de la linéarité au travers des séries de puissance par le « test de deux porteuses » ou « two tone test ». Ce dernier consiste à appliquer deux porteuses à différentes fréquences sous la forme $(x(t) = A\cos(\omega_1)t + B\cos(\omega_2)t)$ à l'entrée du système de la Figure I-15. L'expression analytique du signal $y(t)$ fait alors apparaître de nombreuses composantes que l'on peut classer comme suit :

Une composante continue

$$\frac{1}{2}\alpha_2(A^2 + B^2) \quad (I-20)$$

Des fondamentaux à ω_1 et ω_2 : F_1, F_2

$$\left[\alpha_1 A + \frac{3}{2}\alpha_3^2 AB^2 + \frac{3}{4}\alpha_3^3 A^3 \right] \cos(\omega_1 t) \quad (I-21)$$

$$\left[\alpha_1 A + \frac{3}{2}\alpha_3^2 A^2 B + \frac{3}{4}\alpha_3^3 A^3 \right] \cos(\omega_2 t) \quad (I-22)$$

Des harmoniques du second ordre à $2\omega_1$ et $2\omega_2$: IM_2

$$\frac{1}{2}\alpha_2 A^2 \cos(2\omega_1 t) \quad (I-23)$$

$$\frac{1}{2}\alpha_2 B^2 \cos(2\omega_2 t) \quad (I-24)$$

Des harmoniques du troisième ordre à $3\omega_1$ et $3\omega_2$: IM_3

$$\frac{1}{4}\alpha_3 A^3 \cos(3\omega_1 t) \quad (I-25)$$

$$\frac{1}{4}\alpha_3 B^3 \cos(3\omega_2 t) \quad (I-26)$$

Des intermodulations à $\omega_1 - \omega_2$, $\omega_1 + \omega_2$, $2\omega_1 - \omega_2$, $2\omega_1 + \omega_2$, $2\omega_2 - \omega_1$, $2\omega_2 + \omega_1$: IM_3

$$\alpha_2 AB \cos(\omega_1 - \omega_2)t + \alpha_2 AB \cos(\omega_1 + \omega_2)t \quad (I-27)$$

$$\frac{3}{4}\alpha_3 A^2 B \cos(2\omega_1 - \omega_2)t + \frac{3}{4}\alpha_3 AB^2 \cos(2\omega_2 - \omega_1)t \quad (I-28)$$

$$\frac{3}{4}\alpha_3 A^2 B \cos(2\omega_1 + \omega_2)t + \frac{3}{4}\alpha_3 AB^2 \cos(2\omega_2 + \omega_1)t \quad (I-29)$$

La représentation du spectre résultant d'un test de deux porteuses est montrée sur la Figure I-17.

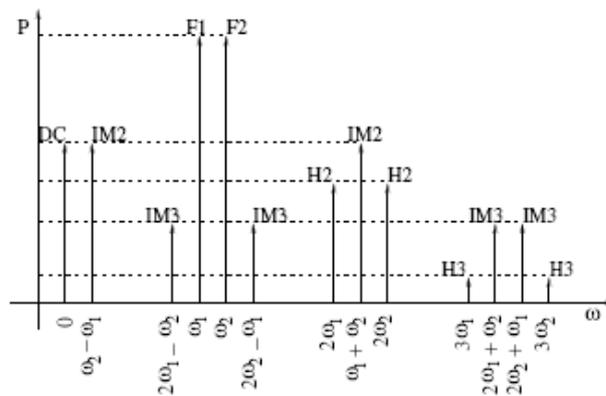


Figure I-17 : Spectre résultant lors d'un test de deux porteuses

Les effets de la distorsion harmonique sont réduits si les harmoniques se trouvent en dehors de la bande passante du système. En revanche, ce n'est pas le cas des effets de l'intermodulation, surtout lorsque les fréquences d'entrée sont proches. Les produits d'intermodulation du troisième ordre IM3, situés à $2\omega_2 - \omega_1$ et $2\omega_1 - \omega_2$ sont alors dans le voisinage des fondamentaux. Nous calculons alors la distorsion d'intermodulation IMD pour les intermodulations susceptibles de se trouver dans la bande du système, à savoir IM2 et IM3, correspondant aux fréquences $\omega_2 - \omega_1$ et $2\omega_2 - \omega_1$, $2\omega_1 - \omega_2$ respectivement. IMD2 est défini alors comme le rapport de IM2 sur le fondamental, IMD3 comme le rapport de IM3 sur le fondamental. Posons $A=B$, alors nous pouvons écrire dans des conditions de faible distorsion:

$$IMD 2 = \frac{\alpha_2}{\alpha_1} A \text{ ou encore } IMD 2_{dB} = IM 2_{dBm} - (P_{in,dBm} + G_{dB}) \quad (I-30)$$

$$IMD 3 = \frac{3}{4} \frac{\alpha_3}{\alpha_1} A^2 \text{ ou encore } IMD 3_{dB} = IM 3_{dBm} - (P_{in,dBm} + G_{dB}) \quad (I-31)$$

En comparant ces expressions à celles de la distorsion harmonique de second et troisième ordre en (I-18) et en (I-19), nous remarquons que l'IMD2 vaut le double de HD2 et que l'IMD3 vaut le triple de HD3. Cela confirme par là même que les contraintes de linéarité portent essentiellement sur la distorsion d'intermodulation. Ainsi en reportant sur un même graphique la réponse, en dB, du fondamental (F) avec l'IM2 d'une part, Figure I-18, et l'IM3 d'autre part, Figure I-18, nous pouvons définir les caractéristiques de linéarité harmonique d'ordre deux (IP2) et d'ordre trois (IP3).

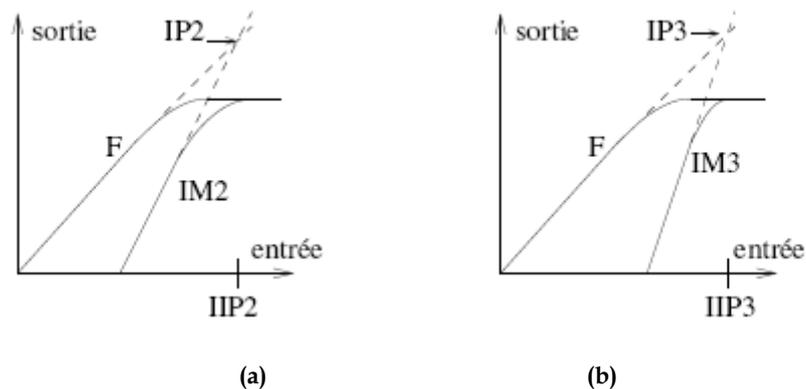


Figure I-18 : (a) Intermodulation d'ordre 2, (b) Intermodulation d'ordre 3

Les puissances d'entrées pour lesquelles les droites, en dB, du fondamental (F) et des intermodulations d'ordres 2 et 3 coïncident, sont appelées 2nd order Input Intermodulation Point (IIP2) et 3rd order Input Intermodulation Point (IIP3).

On calcule alors :

$$\alpha_1 A_{IIP2} = \alpha_2 A_{IIP2}^2 \Rightarrow A_{IIP2} = \frac{\alpha_1}{\alpha_2} \Rightarrow IIP2 = 20 \cdot \log(A_{IIP2}) \quad (I-32)$$

$$\alpha_1 A_{IIP3} = \frac{3}{4} \alpha_3 A_{IIP3}^3 \Rightarrow A_{IIP3} = \sqrt{\frac{4}{3} \frac{\alpha_1}{\alpha_3}} \Rightarrow IIP3 = 20 \cdot \log(A_{IIP3}) \quad (I-33)$$

Littéralement l'IIP2 et l'IIP3 peuvent aussi s'exprimer en fonction des puissances d'entrée des deux porteuses appliquées :

$$IMD3 = \frac{3}{4} \frac{\alpha_3}{\alpha_1} A^2; \quad IMD2 = \frac{\alpha_2}{\alpha_1} A \quad (I-34)$$

$$IMD3 = \frac{A_{in}^2}{A_{IIP3}^2} \Rightarrow A_{IIP3} = \frac{A_{in}}{\sqrt{IMD3}}; \quad IMD2 = \frac{A_{in}}{A_{IIP2}} \Rightarrow A_{IIP2} = \frac{A_{in}}{IMD2} \quad (I-35)$$

$$IIP3 = P_{in} - \frac{IMD3_{dB}}{2} = P_{in} - \frac{[IM3 - P_{in} - G]}{2} \quad (I-36)$$

$$IIP2 = P_{in} - IMD2_{dB} = P_{in} - [IM2 - P_{in} - G] \quad (I-37)$$

Ayant ainsi défini les caractéristiques de linéarité d'un système, il convient de les relier à la qualité de transmission des données de ce dernier. Pour cela, on considère que du point de vue du signal les IM_n sont des perturbations assimilables à des sources de bruit générées par le système. Dans un pire cas on estime que leur puissance maximale doit rester inférieure au plancher de bruit du système noté P_{noise} , que l'on définit comme suit au travers du bilan de liaison d'un système Tx/Rx :

$$P_{noise} = -174 + 10 \log(B) = S_{sens} - NF - SNR_{min} \quad (I-38)$$

Avec S_{sens} la sensibilité du système, NF le facteur de bruit et SNR_{min} le rapport signal sur bruit minimum imposé par le BER.

En introduisant (I-38) dans (I-36) nous obtenons alors une expression (I-39) reliant les caractéristiques de linéarité d'un système, l'IIP3, avec la qualité de transmission des données du système, le SNR_{min} directement lié au BER.

$$IIP3 = P_{in} + \frac{[P_{in} + NF + SNR_{min} - S_{sens} + G]}{2} = P_{in} + \frac{[P_{in} + SNR_{in} - S_{sens}]}{2} \quad (I-39)$$

Calcul de point d'interception d'ordre 3 pour n étage en cascade

Pour terminer cette description du contexte de la linéarité dans les chaînes Tx/Rx sans fil, il convient d'appréhender la répartition de ces caractéristiques au long des étages

d'une chaîne de réception, puisque nous verrons que le travail développé dans ce mémoire de thèse s'intéresse plus particulièrement aux Amplificateurs Faible Bruit (LNA).

Comme nous avons pu le voir précédemment, les frontaux RF comportent plusieurs étages. Il est donc intéressant d'étudier l'évolution de l'IIP3 à travers les étages afin d'éprouver la linéarité totale de la chaîne de réception. L'expression ci-dessous permet de calculer l'IIP3 de plusieurs blocs en cascade :

$$\frac{1}{IIP3_{TOT}} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} + \frac{G_2 G_1}{IIP3_3} + \dots + \frac{G_{n-1} \dots G_2 G_1}{IIP3_n} \quad (I-40)$$

Où $IIP3_n$ est l'IIP3 (magnitude) du $n^{\text{ème}}$ bloc et G_n est le gain en puissance (magnitude) du $n^{\text{ème}}$ bloc.

Puisque l'IIP3 des filtres passifs est presque infini, seules les pertes d'insertion de cet étage doivent être prises en compte lorsqu'on calcule l'IIP3 de l'ensemble des blocs d'une chaîne de réception. De plus, le filtre passif de sélection de canal utilisé dans certaines architectures de réception filtre également les porteuses indésirables. L'expression (I.25) met en avant que la linéarité globale se dégrade avec le nombre d'étages, et d'autant plus vite que le gain dans la chaîne est important. Ce dernier constat est évidemment le plus contraignant dans les chaînes de réceptions, autant au niveau système qu'au niveau bloc.

IV. CONCLUSION ET DEFINITION DE L'AXE DE RECHERCHE

Un descriptif général de l'expansion des normes de communication sans fil ainsi que les enjeux techniques qui en découlent a été dans un premier temps présenté. La miniaturisation de la technologie CMOS est l'un des facteurs principaux de l'expansion des systèmes mobiles. Les effets de la réduction continue des dimensions du transistor MOS nous ont permis d'appréhender les différents défis technologiques que les concepteurs des circuits intégrés doivent surmonter. Les contraintes auxquelles nous nous intéressons dans cette thèse, qui résultent de ces deux évolutions technique et technologiques, sont principalement la réduction de la tension d'alimentation, la consommation ainsi que l'amélioration de la linéarité des blocs RF. Dans un second temps, nous avons rappelé quelques architectures d'émetteur et de récepteur qui ont été conçues afin de satisfaire les spécifications du marché des communications sans fil. A l'issue de cet état de l'art, nous avons décrit brièvement les fonctionnalités des différents blocs RF autour desquels est formé un récepteur. Après cette étude, il ressort de façon systématique l'importance du rôle de l'amplificateur faible bruit (LNA) dans la chaîne de réception. Le travail de cette thèse est focalisé tout particulièrement sur l'étude et la conception de ce bloc sous contraintes de

consommation et de linéarité. A cette thématique de recherche nous allions aussi l'effet de la polarisation de substrat ou encore « body bias » en essayant de dégager les potentialités que peut présenter celui-ci sur les performances du LNA tout en respectant les spécifications du standard visé.

Dans le prochain chapitre nous décrivons les diverses méthodes et innovations employées dans les architectures des LNAs afin d'optimiser leurs performances en termes de linéarité et de consommation. Nous introduirons également l'effet de substrat et nous relevons ses points forts qui sont favorables à l'optimisation des caractéristiques de l'amplificateur faible bruit.

REFERENCES

- [802.11] IEEE Computer Society «IEEE 802.11 standard Wireless » 1996.
- [802.15.1] IEEE Computer Society «IEEE 802.15.1 standard Wireless » 2002.
- [802.15.3] IEEE Computer Society «IEEE 802.15.3 standard Wireless » 2003.
- [802.15.4] IEEE Computer Society «IEEE 802.15.4 standard Wireless » 2003.
- [802.16] IEEE Computer Society «IEEE 802.16 standard Wireless » 2004.
- [BLU99] *Specification of the Bluetooth System*, Décembre. 1999.
- [BRU02] D. Brunel, C. Caron, C. Cordier, and E. Soudée, "A highly integrated 0.25 μ m BiCMOS chipset for 3G UMTS/WCDMA handset RF subsystem," *IEEE Radio Frequency Integrated Circuits Symp.*, Seattle, USA, pp. 191 – 194, June. 2002.
- [CHA94] A.P. Chandrakusan, S. Sheng et R.W. Brodersen, "A Low-Power Circuit Chipset for a Portable Multimedia I/O Terminal", *IEEE Journal Solid-State Circuits*, vol. SC-29, Décembre 1994, pp. 1415-1428.
- [DAR01] H. Darabi et al, "A 2.4-GHz CMOS transceiver for Bluetooth", *IEEE J. Solid-state Circuit*, vol. 36, no12, pp 2016-2024. Décembre 2001.
- [DEN93] B. Lindquist, M. Isberg et P.W. Dent, "A new approach to eliminate the DC offset in a TDMA direct conversion receiver," In *Proceedings VTC spring 1993 - The IEEE Semiannual Vehicular Technology Conference*, Mai 1993.
- [ENZ95] C. C. Enz, "Low power log-domain continuous-time filters: an introduction," *Proc. Low-Power-Low-Voltage Workshop of the European Solid-State Circuit Conf. (ESSCIRC'95)*, Lille, France, Sept. 1995.
- [FRA04] L.M Franca-Neto, R. Eline, and B. Balvinder, "Fully Integrated CMOS Radios from RF to Millimeter Wave Frequencies," *Intel Technology Journal*, vol. 8, pp. 241-258, August 2004.
- [FRI44] Friis, T-H, "Noise figures of radio receivers", *Proceedings of IRE*. Juillet 1944, Vol. 32,7, pp. 419-422.
- [GEF02] V. Geffroy, "Conception de Circuits Intégrés Radiofréquences Sur Technologie CMOS Pour Des Applications Sans Fil Grand Public : Application Aux Mélangeurs", *Mémoire de Thèse*. Ecole Nationale Supérieure des Télécommunications, 2002.
- [GOO02] J. S. Goo, H. T. Ahn, D. J. Ladwig, Z. Yu, T. Lee, and R. W. Dutton, "A Noise optimization technique for integrated Low noise amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 8, pp. 994-1002, August 2002.
- [GRA93] P.Gray et R.Meyer, "Analysis and design of analog integrated circuits", *John Wiley et Sons Inc.*, New York, USA, 1993.

- [GUI05] C. Guilleminot, " Etude et intégration numérique d'un système multicapteurs AMRC de télécommunication basé sur un prototype virtuel utilisant le langage de haut niveau VHDL-AMS", *Mémoire de Thèse*. Université de Toulouse II, Décembre 2005.
- [HAY82] W.H. Hayward, "Introduction to Radio Frequency Design", *Prentice-Hall, Englewood Cliffs, NJ*, 1982, Chapitre 8: The Receiver: An RF System, pp. 341-372.
- [HOG66] R. Hogervorst et J. Huijsing, "Design of Low Voltage Low-power CMOS Operational Amplifier Cells," *Kluwer Academic Publisher*, 1966.
- [KLU06] W. Kluge et al, "A Fully Integrated 2.4-GHz IEEE 802.15.4-Compliant Transceiver for ZigBee Applications", *IEEE J. Solid-state Circuits*, vol. 41, no 12, pp 27676-27775. Décembre. 2006.
- [ITRS07] International Technology Roadmap for semiconductors 2007, Radio Frequency and Analog/Mixed-signal Technologies for Wireless Communications. http://www.itrs.net/Links/2007ITRS/2007_Chapters/2007_Wireless.pdf
- [LEE98] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, Cambridge, UK, 1998, Chapitre 18: Architectures, pp. 550-570.
- [LEE98-1] T. H. Lee, "The design of narrowband CMOS Low-Noise Amplifiers," *Advances in Analog Circuits Design*, pp. 28-30, Avril 1998.
- [LEO96] C.D. Hull et J. Leong, " A Direct-Conversion receiver for 900MHz (ISM Band) Spread-Spectrum Digital Cordless Telephone. *IEEE Journal of Solid State Circuits*, Vol. 31. NO. 12. pp. 1955-1963. Décembre 1996.
- [MAH06] J. Mahattanakul, "The effect of I/Q imbalance and complex filter component mismatch in Low-IF receivers," *IEEE trans. Circuits Syst*, vol 53, no 2, pp. 247 - 253, Feb. 2006.
- [MEA80] C. Mead et L. Conway, "Introduction to VLSI Systems", *Addition-Wasley Publishing Company*, USA, 1980.
- [MER04] A. Mercha, W. Jeamsaksiri, J. Ramos, S. Jenei, S. Decoutere, D. Linten, et P. Wambacq, "Impact of Scaling on Analog/RF CMOS Performance," in *Proc. of the ICSICT Conf.*, pp. 147-152, Beijing, China, Octobre 2004.
- [MOO65] G.E. Moore, " Cramming more components on to integrated circuit", *Electronics*, vol. 38, n°8, pp. 4, 1965.
- [NAM00] Namgoong, W, "Performance of a Direct-Conversion Receiver with AC Coupling", *IEEE Transactions On Circuits and Systems-II: Analog and Digital Signal Processing*. Décembre 2000, Vol. 47, 12, pp. 1556-1559.
- [RAZ98] B. Razavi, "RF Microelectronics", Prentice Hall PTR, Upper Saddle River, NJ, USA, 1998.
- [VID04] V. Vidojkovic, J. Tang, A. Leeuwenburgh et A. Roermund "A DECT/BLUETOOTH Multistandard front-end with adaptative image rejection 0.18 mm CMOS", *IEEE International Conference on Electronics, Circuits and Systems.*, ISCAS '04, vol. 1, I-573-576, Vancouver, Canada, 2004.

[VIT85] E. Vittoz, " The Design of High- Performance Analog Circuits on Digital CMOS Chips, " *IEEE Journal of solid State Circuits*, vol. SC-20, pp. 657-665, June 1985.

[VIT90] E. Vittoz, "Future trends of Analog in VLSI environment," *Proc. IEE Int. Symp. Circuit Syst.*, pp. 1372-1375, New Orleans, May 1990.

[VIT97] E. Vittoz et O. Neyroud, " A MOS analog integrated circuits based on weak inversion operation, " *IEEE Journal of solid State Circuits*, vol. SC-14, pp. 573-577, June 1979.

CHAPITRE II

II *Etat de l'art sur l'optimisation de la linéarité dans les amplificateurs faible bruit*

Sommaire

II ETAT DE L'ART SUR L'OPTIMISATION DE LA LINEARITE DANS LES AMPLIFICATEURS FAIBLE BRUIT.....	45
I. TRANSISTOR MOS ET MODES DE FONCTIONNEMENT	46
I.1. Généralités.....	46
I.2. Modes de fonctionnement	47
II. ARCHITECTURES DE BASE DES LNA	49
II.1. LNA à terminaison résistive.....	50
II.2. LNA à terminaison $1/g_m$	50
II.3. LNA à contre réaction résistive	51
II.4. LNA à dégénérescence inductive	51
II.5. Comparatif.....	53
III. TECHNIQUES DE LINEARISATION.....	54
III.1. Optimisation par polarisation de grille	55
III.2. Configuration multi-grille et ses dérivées.....	57
III.2.1. Configuration multi-grille de base.....	57
III.2.2. Configuration multi-grille modifiée	59
III.2.3. Configuration multi-grille modifiée avec optimisation de NF.....	60
III.3. Compensation par post-distorsion active	61
III.4. Post IM3 compensation	63
III.5. Comparatif.....	64
IV. EFFET DE SUBSTRAT	65
IV.1. Principe	65
IV.2. Contrôle de Gain et de linéarité	66
V. CONCLUSION.....	70
REFERENCES.....	72

Dans ce chapitre nous décrivons les différentes techniques et architectures qui ont été développées dans le but d'optimiser la linéarité des amplificateurs faible bruit (LNA). Nous commençons tout d'abord par rappeler quelques généralités sur le transistor MOS et ses différents modes de fonctionnement. Dans un second temps, nous présentons les structures de base développées dans la conception d'un LNA. Ensuite, nous dressons un tableau comparatif des points forts et faibles de ces architectures afin de choisir celle qui présente le meilleur compromis entre les caractéristiques de gain, de consommation et de bruit. La troisième partie de ce chapitre est consacrée à l'état de l'art des techniques de linéarisation des LNAs en analysant et commentant leurs principaux avantages et inconvénients. A l'issue de cette étude, nous introduisons la notion de "polarisation de substrat" (body bias) et nous la comparons avec la technique "optimum gate biasing" en exploitant les résultats théoriques et ceux des simulations d'un amplificateur source commune. Enfin, nous concluons ce chapitre en dégagant deux voies de recherches pour l'utilisation du body bias dans les amplificateurs faibles bruits qui sont : l'optimisation de la linéarité et le contrôle numérique de gain.

I. TRANSISTOR MOS ET MODES DE FONCTIONNEMENT

I.1. Généralités

Le transistor à effet de champ-métal-oxyde-semi-conducteur (ou MOSFET pour Metal-Oxide-Semiconductor Field Effect transistor) est la brique élémentaire de la technologie CMOS, Figure II-1. Il est principalement utilisé dans le domaine numérique mais aussi analogique.

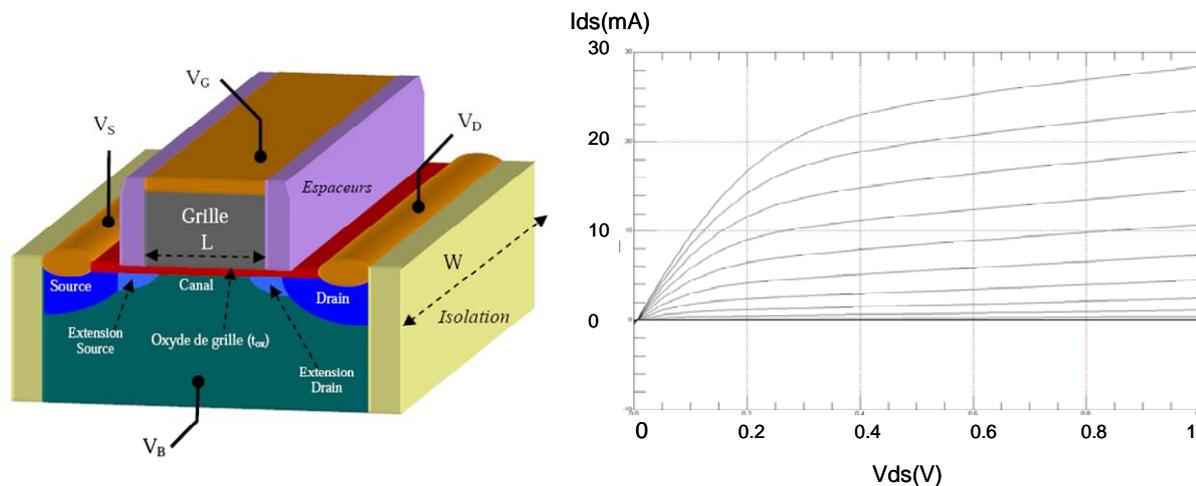


Figure II-1 : Transistor MOS et caractéristique de transfert $I_{ds}(V_{ds})$

Le transistor MOS est constitué de 4 électrodes (la grille, la source, le drain et le substrat). Sans aucune polarisation, le transistor est bloqué car la capacité MOS est en régime de déplétion. Il est polarisé dans l'état passant quand une tension positive V_{GS} supérieure à la tension de seuil V_{TH} est appliquée à sa grille. Un canal de conduction reliant la source au drain se crée alors à la surface du semi-conducteur. Les charges qui vont se propager dans ce canal, et donc permettre la conduction du courant, sont les électrons dans le cas d'un nMOS et les protons dans le cas d'un pMOS. Dans le cas d'un substrat de silicium de type p, la couche de conduction est de type n. Quand une tension de polarisation drain source V_{DS} est appliquée un courant I_{DS} va circuler dans le canal entre les deux contacts source et drain [MER07].

I.2. Modes de fonctionnement

Les modes de fonctionnement d'un transistor MOS sont déterminés par les tensions de références appliquées sur ses terminaux qui sont la tension grille-source V_{GS} , la tension de seuil V_{TH} et la tension drain-source V_{DS} .

On distingue les régimes de fonctionnement suivants :

a) Faible inversion

Le régime de la faible inversion ou encore régime sous-seuil s'établit pour une tension grille source V_{GS} légèrement inférieur à la tension de seuil V_{TH} : $V_{GS} < V_{TH} - 4\phi_t$

Où ϕ_t la tension thermique (kT/q) qui est environ 25mV à la température ambiante. En général la tension de saturation d'un transistor MOS opérant en faible inversion est plus basse que celle d'un composant opérant en forte inversion.

En saturation ($V_{DS} > V_{GS} - V_{TH}$), la relation entre le courant de drain et la tension grille source d'un transistor MOS en faible inversion s'écrit sous la forme suivante [CHA99]:

$$I_{ds} = I_{d0} \left(1 - e^{-\frac{V_{ds}}{\phi_t}} \right) e^{\frac{(V_{GS} - V_{TH})}{n\phi_t}} \quad (II-1)$$

Où n est le facteur de pente de la faible inversion et I_{d0} est le courant spécifique définit comme suit :

$$I_{d0} = 2n\mu_0 C_{ox} \phi_t^2 \frac{W}{L} \quad (II-2)$$

Avec μ_0 est la mobilité des porteurs de charges, C_{ox} est la capacité d'oxyde par unité de surface et W et L sont respectivement la largeur et la longueur de grille.

La transconductance du transistor MOS, g_m , est donnée par l'équation suivante :

$$g_m = \frac{I_{ds}}{n \cdot \phi_t} \quad (II-3)$$

Elle ne dépend que du courant de drain I_{ds} . Ainsi, si le transistor nécessite une transconductance plus large, par exemple pour accomplir certaines performances à hautes fréquences, le courant I_D doit être augmenté. Cependant, s'il est trop élevé, le transistor finit en régime de forte inversion. Bien que le transistor puisse être maintenu en faible inversion en accroissant le rapport W sur L , cela n'est pas toujours possible en raison de la bande passante car l'augmentation de la taille du transistor implique l'augmentation de ses capacités parasites. Les inconvénients de la faible inversion sont donc :

- Une faible transconductance (courant de polarisation faible)
- Un fonctionnement lent (chargement/déchargement capacitif)
- Une sensibilité à l'appariement des tensions de seuil (mismatch)

b) Forte inversion

Le transistor MOS est dit opérant en régime de forte inversion si : $V_{GS} > V_{TH} + 4\phi_t$

Avec deux cas à distinguer :

Lorsque $V_{GS} - V_{TH} < V_{DS}$, c'est la zone de saturation. Le transistor a un comportement quadratique. Le courant drain-source est donné par [CHA99]:

$$I_{ds} = \frac{1}{2n} \mu_0 C_{ox} \frac{W}{L} V_{od}^2 \quad (II-4)$$

Avec V_{od} est la tension d'overdrive définie par $V_{GS} - V_{TH}$.

Lorsque $V_{GS} - V_{TH} > V_{DS}$, c'est la zone linéaire. Le transistor a un comportement linéaire et peut être utilisé comme une résistance. Le courant drain-source est donné par :

$$I_{ds} = \mu_0 C_{ox} \frac{W}{L} \left(V_{od} - \frac{1}{2} n V_{DS} \right) V_{DS} \quad (II-5)$$

L'inconvénient majeur de la forte inversion est que la tension d'overdrive V_{od} requise pour faire fonctionner le transistor dans ce mode est généralement grande et entraîne donc une consommation en courant importante. De ce fait, elle n'est pas adaptée aux contraintes de très faible consommation.

c) Inversion modérée

On appelle régime d'inversion modérée, la zone de transition entre la faible et la forte inversion. Elle est caractérisée par une égalité entre le courant de diffusion et le courant de dérive. Ce mode de fonctionnement est extrêmement difficile à modéliser, mais on peut le voir comme un mélange hybride entre la forte et la faible inversion.

Les recherches menées dans [TOO04] [SIL96] montrent que ce mode de fonctionnement est le plus adapté aux contraintes de consommation et de linéarité. Les deux points forts de ce régime seront traités dans les parties suivantes.

Le Tableau II-1 montre les frontières entre les différents modes de fonctionnement du transistor MOS. Celles-ci s'expriment en termes de tension V_{GS} ou de courant I_{ds} . Ce tableau sert de base pour dimensionner les transistors MOS du circuit intégré.

Tableau II-1 : Frontières entre les différents modes de fonctionnement du transistor MOS

	Tension	Courant
Forte inversion	$V_{GS} > V_{TH} + 100\text{mV}$	$I_{ds} > 10 I_{d0}$
Inversion modérée	$V_{TH} - 100\text{mV} < V_{GS} < V_{TH} + 100\text{mV}$	$0.1 I_{d0} < I_{ds} < 10 I_{d0}$
Faible inversion	$V_{GS} < V_{TH} - 100\text{mV}$	$I_{ds} < 0.1 I_{d0}$

Le régime de saturation étant le mode le plus approprié et utilisé pour la conception des circuits RF, un modèle empirique du transistor MOS dans cette zone, a été proposé dans [TSI95] [TOO04]. Il englobe l'effet de le champ de saturation, la dégradation de la mobilité ainsi que la résistance drain-source. Il est donné par :

$$I_{ds} = \frac{\mu_0 C_{ox} W}{2n} \frac{X^2}{L(1 + \alpha X)} (1 + \lambda V_{ds}) \quad (II-6)$$

Avec

$$X = 2n\phi_t \ln \left(1 + e^{\frac{(V_{GS} - V_{TH})}{(2n\phi_t)}} \right) \text{ et } \alpha = \theta + \frac{\mu_0}{2nv_{sat}L} \quad (II-7)$$

λ est le facteur de modulation de canal, θ est le coefficient de réduction de mobilité et v_{sat} est le champ de saturation.

Nous adopterons prochainement ce modèle, qui est capable de décrire le comportement du MOS en mode faible inversion et inversion modérée, pour analyser l'effet de substrat sur les caractéristiques du LNA.

II. ARCHITECTURES DE BASE DES LNA

Il existe plusieurs familles d'amplificateur faible bruit. Chacune est définie suivant le type d'impédance d'entrée qu'elle présente. L'adaptation d'impédance présente une étape cruciale dans la conception des LNAs afin de garantir un bon compromis entre le gain et le facteur de bruit [GIR99]. Dans cette section, nous présentons un état de l'art des familles

existantes et nous concluons par un comparatif listant les différents avantages et inconvénients de chaque structure.

II.1. LNA à terminaison résistive

L'adaptation d'impédance d'entrée, généralement 50Ω , d'un amplificateur à terminaison résistive s'effectue par l'intermédiaire d'une résistance comme illustré à la Figure II-2.

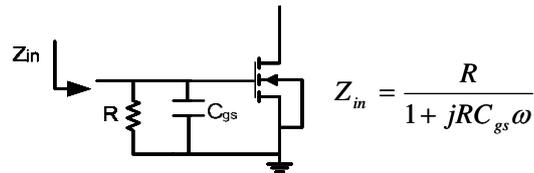


Figure II-2 : Amplificateur à terminaison résistive

De ce fait il convient de travailler à des fréquences telles que la capacité grille source C_{gs} des transistors MOS ait une influence négligeable, d'où l'utilisation limitée de cette topologie vis-à-vis de la fréquence de fonctionnement ($f_0 < 1\text{GHz}$ pour une technologie CMOS de $0.25\mu\text{m}$). D'autre part, les performances en bruit de cette topologie sont plutôt mauvaises. Dans les travaux de Chang reportés en [CHA93] le facteur de bruit obtenu est de 6dB à 770MHz. Tenant compte de ces inconvénients, cette topologie est très peu utilisée.

II.2. LNA à terminaison $1/g_m$

Le principe de cette topologie est illustré à la Figure II-3.

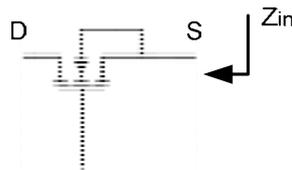


Figure II-3 : Amplificateur à terminaison $1/g_m$

Elle est la mieux adaptée à l'intégration car l'adaptation d'entrée est réalisée par l'intermédiaire de la transconductance g_m du transistor d'entrée :

$$Z_{in} = \frac{1}{g_m} \Rightarrow g_m = 20\text{mS} @ Z_{in} = 50\Omega \quad (II-8)$$

Cette architecture possède néanmoins un gros point faible. Le fait d'adapter l'impédance d'entrée par la transconductance fixe la consommation ce qui peut être restrictif pour les applications à faible consommation. D'autre part, le facteur de bruit de ce type

d'amplificateur est de l'ordre de 3dB [ROF96] ce qui ne satisfait pas tous standards de communication sans fil.

II.3. LNA à contre réaction résistive

Le principe de cette architecture est présenté à la Figure II-4. C_{gs} et C_{ds} sont respectivement les capacités grille-source et drain-source associées au transistor NMOS. R_1 et R_2 constituent le circuit de contre-réaction permettant l'ajustement de l'impédance d'entrée via le gain du transistor suivant :

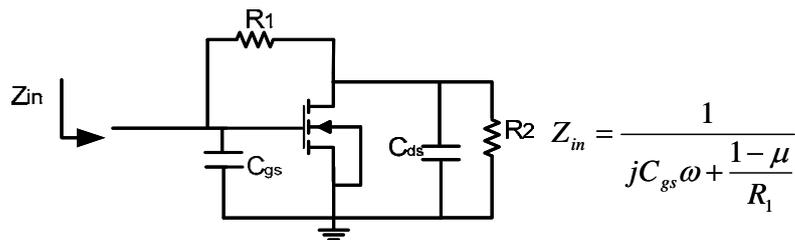


Figure II-4 : Amplificateur à contre réaction résistive

Avec μ le gain de l'amplificateur.

Cette topologie présente du point de vue du facteur de bruit des carences :

- Un amplificateur large bande qui intègre le bruit sur une grande bande de fréquence
- Des résistances de contre réaction qui vont apporter du bruit thermique sur une grande bande de fréquences
- Une contre réaction qui va ramener en entrée le bruit de la sortie

D'autre part, le gain large bande, induit par la charge résistive du circuit, s'accompagne d'une consommation importante, dépassant largement les 10mW, comme le montrent [BEN92] [SHE91] [KOB94] [TIE02] et par conséquent ne permet pas à cette architecture de répondre aux attentes de faible consommation du marché sans fil. Enfin, l'association de la résistance R_1 de contre réaction avec la capacité C_{ds} présente un pôle de coupure qui réduit fortement la fréquence de fonctionnement. Cela constitue une limitation supplémentaire non négligeable pour les standards de communication se situant au-delà de 5 GHz.

II.4. LNA à dégénérescence inductive

Présentée à la Figure II-5, cette topologie est la plus étudiée et utilisée dans les chaînes de réception. L'adaptation d'impédance est réalisée par l'intermédiaire de l'inductance L_g qui vient annuler la capacité C_{gs} à la fréquence du signal radiofréquence. L'inductance L_s ,

vue comme une impédance réelle grâce à l'effet transistor, est calculée pour être adaptée à 50Ω .

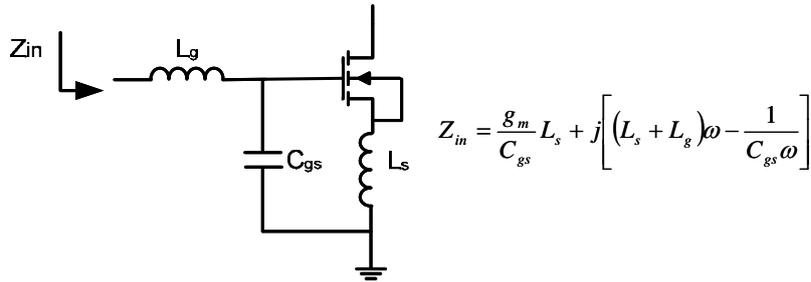


Figure II-5 : Amplificateur à dégénérescence inductive

Le coefficient de surtension Q du circuit (L_g, C_{gs}, L_s) permet d'augmenter la transconductance du transistor, donc d'avoir un meilleur gain en tension, mais il est avant tout optimisé pour diminuer le facteur de bruit qui, comme le montrent [MEY94] et [SHA97], peut être très faible. Ce compromis « adaptation d'impédance - facteur de bruit » est parfaitement développé dans la publication de D. Shaeffer [DER97]. Cette topologie s'adapte bien aux contraintes de conception basse tension et faible consommation [LER01], néanmoins elle possède un point négatif qui est l'utilisation d'inductances de fortes valeurs donc volumineuses. Ceci induit des coûts de fabrication élevés et dégrade parfois le facteur de bruit ce qui limite l'adéquation de la structure avec les exigences du marché des dispositifs portables. Une solution pour répondre à cette problématique a été proposée dans [NGU04]. Elle est donnée en Figure II-6.

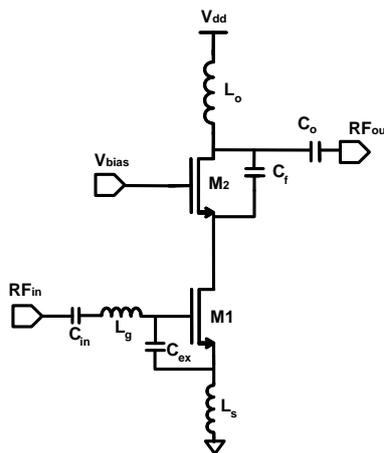


Figure II-6 : LNA à gain et NF optimisé [NGU04]

Elle consiste à ajouter une capacité C_{ex} entre la grille et la source du transistor M1 afin d'augmenter la capacité équivalente à l'entrée. Ainsi, elle permet d'alléger la contrainte d'intégration puisque l'inductance L_g sera réduite. Cette nouvelle topologie possède elle aussi quelques limitations. La valeur de C_{ex} doit être proprement déterminée afin de

présenter un bon compromis entre la taille de L_g et le gain en puissance voulu. Pour des valeurs très importantes de C_{ex} , le gain du LNA peut chuter à cause de la dégradation de la fréquence de coupure effective du transistor d'entrée (y compris C_{ex}).

II.5. Comparatif

Comme nous l'avons vu au premier chapitre l'amplificateur faible bruit est l'un des blocs les plus contraignants dans la conception des chaînes de réception. Ainsi, l'architecture retenue doit, d'une part, répondre le mieux aux contraintes de faible consommation et faible coût du marché, et d'autre part, présenter le meilleur compromis entre les caractéristiques de gain, de bruit et de linéarité. En se référant aux résultats des LNAs publiés dans la littérature [SHE96] [ROF96] [BEN92] [LER01], nous présentons dans le tableau II-2 un comparatif citant les points forts et faibles des quatre topologies précédemment décrite.

Tableau II-2 : Comparatif des topologies de base des LNAs

	Gain	NF	Linéarité	P_{conso}	Coût Silicium	Bande passante	Haute fréquence
Terminaison résistive	moyen	dégradé	bonne	Pas bonne	réduit	Large	pas adaptée
Terminaison $1/g_m$	moyen	moyen	bonne	moyenne	réduit	large	moyenne
Contre réaction résistive	moyen	moyen	bonne	Pas bonne	réduit	Large	acceptable
Dégénérescence inductive	bon	bon	bonne	Bonne	moyen	étroite	Très adaptée

L'architecture à terminaison résistive répond aux contraintes de forte intégration puisqu'elle contient peu de composants passifs et volumineux. Cependant, elle n'est pas très adaptée au fonctionnement en hautes fréquences et peut présenter une dégradation significative du facteur de bruit. Elle n'est pas adéquate aux spécifications des nouveaux standards de communication [SHE96]. Nous retrouvons le même genre d'argumentation pour l'architecture à contre réaction résistive [BEN92] qui est accompagnée d'une consommation en puissance importante. Ces deux topologies sont donc les moins intéressantes car elles ont des performances moyennes et ne s'adaptent pas à la contrainte de faible consommation.

L'architecture à terminaison en $1/g_m$ présente un fort intérêt pour les concepteurs de circuits intégrés et peut fournir de bonnes performances en termes de linéarité et de gain [ROF96]. Elle est par contre moins compatible avec certains standards qui requièrent des niveaux de bruit très faibles.

La topologie à dégénérescence inductive est de loin la meilleure candidate pour les applications à faible consommation [LER01]. L'utilisation des inductances encombrantes en entrée pour garantir une adaptation 50Ω reste néanmoins son principal point faible. Les travaux de recherches actuels, basés sur cette structure, ne cessent de se multiplier pour palier à ce problème et soulever les différents défis de la nouvelle ère des communications sans fil (faible consommation, basse tension, faible bruit, bonne linéarité, faible coût...).

Nous avons opté, dans cette thèse, pour l'architecture à dégénérescence inductive pour démontrer l'effet de la polarisation de substrat sur les caractéristiques du LNA. La mise en équation de cette approche sera développée en troisième chapitre. L'objectif de l'étude est de démontrer la faisabilité de l'optimisation de la linéarité ainsi que le contrôle numérique du gain par le "body bias". Dans le quatrième chapitre, nous nous intéresserons en particulier à la contrainte de basse tension d'alimentation et de faible consommation et proposerons une méthodologie de conception spécifique à cette structure qui emploie notamment le « forward body bias » pour répondre à ces exigences.

III. TECHNIQUES DE LINEARISATION

L'état de l'art relatif à la linéarisation des amplificateurs faible bruit concerne essentiellement des solutions innovantes visant l'amélioration de l'IIP2 et de l'IIP3. L'ICP1, quant à lui, est souvent mis de côté puisque son optimisation, passant principalement par une augmentation de la consommation du circuit, est bien connue. Pour ce qui est des intermodulations, on rencontre de nombreux travaux que l'on peut classer en deux catégories :

- L'étude de la linéarité autour du transistor
- L'étude de la linéarité globale du circuit

Dans ce qui suit nous développons plus en avant chacune de ces catégories. Nous rappelons que dans le cadre de ce travail, les applications en technologie CMOS sont plus particulièrement concernées.

Linéarité autour du transistor

Le transistor est la source principale, mais non exclusive, comme nous le verrons dans le paragraphe suivant, des non linéarités générées dans un LNA. Il convient donc de modéliser ce comportement non linéaire du transistor. Généralement il est fait appel au développement en série de puissance de l'effet transistor qui relie, pour un transistor MOS, le courant de sortie dynamique i_d à la tension de commande d'entrée v_{gs} comme en (II-9).

$$i_d(v_{gs}) = g_1 \cdot v_{gs} + g_2 \cdot v_{gs}^2 + g_3 \cdot v_{gs}^3 + \dots \quad (II-9)$$

Avec

$$g_1(v_{gs}) = \frac{\partial I_D}{\partial V_{GS}}, g_2(v_{gs}) = \frac{1}{2} \frac{\partial^2 I_D}{\partial V_{GS}^2} = \frac{1}{2} \frac{\partial g_1}{\partial V_{GS}}, g_3(v_{gs}) = \frac{1}{6} \frac{\partial^3 I_D}{\partial V_{GS}^3} = \frac{1}{3} \frac{\partial^2 g_2}{\partial V_{GS}^2}, g_n(v_{gs}) = \frac{1}{n!} \frac{\partial^n I_D}{\partial V_{GS}^n} \quad (II-10)$$

L'écriture générale des séries de puissances tient compte de la tension drain-source v_{ds} . Cependant nous supposons ici que le transistor fonctionne en mode saturation, comme il est souvent le cas, justifiant par là même la négligence de la tension v_{ds} . De même les ordres supérieurs à 3 dans l'expression (II-9) n'ayant que peu d'influence sur l'étude des non linéarités, sont systématiquement écartés des calculs.

Selon les investigations menées sur les distorsions harmoniques de la partie III.2 du chapitre I, c'est le coefficient g_3 de l'expression (II-9) qui va conditionner la valeur de l'IIP3 dans le transistor MOS suivant :

$$A_{IIP3} = \sqrt{\frac{4}{3} \cdot \left| \frac{g_1}{g_3} \right|} \quad (II-11)$$

III.1. Optimisation par polarisation de grille

Comme nous l'avons vu au premier chapitre la linéarité des LNAs est généralement spécifié par le point d'interception d'ordre trois : le IIP3 qui est inversement proportionnel à la transconductance d'ordre trois g_3 [APA04] (II-11). Ainsi, optimiser la linéarité revient à minimiser g_3 voir l'annuler. La technique reportée dans [APA04] repose sur la polarisation du transistor d'entrée du LNA dans la région d'inversion modérée dans laquelle un maximum de IIP3 est atteint. Dans la Figure II-7 (a), (b) et (c) sont présentés respectivement les valeurs des coefficients des séries de puissance (g_1 , g_2 et g_3), la variation de $\sqrt{I_D}$ du transistor MOS et l'évolution de l'IIP3 en fonction de la tension V_{GS} pour un transistor NMOS de dimensions 350/0.25 μm [APA04].

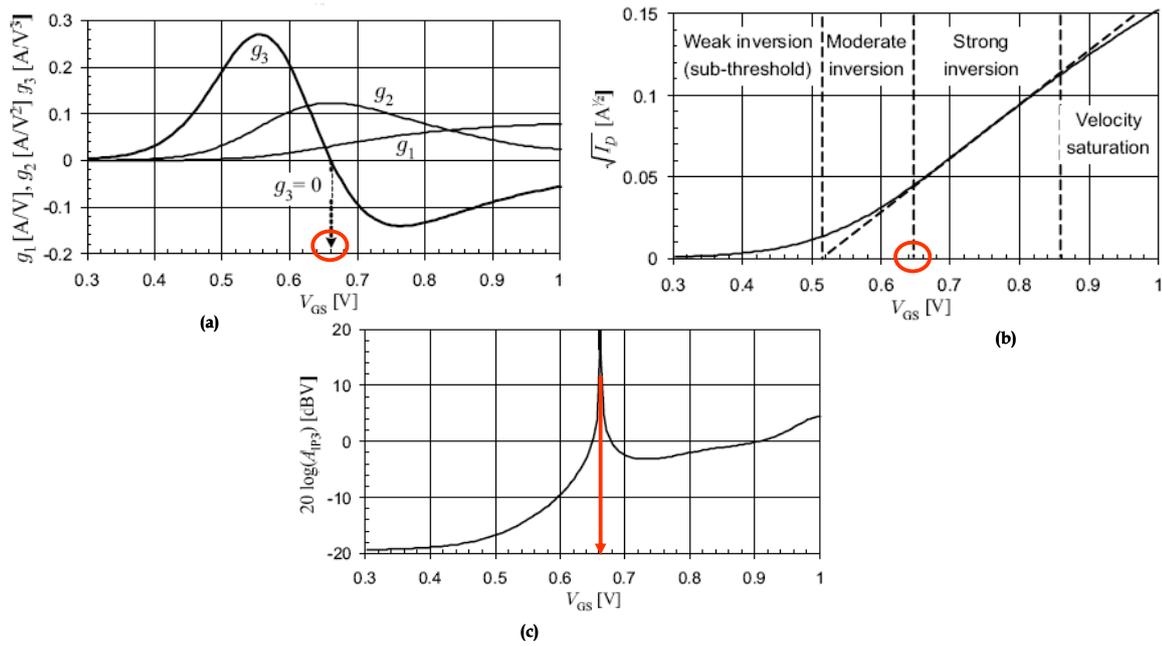


Figure II-7 : (a) Caractéristique de transfert $\sqrt{I_D}(V_{GS})$, (b) coefficients de la série de puissance, (c) valeur théorique de l'AIP₃

On observe donc que pour une certaine tension de polarisation V_{GSopt} pour laquelle le transistor d'entrée est polarisé en inversion modérée, l'IIP3 passe par un maximum -i.e. g_3 est nulle. Le travail proposé dans [APA04] consiste à développer un système de contrôle automatique de la polarisation de grille du transistor MOS qui lui permette de toujours présenter un A_{IP3} maximum indépendamment des variations de température et de procédé de fabrication auxquelles la valeur du V_{GSopt} est très sensible.

La faisabilité d'un tel système reste cependant délicate, car la plage de variation de V_{GS} autorisée autour du V_{GSopt} n'est que de ± 10 mV. Une précision très difficile à atteindre en pratique. D'autre part, la tension V_{GSopt} correspondant au passage à zéro du coefficient g_3 des séries de puissance, définit aussi la limite entre les modes linéaire et saturé du transistor MOS comme le montre la Figure II-7. Dans cet état de fonctionnement, le comportement du transistor est alors loin d'être celui privilégié, saturé, pour la conception RF. Par conséquent, ce sont les caractéristiques de gain, facteur de bruit et consommation qui pâtissent de ce type d'optimisation de la linéarité.

Les recherches menées dans [TOO04] montrent que l'expression de l'IIP3 définie en (II-11) n'est pas adaptée aux LNAs avec dégénérescence inductive. Ceci est dû à l'effet de l'inductance de dégénérescence qui induit une contre réaction pour le transistor M1. Par conséquent, les non-linéarités d'ordre deux seront recombinaées avec celles d'ordre trois via la capacité grille source C_{GS} comme illustré à la Figure II-8.

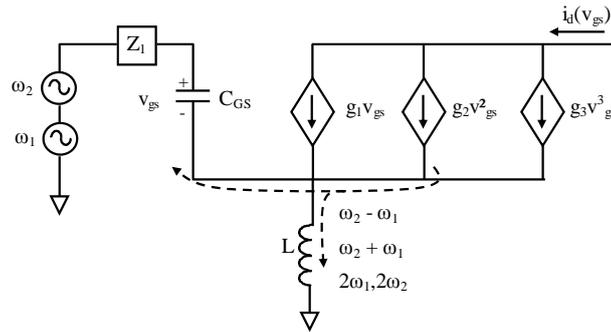


Figure II-8 : Modèle petits signaux du MOS illustrant les non linéarités engendrées par l'effet de l'inductance de dégénérescence [TOO04]

La nouvelle expression de l'intermodulation d'ordre trois est donc donnée comme suit :

$$IM3_{deg\ en} = \frac{3A^2}{4} \frac{1}{T} \left[\frac{c_{(3,0,0)}}{g_m} - \frac{2c_{(2,0,0)}^2}{g_m^2} \right] \quad (II-12)$$

Avec $c_{(3,0,0)}$ et $c_{(2,0,0)}$ respectivement les transconductances d'ordre trois et deux (ou encore g_3 et g_2 dans la figure II-8).

La polarisation du transistor MOS pour un maximum de linéarité doit donc se faire en tenant compte de la quantité $(2c_{(2,0,0)}^2 / g_m^2)$.

🚦 Linéarité autour du LNA

Les travaux proposés dans la partie précédente concentrent leurs efforts sur une optimisation locale, autour du transistor, de la linéarité. Dans ce qui suit, nous décrivons les techniques de linéarisation les plus répandues dans la littérature qui sont basées sur l'analyse globale des intermodulations générées par le LNA afin d'optimiser sa linéarité. Deux voies d'études ont été proposées :

- Approche au niveau circuit qui est basée sur la compensation de l'intermodulation d'ordre trois en ajoutant des transistors polarisés dans des modes de fonctionnement différents.
- Approche au niveau système : Exploitation du spectre du LNA par un bloc de « compensation » afin d'annuler l'IM3.

III.2. Configuration multi-grille et ses dérivées

III.2.1. Configuration multi-grille de base

La technique reportée dans [KIM00], toujours basée sur les variations du coefficient g_3 observées dans la Figure II-7(a), consiste à combiner deux transistors comme indiqué dans la Figure II-9(a) : l'un, M_A , fonctionnant dans la zone d'inversion faible où g_{3A} est positive,

l'autre, M_B , dans la zone de forte inversion où g_{3B} est négative. L'association des deux mène alors à l'annulation du coefficient global g_3 sur la plage de tension considérée comme présentée à la Figure II-9(b).

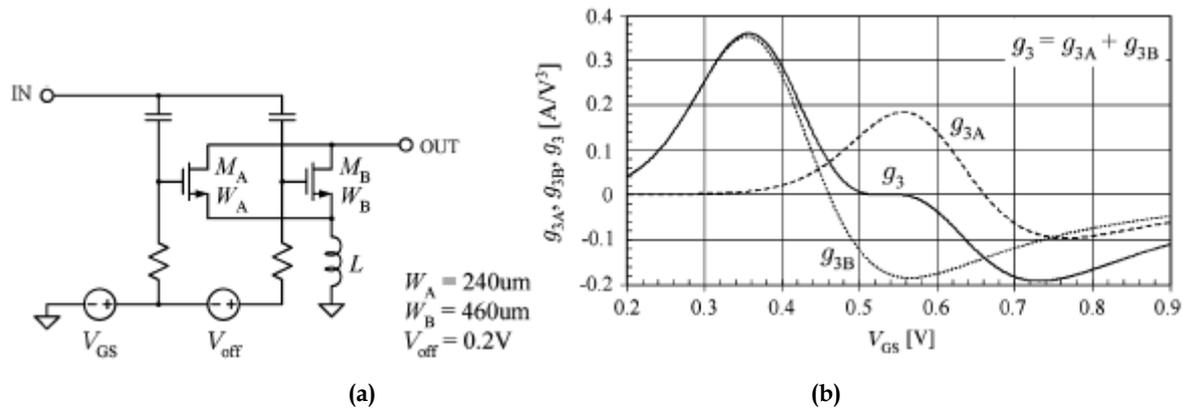


Figure II-9 : (a) Configuration multi-grille, (b) Coefficients de la série de puissance de la configuration proposée [KIM00]

Cette méthode reste l'une des plus efficaces en termes d'optimisation d'IIP3 du MOS. Sa mise en place présente d'excellents résultats de linéarité. Cependant le transistor MOS fonctionnant en mode linéaire présente une fréquence de travail faible qui limite l'utilisation de cette technique à des fréquences peu élevées. La plupart des travaux recensés dans la littérature ne dépassent pas 1GHz.

Une alternative intéressante répondant à cette limitation en fréquence est proposée dans [XIN04] comme illustrée en Figure II-10.

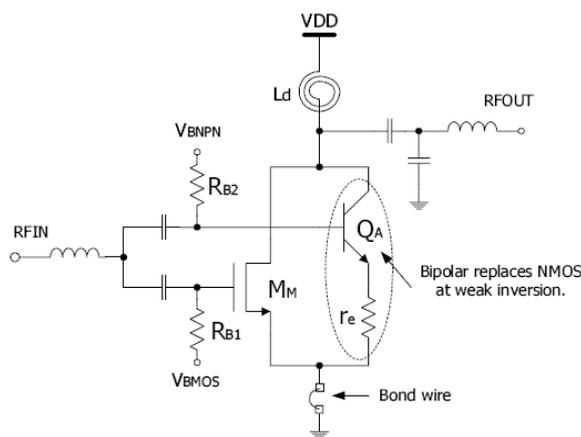


Figure II-10 : Configuration multi-grilles MOS-Bipolaire [XIN04]

Elle consiste à remplacer le transistor MOS fonctionnant en mode linéaire par un transistor bipolaire dont la fréquence de fonctionnement est largement supérieure à celle du MOS substitué. Pour ce qui est de la compensation globale des intermodulations d'ordre 3, la technique, comme le montre la Figure II-11, est exactement la même.

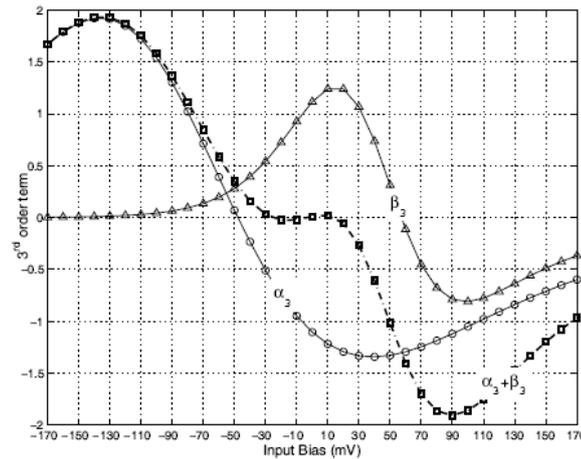


Figure II-11 : Coefficient des séries de puissance des transistors MOS (α_3) et Bipolaire (β_3) en fonction de la tension d'entrée

Par la combinaison MOS-Bipolaire, le travail référencé [XIN04] présente un circuit fonctionnant à 3GHz, couvrant ainsi de nombreux standards de communication de troisième génération. D'autre part, en utilisant le transistor bipolaire parasite, disponible dans la bibliothèque standard des technologies CMOS grande échelle, cette alternative reste compatible avec les technologies faibles coûts de type CMOS VLSI.

III.2.2. Configuration multi-grille modifiée

Le circuit proposé dans [APA05] est l'association du travail présenté dans [KIM00] et [KOO06]. En effet, la méthode de compensation par multi-grille à l'échelle du transistor menée dans la publication [KIM00] est combinée à l'étude globale du cascode à dégénérescence inductive présentée dans [KOO06]. Il en résulte le circuit de la Figure II-12.

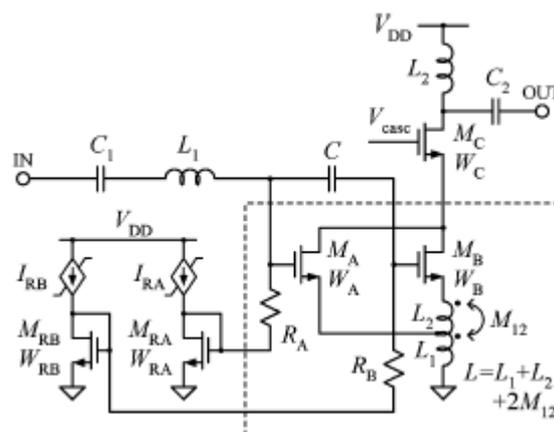


Figure II-12 : LNA cascode à dégénérescence inductive avec configuration multi-grille modifiée [APA05]

L'introduction de l'inductance L_2 dans la source de M_B avant la connexion avec M_A et L_1 , permet de compenser les recombinaisons harmoniques d'ordres 2 et 3 de cette chaîne

dynamique de retour qui dégradent le IIP3 global du circuit. Une illustration vectorielle de l'annulation des non linéarités d'ordre 2 est donnée en Figure II-13.

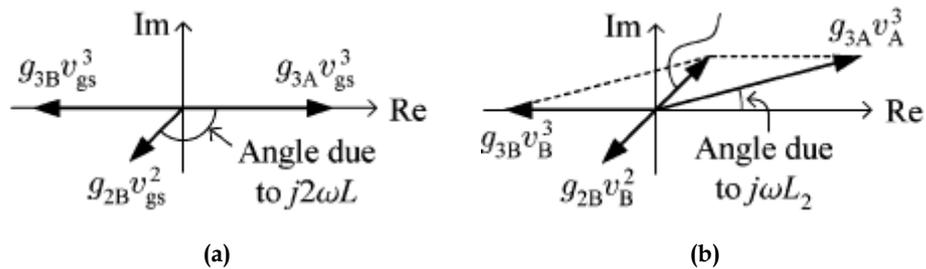


Figure II-13 : Diagramme vectoriel des composants d'intermodulation pour : (a) configuration multi-grille de base, (b) configuration multi-grille modifiée [APA05]

La nouvelle configuration multi-grille offre, grâce à l'utilisation des deux inductances de dégénérescence, une meilleure optimisation de la linéarité par rapport à la configuration conventionnelle. Le LNA conçu dans [APA05] montre un gain de 20dB pour l'IIP3 par rapport à une structure classique à dégénérescence inductive.

III.2.3. Configuration multi-grille modifiée avec optimisation de NF

L'inconvénient majeur des configurations multi-grille précédentes est la dégradation du facteur de bruit du LNA à cause de l'utilisation d'un transistor polarisé en régime de faible inversion. En effet, le bruit de courant de grille dans ce mode de fonctionnement est très important car il est inversement proportionnel au courant de drain [APA05]. Ainsi, comme les deux grilles des transistors M_A et M_B , Figure II-12, sont reliées ensemble, ce bruit s'ajoute ensuite au bruit du cascode et dégrade donc le NF global du LNA. Une nouvelle approche pour réduire cet effet consiste à connecter la grille du transistor auxiliaire à la source de celui de l'étage principal comme illustrée en Figure II-14 [GAN06]. Le bruit de grille du transistor M_B , ajouté au bruit de drain du transistor M_A , est divisé par le gain du LNA minimisant ainsi l'augmentation de NF. Un autre avantage de cette structure est que le gain de l'étage principal est intact car la transconductance du transistor M_B en faible inversion est très faible. Par conséquent, elle permet d'optimiser la linéarité en conservant les caractéristiques principales d'un LNA à dégénérescence inductive en termes de gain, de NF et d'adaptation aux dépens d'une légère augmentation de la consommation en puissance.

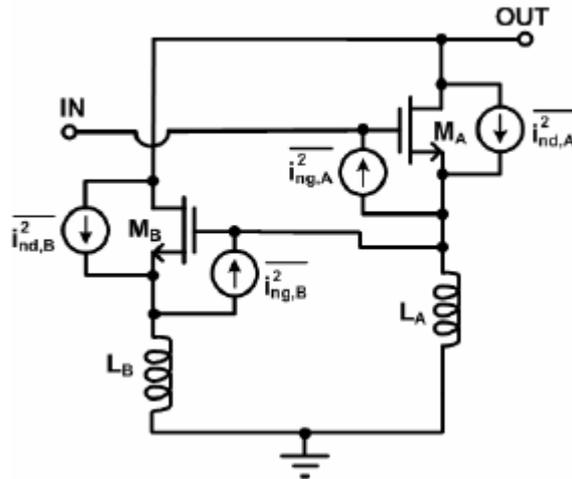


Figure II-14 : Sources de bruit dans la nouvelle configuration multi-grille [GAN06]

III.3. Compensation par post-distorsion active

Le principe de cette technique est basé sur la compensation des non linéarités créées dans le cascode principal (M_1, M_2) par le cascode auxiliaire (M_3, M_4) comme le montre le circuit proposé dans la Figure II-15 [KIM05].

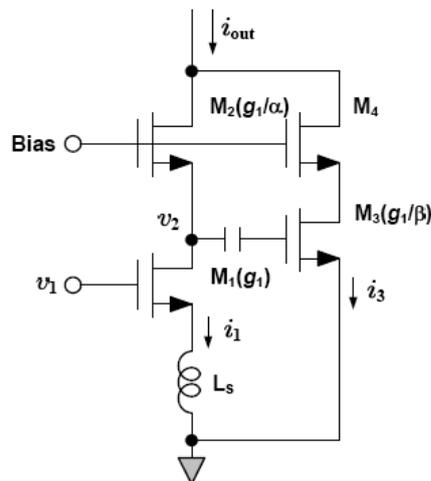


Figure II-15 : Compensation par Post-distorsion [KIM05]

Contrairement aux approches précédentes, les investigations menées dans [KIM05] abordent la linéarité de la structure dans sa globalité, et non par une combinaison entre l'étude locale, niveau transistor, et l'étude globale du circuit. L'objectif est d'annuler les non linéarités d'ordre trois via un dimensionnement très précis des transistors M_1 , M_2 et M_3 . L'annulation de la transconductance d'ordre trois globale du LNA en basses fréquences est régie par l'expression suivante :

$$g_{3\Sigma} = g_3 \left(1 - \frac{\alpha}{\beta} - \frac{\alpha^3}{\beta} \right) + \frac{2g_2^2 \alpha^2}{g_1 \beta} \quad (II-13)$$

g_1 est la transconductance en petit signal et g_2 et g_3 sont les transconductances d'ordre deux et trois du transistor M_1 . Cette méthode souffre de plusieurs inconvénients. D'une part, le réglage des paramètres α et β permet certes d'annuler la composante $g_{3\Sigma}$ mais pas celle des non linéarités d'ordre deux. D'autre part, ils interviennent aussi dans l'expression de la transconductance totale $g_{1\Sigma}$, donnée par :

$$g_{1\Sigma} = g_1 \left(1 - \frac{\alpha}{\beta} \right) \quad (II-14)$$

D'où un compromis qui doit être fait lors du choix de leurs valeurs pour que le gain du LNA ne soit pas réduit. En hautes fréquences, les éléments passifs tels que les capacités et les inductances peuvent affecter les performances du LNA en termes de non-linéarités. L'expression de l'intermodulation d'ordre trois IM3 est désormais donnée comme suit :

$$IM3 = A_1(s)A_1(s)^2 \left(1 - \frac{\sigma}{\beta} \right) \left\{ -\frac{2}{3} g_2^2 A_1(2s) 2sL_s \left[\frac{1}{2} + \frac{\sigma^2}{\beta - \sigma} \right] + g_3 \left[\frac{1}{2} - \frac{\sigma^3}{\beta - \sigma} \right] \right\} + 2 \frac{\sigma^2 g_2^2}{\beta g_1} A_1(s)^3 \quad (II-15)$$

L'annulation de l'IM3 ainsi que le choix des paramètres α et β deviennent de plus en plus sophistiqués et nécessitent plusieurs étapes de conception. La réalisation d'un LNA pour la bande CDMA 900MHz [KIM05], présente, avec et sans post distorsion active, une amélioration de plus de 6dB du IIP3, mais au prix du double de la consommation de courant initiale fixée à 5 mA. Il semble donc que la précision et le réglage des paramètres de contrôle de la linéarité, soient d'autant plus difficiles que la fréquence de fonctionnement augmente.

Cette technique de linéarisation a été aussi utilisée pour optimiser la linéarité des LNAs différentiel comme reporté dans [KIM08]. Un schéma simplifié du circuit est illustré à la Figure II-16.

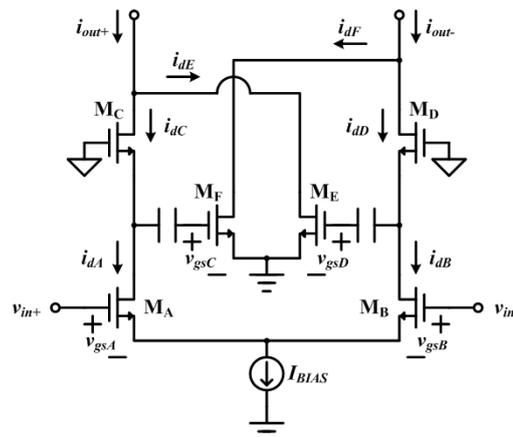


Figure II-16 : Compensation par Post-distorsion dans un LNA différentiel [KIM08]

Les transistors M_A , M_B , M_C et M_D forment un amplificateur cascode différentiel. Le réseau de compensation qui sert à annuler l'IM3 de cet amplificateur est constitué des

transistors M_E et M_F . L'optimisation de la linéarité est toujours basée sur l'annulation de la transconductance d'ordre trois comme on peut le voir dans l'expression suivante du courant de sortie final du circuit :

$$i_{out} = i_{out+} - i_{out-} \approx 2(g_{1A} + g_{1E})\frac{v_{in}}{2} + 2(g_{3A} + g_{3E})\left(\frac{v_{in}}{2}\right)^3 \quad (II-16)$$

Afin d'annuler la quantité $(g_{3A}+g_{3E})$, les non-linéarités (g_{3E}) produites par le transistor ME doivent être positives, par conséquent, il doit être polarisé en faible inversion. L'inconvénient majeur du LNA conçu dans [KIM08], fonctionnant à 2GHz, est la consommation importante en puissance qui est de l'ordre de 21mW.

III.4. Post IM3 compensation

Le principe de cette technique de linéarisation est illustré en Figure II-17 [JIN07].

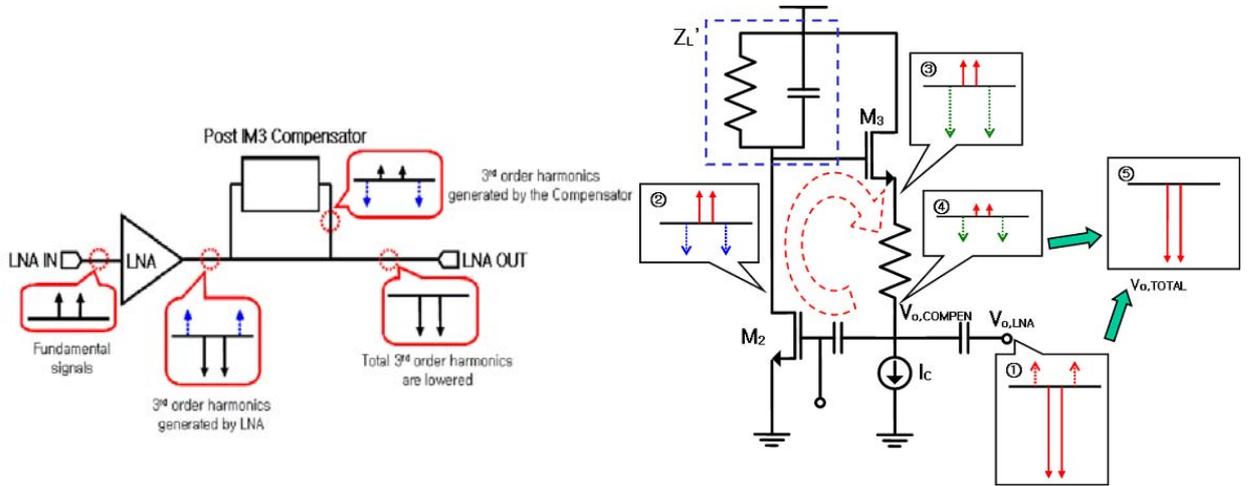


Figure II-17 : Compensation par Post-distorsion dans un LNA différentiel [KIM08]

Les signaux à l'entrée et à la sortie du compensateur sont respectivement notés $V_{o,LNA}$ (signal généré à la sortie du LNA) et $V_{o,comp}$. Le transistor en source commune M2 génère des distorsions d'ordre trois (2) qui sont en opposition de phase avec celles du LNA (1). Ces signaux seront par la suite appliqués au transistor M3 connecté en suiveur. A la sortie de M3, les distorsions résultantes (3) sont atténuées par la résistance R_d (4) afin qu'elles s'annulent avec celles de l'amplificateur faible bruit. L'expression de l'intermodulation d'ordre trois à la sortie du compensateur est donnée par :

$$IM3_{TOTAL} = (g_{m3}Z_L - \alpha g'_{m3}g_m^3 Z_L^3 Z'_L) V_i^3 \quad (II-17)$$

Avec g_{m3} la transconductance d'ordre trois du LNA

g'_{m3} la transconductance d'ordre trois du compensateur

Z_L l'impédance de charge du LNA

Z_L l'impédance de charge du compensateur

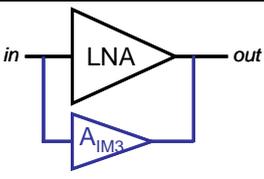
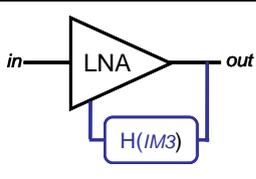
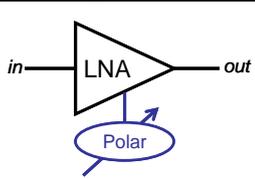
α le coefficient de gain du compensateur (dépend du rapport R_d/Z_L) ($0 < \alpha \leq 1$)

La compensation de l'IM3 requiert beaucoup de précautions, en effet, cette méthode est souvent accompagnée d'une chute de gain et d'une augmentation de la consommation [JIN07].

III.5. Comparatif

Après avoir décrit les principales techniques de linéarisation relatives aux amplificateurs faible bruit, nous dressons dans le tableau II-3 un comparatif des point forts et faible de ces méthodes en termes de bruit, de consommation et de sensibilité aux variations de process.

Tableau II-3 : Comparatif des techniques de linéarisation des LNAs

Caractéristiques	Multi-grilles	Post-distorsion	Polarisation de grille optimale
Principe			
NF	Dégradé	Moyen	Bon
P_{conso}	Augmentée	Augmentée	Faible
Sensibilité aux variations de process	Moyenne	Bonne	Mauvaise
Contrôle (tuning)	Moyen (Nombreuses itérations)	Moyen	complexe

L'utilisation de la technique « multi-grilles » requiert de nombreuses itérations pour le dimensionnement des transistors en forte et faible inversion afin d'atteindre l'optimum de linéarité. De plus, elle se fait aux dépens d'une augmentation de la consommation et une dégradation du facteur de bruit. Par ailleurs, elle n'est pas aussi adaptée à la contrainte d'intégration puisqu'elle utilise beaucoup d'inductances. Ces inconvénients sont aussi présents dans la linéarisation par post- distorsion qui s'accompagne souvent d'une réduction de gain. Pour ce qui est de la « polarisation de grille optimale », son principal point faible est sa sensibilité aux variations de process qui nécessitent des circuits de contrôle complexes pour optimiser la linéarité.

Les études menées dans cette thèse s'appuient sur le principe de la polarisation de grille afin de proposer une nouvelle approche de linéarisation qui soit moins contraignante

et qui s'adapte aux exigences des nouveaux standards de communication en termes de consommation et de linéarité. Celle-ci est faite sur la base d'une structure à dégénérescence inductive combinée avec l'effet de substrat. Cette architecture étant en général la brique de base dans la conception des LNAs, la solution que nous apportons ici pourra par la suite être généralisée pour d'autres topologies et d'autres applications mobiles.

IV. EFFET DE SUBSTRAT

IV.1. Principe

L'axe de recherche développée dans cette thèse est basé sur l'effet de substrat. Cette voie d'étude est de plus en plus utilisée ces dernières années dans la conception des circuits intégrés grâce aux potentialités qu'elle offre telles que la stabilisation des amplificateurs par contre réaction de mode commun [TAR03], la linéarisation des mélangeurs [LIA08] et la conception des LNA sous contrainte de faible tension d'alimentation [JHO09]. Le quatrième terminal du transistor (substrat ou bulk) est rendu exploitable grâce aux progrès des technologies CMOS « triple well ». Un caisson N est ajouté dans la fabrication du transistor MOS afin d'isoler le substrat de la masse du circuit et donc de pouvoir appliquer une tension non nulle au bulk comme illustré en Figure II-18.

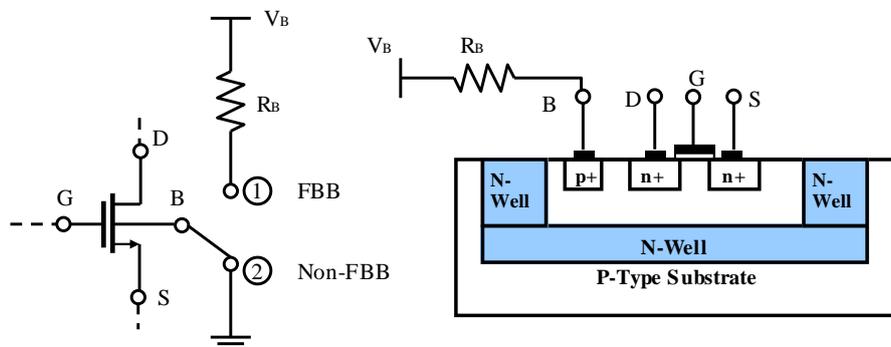


Figure II-18 : Contrôle de la polarisation de substrat grâce aux technologies CMOS « triple well »

Les analyses des caractéristiques du LNA que nous allons présenter tout au long de cette thèse sont faites sur la base de l'effet de substrat en statique. Les voies de recherches relatives au modèle dynamique seront traitées en guise de perspectives.

L'application d'une tension continue bulk-source, V_{BS} , induit une variation de la tension de seuil V_{TH} du transistor (II.4) et par là même, un contrôle de son courant de drain I_D comme le montre la Figure II-19.

$$V_{TH} = V_{TH0} + \gamma \left[\sqrt{(2\phi_F - V_{BS})} - \sqrt{2\phi_F} \right] \quad (II-18)$$

Avec : $2\phi_F$ le potentiel de forte inversion, γ le coefficient d'arrière grille et V_{TH0} la tension de seuil à $V_{BS}=0$.

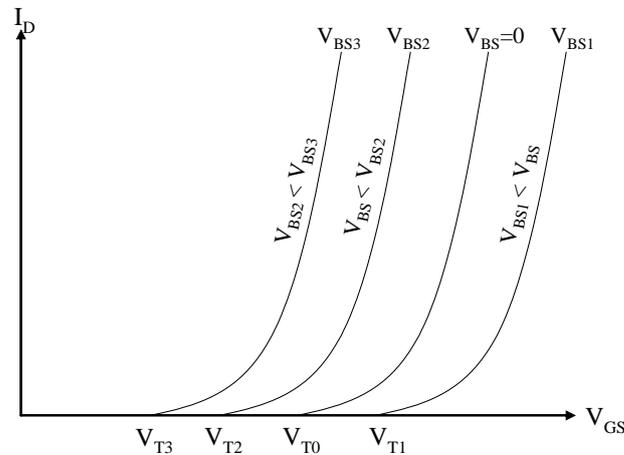


Figure II-19 : Courant de drain I_D en fonction de V_{GS} pour différentes tensions bulk-substrat V_{BS}

IV.2. Contrôle de Gain et de linéarité

Dans cette section nous comparons et commentons l'effet de la polarisation de grille et de substrat sur les caractéristiques d'un amplificateur source commune en termes de courant, de gain et de linéarité. Cette analyse nous servira d'appui pour le troisième chapitre dans lequel nous concevons un LNA à dégénérescence inductive à gain et à linéarité contrôlables par polarisation de substrat. Pour se faire, nous procédons tout d'abord à des simulations DC des circuits illustrés à la Figure II-20(a) et (b).

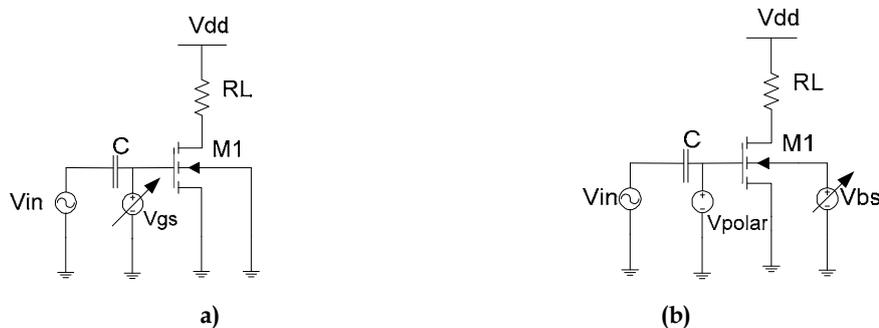


Figure II-20 : (a) Polarisation de grille, (b) Polarisation de substrat

🔧 Simulations DC : variation de courant et de gain

Dans la Figure II-21 nous présentons respectivement la variation du courant de drain I_D du circuit (a) en fonction de la tension grille source V_{GS} et celle du circuit (b) en fonction de la tension bulk source V_{BS} pour un V_{GS} fixe égal à 0.41V. Les dimensions du transistor d'entrée est de $240\mu\text{m}/0.13\mu\text{m}$. La technologie utilisée est la 130nm CMOS de STMicroelectronics.

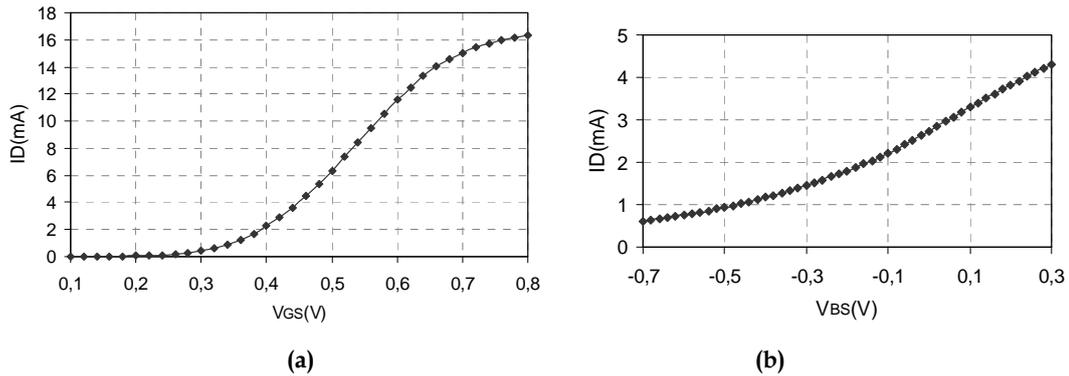


Figure II-21 : Variation du courant de drain I_D en fonction de : (a) V_{GS} , (b) V_{BS}

Nous remarquons que le courant I_D varie beaucoup moins vite avec la polarisation de substrat (V_{BS}) en comparaison avec celle de V_{GS} . Ceci est traduit par la pente de la courbe dans la zone linéaire. Elle est de 20mS pour le circuit de la Figure II-20(a) et seulement 5mS pour celui de la la Figure II-20(b). Ce résultat a une répercussion directe sur les variations de la transconductance g_m et de la capacité grille source C_{gs} dans lesquelles on retrouve la même dépendance en fonction de V_{BS} décrite précédemment. Les courbes correspondantes sont illustrées en Figure II-22 et Figure II-23. La sensibilité plus faible de la polarisation à V_{BS} se prête à un contrôle numérique de faible résolution. Par V_{GS} , la forte dépendance tend à augmenter la résolution ou bien à développer des circuits analogiques spécifiques.

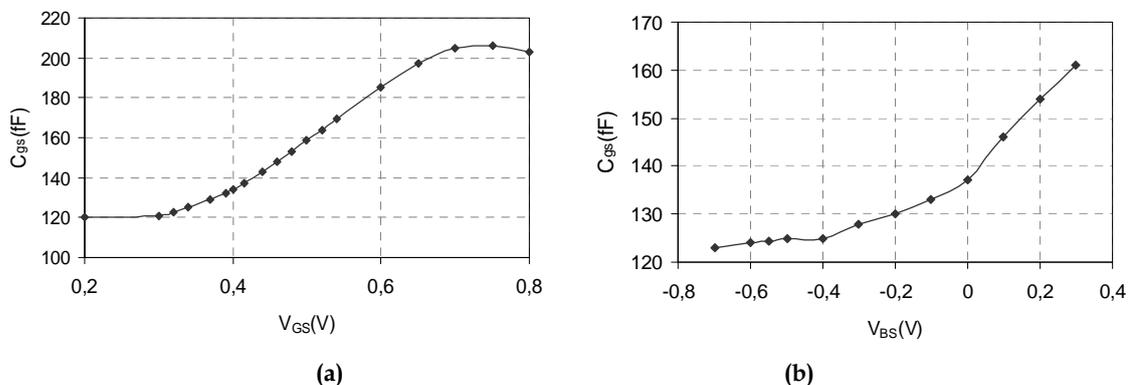


Figure II-22 : Variation de la capacité grille source C_{gs} en fonction de : (a) V_{GS} , (b) V_{BS}

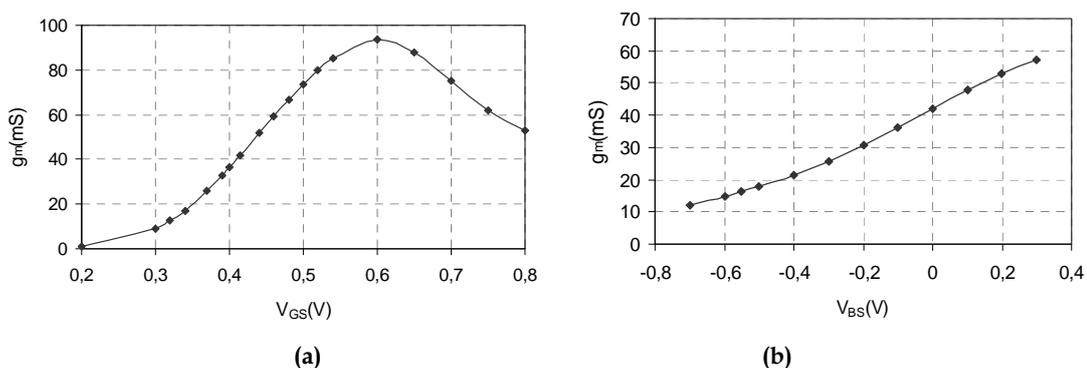


Figure II-23 : Variation de la transconductance g_m en fonction de : (a) V_{GS} , (b) V_{BS}

🚧 *Simulations DC : variation de courant et de gain*

Comme nous l'avons vu dans la section III.1, la polarisation optimale de grille ou « optimum gate biasing » est l'une des techniques de linéarisation basée sur la polarisation du transistor d'entrée du LNA dans un mode de fonctionnement bien défini qui est l'inversion modérée. Cette méthode reste néanmoins très difficile à réaliser en pratique étant donné que la plage de tension grille source V_{GS} permettant l'optimisation de l'IIP3 est très faible (de l'ordre de 10mV). Dans ce qui suit, nous comparons et analysons les résultats de calculs de g_3 que nous avons développés en fonction de la polarisation de grille et celle de substrat. Nous présentons également les simulations de la linéarité (IIP3) des circuits présentés en Figure II-20(a) et (b) afin d'évaluer l'efficacité des deux techniques. Pour l'étude théorique nous avons utilisé le modèle de transistor défini en (II-6) [TOO04]. Les valeurs des différents paramètres technologiques utilisés dans ce modèle sont données dans le Tableau II-4.

Tableau II-4 : Paramètres typiques de la technologie 0.13 μm

<i>Paramètre</i>	<i>Valeur</i>	<i>Paramètre</i>	<i>Valeur</i>
W	240 μm	L	0.13 μm
V_{th}	0.328V	C_{ox}	0.014F/m ²
μ_0	0.024m ² /(V.s)	λ	1.923 V ⁻¹
a	2.53 V ⁻¹	n	1.25
V_{DS}	0.584V	V_{BS}	0V

Dans ce qui suit nous nommons $c_{(3,0,0)}$ la transconductance d'ordre trois du transistor MOS. L'extraction de son expression est déduite à partir du développement en série de puissance du courant de drain I_{ds} comme expliqué en Annexe 3. La courbe théorique de $c_{(3,0,0)}$ en fonction de V_{GS} a été tracée sous Maple, elle est reportée en Figure II-24(a). Nous constatons que la transconductance d'ordre trois s'annule pour une tension $V_{GSopt} = 0.43\text{V}$. Pour vérifier le principe d'optimisation par polarisation de grille, nous avons simulé l'IIP3 de l'amplificateur source commune en fonction de V_{GS} . La courbe obtenue est donnée en Figure II-24(b). Un maximum d'IIP3 de 6dBm est atteint pour une tension $V_{GSopt} = 0.4\text{V}$. Nous estimons que la différence obtenue entre la valeur théorique de V_{GSopt} et celle simulée est acceptable et satisfaisante. Le paramètre auquel nous nous intéressons dans cette analyse est la plage de variation de V_{GS} autour de V_{GSopt} permettant une atténuation de 3dB de l'IIP3_{max}.

Elle est égale à 50mV comme illustré à la Figure II-24(b). Cette valeur est supérieure à celles mesurées pour les LNAs reportés dans [APA04] et [TOO04] due au fait qu'il ne s'agit ici que d'une estimation de simulation pour un amplificateur source commune sans dégénérescence inductive.

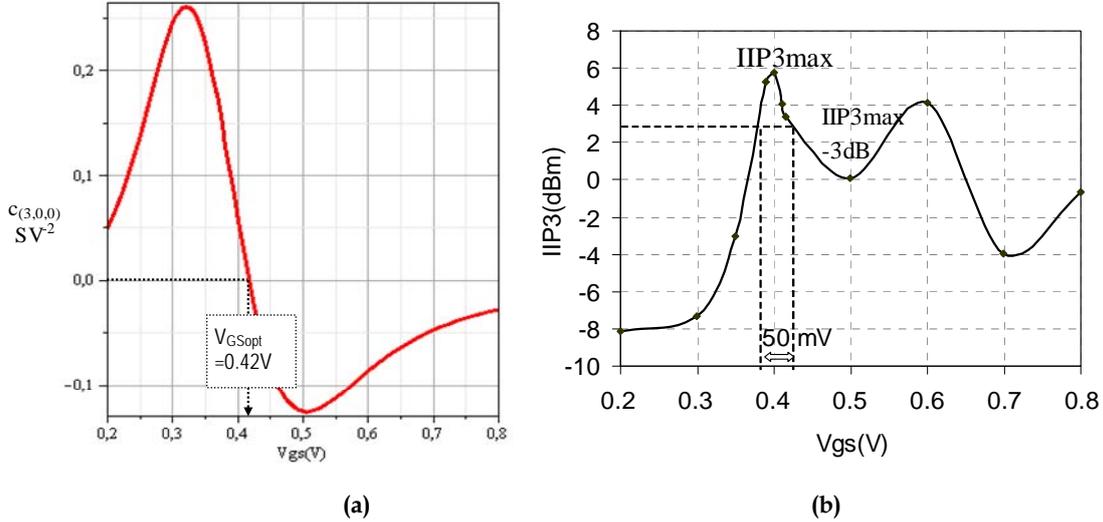


Figure II-24 : Variation de : (a) la transconductance d'ordre trois $c_{(3,0,0)}$ et du (b) IIP3 en fonction de V_{GS}

Notre objectif maintenant est de déterminer la variation de $c_{(3,0,0)}$ en fonction de V_{BS} . Comme la tension « d'overdrive » V_{od} est égale à $V_{GS} - V_{th}$, la linéarité peut alors être contrôlée soit par V_{GS} comme expliqué précédemment ou par V_{th} via V_{BS} . Tous les paramètres dépendants de V_{BS} doivent donc être pris en compte dans l'expression de $c_{(3,0,0)}$, parmi lesquels on site n définit comme suit :

$$n = 1 + 0.5\gamma(2\phi_F - V_{BS})^{-0.5} \quad (II-19)$$

La courbe de variation de $c_{(3,0,0)}$ en fonction de la polarisation de substrat est présentée en Figure II-25(a). Elle a la même allure que celle en fonction de V_{GS} . Nous remarquons que pour une tension V_{BS} égale à 0.12V, $c_{(3,0,0)}$ est nulle. Nous déduisons alors que pour une polarisation de substrat donnée, l'IIP3 passe par un maximum et par conséquent la linéarité peut être optimisée. Pour vérifier ce constat, nous avons simulé l'IIP3 du circuit décrit par la Figure II-20(b) en fonction de V_{BS} . La courbe obtenue est illustrée en Figure II-25(b). Le transistor est polarisé en inversion modérée avec une tension $V_{GS}=0.41V$, nous faisons varier V_{BS} entre -0.6V et 0.4V. Deux aspects intéressants peuvent être déduits de cette analyse. D'une part, un maximum de IIP3 de 5.91dBm est obtenu pour $V_{BSopt}=-0.11V$, ce qui présente approximativement la même valeur obtenue par le contrôle de V_{GS} . D'autre part, la plage de variation de V_{BS} autour de l'optimum (IIP3-3dB) est de 220mV, donc quatre fois plus grande que celle de V_{GS} .

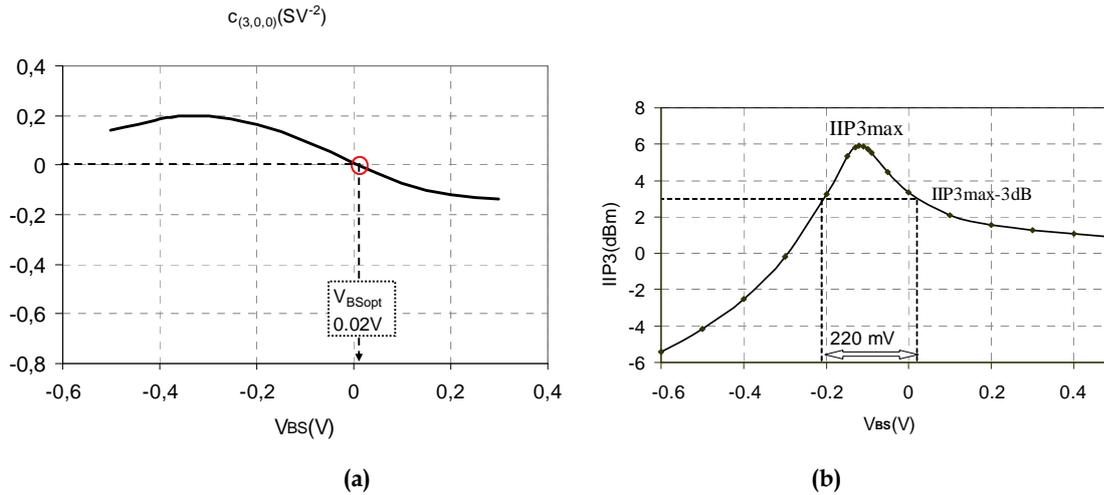


Figure II-25 : Variation de : (a) la transconductance d'ordre trois $c_{(3,0,0)}$ et du (b) IIP3 en fonction de V_{BS}

L'effet de substrat offre ainsi un meilleur contrôle de la linéarité et en particulier de l'IIP3. En effet, en choisissant un V_{GS} quelconque dans la zone d'inversion modérée, nous pouvons optimiser la linéarité en déterminant la polarisation optimale de substrat $V_{BS\text{opt}}$. Cette technique de linéarisation est plus facile à réaliser en pratique et impose moins de contraintes de conception que celle de V_{GS} puisque un pas de contrôle de 50mV suffira pour polariser le transistor pour un maximum de linéarité. Un simple convertisseur analogique numérique pourra être utilisé pour commander l'amplificateur et une architecture reconfigurable pour les amplificateurs peut ainsi être proposée pour contrôler leur linéarité et leur gain en fonction des spécifications du récepteur.

Nous nous basons dans le troisième chapitre sur cette étude préliminaire pour démontrer l'effet de substrat dans un LNA à dégénérescence inductive. L'objectif est de prouver sa faisabilité pour l'optimisation de la linéarité et le contrôle numérique de gain d'un LNA à dégénérescence inductive. Nous garderons le même modèle du transistor utilisé. La différence entre la valeur théorique et simulée de $V_{BS\text{opt}}$ (dans le cas du circuit de la figure II-20(b)) provient essentiellement de certains effets parasites du transistor qui sont pris par le simulateur mais pas inclus dans le modèle théorique. La polarisation de substrat sera également utilisée dans le quatrième chapitre pour concevoir un LNA à faible tension d'alimentation et faible consommation dédiés aux réseaux de capteurs sans fils.

V. CONCLUSION

Après un rappel sur les généralités du transistor MOS et ses modes de fonctionnement, nous avons décrit les structures de base utilisées dans la conception des LNAs. Nous avons par la suite dressé un tableau comparatif des points forts et faibles de ces

topologies et nous avons conclu que l'architecture à dégénérescence inductive nous semble la plus adaptée aux contraintes modernes des standards de communication. Un état de l'art sur les techniques de linéarisation nous a permis ensuite de mettre en avant les avancées existantes en la matière. Deux approches complémentaires ont été identifiées : l'étude dite « locale » autour du transistor, et l'étude dite « globale » autour du circuit. Sur la base de cette étude une voie d'investigation du contrôle de gain et de la linéarité dans les LNAs via la technique de polarisation de substrat se dessine. Nous nous sommes limités dans ce chapitre à étudier l'effet substrat et à le comparer avec la technique de polarisation de grille dans le cas d'un amplificateur source commune.

En se basant sur les résultats théoriques et simulés obtenus, nous avons déduit que le contrôle de la polarisation du transistor d'entrée par effet de substrat présente un grand intérêt pour la conception RF. D'une part, l'application d'une tension continue sur le bulk du transistor MOS permet de contrôler le gain de l'amplificateur sans dégrader significativement son adaptation d'entrée. Ceci présente une alternative intéressante pour les applications à gain variable. D'autre part, l'analyse des variations de la transconductance d'ordre trois $c_{(3,0,0)}$ en fonction de V_{BS} révèle une optimisation de l'IIP3. Cette amélioration par effet de substrat présente l'avantage par rapport à celle de la polarisation de grille, d'offrir un meilleur contrôle de la linéarité évitant ainsi le recours à des circuits sophistiqués de réglage.

REFERENCES

- [APA04] V. Aparin, L.E. Larson « Linearization of CMOS LNA's via optimum gate biasing », *IEEE International Symposium on Integrated Circuit and System (ISCAS)*, 2004, Vancouver, CA, pp.748-751.
- [APA05] V. Aparin, L.E. Larson « Modified derivative superposition method for linearizing FET Low-Noise Amplifiers », *IEEE transaction on microwave theory and techniques*, vol. 53, n°2, pp. 571-581, February 2005.
- [BEN92] Benton, R. "GaAs MMICs for an integrated GPS front-end". *14th Annual IEEE Gallium Arsenide Integrated Circuit (GaAs IC) Symposium*. Octobre 1992, pp. 123-126.
- [CHA93] J.Y.C Chang, A.A.Abidi, M. Gaitan "Large suspended inductors on silicon and their use in a 2 μm CMOS RF Amplifier", *IEEE Electron Device Letters*, vol. 14, pp. 246-248, Mai 1993.
- [CHA99] F. Chaahoub, "Etude des méthodes de conception et des outils de CAO pour la synthèse des circuits intégrés analogiques," *Thèse en microélectronique*, Institut national polytechnique de Grenoble, Septembre 1999.
- [DER97] Derek K. Shaeffer and Thomas H. LEE, "A 1.5V, 1.5GHz CMOS Low Noise Amplifier", *IEEE Journal of Solid State Circuits*, vol 32, n°5, pp. 745-759, 1997.
- [GAN06] S. Ganesan, E. S. Sinencio, and J. S. Martinez, "A Highly Linear Low-Noise Amplifier," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4079-4085, Dec. 2006.
- [GIR99] G. Girlando, G. Palmisano. "Noise Figure and Impedance Matching in RF Cascode Amplifiers". *IEEE Transactions On Circuits and Systems-II: Analog and Digital Signal Processing*. Novembre 1999, Vol. 46, 11, pp. 1388-1396.
- [JHO09] H.S. Jhon, H. Jung, M. Koo, I. Song et H. Shin, "0.7 V supply highly linear subthreshold low-noise amplifier design for 2.4 GHz wireless sensor network applications," *Microwave and optical technology letters*, Vol. 51, No. 5, May 2009.
- [JIN07] K. Jingoock, P. Changjoon, K. Huijung, K. Bumman, K. Youngsik, "Improving the Linearity of CMOS LNA Using the Post IM3 Compensator," *Journal of the Korea electromagnetic engineering society*, vol. 7, no. 2, pp. 91-95, Jun. 2007.
- [KIM00] B. Kim, J-S Ko, K. Lee « A new linearization technique for MOSFET RF amplifier using multiple gated transistor », *IEEE microwave and guided wave letters*, vol.10, n°9, pp. 371-373, September 2000.
- [KIM05] N. Kim, V. Aparin, K. Barnett, C. Persico « A cellular-band CDMA 0.25 μm CMOS LNA linearized using active post-distorsion », *IEEE European Solid State Circuit Conference (ESSCIRC)*, 2005, Grenoble, France, pp.227-230.
- [KIM08] T.-S. Kim, and B.-S. Kim, "Linearization of Differential CMOS Low Noise Amplifier Using Cross- Coupled Post Distortion Canceller," *IEEE RFIC Symp. Dig.*, pp.83-86, Atlanta, Georgia,Jun. 2008.

- [KOB94] K.W.Kobayashi and A.K.Oki, "A low noise base band 5 GHz directcoupled HBT amplifier with common-base active input match", *IEEE Microwave Guided Wave Letters*, vol. 4, pp. 373-375, 1994.
- [KOO06] Y. Koolivand, O. Shoaiei, A. Fotowat-Ahmadi, A. Zahadi and P. Jabedar-Maralani « Non linearity analysis in ISD CMOS LNA's using Volterra Series », *Proceedings of the 16th ACM Great Lakes symposium on VLSI, Philadelphia, PA, USA*, pp. 135 - 139, May 2006.
- [LIA08] K. H. Liang, C. H. Lin, H. Y. Chang et Y. J. Chan, "A New Linearization Technique for CMOS RF Mixer Using Third-Order Transconductance Cancellation," *Microwave and Wireless Components Letters, IEEE*, Volume: 18, Issue: 5, Page(s): 350 - 352, 2008.
- [LER01] P.Leroux, J.Janssens and M.Steyaert, "A 0.8 dB NF ESD-protected 9 mW CMOS LNA", *IEEE International Solid State Circuits and Conference (ISSCC2001)*, San Francisco, USA, pp. 410-411.
- [MER07] C. Merckling, "Croissance epitaxiale d'oxyde « High-k » sur Silicium pour CMOS avance : LaAlO₃, Gd₂O₃, γ -AL₂O₃," *Mémoire de thèse*. Ecole Centrale de Lyon. Octobre 2007.
- [MEY94] R.G. Meyer and W.D. Mack, "A 1 GHz BiCMOS RF front-end IC", *IEEE Journal of Solid State Circuit*, vol. 29, pp. 350-355, 1994.
- [NGU04] T.K. Nguyen, N.M. OH, H.C Choi, G.J. Ihm, M.S. Yang, and S.G. Lee, "CMOS low-noise amplifier design optimization techniques", *47th Midwest Symposium on Circuits and Systems*, vol. 1, pp. I - 185-8, Hiroshima, Japan, July 2004.
- [ROF96] A. Rofougaran, J. Chang, M. Rofougaran and A. Abidi. "A 1 GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver". *IEEE Journal of Solid-State Circuits*. Juillet 1996, Vol. 31, 7, pp. 880-889.
- [SHA97] R. Shahani, K. Shaeffer, "A 12 mV Wide Dynamic Range CMOS front-end for a portable GPS receiver", *IEEE Journal of Solid State Circuit* , vol. 32, n°12, pp. 2061-2070, 1997.
- [SHE91] S. Sheng, W.J.Wang, N.L.Pierson, R.L.Asbeck, P.M.Edwards, "A 30 GHz bandwidth AlGaAs-GaAs HBT direct coupled feedback amplifier", *IEEE Microwave Guided Wave Letters*, vol. 1, pp. 208-210, 1991.
- [SIL96] F. Silveira, D. Flandre, P.G.A. Jespers, "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a Silicon-on-Insulator micropower OTA", *IEEE Journal of Solid-State Circuits*, 31 (1996) 1314-1319.
- [TAR03] T. Taris, JB.Begueret, H.Lapuyade and Y.Deval, "A 0.9V body effect feedback 2 GHz Low Noise Amplifier", *European Solid State Circuit Conference (ESSCIRC2003)*, Lisbonne, Portugal, 2003, pp. 324-328, Septembre.
- [TIE02] M.Tiebout and E.Paparisto, "LNA design for a fully integrated CMOS Single Chip UMTS transceiver", *IEEE European Solid State Circuits Conference (ESSCIRC2002)*, Florence, Italia, Sept.2002, pp. 825-828.

[TOO04] B. Toole, C. Plett, and M. Cloutier, "RF circuit implications of moderate inversion enhanced linear region in MOSFETs," *IEEE Trans. Circuits Syst. I*, vol. 51, no. 2, pp. 319-328, Feb. 2004.

[TSI95] Y. Tsvividis, K. Suyama, and K. Vavelidis, "A simple 'reconciliation' MOSFET model valid in all regions," *Electron. Lett.*, vol. 31, pp. 506-508, Mar. 1995.

[XIN04] C. Xin, E. Sanchez-Sinencio « A linearization technique for RF low noise amplifier », *IEEE International Symposium on Integrated Circuit and System (ISCAS)*, 2004, Vancouver, CA, pp.313-316.

CHAPITRE III

III Conception d'un LNA à dégénérescence inductive à gain et linéarité contrôlables par effet de substrat

Sommaire

III CONCEPTION D'UN LNA A DEGENERESCENCE INDUCTIVE A GAIN ET LINEARITE CONTROLABLES PAR EFFET DE SUBSTRAT	77
I. ETUDE DE L'EFFET DE SUBSTRAT SUR LES CARACTERISTIQUES D'UN LNA A DEGENERESCENCE INDUCTIVE.....	78
I.1. Adaptation d'entrée	78
I.1.1. Rappel	78
I.1.2. Effet de substrat.....	80
I.2. Gain	81
I.3. Facteur de bruit.....	81
I.4. Linéarité.....	82
II. CONCEPTION DU CIRCUIT ET RESULTATS DES SIMULATIONS POST LAYOUT (PLS)	85
II.1. Le circuit et la puce	85
II.2. Procédure de conception	88
II.3. Résultats des simulations post layout	90
II.3.1. Fonctionnement nominal ($V_{BS}=0V$)	90
II.3.2. Fonctionnement pour V_{BS} non nulle.....	91
III. RESULTATS DES MESURES.....	94
III.1. Implémentation	94
III.2. Contrôle numérique de V_{BS}	95
III.3. Résultats expérimentaux	97
III.3.1. Mesure du circuit à $V_{BS}=0V$	97
III.3.2. Mesure de l'effet de substrat sur les caractéristiques du LNA.....	101
IV. CONCLUSION.....	105
REFERENCES.....	107

Ce troisième chapitre présente la conception d'un LNA à dégénérescence inductive à gain et linéarité contrôlables par effet de substrat à 2.4GHz. La technologie utilisée est la CMOS 130nm de STMicroelectronics. Nous analysons et commentons dans un premier temps l'effet de la polarisation de substrat sur les caractéristiques du LNA en termes de gain, d'adaptation d'impédance, de bruit et de linéarité. Nous décrivons ensuite les différentes étapes de conception du circuit comprenant le dimensionnement du circuit ainsi que la réalisation du dessin de masque. Les résultats des simulations post-layout seront par la suite rapportés et commentés. Dans la dernière partie, nous présentons les procédés de mesures et les résultats expérimentaux obtenus. Nous concluons ce chapitre par une synthèse du travail réalisé en le comparant avec d'autres LNA mesurés et publiés en technologie CMOS et opérant à la même fréquence.

I. ETUDE DE L'EFFET DE SUBSTRAT SUR LES CARACTERISTIQUES D'UN LNA A DEGENERESCENCE INDUCTIVE

En se basant sur l'étude de l'effet de la polarisation de substrat sur les caractéristiques d'un amplificateur source commune présenté dans le chapitre deux, nous démontrons ici la faisabilité du contrôle de gain et de la linéarité par effet de substrat dans l'une des architectures des LNAs la plus utilisée dans les applications sans fil : le LNA cascode à dégénérescence inductive.

I.1. Adaptation d'entrée

I.1.1. Rappel

Adaptation en puissance

Avant d'analyser l'effet de substrat sur l'adaptation d'entrée, nous allons tout d'abord rappeler les étapes principales de l'adaptation d'impédance à 50Ω ainsi que l'adaptation d'entrée en bruit de la structure à dégénérescence inductive illustrée en Figure III-1(a).

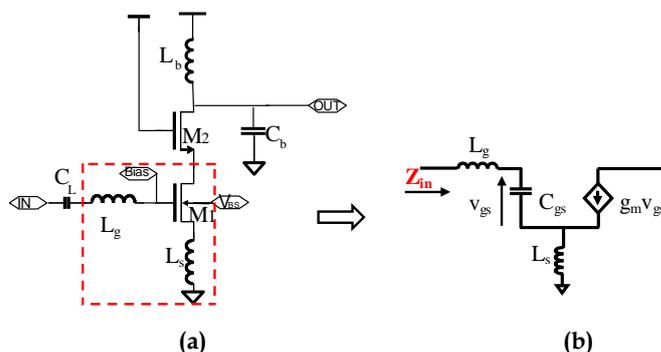


Figure III-1 : (a) LNA à dégénérescence inductive, (b) schéma petits signaux de l'entrée du LNA

Nous nous intéressons dans un premier temps à l'adaptation de l'impédance d'entrée classique à 50Ω permettant de récupérer un maximum du signal délivré par la source. Pour le schéma équivalent de la Figure III-1(b), l'expression de l'impédance d'entrée Z_{in} est donnée comme suit :

$$Z_{in} = \frac{1}{jC_{gs}\omega} + j(L_g + L_s)\omega + \frac{g_m}{C_{gs}}L_s = \omega_T L_s + j\left[(L_g + L_s)\omega - \frac{1}{C_{gs}\omega}\right] \quad (III-1)$$

Avec $\omega_T = \frac{g_m}{C_{gs}}$

A la fréquence de fonctionnement f_0 , Z_{in} doit être égale à 50Ω , on écrit donc :

$$(L_g + L_s)\omega_0 - \frac{1}{C_{gs}\omega_0} = 0 \Rightarrow L_g = \frac{1}{C_{gs}\omega_0^2} \quad (III-2)$$

$$\omega_T L_s = 50\Omega \Rightarrow L_s = 50 \frac{g_m}{C_{gs}} \quad (III-3)$$

L'inductance de grille L_g annule la capacité d'entrée C_{gs} à la fréquence de fonctionnement ω_0 . Grâce à l'effet de L_s , on aura une impédance réelle en entrée ce qui permet d'adapter le transistor à 50Ω .

✚ Adaptation en puissance

La Figure III-2 est une modélisation en bruit communément admise d'un quadripôle. On en déduit l'expression du facteur de bruit rapporté dans l'expression (III.4).

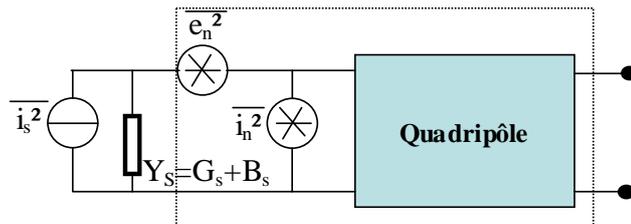


Figure III-2 : Modèle de bruit traditionnel d'un système deux ports

$$F = \frac{i_s^2 + |i_n + Y_s e_n|^2}{i_s^2} \quad (III-4)$$

En développant l'expression (III-4) avec susceptance et admittance de bruit comme il est proposé dans l'annexe 4, le calcul nous mène à exprimer le facteur de bruit de la manière suivante :

$$F = F_{\min} + \frac{R_n}{G_s} \left[(G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right] \quad (III-5)$$

F_{\min} est le facteur de bruit minimum du quadripôle.

R_n est la résistance équivalente du générateur de tension de bruit en entrée.

G_s et B_s sont respectivement la transconductance et la susceptance de la source, une résistance de 50Ω ici.

G_{opt} et B_{opt} sont respectivement la transconductance et susceptance optimales que le système doit présenter.

A partir de l'expression (III-5), nous observons que le facteur de bruit F sera minimum, égal à F_{\min} , si l'admittance du système Y_{opt} est égale à l'admittance de source Y_s . Dans le cas d'une source présentant une impédance réelle de 50Ω , et d'un système composé d'un transistor MOS à dégénérescence inductive, l'adaptation en bruit (Annexe 4) se résout à :

$$G_s = G_{opt} \Rightarrow \frac{1}{50} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \Rightarrow W_{opt} = \frac{1}{3\omega L C_{ox} R_s} \quad (III-6)$$

$$B_s = B_{opt} \Rightarrow (L_g)_{NF} = \frac{1}{\omega^2 C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}}\right)} \approx \frac{4}{5 \cdot \omega^2 C_{gs}} \quad (III-7)$$

L'adaptation en bruit des parties réelles va dimensionner le transistor selon l'expression (III-6). Les parties imaginaires vont être réglées par l'inductance de grille L_g selon (III-7). Nous remarquerons que ce dernier point fait apparaître un conflit léger, bien connu, quant à la valeur de L_g qui satisfait l'adaptation en puissance, expression (III-2), et l'adaptation en bruit, expression (III-7).

1.1.2. Effet de substrat

Comme nous l'avons expliqué dans le chapitre II, l'application d'une tension V_{BS} sur l'accès bulk du transistor d'entrée M1 du LNA affecte la transconductance g_m et la capacité grille source C_{gs} . Ainsi, en se référant aux simulations de la capacité C_{gs} du transistor MOS ($240\mu\text{m}/0.13\mu\text{m}$) en fonction de V_{BS} , présentées dans le chapitre précédent, nous constatons que l'augmentation de V_{BS} (de -0.7V à 0.3V) implique un accroissement de $6,4\%$ de la valeur de C_{gs} . Par conséquent, la partie imaginaire de l'impédance d'entrée Z_{in} et donc la fréquence de résonance seront légèrement modifiées. En ce qui concerne la partie réelle, sa variation en fonction de la polarisation de substrat est beaucoup plus importante due à l'augmentation significative du rapport g_m/C_{gs} , donnée en Figure III-3.

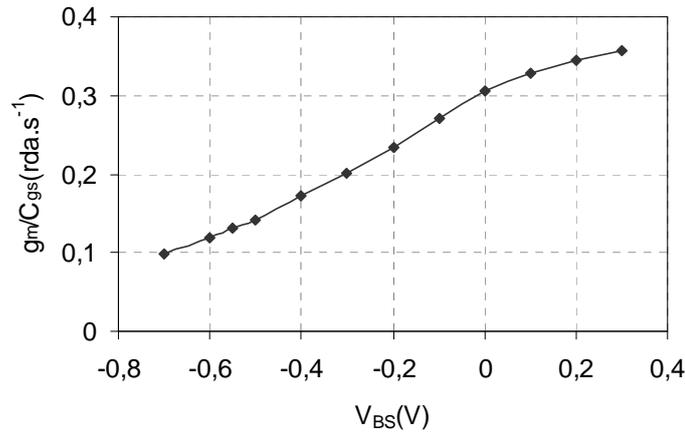


Figure III-3 : Variation de g_m/C_{gs} en fonction de V_{BS}

Afin de minimiser la dégradation d'adaptation d'entrée due à l'effet de substrat, nous devons retenir une spécification d'au moins -10dB pour le paramètre S11 lors de la conception du LNA.

I.2. Gain

L'expression du gain du LNA est donnée par :

$$G_v = \sqrt{\frac{L_g + L_s}{C_{gs}}} \cdot g_{m1} \frac{L_d}{R_s} \quad (III-8)$$

Avec R_s la résistance de la source.

Le gain devrait augmenter puisque dans (III-8), la pulsation de transistor ω_T croit avec l'augmentation du rapport g_m/C_{gs} , donc de V_{BS} . En se référant à la Figure III-3, nous constatons que pour une variation de 100mV de la tension V_{BS} , le gain varie de 25%. Cette variation, certes accompagnée d'une nette dégradation de l'adaptation d'entrée, met en avant le fort intérêt de l'effet de substrat pour les applications à gain variable. Une telle opération serait plus compliquée à réaliser avec une polarisation de grille qui engendre une variation sensible de gain et une dégradation significative de l'adaptation d'entrée.

I.3. Facteur de bruit

En théorie, dans l'expression (III-9), ω_T , égal au rapport de g_m sur C_{gs} , s'accroît avec l'effet de substrat, la figure de bruit sera donc réduite quand V_{BS} augmente [APA05].

$$NF_{\min} \approx 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (III-9)$$

Avec : $|c| = j 0,395$

$\delta = 2\gamma$ ($\gamma=1$ en fonctionnement linéaire, $2/3$ en saturé)

I.4. Linéarité

Comme nous l'avons vu dans le chapitre deux, les non linéarités se trouvent principalement dans le transistor d'entrée. Dans le cas d'un amplificateur source commune sans dégénérescence, Figure III-4(a), l'optimisation de la linéarité revient à annuler la transconductance d'ordre trois $c_{(3,0,0)}$. Dans le cas de la Figure III-4(b), l'inductance de dégénérescence L_s induit une contre réaction pour le transistor M1 et des non-linéarités d'ordre deux seront recombinaées avec celles d'ordre trois via la capacité grille source C_{gs} . L'intermodulation d'ordre trois (IM3) s'exprime alors en fonction des transconductances d'ordre deux et trois $c_{(2,0,0)}$, $c_{(3,0,0)}$ et l'optimisation de la linéarité revient à minimiser voire annuler, dans l'expression de l'IM3, la quantité $[c_{(3,0,0)}/g_m - 2c_{(2,0,0)}^2/g_m^2]$, que nous noterons α .

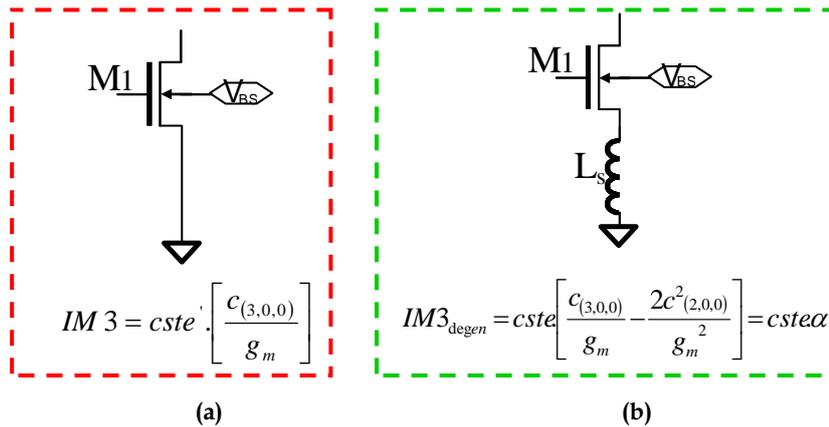


Figure III-4 : Expressions de l'IM3 dans le cas d'un amplificateur (a) sans, (b) avec dégénérescence inductive

Les analyses théoriques que nous allons commenter ont été développées sous Maple, (Annexe 5) sur la base d'un transistor MOS de largeur et longueur respectives de $240\mu\text{m}$ et $0.13\mu\text{m}$.

Dans la Figure III-5(a) et (b), nous avons tracé les expressions théoriques des paramètres $c_{(3,0,0)}$ et α en fonction de V_{GS} pour une tension V_{BS} nulle. Nous remarquons que la tension optimale V_{GSopt} permettant d'atteindre un maximum de linéarité pour un LNA sans dégénérescence inductive L_s est différente de celle avec L_s . Cet écart souligne l'effet de la dégénérescence et la contribution de $c_{(2,0,0)}$ dans l'expression de l'IM3. On observe également une variation relative plus forte de α par rapport à $c_{(3,0,0)}$.

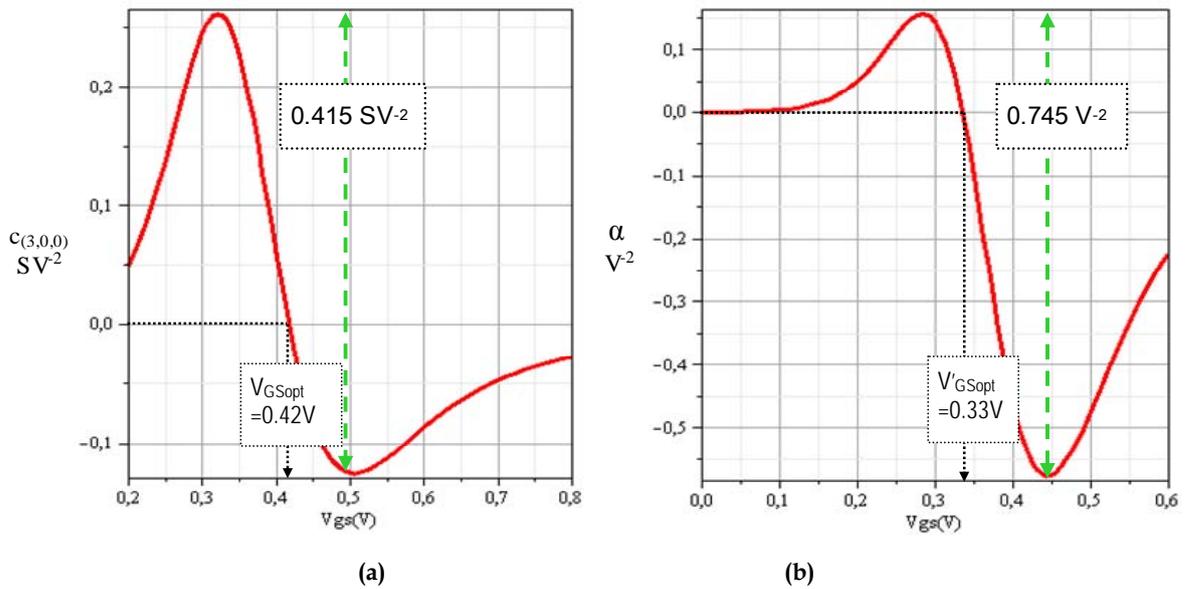


Figure III-5 : Variation de $c_{(3,0,0)}$ et α en fonction de V_{GS} pour $V_{BS}=0V$

Nous analysons maintenant le comportement du LNA en termes de linéarité dans le cas où une tension V_{BS} est appliquée sur l'accès bulk du transistor d'entrée M1. Nous traçons ainsi les variations de $c_{(3,0,0)}$ et α en fonction de V_{GS} pour une tension V_{BS} non nulle comme données en Figure III-6(a) et (b). Les courbes obtenues nous permettent d'identifier deux effets de la polarisation de substrat :

- Etant donné que l'optimum de linéarité est obtenu pour une consommation en courant donnée I_{Dopt} [TOO04], la variation de V_{BS} induit une valeur différente de V_{GSopt} afin de réunir les mêmes conditions de polarisation que celles dans la Figure III-4. Ce phénomène est obtenu pour les deux configurations de circuits.
- Nous remarquons que les pentes des courbes de $c_{(3,0,0)}$ et α pour V_{BS} non nulle, Figure III-6, sont réduites par rapport à celles où $V_{BS}=0V$. Dans le cas de la dégénérescence inductive, elle passe de $4 V^{-3}$, Figure III-5(b), à $1.6 V^{-3}$, Figure III-6(b). En effet, plus on réduit V_{BS} plus la pente est réduite et donc plus on augmente la plage de polarisation de grille autour de l'optimum de linéarité. Les courbes présentées en Figure III-7 viennent à l'appui de cette idée. Elles sont obtenues pour une nouvelle valeur de V_{BS} . L'observation de l'évolution des pentes des courbes, données pour trois valeurs de V_{BS} , Tableau III-1, mettent en lumière un premier intérêt de l'effet de substrat : la polarisation négative du bulk combinée avec la polarisation de grille permet de s'affranchir des limitations de la technique de linéarisation de « multi-grille ». Elle offre une optimisation de la plage de V_{GS} autour du maximum d'IIP3 et facilite donc

la réalisation des circuits de contrôle en minimisant leurs sensibilités aux variations de process.

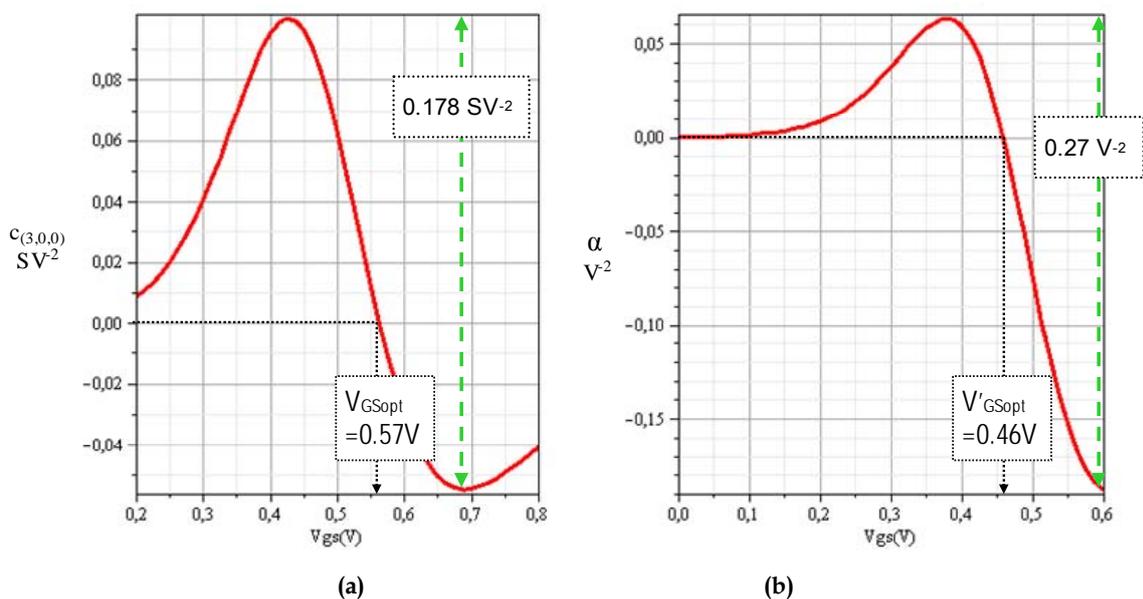


Figure III-6 : Variation de $c_{(3,0,0)}$ et α en fonction de V_{GS} pour $V_{BS} = -0.55V$

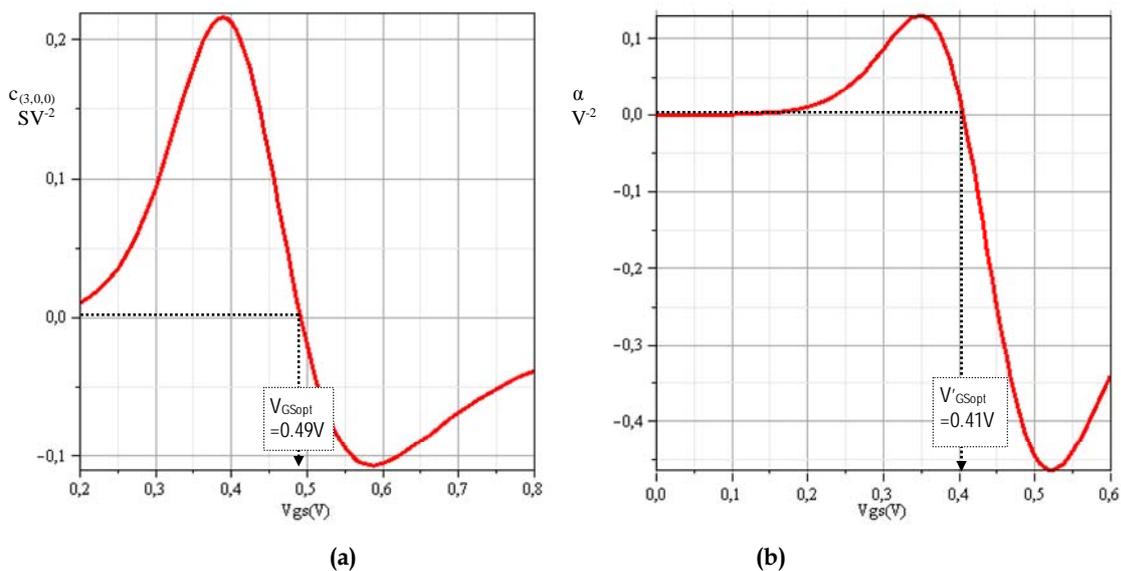


Figure III-7 : Variation de $c_{(3,0,0)}$ et α en fonction de V_{GS} pour $V_{BS} = -0.3V$

Tableau III-1 : Evolution des pentes de $c_{(3,0,0)}$ et α en fonction de V_{BS}

V_{BS} (V)	0	-0.3	-0.55
Pente de $c_{(3,0,0)}$	3.3 SV^{-3}	1.8 SV^{-3}	0.77 SV^{-3}
Pente de α	4 V^{-3}	3.3 V^{-3}	1.6 V^{-3}

Dans les Figure III-8(a) et (b), nous avons tracé les variations de $c_{(3,0,0)}$ et de α en fonction de V_{BS} pour deux valeurs de V_{GS} . Les pentes relatives sont données dans le Tableau III-2. Nous remarquons que la pente de la courbe de $c_{(3,0,0)}$ autour de V_{BSopt} est plus faible (0.77 SV^{-3}), Figure III-8(a), que celle autour de V_{GSopt} en Figure III-5(a), (3.3 SV^{-3}). Ce résultat est aussi vrai pour α . La grande sensibilité de l'IM3 (α ici) à la tension V_{GS} implique comme reporté dans [APA05] un circuit de réglage très spécifique pour l'optimisation de l'IIP3 par l'accès grille. Cependant, les résultats théoriques rapportés ici montrent que le contrôle de la polarisation est moins sensible à V_{BS} . L'accès substrat peut donc être envisagé comme une alternative plus robuste et compatible avec une commande digitale.

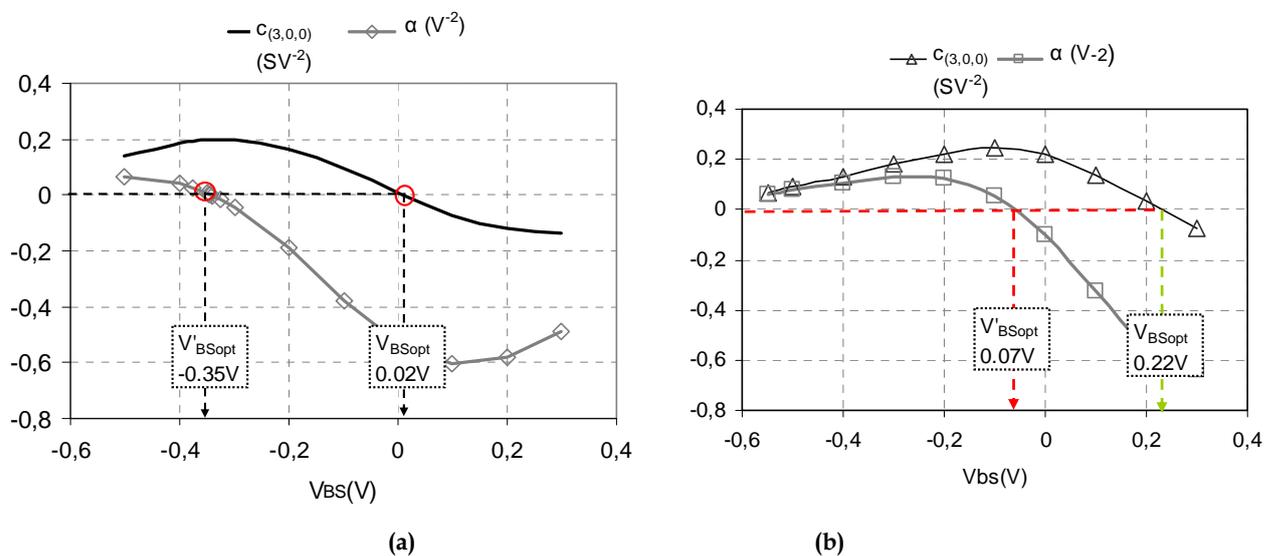


Figure III-8 : Variation de $c_{(3,0,0)}$ et α en fonction de V_{BS} pour (a) $V_{GS}=0.41 \text{ V}$, (b) $V_{GS}=0.35 \text{ V}$

Tableau III-2 : Evolution des pentes de $c_{(3,0,0)}$ et α (autour de l'optimum) pour deux valeurs de V_{GS}

V_{GS} (V)	0.41	0.35
Pente de $c_{(3,0,0)}$	0.77 SV^{-3}	0.8 SV^{-3}
Pente de α	1 V^{-3}	1.2 V^{-3}

II. CONCEPTION DU CIRCUIT ET RESULTATS DES SIMULATIONS POST LAYOUT (PLS)

II.1. Le circuit et la puce

L'optimisation du LNA doit intégrer son environnement de mesure final. Ayant choisi une encapsulation du circuit dans un boîtier type TQFP, nous avons pris en compte l'effet des bondings et d'alimentation externes suivant le schéma de Figure III-9.

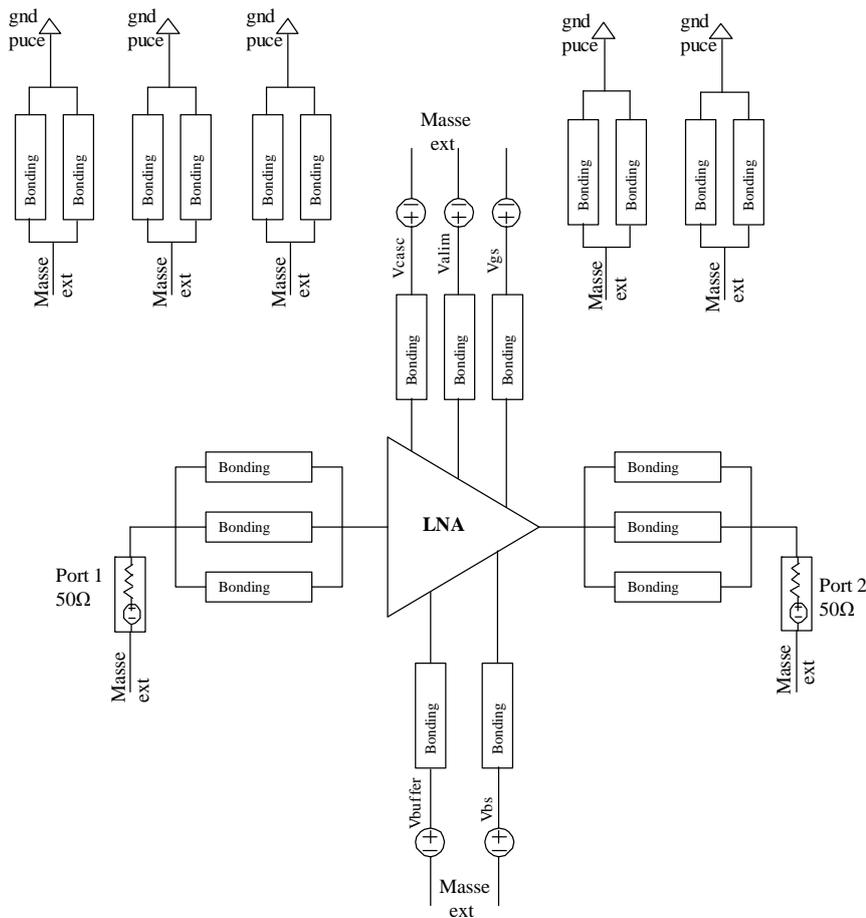


Figure III-9 : Schéma du circuit simulé avec bondings

Ce schéma est construit autour des blocs suivants:

 LNA

Il est illustré en Figure III-10.

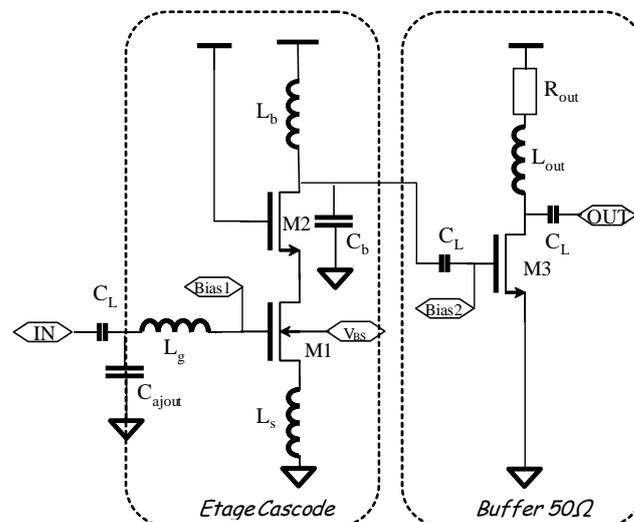


Figure III-10 : Schématique du LNA

Il est constitué de deux étages :

- Un cascode à dégénérescence inductive qui comprend : le transistor d'entrée M1, le transistor cascode M2 et le réseau d'adaptation en puissance en entrée réalisé grâce aux inductances L_g et L_s . Le circuit (L_d, C_d) est accordé à la fréquence de travail f_0 . Un accès externe est ajouté au substrat du transistor M1.
- Un buffer source commune autour de M3 qui est dédié à la mesure sur charge 50Ω et qui contribue à l'adaptation de sortie via L_{out} , C_1 et R_{out} .

Les bondings

Etant donné que la puce finale du circuit sera encapsulée dans un boîtier TQFP, les effets des bondings ont été pris en compte dans les simulations. Le modèle retenu est celui proposé dans la Figure III-11.

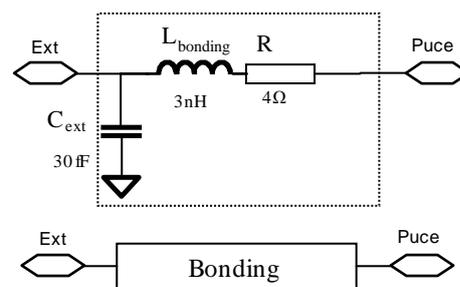


Figure III-11 : Modèle retenu pour le bonding

La capacité C_{ext} correspond à la capacité d'encapsulation du boîtier. Nous estimons que l'inductance du bonding est égale à $1nH/mm$. Afin de réduire l'effet de l'inductance $L_{bonding}$ sur l'adaptation d'entrée et le gain du LNA, nous avons mis trois bondings en parallèle à l'entrée et à la sortie RF.

Les Pads

Ils sont inclus dans le bloc LNA. Le dessin de masque (Layout) du pad RF est donné en Figure III-12. Ils sont conçus en technologie CMOS 130nm de STMicroelectronics. La capacité équivalente de ces pads C_{pad} est de l'ordre de $150fF$. Elle est extraite en amont et est déjà présente dans le schéma de cadence lors des simulations.

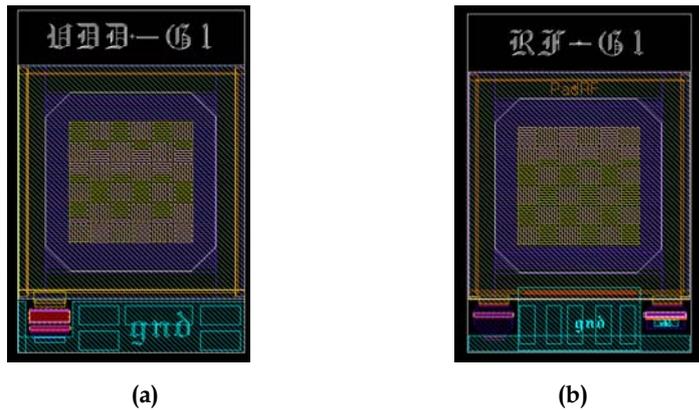


Figure III-12 : (a) Pad VDD, (b) Pad RF

II.2. Procédure de conception

Pour le dimensionnement du transistor d'entrée M1 ainsi que le réseau d'adaptation (L_g - L_s), nous utilisons la méthode de Thomas LEE [LEE98], décrite dans la section I.1 de ce chapitre. Elle détermine la largeur de grille de M1 pour une adaptation en bruit optimale sans tenir compte de la consommation en puissance. Les dimensions (largeur et longueur) de M1 sont ici de $240\mu\text{m}$ et $0.13\mu\text{m}$. Afin de vérifier le principe d'optimisation de la linéarité par polarisation de substrat, M1 doit être polarisé en inversion modérée. Pour des contraintes de consommation liées aux spécifications de communication sans fil, nous avons fixé le courant à 3mA . Le circuit sera alimenté sous 1V .

Une fois tous les composants théoriquement dimensionnés et par la suite placés dans l'environnement de dessin de masque, le routage peut commencer. Cette étape détériore les performances du LNA car les connexions ne sont pas encore prises en compte par le simulateur. C'est particulièrement au niveau des adaptations entrée, sortie et inter étage que l'impact est le plus important. Sur la base des simulations post-layout, ces dernières sont réajustées par un dimensionnement des composants suivant la procédure de la Figure III-13.

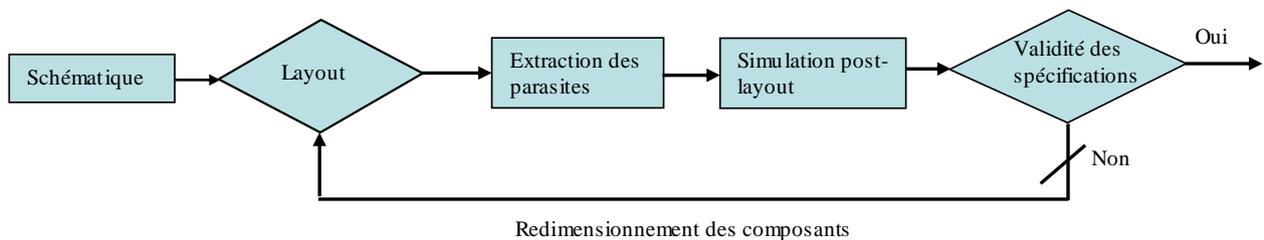


Figure III-13 : Organigramme de réadaptation après PLS

La boucle de redimensionnement est itérée jusqu'à ce que les performances du circuit soient jugées satisfaisantes. Pour le cas du LNA de la Figure III-10 simulé dans

l'environnement de la Figure III-9, les valeurs finales des composants sont rassemblées dans le Tableau III-3.

Tableau III-3 : Valeurs des composants du LNA

Paramètre	Valeur	Paramètre	Valeur
C_L	1.5pF	M3	35/0.13um 6 doigts
L_g	12.8nH	L_{out}	3.9nH
L_s	1.45nH	R_{out}	40Ω
M_1	240/0.13um 40 doigts	C_1	1.77pF
M_2	200/0.13um 50 doigts	C_{ajout}	115fF
L_b	1.67nH	V_{gs}	0.415V
C_b	1.72pF	V_{Buffer}	1.8V
V_{alim}	1 V	V_{casc}	1V

Avec C_{ajout} est une capacité que nous avons ajoutée pour réajuster l'adaptation d'entrée du LNA. Des capacités de découplage de 20pF seront rajoutées aux accès alimentations des différents étages du circuit.

Le layout final du circuit conçu en technologie CMOS 130 nm est présenté en Figure III-14(a). La surface totale du circuit est de 2 mm². Le substrat du transistor d'entrée M_1 est isolé du substrat de la puce en l'entourant par un caisson dopé N comme on peut le voir en Figure III-14(b). Ceci va permettre d'appliquer une tension V_{BS} non nulle sur son accès bulk.

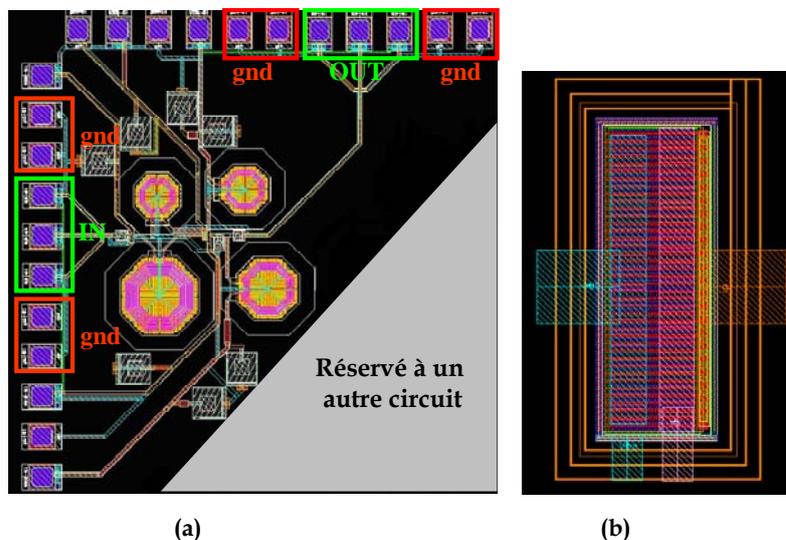


Figure III-14 : (a) Layout final du LNA, (b) Layout du transistor d'entrée

II.3. Résultats des simulations post layout

II.3.1. Fonctionnement nominal ($V_{BS}=0V$)

La Figure III-15 présente les paramètres S simulés après routage du LNA. Les caractéristiques nominales du circuit obtenues à $V_{BS}=0V$ et à 2.4GHz sont résumées dans le Tableau III-4. Alimenté sous 1V, le circuit consomme 3mA et a un gain de 13.86dB. Les paramètres S11 et S22 sont respectivement de -15dB et -15.4dB. L'isolation du circuit S12 est de -28dB.

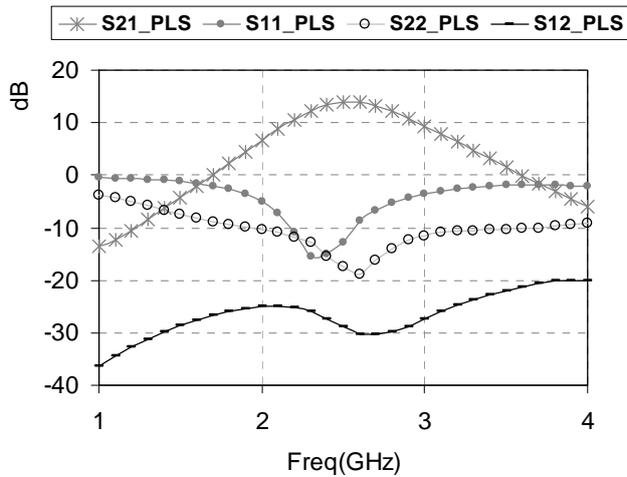


Tableau III-4 : Caractéristiques nominales du LNA à 2.4GHz

Paramètre	Valeur
Alimentation	1V
Courant ID	3mA
S21	13.86dB
NF	3.2dB
ICP1	-12.9dBm
IIP3	-4.8dBm

Figure III-15 : Simulations Post Layout : Paramètres S

Le facteur de bruit NF est illustré en Figure III-16. Il est de 3.2dB et écartée de 0.2dB par rapport à celle de NF_{min} . Le LNA présente un point de compression à -1dB, ICP1, de -13dBm, selon le Tableau III-4.

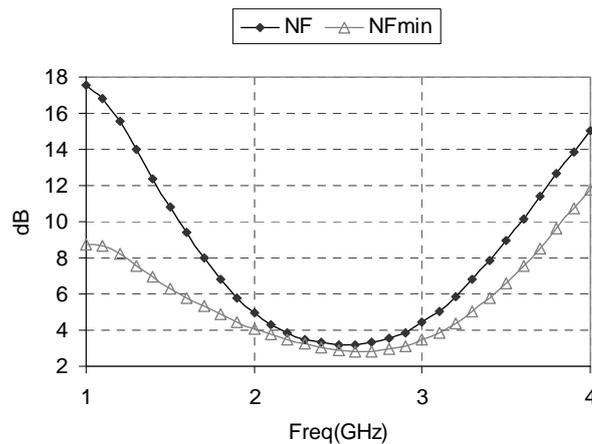


Figure III-16 : NF et NF_{min} en fonction de la fréquence

Pour l'étude du comportement harmonique du LNA, nous appliquons un signal deux tons, fréquences ($F_{rf1}=2.4\text{GHz}$ et $F_{rf2}=2.42\text{GHz}$). Nous relevons les courbes de réponse du fondamental et de l'intermodulation d'ordre trois en fonction de la puissance d'entrée appliquée à l'entrée du LNA comme illustré en Figure III-17. Le IIP3 simulé est de -4.8dBm .

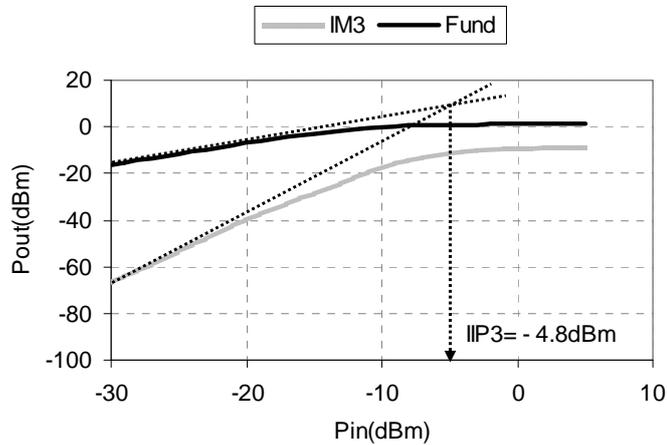


Figure III-17 : IIP3 simulé pour $V_{BS}=0\text{V}$

II.3.2. Fonctionnement pour V_{BS} non nulle

L'objectif de cette partie est de simuler et d'analyser l'effet de substrat sur les caractéristiques du LNA. Pour se faire nous fixons la polarisation de grille à $V_{GS}=0.41\text{V}$ et nous faisons varier V_{BS} de -0.6V à 0.3V . La valeur maximale de V_{BS} est limitée par la tension de seuil du transistor MOS pour laquelle la diode bulk-source est on. La variation de l'IIP3 en fonction de V_{BS} est donnée en Figure III-18(a). Un maximum de 6.6dBm est atteint pour $V_{BSopt}=-0.55\text{V}$ et la fenêtre de V_{BS} permettant 3dB d'atténuation de l'optimum est de 50mV .

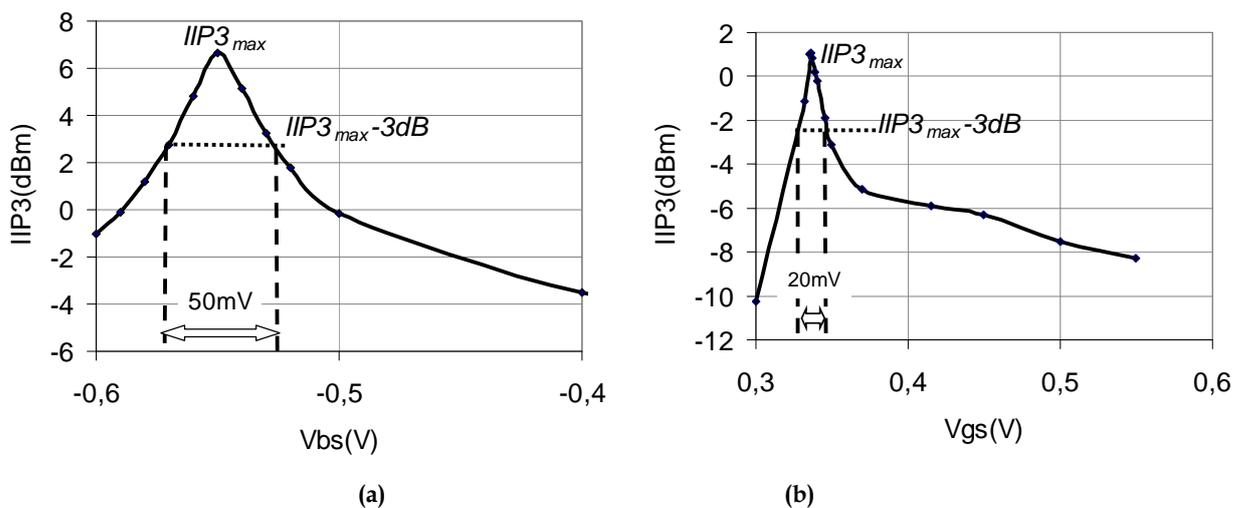


Figure III-18 : Variation du IIP3 en fonction de : (a) V_{BS} , (b) V_{GS}

Nous avons également simulé la linéarité du LNA en fonction de V_{GS} . Le transistor d'entrée M1 étant initialement polarisé en inversion modérée avec V_{GS} fixée à 0.41V, la variation de cette polarisation entraîne comme nous l'avons vu au chapitre précédent une dégradation de l'adaptation d'entrée (S11). Ainsi pour une bonne estimation de la marge de V_{GS} autour du maximum d'IIP3, certains paramètres du LNA ont été modifiés pour garantir une bonne adaptation d'entrée. Le résultat est donné en Figure III-18(b). Nous constatons que dans le cas d'une polarisation de substrat la marge de V_{BS} autour du maximum est plus que deux fois plus grande que celle de V_{GS} (20mV). La comparaison de ces résultats avec ceux de la théorie met en évidence les points suivants :

- Selon les investigations théoriques menées en début de ce chapitre, l'optimisation de l'IIP3 par la polarisation du transistor MOS présente une sensibilité moindre à l'accès substrat (bulk, V_{BS}) que grille. Ces observations sont aussi vérifiées par les simulations du LNA.
- La valeur simulée de V_{GSopt} pour laquelle l'IIP3 passe par un maximum est très proches des calculs théoriques. Pour V_{BSopt} , la différence vient essentiellement de la précision du modèle utilisé.

Nous nous intéressons maintenant aux variations de gain, du courant et de bruit en fonction de V_{BS} . Les simulations, données en Figure III-19, montrent une baisse significative de la consommation pour $V_{BS}=-0.55V$, elle passe de 3mW (à $V_{BS}=0V$) à 1.2mW pour V_{BSopt} . Pour ce point de polarisation, le circuit présente un gain supérieur à 8dB et 4.82dB de NF.

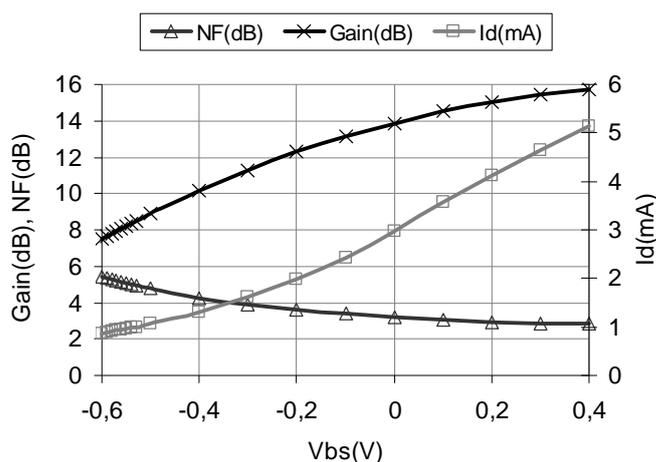


Figure III-19 : Variation du courant, du gain et du NF du LNA en fonction de V_{BS}

Les résultats des simulations Post layout (PLS) obtenus mettent en avant deux intérêts de l'effet de substrat. D'une part, il permet une optimisation de la linéarité sous consommation réduite suivant la technique de linéarisation par optimisation de la

polarisation. D'autre part, il peut être utilisé pour ajuster le gain du LNA en fonction des spécifications du récepteur. En effet, le signal reçu à l'antenne présente une dynamique étendue qui dépend du parcours ainsi que de la distance entre l'émetteur et le récepteur. La dynamique d'un signal est donc limitée par le facteur de bruit si le niveau du signal est faible, par la linéarité si le niveau du signal est fort. Par conséquent, le LNA à gain variable peut contribuer à ajuster le niveau du signal d'entrée en complément de l'amplificateur à gain contrôlé placé après le mélangeur. On distingue alors deux modes : le faible gain et haute linéarité pour des niveaux forts du signal d'entrée afin d'éviter la saturation des blocs, le fort gain correspondant à des signaux d'entrée de faible puissance. Un bon NF doit ainsi être retenu pour ce mode pour ne pas dégrader la sensibilité du récepteur [LIU05] [STU06].

Cette opération est faisable avec la polarisation de substrat étant donné que l'adaptation d'entrée est modérément affectée par la variation de V_{BS} comme on peut le voir sur la Figure III-20. Le paramètre S_{11} est donné pour deux valeurs de V_{BS} (0.3V et -0.6V), l'adaptation est décalée de 200MHz mais reste voisine de -15dB.

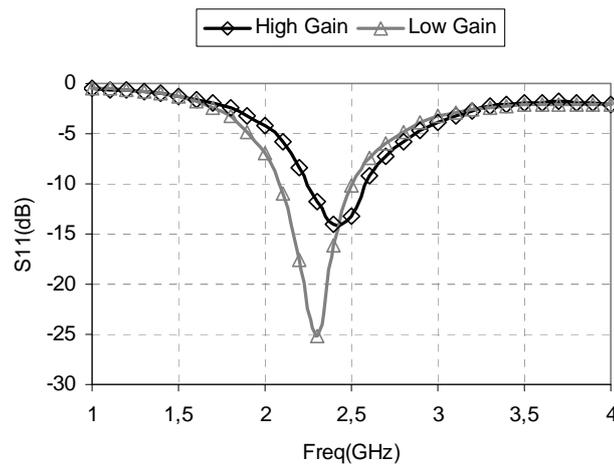


Figure III-20 : Paramètre S_{11} simulé en mode High Gain ($V_{BS}=0.3V$) et en mode Low Gain ($V_{BS}=-0.55V$)

Dans notre démonstrateur, le mode « High gain » correspond à $V_{BS}=0.3V$, le mode « Low gain » correspond à $V_{BS}=-0.55V$. Les caractéristiques obtenues pour ces deux modes sont résumées dans le Tableau III-5. Elles s'adaptent au standard WiMAX dont les spécifications sont aussi mentionnées en Tableau III-5 [BAL08].

Tableau III-5 : Caractéristiques nominales du LNA à 2.4GHz

Paramètre	Spécifications du HG mode	Obtenues dans le HG mode	Spécifications du LG mode	Obtenues dans le LG mode
V_{BS}	–	0.3V	–	-0.55
Courant ID (mA)	–	4.62	–	1
S_{21} (dB)	>16	15.44	>0	8.23
NF (dB)	<2	2.87	<6	5
IIP3 (dBm)	>-5	-4.62	>5	6.63
ICP1 (dBm)	>-15	-13.68	>-5	-2.11

La qualité d'un LNA est jugée par la valeur de son facteur de Mérite qui moyenne ses diverses performances. Il est défini par l'expression (III-10) [APA04]. Cette grandeur dépend de la linéarité (OIP3), du bruit et de la consommation en puissance.

$$FOM = \frac{OIP3}{(F-1)P_{dc}} \quad (III-10)$$

Dans la Figure III-21, nous avons tracé le FOM en fonction de V_{BS} . On remarque que l'effet de substrat permet non seulement une optimisation de l'IIP3 mais aussi celle du FOM. Un maximum du FOM de 12.9 est obtenu pour l'optimum de linéarité (V_{BSopt}). Il est trois fois plus grand que celui de $V_{BS}=0V$.

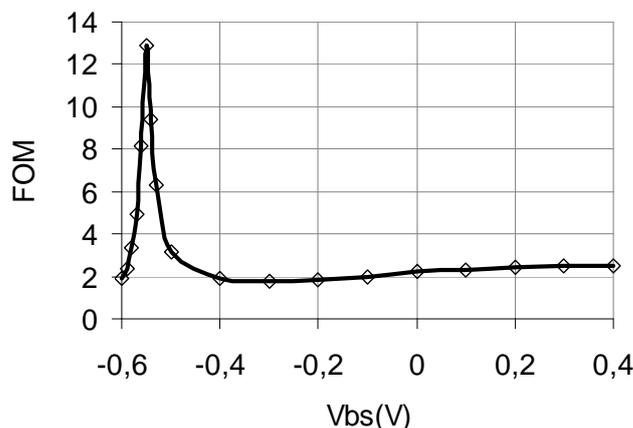


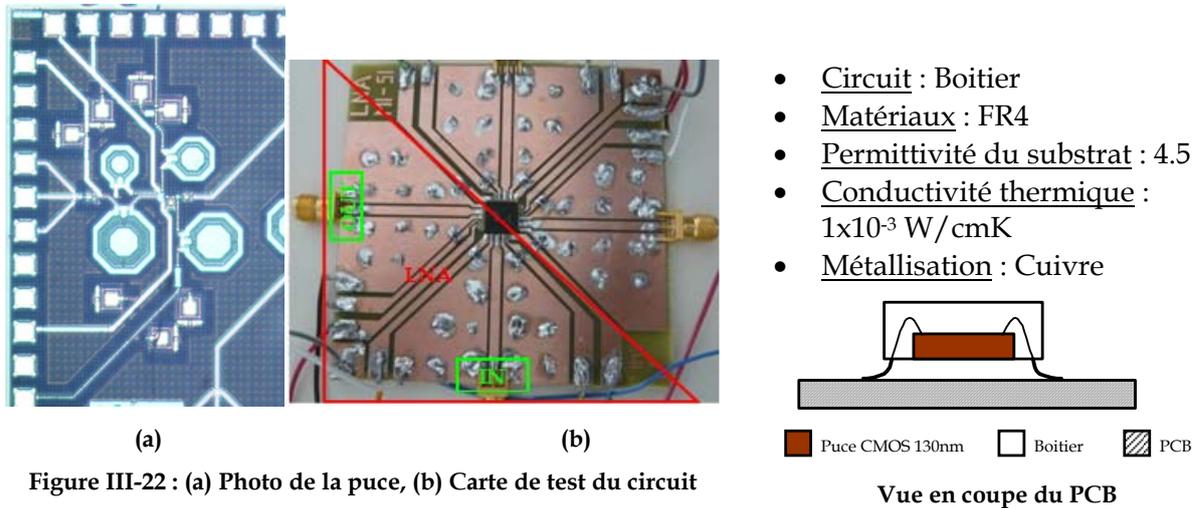
Figure III-21 : Variation du FOM en fonction de V_{BS}

III. RESULTATS DES MESURES

III.1. Implémentation

Le LNA a été conçu et fabriqué en technologie 130nm de STMicroelectronics, dont une photo de la puce est visible en Figure III-22(a). Sa surface est de 2mm². Encapsulé dans

un boîtier de type TQFP 48 broches, le circuit a été reporté sur un PCB de type FR4 dont la carte de test, réalisée au moyen du logiciel PROTEUS, est présentée en Figure III-22 (b). Celle-ci comporte un plan de masse en face arrière et des lignes microstrip 50Ω connectées entre les prises axiales SMA et le boîtier en face avant.



III.2. Contrôle numérique de V_{BS}

Après avoir validé la faisabilité du contrôle de gain et de linéarité par les simulations post-layout, nous nous sommes attachés à étudier le circuit de commande de la tension V_{BS} . Nous proposons ici d'utiliser un convertisseur numérique analogique (DAC) pour parcourir toute la plage de tension V_{BS} requise pour le fonctionnement du circuit (de -0.7V à 0.3V dans notre cas). Une illustration de cette idée est présentée en Figure III-23. Toutefois le pas du DAC doit être correctement choisi afin d'atteindre le maximum de linéarité. Ainsi pour le circuit conçu dans ce mémoire de thèse un pas de 50mV suffira pour polariser le LNA pour un maximum de linéarité comme expliqué précédemment.

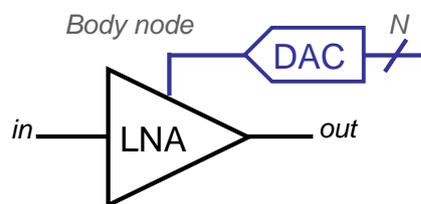


Figure III-23 : Contrôle numérique de l'effet de substrat par le DAC

Ce circuit de contrôle permet l'intégration du LNA dans des front-ends reconfigurables dans lesquels le gain et la linéarité sont ajustés en fonction de l'amplitude du signal reçu qui dépend du chemin parcouru et de la distance entre émetteur et récepteur.

Une illustration de cette application est donnée en Figure III-24. Suivant les spécifications du récepteur, le DSP va commander le DAC pour générer le mot binaire approprié correspondant à la tension V_{BS} qui sera appliquée à l'accès Bulk du transistor d'entrée du LNA.

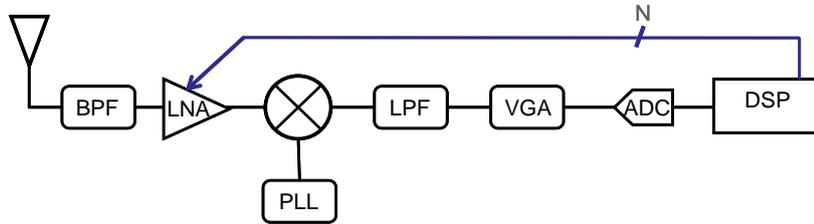


Figure III-24 : Schéma bloc d'un front-end reconfigurable

Nous avons choisi un DAC 16bit (DAC7641) du commerce pour contrôler V_{BS} [Datasheet], ce circuit a été surdimensionné mais le choix a été orienté par la disponibilité du composant. Il est basé sur une structure R-2R et alimenté soit sous 5V ou de +5V à -5V. Il est encapsulé dans un boîtier TQFP-32 et il consomme 2.5mW. La tension de sortie obtenue en fonction du mot binaire N est exprimée comme suit :

$$V_{out} = V_{REFL} + \frac{(V_{REFL} - V_{REFH}) \cdot N}{65,536} \quad (III-11)$$

Avec $V_{REFL} = -2.5V$, $V_{REFH} = 2.5V$ et $65,536 = 2^{16}$

Dans la Figure III-25 nous présentons un exemple de mesure de la tension V_{BS} (-0.7V) générée par le DAC reporté sur un PCB de type FR4.

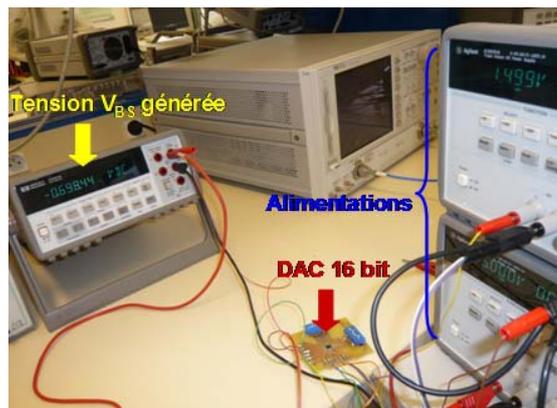


Figure III-25 : Génération de la tension V_{BS} par le DAC

Dans la Figure III-26 nous comparons la valeur théorique de V_{BS} à celle mesurée. Nous remarquons que les résultats expérimentaux concordent bien avec la théorie. Le DAC

pourra donc être intégré dans les bancs de mesure du LNA pour ajuster la polarisation de substrat.

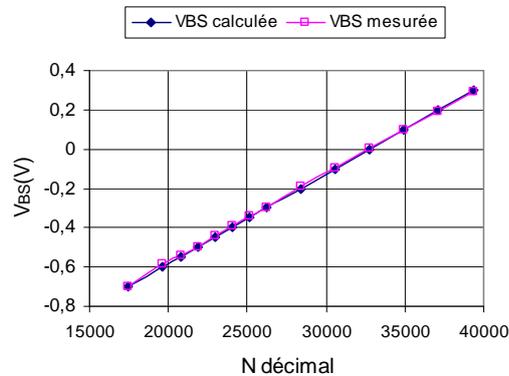


Figure III-26 : Tension V_{BS} générée par le DAC obtenue par le calcul et par la mesure

III.3. Résultats expérimentaux

III.3.1. Mesure du circuit à $V_{BS}=0V$

Nous commençons tout d'abord par vérifier le fonctionnement nominal du circuit (à $V_{BS}=0V$). Les mesures des paramètres S ont été effectuées au moyen d'un analyseur de réseau 2 ports (HP 8720D 50 MHz à 20 GHz), 2 alimentations DC (HP E3631A), le DAC et un ampèremètre pour mesurer le courant du circuit.

L'étage cascode est alimenté sous 1V et a une consommation en courant de 3.2mA. Le buffer est alimenté sous 1.8V et consomme 13mA. Une première série de mesure des paramètres S a été effectuée. Les résultats obtenus sont présentés en Figure III-27. Le LNA a un gain de 11dB dégradé de 2.8dB par rapport aux simulations post layout. Il est bien adapté en sortie avec un paramètre S22 de -15.3dB. En ce qui concerne l'adaptation d'entrée, nous constatons un décalage en fréquence de 180MHz. Le S11 obtenu à 2.4GHz est de -6.8dB. Cet écart peut être expliqué par une mauvaise estimation de la longueur des bondings à l'entrée RF du LNA.

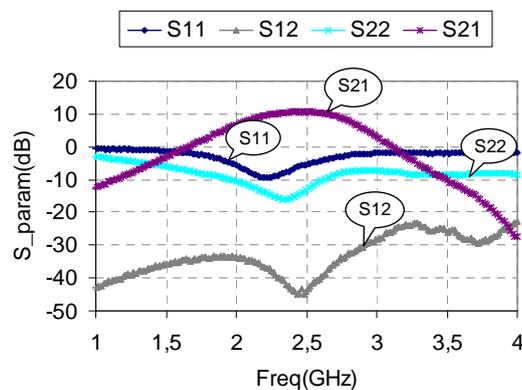


Figure III-27 : Mesure des Paramètres S du LNA encapsulé dans un boîtier

Afin de vérifier cette hypothèse nous avons réalisé un nouveau PCB dans lequel nous avons remplacé le boîtier par une puce nue câblée au laboratoire IMS avec des bondings de longueur 2mm au lieu de 3mm de prévu dans les simulations. Une illustration de la carte est donnée en Figure III-28.

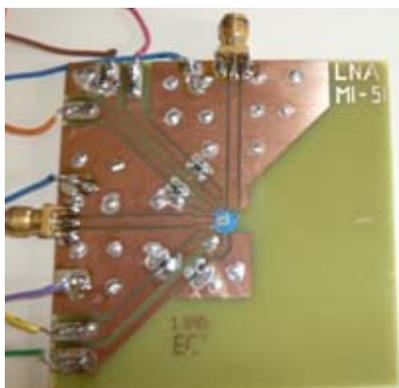


Figure III-28 : PCB de la puce nue

Les nouveaux paramètres S mesurés sont illustrés en Figure III-29(a) et (b) dans lesquelles les résultats de simulations sont aussi présentés. Nous pouvons ainsi vérifier que le LNA est cette fois ci bien adapté en entrée à 2.4GHz et le paramètre S11 est de -13.5dB. Le gain est dégradé de 1.6dB par rapport aux simulations post layout. Il est de 12,2dB et l'isolation (S12) est de -28dB. Le point de compression à -1dB est de -12.4dBm. Les résultats expérimentaux sont donc concordants avec ceux des simulations.

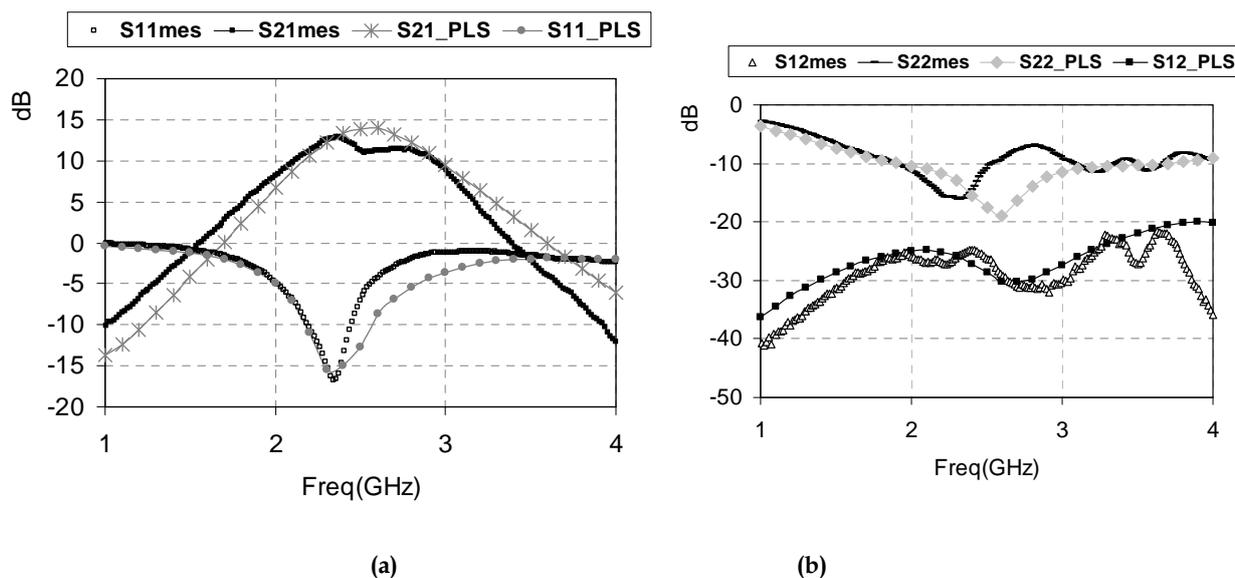


Figure III-29 : (a) Paramètres S21 et S11 mesurés et simulés, (b) Paramètres S22 et S12 mesurés et simulés

Pour la mesure de bruit nous avons utilisé un banc qui est construit autour de :

- Un noise figure meter 8970B qui donne à la fois le gain et la figure de bruit NF.
- Un générateur 83712B
- Une source de bruit 346C (10MHz-26.5GHz)

Le NF mesuré est donné en Figure III-30. Il est de 4.2dB à 2.4GHz et dégradée de 1dB par rapport à la simulation. Nous remarquons qu'au delà de 2.4GHz, on a une dégradation significative du bruit. Ceci est principalement dû à un dimensionnement non adapté au contexte de faible consommation considéré ici.

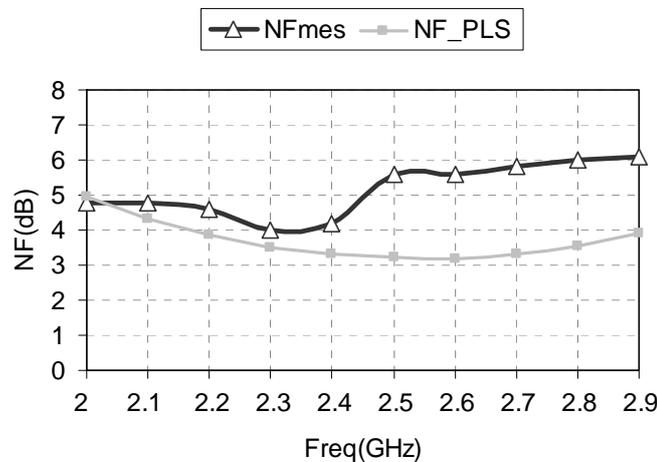


Figure III-30 : NF mesuré et simulé

Une explication de la dégradation de la figure de bruit de notre LNA est la sensibilité de la puce aux objets bruyants qui se trouvent dans ses voisinages et qui opèrent dans la même bande de fréquence. Il y a aussi le bruit des alimentations qui viennent se coupler avec le circuit via les connexions bonding-PCB comme illustré en Figure III-31. Ces connexions constituent avec le LNA une boucle pour le bruit qui détériore ses performances.

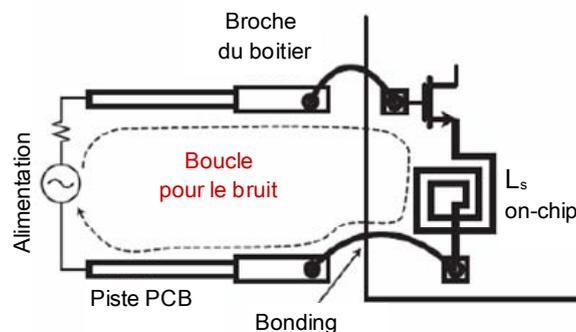


Figure III-31 : Boucle de bruit due aux connexions Puce-PCB

Après avoir vérifié les paramètres S du LNA, nous présentons dans cette partie les mesures de linéarité. Le banc de mesure utilisé est illustré en Figure III-32. Nous utilisons deux générateurs de signaux (83712B 10MHz-20GHz et E4433B 250KHz-4GHz) pour générer les deux tons à 2.4GHz et 2.42GHz qui seront appliqués à l'entrée du circuit via un coupleur 4020180 2GHz-18GHz. Un analyseur de spectre 8563E est utilisé pour l'affichage du spectre fréquentiel.

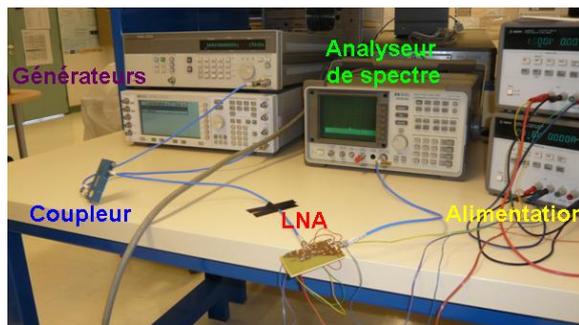


Figure III-32 : Banc de mesure de l'IIP3

Nous faisons varier la puissance d'entrée et nous mesurons la puissance en dBm du fondamental ainsi que celle de l'intermodulation d'ordre trois située à 2.44GHz. Le spectre du LNA à $V_{BS}=0V$, pour une puissance d'entrée P_{in} de -25dBm, est donné en Figure III-33. L'IIP3 mesuré est présenté en Figure III-34. Il est de -1dBm.

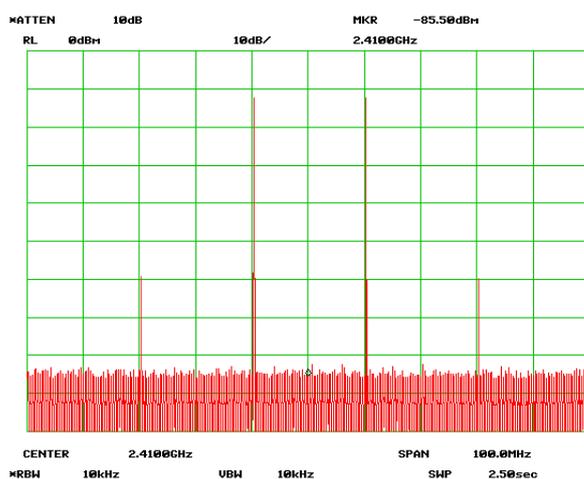


Figure III-33 : Spectre du LNA pour $V_{BS}=0V$ et $P_{in}=-25dBm$

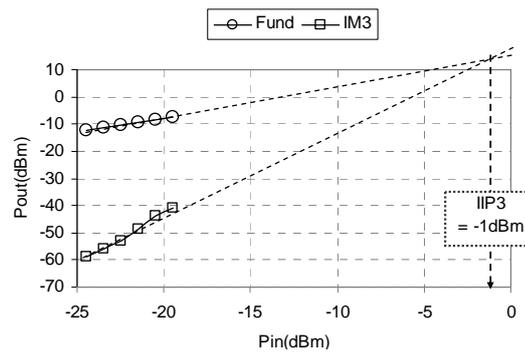


Figure III-34 : IIP3 mesuré pour $V_{BS}=0V$

III.3.2. Mesure de l'effet de substrat sur les caractéristiques du LNA

🚦 Variation du gain

Nous nous intéressons maintenant à valider par les mesures l'effet de substrat sur les caractéristiques du LNA. Nous faisons donc varier la tension V_{BS} de -0.6 à 0.3V avec un pas de 100mV et nous relevons les variations de gain, de courant et du bruit. Les courbes correspondantes sont présentées en Figure III-35.

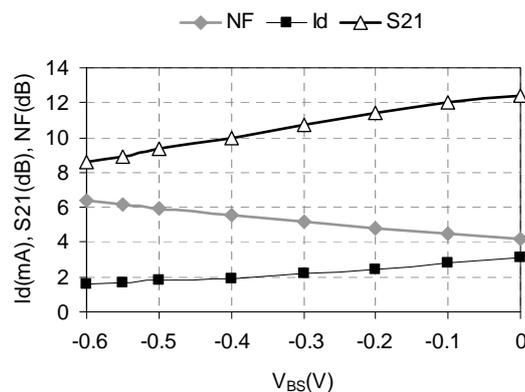


Figure III-35 : Mesures de la variation du gain, du courant et de bruit en fonction de V_{BS}

Les résultats obtenus sont en concordance avec ceux de la simulation. Nous vérifions la réduction du gain et du courant ainsi que la dégradation de la figure de bruit quand la tension V_{BS} diminue. Ceci est principalement dû comme nous l'avons expliqué précédemment à la réduction de la transconductance g_m . L'intérêt principal de l'effet substrat qui peut être identifié à partir de ces mesures est son utilisation pour la conception des LNAs reconfigurables à gain variable. Cette approche est consolidée par l'adaptation d'entrée qui est peu influencée par la variation de V_{BS} . En Figure III-36 sont présentés les paramètres S11 du LNA pour les deux modes de gain définis en section II.2 : le « High gain » correspondant à $V_{BS}=0.3V$ et le « Low gain » correspondant à $V_{BS}=-0.55V$. Nous vérifions que pour une

variation de V_{BS} de 850mV, le LNA reste bien adapté en entrée ($S_{11} < -15\text{dB}$) ce qui facilite la conception et l'intégration des circuits de contrôle via effet de substrat afin d'ajuster le gain en fonction des spécifications du système et donc de réduire la consommation et le coût des circuits intégrés

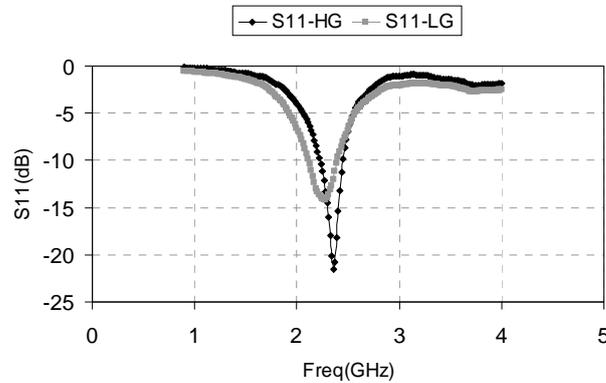


Figure III-36 : Mesures du paramètre S_{11} pour deux valeurs de V_{BS} , (HG= $V_{BS}=0.3\text{V}$) et (LG= $V_{BS}=-0.6\text{V}$)

Variation de la linéarité

L'objectif de cette partie est de vérifier l'effet de substrat sur la linéarité du LNA et en particulier sur l'IIP3. Nous mesurons donc sa variation en fonction de V_{BS} en choisissant un pas de 50mV. La courbe obtenue est illustrée en Figure III-37. Elle a la même allure que celle obtenue en simulation. Un maximum d'IIP3 de 6dBm est obtenu $V_{BS}=-0.55\text{V}$. Le spectre ainsi que le IIP3 mesurés pour ce point de polarisation sont donnés en Figure III-38(a) et (b). Nous avons une amélioration de 7dB de la linéarité contre 10.5dB en simulation. Le deuxième point important à valider par la mesure est la marge de V_{BS} permettant 3dB d'atténuation de l'IIP3max. Nous remarquons qu'elle est supérieure à celle de la simulation (85mV) estimée à 50mV.

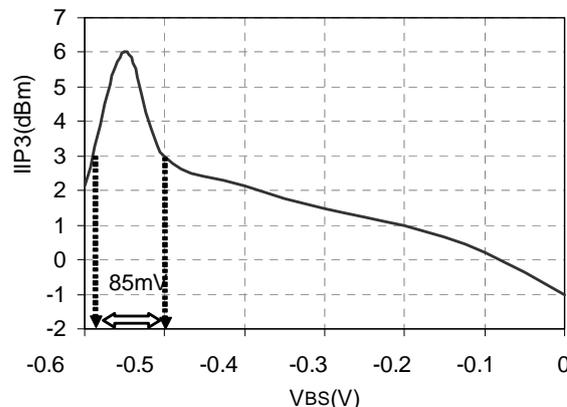
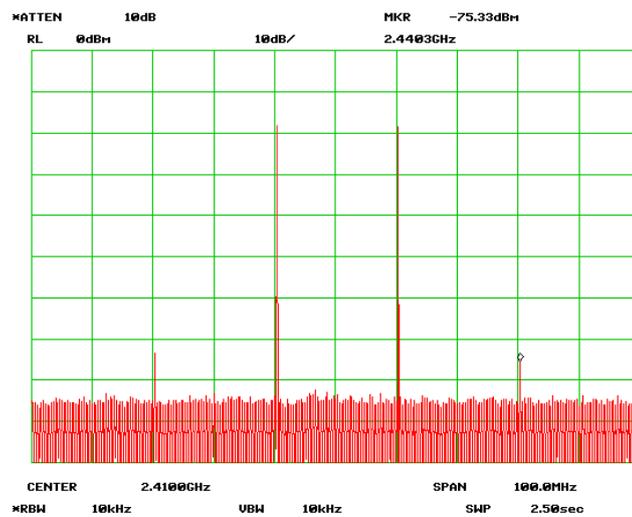
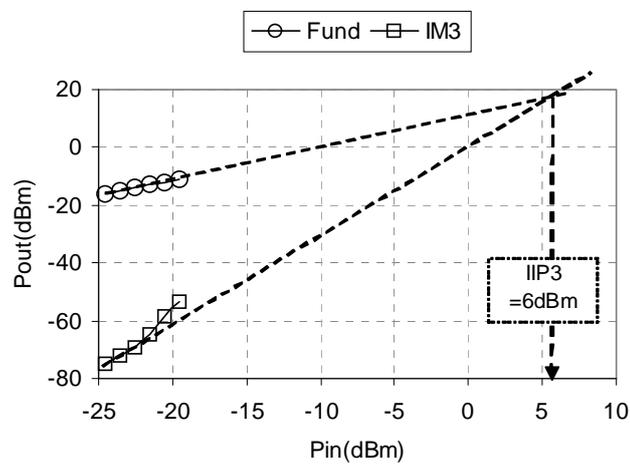


Figure III-37 : Variation de l'IIP3 en fonction de V_{BS}



(a)



(b)

Figure III-38 : Spectre (a) et IIP3 (b) du LNA mesurés pour $V_{BS} = -0.55V$

Afin d'évaluer l'effet de substrat par rapport à la polarisation de grille nous avons mesuré la variation de l'intermodulation d'ordre trois IM3 en fonction de V_{GS} et V_{BS} . Les courbes obtenues sont illustrées en Figure III-39(a) et (b). Nous tenons à rappeler que la marge obtenue dans le cas de la polarisation de grille n'est qu'une estimation étant donné que la variation de V_{GS} au de là de 100mV entraîne une dégradation significative du gain et de l'adaptation d'entrée du LNA. Nous vérifions que l'effet de substrat offre un meilleur contrôle de la linéarité en comparaison avec la polarisation de grille vu que la marge de V_{BS} autour du maximum d'IM3 est à trois fois supérieure à celle de V_{GS} . Ces résultats sont en concordance avec les simulations.

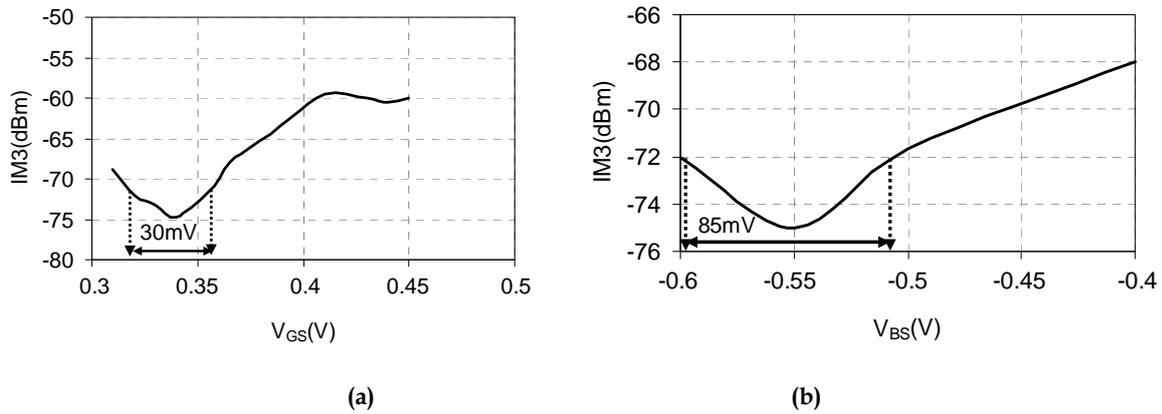


Figure III-39 : Variation de l'IM3 en fonction de : (a) V_{GS}, (b) V_{BS}

Le Facteur de Mérite (FOM) du LNA calculé à partir des valeurs mesurées est tracé en Figure III-40. Nous vérifions qu'un maximum de FOM de 6 est obtenu pour la condition de polarisation optimale correspondant à un maximum de linéarité (V_{BS} = -0.55 V). La dégradation du FOM observée par rapport à celui simulé est due principalement à la dégradation du facteur de bruit.

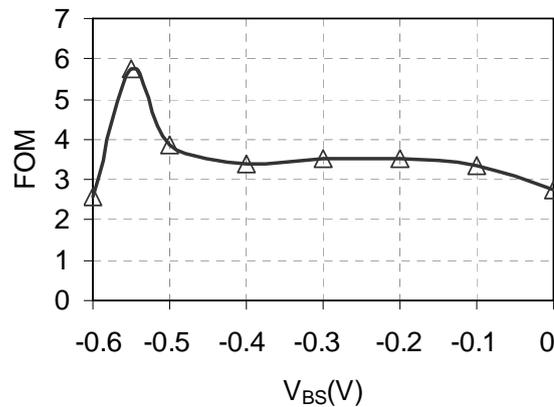


Figure III-40 : Variation du FOM en fonction de V_{BS}

Dans le Tableau III-6, nous comparons les performances obtenues avec notre circuit à celles des LNAs précédemment publiés en technologie CMOS. Nous utilisons un deuxième facteur de mérite FOM_{P_{dc}} pour évaluer l'adaptation des circuits aux applications faible consommation. Il est défini comme suit [WU07]:

$$FOM = \frac{OIP3}{(F-1)P_{dc}} \quad (III-12)$$

Il permet de mesurer la qualité du circuit et son adaptation aux contraintes de faible consommation. Les meilleures performances reportées en termes de linéarité à ce jour ont été proposées par [KIM08]. Le circuit est basé sur la technique « multigate » et offre une

optimisation de la linéarité de 15dB. Néanmoins il a une consommation en puissance importante (13.5mW) et ne fournit que 9.35 dB de gain ce qui explique la dégradation du FOM_{Pdc} . Le travail reporté dans [HAN09] utilise également la même technique mais en réduisant la consommation. Cependant l'IIP3 simulé est de -2.2dBm seulement. Ce résultat met en question l'efficacité de cette technique de linéarisation « multi-grille » dont la principale difficulté réside dans le dimensionnement des transistors d'entrée.

Les circuits publiés dans [CHA02] [YAN01] [FAN08] présentent des linéarités moyennes et des consommations en puissance relativement plus importantes que celle du LNA conçu dans cette thèse. Ainsi, ils ont des FOM plus grands comparés à celui de notre circuit. Ceci est principalement dû à la dégradation du facteur de bruit. Pour le reste des caractéristiques, elles attestent de l'aptitude du circuit à fonctionner sous faible tension d'alimentation et faible consommation.

Tableau III-6 : Comparaison des performances à l'état de l'art

Notre travail	Technologie CMOS	Fréquence GHz	S21 dB	NF dB	IIP3 dBm	Pdc mW	FOM	FOM_{Pdc} (mW ⁻¹)
[KIM08]	0.18µm CMOS	1.35	9.36	2.25	11.92	13.5	14.65	0.94
[FAN08]	0.35µm CMOS	2.2	8.4	1.92	-2.55	16.2	0.427	0.78
[HAN09]	0.15µm CMOS	2.46	14	2.368	-2.2	4.65	4.5	8
[CHA02]	0.18µm CMOS	2.2	14.3	1.7	3.7	10.8	12.1	5.2
[YAN01]	0.25µm CMOS	2.4	15	2.2	1.3	7.2	8.9	6.65
Notre travail $V_{BS}=0$	0.13µm CMOS	2.4	12.4	4.2	-1	3.2	2.73	3.3
Notre travail $V_{BS}=-0.55V$	0.13µm CMOS	2.4	8.4	6.2	6	1.7	5.7	1.44
Notre travail $V_{BS}=0.3V$	0.13µm CMOS	2.4	14	3.4	-4.2	4.2	1.9	5

IV. CONCLUSION

La première partie de ce chapitre a permis d'analyser l'effet de substrat sur les caractéristiques d'un LNA à dégénérescence inductive. Nous avons pu, via les recherches menées, identifier deux atouts principaux de la polarisation de substrat qui sont : l'optimisation de la linéarité et le contrôle de gain sans dégradation significative de l'adaptation d'entrée. Nous avons par la suite décrit les différentes étapes de la conception

du circuit afin de valider ces observations. Le circuit a été conçu en technologie CMOS 130nm de STMicroelectronics et fonctionne à 2.4GHz.

Dans un second temps nous avons caractérisé le DAC qui génèrera la tension V_{BS} . Cette étape permettra de valider ensuite la faisabilité du contrôle digital du gain par effet de substrat. Les résultats expérimentaux obtenus concordent avec la simulation et valident le principe d'optimisation de la linéarité par polarisation de substrat. Les performances mesurées pour deux polarisations différentes du bulk ($V_{BS}=0.3V$ et $V_{BS}=-0.55V$) adressent les spécifications du standard WiMAX pour des applications à gain variable. Le LNA à gain et linéarité contrôlables développé ici s'adapte aux contraintes de faible consommation des nouveaux systèmes de communication sans fil. L'effet de substrat étudié dans ce chapitre présente une approche intéressante qui facilitera la conception des circuits intégrés reconfigurables.

Le seul point limitant du circuit est la dégradation du facteur de bruit. Ceci constituera notre nouvel axe d'approfondissement pour le prochain circuit qui sera traité en chapitre quatre.

REFERENCES

- [APA04] V. Aparin, G. Brown, and L. E. Larson, Linearization of CMOS LNA's via optimum gate biasing, in 2004 *IEEE International Symposium on Circuits and Systems*, 2004, Vol.4, pp. IV-748-51.
- [APA05] V. Aparin, L.E. Larson « Modified derivative superposition method for linearizing FET Low-Noise Amplifiers », *IEEE transaction on microwave theory and techniques*, vol.53, n°2, February 2005.
- [BAL08] Y. Balcioğlu, K. Iyer, H. Sriramagiri, "Design of Wide Band LNA for WiMAX receivers," http://www.ece.osu.edu/vlsi/ECE820_2008/Group8.pdf.
- [CHA02] V. Chandrasekhar, "A packaged 2.4GHz LNA in a 0.15um CMOS process with 2kV HBM ESD protection," in *Eur. Solid-State Circuits Conf. (ESSIRC)*, Florence, Italy, Sep. 2002, pp. 347-350.
- [Datasheet] <http://www.lcdinfo.ru/pdf/TI/dac/dac7641.pdf>
- [FAN08] X. Fan, H. Zhang, and E. Sanchez-Sinencio, "A Noise reduction and linearity improvement technique for a differential cascade LNA," *IEEE Journal of Solid-State Circuits*, vol. 43, No. 3, pp. 588-599, March 2008.
- [HAN09] S. Han, B. Chi, and Z. Wang, "New implementation of high linear LNA using derivative superposition method," *Microelectronics Journal*, vol. 40, pp. 197-201, 2009.
- [KIM08] T-S. Kim, and B-S. Kim, "Linearization of differential CMOS Low Noise Amplifier using cross-coupled post distortion canceller," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 83-86, June 2008.
- [LEE98] T. H. Lee, "The Design of Narrowband CMOS Low-Noise Amplifiers," *Advances in Analog Circuit Design*, Copenhagen, Denmark, pp. 28-30, April 1998.
- [LIU05] M. Liu, and J. Craninckx, "A 5-GHz BiCMOS Variable-gain Low Noise Amplifier with Inductorless Lowgain Branch," *Proceedings of the 31st European Solid-State Circuits Conference, ESSCIRC 2005*, Grenoble, France, pp. 223-226.
- [STU06] T. Stucke, N. Christoffers, R. Kokozinski, S. Kolnsberg, and B. J. Hosticka, "A Low Power, Variable Gain Common-Gate LNA," *German Microwave Conference*, 2006.
- [TOO04] B. Toole, C. Plett, and M. Cloutier, "RF circuit implications of moderate inversion enhanced linear region in MOSFETs," *IEEE Trans. Circuits Syst. I*, vol. 51, no. 2, pp. 319-328, Feb. 2004.
- [WU07] Wu, D., Huang, R., Wong, W., Wang, Y. "A 0.4-V low noise amplifier using forward body bias technology for 5 GHz application," *IEEE Microwave and Wireless Components Letters*, 2007, vol. 17, no. 7, p. 543 - 545.
- [YAN01] X. Yang, T. Wu, and J. McMacken., " Design of LNA at 2.4 GHz using 0.25 um technology," *In Topical Meeting on Silicon Monolithic IC in radiofrequency Systems*, pp. 12-17, Sep.2001.

CHAPITRE IV

IV Conception d'un LNA à faible consommation en puissance avec Forward Body Bias

Sommaire

IV CONCEPTION D'UN LNA A FAIBLE CONSOMMATION EN PUISSANCE AVEC FORWARD BODY BIAS	109
I. RESEAUX DE CAPTEURS SANS FIL.....	110
I.1. Définition.....	110
I.2. Architecture d'un noeud	111
I.3. Applications des réseaux de capteurs	113
I.4. Contraintes de conception	114
II. TECHNIQUES DE CONCEPTION SOUS BASSE TENSION ET FAIBLE CONSOMMATION ..	115
III. METHODOLOGIE DE CONCEPTION SOUS CONTRAINTE DE CONSOMMATION.....	116
III.1. Largeur de doigt optimale	119
III.2. Nombre de doigt	121
IV. RESULTATS DES SIMULATIONS POST LAYOUT.....	123
V. RESULTATS DES MESURES.....	125
V.1. Implémentation du circuit et banc de mesure	125
V.2. Résultats expérimentaux	126
V.3. Comparaison des résultats à l'état de l'art	129
VI. CONCLUSION.....	130
REFERENCES.....	131

Après avoir traité le problème de linéarité des LNAs dans le chapitre précédent et apporté une solution basée sur l'effet substrat, nous nous intéressons dans ce chapitre à la contrainte de consommation qui est l'une des problématiques principales des nouveaux systèmes de communication sans fil. Cette contrainte est particulièrement forte dans les applications à faibles débits organisées sous forme de réseaux. Ce sont les réseaux de capteurs sans fil ou WSN (« Wireless Sensor Network »). Ils sont en pleine expansion et imposent des contraintes relativement différentes par rapport aux systèmes de communications sans fil classiques. La spécification la plus contraignante de cette application est la réduction de la consommation d'énergie afin d'améliorer l'autonomie des nœuds et minimiser leur coût. Dans cette perspective, nous nous intéressons ici à la conception d'un LNA sous contrainte de puissance étant donné la part prépondérante de la consommation de la chaîne d'émission-réception RF dans la consommation globale du nœud du réseau en mode de fonctionnement actif. Pour cela, nous utilisons la technique de « Forward Body Bias » (ou encore FBB) qui a connu beaucoup de succès ces dernières années pour la conception des circuits intégrés à faible tension d'alimentation. Nous introduisons donc dans un premier temps le principe d'un réseau de capteur sans fil ainsi que ses caractéristiques et les différentes contraintes de conception qui en découlent. Ensuite, nous présentons le principe de la FBB et sa contribution dans le bruit total du LNA. Les différentes étapes de la méthodologie de conception pour réduire la consommation seront par la suite décrites et commentées. Les résultats des simulations Post-Layout obtenus sous faible tension d'alimentation sont également présentés. Le circuit a été conçu et implémenté en technologie 130nm de STMicroelectronics. Nous commentons enfin les mesures sous pointes du LNA et nous les comparons à l'état de l'art. Nous concluons ce chapitre par une synthèse du travail mené sur l'optimisation des caractéristiques du circuit sous contrainte de consommation.

I. RESEAUX DE CAPTEURS SANS FIL

I.1. Définition

Un réseau de capteur (*Wireless Sensor Network*) est un dispositif sans fil constitué de plusieurs nœuds répartis dans un environnement (*Sensor Field*) comme présenté en Figure IV-1[AKI02]. Chaque nœud doit être capable de mesurer, collecter et transmettre ses données à une base de traitement [EST04] soit directement (Figure IV-1 (a)), soit via une balise relais (Figure IV-1(b)), soit encore en utilisant les nœuds du réseau comme relais (Figure IV-1(c)).

La gestion de la transmission des données sera donc dépendante de l'organisation de la topologie du réseau et de sa complexité.

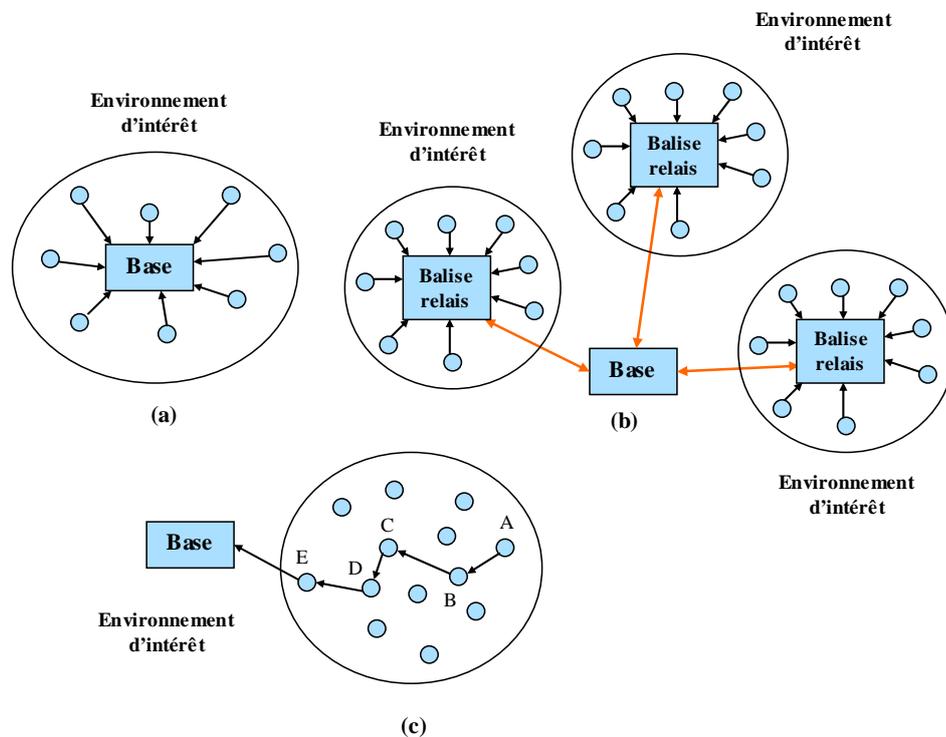


Figure IV-1 : Exemples de réseau de microcapteurs, (a) communication directe avec la base, (b) communication via balise relais, (c) communication via nœuds servant de relais

Le rôle de la base de traitement est de collecter les données issues de chacun des nœuds. Ces données peuvent par la suite être traitées et utilisées soit directement, soit via un autre réseau type Internet [AKI02]. La caractéristique principale des nœuds est l'autonomie ou encore leur capacité à s'autogérer aussi bien au niveau collecte et traitement des données qu'au niveau alimentation et transmission.

Les principales caractéristiques des réseaux de capteurs sont les suivantes :

- Une application connue au départ, entraînant un déploiement optimal du réseau selon les contraintes de cette application.
- Le nombre de nœuds constituant le réseau peut être très important et avec une densité variable au gré des apparitions et disparitions.
- Une énergie disponible pour chaque nœud finie. C'est-à-dire un nœud difficilement rechargeable voir même non rechargeable.

I.2. Architecture d'un nœud

Le schéma synoptique d'un nœud est illustré en Figure IV-2 [TER08].

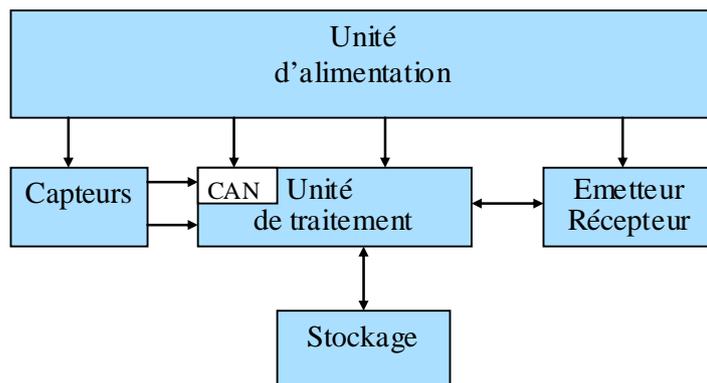


Figure IV-2 : Schéma synoptique d'un nœud

Il est construit autour des éléments suivants :

- Un capteur dont le rôle est de transformer une grandeur physique ou chimique en une grandeur exploitable, le plus souvent électrique, tension ou courant.
- Une unité de traitement : Son rôle est souvent rempli par un microcontrôleur, elle assure les fonctionnalités suivantes :
 - ✓ Le contrôle des éléments du nœud : mise en activité ou au repos
 - ✓ La récupération des données issue du capteur, le traitement de ses données : cryptage, stockage, élimination de données erronées
 - ✓ La gestion des protocoles de communication : routage, gestion du réseau

Le choix d'un microcontrôleur dépend des fonctionnalités de l'application visée et de son coût. Par ailleurs, il est important de réduire sa consommation en mode inactif. En effet, ce dernier devant gérer le fonctionnement global du nœud, il doit toujours maintenir une certaine activité : gestion du stockage des données, synchronisation, gestion du réveil. Par conséquent, Il est l'élément le plus consommateur du nœud en mode inactif. Or, comme le mode veille est le plus long dans les applications réseaux de capteurs, la consommation du microcontrôleur dans ce mode peut constituer une part prépondérante de la consommation moyenne du nœud.

- Un module de communication qui sert à transmettre les données issues du nœud via le réseau jusqu'à la station de base. Cette fonction est souvent réalisée par un module radiofréquence (RF) qui est composé d'un émetteur et d'un récepteur. L'émetteur permet de transmettre les données mesurées et le statut d'un nœud vers la base de traitement. Dans certaines applications, le récepteur peut être nécessaire afin de relayer les données issues d'autres nœuds, de recevoir une requête de la base de traitement ou de recevoir un

accusé de réception. Le choix du module RF est dépendant des spécifications de la partie communication définies par l'application:

- ✓ La portée, distance entre l'émetteur et le récepteur
 - ✓ Le type de modulation choisie
 - ✓ Le débit et la vitesse de transmission des données
- Une alimentation : qui doit fournir l'énergie nécessaire au fonctionnement de l'ensemble du nœud. Elle dépend de l'encombrement, de l'autonomie et des fonctionnalités requises par l'application. Il existe différents types de sources d'énergie [ROU04] : batteries, micro-batteries, super-capacités et micro-générateurs. Dans le Tableau IV-1, nous présentons une étude comparative des différentes sources d'énergie existantes ou en cours de développement [TER08].

Tableau IV-1 : Exemples d'alimentation

<i>Types alimentation</i>	<i>Exemples</i>	<i>Points forts et faibles</i>
<i>Batteries</i>	<ul style="list-style-type: none"> ✓ Alcaline ✓ Lithium ✓ Nickel Cadmium 	<ul style="list-style-type: none"> - Encombrement + Forte capacité + Rechargeable ou non
<i>μBatteries</i>	<ul style="list-style-type: none"> ✓ Lithium ✓ Nickel 	<ul style="list-style-type: none"> + Faible encombrement - Autonomie
<i>Super capacités</i>		<ul style="list-style-type: none"> + Temps de charge rapide + Forte capacité - Fort courant de fuite
<i>μgénérateur</i>	<ul style="list-style-type: none"> ✓ μturbine ✓ Piézoélectrique ✓ Panneaux solaire 	<ul style="list-style-type: none"> + Faible encombrement - Electronique complexe + Stockage

1.3. Applications des réseaux de capteurs

De nombreuses applications peuvent être envisagées pour les réseaux de capteurs. Dans ce qui suit, nous présentons brièvement quelques exemples d'application :

- Surveillances militaires : les WSNs sont utilisés pour la surveillance des champs de bataille afin de fournir des renseignements concernant l'emplacement, le nombre, le mouvement et l'identité des soldats et des véhicules, ou bien encore pour la détection des agents chimiques, bactériologiques et nucléaires.
- Surveillance de l'environnement : tels que la surveillance des feux de forêts, la mesure de la température, de la pression, de la qualité de l'eau ou de l'air etc.
- Suivi de biens ou de personnes : comme le suivi du positionnement sur une chaîne de production ou l'assistance à domicile de personnes à autonomie réduite.

- Supervision des structures et des phénomènes sismiques : cette application concerne les bâtiments et structures intelligentes où les réseaux WSNs peuvent être utiles pour des contrôles de sûreté tels que le contrôle antisismique ou de déformation d'une structure.
- Application domotiques : Système domotique de chauffage et climatisation, d'éclairage ou de distribution d'eau, améliorer les processus de stockage et de livraison...

I.4. Contraintes de conception

La conception des réseaux de capteurs doit tenir compte de plusieurs contraintes internes, d'une part, liées à leurs propres fonctionnements, externes d'autre part, liées aux spécifications du marché de communication sans fil telles que :

- ✚ Consommation d'énergie : l'économie d'énergie est l'une des problématiques majeures dans les réseaux de capteurs. En effet, la recharge des sources d'énergie est souvent trop coûteuse et parfois impossible. Il faut donc que les capteurs économisent au maximum l'énergie afin de pouvoir fonctionner. Les recherches menées dans [TER08] montrent que la part de la partie RF dans la consommation d'un nœud peut atteindre 50% de la consommation totale en fonctionnement ON. Il est donc important de s'intéresser à la diminution de l'influence de la RF sur la consommation globale d'un nœud dans l'optique d'obtenir de meilleures performances en termes d'autonomie.
- ✚ Tolérance aux pannes : Les nœuds peuvent être sujets à des pannes dues à leur fabrication ou plus fréquemment à un manque d'énergie et aux interactions externes (chocs, interférences). Il convient donc d'évaluer la capacité du réseau à fonctionner sans interruption afin de minimiser les pannes.
- ✚ Coût de fabrication : La réduction du coût de fabrication des nœuds est d'une importance capitale dans la gestion du coût global du réseau afin de pouvoir justifier son intérêt par rapport aux réseaux classiques.
- ✚ Topologie du réseau : En raison de leur forte densité dans la zone à observer, il faut que les nœuds-capteurs soient capables d'adapter leur fonctionnement afin de maintenir la topologie souhaitée.

La conception des réseaux de capteurs sans fil nécessite donc de relever de nombreux challenges techniques, le plus important étant celui de l'optimisation de l'énergie et particulièrement dans les module Tx/Rx. A ce titre, nous nous intéressons dans ce chapitre à la réduction de la consommation en puissance des LNAs en proposant une méthodologie de

conception sous contrainte. Nous abordons également la problématique de la réduction de la tension d'alimentation due à la miniaturisation des technologies CMOS.

II. TECHNIQUES DE CONCEPTION SOUS BASSE TENSION ET FAIBLE CONSOMMATION

Comme nous l'avons vu au chapitre premier, la réduction de la longueur de grille des transistors implique une réduction de la tension d'alimentation des circuits intégrés ; cela est bénéfique pour les circuits numériques qui diminuent ainsi leur consommation dynamique. Cependant, pour ce qui est de la conception analogique, les performances des circuits telles que la dynamique de sortie, le gain et la linéarité peuvent être détériorées quand la tension d'alimentation est réduite. Ainsi, de nouvelles méthodologies de conception doivent être développées pour répondre à ces limitations technologiques [BAR05] [MAR07]. L'une des techniques utilisées pour palier à cette contrainte est le «Forward Body Bias » qui est de plus en plus exploitée grâce au développement des technologies « triple well » [HSI08] [HSI07] [WU07]. L'augmentation de la tension V_{BS} entraîne une réduction de la tension de seuil du transistor V_{TH} , Figure IV-3, et l'augmentation de la transconductance g_m due à un accroissement du courant de drain. Afin de maintenir des caractéristiques identiques du LNA en termes de gain et de bruit sous une consommation en courant fixe, la combinaison de la polarisation de substrat ainsi que celle de la grille peut être utilisée pour réduire la tension d'alimentation V_{DD} .

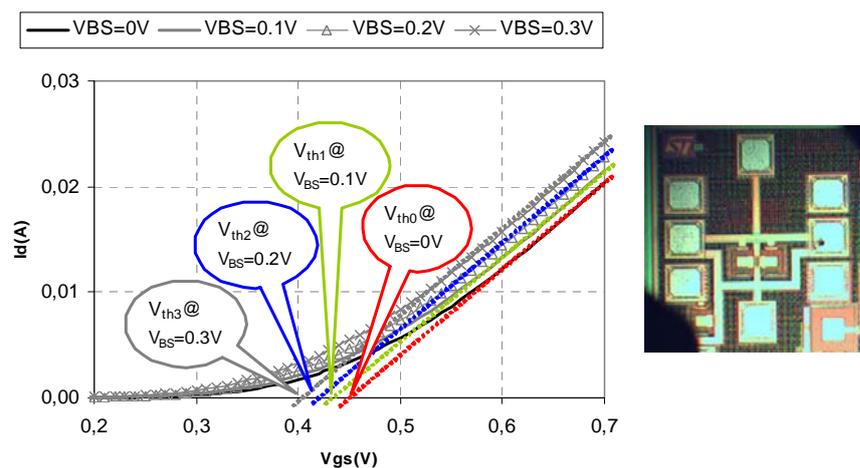


Figure IV-3 : Mesure de la variation du courant de drain et de la tension de seuil en fonction de V_{BS} pour $V_{DD}=0.5V$ pour un transistor NMOS ($160\mu\text{m}/0.13\mu\text{m}$)

Une autre technique de conception sous faible consommation consiste à polariser les transistors en inversion modérée. Les recherches menées [WAN08] [SIL96] montrent qu'un

facteur de mérite alliant à la fois rendement et performances du transistor dans ce mode peut être défini comme suit :

$$FOM_{MOS} = \frac{g_m f_T}{I_{ds}} \quad (IV-1)$$

Ils prouvent qu'un optimum du FOM (ou encore « sweet spot ») est atteint dans la zone d'inversion modérée. De ce fait les transistors des circuits analogiques sont de plus en plus polarisés dans ce mode afin d'optimiser le gain. Un exemple d'illustration de cette approche est présenté en Figure IV-4. Nous avons mesuré le FOM pour un transistor NMOS (160µm/0.13µm), en technologie CMOS 130nm, polarisé avec une tension $V_{DS}=0.5V$ et $V_{BS}=0.3V$. L'optimum est obtenu pour une tension $V_{GS}=0.44 V$ qui se trouve dans la limite entre l'inversion modéré et la forte inversion, tout en sachant que la tension de seuil est de l'ordre de 340mV.

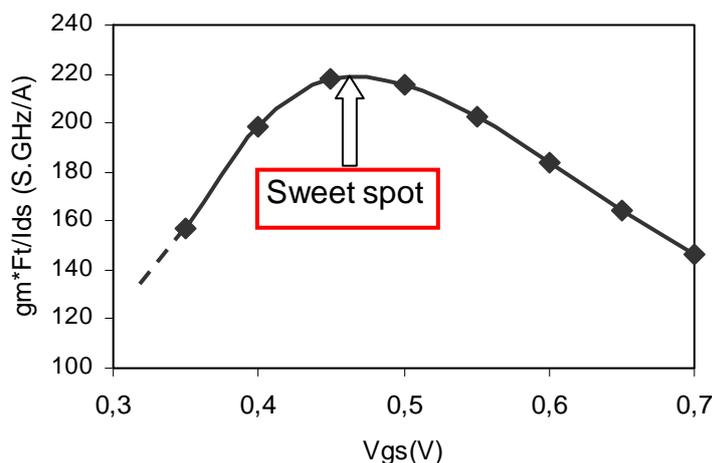


Figure IV-4 : Mesure du facteur de mérite ($g_m \cdot f_T / I_{ds}$) d'un transistor MOS (160µm/0.13µm)

Dans ce qui suit nous utilisons ces techniques pour optimiser le gain et le bruit du LNA sous contraintes de faible tension d'alimentation et faible consommation.

III. METHODOLOGIE DE CONCEPTION SOUS CONTRAINTE DE CONSOMMATION

Après avoir introduit le contexte de travail lié aux contraintes technologiques de faible tension d'alimentation et aux exigences des réseaux de capteurs sans fil de faible consommation, nous proposons dans cette section une nouvelle méthodologie de conception pour l'optimisation des LNAs à dégénérescence inductive en utilisant la technique « Forward Body Bias ». Sur la base des travaux rapportés dans [CAM08] sur la conception

d'une chaîne de réception pour réseaux de capteurs sans fil adressant le standard Zigbee, nous avons défini dans le Tableau IV-2 les spécifications qui seront retenues pour notre circuit. La consommation du récepteur étant le point le plus contraignant (limitée à 5mA dans [CAM08]), une attention particulière sera portée à la réduction de la consommation en puissance du LNA. Pour ce qui est du facteur de bruit, les spécifications imposées par le standard Zigbee sont très relâchées par rapport aux systèmes de communication sans fil classiques [HO06]. A titre d'exemple, le facteur de bruit d'une chaîne de réception avec une sensibilité de -85dBm à l'entrée est estimé à 24dB [CAM08] ce qui est très élevé en comparaison avec celui retenu pour le standard GSM (8 à 9 dB).

Tableau IV-2 : Spécifications retenues pour la conception du LNA

Paramètre	Valeur
VDD(V)	≤ 0.6
P(mW)	≤ 0.5
G(dB)	≥ 10
NF(dB)	≤ 3
IIP3(dBm)	≥ -10

Les techniques proposées dans la littérature pour l'optimisation du bruit des LNAs sont généralement basées sur la méthode de Thomas LEE [LEE98], décrite dans le chapitre précédent. Avec la miniaturisation des technologies CMOS, cette approche devient cependant de moins en moins adaptée à la contrainte de consommation du marché de communication sans fil. A part le fait qu'elle est indépendante de la consommation en puissance, elle engendre dans certains cas une dégradation du facteur de bruit et de la linéarité du LNA. En effet, les largeurs de grille prévues par la théorie sont souvent très grandes (dépassant parfois les 300 μ m). Afin de réduire la consommation en courant, le transistor d'entrée doit être polarisé avec une tension V_{GS} petite (inférieure à $V_{th}-0.1V$) et se retrouve alors en régime de faible inversion pour lequel le modèle du MOS utilisé pour ces calculs n'est plus valide. L'efficacité de cette méthode est caduc, les caractéristiques du LNA ainsi dimensionnés sont non optimisées.

D'autres recherches ont proposé une méthodologie d'optimisation du bruit des LNAs en technologie bipolaire et CMOS [HO06] [MOR06]. Celles-ci débutent en général par le calcul de la densité de courant optimale, J_{opt} . Cette étape va permettre par la suite de dimensionner le transistor d'entrée pour un bruit minimum à une fréquence de travail

donnée sous une consommation en courant fixe. Afin d'évaluer cette technique, nous avons calculé la densité J_{opt} , combinée avec l'approche FBB. Elle est illustrée en Figure IV-5. Nous obtenons un facteur de bruit minimal de 0.62dB pour une plage de densité de courant optimale allant de 210 μ A/ μ m à 350 μ A/ μ m.

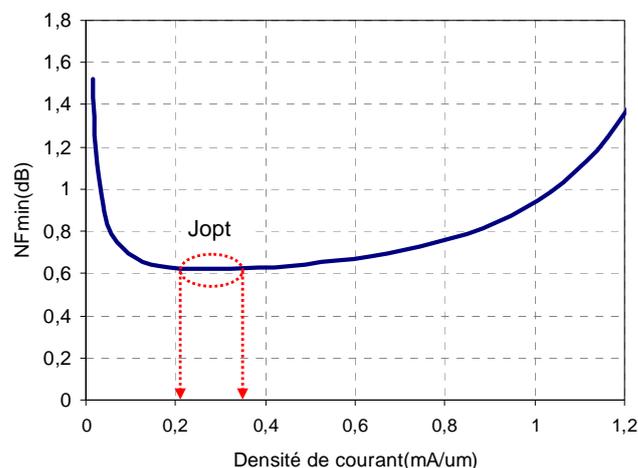


Figure IV-5 : Calcul de J_{opt} pour un minimum de NFmin
 $0.2 < V_{GS} < 0.9$, $W=10\mu\text{m}$, $nd=1$, $L=0.13\mu\text{m}$, $V_{DD}=0.5\text{V}$, $V_{BS}=0.3\text{V}$, $f=2.4\text{GHz}$

Le calcul de la largeur optimale de grille fait à partir d'une densité J_{opt} égale 0.22mA/ μ m est de l'ordre de 4 μ m. Ce dimensionnement n'est pas favorable à l'adaptation d'entrée du LNA. En effet pour des largeurs de grille très faibles, la capacité grille source C_{gs} du transistor est très faible et requiert de fortes valeurs d'inductance d'entrée L_g pour maintenir l'adaptation à 50 Ω , ce qui ne va pas dans le sens de l'intégration ni de la réduction du facteur de bruit. Par ailleurs, les inductances intégrées de fortes valeurs présentent un coefficient de qualité faible, i.e. une résistance série forte, qui va contribuer à fortement dégrader le NF. Pour cette raison, il convient de choisir une nouvelle largeur de grille W_{opt} permettant un meilleur compromis entre les différentes caractéristiques du circuit.

Les travaux reportés [SHA97] offrent deux voies d'optimisation du bruit : une première sous contrainte de puissance et une deuxième sous contrainte de gain. Ces recherches s'appuient sur l'analyse des contours de la figure de bruit en fonction de la consommation en puissance qui permet de définir une polarisation optimale du circuit pour laquelle un NF minimal peut être atteint. Cependant les résultats obtenus restent en dessus des spécifications retenues pour les réseaux de capteur sans fil.

La méthodologie de conception que nous développons ici est une approche globale permettant un dimensionnement optimal du transistor d'entrée pour un meilleur compromis

entre le gain, le bruit et la consommation en puissance. Elle est basée sur les résultats de simulations. Les différentes étapes de la conception sous contrainte de consommation sont présentées dans la Figure IV-6. Les points importants autour desquels se fait l'optimisation des caractéristiques du LNA sont :

- Le calcul de la largeur optimale de doigt de grille permettant au transistor, avec polarisation de substrat, de minimiser son bruit à une fréquence donnée.
- L'estimation du nombre de doigts nécessaire pour un bon compromis entre le gain, l'adaptation en puissance et en bruit.

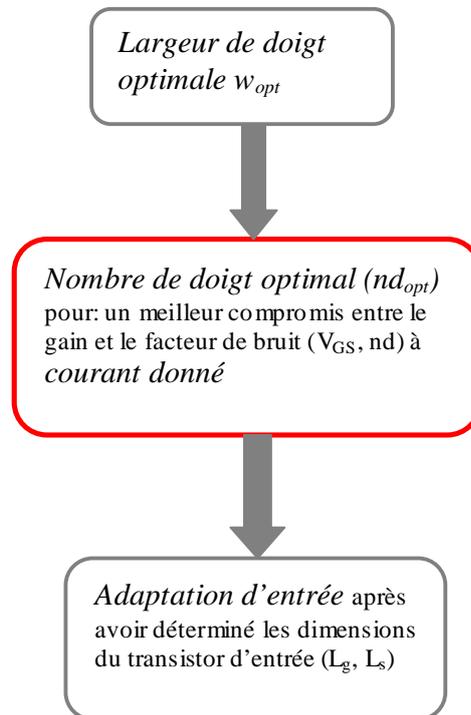


Figure IV-6 : Méthodologie de conception

III.1. Largeur de doigt optimale

La polarisation de substrat doit être prise en compte dès le début du processus de conception sinon elle engendra un changement du point de polarisation qui lui même entrainera un nouveau dimensionnement des composants du circuit. La première étape consiste à déterminer la largeur de doigt optimale pour un facteur de bruit minimal. La détermination de ce paramètre (w_{opt}) peut se faire sur la base du circuit de la Figure IV-7 en faisant varier la tension V_{GS} du transistor. Pour cela nous faisons varier la largeur de grille W pour un nombre de doigt fixe égal à 10, Figure IV-8.

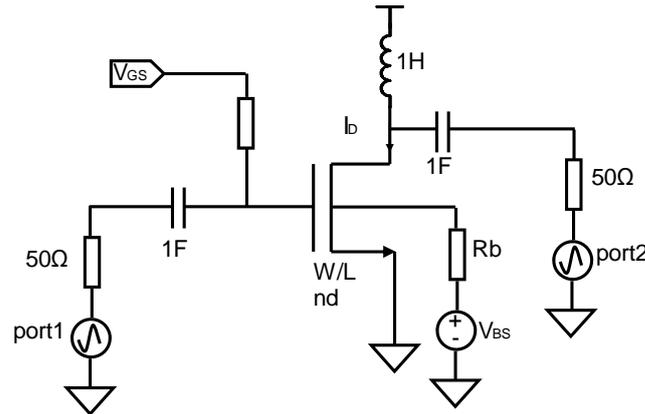


Figure IV-7 : Configuration de simulation pour dimensionnement en bruit du MOS

Les largeurs de doigt optimales varient entre $4\mu\text{m}$ et $6\mu\text{m}$.

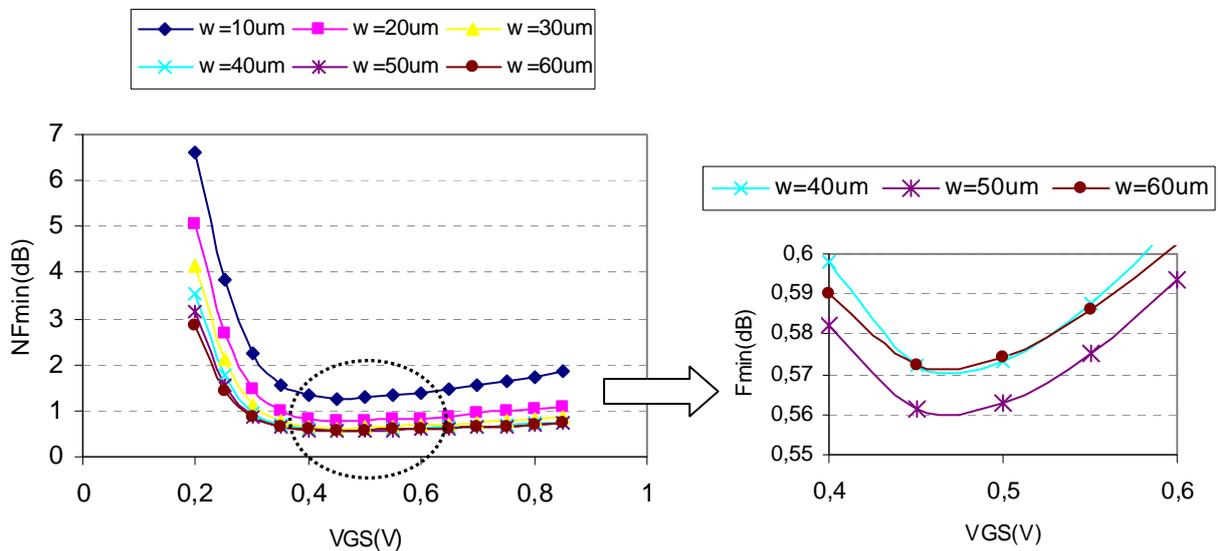


Figure IV-8 : NFmin en fonction de V_{GS} pour différentes largeurs de doigt
 $L=0.13\mu\text{m}$, $nd=10$, $VDD=0.5$, $f=2.4\text{GHz}$

La largeur du doigt est un compromis entre sa résistivité et la valeur de la capacité qu'il crée par recouvrement avec les connexions de drain et de source :

- Plus le doigt est fin, plus il y aura de doigts en parallèle pour une largeur de transistor donnée. Plus faible sera la résistance de grille et ainsi le bruit thermique associée.
- Plus le doigt est large, moins il y aura de doigts en parallèle pour une largeur de transistor donnée. Plus faible seront les capacités parasites C_{gs} et C_{gd} , la f_T du transistor sera alors plus élevée et le NF plus faible.

Nous garderons pour la conception de notre LNA une largeur de doigt de $4\mu\text{m}$. La prochaine étape consiste à déterminer le nombre de doigt optimal qui permet de réunir

toutes les conditions de faible consommation, intégration et gain requis pour l'application visée.

III.2. Nombre de doigt

Le choix du nombre de doigt est régi par plusieurs facteurs :

- Le mode de fonctionnement du transistor qui dépend de V_{GS} :
 - ✚ $V_{GS} < V_{TH} - 0.1$: mode de faible inversion qui est moyennement favorable à un NF faible et une bonne linéarité avec un gain faible.
 - ✚ $V_{TH} - 0.1 < V_{GS} < V_{TH} + 0.1$ mode d'inversion modérée qui est favorable à une bonne linéarité et un bon NF avec un gain moyen.
 - ✚ $V_{TH} + 0.1 < V_{GS} < V_{TH} + 0.7$ mode de forte inversion qui est favorable à un NF faible et une linéarité moyenne avec un gain élevé.
 - ✚ $V_{GS} - V_{TH} > 0.7$ mode canal court qui n'est pas favorable à un NF faible
- La taille de l'inductance d'entrée L_g : Les valeurs faibles de L_g sont favorables à une bonne intégration et donc à la réduction du coût.
- Le gain du LNA qui dépend, comme nous l'avons vu en chapitre III, de la taille du transistor d'entrée et des inductances d'adaptation L_g , L_s et L_d . Il est proportionnel au paramètre β défini par :

$$G_v = \sqrt{\frac{L_g + L_s}{C_{gs}}} \cdot g_{m1} \frac{L_d}{R_s} = \beta \cdot \frac{L_d}{R_s} \quad (IV-2)$$

Afin de déterminer le nombre de doigt optimal nd_{opt} permettant l'optimisation des caractéristiques du LNA sous contrainte de consommation, nous avons relevé dans la Figure IV-9 les variations des différents paramètres de conception en fonction de nd . Nous commençons tout d'abord par identifier sur la première courbe la plage optimale de nd pour le mode de fonctionnement du transistor qui est le régime d'inversion modérée. Ensuite, sur la seconde courbe nous définissons la fenêtre de nd permettant d'avoir un bon compromis entre l'intégration traduite par la valeur de L_g et le gain du LNA (β ici). Les plages trouvées sont délimitées en orange clair. La réduction de L_g due à l'augmentation de la largeur de grille est certes favorable pour l'intégration et la réduction du coût mais elle entraîne une dégradation de gain. Un compromis entre tous ces paramètres devra donc être fait afin d'atteindre les spécifications requises pour l'application visée. A la base de ces observations, nous présentons dans le Tableau IV-3 les points positifs et négatifs de chaque zone. La plage de nombre de doigt optimale qui semble répondre à toutes les exigences varie entre 40 et 50.

C'est la zone hachée en mauve dans la figure IV-8. Le nombre de doigt retenu est celui qui permet de polariser le transistor d'entrée en inversion modérée avec une consommation en courant inférieure à 1mA. Nous retenons donc pour notre circuit un nd égal à 40 donc une largeur de grille W de 160 μ m et une tension de polarisation de grille V_{GS} de 340mV. Sur le graphe de la Figure IV-8, nous vérifions que cette tension appartient à la fenêtre dans laquelle le NF_{min} du transistor est presque constant et minimal. Dans le cas où le nombre nd_{opt} trouvé entraîne une polarisation du transistor d'entrée du LNA dans un mode autre que l'inversion modérée, la largeur optimale du doigt w_{opt} doit être modifiée (toujours en minimisant le bruit) afin de remplir les spécifications que nous avons initialement fixées.

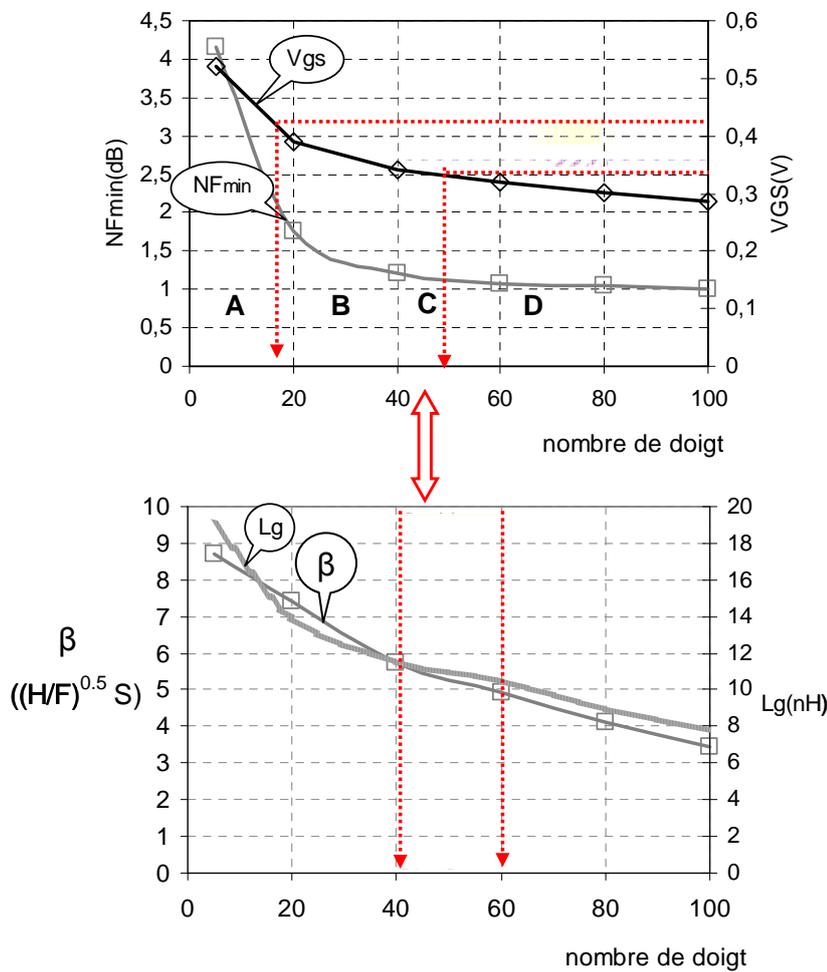


Figure IV-9 : Variation des paramètres de conception en fonction du nombre de doigt

Tableau IV-3 : Analyse des caractéristiques du LNA en fonction du nombre de doigt du LNA

Zone	A	B	C	D
Nombre de doigt	5 - 20	20 - 40	40 - 50	50 - 100
Mode de fonctionnement	Faible inversion	Inversion modérée	Inversion modérée	Forte inversion
NF	☹️☹️	☹️	😊	😊
Consommation	😊😊	😊	😊	☹️☹️
Linéarité	☹️☹️	😊😊	😊😊	☹️☹️
Gain	☹️☹️	☹️	😊	😊
Intégration	☹️☹️	☹️	😊	😊😊

IV. RESULTATS DES SIMULATIONS POST LAYOUT

L'objectif de cette partie est de valider par les simulations la méthode de conception sous contrainte de consommation développée précédemment. Une fois que tous les composants sont dimensionnés afin d'obtenir les performances voulues répondant à toutes les contraintes que nous avons fixées, nous suivons la même démarche, décrite dans le chapitre trois, pour le routage du circuit. Le LNA sera mesuré sous pointes, les bondings n'interviendront donc pas au niveau des simulations. Après avoir pris en compte les éléments parasites de natures capacitives et résistives, nous présentons dans la Figure IV-10(a) le schématique du LNA, conçu en technologie CMOS 130nm de STMicroelectronics, avec les valeurs finales retenues pour tous composants. La taille du circuit est de 1mm². Elle est principalement occupée par les éléments passifs en particulier les inductances. Une photographie du Layout est également illustrée en Figure IV-10(b).

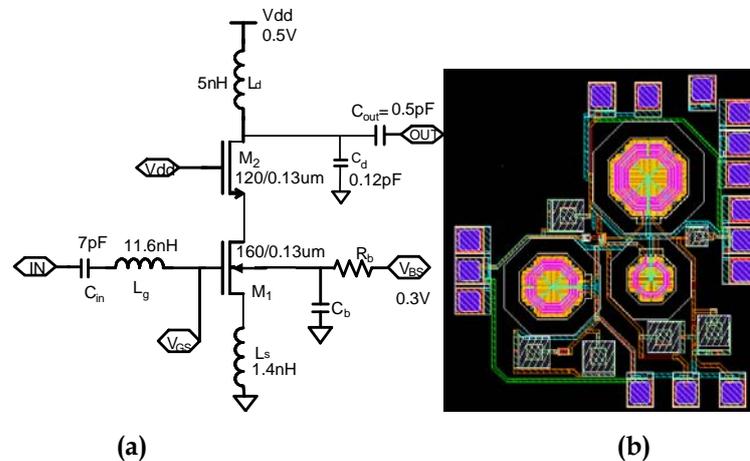


Figure IV-10 : (a) Schématique et (b) layout du LNA

Le transistor d'entrée M1 est polarisé en inversion modérée avec une tension $V_{GS}=0.34V$ et une polarisation de substrat de $0.3V$. Les paramètres S issus des simulations post layout sont présentés en Figure IV-11. Alimenté sous $0.5V$, le LNA a un gain de $9.6dB$ à $2.4GHz$ avec une consommation en courant de $0.88mA$. Les paramètres S11 et S22 sont respectivement de $-14.23dB$ et $-19.12dB$. L'isolation S12 est de $-33.1dB$. Les caractéristiques de bruit, de consommation et de linéarité répondent au cahier des charges défini en II, pour ce qui est du gain il légèrement inférieur à la valeur requise pour les réseaux de capteur sans fil adressant le standard Zigbee.

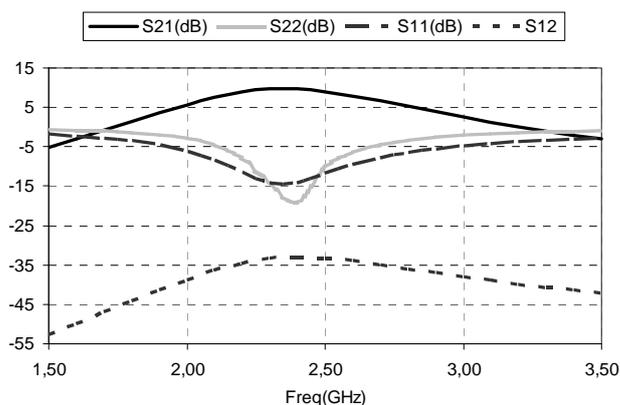


Figure IV-11 : Paramètres S simulés en fonction de la fréquence

Le facteur de bruit (NF) du LNA est illustré en Figure IV-12. Il est égal à $2.6dB$ à $2.4GHz$. Sous une consommation en puissance de $0.48mW$, cette valeur reste largement inférieure à celle retenue pour les WSN. En Figure IV-12, nous avons aussi tracé le facteur de bruit minimal (NF_{min}) du LNA. Seulement $0.2dB$ de différence est observée entre les deux caractéristiques de bruit. Nous pouvons donc conclure que la démarche de conception proposée ici permet d'adapter le transistor M1 en bruit tout en respectant la contrainte de consommation fixée.

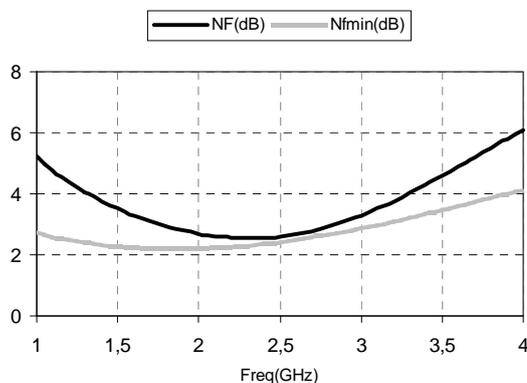


Figure IV-12 : NF et NFmin en fonction de la fréquence

L'IIP3 simulé, présenté en Figure IV-13, est correct de -7dBm. Pour ce qui est de l'ICP1, il est égal à -16dBm. Ce résultat est inhérent à la réduction de la tension d'alimentation qui diminue la plage dynamique de tension en sortie.

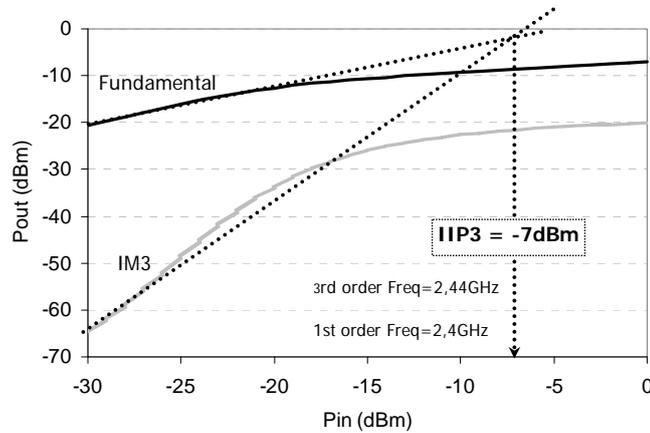


Figure IV-13 : IIP3 simulé

Les résultats des simulations post layout obtenus attestent de la qualité de la méthodologie proposée pour la conception des LNAs sous faible tension d'alimentation et faible consommation. Elle permet d'avoir un bon compromis entre le gain, le bruit et la consommation en puissance tout en gardant une linéarité acceptable.

V. RESULTATS DES MESURES

V.1. Implémentation du circuit et banc de mesure

Le circuit a été réalisé en technologie CMOS 130nm de STMicroelectronics. Dans la Figure IV-14, nous présentons une photographie de la puce.

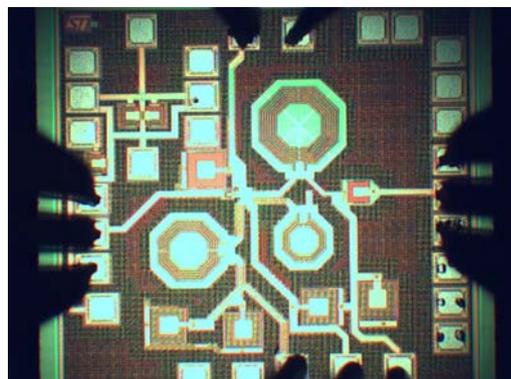


Figure IV-14 : Photographie de la puce

Le banc de mesure mis en place pour le test du LNA est illustré en Figure IV-15. Les mesures ainsi que les calibrations sont pilotées par ordinateur et peuvent donc être

automatisées. La chaîne de calibration remonte jusqu'au connecteur et les dispositifs utilisés pour la caractérisation du circuit sont les mêmes que ceux décrits dans le chapitre précédent. Le LNA est alimenté sous 0.5V et consomme 980μA.

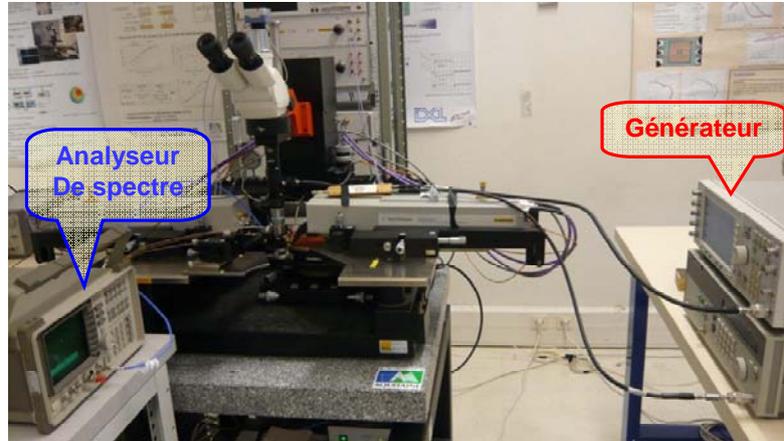


Figure IV-15 : Banc de mesure sous pointes

V.2. Résultats expérimentaux

L'objectif des mesures effectuées est de valider la robustesse de la méthodologie de conception développée sous contrainte de consommation. Les performances du démonstrateur mesurées à la fréquence 2.4GHz ainsi que les paramètres S sont respectivement présentés dans le Tableau IV-4 et Figure IV-16. Nous constatons que le gain mesuré (9dB) est légèrement inférieur au gain attendu (9.6dB). Ce résultat est dû à un décalage de l'optimum des adaptations entrée-sortie.

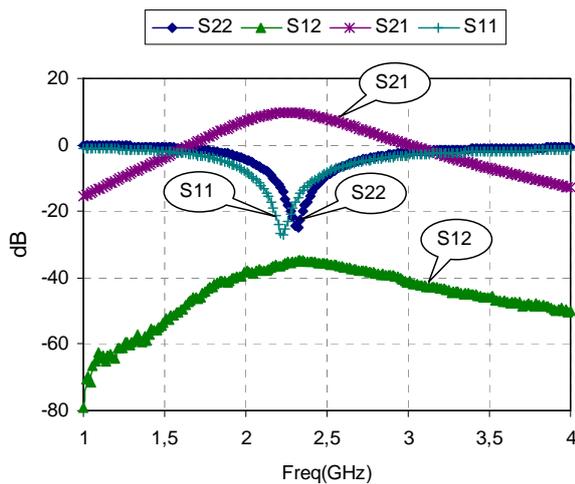


Figure IV-16 : Mesures des paramètres S

Tableau IV-4 : Caractéristiques du LNA à 2.4GHz avec VBS=0.3V

Paramètre	Valeur
V_{DD}	0.5V
I_{DD}	980μA
V_{GS}	0.35V
S_{21}	9dB
S_{11}	-11.2dB
S_{22}	-14.8
S_{12}	-35

Afin de retrouver la même valeur de gain qu'en simulation, nous avons effectué des mesures load pull qui permettent de déterminer l'impédance optimale de charge Z_L pour un

maximum de gain. Pour une impédance de 50Ω en entrée, nous obtenons un gain de 9.54dB, Figure IV-17(b), pour : $Z_L = 77.5 - j * 10.4$

Nous avons également mesuré l'impédance optimale en entrée Z_S pour un gain maximal. Pour une impédance de charge égale à Z_L nous mesurons un gain de 9.8, Figure IV-17(a), pour : $Z_S = 76 - j * 9.8$

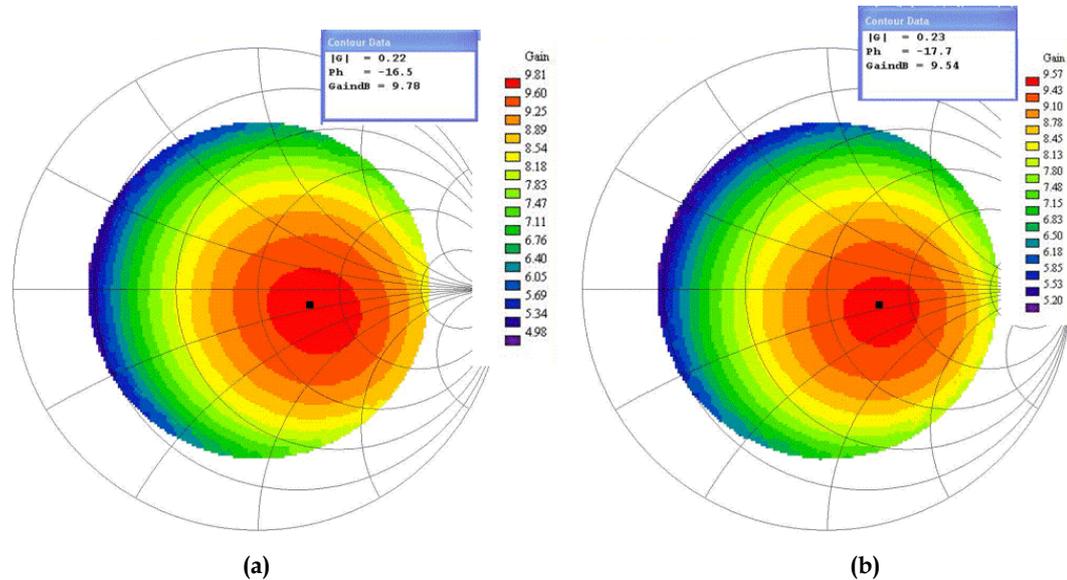


Figure IV-17 : Mesures: (a) source-pull, (b) load-pull

Le facteur de bruit mesuré est présenté en Figure IV-18. Nous constatons une dégradation de 0.6dB par rapport à la valeur simulée (2.6dB). Cet écart est du à la chute de gain et n'affecte pas pour autant la qualité du circuit dont les caractéristiques sont suffisantes pour adresser les applications type WSN. Nous observons aussi que le NF reste constant, aux alentours de 3.1dB, sur une large bande de fréquence qui s'étend de 1.7GHz jusqu'à 2.4GHz ce qui met en lumière le fort intérêt de l'approche adoptée pour l'adaptation en bruit du transistor d'entrée du LNA sous contrainte de consommation.

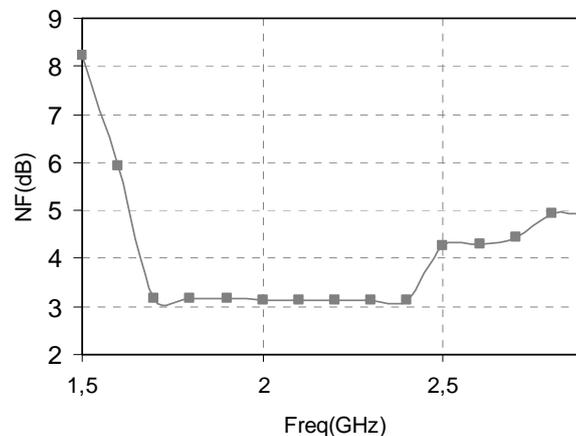


Figure IV-18 : Mesure de NF

La mesure de l'IIP3 a été effectuée en injectant deux tons situés à 2.4GHz et 2.42GHz à l'entrée du LNA. La valeur de l'IIP3 mesurée est donnée en Figure IV-19. Elle est de -7.2dBm et en concordance avec celle simulée.

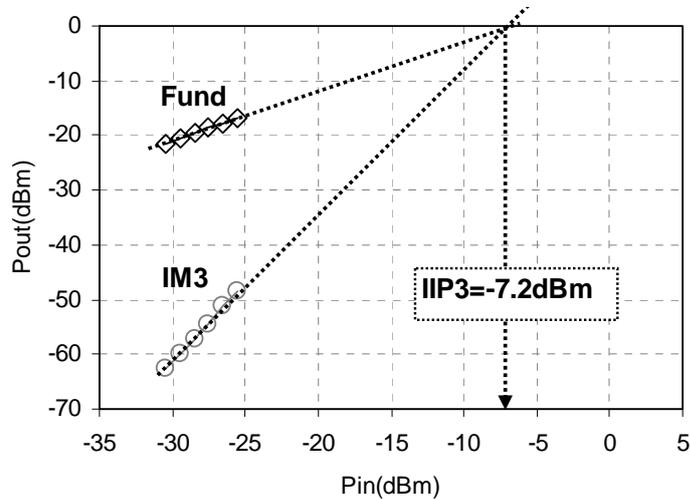


Figure IV-19 : Mesure de l'IIP3

Nous nous intéressons maintenant à la variation du gain, du bruit et de la consommation du LNA en fonction de la polarisation de substrat. Dans la Figure IV-20, nous présentons l'effet du « forward body bias » sur ces caractéristiques. La réduction de la tension V_{BS} entraîne une dégradation du gain et du bruit au dépend d'une économie de puissance. Les caractéristiques du LNA à $V_{BS}=0.2V$ en termes de consommation et de bruit restent cependant suffisantes pour répondre aux spécifications de réseaux de capteurs sans fil [CAM08].

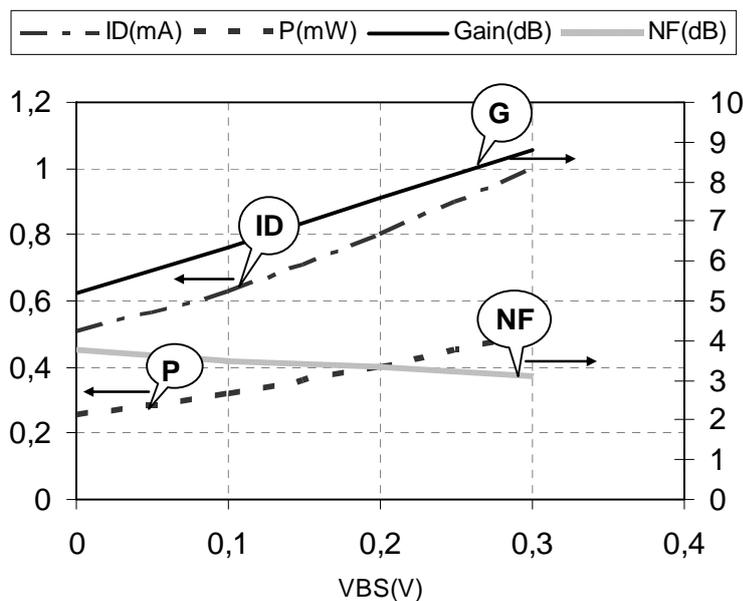


Figure IV-20 : Variation des caractéristiques du LNA en fonction de V_{BS}

V.3. Comparaison des résultats à l'état de l'art

Dans le Tableau IV-5 nous présentons un comparatif entre les résultats obtenus en test avec notre circuit et d'autres LNAs à faible tension d'alimentation de la littérature. L'objectif principal du travail étant de maintenir un bon compromis entre le gain et le facteur de bruit sous contrainte de consommation, nous utilisons donc pour la comparaison de la qualité des travaux publiés, le facteur de mérite exprimé comme suit [WU07] :

$$FOM_{noise} = \frac{Gain}{(NF - 1)P_{dc} (mW)} \quad (IV-3)$$

Ce deuxième LNA conçu dans ce mémoire de thèse est très bien positionné dans l'état de l'art. Il a un FOM largement supérieur à celui des circuits publiés dans [HSI08] et [WU07] qui emploient la FBB pour réduire la tension d'alimentation. Par ailleurs il devance les travaux publiés dans [LEE06] pour les applications à faible consommation et celui de [HO06] qui propose une méthodologie de conception sous contrainte de consommation basée sur le calcul de la densité de courant optimale. Le NF simulé pour ce circuit reste néanmoins important de l'ordre de 5dB sous une consommation en puissance relativement excessive pour les réseaux de capteurs sans fil. Les performances mesurées pour notre LNA attestent donc de la robustesse de la méthode suivie pour la conception. Le FOM trouvé dans [DO08] est certes le plus important dans l'état de l'art, du à sa caractéristique de gain très importante, mais sa consommation en puissance est plus de deux fois celle de notre circuit. D'autre part, il fonctionne à la tension nominale de la technologie (1.8V). L'analyse du travail présenté ici dans sa globalité montre qu'il a le meilleur compromis entre le bruit, le gain, la tension d'alimentation et la consommation.

Tableau IV-5 : Comparaison des performances de notre LNA à l'état de l'art

	<i>Ce travail</i>	[HSI08]	[WU07]	[HO06]	[DO08]	[LEE06]
<i>Fréquence (GHz)</i>	2.4	5.2	5	2.4	2.4	3
<i>Technologie (µm)</i>	0.13	0.18	0.13	0.09	0.18	0.13
<i>Tension d'alimentation (V)</i>	0.5	0.6	0.4	0.5	1.8	0.6
<i>Puissance (mW)</i>	0.49	1.08	1.03	2.8	1,13	0.4
<i>G(dB)</i>	9	10	10.3	13	21.4	9.1
<i>NF(dB)</i>	3.1	3.36	5.3	4.9	5.2	4.7
<i>IIP3(dBm)</i>	-7.2	-8.6	-	-9	-11	-11
<i>FOM_{noise}(mW⁻¹)</i>	15.56	7.92	4.35	3.4	52	10.4

VI. CONCLUSION

Après avoir présenté un état de l'art sur les réseaux de capteurs sans fil (WSN), ses caractéristiques et ses applications, nous avons identifié les différentes contraintes techniques auxquelles les concepteurs doivent faire face. Etant donné que la partie RF d'un nœud a une part prépondérante dans la consommation totale du capteur en mode réveil, les points essentiels retenus pour l'optimisation des amplificateurs faible bruit sont dans l'ordre d'importance : la réduction de coût et de la consommation tout en gardant des performances identiques, voire supérieures, à l'état de l'art en termes de gain, de linéarité et de bruit. A ces exigences s'ajoutent aussi la réduction de la tension d'alimentation due à la miniaturisation des technologies CMOS. Nous nous sommes chargés donc dans ce chapitre de développer une méthodologie de conception pour les LNAs qui répond à toutes ces spécifications. Pour cela nous avons décrit quelques techniques de conception sous faible consommation qui sont principalement : la technique de « Forward Body Bias » et la polarisation en régime d'inversion modérée.

Dans un second temps, nous avons présenté les différentes étapes de la méthodologie de conception que nous avons mise au point. Ensuite nous l'avons validé au travers la conception d'un LNA à faible consommation implémenté en technologie CMOS 130nm et fonctionnant avec une tension d'alimentation de 0.5V. Les résultats de mesures obtenus concordent bien avec ceux des simulations post layout et répondent aux contraintes des réseaux de capteurs sans fil. Ils sont bien positionnés dans l'état de l'art et attestent de la qualité de la méthodologie proposée ici. Cette approche peut être aussi adoptée pour la conception d'autres architectures de LNA à base de dégénérescence inductive.

REFERENCES

- [AKI02] I. Akyildiz, W. Su, Y. Sankarasubramaniam and E. Cayirci. "A Survey on Sensor Networks". *IEEE Communications Magazine*. Vol. 40, 8, pp. 102-114, Août 2002.
- [BAR05] A. Bargagli-Stoffi, J. Sauerbrey, J. Wang, and D. Schmitt-Landsiedel. "Challenges of VDD Scaling for Analog Circuits : an Amplifier". *Advances in Radio Science*, 3 :377-381, May 2005.
- [CAM08] M. Camus, « Architecture de réception RF très faible coût et très faible puissance. Application aux réseaux de capteurs et au standard ZigBee. *Mémoire de thèse*. Université Toulouse III, Paul Sabatier. Février 2008.
- [DO08] A. Do, C. C. Boon, M. A. Do, K. S. Yeo, and A. Cabuk, "A subthreshold low-noise amplifier optimized for ultra-low-power applications in the ISM band," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 2, pp. 286--292, Feb. 2008.
- [EST04] D. Culler, D. Estrin and M. Srivastava. "Overview of Sensor Networks". *IEEE Computer*. Vol. 37, 8, pp. 41-49, 2004.
- [HSI07] H. H. Hsieh and L. H. Lu, "A high-performance CMOS voltage- controlled oscillator for ultra-low-voltage operations," *IEEE trans. Microwave Theory Thec.*, vol. 55, pp.467-473, Mar. 2007.
- [HSI08] H. H. Hsieh, Wang, J.-H., Lu, L.-H. " Gain-enhancement techniques for CMOS folded cascode LNAs at low-voltage operations." *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 8, pp. 1807 - 1816, 2008.
- [HO06] D. Ho, S. Mirabbasi, "Low-Voltage Low-Power Low-Noise Amplifier for Wireless Sensor Networks," *Canadian Conference on Electrical and Computer engineering, CCECE'06*, pp. 1494 - 1497, Ottawa, Canada, May 2006.
- [LEE98] T. H. Lee, "The Design of Narrowband CMOS Low-Noise Amplifiers," *Advances in Analog Circuit Design*, April 28-30, 1998.
- [LEE06] H. Lee and S. Mohammadi, "A 3 GHz subthreshold CMOS low noise amplifier," in *Proc. Radio Freq. Integrated Circuits (RFIC) Symp.*, Jun. 2006, [CD ROM].
- [MAR07] D Marchaland, " Architectures et Circuits dédiés aux Émetteurs Ultra Large Bande Bas Débit ". *Mémoire de thèse*. Décembre 2007. Université de Marne-La-Vallée.
- [MOR06] Moreira C.P., Kerherve E., Jarry P., and Belot D., "A Reconfigurable DCS1800/W-CDMA LNA: Design and Implementation Issues", *Proceedings of the 9th European Conference on Wireless Technology*, Manchester UK, pp. 357-360, September 2006.
- [ROU04] Roundy, S. "Power Sources for Wireless Sensor Networks". *Proceedings 1st European Workshop on Wireless Sensor Networks (EWSN'04)*, pp. 1-17, Berlin, Germany, 2004.

[SHA97] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier," *IEEE JSSC*, vol. 32, no. 5, pp. 745-59, May 1997.

[SIL96] F. Silveira, D. Flandre, P.G.A. Jespers, "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a Silicon-on-Insulator micropower OTA", *IEEE Journal of Solid-State Circuits*, 31 (1996) 1314-1319.

[TER08] G. Terrasson, Contribution à la conception d'émetteur-récepteur pour microcapteurs autonomes. *Mémoire de thèse*. Université de Bordeaux 1, 2008.

[WAN08] Wang B., Chen D., Liang B., and Kwasniewski T., "Optimized biasing technique for high speed digital circuits with advanced CMOS nanotechnology", (*MNRC'08*), Ottawa, Canada, Oct. 2008 pp. 181-184.

[WU07] WU, D., HUANG, R., WONG, W., WANG, Y. "A 0.4-V low noise amplifier using forward body bias technology for 5 GHz application," *IEEE Microwave and Wireless Components Letters*, 2007, vol. 17, no. 7, p. 543 - 545.

Conclusion et perspectives

CONCLUSION ET PERSPECTIVES

Le travail présenté dans ce mémoire de thèse porte sur l'étude de l'effet de substrat dans les amplificateurs faible bruit. Nous nous intéressons à la recherche de nouvelles techniques de conception de LNAs basées sur cette approche afin de répondre aux spécifications des nouveaux systèmes de communication.

Le chapitre I propose un descriptif des limitations technologiques dues à la miniaturisation des technologies CMOS ainsi qu'à l'évolution du marché des dispositifs portables. Les contraintes principales qui ont été identifiées sont la réduction de la tension d'alimentation et la multiplication croissante des standards de communication impliquant des spécifications sévères en termes de linéarité, de bruit, de consommation et de coût. Les concepteurs des circuits intégrés doivent donc s'orienter vers de nouvelles architectures de transmission multistandards reconfigurables afin de répondre à ces exigences. Après avoir dressé un état de l'art sur les topologies d'émission réception, les fonctionnalités des différents blocs d'une chaîne de réception ont été brièvement rappelées. Les travaux de recherches présentés dans cette thèse se focalisant en particulier sur les amplificateurs faible bruit, nous nous sommes attaché donc à définir les caractéristiques principales de ce bloc en termes de gain, d'adaptation d'entrée sortie, de bruit et de linéarité. Enfin nous avons défini le cadre général de notre étude qui consiste à l'optimisation des LNAs afin de répondre à l'évolution des communications sans fil.

Le chapitre II commence par un rappel général sur le transistor MOS et ses modes de fonctionnement. Les architectures de bases employées dans la littérature pour la conception des LNAs ont été par la suite décrites et un comparatif des points forts et faibles de chaque structure a été également présenté. Cette étude nous a permis de choisir, pour notre travail, la structure à dégénérescence inductive grâce à ses bonnes caractéristiques de gain et de bruit. Ensuite nous avons dressé un état de l'art sur les techniques de linéarisation des LNAs ainsi que leurs avantages et inconvénients. Dans cette perspective nous nous sommes attachés, dans un dernier temps, à présenter l'effet de substrat qui est l'approche mise en valeur dans cette thèse. Nous nous sommes donc intéressés à l'étude de cet effet en statique sur la linéarité d'un amplificateur source commune et nous avons conclu quant aux voies de recherches qu'il peut amener par les LNAs.

Le chapitre III présente tout d'abord une analyse théorique de l'effet de substrat sur l'adaptation d'entrée, le gain, le bruit et la linéarité d'un LNA à dégénérescence inductive. Les principaux avantages relatifs à cet effet qui ont été identifiés sont, d'une part,

l'optimisation de la linéarité et donc de la sensibilité des circuits de contrôle aux variations de process, en comparaison avec une polarisation de grille normale, d'autre part, le contrôle digital du gain. Ces observations ont été validées par la suite au travers la conception d'un démonstrateur opérant à 2.4GHz. Les résultats des mesures ainsi que ceux des simulations ont été clairement présentés et commentés. L'utilisation du DAC pour contrôler le gain du LNA par effet de substrat nous a permis de vérifier l'adaptation des spécifications du circuit au standard WiMAX pour des applications à gain variable mais également l'adaptation du « body bias » à la notion de reconfigurabilité requise pour les nouveaux systèmes mobiles. En ce qui concerne la linéarité, qui était le cœur de notre investigation, sa faisabilité a été également validée. Un maximum de 6dB d'IIP3 est obtenu pour une plage de réglage de V_{BS} trois fois supérieure à celle de V_{GS} .

Le chapitre IV définit tout d'abord le contexte de faible consommation relié aux nouvelles applications demandeuses d'autonomie, en particulier les réseaux de capteur sans fil. Les caractéristiques ainsi que les applications de ces systèmes de communication ont été par la suite présentées. Nous avons également rappelé quelques techniques de conception sous contraintes de consommation et de basse tension qui sont principalement : le « Forward Body Bias » et la polarisation en régime d'inversion modérée. A cet égard, nous nous sommes attachés au développement d'une méthodologie de conception d'optimisation des LNAs répondant à ces exigences. Celle-ci a abouti à la réalisation d'un amplificateur faible bruit fonctionnant à 2.4GHz et présentant des caractéristiques en adéquation avec le standard Zigbee pour une puissance consommée de seulement 490 μ W.

Les recherches menées dans cette thèse basées sur les études théoriques et expérimentales de la polarisation de substrat montrent qu'elle présente une approche intéressante et novatrice dans le domaine des circuits intégrés afin de répondre à un cahier des charges des standards de communication toujours plus sévère.

En ce qui concerne les perspectives de nos travaux, nous prévoyons d'approfondir les études théoriques de l'effet de substrat en procédant à des caractérisations expérimentales du transistor. Elles nous permettront d'extraire les paramètres technologiques du MOS et de définir un nouveau modèle englobant les effets parasites de la polarisation du bulk. Nous aimerions également adapter la méthodologie de conception sous contrainte de consommation pour optimiser la linéarité du LNA. A ce sujet, nous pouvons adopter la technique « multigate modifiée » décrite en chapitre II et dont une illustration est donnée en Figure 1. Celle-ci permettra d'améliorer l'IIP3 sans dégrader les caractéristiques initiales du

cascode principal. Une attention particulière sera portée à la réduction de la taille du circuit afin de satisfaire la contrainte d'intégration.

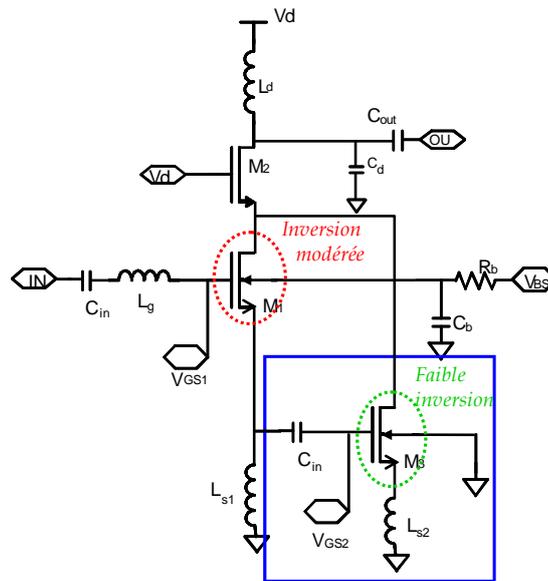


Figure 1 : Approche « multigate modifiée » pour optimiser l'IIP3

Nous nous intéressons prochainement aussi à intégrer la méthodologie de conception sous faible consommation à une démarche globale de conception d'une chaîne de réception pour les réseaux de capteurs sans fil. L'effet de substrat pourrait donc être intégré aux différents blocs afin de répondre aux spécifications du récepteur.

Pour ce qui est de l'effet de substrat en dynamique, celui-ci pourra présenter de nouvelles voies innovantes quant à la linéarisation du LNA. En effet, par l'application combinée d'une tension continue, modifiant les coefficients g_i du transistor, et du signal d'entrée RF à la fois sur l'accès bulk et la grille du transistor, on peut assimiler alors le circuit comme une forme particulière de la configuration multi-grilles, Figure 2.

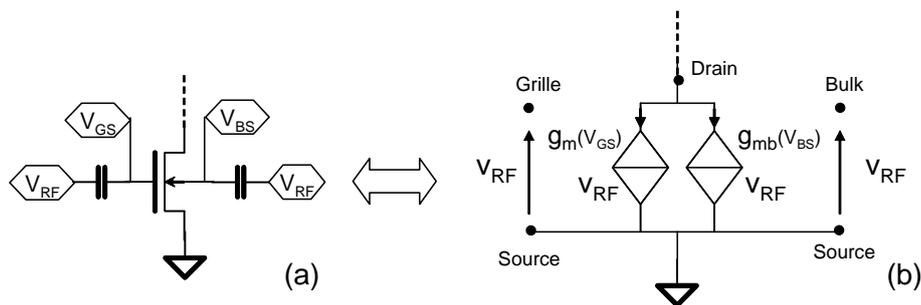


Figure 2 : Transistor MOS avec accès bulk (a) Schéma équivalent du transistor MOS avec accès Bulk (b) la source du transistor est reliée au substrat

D'un point de vue dynamique, l'application du signal RF sur la grille s'apparente à la voie utilisant le transistor en saturation, alors que l'accès bulk fait office de voie auxiliaire de compensation. La mise en place, et la validation, d'une telle configuration requiert la levée

de différents verrous. En premier lieu, la modélisation dynamique de l'effet de substrat n'est, aujourd'hui, pas très aboutie. Le schéma de la figure 2(b) est volontairement simplifié ici afin de valider l'idée mise en avant. Cependant il doit être amendé par la prise en compte de capacités parasites. Dans un second temps il conviendrait de valider le développement en série de puissance de la partie du courant de drain dépendant de la tension v_{bs} comme suit :

$$i_{db}(v_{bs}) = g_{1b} \cdot v_{bs} + g_{2b} \cdot v_{bs}^2 + g_{3b} \cdot v_{bs}^3 + \dots$$

$$\text{Avec : } g_{1b}(v_{bs}) = \frac{\partial I_D}{\partial V_{BS}}, \quad g_{2b}(v_{bs}) = \frac{1}{2} \frac{\partial^2 I_D}{\partial V_{BS}^2} = \frac{1}{2} \frac{\partial g_{1b}}{\partial V_{BS}}, \quad g_{3b}(v_{bs}) = \frac{1}{6} \frac{\partial^3 I_D}{\partial V_{BS}^3} = \frac{1}{3} \frac{\partial^2 g_{2b}}{\partial V_{BS}^2},$$

Enfin, les expressions établies de g_{3b} et g_3 , issues de l'application du signal RF sur le bulk et la grille respectivement, il restera à montrer que ces deux composantes peuvent s'annuler afin d'améliorer l' A_{IP3} du transistor.

En se basant sur le modèle du transistor défini en chapitre II, nous avons calculé et tracé g_{3b} en fonction de V_{BS} pour un transistor MOS (240 μ /0.13 μ m) polarisé avec $V_{GS}=0.4V$, figure 3. Son expression est donnée en Annexe III. Nous vérifions qu'elle a la même allure que celle de g_3 (ou encore $c_{(3,0,0)}$) en fonction de V_{GS} et qu'elle s'annule pour un V_{BSopt} de 0.12V. Ce premier résultat va donc dans le sens des hypothèses que nous venons de proposer.

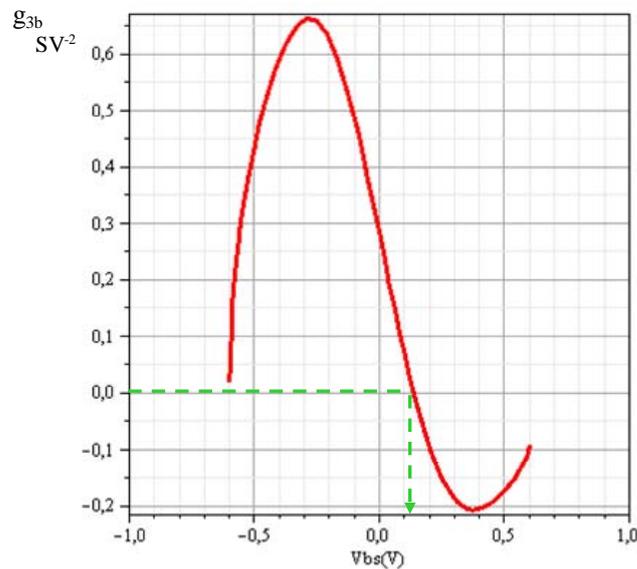


Figure 3 : g_{3b} d'un transistor MOS (240 μ /0.13 μ m) pour $V_{GS}=0.4V$

Un LNA démonstrateur pourra alors être développé, sur la base d'une investigation globale de la linéarité du circuit afin de valider de l'efficacité de la technique proposée.

Liste des travaux publiés (2007-2010)

Revue :

1. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “An Optimum Body Biasing for Gain and Linearity Control in CMOS Low-Noise Amplifiers”, *Journal of Low Power Electronics (JOLPE)*, Vol. 7, N° 2, April 2011

Conférences internationales :

2. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “A Very Low Voltage Low Power CMOS Low Noise Amplifier with Forward Body Bias”, *IEEE Northeast Workshop on Circuits and Systems NEWCASTAISA 2010*, Montreal, Canada, June 20-23, 2010, pp. 341-344
3. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “CMOS Low-Noise Amplifier Linearization through Body Biasing”, *IEEE International Workshop on Radio-Frequency Integration Technology (RFIT2009)*, Singapore, Dec. 2009, pp. 134-137
4. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “A Dual Mode 2.4-GHz CMOS Low Noise Amplifier Employing Body Biasing”, *16th IEEE International Conference on Electronics, Circuits and Systems (ICECS2009)*, Hammamet, Tunisia, Dec. 2009, pp. 627-630
5. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “A variable gain 2.4-GHz CMOS Low Noise Amplifier employing body biasing”, *5th International Conference on Ph.D. Research in Microelectronics and Electronics, (PRIME2009)*, Cork, Ireland, juillet 2009, pp. 168-171
6. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “IIP3 optimization through body biasing in Low Noise Amplifiers” *IEEE Northeast Workshop on Circuits and Systems NEWCASTAISA 2009*, Toulouse, France, Juin 2009, pp. 122-125

Conférences nationales :

7. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “A New Design Methodology for Very Low Voltage Low Power CMOS Low Noise Amplifier”, *Groupe de Recherche (GDR) SOC-SIP (System on Chip-System In Package)*, Paris-Cergy, France, June 9-10, 2010
8. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “Conception d’un amplificateur faible bruit sous 0.5V en technologie CMOS 130nm”, *JNRDM Journées Nationales du Réseau doctoral en Micro-nanoélectronique*, Montpellier, France, June 7-9, 2010
9. **A. Mabrouki**, T. Taris, Y. Deval, J-B. Bégueret, “Optimisation De l’IIP3 Des Amplificateurs Faible Bruit Par Effet De Substrat”, *16 Journées Nationales Microondes*, Grenoble, France, Mai 27-29, 2009

Glossaire

BER	Bit Error Rate
BF	Basse Fréquence
Bonding	Fil d'interconnexion
CDMA	Code Division Multiple Access
CMOS	Complementary Metal-Oxide Semiconductor
DAC	Digital to Analog Converter
DSP	Digital Signal Processing
FBB	Forward Body Bias
FI	Fréquence intermédiaire
FOM	Figure of Merit
GPRS	General Packet Radio Service
GSM	Global System for Mobile communication
HD2	Distorsion Harmonique d'ordre deux
HD3	Distorsion Harmonique d'ordre trois
HF	High Frequency
ICP1	Input Compression Point
IEEE	Institute of Electrical and Electronic Engineer
IIP3	Input referred third order Intercept Point
IM3	Third order Intermodulation distortion
I/Q	In Phase/ Quadrature
ISM	Industrial Scientific & Medical
ITRS	International Technology Roadmap for Semiconductors
LNA	Low Noise Amplifier
NF	Noise Figure
OCP1	Output compression point
OIP3	Output referred third order Intercept point
OL	Oscillateur Local
PA	Power Amplifier
PCB	Printer Circuit Board
PLS	Post Layout simulation
POS	Personnal Operating Space
RF	Radio Frequency
SNR	Signal to Noise Ratio
UMTS	Universal Mobile Telecommunication System
WLAN	Wireless Local Area
WMAN	Wireless Metropolitan Area Network
WPAN	Wireless Personal Area Network
WSN	Wireless Sensor Network
WWAN	Wireless Wide Area Network

Annexes

Annexe 1

Cette annexe présente les principaux bruits en donnant pour chacun son origine, sa localisation et sa forme analytique.

- **Le bruit thermique**

Il trouve son origine dans l'agitation thermique (donc aléatoire) des porteurs de charges. Un dipôle au repos a une tension efficace non nulle à ses bornes.

Sa localisation : -résistances

-courant de drain/grille

Forme analytique des générateurs équivalents de tension et courant de bruit [TAR03]:

$$\overline{e_n^2} = 4kT.R.\Delta f$$

$$\overline{i_n^2} = 4kT.G.\Delta f$$

Avec: k : la constante de Boltzmann ($4kT=1.66.10^{-20}$ V.C)

T la température en Kelvin

R la résistance et G la transconductance équivalente du dipôle étudié

- **Le bruit de grenaille (ou shot noise)**

Il provient du saut de barrières de potentiel à des instants aléatoires par des porteurs de charges.

Sa localisation : -jonctions

-courant de base et de collecteur des BJTs

-courant de fuite de grille des FETs

Forme analytique :

$$\overline{i_n^2} = 2.q.I_c.\Delta f$$

Avec: q la charge d'un électron $1.8 \cdot 10^{-19}$ C

I_c le courant de polarisation traversant la jonction

- **Le bruit en 1/f (flicker noise)**

Son origine est mal connue, il n'a pas de mécanisme universel, on sait qu'il est lié à la nature granulométrique de certains matériaux, et aussi, au piégeage des porteurs à la surface des composants.

Sa localisation : -résistances

-courant de drain des MOSFETs

Forme analytique :

Annexes

-Pour les MOS :

$$\overline{i_n}^{-2} = \frac{K}{f} \cdot \frac{g_m^2}{WL C_{ox}^2} \cdot \Delta f$$

Avec: K est un paramètre lié à la taille du composant et à la technologie utilisée

g_m la transconductance du transistor (S)

f la fréquence de travail

W, L la largeur et la longueur de grille du transistor (μm)

C_{ox} la capacité par oxyde de grille ($\text{F}/\mu\text{m}^2$)

-Pour les Bipolaires : f

$$\overline{i_n}^{-2} = K_f \cdot \frac{I_B^\alpha}{f} \cdot \Delta f$$

Avec: K_f est un paramètre lié à la taille du composant et à la technologie utilisée

I_B est le courant de base

α est un paramètre lié au procédé de fabrication

-Pour les résistances :

$$\overline{e_n}^{-2} = \frac{K}{f} \cdot \frac{R_{carré}^2}{A} \cdot V^2 \cdot \Delta f$$

Avec: $R_{carré}$ La résistance par carré

A La section

V La tension aux bornes de la résistance

- **Le bruit RTS (Random Telegraph Noise)**

L'origine de ce bruit est aussi mal connue. Il n'y a pas de véritable mécanisme universel mais on remarque qu'il est fortement lié au bruit généré par le mécanisme de piégeage unique, caractéristique des composants de surface. C'est ainsi que nous le retrouverons plus particulièrement dans le modèle du transistor TMOS à surface de grille réduite.

Sa localisation : -résistances

-courant de drain des MOSFETs

Forme analytique : c'est en réalité une forme empirique du type

$$\overline{i_{nd}}^{-2} = \frac{K}{1 + \left(\frac{f}{f_c}\right)^2} \cdot \Delta f$$

Avec: f_c la fréquence de coupure liée au procédé de fabrication

*[TAR03] T. Taris, « Conceptions de circuits radiofréquences en technologie CMOS VLSI

sous contrainte de basse tension », Mémoire de thèse. Université Bordeaux 1. Décembre 2003.

Annexe 2

Les conditions d'adaptation optimales permettant un maximum de transfert de puissance entre deux étages et l'optimisation du gain du système deux ports présenté en Figure 1 sont :

$$\begin{cases} Z_S = Z_{in}^* \\ Z_L = Z_{out}^* \end{cases}$$

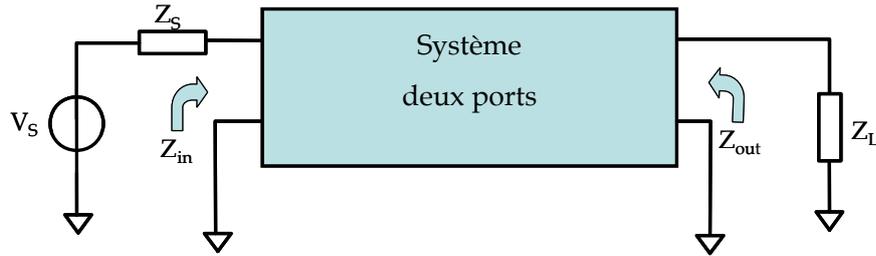


Figure 1 : Adaptation d'impédance d'un bloc dans une chaîne

En considérant le système deux ports illustré à la Figure 1 avec $P_{i\max}$ la puissance maximale que délivre la source et $P_{o\max}$ la puissance maximale en sortie, le gain en puissance se définit comme suit [PAP99] :

$$G_\alpha = \frac{P_{o\max}}{P_{i\max}}$$

Un maximum de puissance est obtenu lorsque les entrées et sorties sont parfaitement adaptées. Il est donné par :

$$G_\alpha = \frac{P_o}{P_i} \text{ Avec } R_i=R_S \text{ et } R_o=R_L$$

$$G_\alpha = \left(\frac{V_{orms}}{V_{irms}} \right)^2 \frac{R_S}{R_L}$$

Avec rms = root mean square = valeur efficace du signal

Ainsi si $R_S = R_L$, le gain de conversion en puissance peut s'écrire au moyen du gain en tension G du système :

$$G_\alpha = 20 \log \left(\frac{V_o}{V_i} \right)$$

Annexes

On définit aussi la puissance exprimée en dBm donnée par l'expression suivante :

$$Puissance(dBm) = 10 \log \left(\frac{V_{rms}^2}{50\Omega} \frac{P_{o\max}}{P_{i\max}} \right)$$

*[PAP99] Y.E Papanonos, "Radio-frequency microelectronic circuits for telecommunication Applications", Kluwer Academic Publishers, Boston, USA, 1999

Annexe 3

Considérons un transistor MOS polarisé en saturation. Le modèle petit signal du courant de drain est donné par l'expression suivante :

$$\begin{aligned}
 i_{ds} = & c_{(1,0,0)} v_{gs} + c_{(2,0,0)} v_{gs}^2 + c_{(3,0,0)} v_{gs}^3 + c_{(0,1,0)} v_{ds} \\
 & + c_{(0,2,0)} v_{ds}^2 + c_{(0,3,0)} v_{ds}^3 + c_{(0,0,1)} v_{sb} + c_{(0,0,2)} v_{sb}^2 \\
 & + c_{(0,0,3)} v_{sb}^3 + c_{(1,1,0)} v_{gs} v_{ds} + c_{(1,0,1)} v_{gs} v_{sb} \\
 & + c_{(0,1,1)} v_{ds} v_{sb} + c_{(2,1,0)} v_{gs}^2 v_{ds} + c_{(1,2,0)} v_{gs} v_{ds}^2 \\
 & + c_{(2,0,1)} v_{gs}^2 v_{sb} + c_{(1,0,2)} v_{gs} v_{sb}^2 + c_{(0,2,1)} v_{ds}^2 v_{sb} \\
 & + c_{(0,1,2)} v_{ds} v_{sb}^2 + c_{(1,1,1)} v_{gs} v_{ds} v_{sb}
 \end{aligned} \quad (1)$$

Avec $c_{(m,n,p)}$ définie par :

$$c_{(m,n,p)} = \frac{1}{m!} \frac{1}{n!} \frac{1}{p!} \frac{\partial^{(m+n+p)} I_{ds}}{\partial^m V_{gs} \partial^n V_{ds} \partial^p V_{sb}} \bigg|_{\substack{V_{gs} = V_{GS} \\ V_{sb} = V_{SB} \\ V_{ds} = V_{DS}}} \quad (2)$$

$c_{(m,n,p)}$ sont les coefficients non linéaires.

Les coefficients $c_{(1,0,0)}$, $c_{(0,0,0)}$, et $c_{(3,0,0)}$ représentent respectivement les transconductances d'ordre un, deux et trois.

En considérant l'expression du courant de drain définie en chapitre II telle que :

$$\begin{aligned}
 I_{ds} = & \frac{\mu_0 C_{ox} W}{2n} \frac{X^2}{L(1+\alpha X)} (1 + \lambda V_{ds}) \quad (3) \\
 X = & 2n\phi_t \ln \left(1 + e^{\frac{(V_{GS}-V_{TH})}{(2n\phi_t)}} \right) \text{ et } \alpha = \theta + \frac{\mu_0}{2nv_{sat}L}
 \end{aligned}$$

Avec λ est le facteur de modulation de canal, θ est le coefficient de réduction de mobilité et v_{sat} est le champ de saturation, V_{TH} tension de seuil, C_{ox} capacité d'oxyde de grille, n facteur de pente de la faible inversion, Φ_t le potentiel thermique, W et L sont la largeur et longueur de grille.

Le coefficient $c_{(3,0,0)}$ est défini à partir du courant de drain comme suit :

$$c_{(3,0,0)} = \frac{1}{3!} \frac{\partial^3 I_{ds}}{\partial^3 V_{gs}} \quad (4)$$

Son expression théorique est donnée par :

Annexes

$$c_{(3,0,0)} = -\frac{K\xi(1+\lambda V_{DS})}{24(n\phi_t)^2(1+\xi)^3(1+\alpha X)^4} (24n^2\phi_t^2\xi^2\alpha - 12n\phi_t\xi(1+\alpha X) + X(\xi-1)(2+\alpha X)(1+\alpha X)) \quad (6)$$

Avec

$$K = \frac{\mu_0 C_{ox} W}{2n L}$$

Et

$$\xi = e^{\frac{(V_{GS}-V_{th})}{(2n\phi_t)}}$$

L'expression de $c_{(0,0,3)}$ est définie à partir de l'expression du courant de drain comme suit :

$$c_{(0,0,3)} = \frac{1}{3!} \frac{\partial^3 I_{ds}}{\partial^3 V_{bs}} \quad (7)$$

L'expression de $c_{(0,0,3)}$, que nous avons développée, décrivant sa dépendance en fonction de V_{BS} est la suivante :

$$c_{(0,0,3)} = -F(V_{BS}) \left(\frac{24 n^2 (V_{BS}) \phi_t^2 \xi^2 (V_{BS}) \alpha (V_{BS}) - 12 n (V_{BS}) \phi_t \xi (V_{BS}) (1 + \alpha (V_{BS}) X (V_{BS}))}{+ X (V_{BS}) (\xi (V_{BS}) - 1) (2 + \alpha (V_{BS}) X (V_{BS})) (1 + \alpha (V_{BS}) X (V_{BS}))} \right) \quad (8)$$

Avec

$$F(V_{BS}) = \frac{K(V_{BS})\xi(V_{BS})(1+\lambda V_{DS})}{24(n(V_{BS})\phi_t)^2(1+\xi(V_{BS}))^3(1+\alpha(V_{BS})X(V_{BS}))^4}$$

Les courbes théoriques de $c_{(0,0,3)}$ et $c_{(3,0,0)}$ ont été tracées sous Maples (voir Annexe 5)

Annexe 4

Le calcul de la figure de bruit minimale est lié à la fonction de transfert de puissance. Les sens de variation de ces caractéristiques étant antagonistes, l'optimisation simultanée ne peut normalement pas être réalisée. L'objectif est faire coïncider les adaptations pour une fréquence donnée (avec quelques compromis) afin de satisfaire les deux domaines figure de bruit minimal (NFmin) et gain maximal (Gmax)

Gain en tension

Nous nous intéressons tout d'abord à l'étude de l'impédance d'entrée qui va nous permettre d'optimiser le gain en tension.

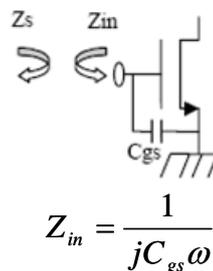


Figure 1 : impédance d'entrée du MOS

Pour une transmission optimale de puissance il faut que : $Z_{in}^* = Z_s \Rightarrow Z_{in} = 50\Omega$

Le problème est que l'impédance d'entrée du transistor MOS est un imaginaire pur comme le montre la figure 1. Il est donc difficile de l'adapter à une impédance réelle de 50Ω . Toutefois il est possible de contourner ce problème en utilisant une "dégénérescence inductive". Cette technique est présentée dans la figure 2

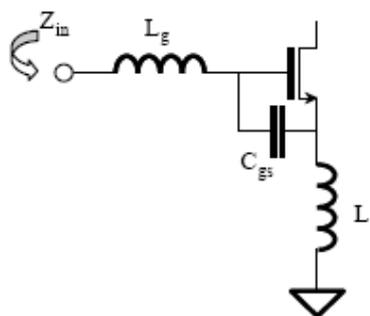


Figure 2 : dégénérescence inductive de source

L'expression de l'impédance d'entrée est donnée par :

$$Z_{in} = \frac{1}{jC_{gs}\omega} + j(L_g + L_s)\omega + \frac{g_m}{C_{gs}}L_s = \omega_T L_s + j \left[(L_g + L_s)\omega - \frac{1}{C_{gs}\omega} \right] \quad (1)$$

Annexes

Avec $\omega_T = \frac{g_m}{C_{gs}}$

A la fréquence de fonctionnement f_0 , Z_{in} doit être égale à 50Ω , on écrit donc :

$$(L_g + L_s)\omega_0 - \frac{1}{C_{gs}\omega_0} = 0 \Rightarrow L_g = \frac{1}{C_{gs}\omega_0^2} \quad (2)$$

$$\omega_T L_s = 50\Omega \Rightarrow L_s = 50 \frac{g_m}{C_{gs}}$$

L'inductance de grille L_g annule la capacité d'entrée C_{gs} à la fréquence de fonctionnement ω_0 . Grâce à l'effet transistor L_s présente une impédance réelle en entrée qui permet d'adapter le transistor à 50Ω .

Approche générale du facteur de bruit

Tous les calculs du facteur de bruit viennent du transistor et de ses dimensions W et L .

Reprenons l'étude à la base avec l'approche classique du bruit :

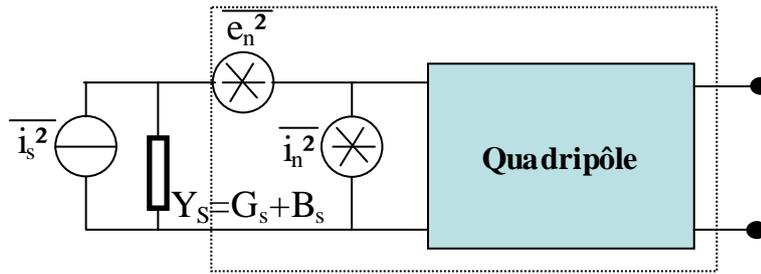


Figure 3 : générateurs de bruit sur un système deux ports

La figure 3 présente un quadripôle sans bruit en entrée duquel tout le bruit de ce dernier est ramené et modélisé par un générateur de tension e_n^2 et un générateur de courant i_n^2 de bruits équivalents. Ainsi le facteur de bruit peut s'écrire comme suit :

$$F = \frac{i_s^2 + |i_n + Y_s e_n|^2}{i_s^2} \quad (3)$$

Avec e_n et i_n les générateurs de bruit équivalent incorporant toutes les sources de bruit du transistor MOS. Pour être cohérent, il faut définir i_n comme la somme de deux courants, i_c corrélés à e_n et i_u non corrélé (indépendant) à e_n :

$$i_n = i_c + i_u$$

Comme i_c et e_n sont totalement corrélés on peut écrire : $i_c = Y_c e_n$

Donc:

$$F = 1 + \frac{G_u + |Y_u + Y_s|^2 R_n}{G_s} = 1 + \frac{G_u + [(G_c + G_s)^2 + (B_c + B_s)^2] R_n}{G_s} \quad (4)$$

Toutes les admittances ont été décomposées en une inductance G et une susceptance B avec:

Annexes

$$R_n \equiv \frac{e_n^2}{4kT\Delta f}; G_u \equiv \frac{i_n^2}{4kT\Delta f}; G_s \equiv \frac{i_s^2}{4kT\Delta f}$$

Si l'on dérive F on obtient son minimum pour les valeurs B_s et G_s suivantes :

$$G_s = \sqrt{\frac{G_u}{R_n} + G_c} = G_{opt} \Rightarrow \frac{1}{50} = \alpha\omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \Rightarrow W_{opt} = \frac{1}{3\omega L C_{ox} R_s} \quad (5)$$

$$B_s = -B_c = B_{opt} \Rightarrow (L_g)_{NF} = \frac{1}{\omega^2 C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}}\right)} \quad (6)$$

$$F_{min} = 1 + 2R_n [G_{opt} + G_c] = 1 + 2R_n \left[\sqrt{\frac{G_u}{R_n} + G_c} \right] \quad (7)$$

$$F = F_{min} + \frac{R_n}{G_s} \left[(G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right] \quad (8)$$

Ainsi l'on définit les paramètres de l'admittance de source qui définissent des cercles centrés sur $(G_{opt}; B_{opt})$ dans l'abaque de Smith.

Les paramètres du transistor MOS

Il y a deux sources principales de bruit dans le transistor MOS :

- Le bruit thermique du courant de drain défini par :

$$i_{nd}^2 = 4kT\gamma g_{d0} \Delta f$$

Avec g_{d0} ($\approx g_m$), la conductance g_{ds0} à $v_{ds} = 0$ et $\gamma = 1$ en linéaire et $2/3$ en saturation

- Le bruit du courant de grille donné par :

$$i_{ng}^2 = 4kT\delta g_g \Delta f$$

Avec

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{ds}} \text{ et } \delta = 2\gamma$$

Ces deux courants ont un coefficient de corrélation $c = j 0,395$.

En négligeant (en cascodant par exemple) l'effet Miller qui "dope" la valeur de C_{gd} , on va pouvoir calculer les éléments qui composent les générateurs d'entrée du transistor MOS. En court-circuitant l'entrée dans un premier temps, seul le générateur e_n est présent à l'entrée et responsable du courant de bruit de drain [TAR03] :

$$e_n^2 = \frac{i_{nd}^2}{g_m^2} = \frac{4kT\gamma g_{d0}\Delta f}{g_m^2} \Rightarrow R_n = \frac{e_n^2}{4kT\Delta f} = \frac{\gamma g_{d0}}{g_m^2} \quad (9)$$

Le générateur de bruit de tension équivalent est totalement corrélé avec le courant de drain. Cependant, si l'on ouvre le circuit en entrée, un courant de bruit de drain subsiste, donc il existe un générateur de courant de bruit en entrée associé défini par (10).

Annexes

$$i_n^2 = \frac{i_{nd}^2 (j\omega C_{gs})^2}{g_m^2} = \frac{4kT\gamma g_{d0} \Delta f (j\omega C_{gs})^2}{g_m^2} = e_n^2 (j\omega C_{gs})^2 \quad (10)$$

L'admittance étant purement capacitive, elle est donc en quadrature avance avec le courant de drain mais complètement corrélée. Ainsi, on peut dire que le courant de bruit d'entrée est la somme du courant précédent ainsi que du courant de grille induit corrélé avec celui de drain donc avec en:

$$Y_c = j\omega C_{gs} + \frac{i_{ngc}}{e_n} = j\omega C_{gs} + \frac{g_m}{i_{nd}} i_{ngc}$$

$$Y_c = j\omega C_{gs} + g_m \cdot c \sqrt{\frac{\delta \omega^2 C_{gs}^2}{5\gamma g_{d0}}} = j\omega C_{gs} + \frac{g_m}{g_{d0}} \cdot c \sqrt{\frac{\delta}{5\gamma}} \omega C_{gs} \quad (11)$$

$$Y_c = j\omega C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)$$

On remarque que Y_c est purement imaginaire donc

$$\rightarrow B_c = Y_c \text{ et } G_c = 0$$

C'est en présentant une impédance complexe proportionnelle à C_{gs} que l'on comprend qu'il est difficile d'adapter le MOS à la fois en puissance (impédance réelle) et en figure de bruit (impédance imaginaire). Il reste à calculer G_u , admittance associée au générateur de courant de bruit de grille:

$$i_{ng}^2 = (i_{ngc} + i_{ngu})^2 = 4kT\Delta f \delta g_g |c|^2 + 4kT\Delta f \delta g_g (1 - |c|^2)$$

$$G_u = \frac{i_{ngu}^2}{4kT\Delta f} = \frac{\delta \omega^2 C_{gs}^2 (1 - |c|^2)}{5g_{d0}} \quad (12)$$

Les paramètres relatifs au transistor MOS sont résumés dans le tableau suivant :

Paramètre de bruit de transistor MOS

Paramètre	Expression
G_c	$\cong 0$
B_c	$j\omega C_{gs} \left(1 + \alpha c \sqrt{\frac{\delta}{5\gamma}} \right)$
R_n	$\frac{\gamma g_{ds}}{g_m^2} = \frac{\gamma}{\alpha} \frac{1}{g_m}$
G_u	$\frac{\delta \omega^2 C_{gs}^2 (1 - c ^2)}{5g_{d0}}$

Annexes

Il reste donc à satisfaire les conditions d'adaptation :

$$G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} = G_{opt} \Rightarrow \frac{1}{50} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (13)$$

$$B_s = -B_c = B_{opt} \Rightarrow (L_g)_{NF} = \frac{1}{\omega^2 C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}}\right)} \quad (14)$$

On remarque alors deux choses importantes :

- la susceptance B_{opt} est assimilable à une inductance en terme d'imaginaire pur mais varie en fréquence comme une capacité, par conséquent, son adaptation ne peut se faire qu'à une fréquence donnée.
- De même, l'admittance optimale varie en fréquence comme une capacité ce qui renforce l'unicité de l'adaptation en fréquence.

Grâce à ces constats il devient évident que le LNA réalisé en technologie CMOS est orienté bande étroite ('narrowband') et non passe bande ('non pass band').

En se plaçant alors dans les conditions optimales d'adaptation au bruit, la figure de bruit minimale s'écrit :

$$F_{\min} = 1 + 2R_n [G_{opt} + G_c] \approx 1 + \frac{2\omega}{\sqrt{5}\omega_T} \sqrt{\gamma\delta(1 - |c|^2)} \quad (16)$$

$$\text{avec } \omega_T = \frac{g_m}{C_{gs}}$$

Avec : $|c| = j0,395$

$\delta = 2\gamma$ ($\gamma=1$ en fonctionnement linéaire, $2/3$ en saturé)

Annexe 5

Calculs sous Maple

$u0 := 240.7e-4,$	0.02407	(1)
$W := 240e-6,$	0.000240	(2)
$Cgs := 137e-15,$	$1.37 \cdot 10^{-13}$	(3)
$f := 2.4e9,$	$2.4 \cdot 10^9$	(4)
$\omega := 2 \cdot 3.14 \cdot f,$	$1.5072 \cdot 10^{10}$	(5)
$gm := \omega \cdot Cgs,$	0.002064864	(6)
$Rc := 50,$	50	(7)
$Ls := 1.45e-9,$	$1.45 \cdot 10^{-9}$	(8)
$Lg := 12.8e-9,$		
$L := 0.13e-6,$	$1.3 \cdot 10^{-7}$	(9)
$Vto := 0.328,$	0.328	(10)
$\beta := 1.8,$	1.8	(11)
$vsat := 100e3,$	$1.00 \cdot 10^5$	(12)
$\phi_{hiF} := 0.3,$	0.3	(13)
$\lambda := 1.923,$	1.923	(14)

Annexes

$$g\gamma := 0.4; \quad (16)$$

$$t_{ox} := 2.462e-9; \quad (17)$$

$$\epsilon_0 := 8.854e-12; \quad (18)$$

$$\epsilon_{\text{silicon}} := 3.9 \cdot \epsilon_0; \quad (19)$$

$$C_{ox} := \frac{\epsilon_{\text{silicon}}}{t_{ox}}; \quad (20)$$

$$k := 1.38e-23; \quad (21)$$

$$T := 300; \quad (22)$$

$$q := 1.6e-19; \quad (23)$$

$$p_{hit} := \frac{k \cdot T}{q}; \quad (24)$$

$$n := V_{bs} \rightarrow 1 + 0.5 \cdot g\gamma \cdot ((2 \cdot p_{hit} F) + V_{bs})^{-\frac{1}{2}}; \quad (25)$$

$$\text{evalf}(n(0)); \quad (26)$$

$$V_{DS} := 584.91e-3; \quad (27)$$

$$K := V_{bs} \rightarrow \frac{u_0 \cdot C_{ox} \cdot W}{2 \cdot (n(V_{bs})) \cdot L}; \quad (28)$$

$$\alpha := V_{bs} \rightarrow \text{teta} + \left(\frac{u_0}{2 \cdot (n(V_{bs})) \cdot v_{sat} \cdot L} \right); \quad (29)$$

$$\text{evalf}(\alpha(0)); \quad (30)$$

$$V_1 := V_{bs} \rightarrow V_{to} + (g\gamma \cdot ((2 \cdot p_{hit} F) - (V_{bs}))^{0.5} - (2 \cdot p_{hit} F)^{0.5}); \quad (31)$$

$$\text{evalf}(V_1(0)); \quad (32)$$

$$\epsilon := (V_{gs}, V_{bs}) \rightarrow \exp\left(\frac{(V_{gs} - V_1(V_{bs}))}{2 \cdot (n(V_{bs})) \cdot p_{hit}}\right); \quad (33)$$

$$\text{evalf}(\epsilon(0.5, 0)); \quad (34)$$

$$X := (V_{gs}, V_{bs}) \rightarrow 2 \cdot (n(V_{bs})) \cdot p_{hit} \cdot \ln(1 + \epsilon(V_{gs}, V_{bs})); \quad (35)$$

$$\text{evalf}(X(0.5, 0)); \quad (36)$$

$$ids := (V_{gs}, V_{bs}) \rightarrow \frac{K(V_{bs}) \cdot (1 + \text{lamda} \cdot V_{DS}) \cdot (X(V_{gs}, V_{bs}))^2}{(1 + (\alpha(V_{bs})) \cdot X(V_{gs}, V_{bs}))}; \quad (37)$$

Annexes

$$\text{evalf}(I_{ds}(0.5, 0)); \quad 0.004614740538 \quad (38)$$

$$I_d := V_{bs} \rightarrow I_{ds}(0.5, V_{bs}); \quad V_{bs} \rightarrow I_{ds}(0.5, V_{bs}) \quad (39)$$

$$\text{evalf}(I_d(0)); \quad 0.004614740538 \quad (40)$$

$$I_D := V_{gs} \rightarrow I_{ds}(V_{gs}, -0.55); \quad V_{gs} \rightarrow I_{ds}(V_{gs}, (-1) \cdot 0.55) \quad (41)$$

$$\text{evalf}(I_D(0.5)); \quad 0.001088147045 \quad (42)$$

$$g_I := V_{gs} \rightarrow D(I_D)(V_{gs}); \quad V_{gs} \rightarrow D(I_D)(V_{gs}) \quad (43)$$

$$g_{Ib} := V_{bs} \rightarrow D(I_d)(V_{bs}); \quad V_{bs} \rightarrow D(I_d)(V_{bs}) \quad (44)$$

$$g_{2b} := V_{bs} \rightarrow \frac{1}{2} \cdot D(g_{Ib})(V_{bs}); \quad V_{bs} \rightarrow \frac{1}{2} \cdot D(g_{Ib})(V_{bs}) \quad (45)$$

$$\text{evalf}(g_{2b}(0)); \quad 0.01172777402 \quad (46)$$

$$\text{evalf}(g_I(0.415)); \quad 0.005206891410 \quad (47)$$

$$g_{3b} := V_{bs} \rightarrow \frac{1}{3} \cdot D(g_{2b})(V_{bs}); \quad V_{bs} \rightarrow \frac{1}{3} \cdot D(g_{2b})(V_{bs}) \quad (48)$$

$$\text{evalf}(g_{3b}(0)); \quad 0.006914640946 \quad (49)$$

$$\text{evalf}(I_D(0.415)); \quad 0.0003478631379 \quad (50)$$

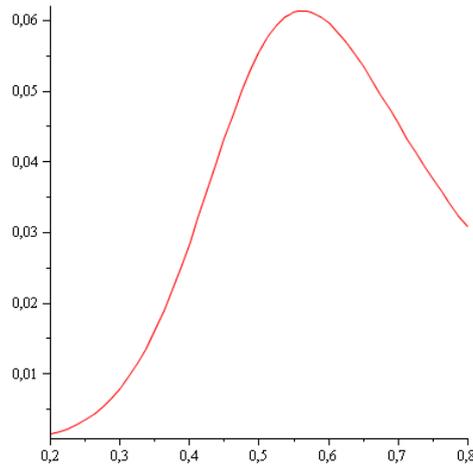
$$D(I_D); \quad D(I_D) \quad (51)$$

$$\text{evalf}(D(I_D)(0.415)); \quad 0.005206891410 \quad (52)$$

$$g_2 := V_{gs} \rightarrow \frac{1}{2} \cdot D(g_I)(V_{gs}); \quad V_{gs} \rightarrow \frac{1}{2} \cdot D(g_I)(V_{gs}) \quad (53)$$

$$\text{evalf}(g_2(0.415)); \quad 0.03295102654 \quad (54)$$

$\text{plot}(g_2, 0.2..0.8);$

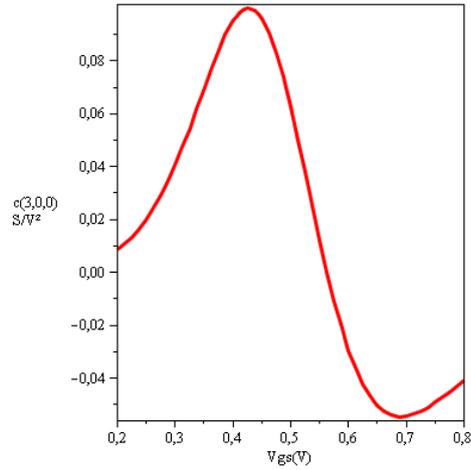


$$g_3 := V_{gs} \rightarrow \frac{1}{3} \cdot D(g_2)(V_{gs}); \quad V_{gs} \rightarrow \frac{1}{3} \cdot D(g_2)(V_{gs}) \quad (55)$$

$$\text{evalf}(g_3(0.425)); \quad 0.09969221229 \quad (56)$$

Annexes

`plot(g3, 0.2..0.8);`



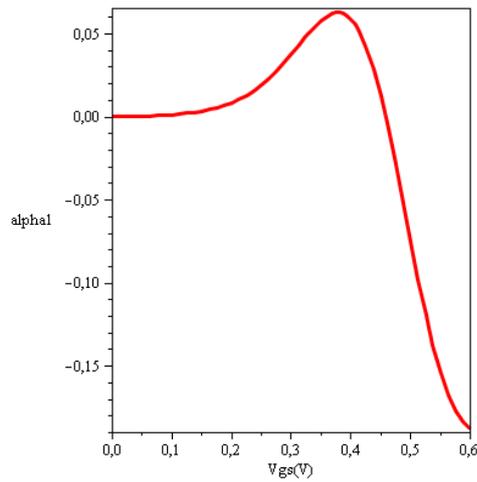
`alpha1 := Vgs -> g3(Vgs) - ($\frac{2}{g1(Vgs)} \cdot (g2(Vgs))^2$);`

$$V_{gs} \rightarrow g3(V_{gs}) - \frac{2 \cdot g2(V_{gs})^2}{g1(V_{gs})} \quad (57)$$

`evalf(alpha1(0.4));`

$$0.05876476872 \quad (58)$$

`plot(alpha1, 0..0.6);`



`F := (Vgs, Vbs) -> - $\frac{K(Vbs) \cdot \text{epsilon}(Vgs, Vbs) \cdot (1 + \text{lamda} \cdot VDS)}{24 \cdot (n(Vbs) \cdot \text{phi}^2)^2 \cdot (1 + \text{epsilon}(Vgs, Vbs))^3 \cdot (1 + \alpha(Vbs) \cdot X(Vgs, Vbs))^4}$;`

$$(V_{gs}, V_{bs}) \rightarrow - \frac{1}{24} \frac{K(V_{bs}) \cdot \epsilon(V_{gs}, V_{bs}) \cdot (1 + \text{lamda} \cdot VDS)}{n(V_{bs})^2 \cdot \text{phi}^2 \cdot (1 + \epsilon(V_{gs}, V_{bs}))^3 \cdot (1 + \alpha(V_{bs}) \cdot X(V_{gs}, V_{bs}))^4} \quad (59)$$

Annexes

$$\begin{aligned}
 R := & (Vgs, Vbs) \rightarrow (24 \cdot (n(Vbs) \cdot phit)^2 \cdot (\epsilon(Vgs, Vbs))^2 \cdot \alpha(Vbs)) - (12 \cdot n(Vbs) \cdot phit \cdot (\epsilon(Vgs, Vbs)) \cdot (1 + (\alpha(Vbs) \cdot X(Vgs, Vbs)))^3) + (X(Vgs, \\
 & Vbs) \cdot (\epsilon(Vgs, Vbs) - 1) \cdot (2 + (\alpha(Vbs) \cdot X(Vgs, Vbs))) \cdot (1 + (\alpha(Vbs) \cdot X(Vgs, Vbs)))^2); \\
 (Vgs, Vbs) \rightarrow & 24 \cdot n(Vbs)^2 \cdot phit^2 \cdot \epsilon(Vgs, Vbs)^2 \cdot \alpha(Vbs) - 12 \cdot n(Vbs) \cdot phit \cdot \epsilon(Vgs, Vbs) \cdot (1 + \alpha(Vbs) \cdot X(Vgs, Vbs))^3 + X(Vgs, Vbs) \cdot (\epsilon(Vgs, Vbs) - 1) \cdot (2 \\
 & + \alpha(Vbs) \cdot X(Vgs, Vbs)) \cdot (1 + \alpha(Vbs) \cdot X(Vgs, Vbs))^2
 \end{aligned} \tag{60}$$

$$c3 := (Vgs, Vbs) \rightarrow R(Vgs, Vbs) \cdot F(Vgs, Vbs); \tag{61}$$

$$c30 := Vbs \rightarrow c3(0.415, Vbs); \tag{62}$$

$$evalf(c3(0.415, 0)); \tag{63}$$

$$evalf(c30(0)); \tag{64}$$

`plot(c30, -0.6..0.45);`

