

# THÈSE

présentée à

## L'UNIVERSITÉ DE BORDEAUX I

ÉCOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

par **Corinne BESTORY**

POUR OBTENIR LE GRADE DE

### DOCTEUR

SPÉCIALITÉ : ELECTRONIQUE

---

## Développement d'une stratégie de conception en vue de la fiabilité pour la simulation de la fiabilité et la prévision de la durée de vie des circuits intégrés dès la phase de conception

---

Soutenue le : 17 Septembre 2008

**Après avis des rapporteurs :**

|     |               |       |                                              |       |            |
|-----|---------------|-------|----------------------------------------------|-------|------------|
| Mme | Lorena ANGHEL | ..... | Maître de conférences - INPG/ENSERG, TIMA    | ...   | Rapporteur |
| M.  | Luc HEBRARD   | ..... | Professeur - Université Louis Pasteur, InESS | ..... | Rapporteur |

**Devant la commission d'examen composée de :**

|     |                   |       |                                                    |       |                   |
|-----|-------------------|-------|----------------------------------------------------|-------|-------------------|
| Mme | Lorena ANGHEL     | ..... | Maître de conférences - INPG/ENSERG, TIMA          | ...   | Examineur         |
| M.  | Yves DANTO        | ..... | Professeur émérite - Université Bordeaux 1, IMS    | ...   | Rapporteur        |
| M.  | Pascal FOUILLAT   | ....  | Professeur - Université Bordeaux 1, IMS            | ..... | Président du Jury |
| M.  | Didier GOGUENHEIM |       | Professeur associé - ISEN, IM2NP                   | ..... | Examineur         |
| M.  | Luc HEBRARD       | ..... | Professeur - Université Louis Pasteur, InESS       | ..... | Examineur         |
| M.  | Hervé LEVI        | ..... | Professeur - Université Bordeaux 1, IMS            | ..... | Examineur         |
| M.  | François MARC     | ..... | Maître de conférences - Université Bordeaux 1, IMS |       | Examineur         |
| M.  | Jean-Luc MURARO   | ...   | Docteur-ingénieur - Thalès Alénia Space            | ..... | Examineur         |

---

---

*A mon papa parti trop tôt. . .*

*A ma maman chérie « doudou de mon cœur ». . .*

*« Science sans conscience n'est que ruine de l'âme »*

François Rabelais, XV<sup>ième</sup> siècle

*« Quiconque prétend s'ériger en juge de la vérité et du savoir s'expose à périr sous les éclats de rire des Dieux, puisque nous ignorons comment sont réellement les choses et que nous n'en connaissons que la représentation que nous en faisons. »*

Albert Einstein, 1879-1955





---

# Remerciements

*Le travail synthétisé dans ce mémoire a été réalisé au sein du groupe fiabilité du laboratoire IMS (Intégration du matériau au système, anciennement IXL). Ce laboratoire offre un environnement de travail privilégié tant par la qualité des conditions techniques de travail que par la convivialité et la compétence des personnes que l'on y rencontre. Je remercie Messieurs André TOUBOUL et Pascal FOUILLAT, ancien et nouveau directeur du laboratoire IMS, de m'avoir offert l'opportunité d'intégrer leur laboratoire.*

*Je remercie vivement Madame Lorena ANGHEL, Maître de conférences à l'INP Grenoble - ENSERG, et Monsieur Luc HEBRARD, Professeur de l'Université Louis Pasteur de Strasbourg, pour l'honneur qu'ils m'ont fait et pour l'intérêt qu'ils ont porté à mes travaux en acceptant d'être les rapporteurs de ce mémoire de thèse. Leurs remarques constructives et leurs encouragements me seront d'une aide précieuse.*

*Je remercie vivement messieurs Didier GOGUENHEIM, professeur associé à l'ISEN, et Jean-luc MURARO, Ingénieur à Thalès Alénia Space, pour l'intérêt qu'ils ont porté à ces travaux en acceptant de faire partie du jury de thèse.*

*Je tiens également à remercier Messieurs Hervé LEVI, mon directeur de thèse, et François MARC, mon encadrant de thèse, de m'avoir accepté pour cette aventure. Les trois années passées sous leur tutelle sont parmi les plus enrichissantes de ma vie, et les conseils et reproches qu'ils ont pu m'adresser ont toujours eu pour objectif de me faire progresser. Pour tout cela et pour leur soutien, qu'ils soient assurés de ma reconnaissance.*

*J'éprouve une certaine émotion à remercier Monsieur Yves DANTO, Professeur émérite de l'Université Bordeaux 1, de son soutien, ses précieux conseils et les nombreuses conversations très enrichissantes que nous avons eues ensemble.*

*Je souhaite aussi remercier l'ensemble du personnel administratif et technique des différents services du laboratoire IMS pour les nombreuses aides qu'ils ont pu me rendre durant mon quotidien de doctorante.*

*Merci aussi à tous les membres du laboratoire, qu'ils soient doctorants ou permanents.*

---

*Ces travaux n'auraient jamais pu aboutir sans le soutien moral de mes amis : Nathalie, Mickaël, Rachèle, Hélène, Rodrigue, Manuel et Coralie. Ils m'ont apporté sérénité et réconfort dans les moments de doute, ainsi que de grandes joies. Mon efficacité de travail aurait été bien amoindrie sans leur amitié sincère et profonde. Qu'ils en soient remerciés sur sept générations au moins.*

*Je remercie également ma tante Jacqueline et Coralie pour leur talent de correctrices. Leurs contributions à ce manuscrit sont aussi des briques précieuses dans sa construction.*

*Finalement, mes pensées, mon amour et mon respect les plus sincères vont à ma famille proche, ma mère et mes frères, pour m'avoir toujours soutenue, quoique je fasse, et pour m'avoir toujours aimée, quoique je dise. J'adresse une pensée très émue à mes parents, particulièrement à mon père, parti un peu trop tôt, pour m'avoir appris à être curieuse, respectueuse et responsable, pour m'avoir soutenue sans faillir tout au long de ces travaux, mais aussi, bien avant et pour m'avoir donné les fondements de cette réussite. Mon principal héritage est mon caractère entier. Je sais qu'ils sont fiers de moi, mais peut-être ne savent-ils pas que je suis encore plus fière d'être leur fille (unique en plus !). Papa, maman, merci pour tout... A vous, je dédie ce manuscrit.*

# Table des matières

|                                                                                                                     |           |
|---------------------------------------------------------------------------------------------------------------------|-----------|
| <b>Introduction générale</b>                                                                                        | <b>1</b>  |
| <b>1 Du test à la simulation de la fiabilité : état de l'art</b>                                                    | <b>5</b>  |
| 1 La fiabilité des semi-conducteurs . . . . .                                                                       | 6         |
| 1.1 Notions et définitions de base . . . . .                                                                        | 6         |
| 1.2 La fiabilité des semiconducteurs . . . . .                                                                      | 8         |
| 1.3 Estimation et analyse de la fiabilité . . . . .                                                                 | 10        |
| 1.4 Impact de la maturité d'une technologie sur la fiabilité intrinsèque d'une famille<br>de composants . . . . .   | 13        |
| 2 Le traitement de la fiabilité . . . . .                                                                           | 14        |
| 2.1 Les essais de fiabilité . . . . .                                                                               | 14        |
| 2.2 Notion de « critère de défaillance » . . . . .                                                                  | 15        |
| 2.3 Les mécanismes de défaillances physiques . . . . .                                                              | 16        |
| 2.4 La physique des défaillances . . . . .                                                                          | 19        |
| 2.5 Conclusion . . . . .                                                                                            | 19        |
| 3 La conception en vue de la fiabilité : de la modélisation SPICE à la modélisation<br>comportementale . . . . .    | 20        |
| 3.1 Environnement de simulation de la fiabilité . . . . .                                                           | 20        |
| 3.2 Simulation du vieillissement des circuits intégrés . . . . .                                                    | 21        |
| 3.3 De la simulation de type SPICE à la simulation comportementale : limitations<br>des simulateurs SPICE . . . . . | 22        |
| 3.4 Conclusion . . . . .                                                                                            | 23        |
| 4 Conclusion . . . . .                                                                                              | 24        |
| <b>2 Modélisation comportementale de circuits analogiques et mixtes</b>                                             | <b>27</b> |
| 1 Introduction à la modélisation de circuits analogiques et mixtes . . . . .                                        | 28        |
| 1.1 Méthodologie Top-Down & Bottom-Up . . . . .                                                                     | 28        |
| 1.2 Les techniques de modélisation des circuits analogiques et mixtes . . . . .                                     | 30        |
| 1.3 Introduction à la modélisation comportementale . . . . .                                                        | 32        |

|          |                                                                                                                                           |           |
|----------|-------------------------------------------------------------------------------------------------------------------------------------------|-----------|
| 1.4      | Conclusion . . . . .                                                                                                                      | 41        |
| 2        | Le transistor MOS . . . . .                                                                                                               | 43        |
| 2.1      | Historique . . . . .                                                                                                                      | 43        |
| 2.2      | Modèle comportemental simplifié du transistor MOS pour la conception de fonctions analogiques . . . . .                                   | 45        |
| 2.3      | Implémentation VHDL-AMS . . . . .                                                                                                         | 47        |
| 2.4      | Simulation et représentation graphique . . . . .                                                                                          | 47        |
| 3        | Le miroir de courant simple . . . . .                                                                                                     | 50        |
| 3.1      | Le modèle comportemental de niveau 1 . . . . .                                                                                            | 50        |
| 3.2      | Implémentation VHDL-AMS . . . . .                                                                                                         | 51        |
| 3.3      | Simulation et représentation graphique . . . . .                                                                                          | 52        |
| 4        | La paire différentielle . . . . .                                                                                                         | 54        |
| 4.1      | Le modèle comportemental . . . . .                                                                                                        | 54        |
| 4.2      | Implémentation VHDL-AMS . . . . .                                                                                                         | 58        |
| 4.3      | Simulation et représentation graphique . . . . .                                                                                          | 58        |
| 5        | L'amplificateur opérationnel à transconductance . . . . .                                                                                 | 61        |
| 5.1      | Le modèle comportemental « structurel » . . . . .                                                                                         | 61        |
| 5.2      | Le modèle comportemental simplifié . . . . .                                                                                              | 62        |
| 5.3      | Simulation et représentation graphique des modèles . . . . .                                                                              | 64        |
| 6        | Conclusion . . . . .                                                                                                                      | 66        |
| <b>3</b> | <b>Simulation du vieillissement électrique des circuits intégrés : développement d'une stratégie de conception en vue de la fiabilité</b> | <b>67</b> |
| 1        | Stratégie de conception en vue de la fiabilité . . . . .                                                                                  | 68        |
| 1.1      | Concept général . . . . .                                                                                                                 | 68        |
| 1.2      | Modélisation ascendante du vieillissement des circuits intégrés . . . . .                                                                 | 68        |
| 1.3      | Analyse descendante de la fiabilité des circuits intégrés . . . . .                                                                       | 71        |
| 1.4      | Conclusion . . . . .                                                                                                                      | 74        |
| 2        | Modélisation comportementale du vieillissement électrique des transistors MOS induit par injection de porteurs chauds (HCI) . . . . .     | 75        |
| 2.1      | Rappel sur l'injection de porteurs chauds . . . . .                                                                                       | 75        |
| 2.2      | Modélisation de la durée de vie . . . . .                                                                                                 | 79        |
| 2.3      | Simulations comportementales du vieillissement électrique du transistor MOS .                                                             | 83        |
| 2.4      | Conclusion . . . . .                                                                                                                      | 88        |
| 3        | Modélisation ascendante des dégradations d'un AOT induites par HCI . . . . .                                                              | 90        |
| 3.1      | Le miroir de courant simple . . . . .                                                                                                     | 90        |
| 3.2      | La paire différentielle . . . . .                                                                                                         | 92        |
| 3.3      | L'amplificateur opérationnel à transconductance . . . . .                                                                                 | 95        |

## TABLE DES MATIÈRES

---

|          |                                                                                                                                                  |            |
|----------|--------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 4        | Analyse descendante de la fiabilité de l'AOT . . . . .                                                                                           | 100        |
| 4.1      | Transconducteur à un AOT . . . . .                                                                                                               | 100        |
| 4.2      | Amplification à un AOT . . . . .                                                                                                                 | 104        |
| 4.3      | Discussion . . . . .                                                                                                                             | 105        |
| 5        | Conclusion . . . . .                                                                                                                             | 109        |
| <b>4</b> | <b>Prévision de la durée de vie d'un lot de composants : introduction à l'analyse statistique lors de la phase de simulation de la fiabilité</b> | <b>111</b> |
| 1        | Notions et outils statistiques pour l'analyse de la fiabilité . . . . .                                                                          | 113        |
| 1.1      | Fonctions de distribution . . . . .                                                                                                              | 113        |
| 1.2      | Diagramme de dispersion ou de corrélation . . . . .                                                                                              | 113        |
| 1.3      | Coefficients de covariance et de corrélation . . . . .                                                                                           | 114        |
| 1.4      | Formules de transmission des moments . . . . .                                                                                                   | 114        |
| 2        | Méthodologie de modélisation statistique d'une famille de composants : du niveau transistor au niveau circuit . . . . .                          | 116        |
| 2.1      | Introduction . . . . .                                                                                                                           | 116        |
| 2.2      | Les erreurs paramétriques liées au procédé de fabrication . . . . .                                                                              | 117        |
| 2.3      | Modélisation statistique au niveau transistor . . . . .                                                                                          | 118        |
| 2.4      | Modélisation statistique au niveau circuit . . . . .                                                                                             | 118        |
| 2.5      | Détermination des propriétés statistiques des performances et des instants de défaillance d'un lot de CIs . . . . .                              | 119        |
| 3        | Modélisation statistique d'une famille d'AOTs . . . . .                                                                                          | 121        |
| 3.1      | Modèle statistique du transistor MOS . . . . .                                                                                                   | 121        |
| 3.2      | Modèle statistique du miroir de courant simple . . . . .                                                                                         | 122        |
| 3.3      | Modèle statistique de la paire différentielle . . . . .                                                                                          | 123        |
| 3.4      | Modèle statistique de l'AOT . . . . .                                                                                                            | 123        |
| 3.5      | Conclusion . . . . .                                                                                                                             | 125        |
| 4        | Influence du critère de défaillance sur la dispersion des instants de défaillance . . . . .                                                      | 126        |
| 4.1      | Le circuit . . . . .                                                                                                                             | 126        |
| 4.2      | Le profil de mission . . . . .                                                                                                                   | 126        |
| 4.3      | Les critères de défaillance . . . . .                                                                                                            | 126        |
| 4.4      | Détermination de la dispersion des instants de défaillance . . . . .                                                                             | 127        |
| 5        | Détermination de la durée de vie d'un circuit intégré . . . . .                                                                                  | 133        |
| 5.1      | Le circuit . . . . .                                                                                                                             | 133        |
| 5.2      | Le critère de défaillance . . . . .                                                                                                              | 133        |
| 5.3      | Dispersion des instants de défaillance de l'AOT . . . . .                                                                                        | 133        |
| 5.4      | Evolution de la robustesse de l'AOT . . . . .                                                                                                    | 133        |
| 5.5      | Conclusion . . . . .                                                                                                                             | 137        |

---

|          |                                                                              |            |
|----------|------------------------------------------------------------------------------|------------|
| 6        | Conclusion . . . . .                                                         | 138        |
| <b>5</b> | <b>Prévision de la tenue aux radiations d'un circuit</b>                     | <b>139</b> |
| 1        | L'environnement radiatif spatial . . . . .                                   | 140        |
| 1.1      | Composantes de l'environnement spatial . . . . .                             | 140        |
| 1.2      | Les mécanismes liés aux radiations . . . . .                                 | 142        |
| 1.3      | Synthèse . . . . .                                                           | 143        |
| 2        | Microélectronique et dose ionisante cumulée . . . . .                        | 145        |
| 2.1      | Notions et définitions de base . . . . .                                     | 145        |
| 2.2      | Mécanismes mis en jeu . . . . .                                              | 147        |
| 2.3      | Modélisation de l'effet de dose ionisante cumulée . . . . .                  | 149        |
| 2.4      | L'effet de dose ionisante cumulée dans les composants . . . . .              | 150        |
| 2.5      | Conclusion . . . . .                                                         | 152        |
| 3        | Plan d'expérience . . . . .                                                  | 153        |
| 3.1      | Les structures à irradier . . . . .                                          | 153        |
| 3.2      | Le protocole expérimental . . . . .                                          | 156        |
| 3.3      | Le banc de vieillissement . . . . .                                          | 157        |
| 3.4      | Le profil d'expérience . . . . .                                             | 158        |
| 4        | Modélisation du vieillissement électrique des transistors MOS . . . . .      | 159        |
| 4.1      | Résultats expérimentaux . . . . .                                            | 159        |
| 4.2      | Modèle électrique du transistor MOS . . . . .                                | 159        |
| 4.3      | Extraction des paramètres du modèle et détermination des lois de dégradation | 161        |
| 4.4      | Construction du modèle comportemental . . . . .                              | 163        |
| 4.5      | Validation du modèle . . . . .                                               | 166        |
| 4.6      | Simulation du vieillissement du miroir de courant simple de type N . . . . . | 166        |
| 4.7      | Conclusion . . . . .                                                         | 167        |
| 5        | Conclusion . . . . .                                                         | 169        |
|          | <b>Conclusion générale</b>                                                   | <b>169</b> |
|          | <b>A Publications</b>                                                        | <b>181</b> |

# Introduction générale

De la médecine aux commodités de la vie actuelle, en passant par l'automobile, le spatial et l'aéronautique, l'électronique s'intègre partout. L'évolution des circuits intégrés (CIs) et des systèmes électroniques sur puce (SoC, systems on chips) a été rendue possible par le développement de nouveaux procédés de fabrication et un effort de miniaturisation des composants élémentaires réduisant, depuis 1960, leur taille d'un facteur dix mille. Dans le même temps, l'évolution de la fiabilité des CIs et des SoC vers de faibles taux de défaillance ( $\approx 1$  FIT selon le domaine d'application), rend les analyses statistiques via les essais accélérés de plus en plus coûteuses. Ce constat pousse les experts de la micro-électronique à anticiper le traitement de la fiabilité et à intégrer cette dernière dès la phase de conception des CIs et SoC. On parle alors de conception en vue de la fiabilité (DFR, Design for reliability).

Les stratégies DFR ont pour but d'estimer l'influence des phénomènes d'usure (par exemple : les porteurs chauds, les effets de dose, l'électromigration ...) des composants élémentaires d'un CI sur les dégradations de ses performances électriques et sa fiabilité. Cette estimation ne peut se faire qu'à l'aide de simulation de vieillissement des composants élémentaires. Malheureusement, la plupart des outils de simulation de vieillissement développés jusqu'à maintenant sont basés sur l'utilisation de deux simulateurs jumelés et ne réalisent des simulations qu'au niveau transistor, limitant ainsi leur utilisation qu'à des fonctions électroniques simples composées de quelques dizaines de transistors. Cet aspect négatif de ces stratégies DFR ne favorise pas la communication entre fiabilistes et concepteurs puisque les CIs, que ces derniers conçoivent, ont des fonctionnalités et des architectures de plus en plus complexes.

L'objectif des travaux menés au sein du laboratoire IMS par l'équipe « Fiabilité des circuits électroniques (Ficel) », dirigée par François Marc, est de développer et de mettre en œuvre des méthodologies de simulation de fiabilité fondées sur l'utilisation d'un unique simulateur. L'intérêt de la méthodologie, développée au cours de la thèse de Benoît Mongellaz, est de pouvoir simuler des circuits beaucoup plus complexes à l'aide de logiciels connus et reconnus par la communauté des concepteurs. Ces méthodes visent à construire un modèle comportemental compact d'un circuit, permettant de simuler son vieillissement [58][46] [55] [57]. Cette construction est fondée sur une analyse ascendante des relations entre les signaux d'entrées, les dégradations de chaque composant élémentaire et l'effet de ces dégradations sur le comportement du circuit. A chaque niveau de l'analyse ascendante, une simplification rigoureuse du modèle permet de ne prendre en compte que les effets significatifs des dégradations sur le comportement du circuit. L'intérêt de cette approche a été démontré. Cependant, ces méthodes doivent être consolidées et plusieurs développements restent à effectuer pour autoriser une mise en œuvre opérationnelle. Ces travaux de thèse s'inscrivent alors dans la suite des projets déjà menés.



Le chapitre 1 présentera, tout d'abord, l'ensemble des définitions, les notions mathématiques et les moyens mis en œuvre pour l'analyse de la fiabilité. Nous aborderons ensuite l'environnement des outils de simulation de vieillissement existants ainsi que leurs principaux avantages et inconvénients.

L'approche de simulation de la fiabilité, développée par l'équipe Fichel, nécessite la mise en place d'une première étape de modélisation électrique dont l'objectif principal est la définition de modèles comportementaux d'un circuit à différents niveaux hiérarchiques. Le chapitre 2 présentera, dans un premier temps, les différents types de modélisation d'un circuit et les langages qui leur sont associés. Dans un deuxième temps, la méthodologie, utilisée pour construire l'ensemble des modèles comportementaux électriques d'un amplificateur opérationnel à transconductance (AOT), développés pour les besoins de l'étude, sera présentée.

A partir des modèles comportementaux électriques, un modèle comportemental dit « dégradable », prenant en compte l'usure des composants élémentaires, peut être développé. Ce développement s'appuie sur une méthodologie de modélisation ascendante du vieillissement électrique de l'AOT. La première partie du chapitre 3 détaillera alors cette méthodologie ainsi que notre stratégie d'analyse de fiabilité, via des simulations de vieillissement électrique, développées et mises en œuvre durant ces travaux. La deuxième partie présentera une mise en œuvre opérationnelle de ces dernières afin de prédire le comportement de l'AOT vis-à-vis d'un mécanisme de dégradation : les porteurs chauds.

Le chapitre 4 présentera une première ébauche à l'introduction à l'analyse statistique durant la phase de simulation de vieillissement s'appuyant sur notre stratégie, dont l'objectif est la prévision des durées de vie d'un lot de CIs, par la prise en compte des dispersions technologiques liées au procédé de fabrication utilisé.

La validité des résultats de simulation de vieillissement dépend fortement de la validité des modèles de dégradation utilisés. Ces modèles doivent donc être construits sur des bases expérimentales. Plusieurs campagnes d'expériences ont été élaborées et mises en place afin de prédire la tenue aux radiations d'un AOT. La première partie du chapitre 5 présentera l'ensemble des notions et définitions nécessaires à l'étude des effets de dose ionisante sur la fonctionnalité des transistors MOS. L'ensemble des plans d'expériences élaborées, afin de permettre la construction de modèles comportementaux dégradables, seront définis dans la deuxième partie de ce chapitre. La troisième partie sera consacrée à la construction des modèles comportementaux de vieillissement, et la dernière, à la prévision de la tenue aux radiations du miroir de courant.



# Chapitre 1

## Du test à la simulation de la fiabilité : état de l'art

La fiabilité est la probabilité d'une entité à accomplir une fonction requise pendant un intervalle de temps donné, dans des conditions données. L'entité peut être un composant, un système, un réseau ou même un logiciel. La fonction requise, nécessaire pour la fourniture d'un service donné, doit être spécifiée dans un cahier des charges définissant les tolérances acceptables. Les conditions d'emploi sont liées à l'environnement climatique, mécanique, chimique et/ou électrique.

L'analyse de la fiabilité passe par la compréhension des modes de défaillance des CIs et la modélisation des mécanismes de dégradation qui en découlent. Pour atteindre les objectifs d'assurance fiabilité des dispositifs conçus, les outils et les méthodologies mis en œuvre ces dernières décennies sont nombreux.

Ce chapitre constitue un état de l'art des approches fiabilistes développées et des moyens utilisés. Ce chapitre se décompose en trois parties :

- la première partie rappelle l'ensemble des notions et des définitions de base nécessaires à la compréhension et à l'analyse de la fiabilité ;
- la seconde partie présente les moyens mis en œuvre lors de l'évaluation de la fiabilité de circuits intégrés ;
- la troisième partie, quant à elle, définit la notion de « conception en vue de la fiabilité » ;

# 1 La fiabilité des semi-conducteurs

## 1.1 Notions et définitions de base

Dans ce paragraphe, nous allons définir les principales notions et fonctions utilisées en fiabilité.

### 1.1.1 La défaillance

Une défaillance est la cessation de l'aptitude d'une entité à accomplir une fonction requise. Deux types de défaillances sont définis :

- **défaillance par dérive ou dégradation** : défaillance partielle et progressive (par exemple : sous l'effet de rayonnements ionisants, les seuils de conduction des transistors MOS varient au cours du temps jusqu'à induire un mauvais fonctionnement des circuits). Une mesure de paramètre peut permettre de prévoir la défaillance selon le critère retenu.
- **défaillance catalectique** : défaillance soudaine et complète (par exemple : rupture de pistes, rupture de métallisation...).

### 1.1.2 La fiabilité $R(t)$

Cette fonction représente la probabilité de fonctionnement sans défaillance pendant un temps  $t$  d'une famille de composants. Elle s'exprime de la manière suivante :

$$R(t) = \frac{\text{Nombre de composants opérationnels à l'instant } t}{\text{Nombre total de composants observés}} \quad (1.1)$$

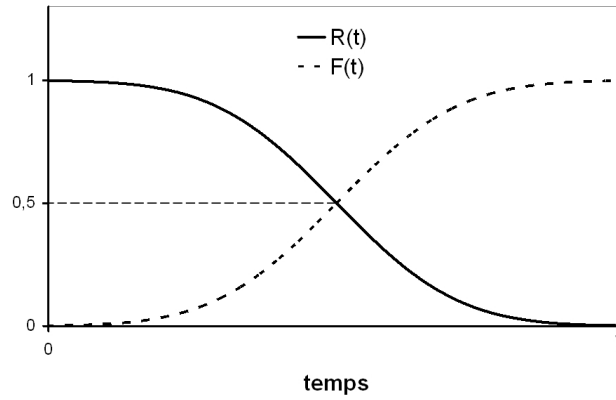
### 1.1.3 La fonction de distribution des défaillances $F(t)$

Cette fonction est la probabilité de non fonctionnement pendant un temps  $t$  d'une famille de composants. Elle représente la proportion de composants en panne à un instant  $t$  donné et s'exprime de la manière suivante :

$$F(t) = \frac{\text{Nombre de composants défaillants à l'instant } t}{\text{Nombre total de composants observés}} \quad (1.2)$$

$R(t)$  et  $F(t)$  sont respectivement strictement décroissante et strictement croissante (Cf. Fig. 1.1) pour des systèmes non réparables. De par leurs expressions, ces deux fonctions sont complémentaires :

$$R(t) + F(t) = 1 \quad (1.3)$$



**Figure 1.1** – Exemple d'évolution de la fonction de fiabilité  $R(t)$  et de la fonction de distribution des défaillances  $F(t)$ .

#### 1.1.4 La fonction de densité de défaillance $f(t)$

La fonction de densité de défaillance caractérise la vitesse à laquelle les défaillances surviennent par unité de temps. Elle s'exprime de la manière suivante :

$$f(t) = \frac{dF(t)}{dt} = -\frac{dR(t)}{dt} \quad (1.4)$$

$R(t)$  et  $F(t)$  peuvent donc s'exprimer en fonction de  $f(t)$  :

$$R(t) = \int_t^{\infty} f(t') dt' \quad (1.5)$$

$$F(t) = \int_0^t f(t') dt' \quad (1.6)$$

#### 1.1.5 Le taux de défaillance $\lambda(t)$

Le taux de défaillance à l'instant  $t$  d'un équipement est défini par l'équation 1.7.

$$\lambda(t) = \frac{f(t)}{1 - F(t)} = \frac{f(t)}{R(t)} = -\frac{d|\log R(t)|}{dt} \quad (1.7)$$

La fonction fiabilité peut donc s'exprimer en fonction de  $\lambda(t)$  :

$$R(t) = \exp \left[ - \int_0^t \lambda(t') dt' \right] \quad (1.8)$$

La fonction du taux de défaillance est aussi appelée taux de défaillance instantanée et est fréquemment utilisée pour évaluer la fiabilité des semi-conducteurs.

Le terme taux de défaillance instantanée est théoriquement précis. Toutefois, il est très difficile de calculer le taux de défaillance sur une courte période de temps ; une période de 1000 heures, d'un mois ou d'un an est donc souvent utilisée comme unité de temps. Cette fonction s'exprime souvent en FIT (Failure In Time) ; 1 FIT correspond à  $10^{-9}$  défaillances par heure de fonctionnement : parmi un millier de composants utilisés pendant un million d'heures une seule défaillance correspond à 1 fit ( 1 année  $\approx 10^4$  h ). En électronique, l'ordre de grandeur usuel pour des composants est de quelques fits à quelques milliers selon la complexité, la maturité de la technologie. . .

### 1.1.6 La durée de vie médiane *MTTF* (Median Time To Failure)

La durée de vie médiane représente la durée pour laquelle la moitié des composants est tombée en panne :

$$R(MTTF) = F(MTTF) = \frac{1}{2} \quad (1.9)$$

### 1.1.7 La durée de vie moyenne *MTBF* (Mean Time Before Failure)

Tout comme le taux de défaillance, la durée de vie moyenne de bon fonctionnement est fréquemment utilisée. Elle s'exprime en fonction de la densité de défaillance  $f(t)$  ou de la fonction de fiabilité  $R(t)$  :

$$MTBF = \int_0^{\infty} t' f(t') dt' \quad (1.10)$$

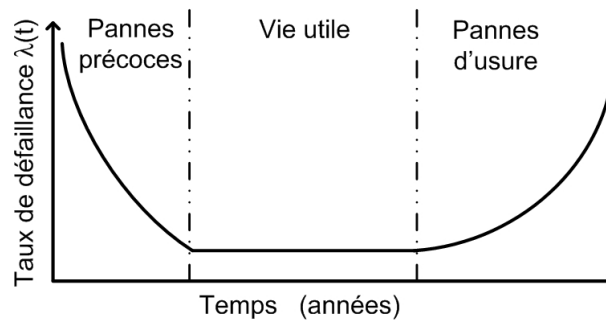
$$MTBF = \int_0^{\infty} R(t') dt' \quad (1.11)$$

## 1.2 La fiabilité des semiconducteurs

Avec la croissance exponentielle du taux d'intégration des circuits, les fonctions et les performances d'un équipement se complexifient, et les défaillances produites par les défauts augmentent. Un niveau de fiabilité élevé est donc devenu indispensable. Ceci signifie qu'un niveau de fiabilité encore plus élevé des différents composants qui composent le circuit ou le système est exigé. De grandes quantités de semi-conducteurs sont employées dans un équipement, et ils en réalisent souvent les fonctions principales, ainsi une fiabilité élevée est extrêmement importante.

Le taux de défaillance est souvent employé comme un index général pour représenter la fiabilité des semi-conducteurs. Pour la plupart des systèmes, circuits ou composants électroniques étudiés, on peut distinguer trois phases successives dans l'évolution de ce taux. Cette dernière suit l'allure de la courbe de la figure 1.2. Cette courbe s'appelle la courbe en baignoire en raison de sa forme. Elle met en évidence que les durées de vie d'un composant électronique peuvent être réparties en 3 périodes :

- **Défaillances précoces** : ces défaillances surviennent au début de l'utilisation du composant, lorsqu'un stress, telle qu'une température ou une tension, lui est appliqué. On parle alors de mortalité infantile ou de défaillances précoces. Elles sont caractérisées par un taux de défaillance



**Figure 1.2** – Evolution du taux de défaillances d’une famille de composants en fonction du temps.

qui décroît rapidement au cours du temps. Elles sont essentiellement dues aux défauts générés, et qui ne peuvent être écartés, durant la phase de production et ce pour un procédé de fabrication donné. Ces composants potentiellement défaillants peuvent être écartés du marché par des procédures de déverminage, de contrôle du procédé de fabrication ou d’assurance qualité [64].

- **Vie utile** : cette notion de vie utile peut se rapporter à la fiabilité inhérente des produits dont le niveau est déterminé par la qualité de son *design*. Le produit a atteint sa pleine maturité, c’est la période utile de fonctionnement. Les défaillances qui surviennent sporadiquement durant cette phase de vie utile sont principalement la conséquence d’une mauvaise utilisation ou d’incidents (décharge électrostatique, humidité, variation de température ...). Toutefois, le taux de défaillance des composants peut être abaissé par l’intégration de modules au sein de la puce (circuits de protection contre les décharges électrostatiques et les surcharges électriques, blocs de correction en redondance passive ou active, ...), par la sous-sollicitation (« derating ») ou en les faisant évoluer sous des conditions environnementales normales d’utilisation.
- **Pannes d’usure** : La hausse du taux de défaillances au cours de la troisième phase correspond aux phénomènes d’usure des composants et marque ainsi la fin de vie utile de ce dernier. L’apparition de cette phase dépend directement des contraintes appliquées au composant et donc de son profil de mission. Le début de cette phase est très difficilement quantifiable. A ce stade, le vieillissement, induit par des dégradations accumulées au cours de la vie utile du composant, entraîne la dérive des caractéristiques électriques de ce dernier.

Il est vital de pouvoir influencer cette courbe afin de diminuer au maximum la première phase de défaillances précoces (contribuant ainsi à la diminution des coûts en service après-vente et en actions correctives), maintenir le taux de défaillance le plus bas durant la deuxième phase et anticiper la dernière phase afin d’améliorer le temps moyen de bon fonctionnement ou MTBF (Mean Time Between Failure) du système, circuit ou composant électronique.

Les semi-conducteurs, quant à eux, sont de plus en plus miniaturisés et fortement intégrés. Assurer leur fiabilité est donc devenu une question essentielle.

## 1.3 Estimation et analyse de la fiabilité

La plupart des fonctions de défaillances des circuits ou systèmes peuvent être classifiées en une (ou plusieurs) loi(s) de distribution. Cette section présente les quatre lois fréquemment utilisées lors de l'analyse de la fiabilité.

### 1.3.1 Distribution exponentielle

Une loi de distribution exponentielle caractérise un circuit ou système ayant un taux de défaillance indépendant du temps, ce qui correspond à la période de vie utile d'une famille de composants (Cf. courbe en baignoire 1.2).

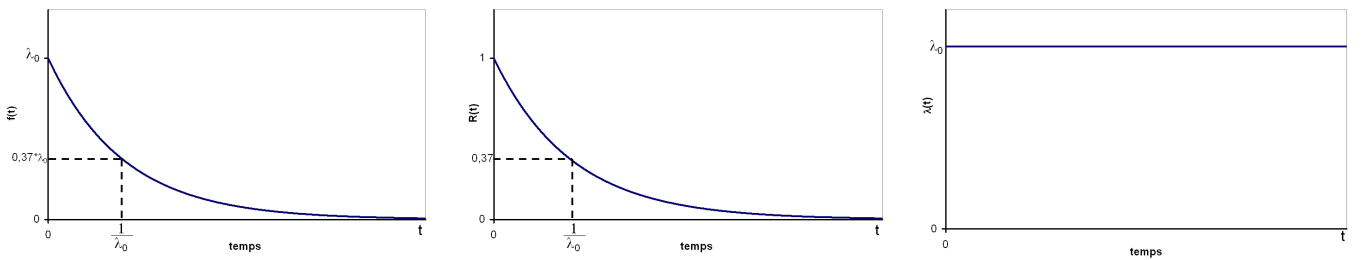
$$\lambda(t) = \lambda_0 \quad (1.12)$$

$$R(t) = \exp[-\lambda_0.t] \quad (1.13)$$

$$f(t) = \lambda_0 \exp[-\lambda_0.t] \quad (1.14)$$

$$MTBF = \frac{1}{\lambda_0} \quad (1.15)$$

Le MTTF correspond au temps pour lequel  $R(t)$  est équivalent à  $\frac{1}{2}$ , et est l'inverse du taux de défaillance. La loi de distribution exponentielle est la plus simple dans le domaine de la fiabilité.



(a) Évolution de la fonction de densité de défaillance  $f(t)$ . (b) Évolution de la fonction de fiabilité  $R(t)$ . (c) Évolution du taux de défaillance  $\lambda(t)$ .

**Figure 1.3** – Évolution des fonctions caractéristiques de la fiabilité d'une famille de composants pour un taux de défaillance constant au cours du temps.

### 1.3.2 Distribution normale ou gaussienne

La distribution normale est une loi très importante dans la théorie des statistiques et pour les applications actuelles. Elle est donc fréquemment utilisée lors de la modélisation des dispersions



statistiques des paramètres technologiques du CI, et rarement comme fonction de fiabilité.

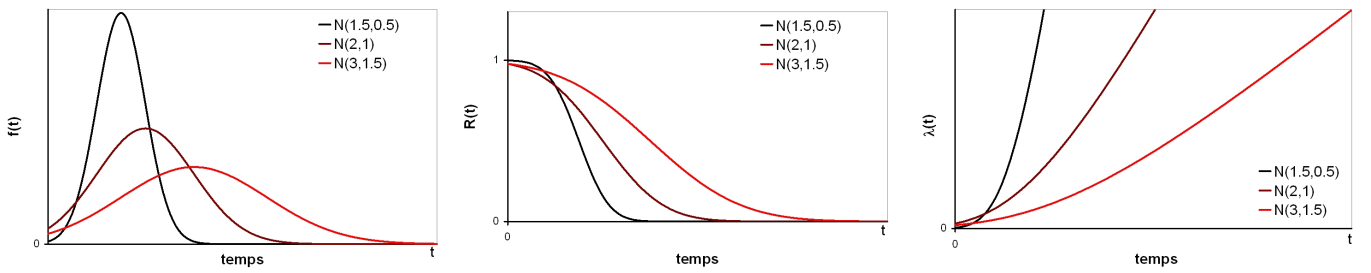
$$\lambda(t) = \frac{\exp \left[ -\frac{(t-\mu)^2}{2 \sigma^2} \right]}{\int_t^\infty \exp \left[ -\frac{(x-\mu)^2}{2 \sigma^2} \right] dx} \quad (1.16)$$

$$R(t) = 1 - \frac{1}{\sqrt{2 \pi} \sigma} \int_0^t \exp \left[ -\frac{(x-\mu)^2}{2 \sigma^2} \right] dx \quad (1.17)$$

$$f(t) = \frac{1}{\sqrt{2 \pi} \sigma} \exp \left[ -\frac{(t-\mu)^2}{2 \sigma^2} \right] \quad (1.18)$$

$$MTBF = \mu \quad (1.19)$$

Où  $\mu$  est la valeur moyenne et  $\sigma$  l'écart type.



(a) Évolution de la fonction de densité de défaillance  $f(t)$ . (b) Évolution de la fonction de fiabilité  $R(t)$ . (c) Évolution du taux de défaillance  $\lambda(t)$ .

**Figure 1.4** – Évolution des fonctions caractéristiques de la fiabilité d'une famille de composants pour une densité de défaillance suivant une distribution normale.

A partir de la figure 1.4, les temps pour lesquels les défaillances surviennent sont concentrés au centre de la courbe  $\mu \pm 3\sigma$  et correspondent aux défaillances dues au vieillissement d'une famille de composants (Cf. courbe en baignoire 1.2).

### 1.3.3 Distribution Log-normale

Une distribution pour laquelle la variable  $\ln t$  suit une loi normale est appelée distribution log-normale. Elle est donc équivalente à une substitution de  $t$  par  $\ln t$ .

$$MTBF = \exp \left[ \mu + \frac{\sigma^2}{2} \right] \quad (1.20)$$

Où  $\mu$  est valeur moyenne et  $\sigma$  l'écart type.

### 1.3.4 Distribution de Weibull

La distribution de Weibull a été proposée par W. Weibull, un ingénieur suédois en mécanique. Chaque distribution des taux de défaillance, caractéristiques des trois zones de la courbe en baignoire (Cf. Fig.1.2), peut s'exprimer par la valeur du paramètre de Weibull  $m$ . Cette distribution est par conséquent très utilisée lors de l'analyse de la fiabilité des circuits et systèmes électroniques.

Les équations 1.21, 1.22 et 1.23 donnent respectivement les expressions du taux de défaillance  $\lambda(t)$ , de la fonction de la fiabilité  $R(t)$  et de la densité de défaillance  $f(t)$  en fonction des paramètres de Weibull  $m$ ,  $\gamma$  et  $t_0$ .

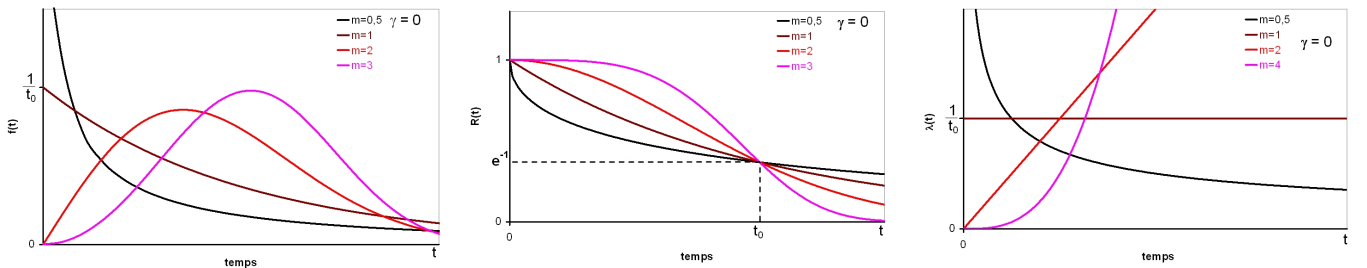
$$\lambda(t) = \frac{m(t - \gamma)^{m-1}}{t_0} \quad (1.21)$$

$$R(t) = \exp \left[ -\frac{(t - \gamma)^m}{t_0} \right] \quad (1.22)$$

$$f(t) = \frac{m(t - \gamma)^{m-1}}{t_0} \exp \left[ -\frac{(t - \gamma)^m}{t_0} \right] \quad (1.23)$$

$t_0$  est un paramètre d'échelle servant à la normalisation du temps.  $\gamma$  est un paramètre de position et correspond au temps à partir duquel la première défaillance survient.  $m$  est un paramètre de forme. A partir de la valeur de ce dernier, nous pouvons déterminer si le circuit ou système est dans sa période de vie infantile, utile ou d'usure.

- $m < 1$  : le taux de défaillance décroît au cours du temps caractérisant ainsi une défaillance précoce du circuit ;
- $m = 1$  : le taux de défaillance est indépendant du temps, ce qui correspond ainsi à une loi de distribution exponentielle. Le circuit se trouve dans sa période de vie utile ;
- $m > 1$  : le taux de défaillance augmente au cours du temps et caractérise ainsi une défaillance due à l'usure du circuit ou système. Lorsque  $m$  est grand, les instants de défaillance sont faiblement dispersés.



(a) Évolution de la fonction de densité de défaillance  $f(t)$ . (b) Évolution de la fonction de fiabilité  $R(t)$ . (c) Évolution du taux de défaillance  $\lambda(t)$ .

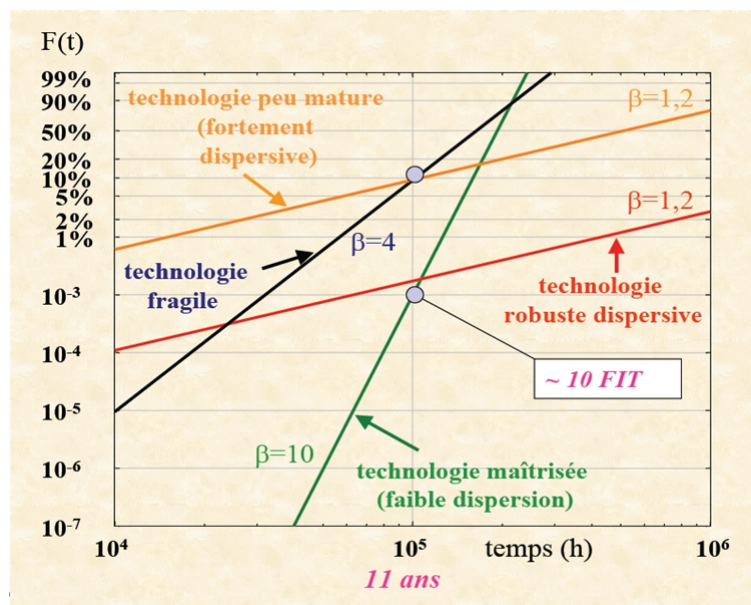
**Figure 1.5** – Évolution des fonctions caractéristiques de la fiabilité d'une famille de composants pour une répartition de leurs instants de défaillance suivant une distribution de Weibull.

## 1.4 Impact de la maturité d'une technologie sur la fiabilité intrinsèque d'une famille de composants

Lors de la conception d'un circuit intégré analogique, il est nécessaire non seulement de dimensionner chaque composant élémentaire pour satisfaire aux spécifications électriques nominales demandées à partir d'un modèle (déterministe), mais il faut également garantir que ces spécifications soient satisfaites compte tenu des dispersions technologiques susceptibles de modifier statistiquement certains paramètres du modèle.

D'un point de vue « fiabilité », l'influence des fluctuations des paramètres technologiques sur les dispersions statistiques des performances électriques d'un circuit entier constitue un indice sur la maturité de la technologie concernée.

La figure 1.6 montre l'impact de la maturité de la technologie utilisée lors de la conception des circuits intégrés sur leur fiabilité intrinsèque. Ainsi, une technologie maîtrisée contribue à une faible dispersion des instants de défaillance d'une famille de circuits intégrés. A l'inverse, une technologie peu mature ou robuste peut induire une forte dispersion des instants de défaillance.



**Figure 1.6** – Impact de la maturité de la technologie sur la fiabilité intrinsèque.  $\beta$  est le paramètre de forme de la loi de Weibull

Il est donc nécessaire, lors de la conception analogique en vue de la fiabilité, de prendre en compte ces inévitables dispersions technologiques afin d'évaluer l'impact de la maturité de la technologie ou encore la validité du dimensionnement des composants élémentaires sur les indices de performances électriques pour une famille de circuits intégrés donnée.

## 2 Le traitement de la fiabilité

L'évaluation de la fiabilité d'un circuit intégré est de vérifier à travers divers essais que ce circuit répondra à ses spécifications durant un temps  $t$  donné d'un profil de mission. Pour ce faire, les données expérimentales sont traitées statistiquement afin de déterminer les fonctions de défaillances précédemment définies.

Avant de réaliser toute série d'essais de fiabilité, il est important de définir l'ensemble des indicateurs de fiabilité. En premier lieu, il est essentiel de définir :

- la(les) fonction(s) réalisée(s) par le composant ;
- les conditions de fonctionnement de ce dernier ;
- les conditions environnementales dans lesquelles il va évoluer ;
- le temps de la mission à laquelle il est destiné ;
- l'ensemble des critères de défaillance ;
- les indicateurs de fiabilité.

### 2.1 Les essais de fiabilité

Tels que définis dans les standards industriels japonais JIS Z 8115, « les essais de fiabilité » est le terme général pour les essais permettant de déterminer le niveau de fiabilité, et les tests de conformité de la fiabilité. En d'autres termes, les valeurs caractéristiques de la fiabilité (taux de défaillance, fonction de fiabilité, durée de vie moyenne, MTTF...) sont évaluées et vérifiées statistiquement à l'aide des données résultant de ces essais. Ces tests jouent également un rôle important lors de l'amélioration de la fiabilité par l'analyse des mécanismes de défaillances qui se produisent au cours de ces derniers et de leur clarification.

Les essais de fiabilité doivent prendre en compte le niveau de stress nécessaire pour dégrader le circuit sous test, et simuler les conditions réelles d'utilisation de ce dernier. Bien que les conditions de ces tests doivent être les mêmes lors d'une utilisation normale du composant, il est très difficile d'obtenir des résultats précis et suffisants en des temps très courts et pour des coûts minimum.

En réalité, afin de réduire le temps, le nombre et les coûts des essais de fiabilité, les tests accélérés sont fréquemment utilisés en Industrie. Ces tests consistent à faire vieillir les composants en dehors de leurs gammes nominales d'utilisation. Généralement, l'intensité du stress lors de ces tests doit être non destructive et représentative pour permettre une analyse de défaillance cohérente et/ou une modélisation suffisamment précise de la fiabilité des circuits sous test.

Le domaine de validité des tests accélérés dépend du standard utilisé pour les effectuer. En effet, pour les circuits intégrés, différents standards ont été développés. Les plus connus sont les standards industriels japonais (JIS : Japanese industrial Standard), définis par l'association des industries en électronique du Japon (EIAJ : Electronic Industries Association of Japan) ou encore par la commission internationale en électrotechnique (IEC : International Electrotechnical Commission),

| Standard                                                                       | Intitulé                                                                    |
|--------------------------------------------------------------------------------|-----------------------------------------------------------------------------|
| <b>IEC Standard (International Electrotechnical Commission)</b>                |                                                                             |
| Publication 68                                                                 | Basic environment testing method                                            |
| Publication 147-5                                                              | Semiconductor Device Mechanical and climatic testing method                 |
| <b>MIL Standard (Military Standard)</b>                                        |                                                                             |
| MIL-STD-202F                                                                   | Electronic and electric parts testing method                                |
| MIL-STD-750C                                                                   | Discrete semiconductor devices testing method                               |
| MIL-STD-883C                                                                   | Microelectronics testing method                                             |
| <b>BS (British Standard)</b>                                                   |                                                                             |
| BS-9300                                                                        | Semiconductor devices testing method                                        |
| BS-9400                                                                        | IC testing method                                                           |
| <b>JIS Standard (Japanese Industrial Standard)</b>                             |                                                                             |
| JIS C7021                                                                      | Environmental and endurance test methods for discrete semiconductor devices |
| JIS C7022                                                                      | Environmental and endurance test methods for ICs                            |
| <b>EIAJ Standard (Standards of Electronic Industries Association of Japan)</b> |                                                                             |
| SD-121                                                                         | Environmental and endurance test methods for discrete semiconductor devices |
| IC-121                                                                         | Environmental and endurance test methods for ICs                            |

**Tableau 1.1** – Principaux standards pour les essais de fiabilité.

les standards militaires américains (MIL-STD : MILitary STanDard) ou les standards britanniques (BS : British Standard).

Les essais de fiabilité sont utilisés pour évaluer la fiabilité d'un composant, ou mettre en évidence les mécanismes de dégradation ou des défauts de jeunesse de ce dernier. Les résultats de ces essais sont ensuite utilisés pour faire des prévisions sur la durée de vie réelle, les performances de ce composant ou pour établir ses conditions d'utilisation. Il est important de tester le composant hors de ces spécifications lors de ces essais afin de définir les conditions nominales de fonctionnement réelles de ce produit.

## 2.2 Notion de « critère de défaillance »

Avant tout essai de fiabilité, il est nécessaire de définir le(s) critère(s) de défaillance qui va (vont) permettre de juger de la qualité d'un composant. Cependant, il existe plusieurs types de défaillances, et les résultats des essais de fiabilité différeront considérablement selon la validité du (des) critère(s) de défaillance choisi(s). En effet, la distinction entre un défaut dit catastrophique (tel qu'un court circuit ou une fusion de la métallisation) et un défaut dit paramétrique (tel que l'augmentation d'un courant de fuite) dépend essentiellement du niveau de la dégradation et de l'impact de cette dernière sur la fonctionnalité du composant.

Plusieurs paramètres caractéristiques du composant évoluent au cours d'un test de fiabilité. Par conséquent, il y a deux points importants à définir lors de la détermination d'un critère de défaillance :

- fixer une marge de tolérance à partir des caractéristiques et des conditions de fonctionnement

du composant ;

- déterminer les limites du contrôle de fiabilité.

Le premier fait appel à une méthode de détermination à partir des caractéristiques nominales requises d'un composant pour lesquelles on prend en compte une tolérance supplémentaire à la spécification du composant ; le second est relatif à une méthodologie de détermination basée sur la physique des défaillances, tels les modes de défaillances ou les mécanismes de défaillances de ces composants.

Le tableau **1.2** présente des exemples de critères de défaillance, déterminés à partir des données fournies par le constructeur, pour des circuits intégrés linéaires. Généralement, ces critères de défaillance ne montrent pas les limites à partir desquelles un système est probablement défaillant lors d'une utilisation réelle de ce dernier, mais ils sont basés sur les notions de niveaux de dégradations des paramètres, dues aux tests de fiabilité, et d'évaluation de la qualité et de la fiabilité en des temps très courts.

| Caractéristiques électriques      | Critères de défaillance |                           | Unité                |
|-----------------------------------|-------------------------|---------------------------|----------------------|
|                                   | Limite inférieure       | Limite supérieure         |                      |
| Voltage gain                      | $L - 3$                 | $U + 3$                   | <i>dB</i>            |
| Output power                      | $L - 0.9$               | –                         | <i>W</i>             |
| Full harmonic distortion factor   | –                       | $U \times 1.5$            | %                    |
| Output noise voltage              | –                       | $U \times 1.5$            | <i>mV</i>            |
| Input limiting voltage            | –                       | $U + 3$ or $U \times 1.5$ | <i>dB</i> or $\mu V$ |
| Supply current                    | –                       | $U \times 1.1$            | <i>A</i>             |
| Input offset voltage              | –                       | $U \times 1.5$            | <i>V</i>             |
| Input offset current              | –                       | $U \times 1.5$            | <i>A</i>             |
| Input current, Input bias current | –                       | $U \times 1.3$            | <i>A</i>             |
| Maximum output voltage amplitude  | $L \times 1.1$          | $U \times 0.9$            | <i>V</i>             |

**Tableau 1.2** – Exemples de critères de défaillance pour des circuits intégrés linéaires. L et U sont respectivement les limites minimales et maximales définies par la spécification du constructeur.

## 2.3 Les mécanismes de défaillances physiques

Les composants semi-conducteurs n'échappent pas aux phénomènes physiques de dégradation. Plusieurs mécanismes physico-chimiques peuvent provoquer des défaillances. Ces défaillances peuvent être de type catastrophique : le composant ne fonctionne plus du tout. Ou elles peuvent être de type paramétrique : le composant voit ses caractéristiques électriques dériver. Cette section a pour objectif de donner un aperçu des mécanismes de dégradation affectant les performances des circuits intégrés. Cet aperçu (tableau **1.3**) comprend les défaillances affectant aussi bien le composant élémentaire comme le transistor, le circuit intégré ou un système électronique, sans oublier les défaillances dues

aux assemblages et interconnexions. Les défaillances et les mécanismes de dégradation en électronique se classent selon deux catégories : les défaillances intrinsèques et les défaillances extrinsèques.

### 2.3.1 Les défaillances intrinsèques

Les défaillances intrinsèques surviennent pour des conditions d'utilisation répondant aux spécifications du composant et sont liées à plusieurs facteurs :

1. la conception du composant
2. les matériaux utilisés
3. les procédés de fabrication
4. l'assemblage du composant
5. l'encapsulation du composant
6. le vieillissement des matériaux

Elles sont à l'origine des défaillances précoces ou d'usures des composants et surviennent sur la première et la troisième régions de la courbe en baignoire (Cf figure **1.2**, page 9).

### 2.3.2 Les défaillances extrinsèques

Les défaillances extrinsèques sont causées par des conditions d'utilisation provoquant le dépassement de valeurs critiques :

1. les surcharges électriques (EOS)
2. les décharges électrostatiques (ESD)
3. la manipulation du composant
4. les surcharges mécaniques, thermiques, chimiques
5. l'utilisation non correcte du composant

Ces défaillances extrinsèques surviennent sur la période de vie utile du composant.

### 2.3.3 Effets sur les performances électriques

Un classement des différentes défaillances rencontrées en électronique est proposé dans le tableau **1.3**. Nous faisons une description sommaire des effets induits par les modes de dégradation sur le fonctionnement électrique d'un composant élémentaire, d'un circuit ou d'un système électronique.

Du procédé de fabrication, où le silicium est à l'état pur, à la mise sur le marché et son intégration dans un système électronique complexe, le composant électronique subit des contraintes variées et plus ou moins actives selon l'étape de production.

| <b>Mécanisme de défaillance</b>                                                          | <b>Effets</b>                                                                                                                                                   |
|------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Défauts cristallins<br>Fissures                                                          | Dérives des paramètres électriques<br>Circuits ouverts dans les cas extrêmes                                                                                    |
| Contamination ionique<br>Charge de surface                                               | Modification de la tension de seuil (MOS) ou variation du gain (BIP)<br>Modification des courants de fuite et tensions de claquage (pour les composants actifs) |
| Porteurs chauds                                                                          | Création d'une charge fixe dans l'oxyde,<br>Dérive de la tension de seuil (MOS), dégradation de la mobilité des porteurs                                        |
| Claquage de diélectrique<br>Défauts d'oxyde                                              | Court-circuit, défauts d'isolement<br>Courant de fuite excessif, pertes de données (pour les mémoires)                                                          |
| Electromigration<br>Migration métallique                                                 | Circuit-ouvert (lignes de métallisation)<br>Court-circuit (dépôt d'aluminium), apparition de dendrites                                                          |
| Fissures des pistes métalliques<br>Fissures de la passivation                            | Circuit-ouvert/court-circuit (fissures et déformation, corrosion),<br>Fuite des transistors (fissures dans la grille en polysilicium)                           |
| Oxydation & Corrosion des broches<br>Croissance d'inter-métallique au niveau des broches | Circuit-ouvert<br><br>Augmentation des résistances électriques                                                                                                  |
| Décollement de la puce<br>Fractures/trous                                                | Variation des résistances électriques et thermiques,<br>Circuit-ouvert                                                                                          |
| Croissance d'inter-métalliques Au/Al                                                     | Fragilisation(circuit-ouvert), augmentation de la résistance du fil d'interconnexion                                                                            |
| Rupture & Décollement des fils d'interconnexion                                          | Circuit-ouvert, court-circuit(fils trop longs)<br>Augmentation des densités de courant                                                                          |
| Décharges électrostatiques<br>Surcharges électriques                                     | Court-circuit (claquages des oxydes)<br>Effet thermique, forte intensité (fusion des matériaux)                                                                 |

**Tableau 1.3** – Effets des mécanismes de défaillance physique sur les performances électriques des composants.

L'électromigration, le claquage d'oxyde, la contamination ionique ou d'autres participent aussi bien à la mortalité infantile qu'aux phénomènes d'usure qui induisent une modification des caractéristiques électriques d'un circuit intégré. D'autres phénomènes contribuent essentiellement au vieillissement électrique comme l'injection de porteurs chauds ou l'étalement de charges en surface.

Des travaux expérimentaux conduisent à la définition de modèles physiques (souvent empiriques) des mécanismes physiques de défaillance. Aujourd'hui, ces modèles sont intégrés dans les bibliothèques d'outils de simulation. Ces outils proposent des modèles physiques destinés à l'analyse de mode de dégradation comme l'électromigration, l'injection de porteurs chauds ou le claquage d'oxyde. Ces outils offrent la possibilité de **simuler** ces mécanismes de dégradation **au niveau transistor**.



## 2.4 La physique des défaillances

La physique des défaillances (*POF, Physics of Failure*) [48] [64] est le terme général pour l'identification et la compréhension des processus physiques et des mécanismes de défaillance. Elle consiste à modéliser par une loi physique analytique chaque mécanisme de défaillance qui intervient au cours des essais de fiabilité. Elle se base sur les connaissances de la physique des composants pour évaluer les modes de dégradation. Elle vise à isoler les différentes causes de défaillance possibles et à les caractériser séparément en appliquant pendant les tests des contraintes plus importantes que celles rencontrées durant l'utilisation normale du composant. Il est important dans ces conditions de bien comprendre les mécanismes responsables des dégradations afin de déterminer les paramètres qui permettront d'accélérer suffisamment le phénomène de dégradation tout en restant représentatif des conditions nominales d'utilisation. La compréhension du mécanisme de dégradation permet, grâce à des modèles plus ou moins empiriques, de se replacer dans les conditions nominales de fonctionnement à partir des données collectées lors des tests de vieillissement accélérés.

## 2.5 Conclusion

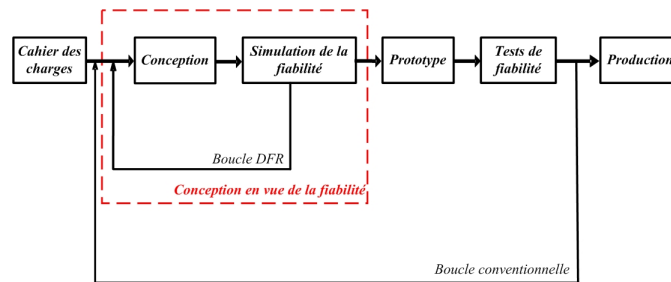
L'analyse de la fiabilité permet d'évaluer le niveau de dégradation d'une famille de circuits intégrés à travers divers essais. A la différence de la méthode statistique, l'approche « physique des défaillances » s'oriente vers une approche physique de la fiabilité et propose, pour une mission donnée, de relier les causes, donc les contraintes, aux effets induits par les défaillances physiques sur les performances électriques des composants [32] [43]. L'information résultante est utilisée pour construire des modèles de fiabilité des composants élémentaires.

Cependant, l'évolution du taux d'intégration suivant la deuxième loi de Moore [59] rend l'analyse de la fiabilité via la physique des défaillances de plus en plus difficile à cause de l'apparition de nouveaux mécanismes de dégradation. En plus d'une évolution rapide du taux d'intégration, la complexité des circuits et des fonctions réalisées augmente considérablement et les environnements sévères se banalisent. Pour répondre aux niveaux de fiabilité demandés aux composants intégrés dans des systèmes, des taux de défaillance inférieurs à 1 FIT ( $10^{-9}$  panne/heure) sont indispensables. Cette exigence est impossible à démontrer par des méthodes statistiques traditionnelles car elles conduisent à des temps et des coûts prohibitifs.

Afin de réduire les coûts de conception et de test, le traitement de la fiabilité doit donc intervenir au plus tôt dans le cycle de production des circuits intégrés.

### 3 La conception en vue de la fiabilité : de la modélisation SPICE à la modélisation comportementale

L'évolution croissante des fonctionnalités des circuits, ainsi que la croissance exponentielle du taux d'intégration, amènent les experts de la microélectronique à se diriger vers une fiabilité construite. Le traitement de la fiabilité doit donc être réalisé dès la phase de conception des circuits intégrés afin de réduire les coûts en actions correctives. On parle alors de conception en vue de la fiabilité. La plupart des stratégies DFR (Design for Reliability) sont basées sur le synoptique de la figure 1.7 [75] [36] et consistent en l'étude de la fiabilité par des simulations électriques. La simulation de la fiabilité devient dès lors une activité à part entière et est un véritable challenge pour les experts.



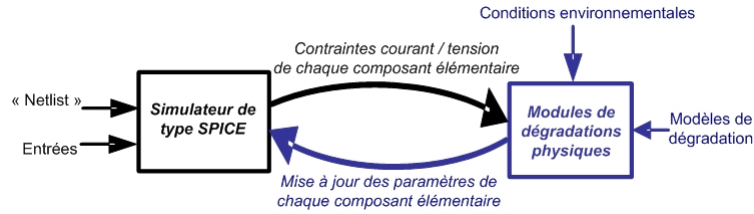
**Figure 1.7** – Cycle de production des circuits intégrés incluant la conception en vue de la fiabilité.

Divers travaux [70] [71] se focalisent alors sur le développement d'outils de simulations électriques dédiés à la fiabilité des semi-conducteurs. On parle alors de simulation de la fiabilité.

L'objectif premier de celle-ci est de prévoir le comportement d'un circuit ou système pour un profil de mission donnée. En d'autres termes, la simulation de la fiabilité doit permettre d'évaluer le niveau de dégradation (ou encore le vieillissement) du comportement de ce circuit ou système pour un ou plusieurs mécanisme(s) de dégradation, et ce pour une durée de mission donnée. A l'aide de ces outils de simulation, le concepteur doit pouvoir estimer l'effet d'un mécanisme de dégradation sur les fonctionnalités d'un circuit, au même titre qu'il effectue des simulations fonctionnelles pour contrôler les performances de ce circuit.

#### 3.1 Environnement de simulation de la fiabilité

Les outils existants de simulation de la fiabilité sont développés autour d'un simulateur de type SPICE (*Simulation Program with Integrated Circuit Emphasis*). SPICE [60] [82] a été développé à l'origine par l'université de Californie, Berkeley. Ce simulateur est jumelé à des modules de dégradations physiques pour estimer la dégradation au cours du temps des composants élémentaires, et naturellement celle du circuit intégré. L'environnement de simulation de tels outils est défini par le synoptique de la figure 1.8.



**Figure 1.8** – Schéma synoptique d'un simulateur de fiabilité des circuits intégrés.

La simulation de la fiabilité d'un système implique l'utilisation de deux modules assurant l'interface entre le simulateur électrique SPICE et les modules de dégradations physiques :

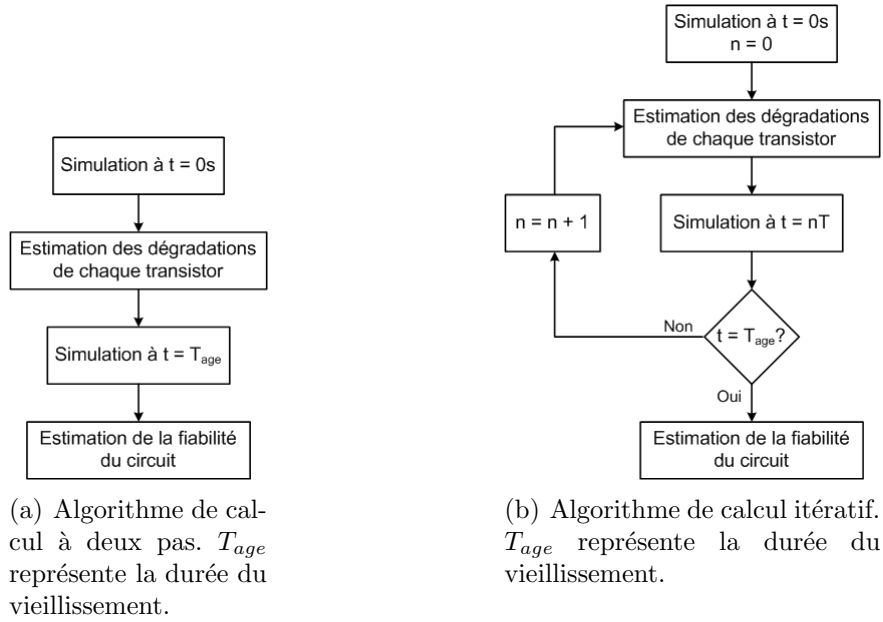
- un pré-processeur qui analyse le fichier d'entrée et le modifie pour le rendre compatible avec le logiciel de simulation électrique ; il rajoute éventuellement des instructions pour demander au simulateur les tensions et/ou courants dans le circuit dont il a besoin pour calculer les dégradations ;
- et un post-processeur qui récupère les données de sortie du simulateur électrique et calcule le niveau d'usure de chaque transistor. La plupart du temps, c'est le même modèle qui est utilisé à savoir une approche quasi-statique des dégradations.

### 3.2 Simulation du vieillissement des circuits intégrés

La simulation de vieillissement électrique nécessite la prise en compte d'une échelle temporelle qui s'avère être supérieure de plusieurs ordres de grandeur à la durée d'une analyse transitoire traditionnelle. Elle doit donc être réalisée à l'aide d'une analyse transitoire pouvant avoir une durée équivalente à quelques heures, voire plusieurs mois ou années. Le simulateur SPICE doit donc être capable de gérer ces deux échelles de temps. La gestion de cette double échelle de temps est réalisée par l'intermédiaire de deux méthodes : la double simulation et la simulation itérative.

Le principe de la double simulation [41] (figure 1.9(a)) est de lancer une première simulation électrique afin de déterminer, à partir du point de polarisation, les contraintes courant/tension du circuit et des transistors élémentaires. A la fin de cette simulation, les modules de dégradations physiques estiment d'abord l'importance de la dégradation au bout d'un temps donné puis l'effet de cette dernière sur les paramètres de chaque transistor élémentaire par rapport à leurs contraintes. Une seconde simulation est alors lancée en prenant en considération les paramètres dégradés obtenus des transistors. Le but de cette seconde simulation est d'estimer l'évolution du comportement électrique des transistors après une durée de vieillissement donnée, puis d'évaluer l'impact de ces dérives électriques élémentaires sur les caractéristiques électriques du circuit. Cette méthode a pour objectif de faire une estimation rapide de la fiabilité d'un circuit intégré pour une durée  $T_{age}$  de vieillissement donnée.

Le principe de la simulation itérative [35] [29] (figure 1.9(b)) reprend celui de la simulation double à



**Figure 1.9** – Algorithmes de simulations du vieillissement des circuits intégrés

la seule différence qu'elle s'exécute tant que la durée de vieillissement donnée ( $T_{age}$ ) n'est pas atteinte. Le principe de ces simulations répétitives est de découper cette durée transitoire en intervalles de temps de durée distincte selon une échelle linéaire ou logarithmique. A chaque intervalle d'analyse, le simulateur de fiabilité évalue l'effet de la dégradation de chaque transistor sur les fonctionnalités d'un circuit entier. Cette approche de la simulation de la fiabilité a pour avantage de prendre en compte les changements graduels des contraintes opérationnelles de chaque composant élémentaire, résultat de l'effet de la dégradation. Cette technique de simulation est la plus souvent utilisée parce qu'elle assure une plus grande précision des résultats. Par contre, elle demeure coûteuse en terme de temps de calcul.

### 3.3 De la simulation de type SPICE à la simulation comportementale : limitations des simulateurs SPICE

Le simulateur SPICE est considéré comme un standard pour l'analyse des circuits. Il devient, très rapidement, l'outil d'aide à la conception le plus efficace [25]. Pourtant, il comporte des limitations dans certains domaines :

- **la modélisation mixte** : le simulateur SPICE est à temps continu. Par conséquent, le modèle conçu doit être à temps continu. SPICE ne peut pas supporter les représentations discrètes et se voit donc inadapté dans le cas de la simulation de circuits mixtes.
- **la simulation au niveau transistor et la modélisation comportementale** : Les simulateurs de type SPICE simulent sur la base des modèles décrits au niveau transistor. Ils décrivent explicitement le structurel et implicitement le comportemental pour un modèle analogique. Par

conséquent, ces simulateurs sont très gourmands en termes de mémoires de stockage des détails des composants élémentaires d'un circuit, et le temps d'exécution d'une simulation est fonction de la complexité de l'architecture de ce circuit. Les simulateurs de vieillissement actuels, qui associent des simulateurs SPICE, simulant sur la base de modèles de transistors, ne sont donc pas applicables pour des circuits de plus de quelques dizaines de transistors.

- **la transmission des données** : les simulateurs SPICE ne supportent que des systèmes « conservatifs » tels que les circuits électriques qui obéissent aux lois de Kirchhoff (loi des nœuds, loi des mailles). En ce qui concerne les flots de données (« non-conservatif »), une façon de les représenter utilise le temps discret, or cette représentation n'est pas supportée par SPICE. La simulation de la fiabilité d'un système, impliquant l'utilisation de deux modules (un pré-processeur et un post-processeur) assurant l'interface entre le simulateur électrique SPICE et les modules de dégradations physiques, est donc définie sur un intervalle de temps discret pour évaluer un phénomène de vieillissement continu au cours du temps.
- **la transparence** : il est souvent nécessaire de connaître le détail des primitives (non explicité par le langage) du modèle pour effectuer une représentation précise du système. Les modèles qui sont développés dans les simulateurs SPICE sont complexes, et l'utilisateur ne peut contrôler les équations primitives qu'ils contiennent. Ces modèles ne peuvent pas toujours décrire le véritable comportement du système prévu.

### 3.4 Conclusion

Les circuits intégrés étant souvent de grande complexité, il est impossible de simuler un système entier au niveau transistor. La prise en compte des dérives paramétriques des composants élémentaires sous l'effet des contraintes opérationnelles doit donc s'effectuer à des niveaux de description supérieurs. La modélisation comportementale constitue dès lors une solution possible à cette difficulté : moyennant quelques approximations, elle permet de modéliser des systèmes complexes. En particulier, le langage VHDL-AMS présente de nombreux intérêts supplémentaires pour la simulation de vieillissement [47] [58] :

- les paramètres des composants sujets à une évolution due aux dégradations peuvent être facilement transformés en variables du système, ce qui permet d'intégrer le comportement électrique et les dégradations dans une seule simulation ;
- la description des modèles des mécanismes de dégradation sous la forme d'équations différentielles se fait simplement ;
- l'interconnexion de plusieurs composants « dégradables » est simple, ce qui permet d'étudier la dégradation d'un système plus complexe.

## 4 Conclusion

L'évolution croissante des technologies semiconductrices, au cours de la dernière décennie, a poussé la communauté des experts de la fiabilité à réagir face au traitement de la sûreté de fonctionnement des circuits électroniques. Le traitement de la fiabilité des dispositifs élémentaires est complexe et les méthodes utilisées sont nombreuses. La méthode statistique, employée dans le cas du traitement de la fiabilité pour des composants électroniques produits en grand volume, trouve sa place en fin du cycle de production. L'approche physique de défaillances est applicable aussi pour des composants produits en grand volume. A la différence de la méthode statistique, cette méthode s'oriente vers une approche physique de la fiabilité au travers d'analyses physiques des modes de dégradation. Elle est utilisée pour construire des modèles de fiabilité des dispositifs élémentaires. Ces modèles sont intégrés dans les outils spécifiques pour l'analyse de la fiabilité des circuits électroniques.

Cependant, l'évolution exponentielle du taux d'intégration et la complexité des circuits intégrés rendent l'analyse de la fiabilité via la physique des défaillances de plus en plus difficile et peuvent conduire à des temps et des coûts prohibitifs. Afin de réduire les coûts de conception et de test, les experts de la fiabilité en électronique se dirigent vers une fiabilité construite. La construction de cette dernière est alors basée sur son intégration dès la phase de conception des circuits intégrés. C'est la conception en vue de la fiabilité.

Les outils de conception en vue de la fiabilité, basés sur un simulateur de type SPICE et des modules de dégradations physiques, consistent à prévoir les dérives des caractéristiques électriques d'un circuit selon l'évolution au cours du temps des performances des transistors soumis à des contraintes électriques. Ces outils ont pour but de fournir des informations sur la fiabilité des circuits intégrés à l'aide de simulations électriques. Cette analyse de la fiabilité par simulations électriques a pour but de détecter les éléments sensibles de l'architecture du circuit intégré. Les applications développées, jusqu'à présent, se limitent à des fonctions logiques ou analogiques de base. En effet, les difficultés de l'analyse de la fiabilité du circuit viennent s'ajouter aux difficultés de l'analyse des performances électriques de ce circuit. Les simulateurs de type SPICE simulent sur la base des modèles décrits au niveau transistor. Par conséquent, ces simulateurs sont très gourmands en termes de mémoires de stockage des détails des composants élémentaires d'un circuit, et le temps d'exécution d'une simulation est fonction de la complexité de l'architecture de ce circuit. Les simulateurs de vieillissement actuels, qui associent des simulateurs SPICE, simulant sur la base de modèles de transistors, ne sont donc pas applicables pour des circuits de plus de quelques dizaines de transistors. De nouvelles méthodologies de simulations de la fiabilité basées sur une modélisation comportementale des circuits font alors leur apparition depuis le début du 21<sup>e</sup> siècle.

Les méthodes développées au sein du laboratoire au cours de la thèse de Benoît Mongellaz visent à construire un modèle comportemental compact et rapide d'un circuit, permettant de simuler son vieillissement[46][55][57] [58]. Cette construction est fondée sur une analyse ascendante des relations entre les signaux d'entrées, les dégradations de chaque composant élémentaire et l'effet de ces

dégradations sur le comportement du circuit. A chaque niveau de l'analyse ascendante, une simplification rigoureuse du modèle permet de ne prendre en compte que les effets significatifs des dégradations sur le comportement du circuit. L'intérêt de cette approche a été démontré. Cependant, plusieurs développements restent à effectuer pour autoriser une mise en œuvre opérationnelle.

En effet, la méthodologie à mettre en œuvre pour construire des modèles comportementaux tenant compte du vieillissement d'une famille de circuits intégrés doit être consolidée. Chaque étape de la méthodologie devra donc être définie et appliquée au développement de modèles comportementaux de dégradations liées à l'injection de porteurs chauds dans l'oxyde de grille d'un transistor MOS.

Avec l'approche système, dû à la complexité des architectures et des fonctionnalités des circuits intégrés, une procédure de simulation de la fiabilité reste à définir afin de déterminer l'origine d'une perte prématurée des fonctionnalités d'un composant. Le point critique d'une telle procédure de simulation du vieillissement de ce composant est la validité et la précision de son modèle comportemental « dégradable ». La mise en place d'un plan d'expérience s'avère donc nécessaire pour estimer la validité des modèles comportementaux de vieillissement développés, et donc, de la méthodologie mise en œuvre pour construire ces modèles.





## Chapitre 2

# Modélisation comportementale de circuits analogiques et mixtes

Les temps de calcul des performances des circuits analogiques deviennent très importants, voire prohibitifs dès que le nombre de transistors sur une puce dépassent 1000. La nature du circuit est également un facteur déterminant. La solution consiste alors à élaborer un modèle à un niveau d'abstraction plus élevé que celui du transistor. La modélisation (d'un bloc fonctionnel, d'un circuit ou d'un système), à l'aide d'un langage de description comportementale, constitue dès lors un atout pour la réalisation de modèles à des niveaux d'abstraction supérieurs à celui du transistor.

**La réalisation d'un modèle est guidée par les besoins des futurs utilisateurs.** Il convient donc de définir les performances attendues en termes de précision, de représentativité, de temps de simulation et des types de simulation que l'on souhaite réaliser.

Ce chapitre est un préambule à la réalisation de modèles comportementaux « dégradables » modélisant le vieillissement électrique d'un amplificateur opérationnel à transconductance (AOT). Les modèles comportementaux électriques, présentés dans ce chapitre, doivent donc être représentatifs du comportement du circuit.

Ce chapitre s'articule alors autour de trois points essentiels :

- la mise en œuvre d'une méthodologie de modélisation comportementale ;
- le développement de modèles comportementaux électriques d'un amplificateur opérationnel à transconductance, du niveau transistor au niveau circuit ;
- la validité de ces modèles en termes de précision et de représentativité.

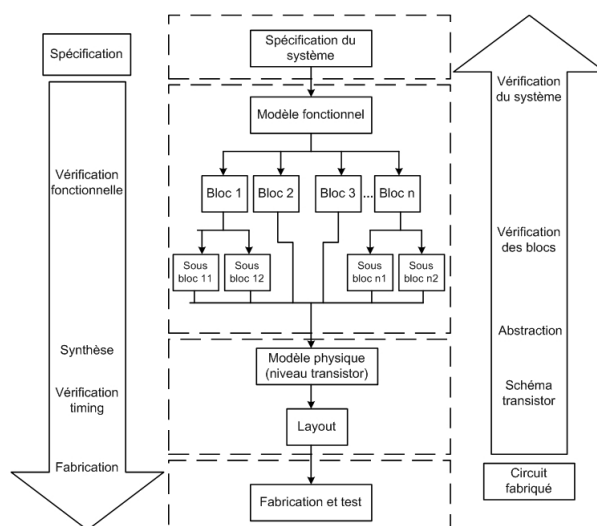
# 1 Introduction à la modélisation de circuits analogiques et mixtes

Une méthodologie de conception est définie par toutes les étapes à suivre, du cahier des charges au layout. Son objectif premier est la sûreté de conception, c'est-à-dire l'obtention d'un circuit correct au premier tour d'intégration. La réduction du temps de conception (et donc des coûts), une densité d'intégration satisfaisante et la possibilité de compiler un circuit pour différentes technologies sont devenues des paramètres importants lors de la définition d'une méthodologie de conception. Cette dernière doit donc répondre aux besoins suivants :

- réduire les temps de simulation, demeurant importants pour les systèmes électroniques de plus en plus complexes ;
- détecter rapidement les erreurs de fonctionnement d'un circuit avant même d'établir sa description au niveau transistor ;
- accélérer le cycle de conception des systèmes en réutilisant des blocs déjà conçus.

## 1.1 Méthodologie Top-Down & Bottom-Up

La plupart des méthodologies de conception sont basées sur une approche descendante partant d'une description fonctionnelle du système et décomposant progressivement son architecture jusqu'au niveau transistor [27]. La figure 2.1 détaille les différentes étapes à suivre.



**Figure 2.1** – Méthodologie de conception hiérarchique descendante et ascendante [27]

La synthèse descendante du circuit se décompose en trois étapes :

- après une spécification du système à concevoir, on vérifie sa fonctionnalité au plus haut niveau d'abstraction : c'est la description fonctionnelle. La description de la fonctionnalité du système

- complet : les entrées, les sorties, les relations entrées-sorties. L'architecture du système est alors choisie ; il est ainsi décomposé en une interconnexion hiérarchique de blocs fonctionnels dont les spécifications résultent de celles du système complet. L'automatisation de cette étape n'est possible que pour les systèmes dont l'architecture est fixée. Pour les systèmes mixtes, il est indispensable de réfléchir à la répartition des tâches entre le traitement analogique et numérique du signal. Une vérification fonctionnelle de l'architecture sélectionnée est effectuée ;
- la définition pour chaque bloc d'une fonctionnalité indépendante avec une interface robuste qui permet de distinguer clairement le bloc de son environnement. Plusieurs niveaux de description fonctionnelle vont ensuite permettre de vérifier les différentes fonctions des sous-blocs construisant le système global. Pour la partie numérique, il s'agit de mémoires, de logiques de contrôle, de filtres, de démodulateurs ou autre DSP dont le développement sera facilité par des outils de synthèse automatique. Pour la partie analogique, il s'agit de boucles à verrouillage de phase, de filtres, de convertisseurs analogiques-numériques ou de convertisseurs numériques-analogiques pour lesquels le développement assisté n'existe que de façon ponctuelle et partielle. Cette étape est validée par une simulation comportementale des blocs et du système grâce à un langage dédié aux circuits mixtes type VHDL-AMS ou Verilog-AMS ;
  - le dimensionnement des cellules pour la partie analogique. Les cellules sont définies comme des fonctions de base, de complexité réduite, utilisées pour construire un bloc (tels que des amplificateurs, des échantillonneurs bloquant ou des oscillateurs). Dans cette étape, il s'agit de déterminer les tailles des composants élémentaires (transistors, capacités, résistances) du circuit associé à chaque cellule de manière à atteindre les performances requises pour le bloc. Les méthodes de dimensionnement sont classées en deux catégories : celles utilisant le savoir-faire et celles utilisant l'optimisation. La fonctionnalité des cellules et de chaque bloc est validée par une simulation électrique à partir d'une netlist et d'un calculateur de type SPICE. Pour les blocs typiquement mixtes (convertisseurs), et pour la simulation électrique simultanée de plusieurs blocs (analogiques et numériques), les outils de simulation pour les circuits mixtes sont utilisés.

Cette approche descendante de la conception de circuits analogiques et mixtes permet de vérifier le bon fonctionnement du système avant de passer à la définition de son architecture (au niveau transistor) et de détecter les éventuelles erreurs de conception. Elle permet également de reporter le choix de la technologie à la fin du cycle de conception. Ainsi, une modification de la technologie ne remet pas en question les premières étapes de la conception.

Avec l'apparition de langages de description matérielle, la phase de vérification ascendante ne se limite plus au premier niveau de description. Des modèles comportementaux des différents blocs fonctionnels composant le système peuvent être extraits. Suivant le niveau d'abstraction des modèles comportementaux, on peut passer de la vérification fonctionnelle des blocs à celle de tout le système (Cf. figure 2.1).

En réalité, le concepteur utilise un mélange des approches descendante et ascendante. En effet, le flot de conception descendante est loin d'être parfait et le passage d'une étape à une autre n'est pas toujours automatique. Il est donc possible d'imaginer une conception descendante qui utilise des modèles de base issus de l'approche ascendante. On peut ainsi mélanger dans une même description plusieurs niveaux d'abstraction et simuler alors un système à l'aide de blocs décrits au niveau fonctionnel et d'autres décrits au niveau transistor. C'est la technique de multi-abstraction.

Pour accélérer le cycle de conception, il est par ailleurs souhaitable de réutiliser des blocs déjà conçus éventuellement par un autre concepteur ou un autre organisme. Le délicat problème de la propriété intellectuelle (IP) de ces blocs est donc remis en avant. La modélisation comportementale prend dans ce cas tout son sens car le modèle peut devenir la carte d'identité d'un circuit sans que son architecture soit détaillée. Une telle approche s'intègre bien dans les flux de conception hiérarchique descendante et ascendante.

## **1.2 Les techniques de modélisation des circuits analogiques et mixtes**

### **1.2.1 Objectifs**

La modélisation a pour but de caractériser par une (ou plusieurs) fonction(s) mathématique(s) ou un modèle numérique les différents composants qui constituent un circuit. C'est la partie la plus délicate du processus de développement de modèles puisque la qualité de ces modèles, leur précision et leur consommation en temps de calcul sont étroitement liées.

Il existe deux approches permettant d'obtenir des modèles plus ou moins précis d'un composant ou d'une fonction électronique :

- l'approche physique : elle consiste à utiliser les modèles créés par les spécialistes de la modélisation et de modifier uniquement leurs paramètres. Cette approche peut être définie à partir de paramètres électriques (calculés à partir de mesures statiques, dynamiques et ou fréquentielles) ou à partir de paramètres technologiques caractéristiques du processus de fabrication et de la géométrie du composant ;
- l'approche comportementale : elle consiste à modéliser un composant ou un circuit par l'évolution de ses entrées / sorties en réponse à différents stimuli.

### **1.2.2 La modélisation structurelle**

La modélisation structurelle consiste à décrire le composant ou le circuit par sa structure, c'est-à-dire par les éléments qui le décrivent (capacités, résistances, diodes, transistors ...). Le modèle structurel s'aligne ainsi sur la bibliothèque du fondeur du circuit intégré. Il prend en compte les paramètres technologiques utilisés en fabrication.

La modélisation structurelle utilise les sous-circuits du simulateur et demande un temps d'analyse trop important lors de la simulation de systèmes complexes. L'inconvénient de cette modélisation

vient donc de la taille des circuits. Certains circuits analogiques (tels que les amplificateurs opérationnels) contiennent plusieurs centaines de transistors et autres composants. Ces derniers augmentent le nombre de noeuds, et par la suite la taille de la matrice à traiter par le simulateur.

### 1.2.3 La macromodélisation

L'objectif principal de la macromodélisation est de remplacer un circuit électronique ou une partie de ce circuit (tel qu'une fonction ou un dispositif actif) par un modèle afin de réduire significativement le temps requis par les nombreuses simulations électriques effectuées en phase de conception. Pour ce faire, un macromodèle doit répondre à deux exigences conflictuelles : il doit être structurellement le plus simple possible et simuler le comportement du circuit avec le maximum de précision.

La macromodélisation consiste à décrire le comportement d'un circuit par l'utilisation de primitives d'un simulateur <sup>1</sup>. Le but essentiel de la macromodélisation est de réduire le temps de simulation par la diminution de la taille du circuit. En outre, il faut que le nombre de noeuds imposé par le macromodèle ne dépasse pas celui du sous-circuit à modéliser.

L'avantage majeur de la macromodélisation est qu'elle ne nécessite pas l'apprentissage d'un langage de programmation particulier mais une bonne connaissance d'un simulateur analogique de type SPICE. Cependant, malgré la simplicité apparente, elle présente un certain nombre de limites :

- la non-linéarité des composants et la tension de décalage (dans une diode par exemple) posent certains problèmes qui ne sont pas négligeables ; en effet, certaines relations mathématiques simples peuvent nécessiter des macromodèles complexes (par exemple : le conformateur à diode) ;
- les problèmes de convergences dus à la discontinuité ou au rebouclage de certains circuits ;
- le paramétrage des composants qui n'existe pas dans le simulateur SPICE de base, mais que l'on peut trouver dans les dérivés de SPICE tels que ELDO, SmartSpice ou encore PSPICE.

### 1.2.4 La modélisation comportementale

La modélisation comportementale permet de réduire considérablement les temps de conception et de concevoir des circuits de plus grande qualité pour deux raisons essentielles [40] :

- la simulation comportementale d'un circuit complexe est beaucoup plus rapide qu'une simulation effectuée au niveau transistor ;
- la description comportementale de chaque bloc du circuit conduit à une définition très précise de ses spécifications, permettant ainsi d'éviter des éventuelles erreurs de conception et d'obtenir un circuit opérationnel optimal.

---

<sup>1</sup>Tous les simulateurs analogiques proposent aux utilisateurs un jeu de composants de base permettant de décrire la topologie d'un circuit électrique. Ces éléments de base sont appelés les primitives du simulateur. Ces composants sont des éléments idéaux (les résistances, les capacités, les sources de tension et de courant ...) ou non (les diodes, les transistors bipolaires, MOS, JFET ...) qui permettent d'exprimer facilement des relations mathématiques entre tensions et courants dans le domaine fréquentiel ou temporel.

## 1.3 Introduction à la modélisation comportementale

### 1.3.1 Langages et outils de modélisation comportementale pour les circuits mixtes

#### 1. Les langages

Les langages de modélisation comportementale permettent de développer des modèles de systèmes électriques mixtes (analogique et numérique) mais aussi de systèmes électriques et non électriques (mécanique, hydraulique, thermique) par l'utilisation d'une description textuelle. Contrairement à la macromodélisation qui utilise les primitives du simulateur, la modélisation comportementale consiste à créer de nouvelles primitives.

La suite de cette section présente un panorama aussi complet que possible des langages permettant la modélisation de systèmes analogiques et mixtes, VHDL et Verilog étant déjà bien connus pour les systèmes purement numériques.

#### **C / C++ / SystemC / SystemC AMS**

Des langages purement informatiques comme le C ou le C++ peuvent être utilisés pour la modélisation comportementale. Il est possible de décrire facilement des relations linéaires entre les variables d'entrée et les variables de sortie, que ce soit au niveau analogique ou numérique. Cependant, le problème des équations différentielles se pose : la dérivation des variables par rapport au temps à chaque pas de simulation nécessite une interface spécifique entre les modèles C et le simulateur. C'est ce qui est proposé par Mentor Graphics avec Eldo, sous le terme CFAS (C Functional Analog Simulation) [18].

Le langage SystemC, apparu en 2000 sur l'initiative de Synopsys et EDA est souvent perçu comme un langage de description matérielle comme VHDL et Verilog, mais il est plus justement décrit comme un langage de description système à temps réel, car son principal intérêt est la modélisation comportementale de haut niveau. Une extension à la modélisation mixte de ce langage a été proposée en 2002, donnant ainsi naissance au langage SystemC AMS.

#### **MAST / Modelica**

Le langage MAST, proposé par Analogix en 1990 en complément de leur simulateur Saber, est la première tentative réussie de la définition d'un langage de description comportementale réellement orienté systèmes multi-technologiques (essentiellement électromécaniques). Il est encore très utilisé dans l'industrie, mais ses principaux inconvénients sont l'absence de normalisation par IEEE, sa syntaxe éloignée de VHDL et Verilog, et sa mauvaise adaptation à la description de systèmes numériques.

#### **VHDL-A / VHDL-AMS / Verilog-A / Verilog-AMS**

A partir du langage HDL-A a été proposé sous le terme VHDL-A, entre autres par Shi [72]

et Vachoux [81], un certain nombre d'extensions visant à une compatibilité ascendante totale avec VHDL'93. Pour ce faire, des évolutions syntaxiques ont permis une meilleure intégration des descriptions analogiques à l'intérieur du langage, avec le support de descriptions structurales. Finalement, VHDL-A a été complété par des extensions permettant la simulation de systèmes multi-technologiques (pouvant intégrer de l'électronique, de la mécanique, du thermique...) pour devenir VHDL-AMS (Analog and Mixed-Signal). Son grand intérêt est justement l'unification de représentation des systèmes et d'écriture des modèles qu'il procure entre le monde numérique et celui de l'analogique. Parallèlement, des extensions analogiques puis multi-technologiques ont été également ajoutées à son concurrent Verilog, aboutissant finalement à Verilog-A (1996) puis Verilog-AMS (1998).

## 2. Les outils industriels

### Ansoft

Un premier outil gratuit, venant à la base du monde universitaire, est hAMSter [74]. Il a été développé par Simec, une entreprise regroupant des chercheurs de l'Université de Chemnitz (Allemagne), et fonctionne sur Windows. Cet outil supporte un sous-ensemble assez complet de VHDL-AMS, que les autres simulateurs n'ont pas encore implémenté. Cependant, il comprend de nombreux bugs, ne gère ni les tableaux, ni les fichiers, ni les attributs à l'intérieur des tests, et est limité à l'analyse transitoire (pas d'analyse AC ou DC par exemple).

Simplorer [12] associe une interface graphique au moteur Simec amélioré, ce qui facilite la mise en œuvre de systèmes complexes en permettant de relier graphiquement des blocs eux-mêmes décrits en VHDL-AMS. Il offre aussi la possibilité d'importer des modèles SPICE ou même Maxwell (éléments finis), ce qui en fait un outil très complet, mais d'un coût prohibitif même pour le marché de l'éducation (environ 30000 euros pour une licence en Juin 2003).

### Mentor Graphics

Cet éditeur propose deux logiciels basés sur le même cœur de simulation, mais à visée radicalement différente.

ADVance MS [13] est un outil essentiellement développé par Mentor pour la simulation VHDL-AMS. Il fonctionne sur les plates-formes UNIX (y compris Linux), utilise un moteur de simulation unique pour l'analogique et le numérique, dérivé de « Eldo », et peut s'interfacer avec ModelSim pour les simulations numériques évoluées. Pour des besoins particuliers, il peut utiliser le cœur Eldo-RF ou bien le simulateur rapide niveau transistor Mach [15]. Cet outil est très adapté à la simulation et à la modélisation de circuits intégrés, ce qui le rend très intéressant pour notre étude.

SystemVision [17] est basé sur le portage sous Windows du moteur de simulation précédent, avec une interface graphique qui le met directement en concurrence avec Simplorer. Il existe

une version éducation gratuite. Cet outil, tout comme son concurrent, est le plus adapté à la conception multi-technologique au niveau système, en particulier dans le domaine automobile.

### **Dolphin Integration**

Saber-HDL [39] est un outil essentiellement développé par Synopsys pour simuler les effets physiques dans les différents domaines de l'ingénierie (hydraulique, électronique, mécanique, thermique ...), ainsi que des algorithmes de flux de signal et de logiciels de contrôle. Saber est utilisé dans la construction automobile, l'aérospatiale, l'énergie et les industries de fabrication de circuits intégrés pour simuler et analyser les systèmes, sous-systèmes et composants pour des conditions environnementales et opérationnelles. Il intègre des analyses avancées (telles que des analyses de Monte-Carlo, de sensibilité ...) et supporte les langages de description comportementale MAST et VHDL-AMS.

### **FTL Systems**

Cet éditeur fournit des logiciels d'automatisation de la conception en électronique. Ces produits permettent la conception, la vérification, la synthèse, l'optimisation et la réalisation de systèmes à grande échelle.

Auriga (tm) [77] est un outil de modélisation et de vérification du niveau transistor au niveau du système. Il supporte des modèles écrits dans une large gamme de langages de description matérielle tels que VHDL / VHDL-AMS / RFMW VHDL, Verilog / Verilog - AMS / CMOS, SPICE et C / C + +.

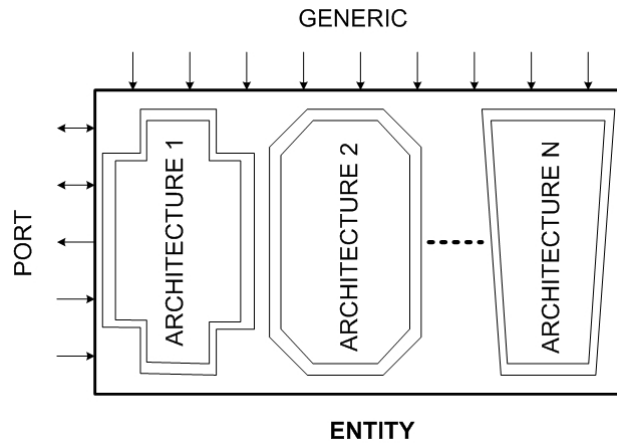
### **3. Choix du langage de description comportementale**

Dans le cadre de notre étude, nous avons choisi d'utiliser VHDL-AMS pour décrire tous nos modèles comportementaux. Les principales caractéristiques de ce langage, intéressantes pour notre étude, sont décrites ci-après :

- **la structure d'un modèle VHDL-AMS** : tout modèle décrit en VHDL-AMS se décompose en deux principales parties : la partie « Entité » (ou « Entity » en anglais) et la partie « Architecture ». L'entité est une interface qui permet de communiquer entre le circuit et l'environnement dans lequel il évolue, au moyen de deux objets : GENERIC (qui regroupe les paramètres du système) et PORT (qui définit les broches d'entrée et de sortie du système). Cette entité peut être comparée à une boîte noire où seuls les noeuds externes sont visibles. L'architecture, quant à elle, représente une des descriptions possibles de la fonction du modèle (elle-même fonction des caractéristiques du système à modéliser). Une architecture se réfère toujours à une entité et contient les déclarations utilisées dans cette dernière (variables du système et les entrées/sorties). Comme le montre la figure **2.2**, à une entité donnée, peut être associée(s) une (ou plusieurs) architecture(s). Ce dernier point fait du langage VHDL-AMS un atout majeur pour la conception en vue de la fiabilité. En effet, pour un composant



(entité), nous pourrions définir un modèle comportemental purement électrique et un modèle comportemental « dégradable » (architectures) caractéristique du vieillissement électrique de ce composant ;



**Figure 2.2** – Structure d'un modèle VHDL-AMS.

- **la modélisation mixte** : le langage VHDL-AMS permet aisément de modéliser dans un même modèle la partie numérique et analogique d'un circuit. Divers objets (*Quantity* ou *Terminal*) peuvent être introduits pour décrire la simulation comportementale à temps continu. D'autres instructions (*Break* ou *wait ...*) sont utilisées pour exprimer la discontinuité dans une simulation à temps continu et couramment utilisées comme moyen de synchronisation entre la simulation à temps continu et discret ;
- **la modélisation comportementale** : le comportement d'un système continu peut être décrit par un ensemble d'équations algébriques et différentielles (DAE : Differential Algebraic Equations) et par des instructions simultanées. Ces instructions simultanées expriment formellement les DAEs qui déterminent les valeurs des quantités du modèle ;
- **la transmission de données** : VHDL-AMS supporte la description de systèmes conservatifs pour modéliser les systèmes physiques qui sont représentés par des grandeurs (*quantity*), et non-conservatifs pour modéliser les flots de données de ces systèmes qui sont représentés par des signaux (*signal*). Les deux forment un système mixte.
- **la modélisation multi-technologique** : VHDL-AMS ne supporte pas uniquement le domaine électrique. En effet, il permet de décrire tout système physique (hydraulique, thermique ...) qui peut être modélisé en utilisant les DAEs. Au cours d'une seule simulation, plusieurs grandeurs physiques (environnementales, électriques, mécaniques, hydrauliques ...) peuvent être manipulées. Ce dernier point est très intéressant, car l'intégration de paramètres environnementaux est nécessaire pour le développement de modèles comportementaux de vieillissement réalistes.
- **la transparence** : VHDL-AMS n'a pas de modèles primitifs, qui sont déjà implantés dans les

simulateurs. Le concepteur modélise ses propres systèmes comportementaux ou structurels, et l'utilisateur est libre de les modifier pour les adapter à ses besoins.

**Ce langage de modélisation est un atout majeur dans le cas de la simulation de la fiabilité fondée sur la simulation de modèle électrique de vieillissement d'un circuit. Suivant les mécanismes de dégradation étudiés, nous avons ainsi la possibilité de décrire les lois d'évolution des paramètres en fonction des paramètres environnementaux et de polarisation. De plus, à un composant donné (i.e *Entity*) peuvent être associés plusieurs mécanismes de dégradation donnés (i.e *Architecture*).**

### 1.3.2 De SPICE à VHDL-AMS ...et réciproquement

VHDL-AMS est un langage de description comportementale de haut niveau. Toutefois, il existe plusieurs manières de décrire le fonctionnement d'un système ou d'un circuit dans ce langage.

En particulier, un certain nombre de publications ont pour objet la traduction pure et simple d'un circuit SPICE structurel en VHDL-AMS. Par exemple, KasulaSrinivas [42] a traduit des modèles SPICE, purement électriques, de composants actifs (diodes, transistors bipolaires et MOS) en VHDL-AMS sous forme d'équations différentielles. Pour les simulateurs actuels compatibles SPICE, le temps de simulation est identique pour les deux descriptions. On peut alors s'interroger sur le bien-fondé de cette traduction simple : elle ne profite pas des apports du langage en matière de description multi-technologique.

L'intérêt de VHDL-AMS dans le contexte de la modélisation d'un composant actif est justement de simplifier les modèles électriques en ne retenant que le strict nécessaire, et de les coupler entre autres à des modèles thermiques. Lallement et al. [44] proposent d'ajouter au modèle EKV simplifié du transistor MOS, l'influence de la température.

Réciproquement, alors que les simulateurs VHDL-AMS n'existaient pas encore, une idée mise en œuvre entre autres par Alali [2] consistait à traduire purement et simplement les modèles VHDL-AMS en netlist SPICE, en matérialisant les équations différentielles par des composants passifs (résistances, inductances et capacités). Dans cet exemple, la compatibilité ascendante avec VHDL'93 n'a pas été prise en compte.

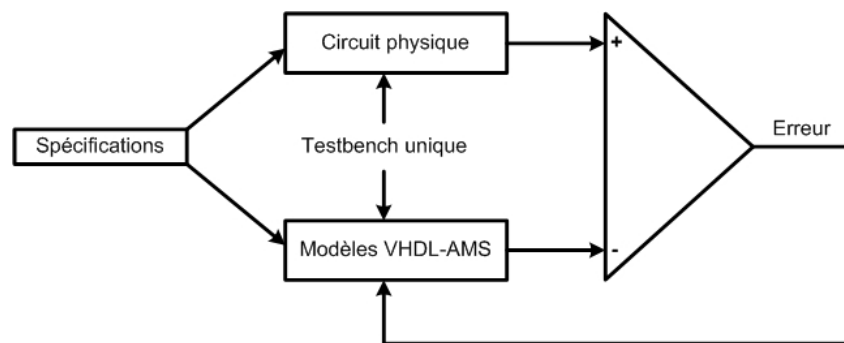
Une démarche plus proche de la philosophie VHDL-AMS consiste à modéliser uniquement le comportement d'un système. Rappelons qu'il ne s'agit pas de modélisation fonctionnelle : il est ici tenu compte des lois de conservation de l'énergie et donc des interactions pouvant s'exercer entre les entrées d'un modèle comportemental et les sorties de son prédécesseur.

Les deux principales difficultés de l'écriture d'un modèle comportemental sont :

- la détermination des paramètres que le concepteur devra ajuster pour aligner le comportement du modèle sur celui d'un circuit physique ;

- les valeurs de ces paramètres permettant justement une concordance aussi parfaite que possible (à un facteur d'erreur près déterminé par les contraintes liées à la précision requise) entre les deux simulations.

A cet effet, de nombreux outils de caractérisation automatique de circuits existent sur le marché, mais peu permettent l'ajustement direct de modèles VHDL-AMS. Oudinot [61] utilise une méthode basée sur les logiciels Opsim et SimPilot de Mentor Graphics [16], qui permet d'ajuster automatiquement les **GENERICs** d'un modèle en fonction d'un (ou plusieurs) critère(s) sur les résultats obtenus à partir du modèle et ceux obtenus à partir du circuit au niveau transistor (Cf. figure 2.3).



**Figure 2.3** – Détermination des paramètres d'un modèle comportemental écrit en VHDL-AMS (d'après [61])

Mentor Graphics a repris ce principe dans son outil CommLib BMC (Behavioral Model Calibration) [14]. Cet outil propose une bibliothèque de modèles déjà paramétrés et des véhicules de test de caractérisation automatique en fonction de la netlist de transistors. Cependant, l'outil ne propose pas pour le moment l'intégration de ces véhicules de test pour des modèles définis par l'utilisateur.

En ce qui concerne le choix des paramètres des modèles, Rosenberger [67] propose une méthode reprise et détaillée dans [38], basée sur la théorie des systèmes dynamiques, permettant d'obtenir une excellente conformité de la réponse temporelle, et ce, quelle que soit la nature des équations qui décrivent le circuit physique. Toutefois, cette méthode n'est pas directement applicable aux systèmes événementiels, dont les équations peuvent varier au cours du temps.

Dans le cadre de notre étude, une méthodologie de modélisation pour le développement de modèles comportementaux, du transistor au circuit, a été utilisée afin de déterminer les paramètres critiques vis-à-vis de la fonctionnalité du circuit ; et diverses procédures d'extraction, écrites en VHDL-AMS, de ces paramètres à partir de circuits au niveau transistor ont été développées.

### 1.3.3 Méthodologie de modélisation

#### 1. Les classes de représentation

Tout système physique, quel qu'il soit, peut être représenté de trois manières différentes. Cette classification et les définitions qui lui sont associées varient selon les auteurs. Nous retiendrons

ici celle de Shi [72] reprise par Huss [38] :

- La description fonctionnelle d’un système consiste à exprimer la fonction principale de ce dernier.
- La description comportementale, indépendante de l’architecture du système, explicite le fonctionnement global par l’écriture de modèles ( c’est-à-dire de représentations mathématiques associant des variables, appelées variables d’états, et des équations matérialisant les relations entre ces variables).
- La description structurelle matérialise directement l’architecture interne du système par l’association d’éléments qui peuvent eux-mêmes être décrits au niveau inférieur ; le processus peut être récursif jusqu’au niveau le plus bas, ou s’arrêter à un niveau précis (le bloc est alors décrit de manière comportementale).

Huss [38] distingue description comportementale et description fonctionnelle dans le monde des systèmes continus : alors que cette dernière ne se préoccupe que de la fonctionnalité globale du système sans appliquer de lois de conservation, la description comportementale inclut au contraire les caractéristiques des entrées / sorties et les lois de conservation de l’énergie, ce qui nécessite la définition, pour chaque accès du système, de quantités d’efforts et de flux.

## 2. Les différents niveaux d’abstraction

| Niveau d’abstraction | Comportemental                                 | Structurel            |
|----------------------|------------------------------------------------|-----------------------|
| Système              | Synoptiques, algorithmes                       | Processeurs, mémoires |
| Micro-architecture   | Register Transfer Level (RTL)                  | Registres, ALU        |
| Logique              | Équations booléennes<br>Diagramme d’état       | Portes logiques       |
| Circuit              | Fonctions de transfert<br>Diagrammes temporels | Transistors           |

**Tableau 2.1** – Niveaux d’abstraction en numérique d’après Gajski et al. [30].

L’étude d’un circuit analogique fait apparaître plusieurs niveaux d’abstraction [45]. Le niveau le plus bas est le niveau transistor. Les fonctions décrites au niveau « blocs élémentaires » (miroir de courant, filtre, paire différentielle...) permettent de réaliser des fonctions élaborées (VCO, amplificateurs...) au niveau d’abstraction « sous-circuits ». Ces sous-circuits sont à la base de circuits plus complexes (PLL, échantillonneurs-bloqueurs, filtres actifs...).

Il est alors possible de définir quatre niveaux d’abstraction, que ce soit pour le numérique ou l’analogique. Une version assez répandue, que nous présentons ici, est donnée par Gajski et al. [30] pour le numérique et Lémery [45] pour l’analogique, et respectivement résumées dans les tableaux **2.1** et **2.2** . La figure **2.4** donne la représentation correspondante dans le diagramme en **Y** de Gajski et Kuhn<sup>2</sup>.

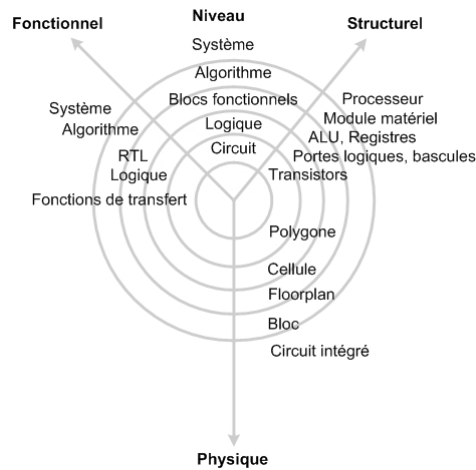
---

<sup>2</sup>Certains auteurs remplacent le terme « fonctionnel » par « comportementale » dans le diagramme ce qui peut prêter à confusion

| Niveau d'abstraction | Comportemental                                    | Structuel                                                         |
|----------------------|---------------------------------------------------|-------------------------------------------------------------------|
| Système              | Fonctions de transfert<br>$H(s)$ , $H(f)$         | Convertisseurs, PLL, filtres<br>Intégrateurs, multiplicateurs ... |
| Fonctionnel          | Équations algébriques<br>linéaires ou non, tables | Amplificateurs opérationnels<br>Comparateurs, sources             |
| Circuit              | Macromodèles                                      | Transistors, résistances<br>bobines, capacités                    |
| Composant            | Modèles de composants                             | Layout                                                            |

**Tableau 2.2** – Niveaux d'abstraction en analogique d'après Lemery [45].

Un circuit peut alors être modélisé au niveau le plus élevé par un système d'équations linéaires ou non linéaires caractérisant les interactions entrées / sorties. Il est évident qu'il y a une perte d'informations sur le comportement du circuit au fur et à mesure que l'on s'élève dans les niveaux d'abstraction mais que l'on gagne en temps de calcul lors de la simulation. Un compromis entre niveau de modélisation, précision des modèles et temps de calcul doit donc être fait.



**Figure 2.4** – Diagramme en **Y** de Gajski et Kuhn

### 3. Notre méthodologie de modélisation

Il serait possible de concevoir des modèles comportementaux très complets utilisables dans n'importe quel domaine ou zone de fonctionnement. Cependant, ces modèles, très difficiles à mettre en œuvre, consomment beaucoup en temps de calculs et ne représentent pas l'application de manière précise. Dans le cadre de notre étude (l'analyse de la fiabilité), les modèles comportementaux électriques seront développés de telle manière que la (les) fonction(s) principale(s) de chaque composant élémentaire, bloc fonctionnel ou circuit soit (soient) correctement reproduite(s).

Afin de répondre aux contraintes de qualité et de précision des modèles comportementaux

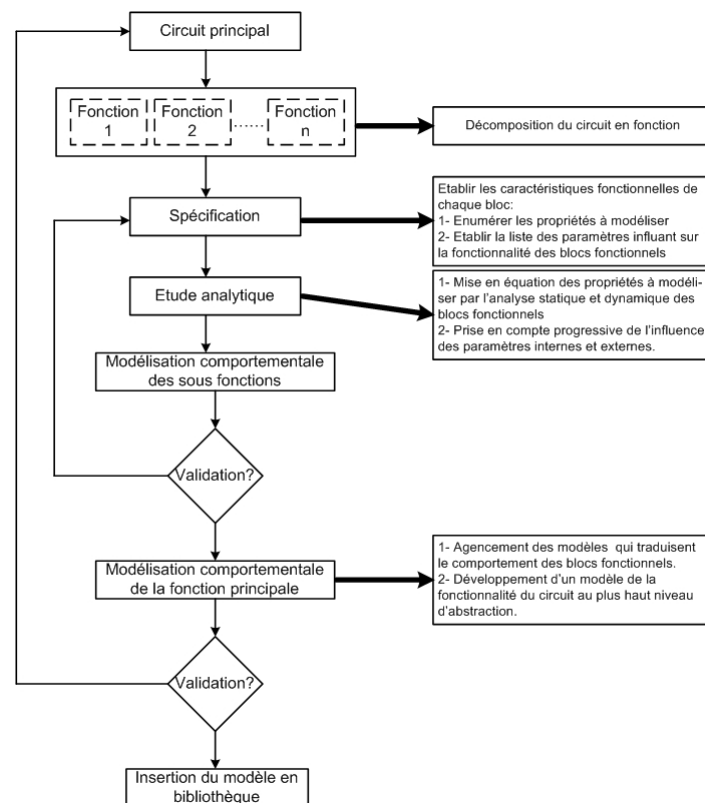
développés au cours de ces travaux, une méthodologie de modélisation a donc été mise en place. Elle est basée sur celle développée par Sebeloue [68] ; son organigramme est défini par la figure 2.5.

- la décomposition en blocs fonctionnels

Cette étape consiste à la décomposition de la fonction considérée en un ensemble de blocs fonctionnels. Cette décomposition du circuit en blocs fonctionnels ne fait pas l'objet d'une règle générale. Dans notre cas, elle s'appuie sur l'architecture au niveau transistor.

- la spécification des différents blocs fonctionnels

Cette étape est très importante. Elle consiste à énumérer les propriétés qui caractérisent les différents blocs fonctionnels obtenus après la décomposition du circuit et à déterminer les différents paramètres qui influent sur leur fonctionnalité.



**Figure 2.5** – Méthodologie de conception hiérarchique Top-Down et Bottom-Up [68].

Pour que le modèle soit le plus représentatif du circuit, il faut qu'il représente toutes les propriétés qui le caractérisent. Pour chacune de ces sous-fonctions, une liste des principales caractéristiques à modéliser (telles que la fonction de transfert, l'impédance d'entrée, le gain en courant ...) doit être établie.

- la mise en équation des propriétés à modéliser

La mise en équation des propriétés à modéliser constitue le cœur de la technique de modélisation. Elle fait appel à des analyses combinées de régimes statiques et dynamiques du circuit.

- la modélisation des différents blocs fonctionnels

Cette étape consiste à déterminer les blocs fonctionnels qui vont être simplifiés par l'élaboration d'un modèle équivalent. Les modèles comportementaux sont décrits dans un langage de description matérielle. Les modèles validés seront représentés par des symboles qui seront stockés dans les bibliothèques des simulateurs.

- la validation des modèles

Après avoir réalisé les modèles comportementaux équivalents des différents blocs fonctionnels, il est nécessaire d'effectuer un certain nombre de vérifications avant de les utiliser ou de les insérer dans une bibliothèque ; l'étape de validation permet d'identifier les défauts des modèles (les erreurs dues à la modélisation) afin de juger de la qualité et de la précision de ces modèles. Elle permet ainsi de vérifier si les caractéristiques obtenues à partir des modèles comportementaux correspondent, au pourcentage d'erreur près, à celles des modèles structurels (niveau transistor). La comparaison de la durée de simulation de ces modèles permet d'évaluer la rapidité des modèles comportementaux par rapport aux modèles structurels.

Ces séries de simulation permettent d'établir très vite les performances des modèles développés. Si celles-ci sont conformes aux exigences fixées, ces modèles sont validés et peuvent être insérés dans les bibliothèques des simulateurs.

- la modélisation de la fonction principale

La réalisation du modèle comportemental de la fonction principale se fait par l'agencement des modèles paramétrables des sous fonctions. Toutefois, un modèle comportemental du circuit, au plus haut niveau d'abstraction, sera décrit. Ce modèle devra prendre en compte l'impact de la variation des paramètres de chaque bloc fonctionnel sur ses propres paramètres.

- la validation et l'insertion en bibliothèque du modèle final

De même que les sous-fonctions, les modèles comportementaux de la fonction principale devront être validés à travers diverses simulations. Une fois validés, ces modèles pourront alors être archivés dans les bibliothèques des simulateurs pour être modifiés ou réutilisés lors de simulations.

## 1.4 Conclusion

Pour les raisons vues dans cette section, la modélisation comportementale semble être la plus adaptée à la simulation et à la synthèse de systèmes analogiques complexes. L'intérêt de cette modélisation est de modéliser les fonctions analogiques élémentaires et de les remplacer par leur modèle comportemental. Créer une bibliothèque de modèles de base permettrait au concepteur de choisir, de manière rapide et précise, les modèles des différentes fonctions.

La méthodologie de modélisation mise en place est appliquée à la description de modèles comportementaux d'un amplificateur opérationnel à transconductance, du niveau transistor au niveau circuit.

Cette méthodologie de construction consiste à modéliser chaque bloc fonctionnel de l'amplificateur (paire différentielle, source de courant ...). Il est sous-entendu que la modélisation de ces blocs comprend la définition des paramètres caractéristiques intéressants, la description d'un modèle comportemental et le développement de procédures d'extraction de ces paramètres à chaque niveau d'abstraction. Tous les modèles ont été décrits en VHDL-AMS.

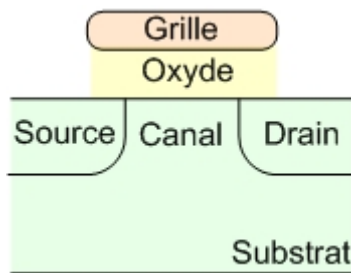


## 2 Le transistor MOS

Lors de la conception en vue de la fiabilité, la détection des composants élémentaires « critiques » de l'architecture d'un circuit intégré a pour but d'améliorer sa robustesse vis-à-vis des mécanismes d'usure. Par conséquent, le développement, puis l'utilisation, d'un modèle comportemental électrique du transistor MOS est une étape clé pour l'évaluation de la fiabilité du CI dès sa conception.

### 2.1 Historique

Le transistor MOS tire son appellation de sa structure : Métal-Oxyde Semi-conducteur. Comme son fonctionnement repose sur l'action d'un champ électrique, on l'appelle aussi MOSFET : MOS Field Effect Transistor. C'est en effet la grille métallique (ou actuellement semi-conducteur dégénéré) qui contrôle l'existence ou non d'une couche conductrice de surface, appelée le canal, reliant électriquement deux électrodes dites source et drain. L'oxyde sert à isoler la grille du canal.



**Figure 2.6** – Le transistor MOS.

Ce transistor est devenu l'un des principaux composants actifs utilisés dans l'intégration des circuits numériques et des circuits mixtes.

La plupart des modèles des transistors MOS présentent le schéma basé sur le modèle électrique « grand signal » de la figure 2.7. Ce macro-modèle possède quatre terminaux qui définissent les potentiels de drain, grille, source et substrat. Il est construit à partir de plusieurs éléments intrinsèques (les sources de courant, les diodes de jonction et les capacités) et extrinsèques (les résistances).

Ce modèle comprend :

- une source de courant statique drain-source, qui modélise le canal de conduction ;
- trois capacités relatives à la grille  $C_{GB}$ ,  $C_{GS}$  et  $C_{GD}$ , qui modélisent respectivement les interactions entre charge de grille/charge de substrat, charge de grille/charge de canal côté source et charge de grille/charge de canal côté drain ;
- deux capacités relatives aux jonctions de substrat  $C_{BS}$  et  $C_{BD}$  ;
- deux résistances d'accès côté source  $R_S$  et drain  $R_D$  ;
- pour les caractéristiques DC, deux jonctions de substrat formant deux diodes polarisées en inverse qui fournissent les courants  $I_{BS}$  et  $I_{BD}$  ; certains modèles négligent ces deux éléments.

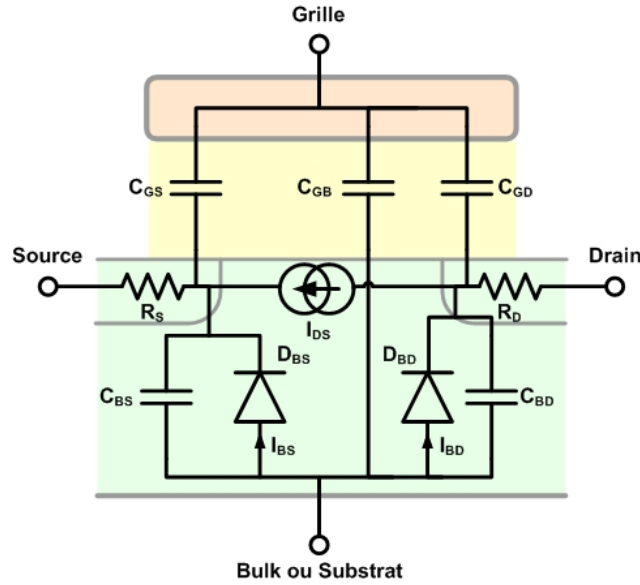


Figure 2.7 – Le transistor MOS.

La première modélisation analytique du fonctionnement du transistor MOS fut proposée en 1968 par H. Shichman et D. A. Hodges [73]. Ce modèle se base sur le comportement unidimensionnel du composant sous l'influence :

- d'un champ électrique, induit par la tension de grille par rapport au substrat ;
- des tensions appliquées aux îlots de diffusion drain et source.

Ce modèle, qui comporte 41 paramètres, caractérise avec une représentation suffisante les transistors MOS ayant une longueur de canal supérieure à  $5\mu m$ .

Avec la croissance de la densité d'intégration des circuits, J. E. Meyer propose en 1971, un modèle comprenant 50 paramètres caractérisant les transistors MOS ayant une longueur de canal plus petite, jusqu'à  $2\mu m$  [50]. Ce modèle fait intervenir la modulation de la longueur du canal par l'introduction du paramètre  $\lambda$ , l'influence de la tension drain-source  $V_{DS}$  sur la répartition du champ électrique le long du canal.

En 1979, un modèle empirique du transistor MOS, calqué sur le modèle de J. E. Meyer, est développé par L. M. Dang [19] [83] [28]. Ce modèle utilise les séries de Taylor pour simplifier les approches analytiques du fonctionnement en régime de forte inversion ( $V_{GS} > V_{th}$ ) en zone saturée ( $V_{DS} > V_{DSsat}$ ). Ce modèle introduit aussi l'effet du canal court sur la tension seuil  $V_{TH}$  et sur la mobilité  $\mu$  des porteurs.

## 2.2 Modèle comportemental simplifié du transistor MOS pour la conception de fonctions analogiques

Avec la réduction de la longueur du canal, les modèles doivent prendre en compte de nouveaux phénomènes physiques qui interviennent dans le comportement réel du transistor, notamment pour les technologies submicroniques. Ainsi de nouveaux modèles analytiques ont été développés suivant l'évolution de la réduction d'échelle. Pour prendre en compte ces nouveaux phénomènes physiques, les équations analytiques se complexifient. Cependant, pour mieux appréhender le comportement des performances des fonctions analogiques lors de la conception des circuits, il est nécessaire de se baser sur un modèle analytique relativement simple du transistor MOS.

Notre modèle comportemental de niveau 0 a été développé à partir de la description SPICE de niveau 2 d'un transistor MOS. Ce modèle décrit le comportement du transistor MOS dans les trois zones de fonctionnement :

- Le régime de faible inversion ;
- Le régime de forte inversion, zone linéaire ;
- Le régime de forte inversion, zone saturée.

### 2.2.1 Régime de faible inversion

En première approximation, le régime de faible inversion est donné lorsque la tension  $V_{GS}$  est légèrement inférieure ou au voisinage de la tension de seuil  $V_{th}$ . Dans ce régime de fonctionnement, le courant de drain par unité de canal  $I_{DS}/W$  est très faible et principalement dû au phénomène de diffusion entre la source et le canal. La loi de transfert  $I_{DS}(V_{GS})$  est une loi exponentielle qui rappelle celle du transistor bipolaire :

$$I_D = I_{on} \exp\left(\frac{V_{GS} - V_{on}}{\eta u_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{u_T}\right)\right) \quad (2.1)$$

avec :

$$\eta = 1 + \frac{q \cdot N_{fs}}{C_{ox}} + \frac{C_B}{C_{ox}} \quad (2.2)$$

$$V_{on} = V_{th} + \eta u_T \quad (2.3)$$

$$C_B : (\partial Q_B / \partial V_{BS}) \quad (2.4)$$

$\eta$  : Pente de la courbe  $I_{DS}(V_{GS})$  en régime de faible inversion

$q$  : Charge de l'électron.

$C_{ox}$  : Capacité d'oxyde de grille

$u_T = \frac{kT}{q}$  : Tension thermique, ( $k$  est la constante de Boltzman et  $T$  est la température absolue)

$N_{fs}$  : Densité d'états de surface

$I_{on}$  : courant du canal de conduction pour  $V_{GS} = V_{on}$  dans la région de forte inversion

La continuité de la caractéristique de  $I_{DS}$  est assurée. Cependant, il existe une discontinuité des dérivés à la frontière des modèles de faible et forte inversions (pour  $V_{GS} = V_{on} \approx V_{th}$ ), pénalisant ainsi la convergence de la simulation dans la région de transition.

### 2.2.2 Régime de forte inversion

On définit la limite entre les régimes de faible et forte inversion par  $V_{on}$ .

– *Zone ohmique :*

Le Transistor NMOS :  $V_{DS} < (V_{GS} - V_{th}) = V_{DSsat}$

$$I_{DS} = KP \frac{W}{L} (V_{GS} - V_{th} - \frac{V_{DS}}{2}) V_{DS} (1 + \lambda V_{DS}) \quad (2.5)$$

Le Transistor PMOS :  $V_{DS} > (V_{GS} - V_{th}) = V_{DSsat}$

$$I_{DS} = -KP \frac{W}{L} (V_{GS} - V_{th} - \frac{V_{DS}}{2}) V_{DS} (1 - \lambda V_{DS}) \quad (2.6)$$

– *Zone saturée :*

Le Transistor NMOS :  $V_{DS} \geq (V_{GS} - V_{th}) = V_{DSsat}$

$$I_{DS} = \frac{KP}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (2.7)$$

Le Transistor PMOS :  $V_{DS} \leq (V_{GS} - V_{th}) = V_{DSsat}$

$$I_{DS} = -\frac{KP}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 - \lambda V_{DS}) \quad (2.8)$$

avec :

$$KP = \mu_0 \cdot C_{ox} \quad (2.9)$$

$$V_{th} = V_{th0} + \gamma(\sqrt{2 \cdot \phi_p - V_{BS}} - \sqrt{2 \cdot \phi_p}) \quad (2.10)$$

$\mu_0$  : Mobilité nominale des électrons

$C_{ox}$  : Capacité surfacique de l'oxyde de grille

$W$  : Largeur du canal

$L$  : Longueur du canal

$\phi_p$  : Potentiel de surface

$\gamma$  : Facteur d'effet de la polarisation du substrat sur la tension de seuil

$\lambda$  : Paramètre de la modulation de la longueur du canal

### 2.3 Implémentation VHDL-AMS

Le modèle comportemental VHDL-AMS du transistor MOS implémente à la fois les équations en régimes de faible et forte inversions pour les transistors de type N ou P. À l'entité MOS est associée une architecture « Level\_0 ». Le comportement du transistor MOS est modélisé à l'aide de 9 paramètres. Ces derniers sont résumés dans le tableau 2.3. L'algorithme 2.1 présente l'architecture Level\_0.

| Paramètre                       | Définition du paramètre                                                | Unité     | Valeur par défaut    |
|---------------------------------|------------------------------------------------------------------------|-----------|----------------------|
| <b>Paramètres de l'instance</b> |                                                                        |           |                      |
| L                               | Longueur de canal                                                      | m         | $3 \cdot 10^{-6}$    |
| W                               | Largeur de canal                                                       | m         | $30 \cdot 10^{-6}$   |
| TYPE_MOS                        | Type du transistor MOS (-1 : Type P ; 1 : Type N)                      | –         | 1.0                  |
| <b>Paramètres électriques</b>   |                                                                        |           |                      |
| VTH0                            | Tension de seuil à polarisation de substrat nulle                      | V         | 0.762                |
| LAMBDA                          | Modulation de la longueur de canal                                     | $V^{-1}$  | 0.0256               |
| KP                              | Transconductance du transistor                                         | $A/V^2$   | $40.2 \cdot 10^{-5}$ |
| PHI                             | Potentiel de la surface dans la région de forte inversion              | V         | 0.6                  |
| GAMMA                           | Facteur d'effet de la polarisation du substrat sur la tension de seuil | $V^{1/2}$ | 0.0                  |
| ION                             | Courant du canal de conduction maximum en faible inversion             | A         | 0.0                  |
| n                               | Pente de la courbe $I_{DS}(V_{GS})$ en faible inversion                | –         | 0.0                  |

**Tableau 2.3** – Synthèse des paramètres du modèle comportemental du transistor MOS.

### 2.4 Simulation et représentation graphique

La figure 2.8(a) montre la caractéristique de sortie  $I_{DS}(V_{DS})$  d'un transistor NMOS, obtenue à partir de notre modèle VHDL-AMS. Les figures 2.8(b) et 2.8(c) représentent les caractéristiques de transferts  $I_{DS}(V_{GS})$  et leurs logarithmes en faisant varier  $V_{BS}$  de  $-4$  V à  $-0$  V. On constate sur la figure 2.8(c) qu'il n'y a aucune discontinuité entre les régimes de faible et forte inversions.

La figure 2.9(a) représente la transconductance  $g_m$  en fonction de  $V_{GS}$  pour différentes valeurs de  $V_{BS}$ . Cette transconductance de grille  $g_m$  est liée à la modulation petit signal du courant drain-source  $I_{DS}$  par la tension grille-source  $V_{GS}$  en prenant les tensions drain-source  $V_{DS}$  et substrat-source  $V_{BS}$  constantes :

$$g_m = \left[ \frac{\partial I_{DS}}{\partial V_{GS}} \right]_{V_{DS}=cste, V_{BS}=cste} \quad (2.11)$$

De cette définition nous en déduisons une expression analytique en fonction du régime :

---

**Algorithme 2.1** Modèle comportemental de niveau 0 d'un transistor MOS.

---

```

Si  $TYPE\_MOS * V_{GS} < TYPE\_MOS * V_{th0}$  alors
{
 $I_{DS} = TYPE\_MOS.ION.exp \left[ \frac{V_{GS}-V_{on}}{n.u_T} \right]$ 
}
Sinon
{
Si  $TYPE\_MOS * V_{DS} < TYPE\_MOS * (V_{GS} - V_{TH0})$  alors
{
 $I_{DS} = TYPE\_MOS.KP0.\frac{W}{L}.(V_{GS} - V_{TH0} - \frac{V_{DS}}{2}).V_{DS}.(1 + TYPE * LAMBDA0.V_{DS})$ 
}
Sinon
{
 $I_{DS} = TYPE\_MOS.\frac{KP0}{2}.\frac{W}{L}.(V_{GS} - V_{TH0})^2.(1 + TYPE * LAMBDA0.V_{DS})$ 
}
}

```

---

– Régime de faible inversion :

$$g_m = \frac{I_{DS}}{n.u_T} \quad (2.12)$$

– Régime de forte inversion :

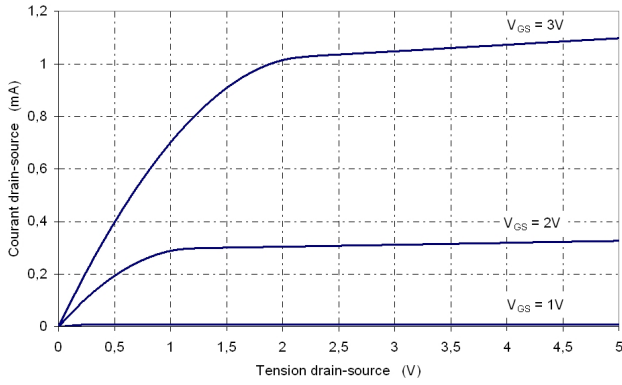
$$g_m = \sqrt{2.K.\frac{W}{L}.I_{DS}} = \frac{2I_{DS}}{|V_{GS} - V_{TH}|} \quad (2.13)$$

La figure 2.9(b) montre l'évolution de la conductance drain-source  $g_{ds}$  en fonction de  $V_{DS}$ . La conductance drain-source  $g_{ds}$  est liée à la modulation de la longueur « réelle » du canal par la tension drain-source  $V_{DS}$  pour des tensions grille-source  $V_{GS}$  et substrat-source  $V_{BS}$  constantes :

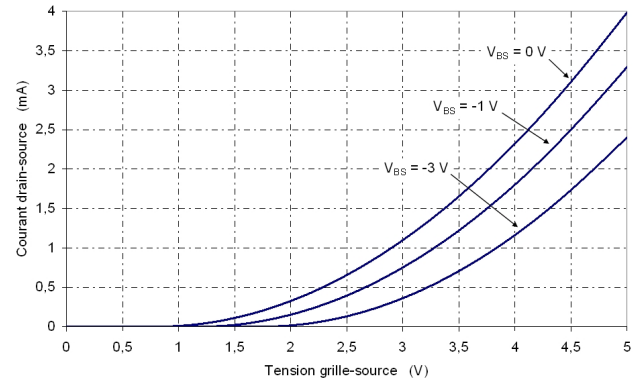
$$g_{ds} = \left[ \frac{\partial I_{DS}}{\partial V_{DS}} \right]_{V_{GS}=cste, V_{BS}=cste} \quad (2.14)$$

Cette conductance  $g_{ds}$  est représentée par la tension  $V_A$  ou le paramètre  $\lambda$  :

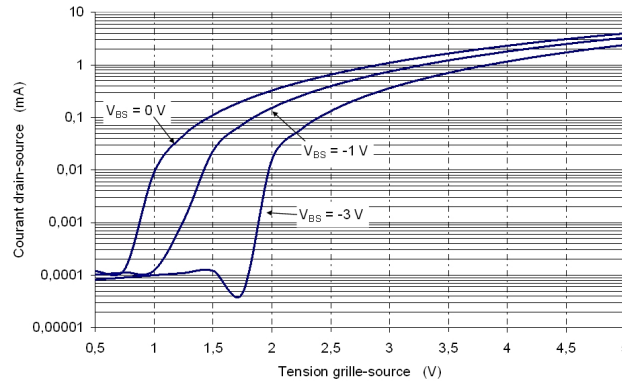
$$g_{ds} = \lambda |I_{DS}| = \frac{1}{V_A.L} \cdot |I_{DS}| \quad (2.15)$$



(a) Caractéristique de sortie  $I_{DS}(V_{DS})$  du transistor NMOS

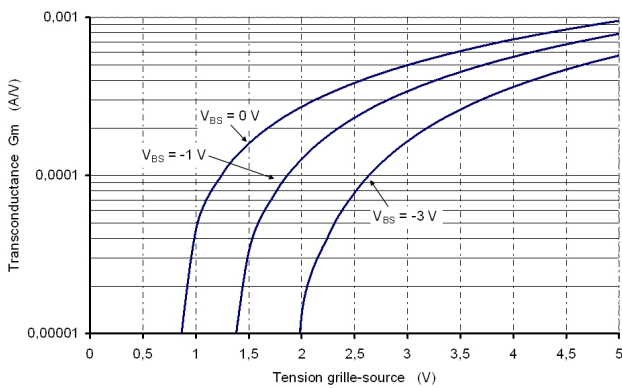


(b) Caractéristique de transfert du transistor MOS ( $V_{DS} = 5V$ )

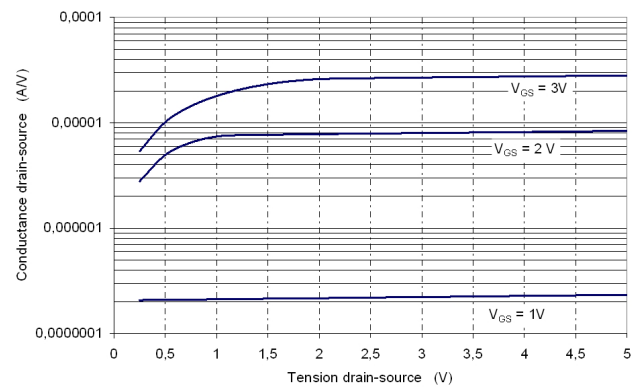


(c) Logarithmique de la caractéristique de transfert du transistor MOS ( $V_{DS} = 5V$ )

**Figure 2.8** – Caractéristiques statiques du transistor NMOS



(a) Evolution de la transconductance  $g_m$  du transistor NMOS



(b) Evolution de la conductance drain-source  $g_{ds}$

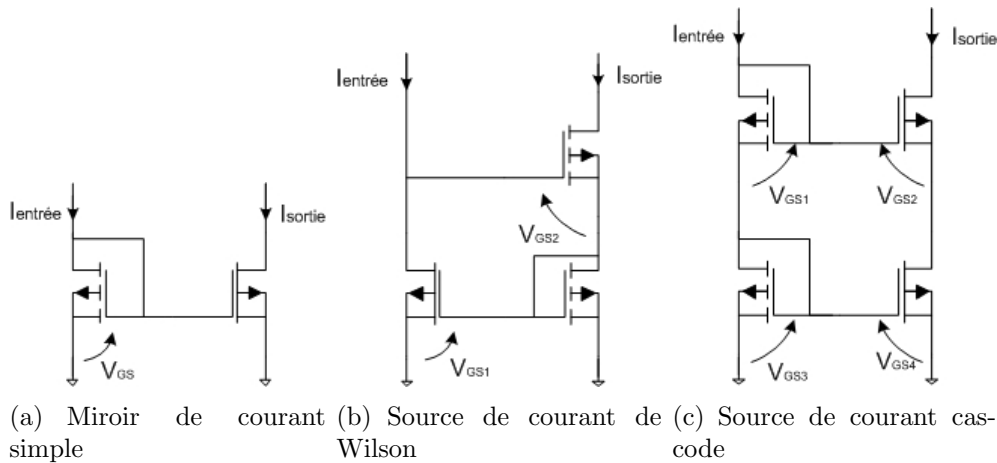
**Figure 2.9** – Caractéristiques « petit signal » du transistor NMOS obtenues à l'aide de notre modèle comportemental

### 3 Le miroir de courant simple

Un miroir de courant est un circuit électronique permettant une recopie de courant. Il permet, en outre, de réaliser des fonctions simples sur des courants, comme des additions, des soustractions et des valeurs absolues.

Ayant en entrée et en sortie des courants, il est utilisé de manière extensive pour polariser les blocs fonctionnels analogiques.

Il existe plusieurs variantes de miroirs et de sources de courant. Les formes classiques sont les suivantes :



**Figure 2.10** – Les miroirs de courant classiques.

Le miroir de courant est l'une des fonctions électroniques simples la plus utilisée en conception analogique et en particulier dans l'architecture des amplificateurs opérationnels à transconductance. Sa modélisation électrique est un élément important pour le développement de modèles comportementaux de vieillissement lors de l'évaluation de la fiabilité des AOTs dès la phase de conception.

#### 3.1 Le modèle comportemental de niveau 1

Le schéma électrique du miroir de courant (CM) simple est donné par la figure 2.10(a). On impose le courant  $I_{\text{entrée}}$  de façon externe. Ceci a pour effet de fixer la tension  $V_{GS}$  des deux MOS. Nous avons une recopie du courant d'entrée sur la sortie pour une tension de sortie supérieure à  $V_{\text{entrée}} - V_T$ <sup>34</sup>. A cause de l'effet Early, les courants ne sont dans le même rapport que si les tensions drains-sources sont égales. Pour diminuer l'éventuelle différence entre les deux courants, on utilise des sources de courant Wilson (Cf. figure 2.10(b)) ou cascode (Cf. figure 2.10(c)).

<sup>34</sup>Le premier MOS travaille automatiquement dans la zone de pincement. En effet, sur une caractéristique  $V_{GS} = Cte$ , cette zone commence pour  $V_{DS} = V_{GS} - V_T$ . Or le potentiel  $V_{DS}$  est égal à  $V_{GS}$  qui est bien supérieur à  $V_{DSsat}$ .

<sup>4</sup>Le rapport  $\frac{I_{\text{sortie}}}{I_{\text{entrée}}}$  peut être modifié en utilisant des transistors de taille différente ou en utilisant une combinaison (mise en parallèle ou série) de transistors.



A partir du schéma électrique du miroir de courant simple (Cf. figure 2.10(a) à la page 50), lorsque les deux transistors fonctionnent en régime de forte inversion en zone saturée, nous pouvons établir le rapport des courants suivant :

$$\frac{I_{sortie}}{I_{entrée}} = \frac{K_s}{K_e} \cdot \left(\frac{W}{L}\right)_s \cdot \left(\frac{L}{W}\right)_e \cdot \frac{(V_{GS} - V_{ths})^2}{(V_{GS} - V_{the})^2} \cdot \frac{(1 + \lambda_s \cdot V_{sortie})}{(1 + \lambda_e \cdot V_{entrée})} \quad (2.16)$$

Si les deux transistors sont réalisés sur la même puce, le rapport  $\frac{K_s}{K_e}$  est équivalent à 1. De plus, les tensions de seuil ( $V_{the} = V_{ths}$ ) sont équivalentes lorsque  $L_e = L_s$ . Nous obtenons donc le rapport :

$$\frac{I_{sortie}}{I_{entrée}} = \left(\frac{W}{L}\right)_s \cdot \left(\frac{L}{W}\right)_e \cdot \frac{(1 + \lambda_s \cdot V_{sortie})}{(1 + \lambda_e \cdot V_{entrée})} \quad (2.17)$$

L'étude en régime statique et dynamique du miroir de courant simple aboutit à la réalisation d'un modèle comportemental simplifié de niveau 1. Ce modèle met en évidence la fonction principale du miroir : la recopie avec un facteur d'erreur. L'équation 2.18 est une approximation de l'équation 2.17 et synthétise la fonctionnalité du miroir de courant. Cette recopie dépend du régime de fonctionnement des transistors d'entrée et de sortie.

$$I_{sortie} = Ai \cdot I_{entrée} \cdot (1 + \epsilon \cdot V_{sortie}) \quad (2.18)$$

Où  $Ai$  est le facteur de recopie et  $\epsilon$  l'erreur de recopie.

Pour que le miroir de courant puisse fonctionner, il est nécessaire que le courant d'entrée qui lui est appliqué soit supérieur au courant d'activation  $I_{act}$  et que la tension de sortie soit supérieure à la tension d'entrée. Ce courant est équivalent au courant  $I_{ON}$  maximum en régime de faible inversion.

L'intérêt de ce modèle est qu'il permet d'avoir un modèle comportemental unique du miroir de courant, et ce quelle que soit l'architecture de ce dernier (i.e. source de courant de Wilson, source de courant cascode...). Ce modèle a été validé pour les sources de courant classiques présentées dans la figure 2.10.

## 3.2 Implémentation VHDL-AMS

Le modèle comportemental VHDL-AMS du transistor MOS implémente à la fois les équations en régimes de faible et forte inversions pour les transistors de type N ou P. À l'entité « Simple\_Mirror » est associée une architecture « Behav » pour le modèle comportemental de niveau 1. Le comportement du miroir de courant est modélisé à l'aide de 8 paramètres. Ces derniers sont résumés dans le tableau 2.4. L'algorithme 2.2 présente l'architecture « Behav ».

| Paramètre                       | Définition du paramètre                           | Unité    | Valeur par défaut    |
|---------------------------------|---------------------------------------------------|----------|----------------------|
| <b>Paramètres de l'instance</b> |                                                   |          |                      |
| L                               | Longueur de canal du transistor d'entrée          | m        | $3 \cdot 10^{-6}$    |
| W                               | Largeur de canal du transistor d'entrée           | m        | $30 \cdot 10^{-6}$   |
| TYPE                            | Type du transistor MOS (-1 : Type P ; 1 : Type N) | –        | 1.0                  |
| <b>Paramètres électriques</b>   |                                                   |          |                      |
| VTH0                            | Tension de seuil du transistor d'entrée           | V        | 0.762                |
| LAMBDA                          | Modulation de la longueur de canal du transistor  | $V^{-1}$ | 0.0256               |
| KP                              | Transconductance du transistor d'entrée           | $A/V^2$  | $40.2 \cdot 10^{-5}$ |
| IACT                            | Courant d'activation du miroir de courant         | A        | 0.0                  |
| Ai                              | facteur de recopie                                | –        | 1.0                  |
| Epsilon                         | erreur de recopie                                 | $V^{-1}$ | 0.0                  |

**Tableau 2.4** – Synthèse des paramètres du modèle comportemental du miroir de courant.

### 3.3 Simulation et représentation graphique

La figure **2.11** montre la caractéristique de transfert  $I_{sortie}(I_{entree})$  du miroir de courant simple. Le courant d'entrée varie de 0 à 2mA et la tension de sortie est équivalente à 4V.

La caractéristique de transfert de notre modèle comportemental a été comparée à celle du modèle SPICE d'un miroir de courant en technologie  $0.8 \mu m$  du fondeur AMS. Les paramètres SPICE de niveau 2 de ce transistor sont définis dans le tableau **2.5**. Les longueurs et les largeurs des transistors sont égales à celles du modèle comportemental. Nous pouvons constater qu'il y a une bonne adéquation entre les caractéristiques de transfert obtenues. L'erreur maximum est de  $\pm 30 \mu A$ .

```

.MODEL TYPEN NMOS LEVEL=2 LD=0.414747e-6 TOX=505.0e-10
+NSUB=1.35634E16 VTO=0.864893 KP=44.9e-6 GAMMA=0.981
+PHI=0.6 UEXP=0.211012 UCRIT=107603 DELTA=3.53172e-5
+VMAX=100000 XJ=0.4e-6 LAMBDA=0.0107351 NFS=1E11
+NEFF=1.001 NSS=1E12 TPG=1 RSH=9.925 CGDO=2.83588e-10
+CGSO=2.83588e-10 CGBO=7.968e-10 CJ=0.0003924
+MJ=0.456300 CJSW=5.284e-10 MJSW=0.3199 PB=0.7
+XQC=1 UO=656
.MODEL TYPEP PMOS LEVEL=2 LD=0.580687E-6 TOX=432.0E-10
+ NSUB=1E16 VTO=-0.944048 KP=18.5E-6 GAMMA=0.435
+ PHI=0.6 UEXP=0.242315 UCRIT=20581.4 DELTA=4.32096E-5
+ VMAX=33274.4 XJ=0.4E-6 LAMBDA=0.0620118 NFS=1E11
+ NEFF=1.001 NSS=1E12 TPG=-1 RSH=10.25 CGDO=4.83117E-10
+ CGSO=4.83117E-10 CGBO=1.293E-9 CJ=0.0001307 MJ=0.4247
+ CJSW=4.613E-10 MJSW=0.2185 PB=0.75 XQC=1 UO=271

```

**Tableau 2.5** – Paramètres du modèle de SPICE de niveau 2 d'un transistor en technologie AMS  $0.8 \mu m$  [26].

---

**Algorithme 2.2** Modèle de niveau 1 du miroir de courant simple.

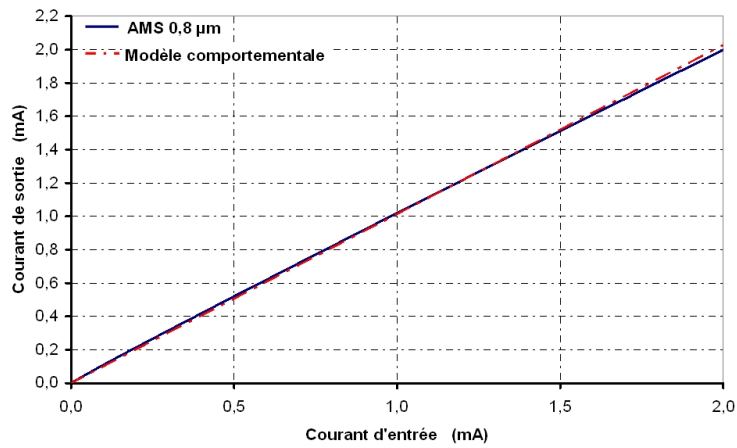
---

```

Si  $I_e > IACT$  alors
{
 $I_{entrée} = \frac{KP}{2} \cdot \frac{W}{L} (V_{entrée} - V_{TH})^2 \cdot (1 + \lambda \cdot V_{entrée})$ 
}
Sinon
{
 $V_{entrée} = 0.0$ 
}
Si  $V_{sortie} > V_{entrée} \ \& \ I_{entrée} > IACT$  alors
{
 $I_{sortie} = Ai \cdot I_{entrée} \cdot (1 + Epsilon \cdot V_{sortie})$ 
}
Sinon
{
 $I_{sortie} = 0.0$ 
}

```

---



**Figure 2.11** – Caractéristiques de transfert simulées du miroir de courant avec le modèle comportemental et le modèle SPICE.

## 4 La paire différentielle

Une paire différentielle CMOS est constituée de deux transistors appariés reliés par leur source (Cf. Figure 2.12). La polarisation est assurée par une source de courant statique  $I_{pol}$ . Si pour minimiser l'erreur d'appariement, les deux transistors sont généralement polarisés en régime saturé fortement inversé, ils sont parfois placés en faible inversion, volontairement, pour optimiser les transconductances de grille, ou contraint, du fait de l'utilisation d'une faible tension d'alimentation.

La paire différentielle est la fonction électronique de base de tout amplificateur opérationnel à transconductance. Son modèle comportemental électrique devient donc indispensable. N'oublions pas que ce dernier sera à la base de la construction d'un modèle de fiabilité. Il doit répondre à deux exigences conflictuelles : la représentativité en termes de comportement et de fonctionnalité, et la précision.

Dans le cadre de cette étude, nous considérons que les transistors sont en régime saturé fortement inversé. Et pour simplifier l'analyse pour le grand signal et le petit signal, on relie les sources des transistors au substrat (pas d'influence des transconductances de substrat).

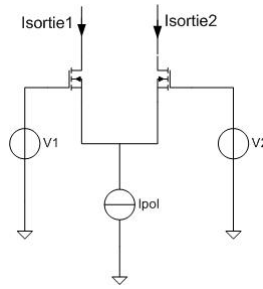


Figure 2.12 – La paire différentielle.

### 4.1 Le modèle comportemental

#### 4.1.1 La caractéristique de transfert

Pour ce modèle comportemental électrique, nous choisissons de modéliser la caractéristique de transfert de la paire différentielle. A partir des équations suivantes :

$$I_{sortie1} = Gain1(V_{entrée1} - E_C - V_{TH1})^2$$

$$I_{sortie2} = Gain2(V_{entrée2} - E_C - V_{TH2})^2$$

Avec :

$I_{pol} = I_{sortie1} + I_{sortie2}$  : courant de polarisation,

$I_{md} = I_{sortie1} - I_{sortie2}$  : courant différentiel de sortie,

#### 4. La paire différentielle

---

$E_{md} = V_{entrée1} - V_{entrée2}$  : tension différentielle d'entrée,

$E_C$  : potentiel du nœud de mode commun,

$$I_{sortie1} = \frac{I_{pol} + I_{md}}{2}$$

$$I_{sortie2} = \frac{I_{pol} - I_{md}}{2}$$

$$Gain1 = Gain2 = Gain$$

et en déterminant  $\sqrt{I_{sortie1}} - \sqrt{I_{sortie2}}$  puis  $I_{sortie1} * I_{sortie2}$ , le courant de mode différentiel est donné par :

$$I_{md} = Gain * E_{md} * \sqrt{\frac{2 * I_{pol}}{Gain} - E_{md}^2} \quad \text{avec} \quad -\sqrt{\frac{I_{pol}}{Gain}} \leq E_{md} \leq \sqrt{\frac{I_{pol}}{Gain}} \quad (2.19)$$

et,

$$I_{md} = I_{pol} \operatorname{sgn}(E_{md}) \quad \text{avec} \quad E_{md} < -\sqrt{\frac{I_{pol}}{Gain}} \text{ ou } E_{md} > \sqrt{\frac{I_{pol}}{Gain}} \quad (2.20)$$

L'utilisation de la fonction signe est due au fait que la source de courant limite physiquement le courant différentiel de sortie au courant de polarisation statique, et qu'en dehors de la plage de fonctionnement normale correspondante, un des transistors de la paire différentielle est bloqué alors que l'autre est traversé par le courant  $I_{pol}$ .

À partir de l'équation du courant de repos des transistors (équation 2.21), on peut réaliser une normalisation par rapport à la tension effective de grille et définir l'indice de modulation à l'aide de l'équation 2.22.

$$I_{DS0} = 0,5 * I_{pol} = Gain * (V_{GS0} - V_{TH0})^2 \quad (2.21)$$

$$X = \frac{E_{md}}{\sqrt{\frac{I_{pol}}{2 * Gain}}} = \frac{E_{md}}{V_{GS0} - V_{TH0}} \quad (2.22)$$

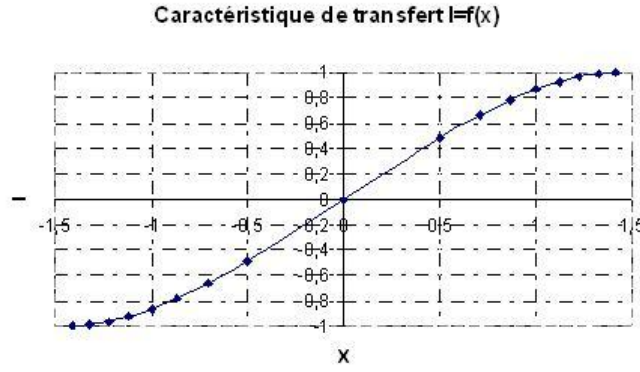
On obtient ainsi la caractéristique de transfert (Fig 2.13) :

$$I = \frac{E_{md}}{I_{pol}} = X \sqrt{1 - \frac{X^2}{4}} \quad \text{avec} \quad |X| \leq \sqrt{2} \quad (2.23)$$

##### 4.1.2 La transconductance

La paire différentielle CMOS est un amplificateur à transconductance. En terme de fonction de transfert elle peut être caractérisée par sa conductance grand signal :

$$G_{md} = \frac{\partial I_{md}}{\partial E_{md}} = Gain * \left( \sqrt{\frac{2 * I_{pol}}{Gain} - E_{md}^2} - \frac{E_{md}}{\sqrt{\frac{2 * I_{pol}}{Gain} - E_{md}^2}} \right) \quad (2.24)$$



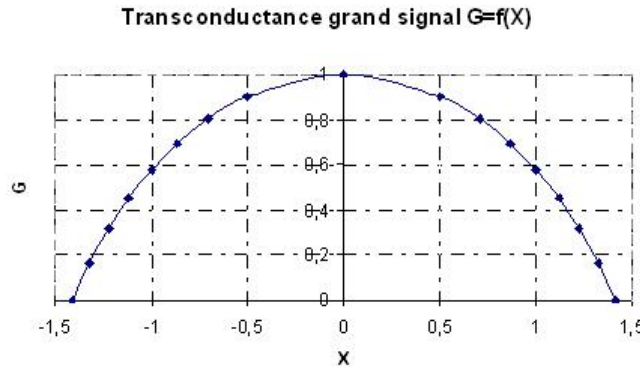
**Figure 2.13** – Caractéristique de transfert  $I=f(X)$  pour  $\|X\| < \sqrt{2}$ .

Cette transconductance est maximum au point  $E_{md} = 0$  :

$$g_{md} = G_{md}|_{E_{md}=0} = \sqrt{2 * Gain * I_{pol}} = \frac{I_{pol}}{V_{GS0} - V_{TH0}} \quad (2.25)$$

Une normalisation effectuée à l'aide de l'équation 2.26, nous conduit à la représentation graphique de la figure 2.14.

$$G = \frac{G_{md}}{g_{md}} = \sqrt{1 - \frac{X^2}{4}} - \frac{X^2}{4 * \left( \sqrt{1 - \frac{X^2}{4}} \right)} \quad (2.26)$$

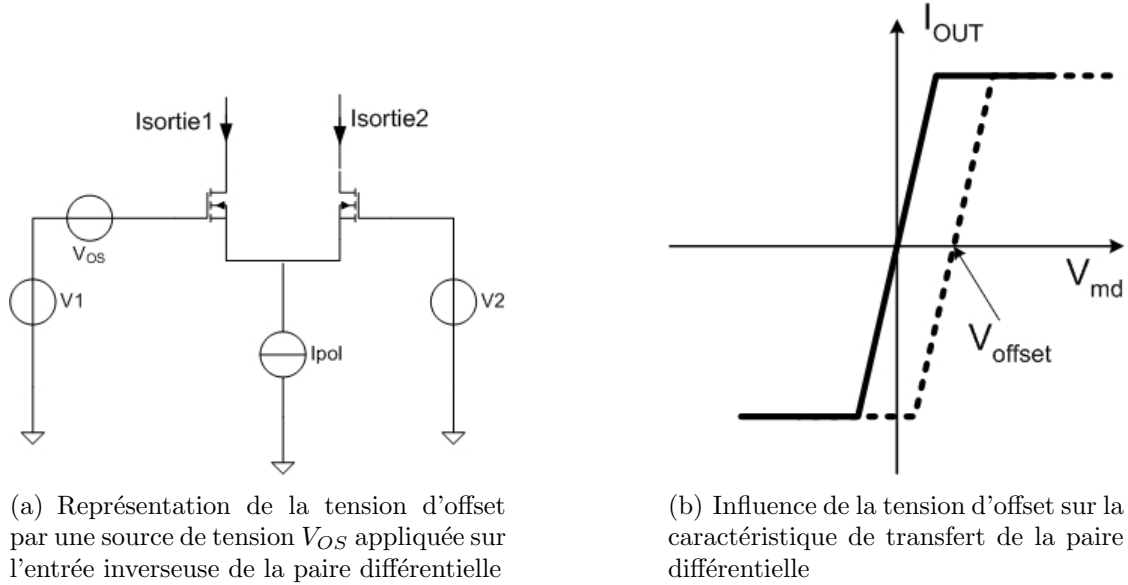


**Figure 2.14** – Transconductance grand signal  $G=f(X)$  pour  $\|X\| < \sqrt{2}$ .

#### 4.1.3 La tension de décalage $V_{offset}$

La tension de décalage, communément appelée tension d'offset, est provoquée par la différence des caractéristiques des composants des deux branches de la structure différentielle. Ces dispersions

produisent un signal différentiel en sortie, même lorsque les deux entrées sont rigoureusement au même potentiel. Ramené en entrée, ce niveau continu est représenté par une source de tension  $V_{OS}$  appliquée sur une des entrées, comme représenté sur la figure 2.15.



**Figure 2.15** – Représentation de la tension d'offset de la paire différentielle.

La tension d'offset dépend des différences géométriques des composants des deux branches de la structure supposées symétriques, et des variations locales des propriétés du semi-conducteur. Ainsi, des différences de dopage entre les transistors T1 et T2 produisent une dissymétrie et donc une tension de décalage qui peut s'exprimer par l'équation 2.27.

$$V_{OS} = \Delta V_{TH} + \frac{V_{GS} - V_{TH}}{2} \cdot \left( \frac{\Delta R_C}{R_C} + \Delta(W/L) \cdot \frac{1}{W/L} \right) \quad (2.27)$$

Il est impossible de calculer numériquement les valeurs de ces tensions. Les dispersions obtenues sont des paramètres aléatoires qui diffèrent d'une fabrication à une autre. Seuls des calculs statistiques sur un large échantillonnage de circuits permettent de les estimer.

Cependant, en observant la relation 2.27, nous constatons que pour un pourcentage de dissymétrie de la résistance de charge  $\frac{\Delta R_C}{R_C}$  ou de la taille des transistors MOS  $\Delta(W/L) \cdot \frac{1}{W/L}$ , la tension d'offset dépend du facteur multiplicatif  $\Delta V_{GSQ} = (V_{GS} - V_{TH})$  dont la valeur est comprise entre 100 mV et 500 mV.

De plus, la différence de tension de seuil  $\Delta V_{TH}$  contribue directement à la variation de la tension de décalage. Ce paramètre est loin d'être négligeable, comme le montre la documentation de la technologie 0.8  $\mu m$  du fondeur AMS. En effet, la plage de variation maximale indiquée pour ce paramètre est de  $\pm 80$  mV.

#### 4.1.4 Noeud de mode commun

En exprimant directement le courant  $I_{md} = I_{sortie1} - I_{sortie2}$ , avec :

$$E_{mc} = \frac{V_{entrée1} + V_{entrée2}}{2} \quad \text{et} \quad V_{GS0} = \frac{I_{pol}}{2 * Gain} + V_{TH0}$$

on met en évidence le fait que le potentiel du noeud de mode commun d'entrée

$$E_C = E_{mc} - \frac{I_{md}}{2 * Gain * E_{md}} - V_{TH0} \quad (2.28)$$

soit

$$E_C = E_{mc} - V_{GS0} + \frac{I_{pol}}{2 * Gain} \left( 1 - \sqrt{1 - \frac{X^2}{4}} \right) \quad (2.29)$$

dépend linéairement de la tension d'entrée de mode commun  $E_{mc}$ , et non linéairement de l'indice de modulation de la tension effective de grille.

## 4.2 Implémentation VHDL-AMS

Le modèle comportemental VHDL-AMS de la paire différentielle de niveau 0 implémente uniquement sa fonctionnalité principale : transformer une différence de tension en une différence de courant. L'entité « Diff\_Pair » intègre les 7 paramètres nécessaires à la description VHDL-AMS de ce modèle. Ces derniers sont résumés dans le tableau **2.6**. A cette entité a été associée une architecture « Structural ». Nous ne tenons pas compte dans ce modèle de la modulation du courant drain-source  $I_{DS}$  par la tension substrat-source  $V_{BS}$  et de la modulation de la longueur du canal de chaque transistor. L'algorithme 2.3 présente l'architecture « Structural ».

## 4.3 Simulation et représentation graphique

La figure **2.16** montre la caractéristique de transfert  $Imd(E_{md})$  de la paire différentielle pour différents courants de polarisation. Elle a été comparée à celle obtenue à l'aide du modèle SPICE d'une paire différentielle en technologie  $0.8 \mu m$  du fondeur AMS. L'erreur maximum obtenue est  $\pm 80 \mu A$ .



---

**Algorithme 2.3** Modèle de niveau 1 de la paire différentielle.

---


$$Emd = V1 + VOS - V2$$

$$Emc = \frac{V1+V2}{2}$$

$$Gain = KP \cdot \frac{W}{L}$$

$$Emd\_Max = \sqrt{\frac{I_{pol}}{Gain}}$$

$$Emd\_Min = -\sqrt{\frac{I_{pol}}{Gain}}$$

$$Gm = Gain \cdot \sqrt{\frac{2 \cdot I_{pol}}{Gain} - Emd^2}$$

Si ( $Emd$ ) <  $Emd\_Min$  alors

{

$$Imd = -I_{pol}$$

}

Sinon

{

Si ( $Emd$ ) >  $Emd\_Max$  alors

{

$$Imd = I_{pol}$$

}

Sinon

{

$$Imd = Gm \cdot (Emd)$$

}

}

$$Ec = Emd - \frac{Imd}{2 \cdot Gain \cdot (Emd)} - VTH$$

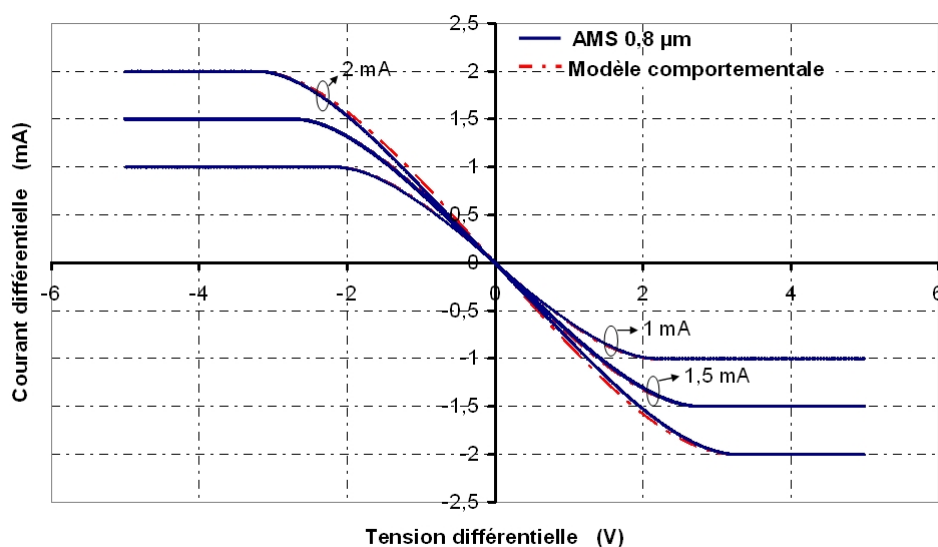
$$Is1 = \frac{I_{pol} + Imd}{2}$$

$$Is2 = \frac{I_{pol} - Imd}{2}$$


---

| Paramètre                       | Définition du paramètre                                                   | Unité   | Valeur par défaut    |
|---------------------------------|---------------------------------------------------------------------------|---------|----------------------|
| <b>Paramètres de l'instance</b> |                                                                           |         |                      |
| L                               | Longueur de canal du transistor d'entrée                                  | m       | $3 \cdot 10^{-6}$    |
| W                               | Largeur de canal du transistor d'entrée                                   | m       | $30 \cdot 10^{-6}$   |
| TYPE                            | Type du transistor MOS (-1 : Type P ; 1 : Type N)                         | –       | 1.0                  |
| <b>Paramètres électriques</b>   |                                                                           |         |                      |
| VTH                             | Tension de seuil à polarisation de substrat nulle                         | V       | 0.762                |
| KP                              | Transconductance du transistor                                            | $A/V^2$ | $40.2 \cdot 10^{-5}$ |
| VOS                             | Tension de décalage due au désappariement des transistors                 | V       | 0.0                  |
| <b>Paramètres d'ajustement</b>  |                                                                           |         |                      |
| KPOS                            | Paramètres d'ajustement de la transconductance de la paire différentielle | –       | 1.0                  |
| IOS                             | Paramètres d'ajustement du courant d'offset de la paire différentielle    | A       | 0.0                  |

**Tableau 2.6** – Synthèse des paramètres du modèle comportemental de la paire différentielle.



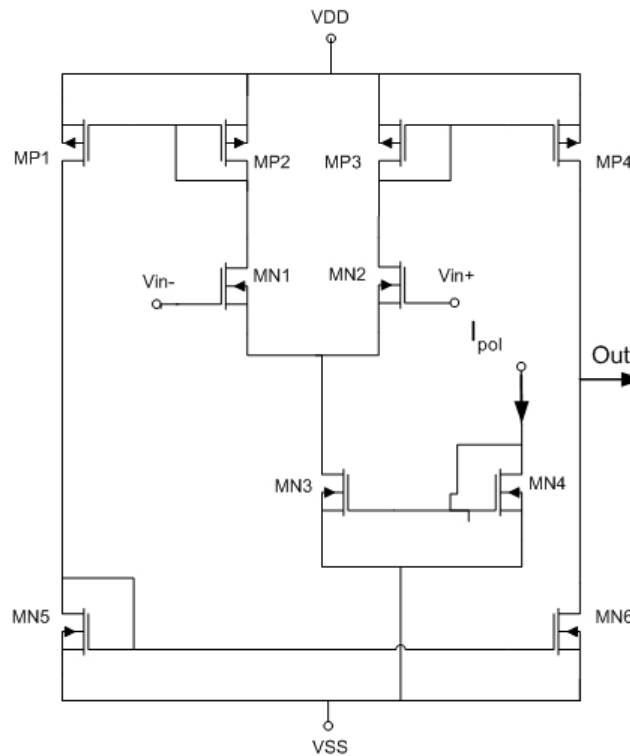
**Figure 2.16** – Caractéristiques de transfert simulées de la paire différentielle avec le modèle comportemental et le modèle SPICE.

## 5 L'amplificateur opérationnel à transconductance

L'amplificateur opérationnel à transconductance (AOT ou OTA : Operational Transconductance Amplifier) est l'amplificateur opérationnel le plus couramment rencontré en microélectronique. En effet, dans un environnement « haute impédance », la résistance de sortie de l'amplificateur peut être également grande et ainsi permettre une simplification notable de son architecture. L'exemple typique est lorsque l'environnement est de type capacités commutées, c'est-à-dire purement capacitif, où l'impédance de sortie du dispositif actif peut être théoriquement infinie.

Dans le cadre de notre étude, nous proposons de modéliser un AOT symétrique dont l'architecture est présentée dans la figure 2.17. Il est composé d'une paire différentielle et de quatre miroirs de courant (MN3,MN4), (MN5,MN6), (MP1,MP2), (MP3,MP4). Cet amplificateur sera utilisé dans les chapitres suivants.

Nous présentons dans ce chapitre deux niveaux de descriptions comportementales de l'AOT.

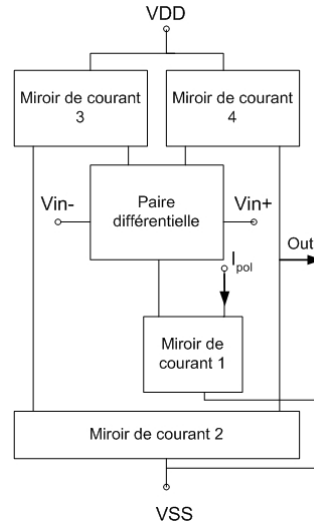


**Figure 2.17** – Architecture au niveau transistor d'un amplificateur opérationnel à transconductance (AOT)

### 5.1 Le modèle comportemental « structurel »

Nous proposons ici un modèle comportemental de l'AOT basé sur son architecture. Il est composé d'une paire différentielle DP et de quatre miroirs de courant CM1(MN3,MN4), CM2(MN5,MN6),

CM3(MP1,MP2), CM4(MP3,MP4). Son modèle comportemental structurel consiste donc en une interconnexion de « blocs » de modèles comportementaux de miroirs de courant et de paire différentielle. L'architecture du modèle structurel est présentée dans la figure 2.18.



**Figure 2.18** – Architecture au niveau bloc « fonctionnel » d'un amplificateur opérationnel à transconductance (AOT)

## 5.2 Le modèle comportemental simplifié

### 5.2.1 Jeu d'équations caractéristiques de l'AOT

La fonction principale d'un AOT est une amplification différentielle. Son modèle comportemental simplifié a donc été développé sur la base du modèle de la paire différentielle. Le courant de sortie de l'AOT est la différence des courants de sortie de la paire différentielle de l'étage d'entrée.

#### Gain de mode commun

On suppose que l'étage différentiel est attaqué par une même tension  $E_{mc}$  sur les entrées inverseuse et non inverseuse. Lorsque  $E_{mc}$  diminue, le potentiel du nœud de mode commun  $E_c$  suit fidèlement  $E_{mc}$  (Cf. section 4.1.4, page 58). Si la source de courant était parfaite,  $E_c$  pourrait atteindre  $VSS$ . Dans le cas d'une source de courant simple, la borne inférieure de la dynamique d'entrée de mode commun est définie par le passage en régime linéaire du transistor de sortie de cette source. Le gain de mode commun dans ce cas est équivalent à :

$$g_{mc} = \lambda \cdot |I_{pol}| \quad (2.30)$$

#### Résistance de sortie

L'impédance de sortie de la source commune (MP3,MP4) est chargée par la résistance de sortie de la source commune (MN5,MN6). La résistance de sortie de l'AOT est égale à :

$$1/R_{out} = gds_{MP4} + gds_{MN6} \quad (2.31)$$

### 5.2.2 Implémentation VHDL-AMS

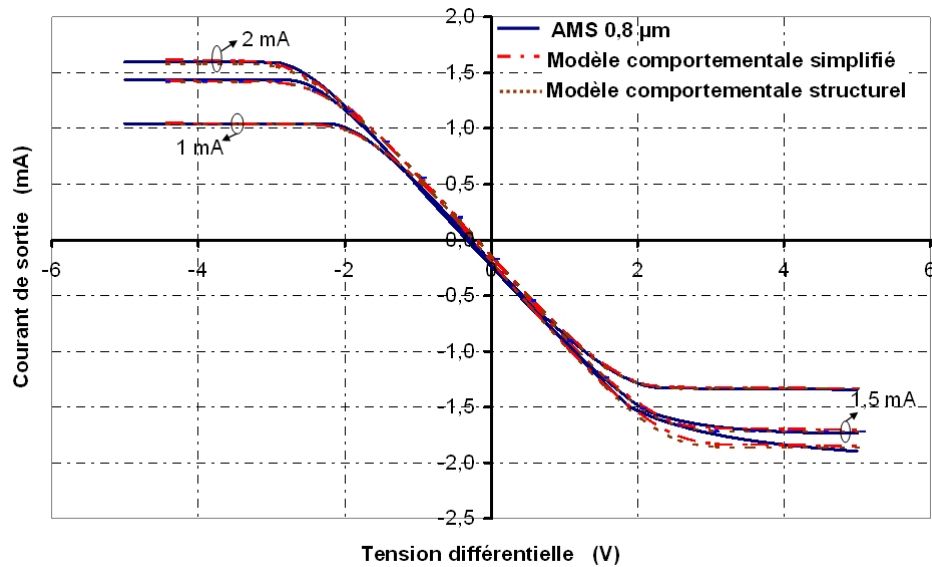
L'entité « OTA » intègre les 12 paramètres nécessaires à la description VHDL-AMS de ce modèle. Ces derniers sont résumés dans le tableau 2.7. A cette entité a été associée une architecture « Behav ». L'architecture de son modèle comportemental est donnée par l'algorithme 2.4. Cette architecture a été associée à l'entité « OTA ».

| Paramètre                       | Définition du paramètre                                                | Unité    | Valeur par défaut    |
|---------------------------------|------------------------------------------------------------------------|----------|----------------------|
| <b>Paramètres de l'instance</b> |                                                                        |          |                      |
| L                               | Longueur de canal du transistor d'entrée                               | m        | $3 \cdot 10^{-6}$    |
| W                               | Largeur de canal du transistor d'entrée                                | m        | $30 \cdot 10^{-6}$   |
| <b>Paramètres électriques</b>   |                                                                        |          |                      |
| VTHN                            | Tension de seuil à polarisation de substrat nulle des transistors NMOS | V        | 0.762                |
| KPN                             | Transconductance des transistors NMOS                                  | $A/V^2$  | $40.2 \cdot 10^{-6}$ |
| LAMBDAN                         | Modulation de la longueur de canal des transistors NMOS                | $V^{-1}$ | 0.0256               |
| VTHP                            | Tension de seuil à polarisation de substrat nulle des transistors PMOS | V        | -0.944               |
| KPP                             | Transconductance des transistors PMOS                                  | $A/V^2$  | $18.5 \cdot 10^{-6}$ |
| LAMBDAP                         | Modulation de la longueur de canal des transistors PMOS                | $V^{-1}$ | 0.0620               |
| VOS                             | Tension de décalage due au désappariement des transistors              | V        | 0.0                  |
| <b>Paramètres d'ajustement</b>  |                                                                        |          |                      |
| KPOS                            | Paramètres d'ajustement de la transconductance de l'AOT                | —        | 1.0                  |
| IPOLEMAX                        | Paramètres d'ajustement du courant de polarisation de l'AOT            | —        | 0.0                  |
| IOS                             | Paramètres d'ajustement du courant d'offset de l'AOT                   | A        | 0.0                  |

**Tableau 2.7** – Synthèse des paramètres du modèle comportemental de l'amplificateur opérationnel à transconductance.

### 5.3 Simulation et représentation graphique des modèles

La figure 2.19 montre les caractéristiques de transfert  $I_{out}(E_{md})$  de nos modèles comportementaux de l'AOT. Elles ont été comparées à celles obtenues à partir du modèle SPICE d'un AOT en technologie  $0.8 \mu m$ .



**Figure 2.19** – Caractéristiques de transfert de l'amplificateur opérationnel à transconductance simulées avec les modèles comportementaux (simplifié et structurel) et le modèle SPICE.

---

**Algorithme 2.4** Modèle comportemental simplifié de l'AOT.

---

$$Emd = V1 + VOS - V2$$

$$GainN = KPN \cdot \frac{W}{L}$$

$$GainP = KPP \cdot \frac{W}{L}$$

$$Emd\_Max = \sqrt{\frac{I_{pol}}{Gain}}$$

$$Emd\_Min = -\sqrt{\frac{I_{pol}}{Gain}}$$

$$Gm = Gain \cdot \sqrt{\frac{2 \cdot I_{pol}}{Gain} - Emd^2}$$

$$Gmc = LAMBDAN * I_{pol}$$

$$Rout = \frac{1}{LAMBDAN \cdot I_{mn6} + LAMBDAP \cdot I_{mp4}}$$

Si  $Emd < Emd\_Min$  alors

$$\left\{ \begin{array}{l} Imd = -I_{pol} + gmc \cdot Emd + Vout/Rout \end{array} \right.$$

Sinon

$$\left\{ \begin{array}{l} \text{Si } Emd > Emd\_Max \text{ alors} \\ \left\{ \begin{array}{l} Imd = I_{pol} + gmc \cdot Emd + Vout/Rout \end{array} \right. \\ \text{Sinon} \\ \left\{ \begin{array}{l} Imd = Gm \cdot Emd + gmc \cdot Emd + Vout/Rout \end{array} \right. \end{array} \right.$$

## 6 Conclusion

L'objectif de la modélisation est de remplacer un circuit électronique ou une partie de ce circuit par un modèle afin de réduire significativement les temps requis par les nombreuses simulations électriques effectuées en phase de conception. Pour ce faire, un modèle doit répondre à deux exigences conflictuelles : il doit à la fois être structurellement le plus simple possible et simuler le comportement du circuit avec le maximum de précision. Selon leur mode de construction et leur niveau d'abstraction, on distingue essentiellement trois catégories de modèles :

- les modèles analytiques écrits dans un langage de programmation de type C ou un langage spécifique de type AHDL (Analog Hardware Description Language) ;
- les modèles électriques construits à partir d'éléments idéaux linéaires : sources contrôlées et composants passifs ;
- les modèles physico-électriques construits à partir d'éléments idéaux et d'un nombre réduit de composants actifs physiques.

Pour ces catégories de modèles, trois approches sont traditionnellement utilisées. La première approche consiste, à partir du dispositif original, à remplacer un circuit ou une partie de ce circuit par un circuit plus simple constitué d'éléments idéaux. La deuxième approche consiste à réaliser un modèle comportemental au sens où on cherche à satisfaire un jeu de spécifications électriques sans nécessairement recopier la topologie du dispositif original, mais en prenant en compte les éventuelles interactions électriques avec l'environnement, électrique ou non, externe. Quant à la troisième approche, on reste dans le cadre d'un modèle comportemental, mais sans recopie des interactions avec l'environnement externe, dans ce cas on est dans le domaine de la modélisation fonctionnelle.

C'est dans le cadre de la deuxième approche qu'une méthodologie de construction de modèles électriques a été développée. Cette méthodologie a été mise en œuvre lors de la description de modèles comportementaux d'un amplificateur opérationnel à transconductance (AOT) réalisé en technologie AMS 0.8  $\mu m$ . Elle est basée sur une approche multi-niveaux de la modélisation et consiste en la décomposition de l'AOT en différents blocs fonctionnels (paire différentielle, miroirs de courant). Elle permet alors d'aboutir à deux modèles comportementaux électriques de l'amplificateur. Le premier s'appuie sur son architecture, et consiste alors en une interconnexion de modèles comportementaux de chaque bloc fonctionnel constituant l'AOT. Le second, quant à lui, s'appuyant sur l'étude analytique de l'AOT, décrit la fonctionnalité de ce dernier.

Ce chapitre est un préambule à la réalisation de modèles comportementaux « dégradables » modélisant le vieillissement électrique d'AOTs symétriques. En effet, l'ensemble des modèles électriques présentés dans ce chapitre, est à la base de la construction de modèles de fiabilité plus complexes, dont l'objectif principal est l'évaluation de la tenue aux phénomènes d'usures des CIs.



## Chapitre 3

# Simulation du vieillissement électrique des circuits intégrés : développement d'une stratégie de conception en vue de la fiabilité

Depuis quelques années, la modélisation comportementale est apparue afin d'améliorer le flot de conception des systèmes électroniques complexes. Le langage de description matérielle VHDL-AMS, standardisé depuis 1999, supporte la modélisation à plusieurs niveaux hiérarchiques en domaine électrique et non électrique. Cela signifie que les modèles comportementaux de circuits pourraient inclure des grandeurs thermiques, mécaniques, radiatives, de vieillissement électriques . . . Il est donc possible d'associer grandeurs électriques et grandeurs environnementales. Cet aspect technique de la modélisation comportementale ouvre les portes à la simulation environnementale et permet donc d'intégrer le concept de la fiabilité dans le flot de conception des circuits et systèmes électroniques.

C'est dans ce concept de la fiabilité et de la simulation de cette dernière, que nous avons développé une stratégie de conception en vue de la fiabilité (DFR, Design for reliability). Cette stratégie est basée sur deux méthodologies. La première est à la base de la construction de modèles comportementaux de vieillissement d'un circuit ; et la seconde définit la procédure de simulation de la fiabilité de ce dernier à partir de ces modèles dits « dégradables » afin d'évaluer, dans un premier temps, son niveau de dégradation vis-à-vis d'un mécanisme de défaillance et un profil de mission donnés, et de déterminer les structures élémentaires critiques de son architecture.

Ce chapitre présentera tout d'abord la méthodologie de simulation de la fiabilité développée au cours des travaux de Benoît Mongellaz et consolidée durant cette thèse. Puis, nous montrerons un exemple d'application de cette méthode pour l'évaluation de la fiabilité d'un AOT. Le mécanisme de dégradation choisi est l'injection de porteurs chauds dans l'oxyde de grille des transistors MOS.

## 1 Stratégie de conception en vue de la fiabilité

L'intérêt principal des stratégies de conception en vue de la fiabilité, développées au cours de cette dernière décennie, est de prédire l'impact de phénomènes physiques (au niveau transistor) sur l'évolution des paramètres d'un circuit entier tels que ses caractéristiques (statiques et dynamiques), ses paramètres électriques ou encore sa durée de vie. Ces stratégies sont développées sur la base de simulations électriques de la fiabilité des CIs. Les résultats de telles simulations permettent de cibler le(s) composant(s) élémentaire(s) « critique(s) » de l'architecture vis-à-vis de la fonctionnalité du circuit et des contraintes de fiabilité imposées par la mission à laquelle il est destiné.

Les outils de simulation actuels [70] [71] offrent la possibilité de simuler le vieillissement électrique de chaque composant élémentaire et d'en évaluer leur impact sur les performances d'un circuit complet. Cependant, ces simulations, au niveau transistor, se limitent à des circuits composés de quelques dizaines de transistor.

L'objectif premier de ces travaux de thèse est de développer une stratégie de conception en vue de la fiabilité basée essentiellement sur une approche « système » de la simulation de la fiabilité.

### 1.1 Concept général

Notre stratégie de conception en vue de la fiabilité est décrite dans la figure 3.1. Après la phase de description électrique (ou conception), notre méthodologie de simulation de la fiabilité se décompose en deux étapes :

- la modélisation ascendante du vieillissement d'un circuit ;
- l'analyse descendante de la fiabilité d'un circuit.

L'ensemble des modèles comportementaux électriques sont réalisés au cours de la phase de conception et de modélisation électrique (phase Design de la Figure 3.1). La méthodologie utilisée lors de cette phase de modélisation a été définie dans le chapitre 2.

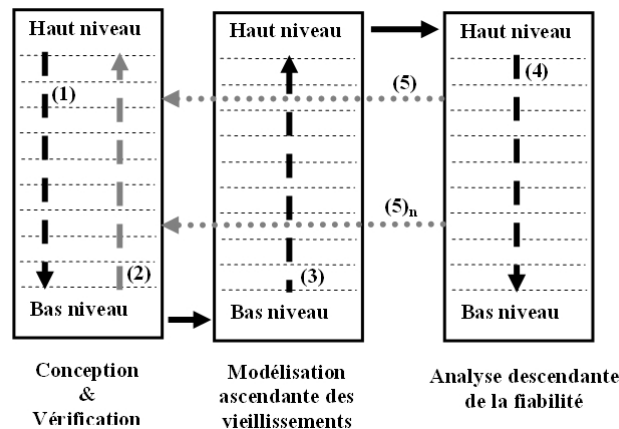
### 1.2 Modélisation ascendante du vieillissement des circuits intégrés

#### 1.2.1 La méthodologie bottom-up

La modélisation ascendante consiste à décrire les modèles comportementaux de vieillissement dans l'ordre ascendant des niveaux d'abstractions :

- du niveau transistor au niveau fonctionnel (miroirs de courant, paires différentielles...);
- du niveau fonctionnel au niveau circuit (amplificateur opérationnel à transconductance...);
- du niveau circuit au niveau système (filtre Gm-C...).

Plusieurs étapes intermédiaires sont indispensables pour passer d'un niveau d'abstraction à un autre. Ces étapes intermédiaires sont définies dans cette section.



**Figure 3.1** – Stratégie de conception en vue de la fiabilité d'un circuit intégré. Elle consiste à mettre en œuvre deux étapes après la phase de conception (flèche (1)) et de vérification (flèche (2)) du CI : la modélisation ascendante (du niveau transistor au niveau circuit) des mécanismes de dégradation (flèche (3)) et l'analyse descendante de la fiabilité (flèche (4)) afin de déterminer les éléments critiques de l'architecture et modifier cette dernière (flèche (5)).

### 1.2.2 Détermination des paramètres critiques

La détermination des paramètres critiques vis-à-vis de la fonction réalisée est le point clé de cette méthodologie de modélisation ascendante. L'ensemble des paramètres critiques obtenu est le résultat d'analyses de sensibilité, approfondies et rigoureuses, des paramètres électriques des modèles comportementaux du niveau  $N$  en fonction de la variation de ceux du niveau  $N-1$ . Ces analyses sont très importantes car elles permettent de conserver un lien direct entre les dégradations observées au niveau d'abstraction  $N$  et celles observées au niveau  $N-1$ .

### 1.2.3 Détermination des contraintes électriques internes

La fiabilité intrinsèque des circuits intégrés dépend fortement de celle des composants élémentaires qui les constituent. La fiabilité des transistors MOS est assujettie aux contraintes électriques qui lui sont appliquées. Par conséquent, une analyse des contraintes en tension informe sur les éléments susceptibles de vieillir prématurément et dont les effets auront une conséquence directe sur les caractéristiques électriques des blocs fonctionnels, et, par conséquent, sur celles du circuit concerné.

La nécessité que les modèles comportementaux électriques, décrits à chaque niveau d'abstraction, génèrent les contraintes électriques internes à partir des contraintes externes appliquées devient dès lors primordiale. Il est sous-entendu que ces contraintes évoluent aussi en fonction du niveau de dégradation des composants élémentaires.

### 1.2.4 Définition des lois de dégradation

La définition des lois de dégradation consiste à déterminer l'ensemble des lois de vieillissement électrique à chaque niveau d'abstraction, pour un (ou plusieurs) mécanisme(s) de défaillance donné(s). Ces lois de vieillissement décrivent les variations des paramètres comportementaux des modèles électriques en fonction de la durée de la mission, et des conditions de polarisation et environnementales.

En considérant un paramètre électrique  $P$ , la variation de ce dernier à n'importe quel instant  $t$  peut alors se mettre sous la forme :

$$P(t) = P_0 + \Delta P(t) \quad (3.1)$$

$P_0$  est la valeur initiale du paramètre  $P$ . La grandeur  $\Delta P(t)$  exprime la variation de ce paramètre au cours d'une mission. Cette quantité est connue grâce à un travail de caractérisation et d'extraction de paramètres après chaque cycle de vieillissement pour la construction de modèles de dégradation.

### 1.2.5 Description de modèles comportementaux de dégradation des paramètres

Pour la simulation de vieillissement électrique, les paramètres (« *generic* ») des modèles comportementaux électriques doivent avoir des propriétés dynamiques. Il est alors nécessaire de prendre en compte des grandeurs électriques (« *quantity* ») qui sont à la fois fonction du temps d'utilisation et des variations de ces paramètres. Des modèles comportementaux de dégradation des paramètres d'un circuit doivent donc être développés.

Pour ce faire, la variation  $\Delta P(t)$  du paramètre  $P(t)$  du circuit au niveau d'abstraction  $N$  est construite à partir de ceux du modèle décrit au niveau inférieur  $N - 1$ , des lois de dégradations et des analyses de sensibilités :

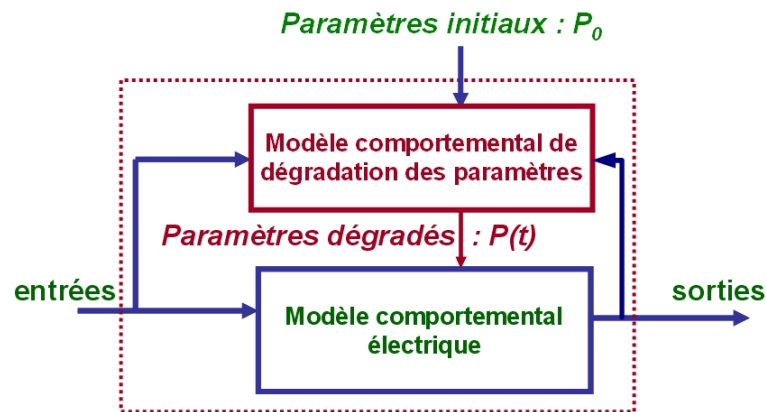
$$\Delta P_K(t)_N = \sum_k \frac{\partial P_K(t)_N}{\partial P'_k(t)_{N-1}} dP'_k(t)_{N-1} \quad (3.2)$$

Pour cette dernière équation, nous considérons que la variation  $\Delta P_K(t)_N$  du  $K$ ième paramètre  $P_K(t)_N$  du modèle décrit au niveau  $N$  suit, au premier ordre, une loi linéaire par rapport aux  $k$  paramètres critiques  $P'_k(t)_{N-1}$  du modèle décrit au niveau inférieur.

### 1.2.6 Description des modèles comportementaux du vieillissement électrique

Le schéma de la figure **3.2** représente l'organisation d'un modèle comportemental de vieillissement. A partir des entrées (variables électriques et/ou environnementales), le « modèle comportemental de dégradation des paramètres » (développé lors de la précédente étape) calcule le niveau de dégradation des paramètres du modèle comportemental électrique. Ce modèle électrique utilise les nouveaux paramètres dégradés pour intégrer l'évolution de ces derniers dans le calcul des nouvelles caractéristiques de sortie du circuit. L'échange de données entre les deux modèles est dynamique et

« simultané » grâce à une modélisation à l'aide d'équations différentielles. Le « modèle comportemental de dégradation des paramètres » tient compte de l'évolution des contraintes électriques internes au cours du temps, imposée par le vieillissement des composants élémentaires.



**Figure 3.2** – Schéma fonctionnel d'un modèle comportemental de vieillissement.

Le principe de base pour la construction de modèles de vieillissement à l'aide du langage VHDL-AMS est la transformation des paramètres (« generic ») du modèle (la tension de seuil des transistors MOS par exemple) en des grandeurs (« quantity ») électriques (ou non suivant la nature du paramètre considéré). Ces grandeurs peuvent sensiblement varier au cours d'une seule simulation, à l'aide d'équations différentielles dépendantes à la fois des variables électriques des composants et des variables environnementales. L'un des aspects intéressants du langage VHDL-AMS est de pouvoir associer à une unique entité plusieurs architectures (Cf. section « Choix du langage de description comportementale » du chapitre 2). En effet, à chacun de ces niveaux, une vue « Fiabilité » peut être définie.

## 1.3 Analyse descendante de la fiabilité des circuits intégrés

### 1.3.1 La simulation de la fiabilité

Les environnements de simulation de la fiabilité existants sont développés autour de deux simulateurs jumelés (Cf. Chapitre 1, section 3.1). Quel que soit le principe de simulation (double ou itérative) choisi, la simulation de vieillissement est principalement réalisée à l'extérieur du simulateur électrique. L'utilisation de tels simulateurs présente deux inconvénients majeurs :

- ils ne réalisent des simulations qu'au niveau transistor ; le temps de simulation est donc directement proportionnel au nombre de transistors, et les simulations ne se limitent alors qu'à des fonctions électroniques simples ;
- l'évolution des contraintes électriques internes est simulée de manière discontinue ;

Notre stratégie de simulation de la fiabilité est basée sur l'utilisation d'un unique simulateur de type comportemental. Ce simulateur utilise un (ou plusieurs) modèle(s) dégradable(s) d'un circuit afin d'en évaluer le niveau de dégradation de ses performances électriques pour un profil de mission et un (ou plusieurs) mécanisme(s) de dégradation donné(s).

Le temps de simulation pour caractériser électriquement un circuit est de l'ordre de quelques nanosecondes à quelques secondes ; tandis que celui nécessaire pour simuler les phénomènes d'usure va de quelques heures à plusieurs années. Malheureusement, la plupart des simulateurs électriques (comportementaux ou non) ne peuvent gérer des temps aussi longs (par exemple, AdvVance MS autorise une durée de simulation transitoire maximale de 10000 secondes soit 3 heures environ) ; et aucun d'entre eux ne peut gérer plusieurs échelles de temps lors d'une unique simulation. Une des difficultés de l'utilisation d'un seul simulateur est la gestion de deux échelles de temps différentes. Afin de réduire la taille et le temps d'une simulation de la fiabilité, il est nécessaire d'introduire un facteur d'échelle temporelle (ATSF : Aging Time Scale Factor). Ce facteur a pour unique objectif de projeter l'échelle des temps de vieillissement sur celle correspondant à la durée d'une analyse transitoire (Cf. figure 3.3). Il apparaît donc comme un facteur d'accélération. Le tableau 3.1 suivant donne les valeurs de ce facteur en fonction de l'unité de simulation choisie.

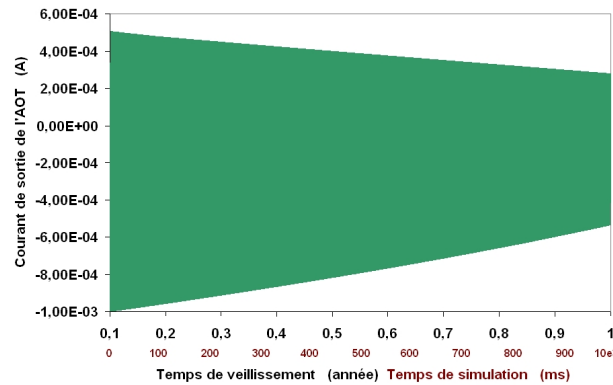
| Unité de simulation de vieillissement | ATSF                       |
|---------------------------------------|----------------------------|
| 1 s $\Leftrightarrow$ 1 heure         | $3,6 \cdot 10^3$           |
| 1 ms $\Leftrightarrow$ 1 heure        | $3,6 \cdot 10^6$           |
| 1 $\mu$ s $\Leftrightarrow$ 1 heure   | $3,6 \cdot 10^9$           |
| 1 s $\Leftrightarrow$ 1 jour          | $86,4 \cdot 10^3$          |
| 1 s $\Leftrightarrow$ 1 mois          | $26 \cdot 10^5$ (30 jours) |
| 1 s $\Leftrightarrow$ 1 année         | $32 \cdot 10^6$            |

**Tableau 3.1** – Valeurs du facteur d'échelle en fonction de l'unité de simulation de vieillissement choisie.

### 1.3.2 Le choix du critère de défaillance

Comme nous l'avons précisé au chapitre 1, section 2.2, il est nécessaire de définir le(s) critère(s) de défaillance qui va (vont) permettre de juger de la qualité d'un composant lors des essais de vieillissement. Il en est de même pour la simulation de la fiabilité. Et la validité des résultats de simulation obtenus est étroitement liée à celle du (des) critère(s) de défaillance choisi(s). Ce dernier point est détaillé au chapitre 4, section 4 à la page 126.

D'un point de vue « circuit », les critères de défaillance représentent les valeurs limites des figures de mérite pour lesquelles ce dernier sera considéré comme défaillant. D'un point de vue « système », les critères de défaillance doivent représenter les valeurs limites des figures de mérite d'un circuit pour lesquelles le système, dans lequel il sera intégré, sera considéré comme défaillant. Dans ce dernier



**Figure 3.3** – Exemple de double échelle de temps pour une simulation de vieillissement à l’aide d’un simulateur de type comportemental (ADvance MS). Le facteur d’échelle est de  $32.10^6 : 1 \text{ s} \Leftrightarrow 1 \text{ année}$

cas, un (ou plusieurs) critère(s) globaux au niveau système sont à définir afin de déterminer ceux à imposer aux circuits qui le composent. Quel que soit le point de vue, leur choix doit être rigoureux et cohérent.

### 1.3.3 L’analyse descendante de la fiabilité

La simulation de la fiabilité d’un circuit doit toujours être réalisée au niveau d’abstraction le plus élevé. Il est impératif que cette simulation tienne compte des conditions environnementales, temporelles et de polarisation. En d’autres termes, elle doit prendre en compte l’ensemble des données du profil de mission pour lesquelles le circuit, à « fiabiliser », est destiné.

La simulation de la fiabilité du circuit consiste alors à simuler le système dans lequel il sera intégré. Une analyse descendante de la fiabilité doit être réalisée lorsque le système considéré présente une perte de fonctionnalité ou une diminution de performances inacceptables vis-à-vis de la « criticité » de la fonctionnalité au niveau système pour une durée de mission donnée. Dans ce cas précis, il est nécessaire de simuler le système à différents niveaux d’abstraction (flèche (4) de la figure **3.1**) :

- du niveau système au niveau circuit : cette étape permet de déterminer le (ou les) circuit(s) qui conduit(sent) à la dégradation de la fonction principale d’un système ; si ce problème peut être résolu à l’aide d’un autre circuit ou une autre architecture, un retour direct à la phase de conception du système (flèche (5) de la figure **3.1**) est possible ;
- du niveau circuit au niveau fonctionnel : cette étape a pour but de rechercher la (ou les) fonction(s) qui induit(sent) la dégradation des caractéristiques du (ou des) circuit(s) incriminé(s) ;
- du niveau fonctionnel au niveau transistor : l’intérêt de cette étape est de trouver le(s) transistor(s) à l’origine de la dégradation du système.

L’analyse descendante de la fiabilité permet ainsi de rendre un système robuste pour une application et un cahier des charges donnés. Il est très facile de réaliser une simulation de la fiabilité à l’aide

du langage VHDL-AMS. En effet, plusieurs architectures peuvent être associées à une unique entité. A chaque niveau de simulation, il est facile de remplacer le modèle comportemental du (ou des) circuit(s) défaillant(s) par son (leur) modèle comportemental structurel correspondant en changeant le nom de l'architecture. Toujours en simulant au niveau système, nous pouvons localiser, par une progression descendante, les circuits, les bloc(s) fonctionnel(s) et/ou le(s) composant(s) élémentaire(s) conduisant à la dégradation du système.

## 1.4 Conclusion

Notre stratégie de la simulation de la fiabilité utilise un unique simulateur qui simule un modèle comportemental de vieillissement électrique du circuit à fiabiliser. Ce modèle est construit à l'aide d'une méthodologie de modélisation basée sur une approche multi-niveaux des dégradations de ce circuit. Cette dernière permet d'évaluer l'évolution de la fonctionnalité du circuit au plus haut niveau d'abstraction et ce pour une durée et un profil de mission donnés.

La suite de ce chapitre présente une mise en œuvre de notre approche à l'évaluation de la fiabilité d'un amplificateur opérationnel à transconductance. Le mécanisme de dégradation choisi est l'injection de porteurs chauds.



## 2 Modélisation comportementale du vieillissement électrique des transistors MOS induit par injection de porteurs chauds (HCI)

Dans les circuits intégrés modernes à large intégration (VLSI), la réduction de la taille de l'élément de base, le transistor à effet de champ Métal-Oxyde-Semiconducteur (MOSFET), permet de réaliser des circuits plus complexes et plus rapides. Malheureusement, cette réduction de la taille des transistors MOS comporte aussi des conséquences négatives. Une des plus graves est l'apparition de porteurs très énergétiques (appelés « porteurs chauds ») qui perturbent le fonctionnement du transistor MOS et modifient lentement ses caractéristiques électriques, ce qui limite sa durée de vie. En effet, dans les transistors MOS à canal court, les porteurs de charge peuvent gagner beaucoup d'énergie, car des tensions relativement élevées (quelques Volts) sont appliquées sur des distances très faibles ( $\approx 0.1 \mu m$ ), produisant des champs électriques extrêmement intenses ( $\approx 1 MV/cm$ ). La modification des caractéristiques électriques du transistor MOS est due à l'injection de porteurs chauds dans l'oxyde, où ils produisent des défauts.

Après un bref rappel sur les mécanismes mis en jeu lors de l'injection de porteurs chauds, cette partie présentera les modèles de durée de vie du transistor MOS. Un modèle comportemental de ce dernier sera aussi défini.

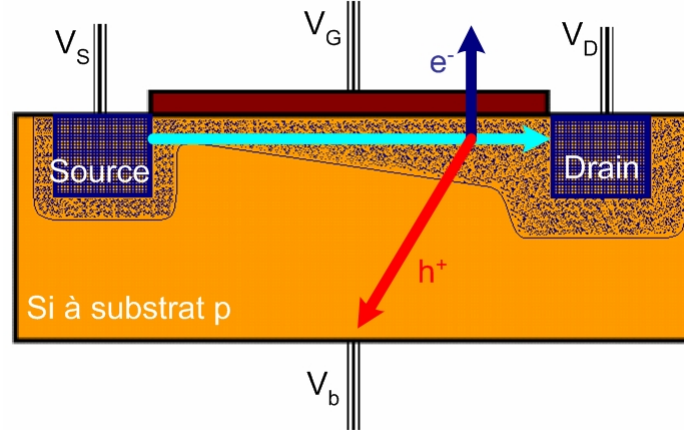
### 2.1 Rappel sur l'injection de porteurs chauds

#### 2.1.1 Les phénomènes physiques

Pour des tensions appliquées sur le drain du transistor MOS, on peut constater que les électrons qui transitent dans le canal acquièrent une énergie importante dans cette zone (présence d'un champ électrique important). On a alors une ionisation par impact qui est due à la collision entre le réseau cristallin et les électrons ce qui génère des paires électrons/trous. Ainsi on nomme ces porteurs les « porteurs chauds ».

Les trous vont donner lieu à un courant parasite de substrat (en négligeant celui des jonctions source et drain) et les électrons vont traverser l'oxyde pour générer un courant parasite de grille. Les dégradations par injection de porteurs chauds induisent donc des variations des paramètres électriques du transistor (tels que sa tension de seuil et sa transconductance). Lors de l'évaluation de la fiabilité de circuits CMOS par des simulations électriques, il est donc nécessaire de modéliser ces variations paramétriques.

Le taux d'ionisation par impact  $\alpha$  dépend à la fois de la concentration des porteurs dans le canal et du champ électrique latéral. L'expression analytique généralement admise pour ce taux est donnée



**Figure 3.4** – Porteurs générés par ionisation par impact à la jonction canal-drain et les différentes composantes de courants parasites pour un transistor MOS de type N.

par l'équation suivante [11] :

$$\alpha = A_i \cdot \exp\left(-\frac{B_i}{E_i}\right) \quad (3.3)$$

Où  $A_i$  et  $B_i$  sont les coefficients d'ionisation pour chaque type de porteurs, et  $E_i$  le champ électrique latéral. Dans la zone d'injection, le champ électrique latéral est maximum ; il vaut dans ce cas :

$$E_{i,max} = \frac{V_{DS} - V_{DSat}}{L_d} \quad (3.4)$$

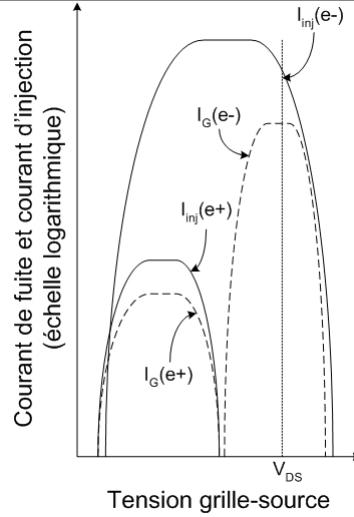
$$L_d = L_{d1} - L_{d2} \cdot (V_{DS} - V_{DSsat}) - L_{d3} \cdot (V_{DS} - V_{DSsat})^2 \quad (3.5)$$

La longueur  $L_d$  représente la longueur effective du canal dans la zone où les phénomènes d'ionisation par impact se produisent.

### 2.1.2 Courant de grille et courant d'injection

Comme nous l'avons vu précédemment, les processus de dégradations induites par porteurs chauds ont pour origine l'injection de porteurs « énergétiques » du canal de conduction dans l'oxyde de grille des transistors MOS. Les mécanismes physiques, qui sont impliqués dans la dégradation du composant, dépendent fortement de la concentration d'électrons et de trous injectés le long du canal de conduction. La figure 3.5 fournit une analyse quantitative de la dépendance des courants d'injection en fonction de la tension de grille appliquée à un transistor MOS de type N. L'injection de porteurs est déterminée par 2 facteurs : la concentration des porteurs dans le canal et le champ électrique latéral proche de la zone d'injection.

Pour un régime de fonctionnement sous le seuil des transistors, la concentration des électrons et des trous dans le canal est relativement faible, ce qui donne lieu à un faible taux d'injection des deux types porteurs. Plus le potentiel de grille augmente, et plus la concentration des porteurs augmente



**Figure 3.5** – Analyse qualitative de la contribution des courants d'injection des porteurs minoritaires (les trous) et des porteurs majoritaires (les électrons) dans l'évolution du courant de fuite de grille en fonction de la tension de grille appliquée pour un transistor MOS de type N d'après [62].

exponentiellement. Cette augmentation a pour principale conséquence l'accroissement de courants d'injection des porteurs minoritaires et majoritaires. Pour des tensions de grille relativement basses, le champ électrique transverse et la barrière de Schottky favorisent légèrement l'injection de trous par rapport à celle des électrons. Pour ces conditions de fonctionnement, le champ présent dans l'oxyde favorise alors le transport des trous injectés jusqu'à l'électrode de grille et la présence d'un courant de fuite de grille.

Lorsque la tension de grille augmente, le courant d'injection des électrons augmente. Cependant, tant qu'un champ électrique répulsif existe dans l'oxyde, les électrons sont diffusés à l'interface  $Si - SiO_2$ . Le courant de grille pour ces tensions de grille est négligeable face au courant d'injection des électrons. Pour des tensions de grille plus élevées, ce champ répulsif décroît, et une plus grande proportion des électrons injectés contribue alors au courant de fuite de grille, conduisant ainsi à un extremum de ce dernier pour des tensions de grille proches de la tension de polarisation drain-source (i.e.  $V_{GS} \approx V_{DS}$ ). Lorsque  $V_{GS} > V_{DS}$ , le champ électrique latéral proche de la zone d'injection décroît avec l'accroissement de la tension de grille. Toutefois, le courant de fuite est approximativement équivalent au courant d'injection des électrons et est induit par la présence d'un champ dans l'oxyde.

L'injection de trous et d'électrons dans l'oxyde de grille est généralement modélisée à l'aide du modèle des électrons « chanceux » (« lucky-electron » model). Le concept des électrons « chanceux » modélise la probabilité qu'un canal d'électron parvienne à atteindre l'électrode de grille. En dépit des nombreuses controverses présentées par [79] [80], ce modèle reste l'approche la plus souvent utilisée, pour estimer les courants d'injection, grâce à sa simplicité et sa bonne adéquation avec les résultats expérimentaux. Sur la base de ce modèle, il a été démontré que la fraction des électrons du canal

injectée dans l'oxyde de grille dépend du champ électrique latéral :

$$I_{inj} \propto \exp\left(-\frac{\phi}{q \cdot \lambda \cdot E_i}\right) \quad (3.6)$$

Le paramètre  $\phi$  est l'énergie nécessaire pour franchir la barrière de potentiel  $SiO_2$  et  $\lambda$  est le libre parcours moyen des porteurs.

### 2.1.3 Courant de substrat

Le courant de substrat pour les transistors MOS de type N est principalement dû aux trous générés par ionisation par impact. Pour de faibles tensions de grille, le canal de conduction augmente avec celle de la tension de grille (Cf. figure 3.6). Cette augmentation a pour conséquence l'augmentation du courant de substrat conduisant à un extremum pour une tension de grille proche de la moitié de la tension de polarisation (i.e.  $V_{GS} \approx V_{DS}/2$ ). Au-delà, le champ électrique latéral décroît et induit alors une diminution du courant de substrat.

Le courant de polarisation est dépendant de la tension de polarisation  $V_{DS}$  et de la tension de saturation  $V_{DSsat}$ . Cette dernière est dépendante de la tension de grille  $V_{DSsat} = V_{GS} - V_{th}$ . Le courant de substrat s'exprime en fonction du courant de conduction  $I_{DS}$  dans le canal :

$$I_{SUB} = I_{DS} \cdot C \cdot \exp\left(-\frac{B_i}{q \cdot \lambda \cdot E_i}\right) \quad (3.7)$$

Soit :

– en régime de faible inversion

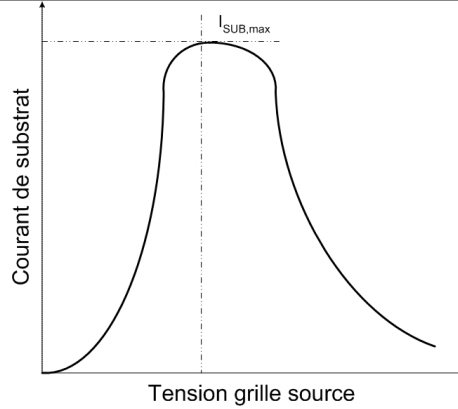
$$I_{SUB} = I_{DS} \frac{A_i}{B_i} (V_{DS} - \eta V_{DSsat}) \exp\left[-\frac{B_i \cdot Ld}{V_{DS}}\right] \quad (3.8)$$

– en régime de forte inversion

$$I_{SUB} = I_{DS} \frac{A_i}{B_i} (V_{DS} - \eta V_{DSsat}) \exp\left[-\frac{B_i \cdot Ld}{V_{DS} - \eta V_{DSsat}}\right] \quad (3.9)$$

### 2.1.4 Discussion

Pour certaines technologies, il a été montré que les résultats des tests de vieillissement statique, réalisés pour des conditions de fonctionnement où le courant de substrat est maximum ( $V_{GS} \approx V_{DS}/2$ ) permettent de prédire, par extrapolation, les durées de vie des composants élémentaires pour des conditions réelles d'utilisation [33] [10] [84] [8]. Cependant, des travaux montrent que les modèles de dégradation, construits sur la base des résultats de ces types de tests de vieillissement, ne sont pas suffisants pour prédire correctement la dépendance par rapport au temps de la dégradation des



**Figure 3.6** – Evolution du courant de fuite de substrat en fonction de la tension de grille appliquée pour un transistor MOS de type N.

composants pour des conditions réelles de fonctionnement dynamiques [85].

Dans quelques travaux, les résultats de tests AC de vieillissement induit par HCI montrent que l'injection de trous pour de faibles tensions de grille et l'injection d'électrons pour de fortes tensions de grille peuvent induire des dégradations significatives des circuits en fonctionnement [4] [53] [52] [23]. Mistry et al. identifient trois principaux modes de dégradations pour les transistors NMOS et ont intégré leurs effets dans un modèle AC des durées de vie de ces dispositifs [54]. Selon leurs travaux, la dégradation du composant est principalement due à l'augmentation des pièges d'interface à  $V_{GS} \approx V_{DS}/2$  (équivalent à un courant de substrat maximum), à l'injection de trous  $H_{inj}$  dans l'oxyde à  $V_{GS} \approx V_{DS}/5$  pour de faibles tensions de grille, et à la contribution du courant d'injection d'électrons  $E_{inj}$  dans l'évolution du courant de fuite de grille pour  $V_{GS} \geq V_{DS}$ . Dans ce dernier cas, les dégradations sont induites par le piégeage de porteurs dans l'oxyde de grille.

## 2.2 Modélisation de la durée de vie

L'étude des caractéristiques électriques du transistor MOS apporte des informations sur la tenue des composants aux porteurs chauds. Comme nous avons pu le voir précédemment, les mesures de grandeurs, telles que le courant de substrat ou encore le courant de fuite de grille, sont des indicateurs de fiabilité pour quantifier le niveau de dégradation des performances des transistors. Ils sont fondés sur certains modèles reliant grandeurs électriques et durées de vie des transistors. Les principaux de ces modèles sont définis ci-après.

### 2.2.1 Le modèle de Takeda et al.

Ce modèle part de la constatation empirique, par Takeda, que la durée de vie d'un dispositif dépend exponentiellement de l'inverse de la tension de drain [78]. Il s'agit, dans un premier temps, de procéder à plusieurs vieillissements pour différentes tensions de drain. A partir des résultats des

vieillissements, il est alors possible de déterminer par extrapolation le temps mis pour atteindre le critère de dégradation imposé au paramètre électrique suivi au cours des cycles de vieillissement. Pour finir, la tension de drain en conditions opérationnelles pour une durée de vie de dix ans est également déduite par extrapolation. Cette procédure est donc fondée sur deux extrapolations successives et suppose donc une conservation des mécanismes de dégradation entre les vieillissements accélérés et le vieillissement aux conditions nominales de fonctionnement. Le modèle de la durée de vie  $\tau$  est représenté par l'équation analytique :

$$\tau = t_0 \cdot \exp\left(\frac{B}{V_{DS}}\right) \quad (3.10)$$

$B$  et  $t_0$  sont des paramètres d'ajustement obtenus par régression linéaire.  $V_{DS}$  est la grandeur caractéristique qui influence le vieillissement électrique du transistor.

D'un point de vue « dégradation électrique », la variation  $\Delta P(t)$  à l'instant  $t$  du paramètre électrique  $P(t)$  est modélisée en utilisant une loi en puissance du temps (Cf. Eq 3.11) basée sur le modèle de durée (Cf. Eq. 3.10). Le temps est équivalent à la durée des contraintes électriques appliquées au transistor.

$$\Delta P(t) = C \left[ t \cdot \exp\left(-\frac{\alpha}{V_{DS}}\right) \right]^n \quad (3.11)$$

Le paramètre  $P(t)$  peut aussi bien être la tension de seuil  $V_{TH}$  que la transconductance  $Gm = \mu C_{ox} \frac{W}{L}$  du transistor MOS. Les paramètres  $C$ ,  $\alpha$ , et  $n$  sont des constantes d'ajustement, la tension drain-source  $V_{DS}$  est la contrainte en tension appliquée au transistor au cours de la mission.  $n$  dépend fortement de la tension grille-source  $V_{GS}$  utilisée lors des tests accélérés.

La simplicité de ce modèle permet une extrapolation rapide et facile des durées de vie des composants pour des conditions réelles d'utilisation, en fonction des résultats des essais de fiabilité. Cette approche est très souvent utilisée lors de la conduite de tests de performance des technologies actuelles. Cependant, ce modèle ne convient pas pour prédire les dégradations dynamiques des transistors [34]. En effet, la tension  $V_{DS}$  est susceptible d'évoluer au cours du temps en fonction du niveau de dégradation du transistor et de celui de l'environnement électrique dans lequel il est intégré.

### 2.2.2 Le modèle de Hu et al.

Hu et al. ont utilisé l'approche des électrons chanceux pour obtenir un modèle semi-empirique afin de prédire la durée de vie des transistors [37]. Les bases physiques de ce modèle ainsi que son utilisation dans des simulateurs de la fiabilité de circuit tel que BERT [51] font de lui le modèle le plus populaire pour l'évaluation des dégradations, induites par injection de porteurs chauds, des transistors MOS de type N.

Ce modèle dépend des courants de substrat  $I_{SUB}$ , de drain  $I_{DS}$  et du point de polarisation  $(V_{DS}, V_{GS})$  choisi. Cette condition de polarisation électrique du transistor est équivalente au pire cas

## 2. Modélisation comportementale du vieillissement électrique des transistors MOS induit par injection de porteurs chauds (HCI)

d'activation du vieillissement du composant en régime de saturation (i.e. pour  $I_{SUB,max}$ ). Le modèle de la durée de vie  $\tau$  est représenté par l'équation analytique :

$$\tau = \frac{H.W}{I_{DS}} \left( \frac{I_{SUB}}{I_{DS}} \right)^{-m} \quad (3.12)$$

$H$  et  $m$  sont des paramètres d'ajustement obtenus par régression linéaire.  $W$  est la largeur de canal du transistor MOSFET.

Les modèles de Takeda et Hu sont applicables pour l'extrapolation de la durée de vie d'un transistor de type P. Dans ce cas, la méthode de Hu utilise le courant de grille  $I_G$  et la durée de vie est donnée par l'équation 3.13.

$$\tau = H. \left( \frac{I_G}{W} \right)^m \quad (3.13)$$

$I_G$  est le courant de grille équivalent au point de polarisation ( $V_{DS}, V_{GS}$ ) choisi pour le cycle de vieillissement accéléré.

La variation du paramètre  $P(t)$  à l'instant  $t$  est généralement modélisée à l'aide d'une équation équivalente à l'équation 3.14 [51][3].

$$\Delta P(t) = \left[ H t \frac{I_{DS}}{W} \cdot \left( \frac{I_{SUB}}{I_{DS}} \right)^m \right]^n \quad (3.14)$$

$W$  est la largeur du canal du transistor. Les paramètres  $H$ ,  $m$  et  $n$  sont des constantes d'ajustement. Ce modèle peut être utilisé pour l'évaluation des dégradations des transistors MOS évoluant dans des conditions de fonctionnement en régime dynamique. En effet, le niveau de dégradation tient compte de l'évolution au cours du temps des courants de drain et de substrat. Toutefois, il n'est valable que pour des conditions de courant de substrat maximal, caractéristiques du pire cas de dégradation pour les transistors de technologies microniques et submicroniques. En ce qui concerne les longueurs fortement submicroniques, les technologies sont encore dans le domaine de la recherche et la question reste posée, à savoir si cette condition est toujours la plus dégradante dans tous les cas.

### 2.2.3 Le modèle de Mistry et al.

La plupart des modèles, précédemment cités, ont été construits sur la base de résultats de tests de vieillissement statique. Or, ces résultats ne permettent pas de prédire avec précision la dégradation pour des conditions réelles de fonctionnement en dynamique [4] [53] [52] [23]. Mistry et al. [54] attribuent ces divergences aux effets de 3 modes de dégradations. Ces trois modes correspondent à des vieillissements statiques pour trois conditions de polarisation :  $H_{inj}$ ,  $I_{B,max}$  et  $E_{inj}$ . Mistry et al.

ont modélisé la durée de vie des transistors pour chaque condition de polarisation :

- le courant de substrat maximum  $I_{B,max}$  ( $V_{DS}/3 \leq V_{GS} \leq V_{DS}/2$ )

$$\tau_{I_{B,max}} = A.I_{SUB}^{-m} \quad (3.15)$$

- l'injection de trous  $H_{inj}$  dans l'oxyde prédominant ( $V_{GS} \approx V_{DS}/5$ )

$$\tau_{H_{inj}} = B. \frac{\left(\frac{I_{SUB}}{I_{DS}}\right)^{-n}}{I_{DS}} \quad (3.16)$$

- l'injection d'électrons  $E_{inj}$  dans l'oxyde prédominant ( $V_{GS} \geq V_{DS}$ )

$$\tau_{E_{inj}} = C. \frac{\left(\frac{I_G}{I_{DS}}\right)^{-l}}{I_{DS}} \quad (3.17)$$

Les paramètres A, B, C, m, n et l sont des constantes d'ajustement, extraites des résultats expérimentaux des vieillissements accélérés réalisés pour chaque condition de polarisation. Par exemple, les paramètres A et m sont extraits à partir des résultats obtenus pour des composants vieillis sous contraintes électriques équivalentes au maximum du courant de substrat.

Si toutes les contraintes électriques ( $V_{DS}, V_{GS}$ ) sont connues et évoluent en fonction du temps, lors d'une utilisation en régime dynamique du transistor, les contributions de chaque mécanisme de dégradation, pour un signal de période T, peuvent être calculées en intégrant individuellement chaque modèle :

$$\frac{1}{\tau_{I_{B,max}}} = \frac{1}{AT} \int_0^T I_{SUB}^m dt \quad (3.18)$$

$$\frac{1}{\tau_{H_{inj}}} = \frac{1}{BT} \int_0^T \frac{\left(\frac{I_{SUB}}{I_{DS}}\right)^n}{I_{DS}} dt \quad (3.19)$$

$$\frac{1}{\tau_{E_{inj}}} = \frac{1}{CT} \int_0^T \frac{\left(\frac{I_G}{I_{DS}}\right)^l}{I_{DS}} dt \quad (3.20)$$

La durée de vie dynamique équivalente peut être obtenue en utilisant la règle de Matthiessen suivante :

$$\frac{1}{\tau_{AC}} = \frac{1}{\tau_{I_{B,max}}} + \frac{1}{\tau_{H_{inj}}} + \frac{1}{\tau_{E_{inj}}} \quad (3.21)$$

D'un point de vue « dégradation électrique », la variation  $\Delta P(t)$  à l'instant t du paramètre électrique  $P(t)$  est modélisée pour les 3 modes de dégradations.

$$\Delta P(t)(I_{B,max}) = A.I_{SUB}^m.t^n \quad (3.22)$$



$$\Delta P(t)(H_{inj}) = B. \left( \frac{I_{SUB}}{I_{DS}} \right)^p . (I_{DS}.t)^q \quad (3.23)$$

$$\Delta P(t)(E_{inj}) = C. \left( \frac{I_G}{I_{DS}} \right)^r . (I_{DS}.t)^s \quad (3.24)$$

Où A, B, C, m, n, p, q, r et s sont des constantes d'ajustement extraites des résultats expérimentaux des vieillissements accélérés réalisés pour chaque condition de polarisation. Si chaque mode de dégradation est prédominant dans chaque condition de polarisation correspondant, la dégradation totale du paramètre  $P(t)$  est déduite de la somme des contributions précédemment définies :

$$\Delta P(t) = \Delta P(t)(I_{B,max}) + \Delta P(t)(H_{inj}) + \Delta P(t)(E_{inj}) \quad (3.25)$$

Cependant, l'utilisation de cette équation conduit généralement à une surestimation du niveau des dégradations et suggère que plusieurs mécanismes de dégradations entrent en jeu pour une condition de polarisation donnée [62].

#### 2.2.4 Discussion

Nous avons présenté dans cette section les principaux modèles utilisés pour évaluer l'influence des porteurs chauds sur la fiabilité de fonctions électroniques simples. La plupart des outils de simulation de fiabilité implémente le modèle de Hu et al. [51] pour déterminer la durée de vie des composants. La prédiction des durées de vie de ces composants, quelle que soit la méthodologie choisie, ne peut se faire qu'à partir de la définition d'un (ou plusieurs) critère(s) de défaillance donné(s).

Dans le cadre de notre étude, nous avons choisi d'intégrer les lois de dégradation des paramètres de nos modèles comportementaux en nous basant sur la modélisation des durées de vie définie par Hu et al.<sup>1</sup>. Cette modélisation prend en compte l'évolution du courant de substrat au cours du temps, contrairement au modèle de Takeda et al. En ce qui concerne le modèle présenté par Mistry et al., qui paraît très intéressant, il n'a pas été retenu car la littérature ne le permet pas, contrairement au modèle de Hu et al. ; par conséquent seule une série d'expériences aurait pu nous aider à correctement les calibrer.

### 2.3 Simulations comportementales du vieillissement électrique du transistor MOS

Les composants élémentaires (R, L, C, MOS, BJT...) sont les éléments de base de la conception de circuits électroniques intégrés. Leur niveau de fiabilité conditionne alors ceux des circuits qui les implémentent. La fiabilité des transistors MOS est dépendante des contraintes électriques appliquées

---

<sup>1</sup>Remarque : Nous tenons à rappeler que nous ne cherchons en aucun cas à définir de nouveaux modèles mais à mettre en œuvre notre méthodologie de construction de modèles comportementaux de vieillissement développée durant ces travaux.

au circuit qui induisent une dégradation de leurs performances. Cette dégradation, liée aux vieillissements électriques de ces transistors au cours d'une mission donnée, se traduit par des variations des paramètres électriques du transistor élémentaire. Son modèle « dégradable » doit donc relier les contraintes électriques à la dérive de ses paramètres. Il a aussi pour rôle de générer le comportement dynamique du vieillissement électrique du transistor.

Nous proposons de construire un modèle comportemental des dégradations des transistors MOS. Cette section présente le modèle de vieillissement ainsi que les résultats de simulation obtenus.

### 2.3.1 Modélisation des dégradations des paramètres électriques

Rappelons que notre modèle comportemental électrique du transistor MOS est construit sur la base du modèle SPICE de niveau 2 (Cf. Chapitre 2, section 2). Notre modèle de vieillissement est construit à partir de ce dernier. Nous considérons que seule la tension de seuil  $V_{TH}$  se dégrade au cours du temps.

A partir du modèle semi-empirique défini par Hu et al. [37](Equation 3.12), le comportement dynamique des dégradations peut être modélisé. Ce modèle de dégradation établit une relation entre les contraintes appliquées et la dégradation des paramètres du modèle électrique :

$$\Delta V_{TH}(t) = f(V_{GS}, V_{DS}, I_{DS}, I_{SUB}) \quad (3.26)$$

En simulation de fiabilité, il est nécessaire de prendre en compte l'évolution des contraintes courant/tension au cours du temps. L'équation 3.14 est équivalente à (approche souvent utilisée dans les simulateurs BERT, HOTRON...) :

$$\Delta P(t) = \left[ H \int_0^t \frac{I_{DS}}{W} \cdot \left( \frac{I_{SUB}}{I_{DS}} \right)^m dt' \right]^n \quad (3.27)$$

Une formulation de l'intégrale est donnée par l'équation différentielle :

$$\frac{dP}{dt}(t) = B_{hu} \frac{I_{DS}}{W} \left( \frac{I_{SUB}}{I_{DS}} \right)^{m_{hu}} \quad (3.28)$$

Dans le cas de nos simulations, on considère que la variation de la tension de seuil suit la relation précédente et est définie par l'expression suivante :

$$\Delta V_{TH}(t) = \frac{dV_{TH}}{dt}(t) = B_{hu} \frac{I_{DS}}{W} \left( \frac{I_{SUB}}{I_{DS}} \right)^{m_{hu}} \quad (3.29)$$

Cette expression permet, au cours d'une unique simulation du vieillissement, de prendre en compte les effets cumulatifs induits par le mécanisme de dégradation sur les performances électriques du transistor MOS.

## 2. Modélisation comportementale du vieillissement électrique des transistors MOS induit par injection de porteurs chauds (HCI)

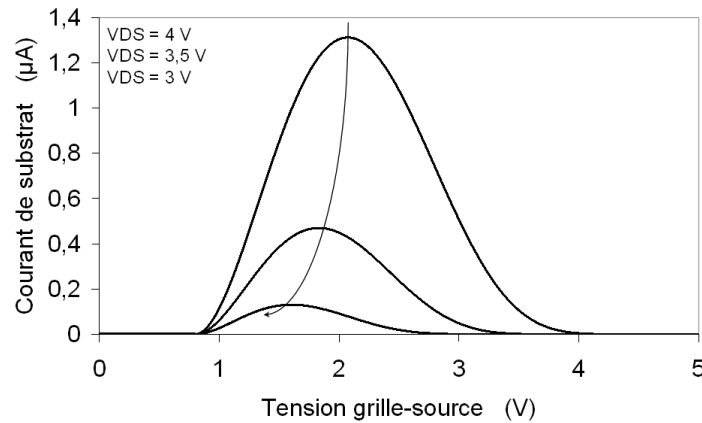
Notons qu'un modèle décrit en VHDL-AMS est construit à partir d'une liste de paramètres (« *generic* »). Ces paramètres sont par défaut des constantes du modèle, équivalents aux paramètres électriques d'un modèle SPICE. Pour leur définir des propriétés dynamiques, il est nécessaire de leur associer des grandeurs électriques (« *quantity* ») pour matérialiser leurs variations dynamiques. La variation au cours du temps de la tension  $V_{TH}(t)$  est alors donnée par l'équation suivante :

$$V_{TH}(t) = V_{TH0} + \Delta V_{TH}(t) \quad (3.30)$$

### 2.3.2 Modélisation du courant de substrat

L'origine du courant de substrat est principalement due au phénomène d'ionisation par impact. Par conséquent, la plupart des modèles de prédiction des durées de vie des transistors MOS tiennent compte de ce courant.

Le courant de substrat est proportionnel au courant de conduction drain - source  $I_{DS}$  comme le montrent les équations 3.8 et 3.9. Ces équations ont été intégrées au modèle comportemental électrique du transistor MOS. La figure 3.7 montre l'évolution du courant de substrat en fonction la variation de la tension grille - source.



**Figure 3.7** – Evolution du courant de substrat en fonction de la tension de grille appliquée pour un transistor MOS de type N.

### 2.3.3 Implémentation VHDL-AMS

Notre modèle dégradable VHDL-AMS caractérisant le vieillissement électrique du transistor MOS est construit sur la base du modèle comportemental électrique de ce dernier proposé au Chapitre 2, section 2.2. La liste des paramètres (Cf. Tableau **3.2**), utiles à la description des modèles de dégradation des paramètres électriques du MOS, a été rajoutée à la liste initiale (Cf. Tableau **2.3**, page 47).

| Paramètre                           | Définition du paramètre                                          | Unité    | Valeur par défaut |
|-------------------------------------|------------------------------------------------------------------|----------|-------------------|
| <b>Paramètres de vieillissement</b> |                                                                  |          |                   |
| Ai                                  | Facteur de ionisation par impact                                 | $m^{-1}$ | $0,882E8$         |
| Bi                                  | Facteur de ionisation par impact                                 | $V/m$    | $1,04E8$          |
| B.hu                                | Paramètre technologique du modèle de Hu pour la tension de seuil | –        | $15e - 9$         |
| m.hu                                | Paramètre d'ajustement du modèle de Hu pour la tension de seuil  | –        | $1,55$            |
| Ld0                                 | Paramètre de modulation du canal                                 | –        | $12,8E - 8$       |
| Ld1                                 | Paramètre de modulation du canal                                 | –        | $1,52E - 8$       |
| Ld2                                 | Paramètre de modulation du canal                                 | –        | $0,119E - 8$      |
| ATSF                                | Facteur d'échelle de temps                                       | –        | $1.0$             |

**Tableau 3.2** – Liste des paramètres nécessaires à la modélisation du vieillissement du transistor MOS. Les valeurs de ces paramètres ont été tirées de la thèse de Benoît Mongellaz [56].

L'intégration des dérives paramétriques du MOS dans l'architecture du modèle électrique entraîne une modification des équations électriques. L'architecture HCI est résumée par l'algorithme 3.1.

Ce modèle tient compte du facteur d'échelle  $ATSF$ , permettant ainsi de projeter le temps de simulation sur une échelle de temps plus élevée, équivalente à la durée d'une mission.

## 2. Modélisation comportementale du vieillissement électrique des transistors MOS induit par injection de porteurs chauds (HCI)

**Algorithme 3.1** Architecture HCI du transistor MOS. Cette architecture modélise la dégradation des performances de ce dernier au cours d'une mission et ce en fonction des contraintes électriques appliquées. Le modèle de dégradation présenté dans cet algorithme est le modèle de HU et al.[36].

---


$$(DELTA\_VTH)' = ASF \cdot B\_HU \cdot \frac{I_{DS}}{W} \left[ \frac{A_i}{B_i} (V_{DS} - V_{DSsat}) \exp \left( -\frac{Ld \cdot B_i}{V_{DS} - V_{DSsat}} \right) \right]^{M\_HU}$$

$$VTH = VTH0 + DELTA\_VTH$$

Si  $TYPE\_MOS * V_{GS} < TYPE\_MOS * V_{TH}$  alors

$$\{$$

$$I_{DS} = TYPE\_MOS.ION.exp \left[ \frac{V_{GS} - V_{on}}{n.u_T} \right]$$

$$\}$$

Sinon

$$\{$$

Si  $TYPE\_MOS * V_{DS} < TYPE\_MOS * (V_{GS} - V_{TH})$  alors

$$\{$$

$$I_{DS} = TYPE\_MOS.KP0 \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS} \cdot (1 + TYPE * LAMBDA0 \cdot V_{DS})$$

$$\}$$

Sinon

$$\{$$

$$I_{DS} = TYPE\_MOS \cdot \frac{KP0}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \cdot (1 + TYPE * LAMBDA0 \cdot V_{DS})$$

$$\}$$

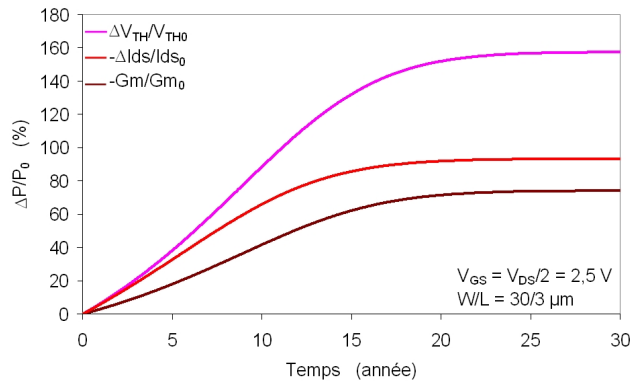

---

### 2.3.4 Simulation de la fiabilité

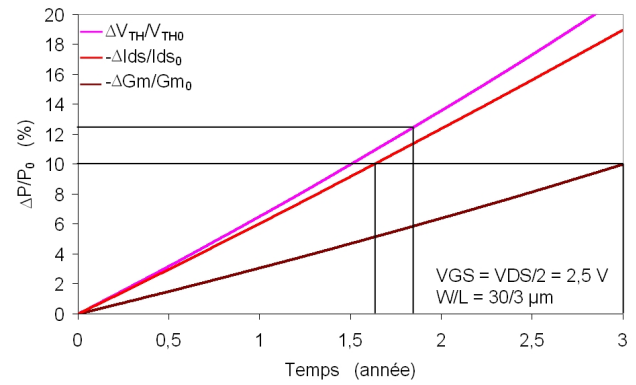
A l'aide de notre modèle comportemental de vieillissement du transistor, nous avons simulé son niveau de dégradation sur une période de 30 années en fonctionnement. Les conditions de polarisation ont été choisies de telle manière que ce dernier soit soumis à une injection de porteurs chauds au maximum du courant de substrat, le transistor fonctionne en saturation. Les figures 3.8 résument l'ensemble des résultats de simulation obtenus.

La figure 3.8(a) montre le niveau de dégradations de la tension de seuil du transistor MOS. Ces dégradations induisent à la fois une diminution de son courant de conduction drain - source et de sa transconductance. Pour un critère de défaillance équivalent à une variation de 10% de cette dernière, la durée de vie de ce transistor serait de 3 années; tandis que pour une variation de 100 mV de la tension de seuil (soit  $\Delta V_{TH}/V_{TH0} = 12.5\%$ ), cette durée de vie est ramenée à 1,85 année et à 1,62 année pour une variation de 10% de son courant de conduction  $I_{DS}$  (Cf. Figure 3.8(b)).

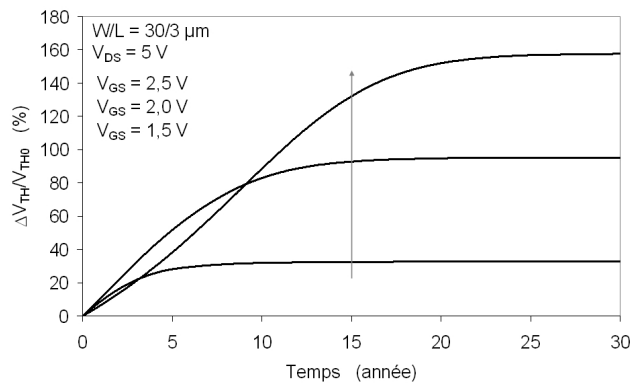
Les figures 3.8(c) et 3.8(d) montrent les effets du point de polarisation sur l'amplitude des dégradations du transistor. De plus, plus les valeurs du couple  $(V_{GS}, V_{DS})$  sont faibles et plus l'amplitude des dégradations l'est aussi (Cf. Figures 3.8(c) et 3.8(d)). Ces résultats rejoignent ceux présents dans la littérature [31] [63]. La non-linéarité est liée à la prise en compte de l'évolution des contraintes électriques  $(I_{DS}, I_{SUB})$  au cours de la simulation.



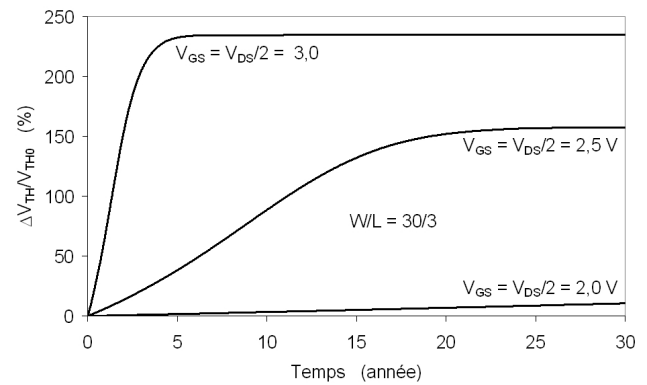
(a) Dégradations des paramètres caractéristiques du transistor MOS



(b) Durée de vie du transistor MOS suivant le critère de défaillance choisi.



(c) Influence de la tension de grille sur le niveau de dégradation de la tension de seuil



(d) Influence du point de polarisation sur le niveau de dégradation de la tension de seuil

**Figure 3.8** – Simulation du vieillissement électrique du transistor MOS pour une injection de porteurs chauds au maximum du courant de substrat.

## 2.4 Conclusion

Nous avons présenté dans ce chapitre le mécanisme de dégradation utilisé pour développer notre stratégie de conception en vue de la fiabilité : les dégradations induites par l'injection de porteurs chauds dans l'oxyde de grille des transistors MOS. Les modèles de dégradations ont été intensivement étudiés et les phénomènes physiques mis en jeu sont relativement bien compris.

Dans le cadre de ces travaux de thèse, nous ne cherchons en aucun cas à construire de nouveaux modèles, mais à utiliser les modèles existants afin de mettre œuvre notre méthodologie de construction de modèles comportementaux de vieillissement à chaque niveau d'abstraction par des simulations de vieillissement. L'ensemble des valeurs des paramètres des **modèles de vieillissement au niveau transistor** ont été choisies à partir de celles présentes dans la littérature. Nous avons ainsi présenté les premiers résultats de simulation du vieillissement électrique induit par HCI, d'un transistor MOS de type N. Le modèle « dégradable » de ce dernier, qui implémente le modèle de Hu et al., permet donc de relier les contraintes électriques à la dérive de ses paramètres. Il a aussi pour rôle de générer

## *2. Modélisation comportementale du vieillissement électrique des transistors MOS induit par injection de porteurs chauds (HCI)*

---

le comportement dynamique du vieillissement électrique du transistor.

L'étape suivante est la mise en œuvre de la méthodologie de construction de **modèles comportementaux de vieillissement au niveau circuit**.

## 3 Modélisation ascendante des dégradations d'un AOT induites par HCI

Le rôle de cette section est de présenter les différentes méthodologies mises en œuvre au cours de ces travaux afin, d'une part, de développer un modèle comportemental dit « dégradable » d'un AOT au plus haut niveau d'abstraction ; et d'autre part, de garder un lien direct entre les dégradations observées à ce niveau et celles des transistors élémentaires. C'est la modélisation ascendante des dégradations d'un circuit (Cf. section 1.2, page 68).

### 3.1 Le miroir de courant simple

#### 3.1.1 Détermination des paramètres critiques

Rappelons que notre modèle comportemental électrique du miroir de courant simple (CM) met en évidence la fonctionnalité principale de ce dernier : la recopie avec un facteur d'erreur (Cf. Chapitre 2, section 3). Diverses analyses de sensibilité ont été faites et plusieurs paramètres critiques, tels que la longueur et la largeur de chaque transistor, ont été déterminés. Nous ne présentons ici que les résultats liés à la tension de seuil de chaque transistor. Les figures 3.9(a) et 3.9(b) montrent respectivement les contributions des variations de chaque tension de seuil sur le facteur et l'erreur de recopie. Les analyses de sensibilité ont été réalisées à l'aide de simulation SPICE utilisant le modèle de niveau 2 des transistors en technologie  $0,8 \mu m$  du fondeur AMS.

Pour de faibles variations des tensions de seuil, la variation du facteur de recopie suit au premier ordre une relation linéaire :

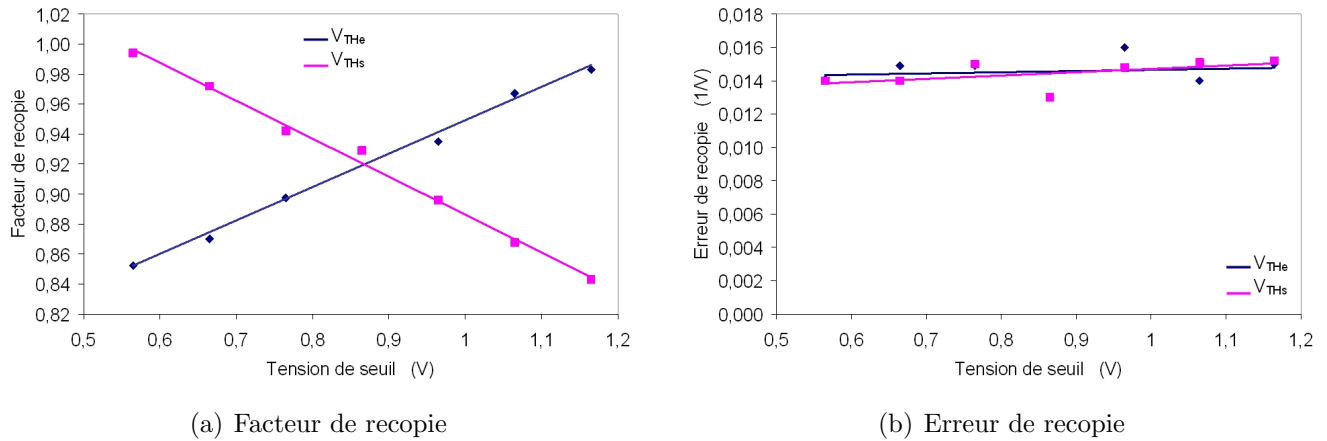
$$Ai = Ai_0 + \sum_n \frac{\partial Ai}{\partial V_{TH,n}} \Delta V_{TH,n} \quad (3.31)$$

En ce qui concerne l'erreur de recopie, nous considérons que cette dernière demeure constante lorsque les tensions de seuil des transistors se dégradent. En effet pour une variation de  $\pm 300 \text{ mV}$  sur ces tensions de seuil, l'erreur moyenne de recopie est équivalente à  $0,0145 \text{ V}^{-1}$  et l'erreur induite sur le courant de sortie est inférieure à 2% pour une tension de sortie égale à  $10 \text{ V}$ .

#### 3.1.2 Calcul des contraintes électriques internes

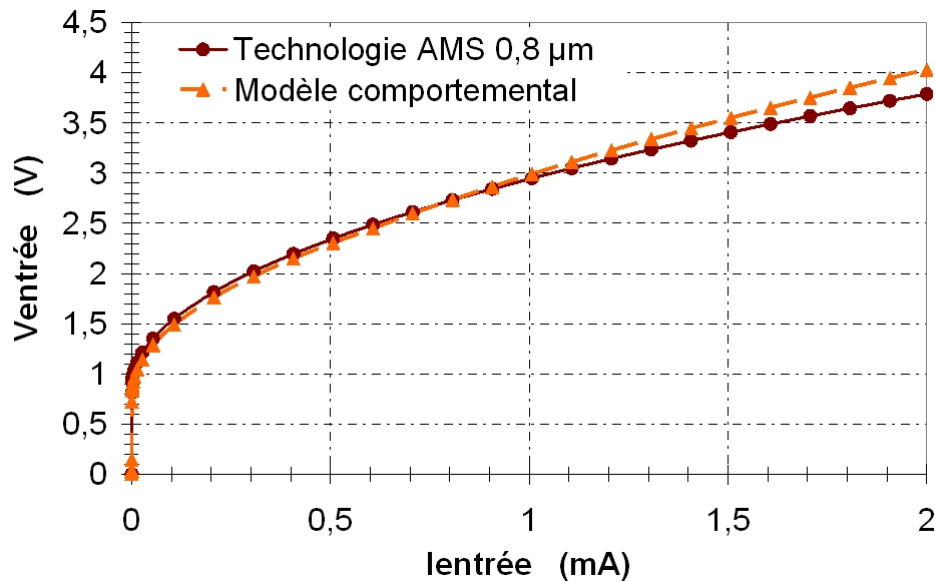
Les contraintes électriques appliquées au CM conditionnent le niveau de dégradation de ces transistors élémentaires et donc sa fonctionnalité. Par exemple, le niveau de dégradation du transistor de sortie dépendra de la tension d'entrée et de sortie du miroir de courant. Dans notre modèle, la tension d'entrée est définie comme une grandeur de sortie, tandis que la tension de sortie est une grandeur d'entrée. Il est donc impératif que, sur toute la plage de fonctionnement du miroir de courant, notre modèle génère la tension d'entrée adéquate.





**Figure 3.9** – Contributions des variations des tensions de seuil des transistors d'entrée et de sortie du miroir de courant sur le facteur et l'erreur de recopie. Les analyses de sensibilité ont été réalisées à l'aide de simulations SPICE utilisant le modèle de niveau 2 des transistors.

La figure 3.10 montre l'évolution de cette tension d'entrée en fonction du courant d'entrée appliqué au miroir. Nous pouvons constater que pour une variation de ce courant comprise entre 0 et 2 mA il y a une bonne adéquation entre les résultats obtenus respectivement avec notre modèle comportemental électrique et le modèle SPICE de niveau 2 de la technologie 0,8  $\mu m$  du fondeur AMS.



**Figure 3.10** – Évolution de la tension d'entrée du miroir de courant en fonction du courant d'entrée appliqué.

### 3.1.3 Définition des lois de dégradation

Les lois de dégradation sont construites à partir des résultats des analyses de sensibilité faites précédemment. Notre modèle de dégradation établit une relation entre les contraintes électriques appliquées au miroir de courant, la dégradation de ses paramètres électriques et le vieillissement des transistors élémentaires qui le constituent :

$$\frac{dAi(t)}{dt} = f(Ve, Vs, Ie) \quad (3.32)$$

Soit

$$dAi(t) = \frac{dAi(t)}{dt}dt = \frac{dAi(t)}{dV_{TH,e}(t)} \frac{dV_{TH,e}(t)}{dt}dt + \frac{dAi(t)}{dV_{TH,s}(t)} \frac{dV_{TH,s}(t)}{dt}dt \quad (3.33a)$$

$$dAi(t) = \sum_n \frac{dAi(t)}{dV_{TH,n}(t)} dV_{TH,n}(t) \quad (3.33b)$$

Ces expressions permettent, au cours d'une unique simulation de vieillissement, de prendre en compte les effets cumulatifs induits par les dégradations des transistors élémentaires sur la fonctionnalité du miroir de courant.

### 3.1.4 Description du modèle comportemental de vieillissement

Le modèle comportemental « dégradable » du miroir de courant est construit sur la base du modèle défini par la figure 3.2 (page 71). L'organigramme de la figure 3.11 montre l'organisation fonctionnelle du modèle de vieillissement du CM.

## 3.2 La paire différentielle

### 3.2.1 Détermination des paramètres critiques

Les principales figures de mérite d'une paire différentielle (DP, Differential Pair) sont sa tension de décalage d'entrée et son taux de réjection de mode commun (RRMC, Rejection ratio of common mode). Ce taux est le rapport des gains de mode commun ( $Gmc$ ) et différentiel ( $Gmd$ ). La transconductance de mode commun représente la non-linéarité de la source de courant de la DP. Dans ce cas présent, nous ne considérons que la paire différentielle seule.

Les figures 3.12(a) et 3.12(b) montrent respectivement les contributions des variations de chaque tension de seuil sur la tension d'offset et la transconductance de mode différentielle.

Les équations 3.34a et 3.34b décrivent la sensibilité des paramètres de la paire différentielle vis-à-vis de la variation de la tension de seuil de chaque transistor. Nous ne tenons compte que de la tension de seuil puisque ce paramètre est le seul à varier dans notre cas d'étude. Comme pour le miroir de courant, les variations de la tension d'offset et la transconductance de mode différentielle

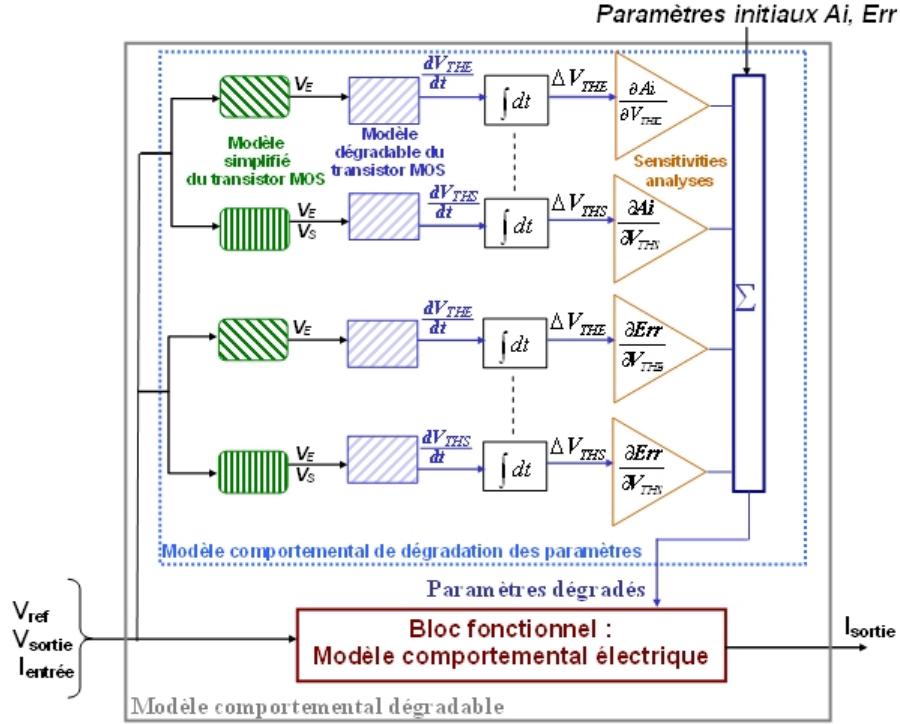


Figure 3.11 – Schéma fonctionnel du modèle comportemental de vieillissement du miroir de courant.

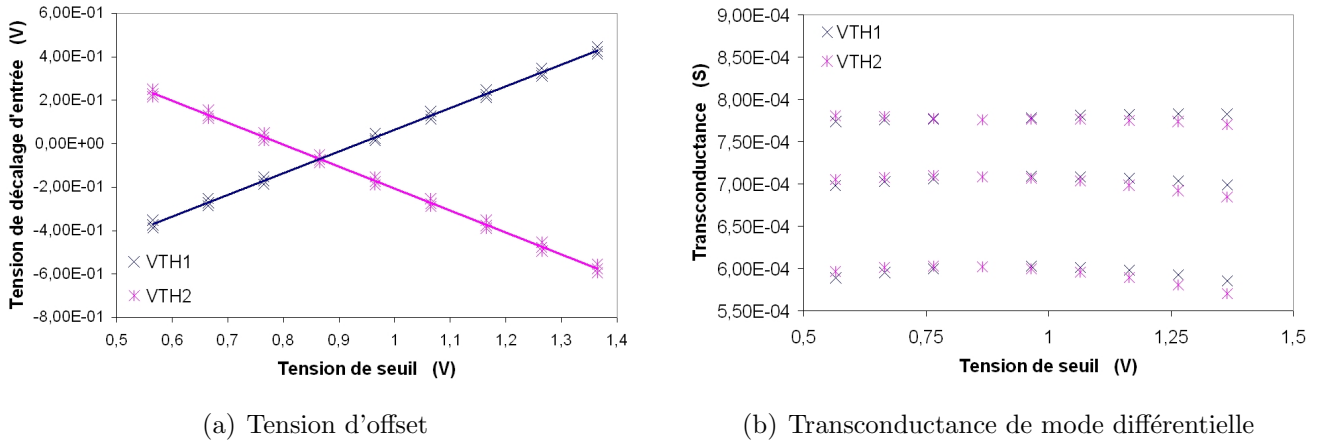


Figure 3.12 – Contributions des variations des tensions de seuil des transistors de la paire différentielle sur la tension d'offset et la transconductance de mode différentielle pour différents courants de polarisation : 1 mA, 1.5 mA et 2 mA. L'ensemble des simulation ont été réalisé à l'aide du modèle SPICE [26].

suivent au premier ordre une relation linéaire :

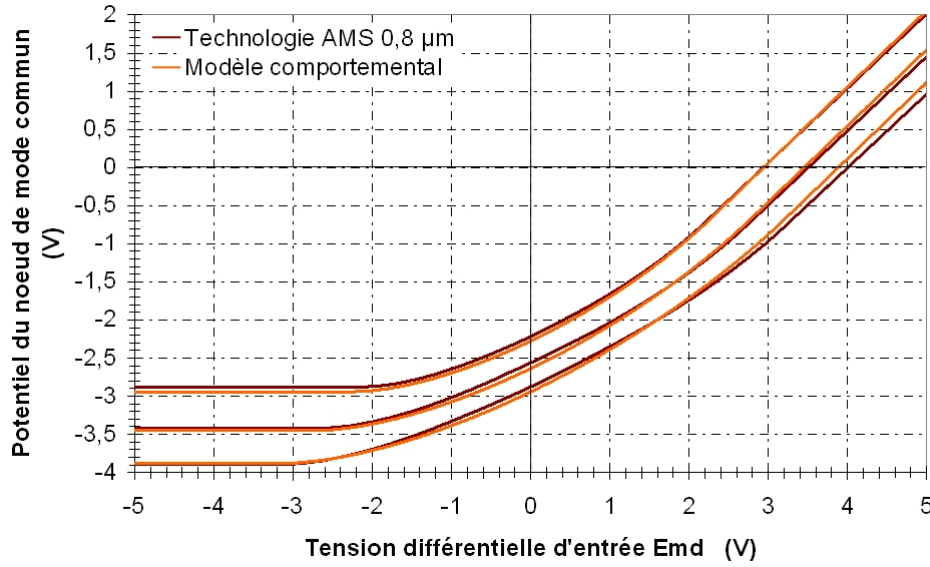
$$V_{offset} = V_{offset0} + \sum_n \frac{\partial V_{offset}}{\partial V_{TH,n}} \Delta V_{TH,n} \quad (3.34a)$$

$$Gmd = Gmd_0 + \sum_n \frac{\partial Gmd}{\partial V_{TH,n}} \Delta V_{TH,n} \quad (3.34b)$$

### 3.2.2 Calcul des contraintes électriques internes

Le vieillissement électrique des transistors de la DP dépend des tensions d'entrée inverseuse et non inverseuse, des différences de potentiel de sortie et de mode commun. Notre modèle comportemental définit les potentiels de sortie comme des entrées du modèle et le potentiel de mode commun comme une grandeur de sortie<sup>2</sup> (Cf. Chapitre 2, page 58). Il devient dès lors impératif que notre modèle génère correctement ce potentiel de mode commun.

La figure 3.13 montre l'évolution du potentiel de mode commun de la DP.



**Figure 3.13** – Evolution du potentiel du nœud de mode commun en fonction de la tension différentielle d'entrée.

### 3.2.3 Définition des lois de dégradation

Comme pour le miroir de courant, les lois de dégradation, caractérisant les dérives des caractéristiques électriques de la DP dont le vieillissement des transistors élémentaires est à l'origine, sont construites à partir des analyses de sensibilité :

$$\Delta V_{offset} = f(V_{entrée1}, V_{entrée2}, V_{sortie1}, V_{sortie2}, I_{pol}) \quad (3.35a)$$

$$\Delta G_{md} = f(V_{entrée1}, V_{entrée2}, V_{sortie1}, V_{sortie2}, I_{pol}) \quad (3.35b)$$

<sup>2</sup>**Remarque :** Il est impératif de définir les grandeurs électriques d'entrée et de sortie de chaque modèle afin de permettre au simulateur de correctement converger lors de l'interconnexion de ces derniers.

Soit :

$$\Delta V_{offset}(t) = \sum_n \frac{\partial V_{offset}(t)}{\partial V_{TH,n}(t)} \Delta V_{TH,n}(t) \quad (3.36a)$$

$$\Delta Gmd(t) = \sum_n \frac{\partial Gmd(t)}{\partial V_{TH,n}(t)} \Delta V_{TH,n}(t) \quad (3.36b)$$

Ces deux dernières expressions établissent une relation directe entre les contraintes électriques appliquées à la DP, la dégradation de ces paramètres électriques et le vieillissement des transistors élémentaires qui le constituent.

Le modèle comportemental « dégradable » de la paire différentielle est construit sur la base du schéma fonctionnel (Cf. figure 3.2) défini à la page 71.

### 3.3 L'amplificateur opérationnel à transconductance

#### 3.3.1 Détermination des paramètres critiques

En ce qui concerne l'AOT, les paramètres critiques de notre modèle sont sa transconductance  $Gmd$ , sa tension de décalage d'entrée  $V_{offset}$ , son courant de décalage de sortie  $I_{offset}$ , ses courants de saturation positifs  $I_{sat+}$  et négatif  $I_{sat-}$ . Comme pour le miroir de courant et la paire différentielle, nous ne considérons que l'effet de la tension de seuil des transistors de l'AOT sur ses paramètres caractéristiques. La figure 3.14(a) détaille les procédures d'extraction des paramètres du modèle comportemental.

Les figures 3.14(b), 3.14(c), 3.14(d), 3.14(e) et 3.14(f) montrent respectivement la contribution des variations des tensions de seuil des transistors de la DP et des facteurs de recopie des CMs sur l'évolution de la tension de décalage d'entrée  $V_{offset}$ , le courant de décalage de sortie  $I_{offset}$ , les courants de saturation positif  $I_{sat+}$  et négatif  $I_{sat-}$ , et la transconductance  $Gmd$  de l'AOT.

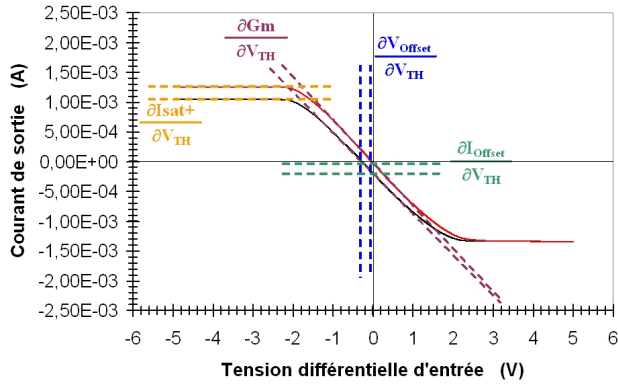
Les équations 3.37a, 3.37b, 3.37c, 3.38a et 3.38b décrivent la sensibilité des paramètres comportementaux de l'AOT vis-à-vis paramètres comportementaux des modèles du niveau définis au niveau inférieur. Les variations de ces paramètres suivent au premier ordre une relation linéaire :

$$Gmd = Gmd_0 + \sum_n \frac{\partial Gmd}{\partial A_{i_n}} \Delta A_{i_n} + \sum_k \frac{\partial Gmd}{\partial V_{TH,k}} \Delta V_{TH,k} \quad (3.37a)$$

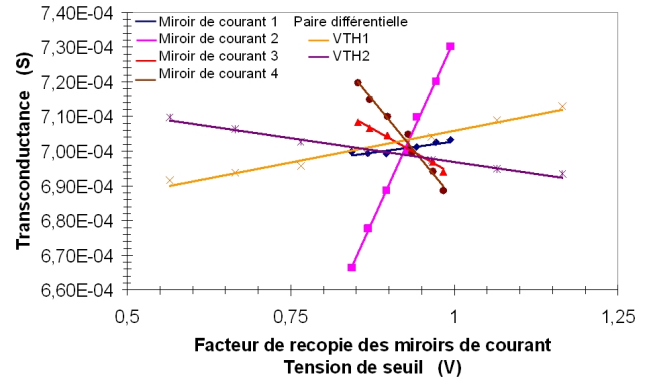
$$V_{offset} = V_{offset0} + \sum_n \frac{\partial V_{offset}}{\partial A_{i_n}} \Delta A_{i_n} + \sum_k \frac{\partial V_{offset}}{\partial V_{TH,k}} \Delta V_{TH,k} \quad (3.37b)$$

$$I_{offset} = I_{offset0} + \sum_n \frac{\partial I_{offset}}{\partial A_{i_n}} \Delta A_{i_n} + \sum_k \frac{\partial I_{offset}}{\partial V_{TH,k}} \Delta V_{TH,k} \quad (3.37c)$$

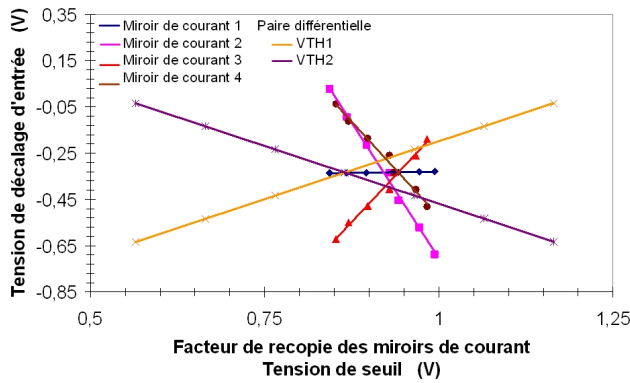
### Chapitre 3 : Simulation du vieillissement électrique des circuits intégrés : développement d'une stratégie de conception en vue de la fiabilité



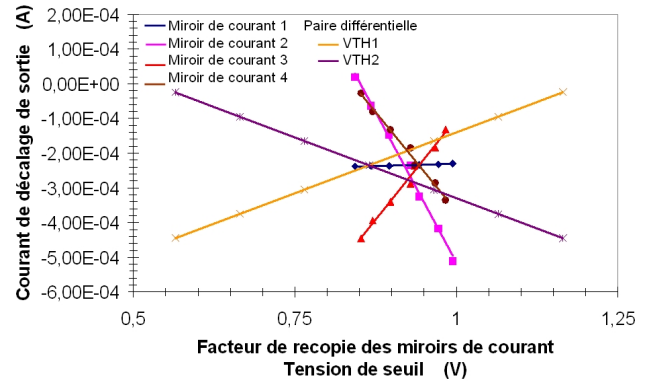
(a) Extraction des paramètres du modèle comportemental de l'AOT



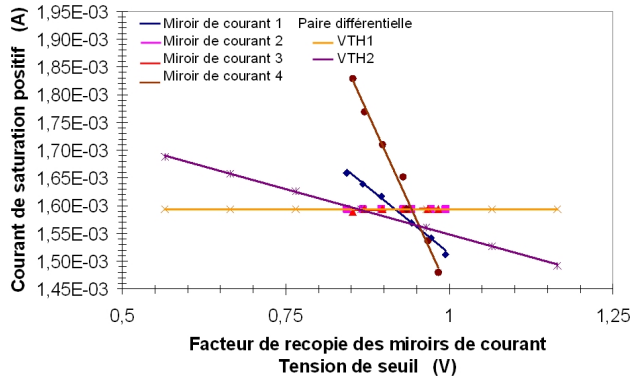
(b) Transconductance de mode différentielle



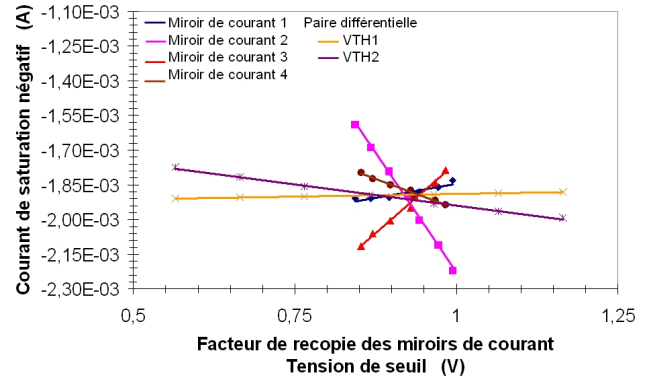
(c) Tension de décalage d'entrée  $V_{Offset}$



(d) Courant de décalage de sortie  $I_{Offset}$



(e) Courant de saturation positif



(f) Courant de saturation négatif

**Figure 3.14** – Influence des variations des tensions de seuil des transistors de l'AOT sur l'évolution de ses paramètres comportementaux.

$$I_{sat+} = I_{sat+0} + \sum_n \frac{\partial I_{sat+}}{\partial A_{i_n}} \Delta A_{i_n} + \sum_k \frac{\partial I_{sat+}}{\partial V_{TH,k}} \Delta V_{TH,k} \quad (3.38a)$$

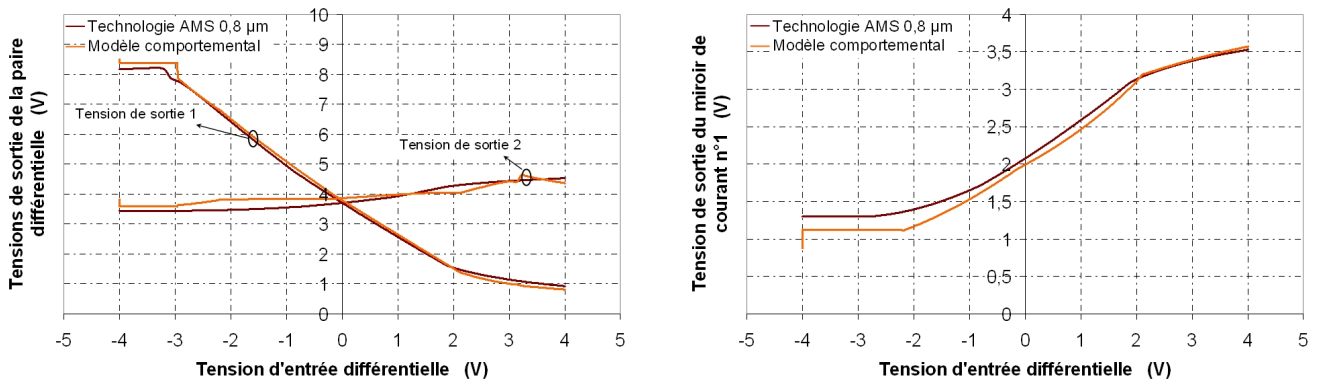
$$I_{sat-} = I_{sat-0} + \sum_n \frac{\partial I_{sat-}}{\partial A_{i_n}} \Delta A_{i_n} + \sum_k \frac{\partial I_{sat-}}{\partial V_{TH,k}} \Delta V_{TH,k} \quad (3.38b)$$

Où  $A_{i_n}$  est le facteur de recopie du miroir de courant  $n$ ;  $V_{TH,m}$ , la tension de seuil du  $m^{ième}$  transistor du miroir de courant  $n$  ( $m = 1$  ou  $m = 2$ ); et  $V_{TH,k}$ , la tension de seuil du  $k^{ième}$  transistor de la paire différentielle ( $k = 1$  ou  $k = 2$ ).

### 3.3.2 Calcul des contraintes électriques internes

Pour l'amplificateur opérationnel à transconductance, il est nécessaire que notre modèle comportemental génère l'ensemble des contraintes électriques internes de chaque bloc fonctionnel constituant ce dernier : la paire différentielle et les miroirs de courant (Cf. figure 2.18, page 62).

Les figures 3.15(a) et 3.15(b) montrent respectivement l'évolution des tensions de sortie de la paire différentielle et la tension de mode commun de cette dernière caractérisée par la tension de sortie de sa source de courant n°1.



(a) Tension différentielle de sortie de la paire différentielle de l'AOT (b) Tension de sortie de la source de courant de la paire différentielle de l'AOT

**Figure 3.15** – Evolution des contraintes électriques de la paire différentielle et de sa source de courant de l'AOT.

Les figures 3.16(a), 3.16(b) et 3.16(c), montrent l'évolution des tensions d'entrée et de sortie de chaque miroir de courant en fonction de la tension d'entrée différentielle appliquée.

### 3.3.3 Définition des lois de dégradation

En respect de la méthodologie définie, les lois de dégradation du modèle comportemental de vieillissement de l'AOT tiennent compte des niveaux de dégradation des paramètres compor-

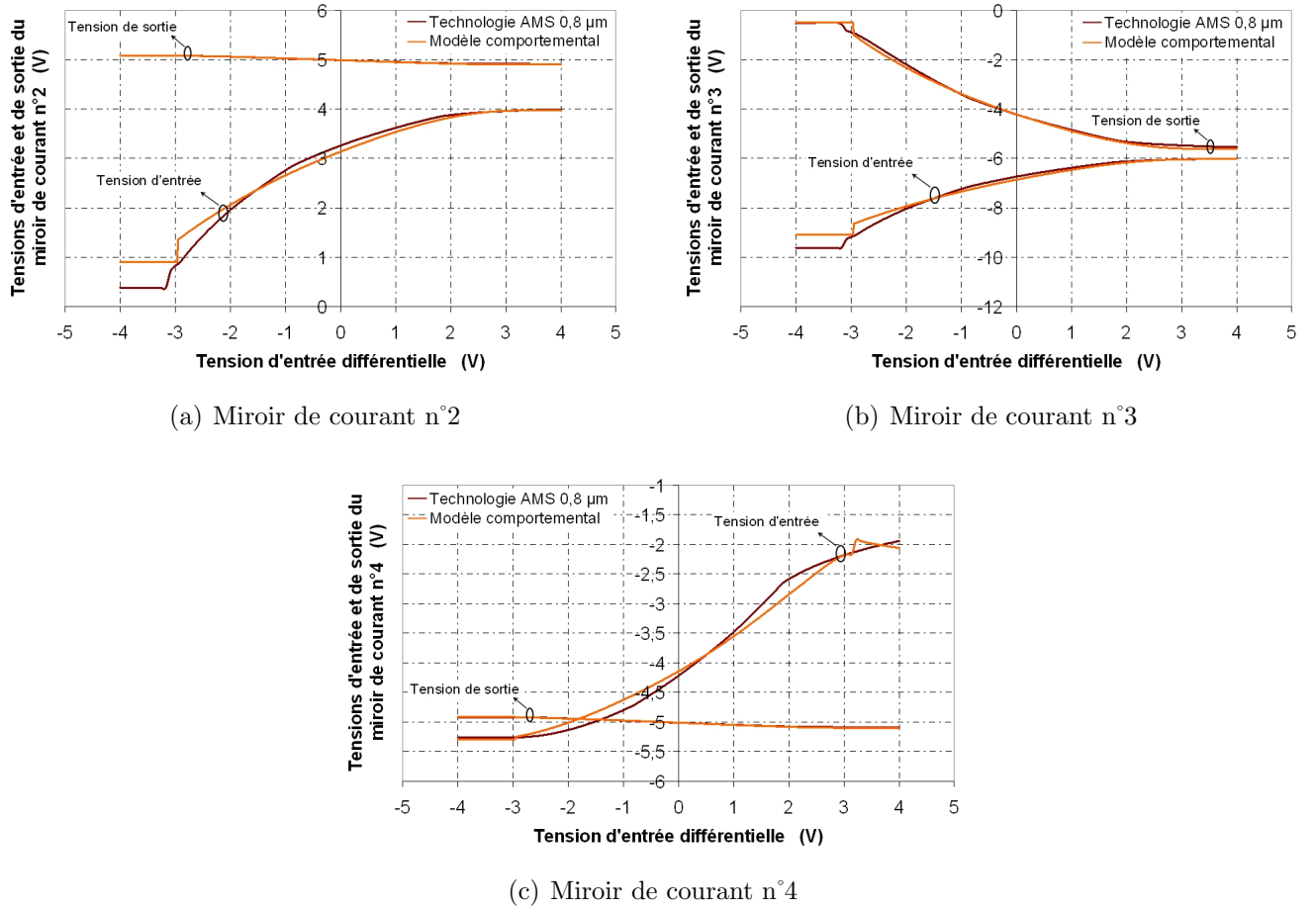


Figure 3.16 – Évolution des contraintes électriques internes de l'AOT.

taux des blocs fonctionnels qui le constituent. Cela revient alors à utiliser les équations 3.37a, 3.37b, 3.37c, 3.38a et 3.38b. Les lois d'évolution de ces paramètres sont fonction des contraintes électriques appliquées à l'AOT. Par exemple, les lois d'évolution de la tension de décalage et de la transconductance de l'AOT sont fonction de la tension d'entrée différentielle de l'AOT ( $E_{md} = V_{inv} - V_{noninv}$ ), des tensions d'alimentation ( $VDD$ ,  $VSS$ ) du courant de polarisation ( $I_{POL}$ ) et de la résistance de charge ( $R_{LOAD}$ ) :

$$\Delta V_{offset} = f(E_{md}, I_{POL}, VDD, VSS, R_{LOAD}) \quad (3.39a)$$

$$\Delta G_{md} = f(E_{md}, I_{POL}, VDD, VSS, R_{LOAD}) \quad (3.39b)$$

Soit :

$$V_{offset} = V_{offset0} + \sum_n \frac{\partial V_{offset}}{\partial A_{i_n}} \Delta A_{i_n}(t) + \sum_k \frac{\partial V_{offset}}{\partial V_{TH,k}} \Delta V_{TH,k}(t) \quad (3.40a)$$

$$G_{md} = G_{md0} + \sum_n \frac{\partial G_{md}}{\partial A_{i_n}} \Delta A_{i_n} + \sum_k \frac{\partial G_{md}}{\partial V_{TH,k}} \Delta V_{TH,k} \quad (3.40b)$$



Le modèle comportemental de vieillissement a été développé suivant le schéma fonctionnel (Cf. figure **3.2**) défini à la page 71.

### 3.3.4 Conclusion

Nous avons présenté dans cette section une mise en œuvre de notre méthodologie de construction de modèles comportementaux de vieillissement. L'intérêt majeur de cette méthodologie, basée sur la modélisation ascendante d'un circuit, est de conserver un lien direct entre les dégradations observées au plus haut niveau d'abstraction et le vieillissement électrique des composants élémentaires. En effet, les modèles comportementaux dits « dégradables » du niveau N sont construits à partir de ceux du niveau N-1.

L'exemple que nous avons choisi est l'injection de porteurs chauds dans l'oxyde de grille des transistors MOS. Les modèles comportementaux de l'amplificateur opérationnel à transconductance (AOT) ont été développés. La suite de ce chapitre sera donc consacrée à la simulation de la fiabilité de ce dernier.

## 4 Analyse descendante de la fiabilité de l'AOT

Nous tenons à rappeler que les principaux objectifs de l'analyse de la fiabilité avec une approche « circuit » sont :

- prévoir le comportement électrique d'un circuit en fonction d'un mécanisme de dégradation et un profil de mission donnés ;
- comprendre les principales interactions électriques (i.e effets circuits) induisant la défaillance de ce dernier ;
- déterminer l'ensemble des blocs fonctionnels et/ou composants élémentaires critiques de son architecture.

Par conséquent, il est nécessaire de définir les conditions de vieillissement du circuit (c'est-à-dire l'ensemble des environnements électriques ou non) afin de déterminer l'ensemble des critères de défaillance. Nous montrerons dans cette section que ces objectifs sont étroitement liés et que seule une analyse descendante de la fiabilité à l'aide de simulations de vieillissement, dont la méthodologie est définie par la figure 3.1 de la page 69, peut permettre de les atteindre. Le principal intérêt de cette analyse est d'agir dès la phase de conception sur la fiabilité de ce dernier afin de réduire les coûts et les temps relatifs aux diverses actions correctives induites lors des phases de tests de fiabilité.

### 4.1 Transconducteur à un AOT

#### 4.1.1 Schéma électrique

Afin de réaliser l'analyse de la fiabilité de l'AOT, nous choisissons une application simple utilisant ce dernier, dont le schéma électrique est donné par la figure 3.17.

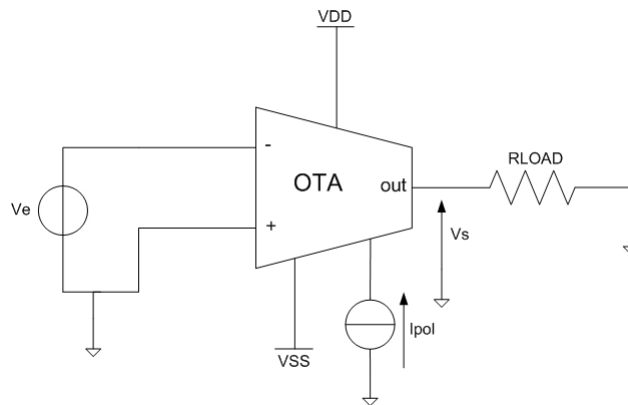


Figure 3.17 – Application utilisée pour la simulation de vieillissement de l'AOT.

#### 4.1.2 Conditions de vieillissement

Pour simuler le niveau de dégradation de l'AOT, nous choisissons la configuration suivante :

- la tension d'entrée sera une tension sinusoïdale, d'amplitude 2 V crête à crête et de fréquence 1 kHz ;
- la polarisation en tension de l'AOT est de  $\pm 5$  Volts ;
- le courant de polarisation est de 2 mA ;
- la résistance de sortie est de 50  $\Omega$ .

Nous souhaitons évaluer le niveau de dégradation de l'AOT sur une période d'un an dans cette configuration.

##### 4.1.3 Le critère de défaillance

La fonction réalisée par l'AOT sera considérée comme défaillante lorsque l'amplitude crête à crête du courant de sortie de l'AOT sera dégradée de 10% par rapport à sa valeur initiale.

##### 4.1.4 Analyse descendante de la fiabilité

###### Simulation au niveau « circuit »

A partir des conditions de vieillissement, la simulation du vieillissement de l'AOT a été réalisée au plus haut niveau d'abstraction. La figure 3.18 montre l'évolution du courant de sortie de l'AOT au cours du temps. A partir du critère de défaillance, l'instant de défaillance de l'AOT dans cette configuration peut être déterminé. Ce dernier, vis-à-vis de sa fonctionnalité, sera considéré défaillant au bout de 2 mois et 18 jours.

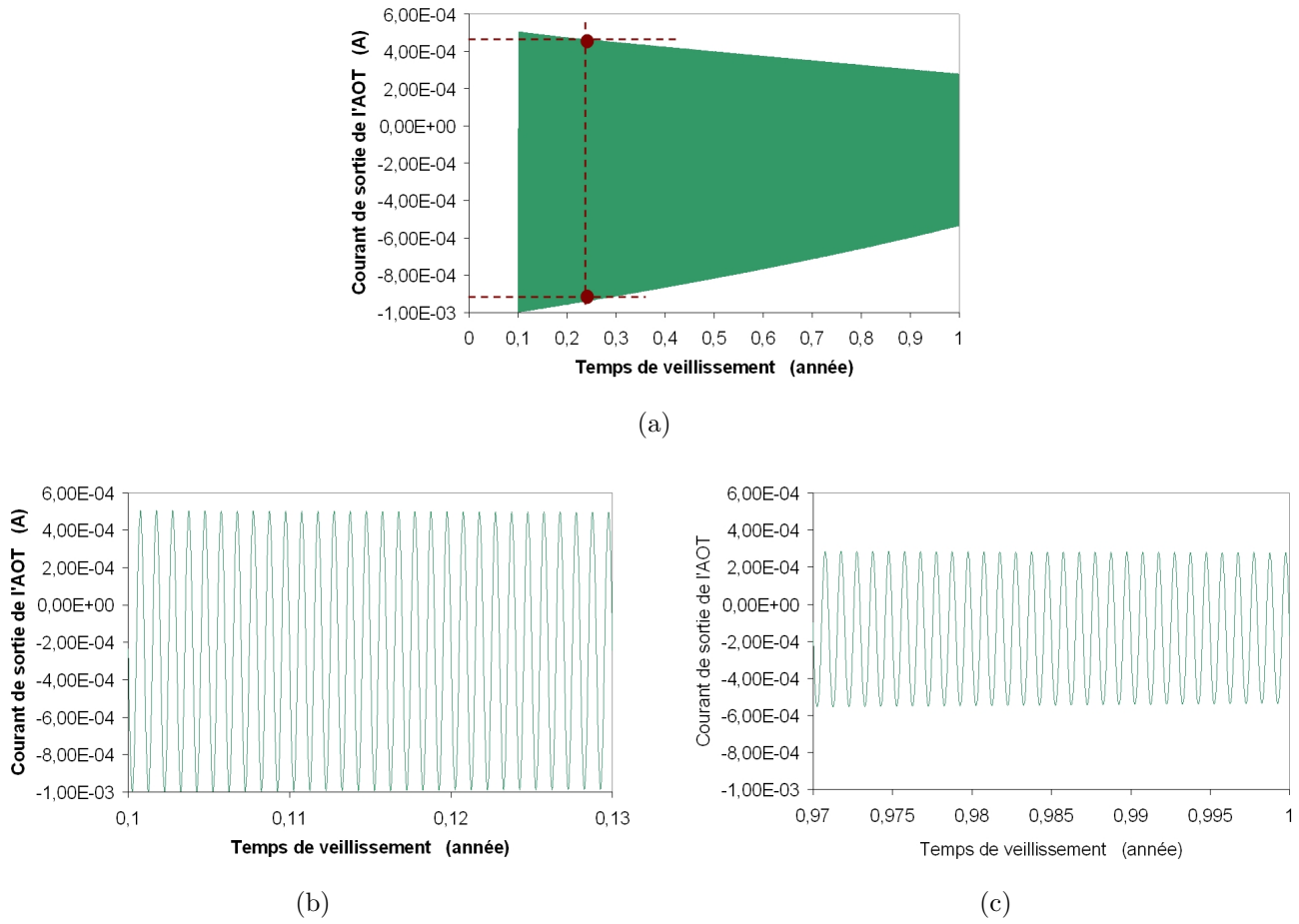
A l'aide du simulateur comportemental, nous pouvons aussi observer les variations de la transconductance (Cf. figure 3.19(a)) et de la tension de décalage d'entrée (Cf. figure 3.19(b)) de l'AOT. Nous pouvons constater, que la défaillance du circuit est atteinte lorsque sa transconductance varie de 13% et sa tension de décalage d'entrée de 6%.

A ce niveau d'abstraction, la dégradation des paramètres comportementaux des blocs fonctionnels peut être observée. La figure 3.20 montre la dégradation des facteurs de recopie de chaque miroir de courant.

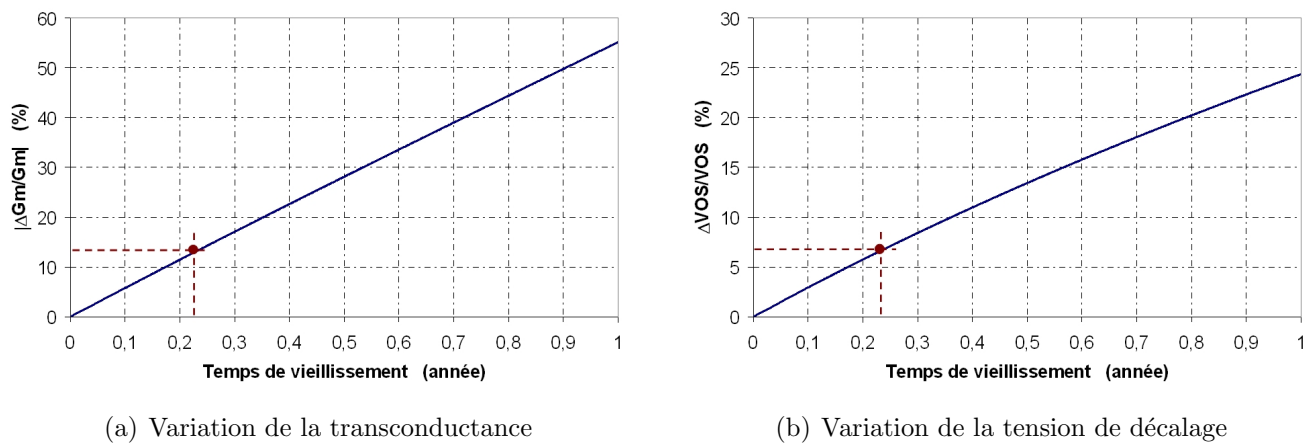
Cette première simulation nous permet de déterminer le bloc fonctionnel le plus sensible à l'injection de porteurs chauds : le miroir de courant n°3 (i.e CMP1). Une nouvelle simulation du vieillissement électrique au niveau « bloc fonctionnel » doit alors être réalisée puisque les critères de défaillance sont largement atteints.

###### Simulation au niveau « bloc fonctionnel »

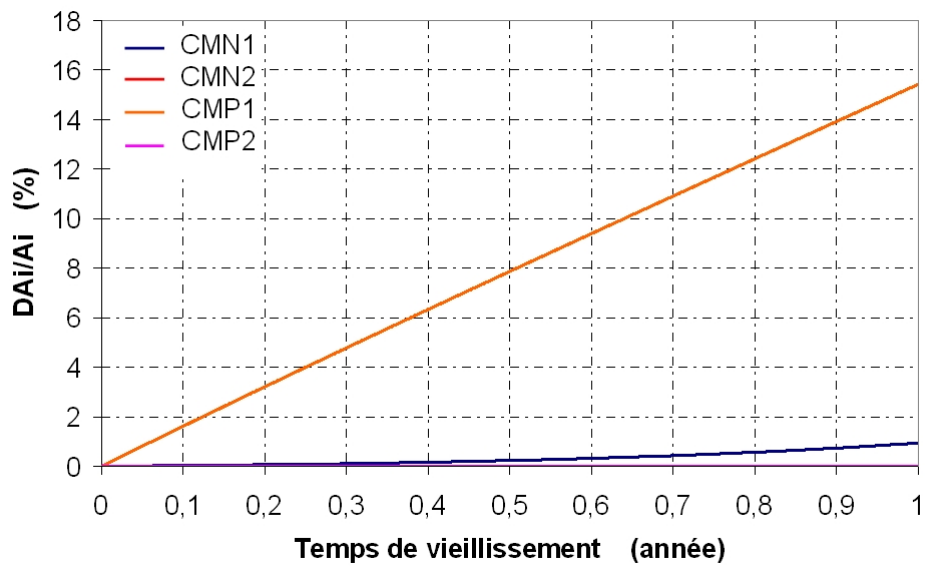
La simulation du vieillissement de l'AOT au niveau « bloc fonctionnel » permet d'évaluer le niveau d'usure des transistors élémentaires de l'AOT. Pour cela, nous utilisons le modèle comportemental structurel de l'AOT dont le synoptique est donné par la figure 2.18, page 62.



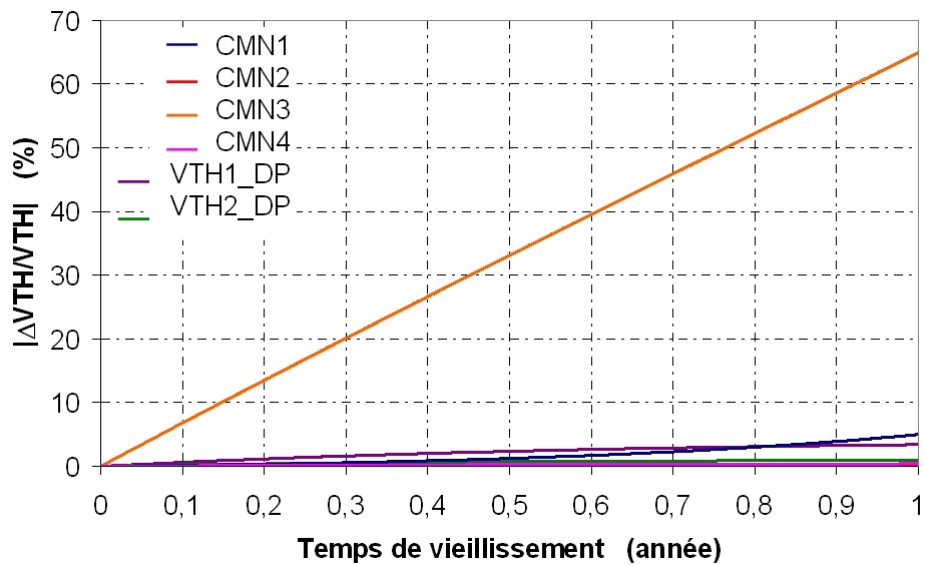
**Figure 3.18** – Évolution du courant de sortie de l'AOT : 3.18(a) pendant toute la durée de la simulation du vieillissement, 3.18(b) zoom à  $t = 0,1$  année, 3.18(c) zoom à  $t = 1$  année. Ces résultats ont été obtenus à l'aide de notre modèle comportemental de l'AOT.



**Figure 3.19** – Évolution des paramètres comportementaux de l'AOT. Ces résultats ont été obtenus à l'aide de notre modèle comportemental de l'AOT.



**Figure 3.20** – Evolution des paramètres du facteur de recopie de chaque miroir de courant. Ces résultats ont été obtenus à l'aide de notre modèle comportemental de l'AOT.



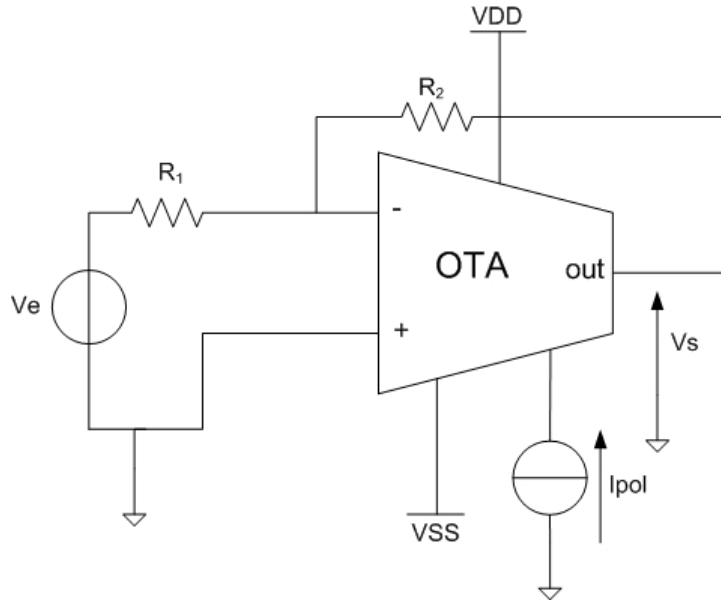
**Figure 3.21** – Evolution de la tension de seuil du transistor de sortie de chaque miroir de courant. Ces résultats ont été obtenus à l'aide de notre modèle comportemental structurel de l'AOT.

La figure 3.21 montre l'évolution de la tension de seuil des transistors de sortie de chaque miroir de courant. Nous pouvons ainsi dire, que le transistor élémentaire critique de l'architecture est le transistor MP1.

## 4.2 Amplification à un AOT

### 4.2.1 Schéma électrique

Nous proposons dans cette section une autre application simple à base d'AOT : l'amplification de tension. Le schéma électrique est donné par la figure 3.22.



**Figure 3.22** – Application utilisée pour la simulation de vieillissement de l'AOT.

La tension de sortie du montage est donnée par la relation suivante :

$$\frac{Vs}{Ve} = \frac{1 - gm.R_2}{1 + gm.R_1} \quad (3.41)$$

### 4.2.2 Conditions de vieillissement

Pour simuler le niveau de dégradation de l'AOT, nous choisissons la configuration suivante :

- la tension d'entrée sera une tension sinusoïdale, d'amplitude 1 V o crête à crête et de fréquence 1 kHz ;
- la polarisation en tension de l'AOT est de  $\pm 5$  V ;
- le courant de polarisation est de 2 mA ;
- les résistances  $R_1$  et  $R_2$  valent 10 k $\Omega$ .

Nous souhaitons évaluer le niveau de dégradation de l'AOT sur une période d'un an dans cette configuration.

### 4.2.3 Le critère de défaillance

La fonction réalisée par l'AOT sera considérée comme défaillante lorsque l'amplitude crête à crête de la tension de sortie de l'AOT sera dégradée de 20% par rapport à sa valeur initiale.

### 4.2.4 Analyse descendante de la fiabilité

### 4.2.5 Simulation au niveau « circuit »

Les résultats de l'analyse descendante de la fiabilité du montage sont résumés dans la figure **3.23**

L'instant de défaillance du montage est de 3 mois et 22 jours. Pour ce dernier, la transconductance de l'AOT varie de 22%, et sa tension de décalage de 7,5%. Comme le montage précédent, le bloc fonctionnel « critique » de l'architecture de l'AOT est le miroir de courant n°3 (i.e CMP1).

### 4.2.6 Simulation au niveau « bloc fonctionnel »

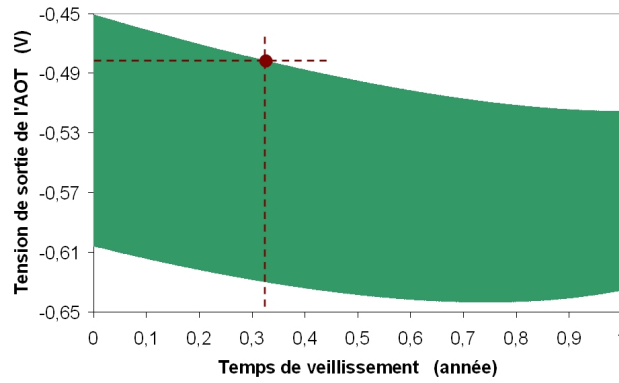
La figure **3.24** montre l'évolution de la tension de seuil des transistors de sortie de chaque miroir de courant. Nous pouvons ainsi dire que la dégradation du facteur de recopie du miroir de courant n°3 est due à une usure du transistor élémentaire MP1 liée à l'injection de porteurs chauds.

## 4.3 Discussion

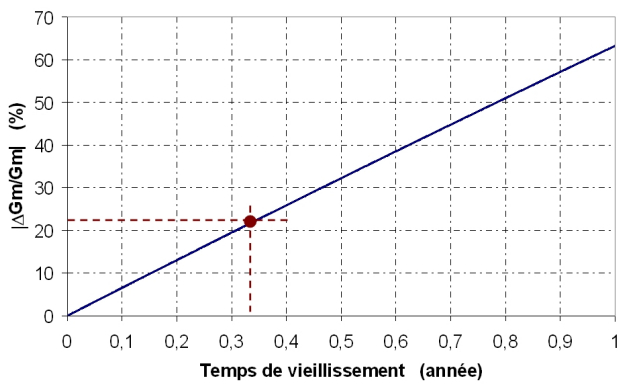
### 4.3.1 Dispersion des instants de défaillance

Les résultats de l'analyse de la fiabilité de l'AOT ont montré que les instants de défaillance de ce dernier varient suivant l'application. Ce sont donc les contraintes électriques appliquées au circuit qui conditionnent le niveau de dégradation de ce dernier. Nous constatons aussi, que pour chacun de ces instants de défaillance, le niveau de variation des paramètres électriques du circuit varie énormément d'une application à une autre (13% de variation sur sa transconductance pour le premier montage et 22% pour le deuxième). Ce constat soulève un point critique des essais de fiabilité réalisés dans les flots de conception, puisque les résultats de ces essais dépendent de critères de défaillance communs à tous les circuits. Or, dans des conditions réelles de fonctionnement, les circuits vont vieillir différemment puisque les contraintes électriques ou non diffèrent suivant le système dans lequel ils seront intégrés et du profil de mission de ces derniers.

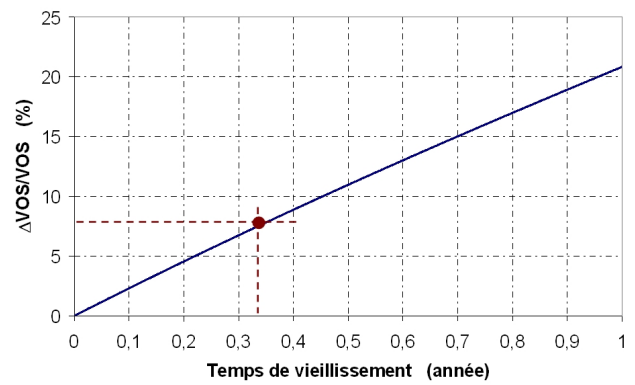
Les travaux présentés dans le Chapitre 4, section 4 confortent notre décision. **Le choix d'un critère de défaillance au niveau système est donc le plus adapté lors de la conception en vue de la fiabilité d'un AOT.**



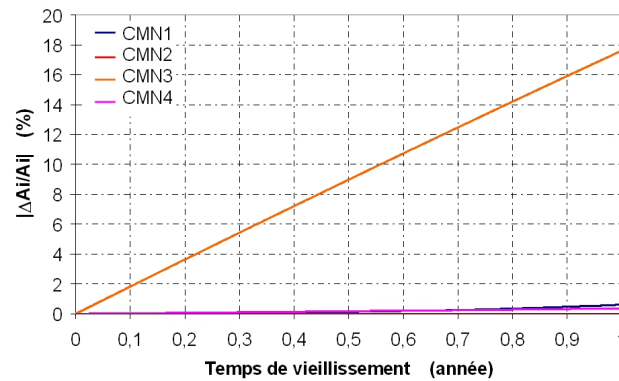
(a) Évolution de la tension de sortie du montage



(b) Dégradation de la transconductance de l'AOT



(c) Dégradation de la tension de décalage de l'AOT



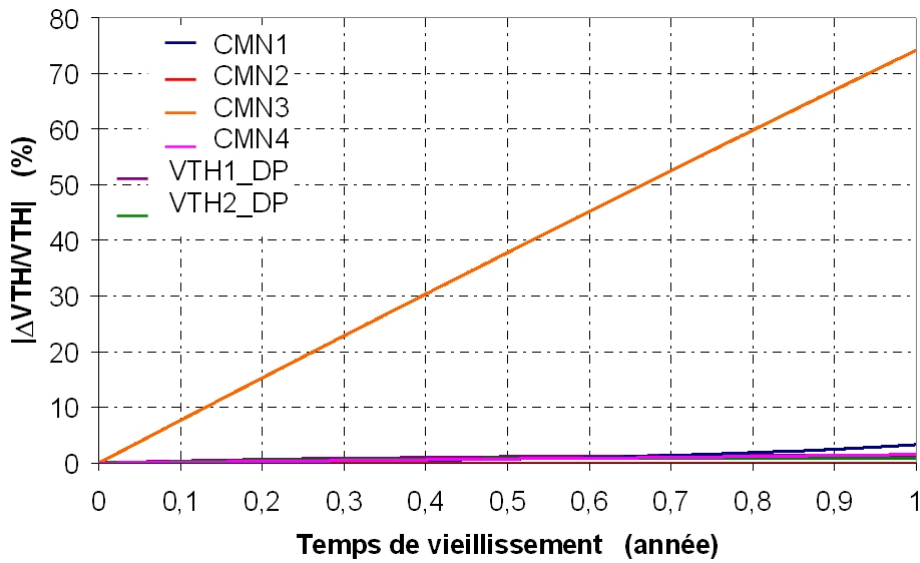
(d) Dégradation des facteurs de recopie des miroirs de courant de l'AOT

**Figure 3.23** – Résultats des simulations de vieillissement obtenus pour le montage amplificateur à un AOT. Ces résultats ont été obtenus à l'aide de notre modèle comportemental de l'AOT.

#### 4.3.2 Intégration de la stratégie dans le flot de conception de SoC AMS

Nous avons montré dans cette section une mise en œuvre opérationnelle de notre stratégie de conception en vue de la fiabilité. Toutefois, il est nécessaire que l'intégration de cette dernière dans le flot de conception d'un circuit intégré soit efficace et cohérente. Nous proposons ici une vue détaillée





**Figure 3.24** – Evolution des paramètres du facteur de recopie de chaque miroir de courant. Ces résultats ont été obtenus à l’aide de notre modèle comportemental structurel de l’AOT.

(Cf. figure 3.25) d’un exemple de flot de conception intégrant notre stratégie de conception en vue de la fiabilité.

Ce nouveau flot de conception s’appuie sur celui présenté par Patricia Desgreys [21]. La phase de modélisation ascendante et celle définissant l’analyse descendante de la fiabilité ont été ajoutées à ce dernier. Les différentes étapes intermédiaires (telles que la construction de modèles comportementaux électriques, la détermination des paramètres critiques ou encore la définition des lois de dégradation) sont implicitement associées à chaque étape clé. Par exemple, lors de la phase de dimensionnement d’un circuit, son modèle comportemental électrique peut être automatiquement généré et les procédures d’extraction des paramètres de ce dernier peuvent y être introduites. De même, les analyses de sensibilité, la définition des lois de dégradation sont systématiquement réalisées lors de la construction des modèles « dégradables » à chaque niveau d’abstraction.

En détaillant ce flot de conception, nous pouvons dès lors proposer une évolution possible de ce dernier. Cette évolution consisterait à intégrer l’ensemble des effets parasites introduits par le layout sur la fiabilité d’un circuit complet. Par exemple, dans le cas d’une dégradation d’un circuit, induite par électromigration, l’augmentation des largeurs des pistes améliore la fiabilité de ce dernier, car il y a une diminution des densités de courant.

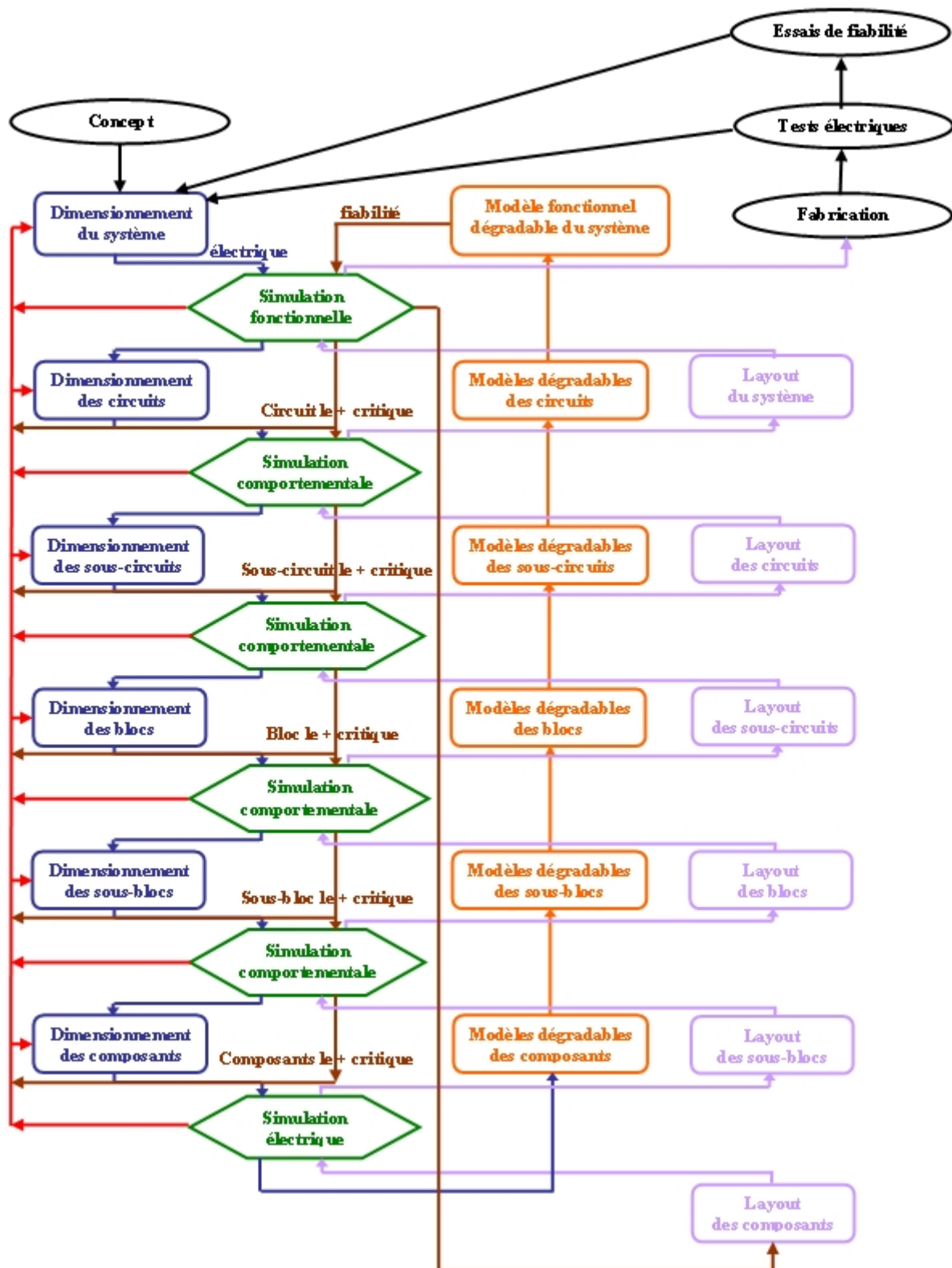


Figure 3.25 – Intégration de la stratégie de conception en vue de la fiabilité dans le flot de conception d'un circuit intégré.

## 5 Conclusion

Nous avons défini dans ce chapitre notre stratégie de conception en vue de la fiabilité. Cette stratégie est basée sur l'utilisation de deux méthodologies.

La première méthodologie est à la base de la construction de modèles comportementaux dégradables d'un circuit. L'objectif principal de ces modèles est de pouvoir évaluer le vieillissement des performances électriques d'un circuit grâce à leur intégration dans une simulation de fiabilité. Leur développement est basé sur une approche de modélisation ascendante des dégradations du circuit (du niveau transistor au niveau circuit). Cette approche multi-niveaux de la modélisation permet de conserver un lien direct entre les dérives des facteurs de mérite du circuit concerné et l'usure des composants élémentaires qui le constituent. En outre, le niveau de dégradation de ces composants élémentaires dépend fortement des contraintes électriques et environnementales qui seront appliquées aux circuits. En d'autres termes, il dépend du domaine d'application et du système dans lequel ce dernier est appelé à évoluer.

La deuxième méthodologie, quant à elle, a été développée dans le but de déterminer les composants et/ou les blocs fonctionnels sensibles de l'architecture d'un circuit vis-à-vis d'un mécanisme de dégradation et un profil de mission donnés. Cet objectif ne peut être atteint que par une mise en œuvre d'une analyse descendante de la fiabilité. Cette analyse descendante consiste à réaliser des simulations successives à différents niveaux d'abstraction. Nous avons montré dans ce chapitre tout l'intérêt de cette approche car, employée à bon escient, elle peut permettre de définir les points critiques d'un circuit (pour une application donnée) et de les corriger dès la phase de conception de ce dernier.

Cependant, notre stratégie de conception en vue de la fiabilité, telle qu'elle est définie, est incomplète. En effet, elle ne prend pas en compte les dispersions technologiques liées au procédé de fabrication utilisé. Ces dispersions technologiques vont induire une dispersion des instants de défaillance d'un circuit. Le chapitre suivant sera donc consacré au développement de modèles statistiques au plus haut niveau d'abstraction.



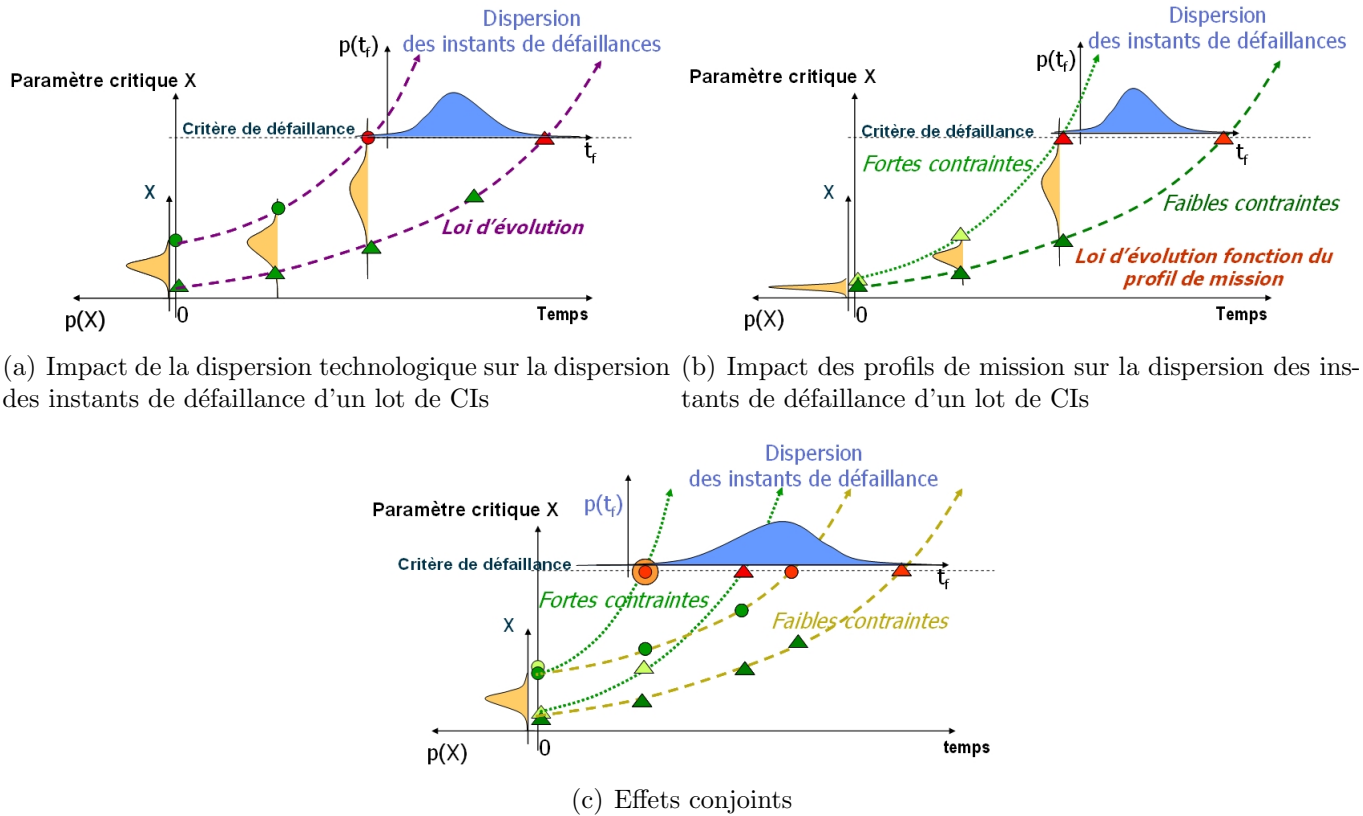
## Chapitre 4

# Prévision de la durée de vie d'un lot de composants : introduction à l'analyse statistique lors de la phase de simulation de la fiabilité

La méthodologie de simulation de la fiabilité développée au cours de ces travaux de thèse vise à évaluer l'impact des dégradations des paramètres d'un modèle comportemental électrique d'un circuit sur l'évolution de ses caractéristiques de sortie pour un profil de mission donné. A l'aide d'un simulateur de modèles comportementaux (tel que AdVance MS), nous pouvons observer le comportement de ce circuit et la variation de ses paramètres à n'importe quel instant  $t$  de sa durée totale de fonctionnement. L'instant de défaillance de ce dernier peut alors être extrait. Cependant, à un circuit simulé pour des conditions de fonctionnement données correspond un instant de défaillance. En réalité, dans le cas d'un lot de circuits intégrés (CIs), il existe une dispersion des instants de défaillance de ces derniers.

En effet, la dispersion des durées de vie d'une famille de CIs est le résultat des influences de deux principaux facteurs :

- **les dispersions technologiques (Cf. figure 4.1(a))** : les dispersions sur les paramètres technologiques sont induites par les fluctuations paramétriques du procédé de fabrication des CIs. Ces dispersions ont un impact direct sur le comportement électrique des composants élémentaires et donc sur les indices de performances des CIs. Lors de l'analyse de la fiabilité d'un lot de CIs, la variation des indices de performance d'un CI à un autre entraîne donc une dispersion de leur instant de défaillance pour un profil de mission, un critère de défaillance et une loi d'évolution des paramètres donnés.
- **la dispersion des profils de mission (Cf. figure 4.1(b))** : les contraintes électriques et



**Figure 4.1** – Origine de la dispersion des instants de défaillance d'une famille de CIs

environnementales peuvent sensiblement changer d'un profil de mission à un autre, et induisent donc une dispersion des instants de défaillance des CIs. La loi d'évolution des paramètres est alors fonction des conditions de fonctionnement du circuit (Cf. Chapitre 3).

Les dispersions des profils de mission et des paramètres technologiques ont donc des effets conjugués qui accroissent l'aire de dispersion des instants de défaillance d'un lot de CIs (Cf. figure 4.1(c)). Dans l'optique du zéro défaut, il est donc nécessaire de prendre en compte ces deux types de dispersion afin de prédire l'instant auquel la première défaillance sera observée.

Lors de l'analyse de la fiabilité à l'aide de simulation, il est alors nécessaire de faire varier statistiquement les valeurs initiales des paramètres du modèle comportemental pour prendre en compte l'effet des dispersions technologiques sur le comportement d'un lot de CIs afin de déterminer la dispersion de leur instant de défaillance. Cela ne peut se faire que par l'intégration d'analyses statistiques durant la phase de simulation de la fiabilité.

Ce chapitre présente une première ébauche de l'intégration d'une méthodologie de construction de modèles statistiques d'un circuit à différents niveaux hiérarchiques en vue de déterminer la dispersion des instants d'un lot.

# 1 Notions et outils statistiques pour l'analyse de la fiabilité

En termes de dispersions technologiques, chaque paramètre physique et électrique d'un composant et chaque composant d'un circuit électronique est une variable aléatoire. Cette section présente les principales notions, ainsi que les outils statistiques nécessaires à l'analyse de la fiabilité. Cette liste est non exhaustive, et est limitée aux notions nécessaires à l'étude.

## 1.1 Fonctions de distribution

Comme nous l'avons vu au chapitre 1, section 3.1 à la page 20, il existe diverses lois de distribution permettant de modéliser les dispersions statistiques des instants de défaillance d'un circuit. Ces lois sont aussi utilisées pour modéliser le système de variables aléatoires d'un circuit. La plus fréquente est la loi de densité normale (ou gaussienne) et représente la densité de probabilité des valeurs d'un paramètre  $x$  donné :

$$p(x) = \frac{1}{\sigma_x \sqrt{2\pi}} \exp \left[ -\frac{(x - \mu_x)^2}{2\sigma_x^2} \right] \quad (4.1)$$

A partir de la répartition normale (Eq 4.2), on a :

$$P(x) = \Phi^* \left( \frac{x - \mu_x}{\sigma_x} \right) \quad \text{avec} \quad \Phi^*(x) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^x \exp \left( -\frac{t^2}{2} \right) dt \quad (4.2)$$

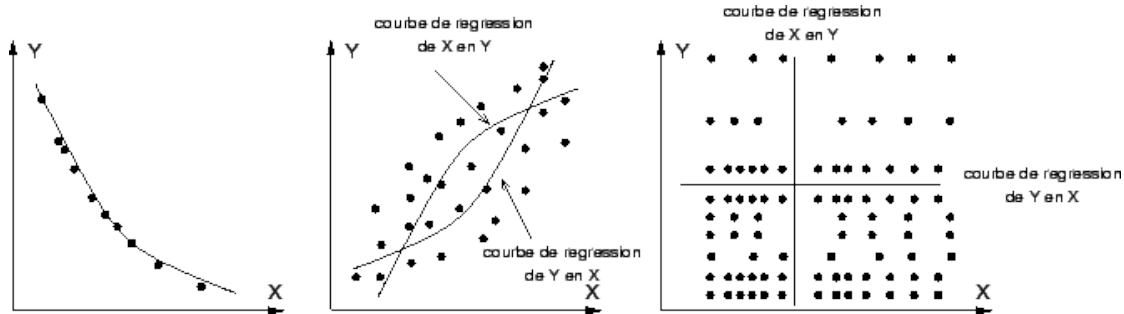
- 99,7% des amplitudes instantanées sont comprises dans l'intervalle  $\pm 3\sigma$
- 95% des amplitudes instantanées sont comprises dans l'intervalle  $\pm 2\sigma$
- 68% des amplitudes instantanées sont comprises dans l'intervalle  $\pm \sigma$
- 50% des amplitudes instantanées sont comprises dans l'intervalle  $\pm \frac{2\sigma}{3}$ .

## 1.2 Diagramme de dispersion ou de corrélation

L'ensemble des paramètres d'un circuit forment un système de variables en interdépendance. Ainsi, si on considère un système aléatoire à deux variables  $X$  et  $Y$  et si on représente chaque réalisation  $Y_i$  de  $Y$  en fonction de chaque réalisation  $X_i$  de  $X$ , on obtient un nuage de points (Cf. Figure 4.2) appelé diagramme de dispersion (ou de corrélation) traduisant graphiquement l'interdépendance éventuelle des variables. Quantitativement, si on considère les courbes de régression, c'est-à-dire la courbe qui « ajuste au mieux » (par exemple au sens des moindres carrés) les valeurs de  $Y$  à partir de celles de  $X$  et inversement, on observe trois configurations typiques :

1. la dépendance fonctionnelle : à chaque valeur  $X_i$  correspond une valeur déterminée de  $Y_i$  et réciproquement ;

2. la corr lation : la connaissance de la valeur prise par  $X$  apporte une information sur la valeur de  $Y$  ;
3. l'ind pendance : la connaissance de la valeur prise par  $X$  n'apporte aucune information sur la valeur de  $Y$ .



**Figure 4.2** – Diagrammes de dispersion montrant (de droite   gauche) : une liaison fonctionnelle, une corr lation, une ind pendance

### 1.3 Coefficients de covariance et de corr lation

D'un point de vue caract ristique num rique, l'interd pendance entre les diff rentes variables al atoires est donn e par la covariance qui s'exprime sous forme discr te par :

$$K_{XY} = \sum_i (X_i - \bar{X})(Y_i - \bar{Y}) \quad (4.3)$$

et sous forme continue par :

$$K_{xy} = E[(X - E[X])(Y - E[Y])] = \int_{-\infty}^{+\infty} \int_{-\infty}^{+\infty} (x - E[x])(y - E[y]) p(x, y) dx dy \quad (4.4)$$

Pour caract riser uniquement la liaison, on d finit une deuxi me caract ristique qui est le coefficient de corr lation :

$$r_{xy} = \frac{K_{xy}}{\sigma(x)\sigma(y)} = E \left[ \frac{(x - E[x])(y - E[y])}{\sigma(x)\sigma(y)} \right] \quad (4.5)$$

Lorsque le coefficient de corr lation est  gal   l'unit , les variables  $X$  et  $Y$  sont li es fonctionnellement, lorsque  $r_{xy} = -1$  la variable  $Y$  est minimum (maximum) lorsque  $X$  est maximum (minimum), et enfin lorsque  $r_{xy} = 0$ , les deux variables sont lin airement ind pendantes.

### 1.4 Formules de transmission des moments

Si la fonction de variables al atoires  $Y = f(x_1, x_2, \dots, x_n)$  est non lin aire, mais peut  tre consid r e comme variant peu autour de son esp rance math matique, on peut effectuer un d veloppement en



série de Taylor. Les dérivées partielles étant évaluées au point de développement, on obtient au premier ordre :

$$Y \approx f(\mu(x_1), \dots, \mu(x_n)) + \sum_{i=1}^n \frac{\partial f}{\partial x_i} [x_i - \mu x_i] \quad (4.6)$$

En terme de variance, la seule variable aléatoire étant  $dx_i$ , on écrit :

$$\sigma^2(y) = \sum_{i=1}^n \left( \frac{\partial f}{\partial x_i} \right)^2 \sigma^2(x_i) + 2 \sum_{i=1}^n \sum_{j=1}^i \frac{\partial f}{\partial x_i} \frac{\partial f}{\partial x_j} K_{ij} \quad (4.7)$$

et en terme de coefficient de corrélation, on écrit la formule dite des transmissions des moments :

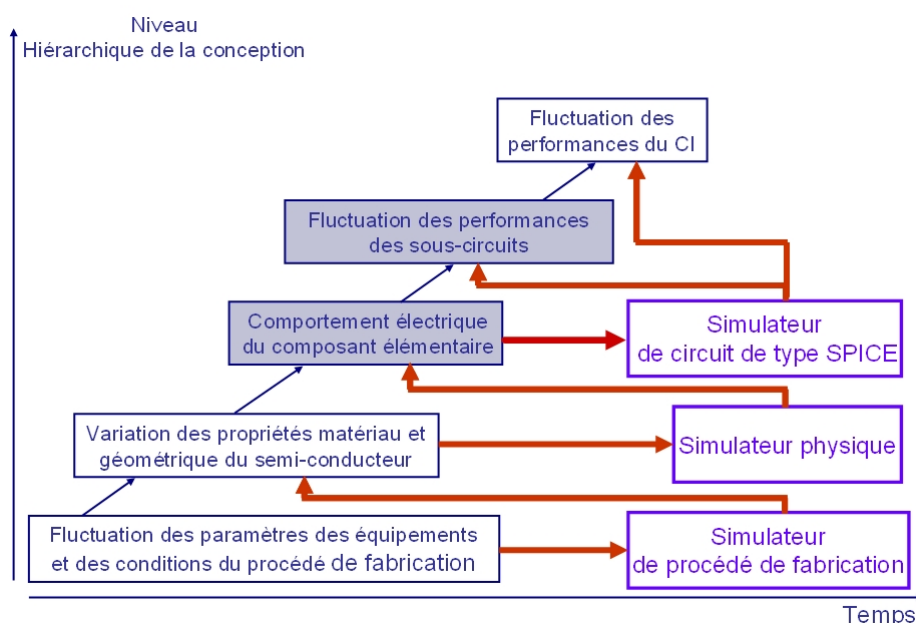
$$\sigma^2(y) = \sum_{i=1}^n \left( \frac{\partial f}{\partial x_i} \right)^2 \sigma^2(x_i) + 2 \sum_{i=1}^n \sum_j \frac{\partial f}{\partial x_i} \frac{\partial f}{\partial x_j} r_{ij} \sigma(x_i) \sigma(x_j) \quad (4.8)$$

Cette formule est très importante en conception, puisqu'elle peut fournir un lien analytique entre les performances électriques d'un dispositif et les caractéristiques numériques statistiques de ses composants.

## 2 Méthodologie de modélisation statistique d'une famille de composants : du niveau transistor au niveau circuit

### 2.1 Introduction

L'une des questions problématiques sur la nécessité de la modélisation des futurs procédés de fabrication CMOS est l'implémentation de méthodes statistiques dans le flux de conception des circuits intégrés [69]. En d'autres termes, l'influence des fluctuations paramétriques de ces procédés de fabrication sur les performances électriques des CIs doit être décrite par un modèle statistique. La figure 4.3 montre la manière dont ces variations sont représentées à chaque étape de la simulation hiérarchique lors de la phase de conception d'un circuit intégré.



**Figure 4.3** – Impact des fluctuations paramétriques des procédés de fabrication sur les performances d'un circuit intégré.

La simulation du procédé de fabrication fournit les profils de dopage et les géométries d'un unique transistor. A l'aide de ces informations, le simulateur physique calcule le comportement électrique de ce transistor, lorsque des contraintes électriques lui sont appliquées. Ce simulateur physique permet de le caractériser électriquement. A partir des caractéristiques courant/tension obtenues, les paramètres d'un modèle SPICE peuvent être extraits pour la simulation du transistor dans un circuit plus complexe.

Afin de prédire les fluctuations paramétriques des performances au niveau circuit, la description de modèles statistiques du niveau transistor au niveau d'abstraction « circuit » est indispensable. Cette section présente alors la méthodologie de modélisation statistique mise en œuvre.

## 2.2 Les erreurs paramétriques liées au procédé de fabrication

Les fluctuations paramétriques des procédés de fabrication se matérialisent par la présence de deux types d'erreurs caractérisant les dispersions paramétriques des CIs. La première, commune à chaque famille de composants élémentaires, est qualifiée d'erreur globale et la seconde, beaucoup plus petite et qui modifie les valeurs des composants de même nature du circuit, est qualifiée d'erreur locale. Ces deux types d'erreur affectant généralement des indices de performance différents conduisent à deux types de modélisation et deux types d'analyse.

### 2.2.1 L'erreur globale

La calibration de tous équipements (électronique, mécanique ...) dérive dans le temps à cause de l'usure naturelle de ces derniers. Il en est de même pour les équipements servant à la fabrication des CIs. Ces dérives sont principalement à l'origine de l'erreur globale et l'ensemble des valeurs prises par les paramètres physiques répond à des propriétés statistiques qui diffèrent d'un lot de fabrication à un autre et d'une tranche de silicium (wafer) à une autre. Typiquement, elle introduit des écarts entre côtes dessinées et côtes physiquement réalisées, des variations d'épaisseur d'oxyde, des modifications dans les concentrations de dopage, ... Elle conduit à des écarts de valeur entre paramètres généralement guère inférieurs à 10% et affecte de la même manière tous les composants de même nature d'un circuit intégré. Par exemple, la tension de seuil de tous les transistors de type N d'un même circuit possède des caractéristiques statistiques identiques.

D'un point de vue « conception », cette erreur est généralement compensée par sa prise en compte dès la phase de conception en utilisant des règles de conception conservatrices (par exemple les règles de dessins) ou en réalisant des analyses statistiques. Les résultats de ces analyses statistiques basées sur des simulations de type Monte-Carlo ou sur le principe des analyses du pire cas peuvent conduire à une redéfinition de l'architecture d'un CI lorsque les marges de sécurité ne sont pas satisfaisantes.

### 2.2.2 L'erreur locale ou erreur d'appariement

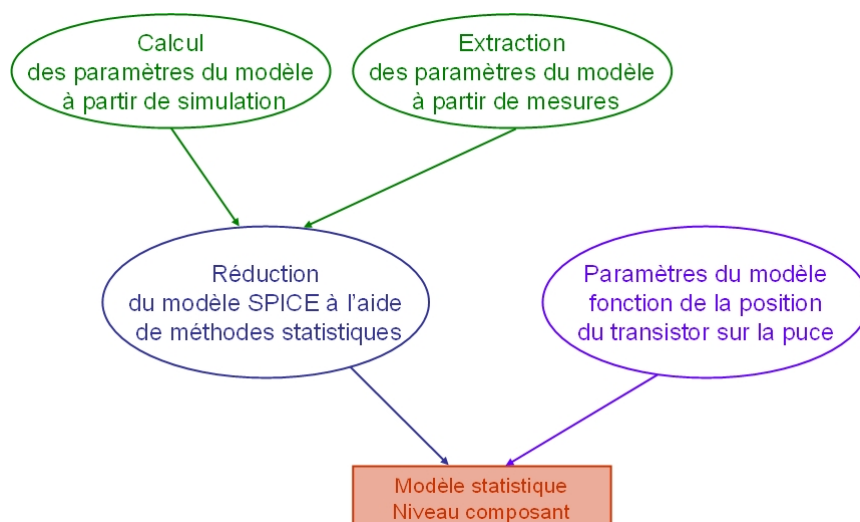
L'erreur locale ou erreur d'appariement est également issue des différentes phases de fabrication. Elle a essentiellement pour origine la granularité des matériaux, les défauts de surface des semi-conducteurs ... Dans ce cas, les paramètres physiques identiques des composants de même nature d'un unique circuit répondent à des propriétés statistiques identiques. Quantitativement, elle est d'un ou de deux ordres de grandeur plus petite que l'erreur globale. Par exemple, l'erreur locale entre les tensions de seuil de deux transistors MOS de type N est de l'ordre de 1mV, tandis que l'erreur globale est de 0,1 volt.

En termes d'indices de performance, elle affecte les indices de « symétrie » (par exemple, le facteur de recopie d'un miroir de courant ou encore la tension de décalage d'entrée d'un amplificateur opérationnel à transconductance). Contrairement à l'erreur globale, cette erreur d'appariement est

irr ductible. Elle fixe, par cons quent, l'ensemble des dispersions statistiques des performances ou des figures de m rite d'une famille de CIs. En termes de mod lisation, elle est plus difficile   mod liser que l'erreur globale puisqu'elle d pend   la fois de la nature, des dimensions, de la forme, du point de fonctionnement, et de la position des composants sur la puce.

## 2.3 Mod lisation statistique au niveau transistor

La figure 4.4 montre les grands principes de la mod lisation au niveau transistor. La premi re fa on de construire un mod le statistique du transistor est la r alisation d'un grand nombre de mesures exp rimentales sur puce ou wafer. Il peut aussi  tre obtenu par l'utilisation d'un grand nombre de simulations r alis es   l'aide d'un simulateur physique pour l'extraction des param tres du mod le SPICE   partir des diff rentes caract ristiques I-V obtenues [1]. La premi re m thode permet d'obtenir une meilleure pr cision puisque les incertitudes sur les r sultats des simulations de proc d s et physiques sont  limin es [9] [65]. N anmoins, pour obtenir un bon intervalle de confiance pour ces deux m thodologies, un nombre cons quent de simulations ou de mesures doit  tre r alis .



**Figure 4.4** – Principes de la mod lisation statistique au niveau transistor.

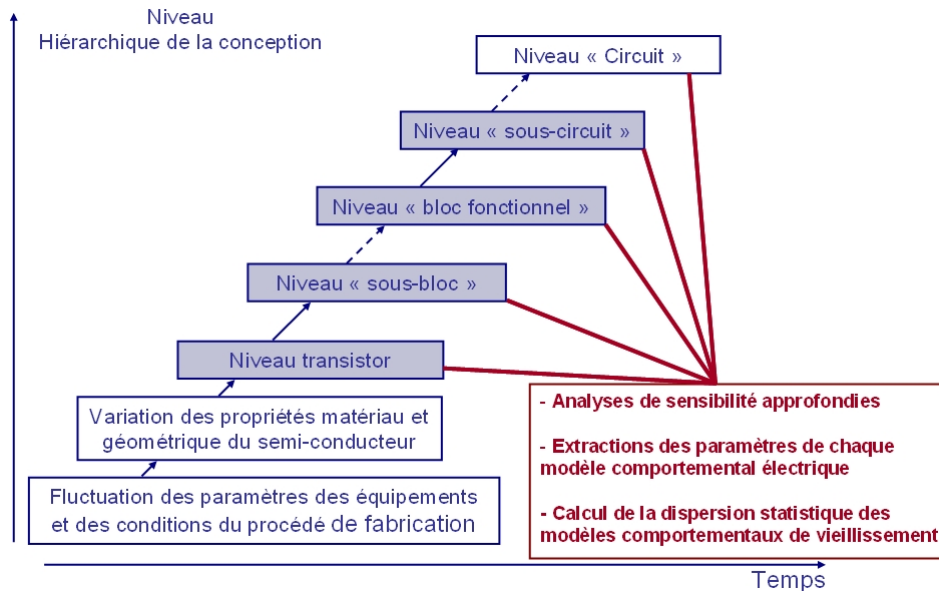
Le mod le statistique obtenu doit d crire   la fois les corr lations entre les param tres du mod le et la dispersion de ces derniers. Ce mod le peut  tre r duit   quelques param tres gr ce   l'utilisation de techniques de r duction de mod les statistiques[66].

## 2.4 Mod lisation statistique au niveau circuit

Apr s une mod lisation statistique au niveau transistor, l' tape suivante est la description des variations d'un circuit entier en fonction des fluctuations param triques de son proc d  de fabrication. Cette description passe par la mise en place d'une m thodologie de mod lisation statistique d'un

## 2. Méthodologie de modélisation statistique d'une famille de composants : du niveau transistor au niveau circuit

circuit. La méthodologie, développée au cours de ces travaux de thèse et résumée par la figure 4.5, est basée sur le principe d'une modélisation ascendante de l'influence des fluctuations des performances au niveau transistor sur celles du circuit.



**Figure 4.5** – Méthodologie de modélisation statistique ascendante d'une famille de CI.

A chaque passage d'un niveau d'abstraction  $N$  à un autre  $N+1$ , la dispersion statistique de chaque paramètre du modèle électrique du niveau  $N+1$  est déterminée à partir de celle des paramètres du niveau  $N$ . Seuls les paramètres critiques du niveau  $N$  sont pris en considération pour le calcul et sont obtenus à partir des analyses de sensibilité réalisées lors de la phase de modélisation ascendante du vieillissement des CI (« Bottom-Up aging modelling » de la figure 3.1). La modélisation statistique au plus haut niveau d'abstraction tient donc compte de la dispersion technologique au niveau transistor.

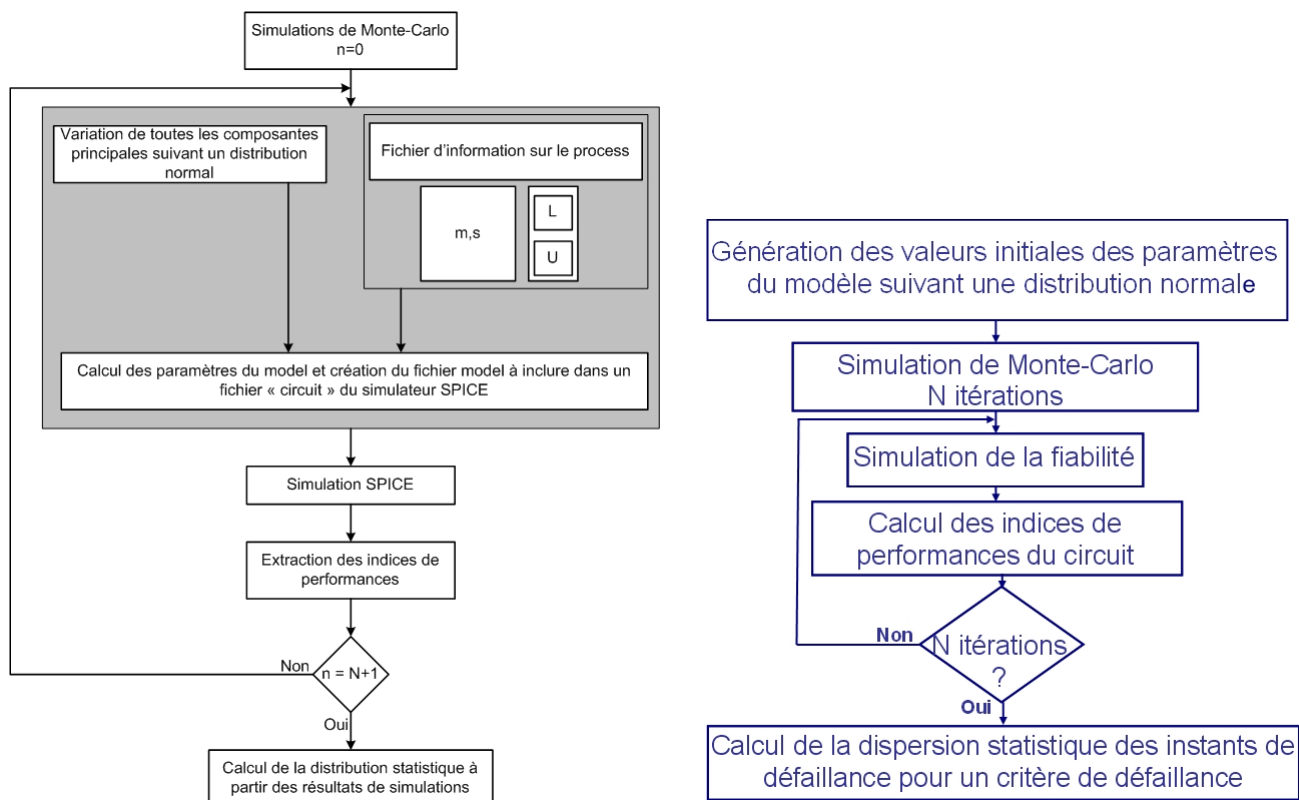
### 2.5 Détermination des propriétés statistiques des performances et des instants de défaillance d'un lot de CI

Lors de la conception d'un CI, les ingénieurs ont recours à des simulations de type Monte-Carlo. Ces simulations, dont le principe est résumé dans la figure 4.6(a), permettent de déterminer l'ensemble des valeurs des figures de mérite d'un CI (en d'autres termes, sa robustesse) et d'en définir des données répertoriées dans une « datasheet ». D'un point de vue fiabilité, ces simulations ne donnent aucune information sur l'évolution des performances électriques du circuit pour une durée de mission donnée.

Nous proposons alors une méthodologie de simulation de type Monte-Carlo afin de déterminer les propriétés statistiques de la fiabilité d'un lot de CI. Cette méthodologie est présentée dans la figure 4.6(b). A partir des lois statistiques définies lors de l'étape précédente, une liste des valeurs

des param tres comportementaux est g n r e.   chaque it ration, une simulation de vieillissement est alors r alis e afin de calculer les indices de performances du CI.   la fin des simulations de vieillissement, les dispersions statistiques des performances peuvent enfin  tre calcul es.

  l'aide de cette m thodologie, il est donc possible d'observer l' volution de la robustesse mais aussi de d terminer la dispersion des instants de d faillance d'un lot de CIs. Ces deux derniers points repr sentent,   eux deux, tout l'int r t des strat gies DFR. En effet, leur objectif final est de garantir la fonctionnalit  d'un circuit ou d'un syst me pour un profil de mission donn  quelles que soient les dispersions technologiques li es aux proc d s de fabrication utilis s. Les r sultats de telles simulations doivent donc  tre un crit re de choix, d'une architecture   une autre, d'un CI   un autre ou encore d'un syst me   un autre.



**Figure 4.6** – M thodologie de simulations de type Monte-Carlo.

### 3 Modélisation statistique d'une famille d'AOTs

Pour des circuits intégrés CMOS, les principales dispersions à considérer sont :

- $\Delta V_{TH}$  : dispersions sur les tensions de seuil ;
- $\Delta \frac{W}{L}$  : dispersions sur les dimensions ;
- $\Delta K_P$  : dispersions sur le paramètre de transconductance ;
- $\Delta \lambda$  : dispersions sur la conductance de sortie.

Ces dispersions affectent aussi bien les transistors d'entrée (i.e paire différentielle) que les transistors de la source de courant, des charges actives et de l'étage de gain de l'amplificateur opérationnel à transconductance. Il est donc impératif de les prendre en compte pour déterminer l'instant de la première défaillance d'un lot d'AOTs.

#### 3.1 Modèle statistique du transistor MOS

Pour pouvoir être facilement caractérisée et surtout pour pouvoir être utilisable analytiquement au moment de la détermination des indices de performance des dispositifs actifs, la modélisation statistique de l'erreur d'appariement est effectuée sur le courant de drain et ne comporte que quelques paramètres. Si ce petit nombre de paramètres est notoirement insuffisant pour modéliser avec précision les caractéristiques électriques nominales du transistor, il s'avère adéquat pour décrire les principales caractéristiques statistiques du courant. L'équation du courant de drain généralement considérée correspond au modèle analytique simplifié avec :

- en régime ohmique :  $I_{ds} = K_P \frac{W}{L} (V_{gs} - V_{TH} - \frac{1}{2} V_{ds}) V_{ds} (1 + \lambda V_{ds})$
- en régime saturé :  $I_{ds} = \frac{K_P}{2} \frac{W}{L} (V_{gs} - V_{TH})^2 (1 + \lambda V_{ds})$

avec :

$$V_{TH} = V_{TH0} + \gamma(\sqrt{\phi - V_{bs}} - \sqrt{\phi}) \quad (4.9)$$

Ce modèle permet de prendre en compte les erreurs sur le coefficient de transconductance par  $K_P$ , sur la tension de seuil par  $V_{TH0}$  et le coefficient d'effet de substrat  $\gamma$ . Pratiquement, l'erreur sur  $V_{TH0}$  est prépondérante devant l'erreur générée par  $\gamma$ , et avec

$$\frac{dI_{ds}}{I_{ds}} = \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial K_P} dK_P + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial \frac{W}{L}} d\frac{W}{L} + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial V_{TH0}} dV_{TH0} + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial \lambda} d\lambda \quad (4.10)$$

on détermine l'erreur relative sur le courant de drain

- en régime ohmique :

$$\frac{dI_{ds}}{I_{ds}} = \frac{dK_P}{K_P} + \frac{d\frac{W}{L}}{\frac{W}{L}} - \frac{dV_{TH0}}{V_{gs} - V_{TH} - 0,5V_{ds}} + \frac{V_{ds}}{1 + \lambda V_{ds}} d\lambda \quad (4.11)$$

– en r gime satur  :

$$\frac{dI_{ds}}{I_{ds}} = \frac{dK_P}{K_P} + \frac{d\frac{W}{L}}{\frac{W}{L}} - 2\frac{dV_{TH0}}{V_{gs} - V_{TH}} + \frac{V_{ds}}{1 + \lambda V_{ds}}d\lambda \quad (4.12)$$

En tenant compte de la nature al atoire de l'erreur relative, en terme de param tres statistiques et en n gligeant les termes de corr lation, on peut  crire par la formule des transmissions de moments, le mod le statistique   deux param tres de l'erreur d'appariement :

– en r gime ohmique :

$$\frac{\sigma^2(I_{ds}^2)}{I_{ds}^2} = \frac{\sigma^2(K_P)}{K_P^2} + \frac{\sigma^2(\frac{W}{L})}{(\frac{W}{L})^2} + \frac{1}{(V_{gs} - V_{TH} - \frac{V_{ds}}{2})^2}\sigma^2(dV_{TH0}) + \frac{V_{ds}^2}{(1 + \lambda V_{ds})^2}\sigma^2(d\lambda) \quad (4.13)$$

– en r gime satur  :

$$\frac{\sigma^2(I_{ds})}{I_{ds}^2} = \frac{\sigma^2(K_P)}{K_P^2} + \frac{\sigma^2(\frac{W}{L})}{(\frac{W}{L})^2} + \frac{4}{(V_{gs} - V_{TH})^2}\sigma^2(dV_{TH0}) + \frac{V_{ds}^2}{(1 + \lambda V_{ds})^2}\sigma^2(d\lambda) \quad (4.14)$$

### 3.2 Mod le statistique du miroir de courant simple

A partir des analyses de sensibilit  r alis es   l'aide de simulations (int grant le mod le SPICE du fondeur AMS, cf. Tableau 2.5, page 52), nous pouvons  crire les relations suivantes :

$$dAi = \sum_j \frac{\partial Ai}{\partial K_{Pj}}dK_{Pj} + \sum_j \frac{\partial Ai}{\partial (\frac{W}{L})_j}d\left(\frac{W}{L}\right)_j + \sum_j \frac{\partial Ai}{\partial V_{THj}}dV_{THj} + \sum_j \frac{\partial Ai}{\partial \lambda_j}d\lambda_j \quad (4.15a)$$

$$dErr = \sum_j \frac{\partial Err}{\partial K_{Pj}}dK_{Pj} + \sum_j \frac{\partial Err}{\partial (\frac{W}{L})_j}d\left(\frac{W}{L}\right)_j + \sum_j \frac{\partial Err}{\partial V_{THj}}dV_{THj} + \sum_j \frac{\partial Err}{\partial \lambda_j}d\lambda_j \quad (4.15b)$$

La dispersion sur le courant de sortie du miroir de courant est donn e par :

$$\frac{\sigma^2(Is)}{Is^2} = \frac{\sigma^2(Ai)}{Ai^2} + \frac{Vs^2}{(1 + ErrVs)^2}\sigma^2(Err) + 2 R_{Ai|Err}\sigma(dAi)\sigma(dErr) \quad (4.16)$$

Les dispersions statistiques sur le courant d'entr e  $\frac{\sigma^2(I_e)}{I_e^2}$  sont donn es par le mod le statistique du transistor MOS pr c demment d fini. Le coefficient  $R_{Ai|Err}$  est le coefficient de corr lation entre le facteur et l'erreur de recopie du miroir de courant. Cela signifie que le tirage al atoire des valeurs de chaque param tre ne peut  tre ind pendant. En effet, un tirage ind pendant induirait un gonflement de l'espace de dispersion des performances du miroir de courant. Cela signifie que le tirage al atoire des valeurs de l'erreur de recopie est r alis    partir du tirage du facteur de recopie en minimisant au maximum une fonction d'erreur al atoire repr sentative de la corr lation qui lie ces deux param tres[22].



### 3.3 Modèle statistique de la paire différentielle

Pour la paire différentielle, rappelons que le courant de mode différentiel de cette dernière est défini par la relation 2.19 et rappelé ici :

$$I_{md} = Gain * E_{md} * \sqrt{\frac{2 * I_{pol}}{Gain} - E_{md}^2} \quad (4.17)$$

$$I_{md} = I_{s1\_DP} - I_{s2\_DP} \quad (4.18)$$

Ainsi que la tension différentielle d'entrée :

$$E_{md} = V_{inv} + V_{OS} - V_{noninv} \quad (4.19)$$

Où  $Gain = KP \frac{W}{L}$ .

La dispersion sur ce courant de mode différentiel est donnée par :

$$\begin{aligned} \frac{\sigma^2(I_{md})}{I_{md}^2} &= \left[ \frac{1}{K_P} + \frac{I_{pol}L}{K_P^2 W} \frac{1}{\sqrt{\frac{2I_{pol}L}{K_P W} - E_{md}^2}} \right]^2 \sigma^2(K_P) \\ &+ \left[ \frac{1}{\left(\frac{W}{L}\right)} + \frac{I_{pol}L}{K_P \left(\frac{W}{L}\right)^2} \frac{1}{\sqrt{\frac{2I_{pol}L}{K_P W} - E_{md}^2}} \right]^2 \sigma^2\left(\frac{W}{L}\right) \\ &+ \left( \frac{E_{md}^2}{\left(\sqrt{\frac{2I_{pol}L}{K_P W} - E_{md}^2}\right)} \right)^2 \sigma^2(V_{OS}) \\ &+ R_{V_{OS}|K_P} \sigma(V_{OS}) \sigma(K_P) + R_{V_{OS}|\frac{W}{L}} \sigma(V_{OS}) \sigma\left(\frac{W}{L}\right) \end{aligned}$$

Et,

$$\frac{\sigma^2(V_{OS})}{V_{OS}^2} = \frac{\sigma^2(V_{TH})}{V_{TH}^2} + \left( \frac{V_{gs0} - V_{TH}}{2} \right)^2 \left[ \frac{\sigma^2\left(\frac{W}{L}\right)}{\left(\frac{W}{L}\right)^2} + \frac{\sigma^2(K_P)}{K_P^2} \right] \quad (4.20)$$

Ce modèle statistique permet de garder un lien entre les dispersions des paramètres comportementaux de la paire différentielle et ceux des transistors MOS qui le constituent.

### 3.4 Modèle statistique de l'AOT

En analysant le schéma de l'AOT, nous avons par la loi des nœuds :

$$I_{out} = I_{sCM4} - I_{sCM2} \quad (4.21)$$

Où  $I_{sCM2}$  et  $I_{sCM4}$  sont respectivement les courants de sortie des miroirs de courant 2 et 4 (Cf.

figure 2.18, page 62). La dispersion statistique sur ce courant de sortie est donc donn  par :

$$\frac{\sigma^2(I_{out})}{I_{out}} = \left( \frac{1}{I_{SCM4} - I_{SCM2}} \right)^2 (\sigma^2(I_{SCM2}) + \sigma^2(I_{SCM4})) \quad (4.22)$$

Il est donc n cessaire de calculer les dispersions  $\sigma^2(dI_{SCM2})$  et  $\sigma^2(dI_{SCM4})$ . Pour cela, il convient de calculer les dispersions li es au d sappariement des transistors de chaque bloc fonctionnel.

- Dispersion li es   la source de courant de la paire diff rentielle - Calcul de  $\sigma^2\left(\frac{I_{SCM1}}{I_{SCM1}}\right)$

$$\frac{\sigma^2(I_{SCM1})}{I_{SCM1}^2} = \frac{\sigma^2(Ai)}{Ai^2} + \frac{Vs^2}{1 + ErrVs^2} \sigma^2(Err) + R_{Ai|Err} \sigma(Ai) \sigma(Err) \quad (4.23)$$

- Dispersion li es   la paire diff rentielle - Calculs de  $\frac{\sigma^2(I_{md})}{I_{md}^2}$ ,  $\frac{\sigma^2(I_{s1\_DP})}{I_{s1\_DP}^2}$  et  $\frac{\sigma^2(I_{s2\_DP})}{I_{s2\_DP}^2}$

$$\begin{aligned} \frac{\sigma^2(I_{md})}{I_{md}^2} &= \left( \frac{2L}{K_P W (\frac{2I_{pol}L}{K_P W} - E_{md}^2)} \right)^2 \sigma^2(I_{SCM1}) \\ &+ \left[ \frac{1}{K_P} + \frac{I_{pol}L}{K_P^2 W} \frac{1}{\sqrt{\frac{2I_{pol}L}{K_P W} - E_{md}^2}} \right]^2 \sigma^2(K_P) \\ &+ \left[ \frac{1}{(\frac{W}{L})} + \frac{I_{pol}L}{K_P (\frac{W}{L})^2} \frac{1}{\sqrt{\frac{2I_{pol}L}{K_P W} - E_{md}^2}} \right]^2 \sigma^2\left(\frac{W}{L}\right) \\ &+ \left( \frac{E_{md}^2}{(\sqrt{\frac{2I_{pol}L}{K_P W} - E_{md}^2})} \right)^2 \sigma^2(V_{OS}) \\ &+ R_{V_{OS}|K_P} \sigma(V_{OS}) \sigma(K_P) + R_{V_{OS}|\frac{W}{L}} \sigma(V_{OS}) \sigma\left(\frac{W}{L}\right) \end{aligned} \quad (4.24)$$

$$I_{s1\_DP} = \frac{I_{pol} - I_{md}}{2} \Rightarrow \frac{\sigma^2(I_{s1\_DP})}{I_{s1\_DP}^2} = \frac{1}{(I_{pol} - I_{md})^2} (\sigma^2(I_{pol}) + \sigma^2(I_{md})) \quad (4.25)$$

$$I_{s2\_DP} = \frac{I_{pol} + I_{md}}{2} \Rightarrow \frac{\sigma^2(I_{s2\_DP})}{I_{s2\_DP}^2} = \frac{1}{(I_{pol} - I_{md})^2} (\sigma^2(I_{pol}) + \sigma^2(I_{md})) \quad (4.26)$$

- Dispersion li es au miroir de courant n 2 - Calcul de  $\frac{\sigma^2(I_{SCM2})}{I_{SCM2}^2}$

$$\frac{\sigma^2(I_{SCM2})}{I_{SCM2}^2} = \frac{\sigma^2(I_{SCM3})}{I_{SCM3}^2} + \frac{\sigma^2(Ai)}{Ai^2} + \frac{Vs^2}{1 + ErrVs^2} \sigma^2(Err) + R_{Ai|Err} \sigma(dAi) \sigma(Err) \quad (4.27)$$

- Dispersions liées au miroir de courant n°3 - Calcul de  $\frac{\sigma^2(Is_{CM3})}{Is_{CM3}^2}$

$$\frac{\sigma^2(Is_{CM3})}{Is_{CM3}^2} = \frac{\sigma^2(Is_{1-DP})}{Is_{1-DP}^2} + \frac{\sigma^2(Ai)}{Ai^2} + \frac{Vs^2}{1 + ErrVs^2} \sigma^2(Err) + R_{Ai|Err} \sigma(dAi) \sigma(Err) \quad (4.28)$$

- Dispersions liées au miroir de courant n°4 - Calcul de  $\frac{\sigma^2(Is_{CM4})}{Is_{CM4}^2}$

$$\frac{\sigma^2(Is_{CM4})}{Is_{CM4}^2} = \frac{\sigma^2(Is_{2-DP})}{Is_{2-DP}^2} + \sigma^2\left(\frac{dAi}{Ai}\right) + \frac{Vs^2}{1 + ErrVs^2} \sigma^2(Err) + R_{Ai|Err} \sigma(dAi) \sigma(dErr) \quad (4.29)$$

### 3.5 Conclusion

Cette section a présenté une mise en œuvre de la méthodologie de construction de modèles statistiques à différents niveaux hiérarchiques. Ces modèles statistiques servent à générer une liste de valeurs aléatoires des paramètres des modèles comportementaux.

## 4 Influence du crit re de d faillance sur la dispersion des instants de d faillance

### 4.1 Le circuit

Pour cette section, nous avons d cid  d' tudier l'influence du crit re de d faillance sur la dispersion des instants de d faillance d'un circuit sur une fonction  lectronique simple. Le circuit consid r  est un miroir de courant. Ce miroir de courant est r alis    l'aide de deux mod les comportementaux du transistor MOS.

### 4.2 Le profil de mission

Les simulations de la fiabilit  sont r alis es pour calculer la dispersion des instants de d faillance de 100 miroirs de courant pour des conditions nominales de fonctionnement (Cf. figure 4.7) sur une p riode de 20 ans. Le m canisme de d gradation choisi est l'injection de porteurs chauds dans l'oxyde de grille des transistors MOS (mod le de Hu,  quation 3.12 p. 81).

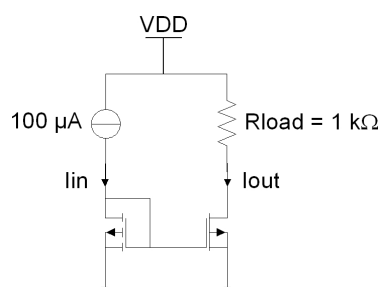


Figure 4.7 – Environnement  lectrique des miroirs de courant.

### 4.3 Les crit res de d faillance

Afin d' valuer l'impact du crit re de d faillance sur la dispersion des instants de d faillance des miroirs de courant, nous choisissons deux crit res de d faillance :

- **Crit re 1** : un crit re sur la d gradation du transistor de sortie (consid r  comme critique vis- -vis de la fonctionnalit  r alis e par le miroir, Cf Chapitre 3, section 4.2.4) : sa tension de seuil. Ce crit re de d faillance est choisi  gal   une variation de 100 mV de la valeur nominale de la tension de seuil.
- **Crit re 2** : un crit re sur la d gradation de la fonctionnalit  du miroir de courant : le courant de sortie. Ce crit re de d faillance est choisi  gal   une variation de 10 % de la valeur nominale du courant de sortie.

## 4.4 Détermination de la dispersion des instants de défaillance

### 4.4.1 Corrélation entre les paramètres du modèle

Avant toute simulation de la fiabilité de type Monte-Carlo, une liste de valeurs des paramètres des transistors a été générée suivant une loi normale. Nous considérons que chaque paramètre du modèle est indépendant (Cf. figure 4.8(a)). Le tableau 4.1 donne un récapitulatif des paramètres utilisés pour générer cette liste.

| Paramètre   | Valeur moyenne | Écart type    |                | Unité   |
|-------------|----------------|---------------|----------------|---------|
|             |                | Erreur locale | Erreur globale |         |
| $V_{THin}$  | 800            | 8             | 40             | $mV$    |
| $KP_{in}$   | 65             | 0.65          | 3              | $\mu S$ |
| $V_{THout}$ | 800            | 8             | 40             | $mV$    |
| $KP_{out}$  | 65             | 0.65          | 3              | $\mu S$ |

**Tableau 4.1** – Valeurs moyennes et écart type pour la génération, suivant une distribution normale, de la liste de valeurs des paramètres du modèle des transistors.

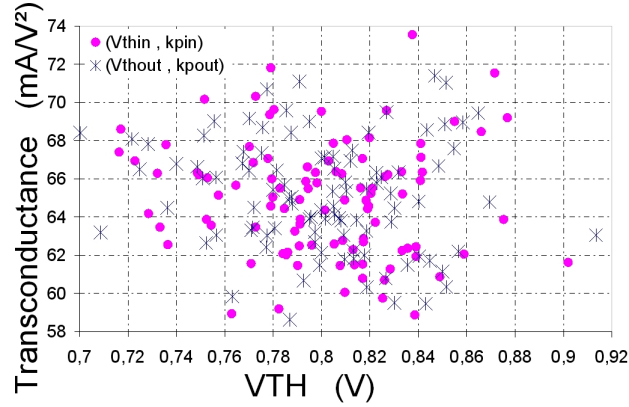
Sur les diagrammes de corrélation présentés à la figure 4.8, nous pouvons observer les erreurs locales (flèches vertes) et globales (flèches rouges) liées respectivement aux dispersions technologiques entre deux transistors sur une même puce, et celles entre deux transistors sur deux puces différentes.

### 4.4.2 Résultats de simulation : $I_{out}$

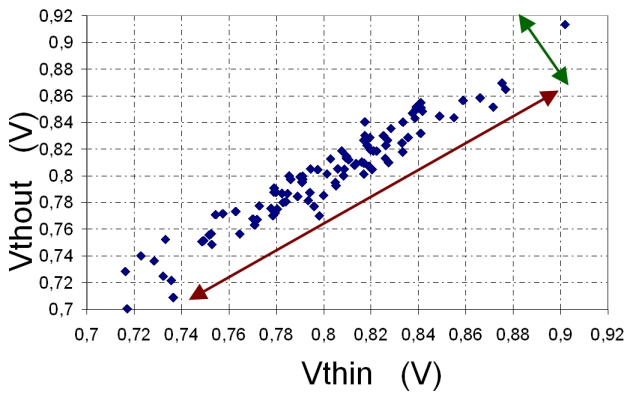
La dispersion des instants de défaillance est calculée à partir d'un critère de défaillance sur le courant de sortie des miroirs de courant. Ce critère de défaillance est équivalent à une variation de 100 % de la valeur nominale du courant de sortie, soit  $95.4 \mu A$ . La figure 4.9(a) montre l'évolution de cette tension de seuil sur une période de 20 ans.

L'histogramme de la figure 4.9(b) montre la dispersion des instants de défaillance des 100 miroirs de courant. Cette dispersion a été calculée à partir des résultats de la figure 4.9(a). L'artefact qu'on observe entre 15 et 16 années est lié au nombre de miroirs de courant étudiés. Cette quantité ne couvre pas suffisamment toute la plage de dispersion des paramètres du modèle des transistors.

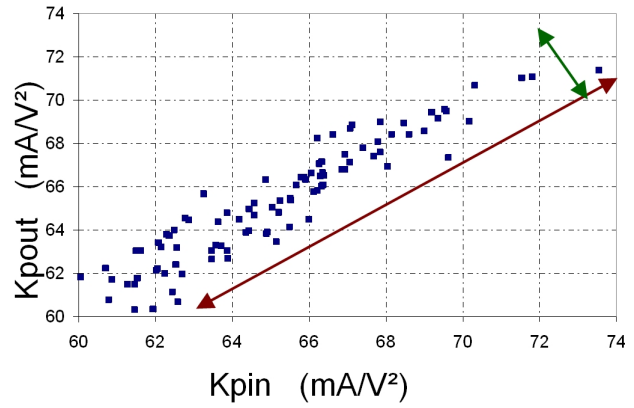
Le diagramme de Weibull de la figure 4.9(c) montre l'évolution de la fonction de défaillance  $F(t)$  en fonction des instants de défaillance des miroirs de courant. Le paramètre  $\alpha$  est le facteur d'échelle de la distribution de Weibull et  $\beta$  le paramètre de la distribution de Weibull caractérisant le niveau de dispersion des instants de défaillance. La valeur du paramètre  $\beta = 4.5$  confirme que l'injection de porteurs chauds dans l'oxyde de grille des transistors MOS est bien un mécanisme d'usure.



(a) Diagramme de cor lation entre les param tres du mod le de chaque transistor.



(b) Diagramme de cor lation entre les tensions de seuil de chaque transistor.



(c) Diagramme de cor lation entre les transconductances de chaque transistor.

**Figure 4.8** – Diagrammes de cor lation entre chaque param tre des transistors.

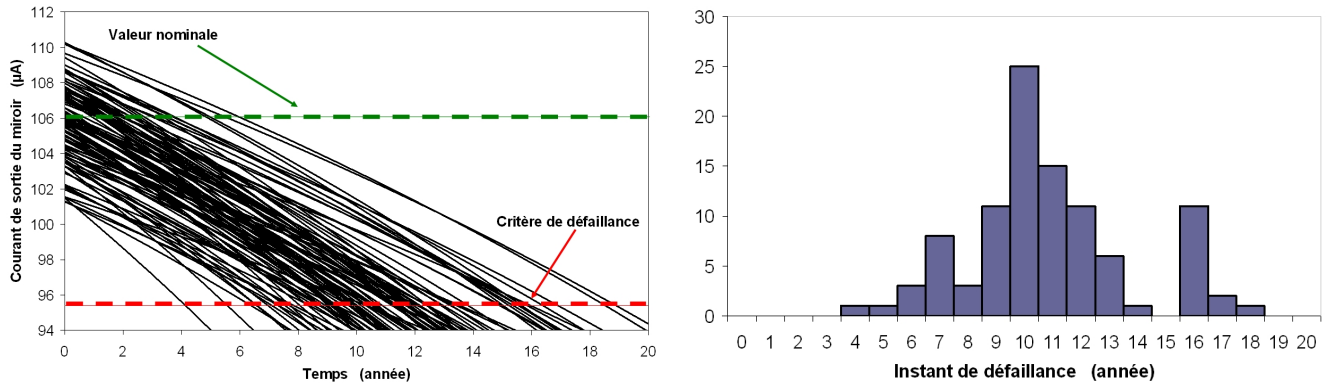
#### 4.4.3 R sultats de simulation : $V_{THout}$

La dispersion des instants de d faillance est calcul e   partir d'un crit re de d faillance sur la tension de seuil du transistor de sortie des miroirs de courant. Ce crit re de d faillance est  quivalent   une variation de 100 mV de la valeur nominale de cette tension de seuil, soit 900 mV. La figure 4.10(a) montre l' volution de cette tension de seuil sur une p riode de 20 ans.

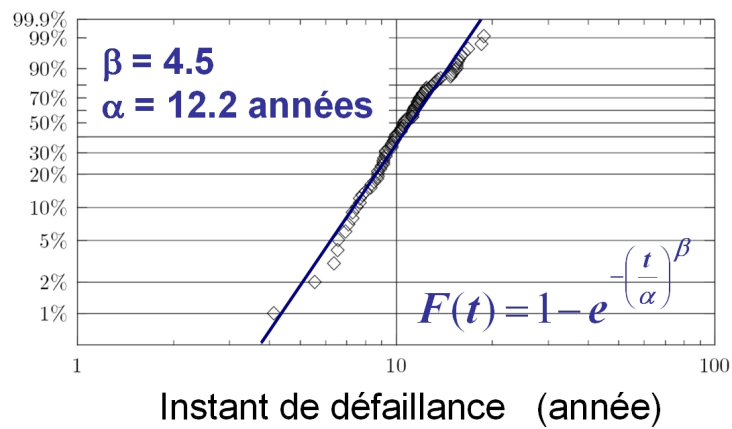
L'histogramme de la figure 4.10(b) montre la dispersion des instants de d faillance des 100 miroirs de courant. Cette dispersion a  t  calcul e   partir des r sultats de la figure 4.10(a). L'artefact qu'on observe entre 15 et 16 ann es est li  au nombre de miroirs de courant  tudi s. Cette quantit  ne couvre pas suffisamment toute la plage de dispersion des param tres du mod le des transistors.

Le diagramme de Weibull de la figure 4.10(c) montre l' volution de la fonction de d faillance  $F(t)$  en fonction des instants de d faillance des miroirs de courant. La valeur du param tre  $\beta = 3.2$ , pour un crit re de d faillance sur le transistor de sortie, est inf rieure   celle trouv e ( $\beta = 4.5$ ) pour un crit re de d faillance sur le courant de sortie du miroir de courant. Cette valeur de  $\beta$  signifie que les

#### 4. Influence du critère de défaillance sur la dispersion des instants de défaillance



(a) Évolution du courant de sortie des miroirs de courant. (b) Dispersion des instants de défaillance des 100 miroirs de courant



(c) Diagramme de Weibull des instants de défaillance des 100 miroirs de courant

**Figure 4.9** – Résultats de simulation pour un critère de défaillance sur la fonctionnalité du miroir de courant.

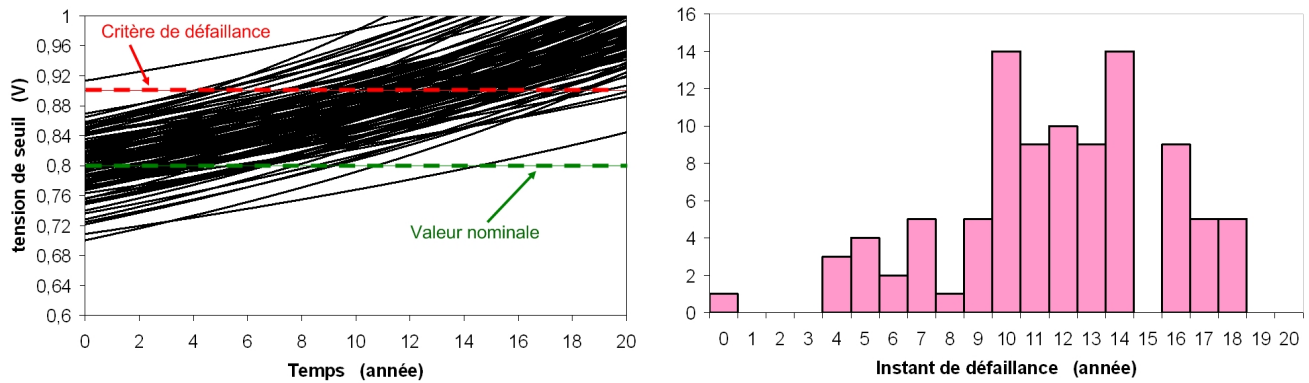
défaillances sont beaucoup plus dispersées. Toutefois, sa valeur confirme que l'injection de porteurs chauds dans l'oxyde de grille des transistors MOS est bien un mécanisme d'usure.

#### 4.4.4 Discussion

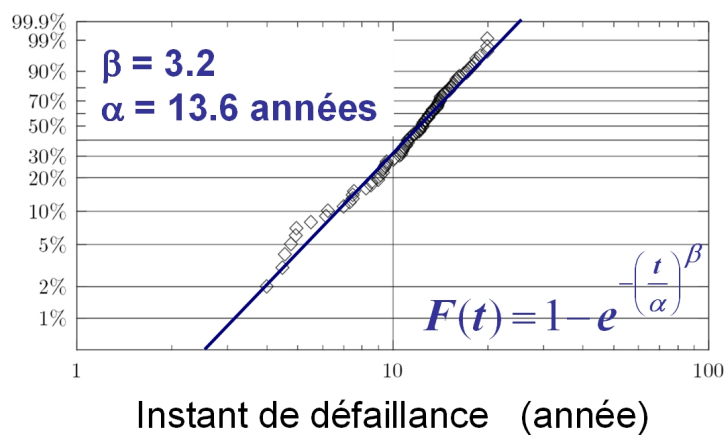
La dispersion des instants de défaillance et les valeurs des paramètres des fonctions de défaillance diffèrent suivant le critère de défaillance choisi. Il apparaît dès lors qu'une comparaison des résultats de simulation est nécessaire.

L'histogramme de la figure 4.11(a) montre la dispersion des instants de défaillance en fonction des critères choisis. Les courbes de la figure 4.11(b) montrent l'évolution au cours du temps des fonctions de défaillance simulées à partir de chaque critère choisi.

A partir de ces deux figures, nous pouvons constater que l'instant de la première défaillance



(a) Évolution de la tension de seuil du transistor de sortie des miroirs de courant. (b) Dispersion des instants de défaillance des 100 miroirs de courant.



(c) Diagramme de Weibull des instants de défaillance des 100 miroirs de courant.

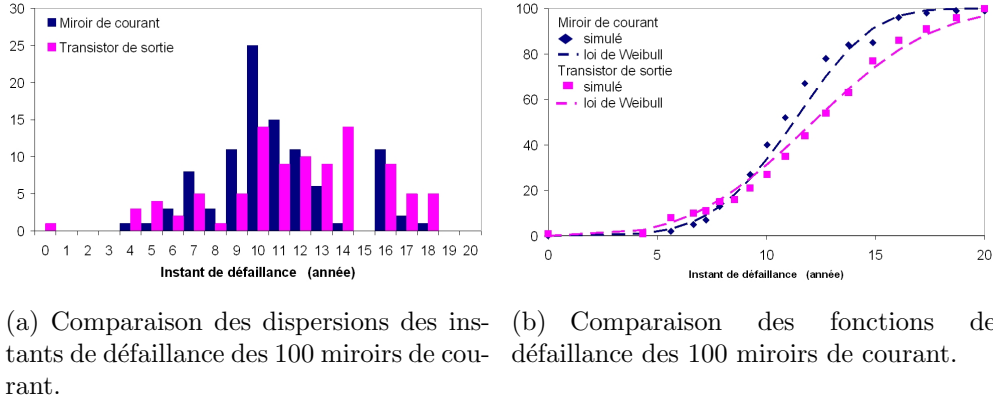
**Figure 4.10** – Résultats de simulation pour un critère de défaillance sur la tension de seuil du transistor de sortie de chaque miroir de courant.

observée pour un critère sur la fonctionnalité des CMs diffère de celui pour un critère de défaillance sur le transistor de sortie des CMs. De plus, dans le cas de ce dernier critère, le nombre de composants défaillants est surestimé au début du temps de fonctionnement (Cf. figure 4.11(b)), et sous-estimé à la fin de la période d'utilisation des CMs. Le choix du critère de défaillance est donc l'un des points critiques lors de l'évaluation des propriétés statistiques des performances d'un circuit au cours du temps.

Afin d'évaluer la « criticité » des critères de défaillance choisis, le diagramme de corrélation entre les instants de défaillance simulés pour chaque CM a été réalisé et est représenté sur la figure 4.12. Pour chaque CM, les instants de défaillance simulés pour le critère 1 sont représentés en abscisse, et ceux simulés pour le critère 2 en ordonnée. Sur ce diagramme, nous constatons que les instants de défaillance pour un même circuit diffèrent complètement. Dans le cas du circuit A, il est directement

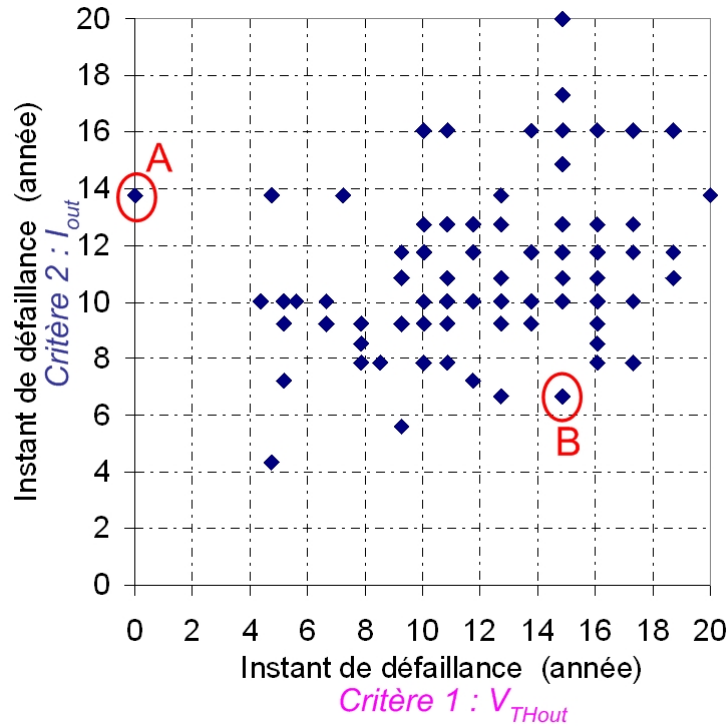


#### 4. Influence du critère de défaillance sur la dispersion des instants de défaillance



**Figure 4.11** – Comparaison des résultats obtenus pour chaque critère de défaillance.

considéré défaillant pour le premier critère, alors qu'il assure sa fonctionnalité pendant 13,6 années pour le second critère. Une question s'impose alors : quel est le bon critère de défaillance ?



**Figure 4.12** – Comparaison des instants de défaillance obtenus pour chaque miroir de courant.

*La défaillance d'un circuit est définie par la perte de sa fonctionnalité. Un critère de défaillance sur la fonctionnalité accomplie par ce dernier doit alors être choisi. C'est donc le second critère de défaillance qui est le plus juste.*

Les observations faites dans cette section confortent le fait que nous ayons décidé de simuler la fiabilité des AOTs au niveau système et que le critère de défaillance soit défini sur la fonctionnalité

de ce dernier. En effet, l'analyse de la fiabilit  d'un circuit doit int grer le syst me dans lequel ce circuit va  voluer. Ce sont ce syst me et son profil de mission qui fixeront les contraintes  lectriques et environnementales qui lui seront appliqu es. **Pour une analyse de fiabilit  viable, il est donc pr f rable de simuler au niveau syst me qu'au niveau circuit, au niveau circuit qu'au niveau blocs fonctionnels, et au niveau blocs fonctionnels qu'au niveau transistor.**

Une pol mique pourrait voir le jour... Quels sont les domaines de validit  des r sultats des tests acc l r s lors de la qualification des composants pour une mission donn e ? En effet, ces tests n'int grent pas les circuits dans lesquels ces composants vont  voluer. Nous ne cherchons en aucun cas   remettre en question ces tests car ils ont fait leur preuve, et sont encore viables de nos jours puisque que les crit res de d faillance choisis sont stricts selon le domaine d'application. Pour les experts de la fiabilit , une fiabilit   lev e pour chaque composant du circuit conduit forc ment   une fiabilit   lev e de ce dernier. Toutefois, nous tenons   souligner qu'une fiabilit   lev e de ces composants est suffisante mais pas forc ment n cessaire pour atteindre les objectifs d'assurance fiabilit  fix s par la mission.

## 5 Détermination de la durée de vie d'un circuit intégré

### 5.1 Le circuit

Le circuit choisi pour calculer la dispersion des instants de défaillance est identique au montage de la figure **3.17** à la page 100. Le profil de mission est aussi identique :

- la tension d'entrée sera une tension sinusoïdale, d'amplitude 2 V crête à crête et de fréquence 1 kHz ;
- la polarisation en tension de l'AOT est de  $\pm 5$  V ;
- le courant de polarisation est de 2 mA ;
- la résistance de sortie est de 50  $\Omega$ .

Nous souhaitons évaluer le niveau de dégradation d'une cinquantaine d'AOTs sur une période d'un an dans cette configuration.

### 5.2 Le critère de défaillance

Nous avons vu au chapitre 3 que le circuit est considéré comme défaillant lorsque sa transconductance  $Gm$  varie de 13 % par rapport à sa valeur nominale. Ce critère est celui retenu pour la détermination des instants de défaillance d'un lot d'AOTs.

### 5.3 Dispersion des instants de défaillance de l'AOT

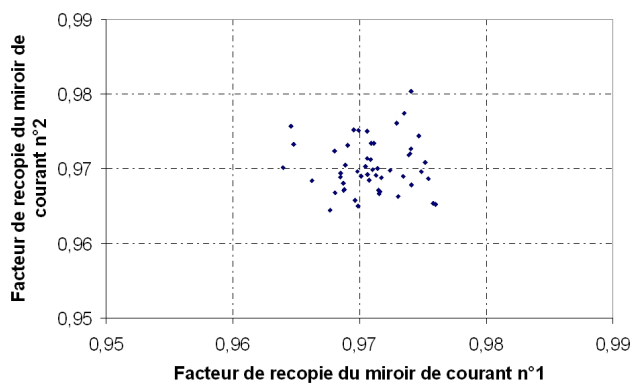
L'ensemble des valeurs des paramètres du modèle comportemental au plus haut niveau d'abstraction a été généré suivant les modèles statistiques définis au début de ce chapitre. Les diagrammes de corrélation entre chaque paramètre comportemental identique sont donnés par la figure **4.13**.

Les simulations de vieillissement de type Monte-Carlo ont été réalisées. La figure 4.14(a) montre l'évolution du rapport  $|\Delta Gm/Gm_0|$ . A partir de cette dernière, la dispersion des instants de défaillance des cinquante AOTs peut être calculée. Cette dispersion est représentée par l'histogramme de la figure 4.14(b).

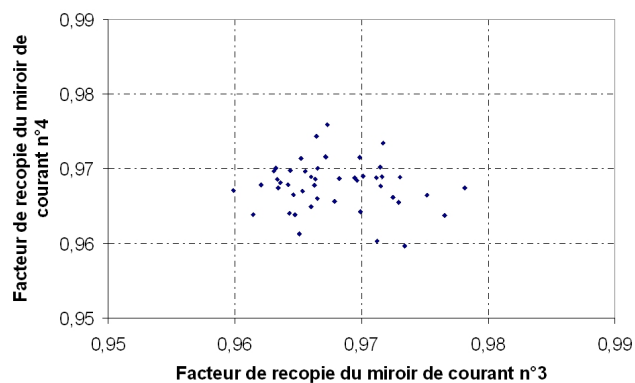
**Remarque :** Pour un grand nombre d'AOTs simulés (pour éviter les artefacts), l'instant de la première défaillance peut être déterminé avec une meilleure précision.

### 5.4 Evolution de la robustesse de l'AOT

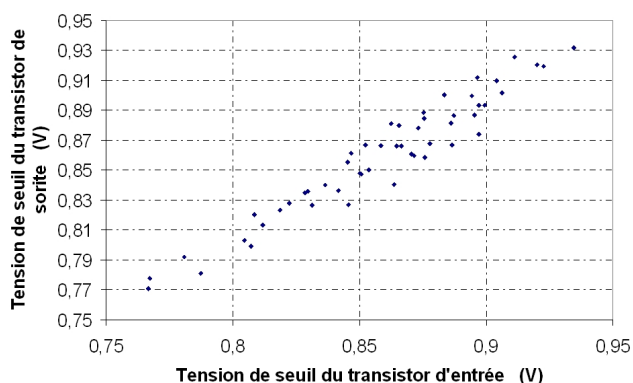
Le logiciel AdVance MS offre la possibilité de visualiser l'évolution des paramètres comportementaux de nos modèles. Ce point est très intéressant, car à chaque tour d'itération de simulation, ces derniers peuvent être enregistrés. A partir de ces résultats, il est alors possible de déterminer l'évolution de la robustesse du circuit intégré concerné. Dans notre cas d'étude, les deux paramètres que nous considérons sont la transconductance et la tension de décalage de l'AOT.



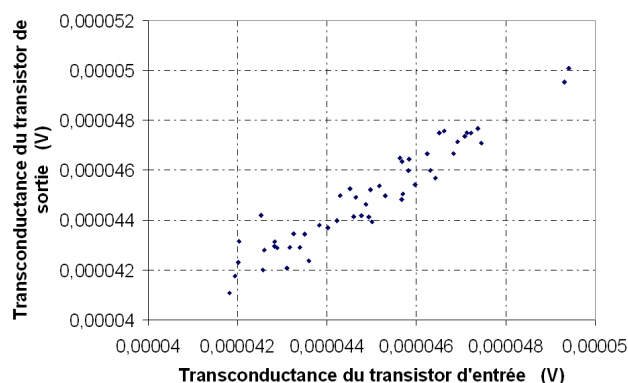
(a) Diagramme de corr lation entre les facteurs de recopie des miroirs de courant n  1 et 2



(b) Diagramme de corr lation entre les facteurs de recopie des miroirs de courant n  3 et 4

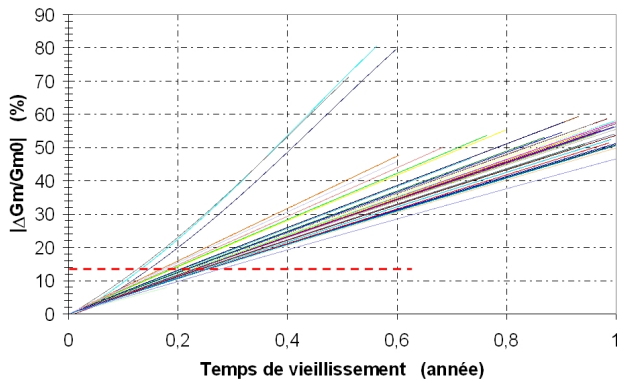


(c) Diagramme de corr lation entre les tensions de seuil des transistors de la paire diff rentielle

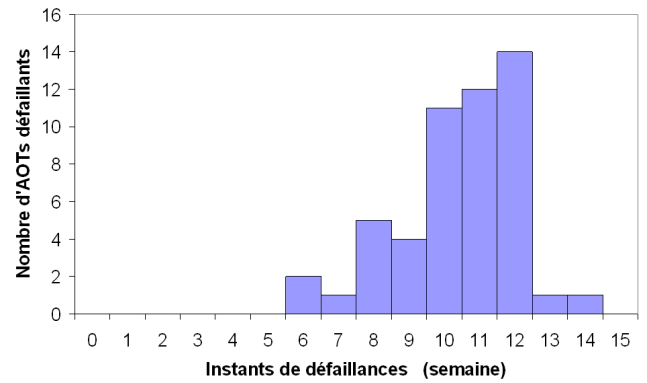


(d) Diagramme de corr lation entre les transconductances des transistors de la paire diff rentielle

**Figure 4.13** – Diagramme de corr lation entre chaque param tre identique du mod le comportemental de vieillissement de l'AOT.



(a) Évolution du rapport  $|\Delta G_m/G_{m0}|$

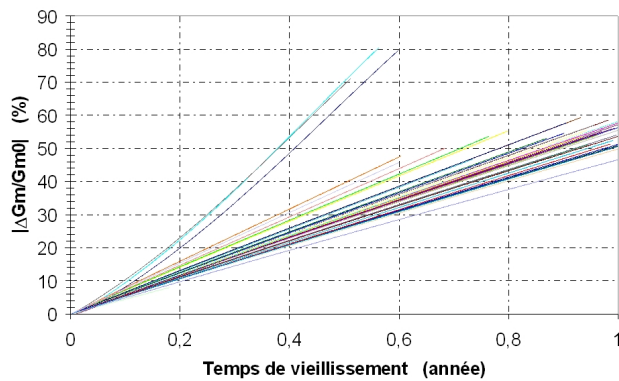


(b) Histogramme représentant la dispersion des instants de défaillance des 50 AOTs. Ces résultats sont obtenus à partir des résultats présentés dans la figure 4.14(a) pour un critère de défaillance correspondant à une variation de 13 % de la transconductance de chaque AOT.

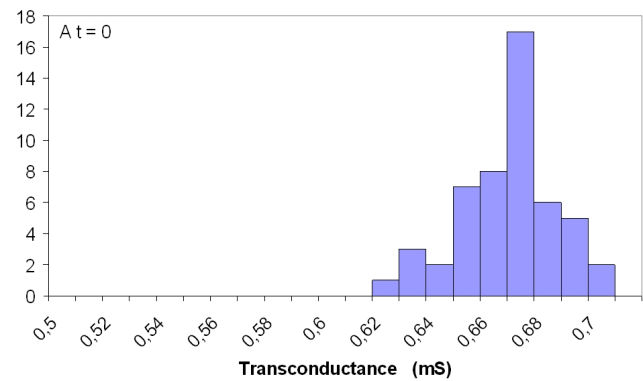
**Figure 4.14** – Résultats des simulations de vieillissement de type Monte-Carlo.

#### 5.4.1 La transconductance

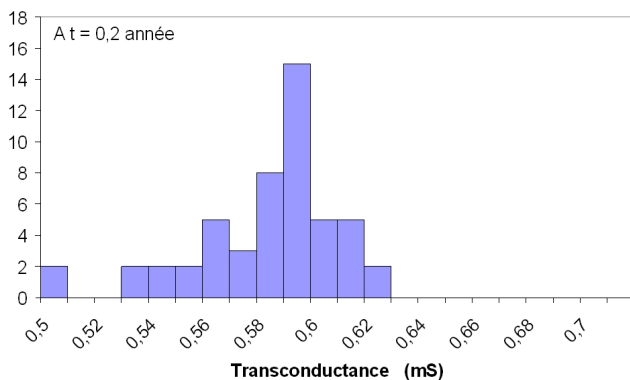
Comme le montre la figure 4.15(a), la dispersion des amplitudes des transconductances des AOTs évolue au cours du temps. Les histogrammes 4.15(b), 4.15(c) et 4.15(d) montrent l'évolution de cette dispersion au cours du vieillissement. Nous pouvons ainsi observer un étalement de la gaussienne de dispersion, significatif d'une augmentation de l'écart type, et une diminution de la valeur moyenne.



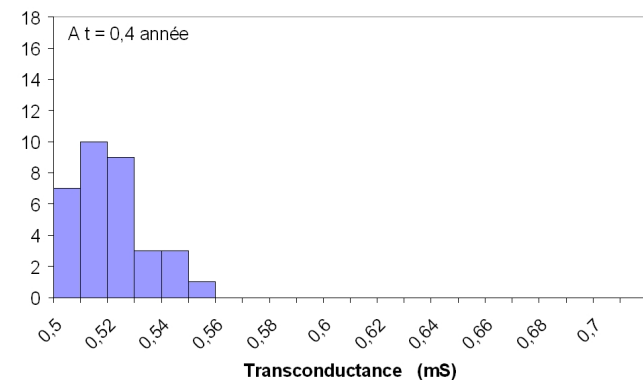
(a) Evolution du rapport  $|\Delta Gm/Gm_0|$



(b) Dispersion des amplitudes des transconductances des AOTs    $t=0$



(c) Dispersion des amplitudes des transconductances des AOTs au bout de 2 mois et 12 jours de fonctionnement (= 0.2 ans)

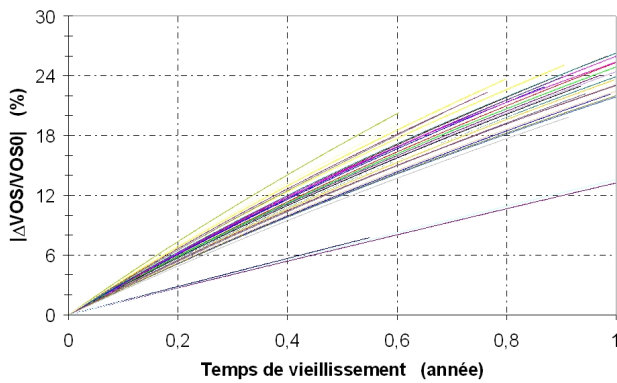


(d) Dispersion des amplitudes des transconductances des AOTs au bout de 4 mois et 24 jours de fonctionnement (= 0.4 ans)

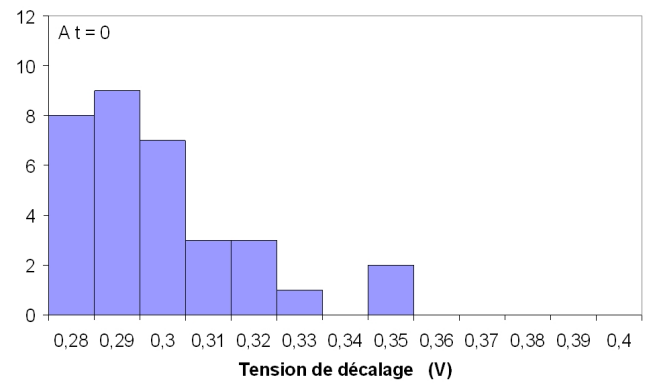
**Figure 4.15** –  volution de la robustesse de l'AOT en fonction de sa transconductance

### 5.4.2 La tension d'offset

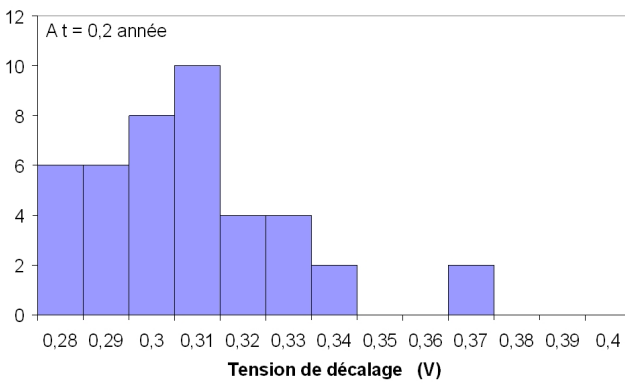
Comme le montre la figure 4.16(a), la dispersion des amplitudes des tensions d'offset des AOTs évolue au cours du temps. Les histogrammes de la figure 4.16 montrent l'évolution de cette dispersion au cours du vieillissement. Nous pouvons ainsi observer un étalement de la gaussienne de dispersion, significatif d'une augmentation de l'écart type, et d'une augmentation de la valeur moyenne.



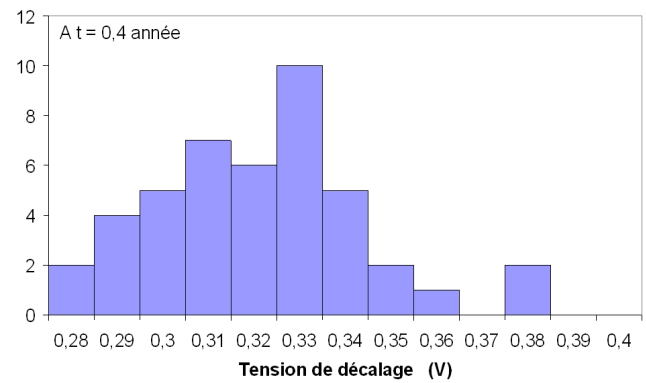
(a) Evolution du rapport  $|\Delta VOS/VOS_0|$



(b) Dispersion des amplitudes des tensions d'offset des AOTs à  $t=0$



(c) Dispersion des amplitudes des tensions d'offset des AOTs au bout de 2 mois et 12 jours de fonctionnement ( $= 0.2$  ans)



(d) Dispersion des amplitudes des tensions d'offset des AOTs au bout de 4 mois et 24 jours de fonctionnement ( $= 0.4$  ans)

**Figure 4.16** – Évolution de la robustesse de l'AOT en fonction de sa tension d'offset

## 5.5 Conclusion

Nous avons montré dans cette section deux des nombreux avantages de notre stratégie de conception en vue de la fiabilité. A savoir la détermination des instants de défaillance d'un lot de CI et du niveau de dégradation de la robustesse de ces derniers. Ce dernier point est très important, car la mise en place d'indicateurs de fiabilité, sur les paramètres dont les dispersions seraient critiques vis-à-vis des objectifs d'assurance fiabilité fixés par la mission, pourrait alors être possible.

## **6 Conclusion**

Comme nous l'avons montré dans ce chapitre, les dispersions induites par les procédés de fabrication et les profils de mission ont une influence notable sur les dispersions des performances électriques des circuits, et par conséquent, sur celle des instants de défaillance d'un lot de CIs. Leur prise en compte lors de la phase de l'analyse de la fiabilité via des simulations de vieillissement est donc primordiale. Une méthodologie d'analyse statistique, basée sur des simulations de type Monte-Carlo de modèles comportementaux dégradables d'un circuit, a été définie et mise en œuvre durant ces travaux.

Cette méthodologie consiste à faire varier aléatoirement les valeurs des paramètres des modèles à partir des lois statistiques définies à différents niveaux hiérarchiques. La modélisation ascendante (du niveau transistor au niveau circuit) des dispersions statistiques d'un CI, présentée dans ce chapitre, est en adéquation avec la stratégie de conception en vue de la fiabilité (DFR) définie au Chapitre 3, puisque l'objectif final des stratégies DFR est de garantir la fonctionnalité d'un circuit quelles que soient les dispersions technologiques liées aux procédés de fabrication utilisés. Cette méthodologie s'appuie sur les résultats des analyses de sensibilité réalisées à chaque passage d'un niveau hiérarchique à un autre. Elle permet ainsi de ne prendre en compte que les paramètres critiques vis-à-vis de la fonctionnalité du CI et de conserver un lien direct entre les dispersions des performances de ce dernier, celles des blocs fonctionnels et des transistors qui le constituent, et les dispersions de leurs paramètres comportementaux.

A partir des résultats obtenus, lors de la phase d'analyse statistique, la dispersion des durées de vie d'un lot de CIs peut alors être déterminée. Nous avons montré que ces dispersions dépendent du critère de défaillance choisi. Le choix de ce dernier ne peut être fait qu'à partir d'un critère défini au niveau hiérarchique supérieur. D'un point de vue système, les critères de défaillance doivent représenter les valeurs limites des figures de mérites d'un circuit pour lesquelles le système, dans lequel il sera intégré, sera considéré comme défaillant. Leur choix doit donc être rigoureux, cohérent et significatif vis-à-vis de l'environnement électrique dans lequel le CI est appelé à évoluer.

Bien que nous ne l'ayons pas expérimentalement vérifié, l'intérêt d'une telle méthodologie est de pouvoir cibler les paramètres dont les dispersions pourraient notablement altérer la dispersion des durées de vie d'un lot de CIs. Dans l'optique du zéro défaut, cela sous-entend alors que la mise en place d'indicateurs sur ces paramètres peut donc être possible lors de la phase de sélection.



## Chapitre 5

# Prévision de la tenue aux radiations d'un circuit

Les méthodes développées au cours de mes travaux visent à construire un modèle comportemental compact d'un circuit permettant de simuler son vieillissement électrique (Cf. figure **3.1**, page 69). Cette construction est fondée sur une analyse ascendante des relations entre les signaux d'entrées, les dégradations de chaque composant élémentaire et l'effet de ces dégradations sur le comportement du circuit complet. Le point critique de la méthode, comme toutes les méthodes de simulation de vieillissement, est la validité des modèles de dégradation au niveau transistor. Ces modèles sont fortement dépendants de la technologie et doivent être construits sur des bases expérimentales. Afin de valider notre stratégie DFR, nous avons choisi de simuler la tenue aux radiations d'un AOT, plus particulièrement l'effet de dose ionisante.

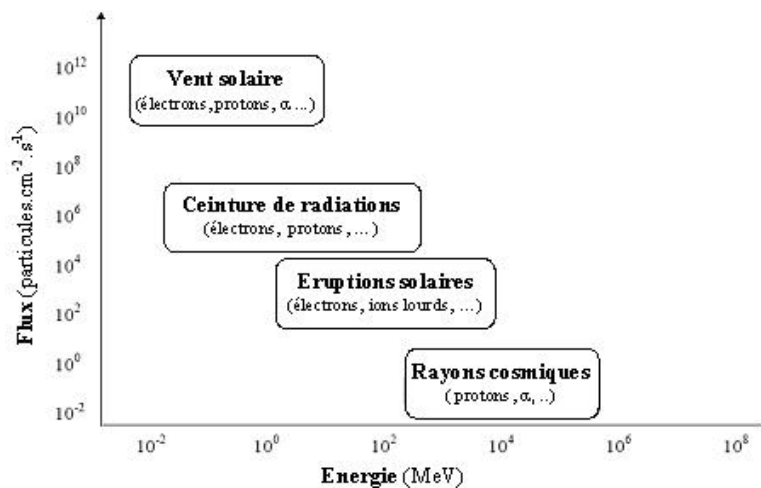
Après une brève présentation de l'environnement spatial et des mécanismes de défaillance qui en résultent, nous présenterons dans ce chapitre les expériences mises en place afin de valider les méthodologies d'analyse de la fiabilité (via des simulations électriques) et de construction des modèles comportementaux de vieillissement à chaque niveau de description d'un circuit (du niveau transistor au niveau circuit). Nous présenterons, dans un deuxième temps, les premiers résultats expérimentaux obtenus, un modèle empirique du transistor MOS ainsi que les premiers résultats de simulation de vieillissement du miroir de courant simple.

# 1 L'environnement radiatif spatial

Le domaine spatial est le plus complexe et le plus contraignant en mati re de fiabilit  des composants  lectroniques. La grande vari t  des particules et la quasi-inaccessibilit  des syst mes au cours des missions contribuent   faire de la sp cification une  tape   la fois d licate et cruciale.

## 1.1 Composantes de l'environnement spatial

En milieu radiatif, le comportement d'un composant  lectronique d pend de la nature et du flux du rayonnement incident. Les principales composantes de l'environnement radiatif spatial sont class es, suivant leur origine, en 3 grandes cat gories : les ceintures de radiations, le rayonnement cosmique et les  ruptions solaires (Figure 5.1)[5][6].



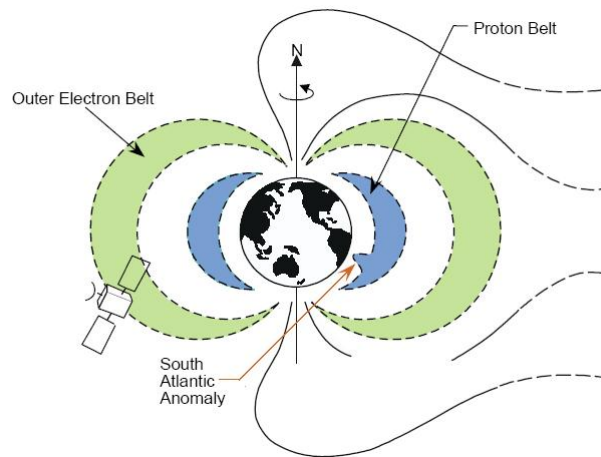
**Figure 5.1** – Diff rentes composantes de l'environnement radiatif spatial : variations des flux de particules en fonction de leur  nergie.

### 1.1.1 Ceintures de radiations

Les ceintures de radiations ou ceintures de Van Allen, d couvertes   la fin des ann es 50, sont situ es au sein de la magn tosph re, en dehors de l'atmosph re terrestre mais toujours dans la zone de l'espace influenc e par le champ magn tique de la Terre. Elles sont constitu es d' lectrons (d' nergie inf rieure   10 MeV) et d'ions (principalement des protons) tr s  nerg tiques (d' nergie inf rieure   300 MeV) dont le mouvement autour de la Terre est fortement contraint par le champ magn tique terrestre.

Les ceintures de radiations de Van Allen sont r parties sur deux zones autour de la Terre (Cf. FIG 5.2) :

- une ceinture interne, débutant entre 300 et 1000 km d'altitude (en fonction de la latitude) et s'étendant jusqu'à 10000 km d'altitude. Elle comporte des ions (principalement des protons) ;
- une ceinture externe, débutant à 10000 km d'altitude et s'étendant au-delà des orbites géostationnaires (36000 km d'altitude) et principalement peuplée d'électrons.



**Figure 5.2** – Les ceintures de radiation.

### 1.1.2 Rayonnement cosmique

Il est constitué d'ions totalement ionisés dans une gamme d'énergie allant de 1 à  $10^{14}$  MeV. Les protons et l'hélium représentent la grande majorité de ce type de rayonnement même si pratiquement tous les autres éléments de la table périodique y sont représentés. Du fait de leur très haute énergie, il n'existe pas de moyen efficace pour éviter de tels rayonnements mais leur flux est suffisamment faible pour être négligé dans les calculs de dose cumulée.

### 1.1.3 Éruptions solaires

Elles peuvent être de deux types : les éruptions riches en protons qui ont un spectre d'énergie pouvant aller jusqu'à une centaine de MeV et les éruptions solaires à ions lourds qui ont un spectre en énergie allant de quelques dizaines à quelques centaines de MeV. Si le spectre est moins dur que pour les rayons cosmiques, le flux d'ions peut être en revanche 100 à 1000 fois plus important.

Le Soleil émet également un flux de particules chargées dans toutes les directions, sous la forme d'un vent solaire continu. Ce dernier est constitué essentiellement d'électrons, de protons et d'atomes d'hélium dont l'énergie est souvent inférieure à 100 KeV. De par leur faible énergie, ces particules sont très rapidement arrêtées et n'arrivent pas au contact des composants.

## 1.2 Les m canismes li s aux radiations

### 1.2.1 Les  v nements singuliers

La trajectoire d'une particule, dans une faible  paisseur de semiconducteur, est quasi-rectiligne. Lors de l'interaction avec le semiconducteur, la particule charg e incidente g n re un canal fortement ionis  d'une centaine d'Angstr m de diam tre. Il se forme donc une colonne de paires  lectron/trou le long de la trace de l'ion. Selon l' nergie de la particule incidente, la densit  volumique de paires  lectron/trou peut atteindre  $10^{22}/cm^3$ . Cette colonne de porteurs peut engendrer des effets transitoires, au niveau du fonctionnement du composant. Ces effets transitoires sont commun ment appel s SEE (**S**ingle **E**vent **E**ffects). Nous pouvons en citer quelques-uns :

- Single Event Upset (SEU) : selon les caract ristiques et l'intensit  du d p t d' nergie, la colonne de charge peut induire une modification soudaine et r versible de l' tat logique d'un point m moire  l mentaire.
- Single Event Latchup (SEL) : d clenchement du thyristor parasite par mise en conduction de deux jonctions de type P-N.
- Single Event Transient (SET) : cr ation d'un paquet de charges libres, conduisant   un signal transitoire de courant ou de tension.

### 1.2.2 Les  v nement cumulatifs

Au cours d'un choc particule-mati re, une partie de l' nergie perdue par la particule incidente est transmise sous forme ionisante ou sous forme non ionisante.

L' nergie non ionisante perdue est transmise directement au noyau de la mati re, et peut d placer un atome de son site. Cela induit donc une r organisation du r seau cristallin et l'apparition de centres parasites li s aux **d fauts de d placements**. La pr sence de ces centres parasites engendre des m canismes physiques responsable de la d gradation des caract ristiques des semiconducteurs, tels que la dur e de vie des porteurs minoritaires et la mobilit .

L' nergie perdue par ionisation est transmise directement aux  lectrons du cort ge  lectronique de l'atome. Ces  lectrons peuvent  tre arrach s et  ject s avec une  nergie  gale   l' nergie c d e par la particule incidente moins l' nergie de liaison. L'ionisation de la mati re permet alors la g n ration de paires  lectron/trou. Cette g n ration de paires peut  tre   l'origine des m canismes physiques li s aux **doses totales ionisantes** responsables de la d gradation des caract ristiques des composants tels que la tension de seuil et la mobilit  des porteurs d'un transistor MOS.

Les principales caract ristiques de l'interaction particule-mati re sont les transferts d' nergie sous forme ionisante ou non, donnant lieu   des m canismes de d gradations li s aux d fauts de d placements et aux effets de dose.

| Origine                 | Particules                                                    | Énergie                                                          | Flux                                                          |
|-------------------------|---------------------------------------------------------------|------------------------------------------------------------------|---------------------------------------------------------------|
| Ceintures de radiations | Protons<br>(Orbite basse)                                     | $< \text{qq } 100 \text{ MeV}$<br>(dont 99% $< 10 \text{ MeV}$ ) | $10 \text{ à } 10^6 \text{ cm}^{-2} \text{ s}^{-1}$           |
|                         | Électrons<br>(Orbite géostationnaire<br>36000 km de la terre) | $< \text{qq } 100 \text{ MeV}$<br>(dont 99% $< 2 \text{ MeV}$ )  | $10 \text{ à } 10^6 \text{ cm}^{-2} \text{ s}^{-1}$           |
| Vent solaire            | Protons                                                       | $< \text{qq KeV}$                                                | $10^8 \text{ à } 10^{10} \text{ cm}^{-2} \text{ s}^{-1}$      |
|                         | Électrons                                                     | $< 0.1 \text{ MeV}$                                              |                                                               |
|                         | Particules $\alpha$ (7 % à 8%)                                |                                                                  |                                                               |
| Éruptions solaires      | Protons                                                       | $< 10 \text{ à } 10^3 \text{ MeV}$                               | $10^{10} \text{ cm}^{-2} \text{ s}^{-1}$                      |
|                         | Particules $\alpha$                                           |                                                                  |                                                               |
|                         | Ions lourds                                                   | $< 10 \text{ à } \text{qq } 100 \text{ MeV}$                     | $\approx 10^2 \text{ à } 10^3 \text{ cm}^{-2} \text{ s}^{-1}$ |
|                         | Protons                                                       | $< 10 \text{ à } 10^3 \text{ MeV}$                               | $10^{10} \text{ cm}^{-2} \text{ s}^{-1}$                      |

**Tableau 5.1** – Présentation synthétique de l'environnement radiatif spatial

### 1.3 Synthèse

Les composants électroniques placés dans l'espace sont soumis à l'effet de protons secondaires, d'électrons, de protons et d'ions d'origines et d'énergies diverses. Le tableau **5.1** représente l'énergie et le flux des diverses particules qui se trouvent dans l'environnement spatial.

Nous avons vu précédemment les principaux environnements radiatifs auxquels pouvait être soumise l'électronique moderne. Selon l'énergie et la masse de la particule incidente, on peut distinguer les différents effets produits dans les dispositifs semiconducteurs (tableau **5.2**) :

- Les photons, tels que les rayons X et  $\gamma$ , créent des paires  $h^+/e^-$  dans les semiconducteurs et dans les isolants.
- Les ions lourds produisent un grand nombre de paires  $h^+/e^-$  dans une zone localisée, le long de leur trajectoire, dans le dispositif.
- Les particules légères, tels que les protons, particules  $\alpha$  ou neutrons, ne génèrent qu'une faible ionisation directe dans le silicium (effet transitoire), mais peuvent causer le recul d'atomes du réseau ou induire des réactions nucléaires.
- Les atomes de recul et les fragments de noyaux peuvent, à leur tour, agir comme les ions lourds en déposant assez d'énergie dans le volume sensible d'un dispositif pour produire une défaillance.

| Particules    | Effet physique                                                                                    | R sultat                                                                                                   | Environnement                                |
|---------------|---------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------|----------------------------------------------|
| Photons       | Cr ation de paires $h^+/e^-$                                                                      | Charges d'oxyde/  tats d'interface                                                                         | Espace, nucl aire                            |
| X ou $\gamma$ | Cr ation d' tats d'interface<br>Photocourant (d bit  lev )                                        |  v nements transitoires                                                                                    | Explosion nucl aire                          |
| Ions lourds   | Cr ation de paires $h^+/e^-$                                                                      |  v nements transitoires                                                                                    | Espace                                       |
| Neutrons      | D placement d'atomes<br>Recul d'atomes                                                            | R duction de la dur e de vie des porteurs<br> v nements transitoires                                       | Nucl aire<br>Avionique                       |
| Protons       | Cr ation de paires $h^+/e^-$<br>D placement d'atomes<br>Interactions nucl aires<br>Recul d'atomes | Charges d'oxyde/  tats d'interface<br>R duction de la dur e de vie des porteurs<br> v nements transitoires | Ceinture de radiations<br> ruptions solaires |
| Electrons     | Cr ation de paires $h^+/e^-$                                                                      | Charges d'oxyde/  tats d'interface                                                                         | Ceinture de radiations                       |

**Tableau 5.2** – Synth se sur les types de rayonnements et leurs effets sur les dispositifs semiconducteurs

## 2 Microélectronique et dose ionisante cumulée

### 2.1 Notions et définitions de base

#### 2.1.1 La dose ionisante totale

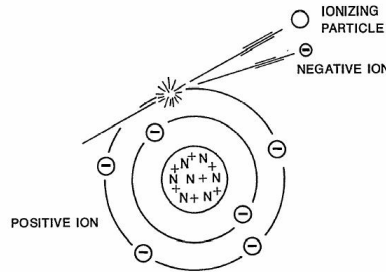
Au cours d'un choc particule-matière, une partie de l'énergie perdue par la particule incidente engendre l'ionisation de la matière. Les électrons des couches électroniques de l'atome peuvent être arrachés et éjectés avec une énergie égale à l'énergie cédée par la particule incidente moins l'énergie de liaison.

Lors de l'interaction particule-matière, le transfert d'énergie sous forme ionisante aboutit à la génération de paires électron/trou, au piégeage des porteurs dans les oxydes et à la création de pièges d'interface dans le composant. L'énergie nécessaire à l'ionisation d'un atome (Cf. figure 5.3), notée  $E_{ion}$ , dépend de la valeur de la bande interdite du matériau, de l'énergie, des modes d'oscillation du réseau et du nombre de phonons produits par interaction. Néanmoins, nous pouvons retenir quelques valeurs moyennes utilisées dans la littérature :

$$E_{ion}(Si) = 3.8eV$$

$$E_{ion}(AsGa) = 4.8eV$$

$$E_{ion}(Ge) = 2.8eV$$



**Figure 5.3** – Ionisation d'un atome.

La dose ionisante totale est définie comme étant la quantité d'énergie déposée ou absorbée par ionisation dans ce matériau par unité de masse (J/Kg) et est donnée par la relation :

$$D = \frac{dE}{dm} \quad (5.1)$$

où  $dE$  est l'énergie moyenne transférée par radiation à une masse  $dm$ .

La notion de dose cumulée suppose que le niveau d'énergie transféré soit uniforme (quasi-uniforme). L'unité de mesure est le Gray (Gy). En pratique, l'unité la plus utilisée est le **rad** (**r**adiation **a**bsorbed)

dose). La relation liant ces trois unit s de mesures est la suivante :

$$1Gy = 100rad = 1J/kg = 6,25.10^{18}eV/kg \quad (5.2)$$

Le d bit de dose<sup>1</sup>  $D'$  est d fini comme  tant la variation de la dose au cours du temps, s'exprimant en  $Gy.s^{-1}$  ou en  $rad.s^{-1}$  :

$$D' = \frac{dD}{dt} \quad (5.3)$$

### 2.1.2 Le LET

Le LET (**L**inear **E**nergy **T**ransfert) repr sente le d p t d' nergie ionisante dans une mati re par unit  de longueur :

$$LET = \frac{dE}{dx}$$

Le LET est la somme de la contribution  lectronique et nucl aire de la perte d' nergie. Il s'agit de l' nergie moyenne transf r e   la mati re par unit  de longueur de trace de la particule. Il est aussi appel  « Pouvoir d'arr t  lectronique ». Ce d p t d' nergie est d fini pour une particule donn e en interaction dans un mat riau. Le LET s'exprime en  $J/m$  mais l'unit  la plus couramment utilis e est le  $MeV/\mu m$  ce qui permet de prendre en compte la notion de trajectoire lorsque l'on p n tre dans la mati re.

### 2.1.3 Le concept de dose ionisante cumul e

Lors d'une irradiation d'un composant par une fluence  $\phi$  de particules mono nerg tiques, la dose ionisante cumul e peut  tre calcul e   partir du LET  lectronique  $LET_{electr}(E)$  de la particule d' nergie incidente  $E$  par l' quation :

$$TID = LET_{electr}(E) \cdot \phi \quad (5.4)$$

TID : Dose ionisante cumul e en  $J/m^3$  ;

$LET_{electr}(E)$  : contribution  lectronique du transfert d' nergie lin ique ;

$\phi$  : fluence de la particule incidente.

Cette  quation est utilisable uniquement dans le cas o  le LET  lectronique demeure constant (quasi-constant) le long du trajet dans le composant. A partir de cette  quation, nous pouvons remarquer qu'une m me dose ionisante peut  tre d pos e par diff rents rayonnements. A titre d'exemple,

---

<sup>1</sup>**Remarque** : l'effet de la dose cumul e d pendra essentiellement du d bit de dose. Par exemple, il a  t  d montr  que la d gradation du gain en courant dans un transistor bipolaire augmente lorsque le d bit de dose est faible.



une dose ionisante d'un rad peut être déposée dans le Silicium par :

$$1 \text{ rad déposé} \Longleftrightarrow \begin{array}{l} 2.10^7 \text{ protons/MeV.cm}^{-2} \\ 2,5.10^7 \text{ électrons/MeV.cm}^{-2} \\ 2.10^9 \text{ photons/MeV.cm}^{-2} \\ 5.10^{10} \text{ neutrons/MeV.cm}^{-2} \end{array}$$

## 2.2 Mécanismes mis en jeu

Dans le cadre de notre étude, nous nous intéressons à l'influence des effets de dose dans les transistors MOS. Ce paragraphe résume l'ensemble des mécanismes mis en jeu lorsque ce dernier évolue dans un environnement radiatif.

### 2.2.1 Recombinaison initiale [49]

Une fois que des paires électron-trou sont générées dans l'oxyde, les électrons sont balayés, sous l'effet d'un champ électrique, hors de ce dernier en un temps très court. Durant ce laps de temps, une fraction de ces électrons se recombine avec des trous. La fraction des trous qui n'ont pas subi cette première recombinaison est principalement déterminée par deux facteurs :

- l'amplitude du champ électrique, qui sépare les paires ;
- la densité initiale des paires créées par les particules incidentes.

La densité de paires par unité de longueur est déterminée par le LET, et est donc fonction du type des particules incidentes et de leur énergie. Selon la distance moyenne de séparation entre les paires électron/trou créées, la recombinaison initiale sera plus ou moins importante. Pour un champ donné, la recombinaison augmente avec la diminution de l'espacement moyen entre les paires créées.

### 2.2.2 Transport de trous

Les porteurs échappent au transport de recombinaison à travers l'oxyde sous l'influence de n'importe quel champ électrique. Ce transport de trous s'effectue par saut des trous entre les états de pièges profonds distribués au hasard dans l'espace.

### 2.2.3 Piégeage et dépiégeage de trous à l'interface Si/SiO<sub>2</sub>

#### Piégeage des charges à l'interface

Une partie des trous arrivant à l'interface Si/SiO<sub>2</sub> sont piégés. Les pièges à l'interface Si/SiO<sub>2</sub> sont créés en raison d'une région de transition où l'oxydation n'est pas complète. Le piège (d'un trou) le plus souvent produit correspond à un atome d'oxygène absent dans la configuration habituelle du réseau, laissant une liaison faible Si-Si, où une charge positive peut être emprisonnée.

#### Dépiégeage des charges piégées à l'interface

Les trous sont pi g s dans l'oxyde. Cependant, il a  t  observ  qu'ils disparaissent de l'oxyde apr s une dur e allant de la milliseconde   des ann es. Le recuit des trous pi g s a deux origines : l'effet tunnel ou l'excitation thermique.

Dans le cas de l'effet tunnel, les  lectrons provenant du Silicium se recombinent avec les trous pi g s aux interfaces Si/SiO<sub>2</sub>. La probabilit  de d placer un trou pi g  par effet tunnel d cro t exponentiellement en fonction de la distance de ce dernier dans l'oxyde. Pour un temps  $t$  donn , les pi ges de trou vide   une distance  $X_m(t)$  dans le Silicium sont donn s par la relation :

$$X_m(t) = \frac{1}{2\beta} \ln \frac{t}{t_0}$$

$\beta$  : niveau de la barri re pour qu'il y ait effet tunnel ;

$t_0$  : param tre d' chelle de temps.

Pour une distance sup rieure    $X_m$ , tous les pi ges sont remplis   l'instant  $t$ . Pour une distance inf rieure    $X_m$ , tous les pi ges se vident par effet tunnel.

Lors du recuit par excitation thermique, les trous sont partiellement excit s jusqu'  ce qu'ils atteignent une  nergie suffisante pour passer du pi ge   la bande de valence. En g n ral, on suppose que le recuit thermique de l'oxyde peut  tre d crit par une fonction empirique de type Arrh nius :

$$\phi_m(t) = kT \ln(aT^2 t)$$

$\phi_m(t)$  : diff rence d' nergie entre le d but du front thermique de recuit et celui de la bande de valence, c'est- -dire la position du front thermique dans la bande interdite ;

$k$  : constante de Boltzmann ;

$T$  : temp rature de recuit ;

$t$  : le temps de recuit ;

$a$  : param tre d pendant de la section efficace et d'autres param tres physiques.

Un tel recuit d pend de l' nergie et est mod lis  par un front allant de la bande de valence   la bande de conduction.

#### **2.2.4 Cr ation des pi ges d'interface**

Lorsque le Silicium est thermiquement oxyd , l'interface, entre l'oxyde amorphe et le r seau cristallin du Silicium, est g n ralement d fici nte en atomes d'oxyg ne donnant lieu   des tensions, des contraintes dans le Silicium. Ces contraintes agissent comme des pi ges d'interface avec des niveaux d' nergie dans la bande interdite   l'interface Si/SiO<sub>2</sub>. Ils sont amphot res, de type accepteur dans la moiti  sup rieure de la bande interdite, et de type donneur dans la partie inf rieure de la bande interdite.

## 2.3 Modélisation de l'effet de dose ionisante cumulée

### 2.3.1 Piégeage de charge dans l'oxyde [20][24]

La densité surfacique de charges piégées dans l'oxyde  $\Delta N_{OT}$  au premier ordre, peut s'écrire :

$$\Delta N_{OT} = g_o \cdot \eta \cdot \alpha \cdot e_{ox} \cdot D \quad (5.5)$$

$$g_o = \frac{\rho_{ox}}{E_o} \quad (5.6)$$

$D$  : dose ;

$g_o$  : nombre de paires électron/trou créées ;

$\eta$  : rendement représentant le taux de recombinaison des porteurs ;

$\alpha$  : facteur de piégeage près de l'interface Si/SiO<sub>2</sub> (probabilité de pièges profonds) ;

$e_{ox}$  : épaisseur de l'oxyde ;

$\rho_{ox}$  : densité de l'oxyde ;

$E_o$  : énergie moyenne par paires électron/trou créées.

Le paramètre  $\eta$  dépend d'autres paramètres (cf figure 5.4) tels que la fluence de la particule incidente ou le champ électrique. Le paramètre  $\alpha$  dépend de la densité de pièges profonds situés près de l'interface Si/SiO<sub>2</sub> et associés à une section efficace. Cela peut se résumer à des propriétés technologiques. Ces deux paramètres  $\alpha$  et  $\eta$  ont des valeurs comprises entre 0 et 1. L'équation de  $\Delta N_{OT}$  donne une représentation simple des phénomènes physiques mis en jeu lors de la génération de pièges dans l'oxyde. En général, la charge piégée n'est pas complètement piégée au niveau de l'interface Si/SiO<sub>2</sub> mais diffusée le long de l'épaisseur d'oxyde. La charge effective vue par le Silicium est :

$$Q'_{ox} = q \cdot \Delta N_{OT} = \int_0^{e_{ox}} \frac{x}{e_{ox}} \rho(x) dx \quad (5.7)$$

$q$  : la charge élémentaire du porteur ;

$\rho(x)$  : profil de la densité de charge (distribution spatiale).

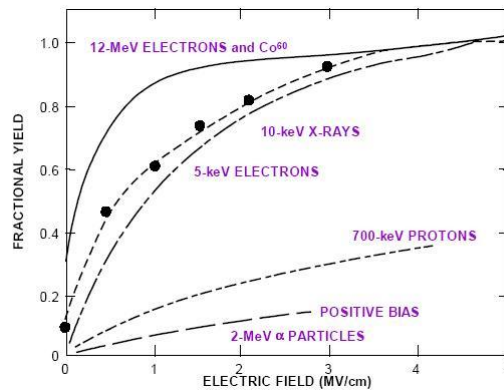


Figure 5.4 – Variation du rendement radiatif en fonction de divers paramètres.

### 2.3.2 G n ration de pi ges   l'interface Si/SiO<sub>2</sub> [24][20]

De nos jours, la g n ration de pi ges   l'interface Si/SiO<sub>2</sub> n'est pas compl tement comprise. Il n'y a donc aucun mod le donnant la densit  de pi ges   l'interface en fonction de la dose ionisante totale. Cependant, il est souvent admis qu'elle varie lin airement en fonction de la dose. De plus, la densit  de pi ges   l'interface est fortement d pendante de la technologie.

La charge des pi ges d'interface est situ e   l'interface Si/SiO<sub>2</sub> (pour  $x = e_{ox}$ ). L'effet  lectrostatique de cette charge est maximum et les pi ges d'interface peuvent  changer rapidement des charges avec le Silicium. Pour un pi ge d'interface donn , la charge correspondante d pend du type de pi ge (donneur ou accepteur) et de sa position par rapport au niveau de Fermi du silicium. Si le potentiel d'interface  $\phi_s$  est dans le cas de pi ges « accepteurs », la charge des pi ges d'interface est donn e par la relation :

$$Q_{IT} = -q \int_{E_V + q\phi_s}^{E_F} D(E) dE \quad (5.8)$$

$E_F$ ,  $E_V$  :  nergies du niveau de Fermi et de la bande de valence ;

$D(E)$  : Densit   nerg tique des pi ges   l'interface.

## 2.4 L'effet de dose ionisante cumul e dans les composants

### 2.4.1 D gradation de la tension de seuil

Les charges  $Q'_{ox}$  et  $Q_{IT}$  (caract risant respectivement le pi geage des charges dans l'oxyde et la cr ation de pi ge   l'interface Si/SiO<sub>2</sub>) contribuent   la d gradation de la tension de « Flat-Band » [24][20] :

$$\Delta V_{FB} = -\frac{e_{ox}}{\epsilon_o \epsilon_{ox}} (Q'_{ox} + Q_{IT}) \quad (5.9)$$

$\epsilon_o$  : permittivit  du vide  $\epsilon_{ox}$  : permittivit  relative de l'oxyde ;

Les autres termes ont  t  d fini pr c demment.

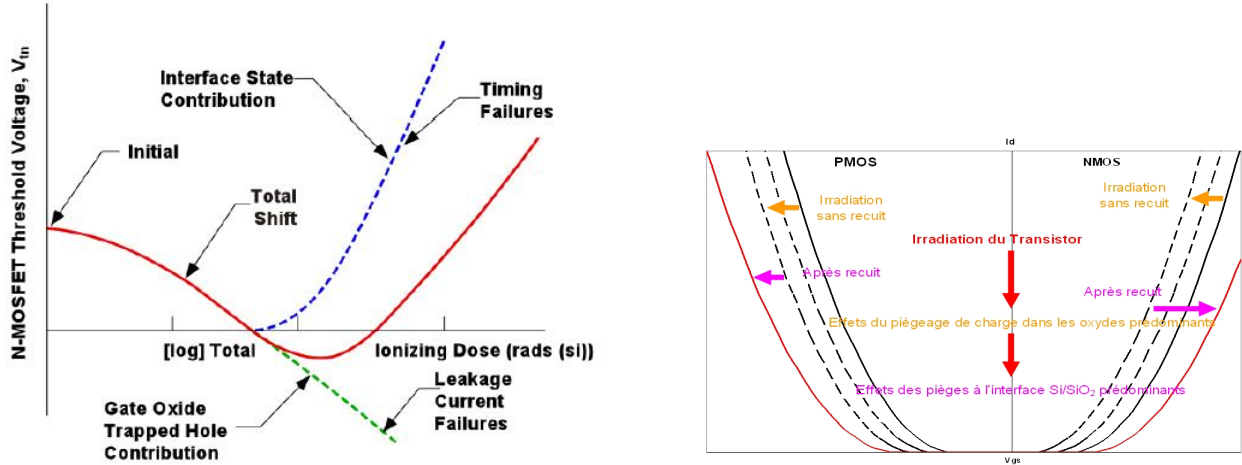
La charge  $Q'_{ox}$ , affectant les potentiels de surfaces via  $V_{FB}$ , contribue   l'accumulation de charge des porteurs dans la zone de d pl tion pour les substrats Si dop s N, et la zone d'inversion pour les substrats Si dop s P.

Dans le cas des transistors MOS ou circuit CMOS, l'identification de la r gion sensible est tr s simple puisque la structure MOS constitue   elle seule une r gion sensible   cause de l'oxyde de grille. La d gradation de la tension de seuil est donc :

$$\Delta V_{TH} = \Delta V_{FB} \quad (5.10)$$

Pour les transistors NMOS ( respectivement les transistors PMOS), la pr sence de trous pi g s dans l'oxyde de grille contribue   une diminution (  une augmentation en valeur absolue) de la

tension de seuil. Après recuit, l'effet de la charge de pièges à l'interface,  $Q_{IT}$ , est mis en évidence. Cela a pour conséquence une variation positive (négative pour le PMOS) de la tension de seuil. En effet, la plupart des pièges, électriquement inactifs, peuvent être sensibles et devenir électriquement actifs après irradiations via le phénomène de dépiégeage (Cf. figure 5.5).



(a) Contribution des charges piégées dans l'oxyde et des pièges d'interface pour la dégradation de la tension de seuil du transistor MOS.

(b) Dégradation de la caractéristique I-V du transistor MOS induite par la variation de sa tension de seuil

**Figure 5.5** – Dégradation de la tension de seuil et influence de cette dernière sur les caractéristiques de transferts des transistors MOS de type N et P.

### 2.4.2 Dégradation de la mobilité des porteurs

Puisque des porteurs libres circulent le long de l'interface Si/SiO<sub>2</sub>, un mode de dégradation existe pour les transistors MOS : les charges emprisonnées dans les pièges à l'interface introduisent un phénomène de diffusion qui contribue à la dégradation de la mobilité des porteurs [76][24][20] :

$$\mu = \frac{\mu_o}{1 + \alpha_{IT}\Delta N_{IT} + \alpha_{OT}\Delta N_{OT}} \quad (5.11)$$

$\mu_o, \mu$  : respectivement mobilités de porteurs avant et après irradiation ;

$\alpha_{IT}$  : facteur empirique ;

$\Delta N_{IT}$  : densité de pièges à l'interface induits par radiation.

L'influence des pièges à l'interface est visible sur la courbe I-V sous le seuil. Elle peut aussi se voir sur la courbe I-V complète après recuit (dégradation de la transconductance).

### 2.4.3 Discussion

L'irradiation d'un transistor MOS induit une dégradation des caractéristiques de ce dernier : dégradation de la tension de seuil et de la mobilité des porteurs. En conséquence, ces dégradations

laissent supposer que, en mission spatiale, les caract ristiques des circuits CMOS et BiCMOS se d gradent (par exemple la vitesse de propagation ou le temps   l' tat haut ou bas des portes logiques, ou encore le gain d'un amplificateur).

## **2.5 Conclusion**

En r sum , le ph nom ne d'ionisation r sulte de l'interaction d'une particule incidente avec le cort ge  lectronique des atomes du mat riau d'un composant cible. Cette interaction est caract ris e par la notion de LET  lectronique. La contribution  lectronique du LET exprime l' nergie perdue sous forme ionisante par unit  de longueur de la trace de la particule dans le composant.

Le d p t d' nergie ionisante engendre la cr ation de paires  lectron/trou   l'origine des m canismes mis en jeu lors de la d gradation des caract ristiques des composants micro- lectroniques, par exemple, la tension de seuil et la mobilit  des porteurs d'un transistor MOS. Ce d p t d' nergie ionisante peut se faire de mani re uniforme dans le composant, dans ce cas on parle de dose ionisante cumul e, ou de fa on localis e, il s'agit alors d'effets singuliers (SEE).

Tous les circuits  lectroniques sont sensibles aux effets de dose ionisante cumul e. Toutefois, les plus sensibles sont les circuits r alis s en technologie CMOS ou BiCMOS.

## 3 Plan d'expérience

Afin de valider notre méthodologie de construction de modèle comportemental de vieillissement d'un circuit (ici l'amplificateur opérationnel à transconductance) nous avons mis en place une campagne d'expériences. Nous avons ainsi défini les différentes étapes pour atteindre nos objectifs :

- Etape 1 : réaliser une campagne de vieillissement de transistors MOS afin de construire un modèle comportemental
- Etape 2 : construire un modèle comportemental de vieillissement du transistor MOS
- Etape 3 : simuler le vieillissement électrique de fonctions électroniques simples (miroirs de courant et paires différentielles)
- Etape 4 : réaliser une campagne de vieillissement de ces dernières
- Etape 5 : Valider le modèle au niveau transistor
- Etape 6 : construire un modèle comportemental de vieillissement des fonctions électroniques
- Etape 7 : simuler le vieillissement électrique de l'amplificateur opérationnel à transconductance (AOT)
- Etape 8 : réaliser une campagne de vieillissement de ce dernier
- Etape 9 : Valider le modèle au niveau bloc fonctionnel
- Etape 10 : construire un modèle comportemental de vieillissement de l'AOT
- Etape 11 : simuler le vieillissement électrique de ce dernier
- Etape 12 : Valider le modèle au niveau circuit

Nous présentons alors dans cette section les moyens mis en œuvre pour atteindre ces objectifs.

### 3.1 Les structures à irradier

#### 3.1.1 Les circuits intégrés choisis

Afin de réaliser les différentes fonctions nécessaires à la construction des modèles comportementaux de l'AOT à tous les niveaux d'abstraction, nous avons opté pour les composants ALD1106 et ALD1107 d'Advance Linear Devices (Cf. figure 5.6). Ces deux circuits sont composés de transistors MOS appariés (de type N pour les ALD1106 et de type P pour les ALD1107).

#### 3.1.2 Les transistors MOS

Les transistors MOS d'Advance Linear Devices fonctionnent sur une plage de courant de  $[0A, 20mA]$  et une plage de tensions de  $[0V, 10V]$  suffisamment large.

La modélisation des effets de dose ionisante sur les caractéristiques des transistors élémentaires est une étape clé lors de la description de modèles de vieillissement de l'AOT. 16 transistors NMOS et 8 transistors PMOS élémentaires (appariés) ont été irradiés pour différentes conditions de polarisation (Cf. tableaux 5.3 et 5.4)

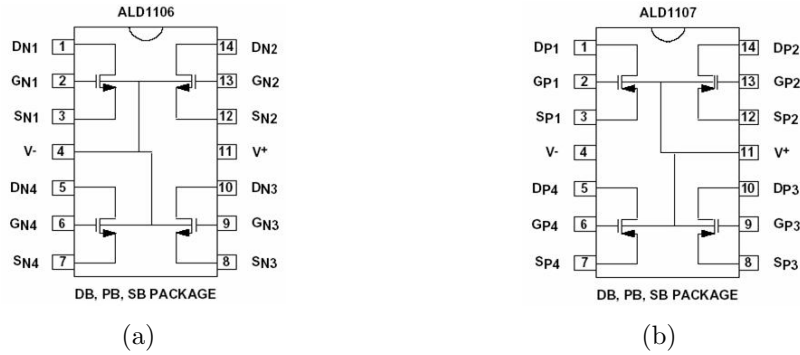


Figure 5.6 – Configuration des circuits int gr s ALD1106 5.6(a) et ALD1107 5.6(b)

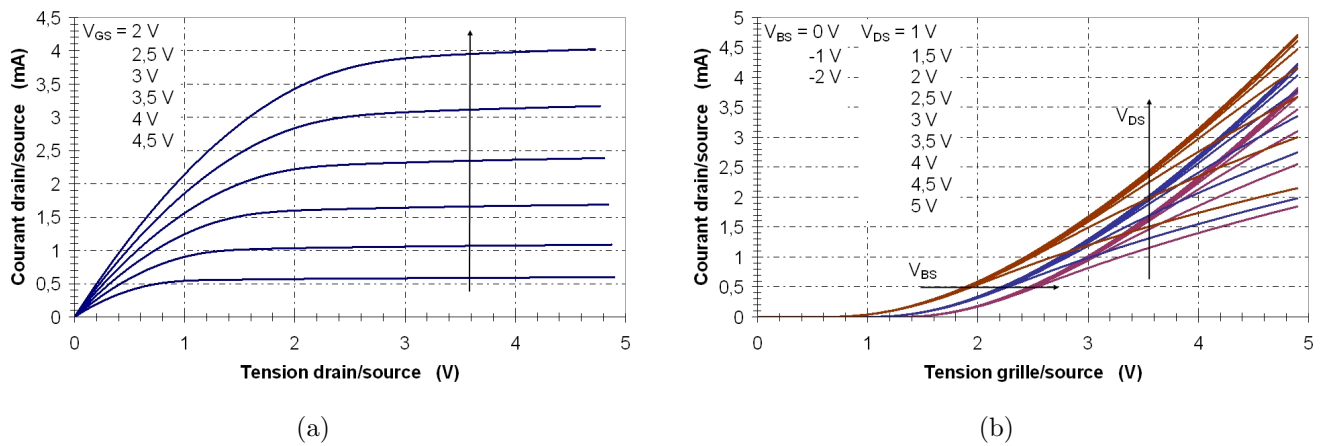


Figure 5.7 – Caract ristiques  lectriques d'un transistor MOS de type N du circuit int gr  ALD1106.

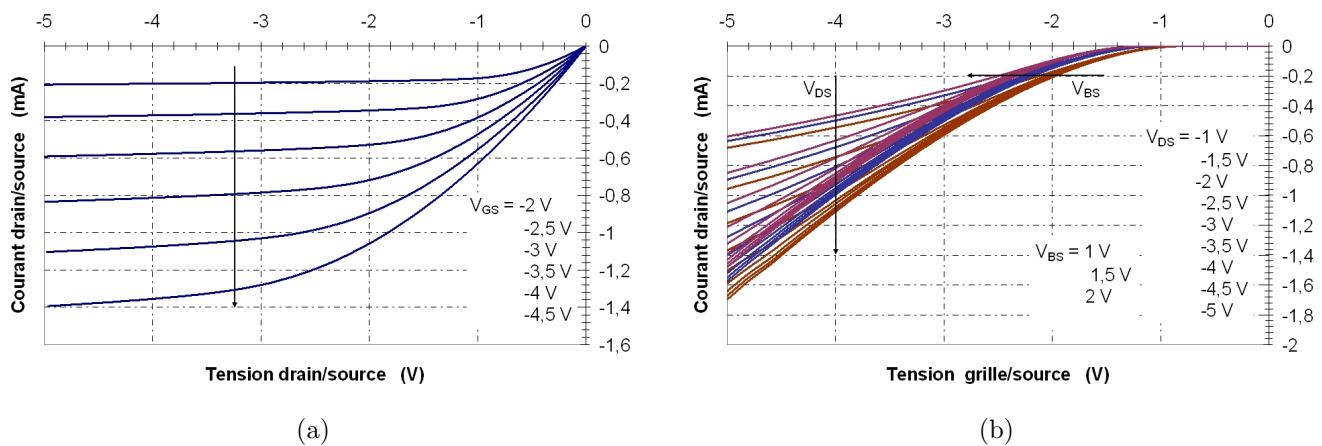


Figure 5.8 – Caract ristiques  lectriques d'un transistor MOS de type P du circuit int gr  ALD1107.

### 3.1.3 Les miroirs de courant

4 miroirs de courant simple de type N (Cf. figure 5.9(a)) et 4 de type P (Cf. figure 5.9(b)) seront irradi s pour diff rentes conditions de polarisation.



| Echantillons | Vgs | Vds |
|--------------|-----|-----|
| Circuit 1    |     |     |
| Nmos1.1      | 1V  | 1V  |
| Nmos2.1      | 0V  | 5V  |
| Nmos3.1      | 1V  | 2V  |
| Nmos4.1      | 1V  | 4V  |
| Circuit 2    |     |     |
| Nmos1.2      | 2V  | 1V  |
| Nmos2.2      | 2V  | 3V  |
| Nmos3.2      | 2V  | 4V  |
| Nmos4.2      | 2V  | 5V  |
| Circuit 3    |     |     |
| Nmos1.3      | 3V  | 1V  |
| Nmos2.3      | 3V  | 3V  |
| Nmos3.3      | 3V  | 4V  |
| Nmos4.3      | 3V  | 5V  |
| Circuit 4    |     |     |
| Nmos1.4      | 4V  | 1V  |
| Nmos2.4      | 4V  | 3V  |
| Nmos3.4      | 4V  | 4V  |
| Nmos4.4      | 4V  | 5V  |

**Tableau 5.3** – Conditions de polarisation des transistors NMOS

| Echantillons | Vgs | Vds |
|--------------|-----|-----|
| Circuit 5    |     |     |
| Pmos1.5      | -1V | -5V |
| Pmos2.5      | 0V  | -5V |
| Pmos3.5      | -1V | -2V |
| Pmos4.5      | -1V | -4V |
| Circuit 6    |     |     |
| Pmos1.6      | -2V | -3V |
| Pmos2.6      | -2V | -5V |
| Pmos3.6      | -3V | -3V |
| Pmos4.6      | -4V | -5V |

**Tableau 5.4** – Conditions de polarisation des transistors PMOS

### 3.1.4 Les paires différentielles

4 paires différentielles de type N (Cf. figure 5.10) seront irradiées pour différentes conditions de polarisation.

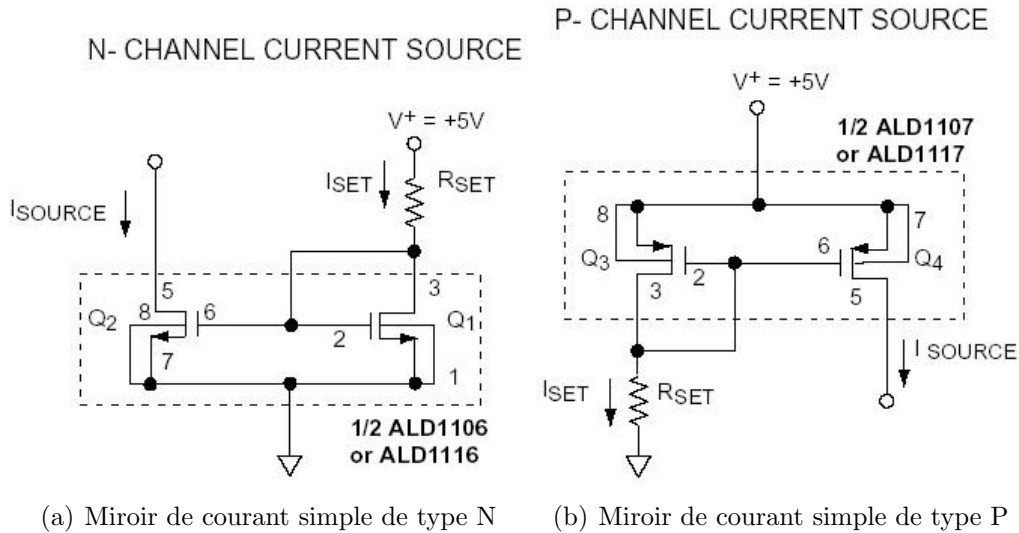


Figure 5.9 – Sch ma de vieillissement des miroirs de courant

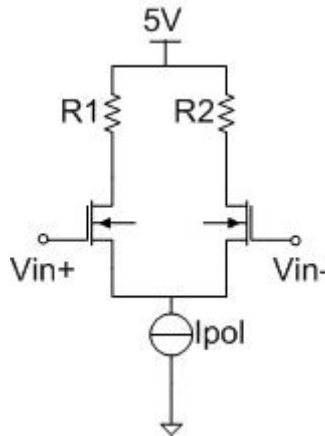


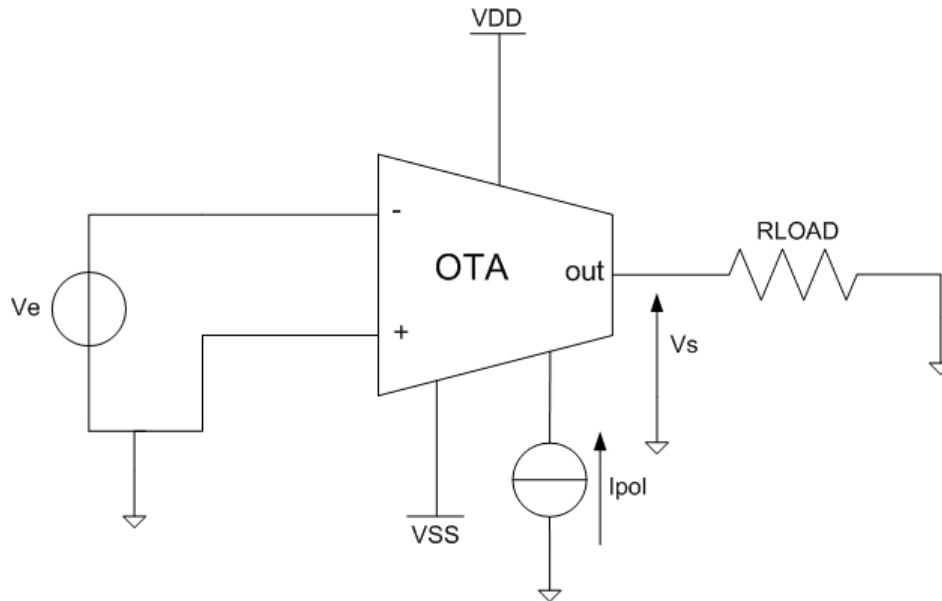
Figure 5.10 – Sch ma de vieillissement d'une paire diff rentielle de type N

### 3.1.5 L'amplificateur op rationnel   transconductance (AOT)

2 amplificateurs op rationnels   transconductance sym triques (Cf. figure 5.11) seront irradi s pour diff rentes conditions de polarisation.

## 3.2 Le protocole exp rimental

Pour  valuer ces composants, nous disposons pour les MOS et les circuits dans lesquels les oxydes jouent un r le important, des normes DOD, US MIL-STD-883D, METHOD 1019.4 [TM1019.4] (qui vient d' tre remplac e par la 1019.5) et European Space Agency (ESA)/Space Components Coordination Group (SCC) 22900 . Elles ont  t  propos es pour prendre en compte l' volution des composants apr s irradiation : effet d pendant du temps TDE (Time Dependent Effects).



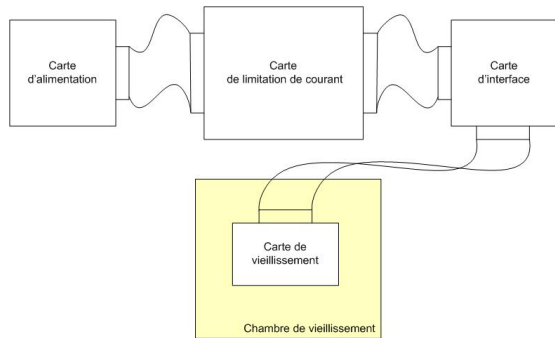
**Figure 5.11** – Schéma de vieillissement d'un amplificateur opérationnel à Transconductance

Dans le cadre de notre étude, nous nous sommes appuyés sur la norme ESA/SCC 22900. Nous rappelons que nous ne cherchons en aucun cas à qualifier les composants, mais à construire des modèles de vieillissement fiables à partir de données expérimentales.

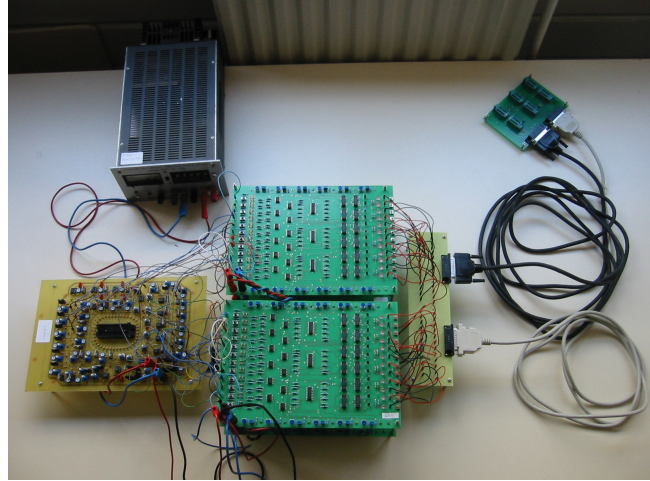
### 3.3 Le banc de vieillissement

Le banc de vieillissement (Cf. figure 5.12) est composé de :

- 2 cartes d'alimentation (dimensions d'une carte : 21 x 29.7 cm) : ces cartes permettent de générer toutes les tensions appliquées aux structures sous test ;
- 6 cartes de limitation du courant (dimensions d'une carte : 21 x 29.7 cm) : le rôle principal de ces limiteurs de courant est d'inhiber les tensions appliquées aux structures de test dans le cas où ces derniers seront considérés comme défaillants. Le critère de défaillance est essentiellement un critère basé sur le courant de consommation des structures de test et correspondant à 15% du courant nominal de ces derniers ;
- 1 carte d'interface (dimensions de la carte : 7.1 x 29.7 cm) : elle permet de polariser correctement les paires différentielles, les miroirs de courant et les AOTs à l'aide de résistances de polarisation ;
- 1 carte de vieillissement (dimensions de la carte : 10.7 x 15.3 cm) : elle est directement placée dans la chambre d'irradiation ;
- 1 générateur de tension  $\pm 10V - 1.5 A$  ;
- 1 générateur de signaux  $\pm 1V - 1.5 A - 1 kHz$ .



(a) Sch ma synoptique g n ral du banc de vieillissement



(b) Photo du banc de vieillissement

**Figure 5.12** – Banc de vieillissement mis en place en vue de la mod lisation des AOTs  voluant dans un environnement spatial.

**Encombrement total : 1.5m x 1m** (appareils d'alimentation inclus).

### 3.4 Le profil d'exp rience

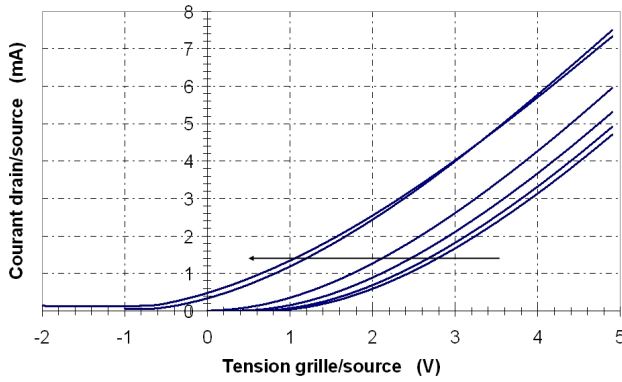
Le but de ces exp riences est de mod liser l' volution du comportement  lectrique d'un amplificateur   transconductance sym trique sous environnement radiatif. Ces exp riences ont  t  men es au sein du site de l'ONERA   Toulouse. Pour des raisons techniques internes   l'ONERA, une seule campagne d'exp riences a pu  tre r alis e : seuls les transistors MOS ont pu  tre soumis aux rayonnement  $\gamma$ , livr s par l'irradiateur au  $^{60}\text{Co}$  Shepherd 484. La dose ionisante cumul e totale atteinte lors des exp riences est d'environ 368.5 krad pour un d bit de 220 Gy/h.

## 4 Modélisation du vieillissement électrique des transistors MOS

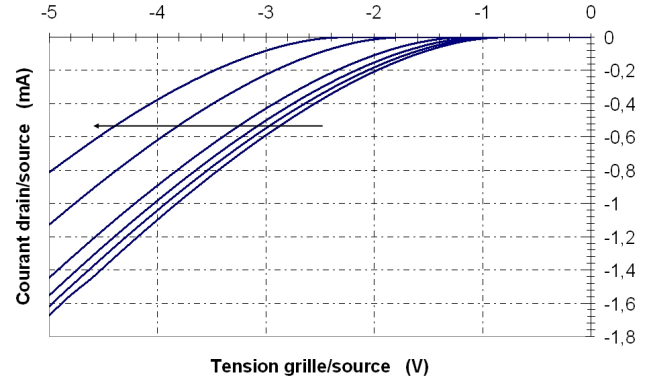
### 4.1 Résultats expérimentaux

Les figures 5.13(a) et 5.13(b) montrent respectivement l'évolution des caractéristiques courant/tension des transistors MOS de type N et de Type P. Les résultats trouvés sont identiques à ceux trouvés dans la littérature : la caractéristique  $I_{ds} = f(V_{gs})$  varie en fonction de la dose (décalage de cette dernière vers la droite).

L'effet de dose ionisante est d'autant plus critique pour les transistors NMOS que pour les transistors PMOS puisque les tensions de seuils de ces derniers deviennent négatives plus la dose augmente. Cela signifie que pour une application ON/OFF, le transistor MOS de type N serait passant alors qu'il ne devrait pas l'être.



(a) NMOS pour  $V_{DS} = 5V$



(b) PMOS pour  $V_{DS} = -5V$

**Figure 5.13** – Évolution des caractéristiques courant/tension des transistors MOS pour différentes doses : 0, 5,5 krad, 16,5 krad, 38,5 krad, 170,5 krad et 368,5 krad.

Nous avons présenté ici les premiers résultats expérimentaux obtenus. Afin de construire des modèles comportementaux de vieillissement, il est impératif de définir, dans un premier temps, un modèle comportemental électrique du transistor MOS. Puis, dans un deuxième temps, diverses procédures d'extraction des paramètres de ces derniers doivent être mises en place afin de déterminer les lois de dégradation à appliquer à chacun de ces paramètres pour la construction de modèle comportemental de vieillissement.

### 4.2 Modèle électrique du transistor MOS

Notre modèle comportemental de niveau 0 a été développé à partir de la description SPICE de niveau 2 d'un transistor MOS. Ce modèle décrit le comportement du transistor MOS dans les deux zones de fonctionnement :

- Le r gime de forte inversion, zone lin aire ;
- Le r gime de forte inversion, zone satur e.

#### 4.2.1 R gime de forte inversion

Le mod le pr sent  au chapitre 2 ne permet pas d'ajuster correctement les caract ristiques des transistors d'Analog Linear Device. Nous avons rajout  une constante d'ajustement « a » pour r aliser notre mod le. Les principales  quations sont r sum es ici :

- *Zone ohmique :*

Le Transistor NMOS :  $V_{DS} < \frac{V_{GS}-V_{th}}{1+a} = V_{DSsat}$

$$I_{DS} = KP (V_{GS} - V_{th} - (1+a) \frac{V_{DS}}{2}) V_{DS} (1 + \lambda V_{DS}) \quad (5.12)$$

Le Transistor PMOS :  $V_{DS} > \frac{V_{GS}-V_{th}}{1+a} = V_{DSsat}$

$$I_{DS} = -KP (V_{GS} - V_{th} - (1+a) \frac{V_{DS}}{2}) V_{DS} (1 - \lambda V_{DS}) \quad (5.13)$$

- *Zone satur e :*

Le Transistor NMOS :  $V_{DS} \geq \frac{V_{GS}-V_{th}}{1+a} = V_{DSsat}$

$$I_{DS} = \frac{KP}{2(1+a)} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (5.14)$$

Le Transistor PMOS :  $V_{DS} \leq \frac{V_{GS}-V_{th}}{1+a} = V_{DSsat}$

$$I_{DS} = -\frac{KP}{2(1+a)} (V_{GS} - V_{th})^2 (1 - \lambda V_{DS}) \quad (5.15)$$

avec :

$$KP = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \quad (5.16)$$

$\mu_0$  : Mobilit  nominale des  lectrons ;

$C_{ox}$  : Capacit  surfacique de l'oxyde de grille ;

$W$  : Largeur du canal ;

$L$  : Longueur du canal ;

$\lambda$  : Param tre de la modulation de la longueur du canal ;

$a$  : est un param tre de fabrication sans dimension d pendant du dopage du substrat.

### 4.3 Extraction des paramètres du modèle et détermination des lois de dégradation

#### 4.3.1 Extraction des paramètres du modèle

##### Extraction de $V_{TH}$

Pour extraire la tension de seuil, nous nous basons sur l'équation de la caractéristique de transfert  $I_{DS} = f(V_{GS})$  paramétrée par  $V_{DS}$  (Cf. équation 5.14). En prenant la racine carrée de cette expression du courant, nous obtenons :

$$V_{TH} = \sqrt{\frac{2(1+a)I_{DS}}{KP(1+\lambda V_{DS})}} - V_{GS} \quad (5.17)$$

La tension de seuil  $V_{TH}$  est définie comme étant le point d'intersection de la tangente à la courbe, « au point de changement d'allure » de cette dernière, avec l'axe des abscisses (Cf. figure 5.14).

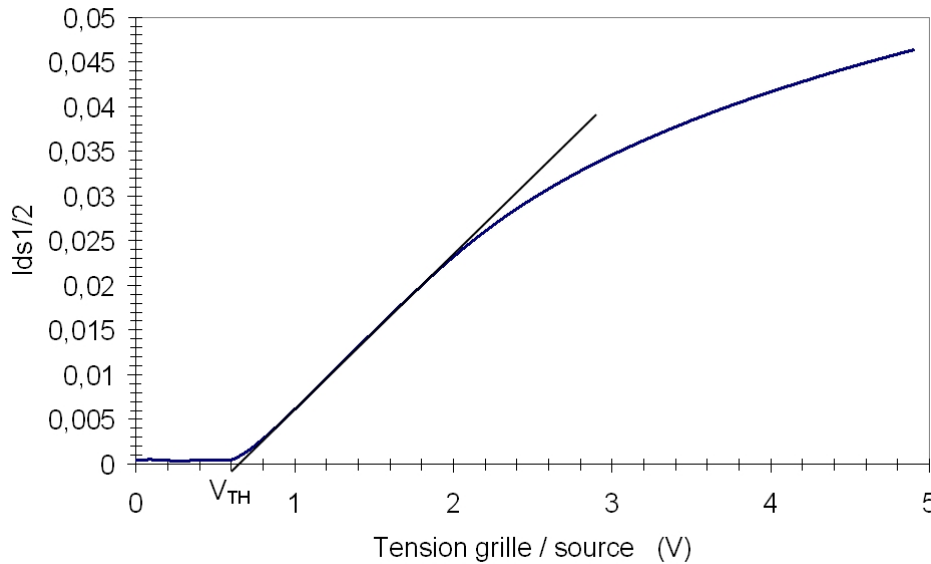


Figure 5.14 – Extraction de la tension de seuil à partir de données expérimentales.

##### Extraction de $Q'_{ox}$

A partir des équations 5.9 et 5.10, la charge effective  $Q'_{ox}$  des porteurs piégés dans l'oxyde peut être extraite à partir de la tension de seuil extraite à chaque niveau dose. Nous pouvons ainsi obtenir l'évolution de cette charge vue par le silicium.

##### Extraction de $K_P$ et $a$

Les paramètres  $K_P$  et  $a$  sont extraits à partir de la caractéristique de sortie  $I_{DS} = f(V_{DS})$ . Pour une bonne extraction, ce couple est déterminé lorsque le transistor fonctionne en régime de forte inversion dans la zone ohmique (Cf. 5.15).

##### Extraction de $\lambda$

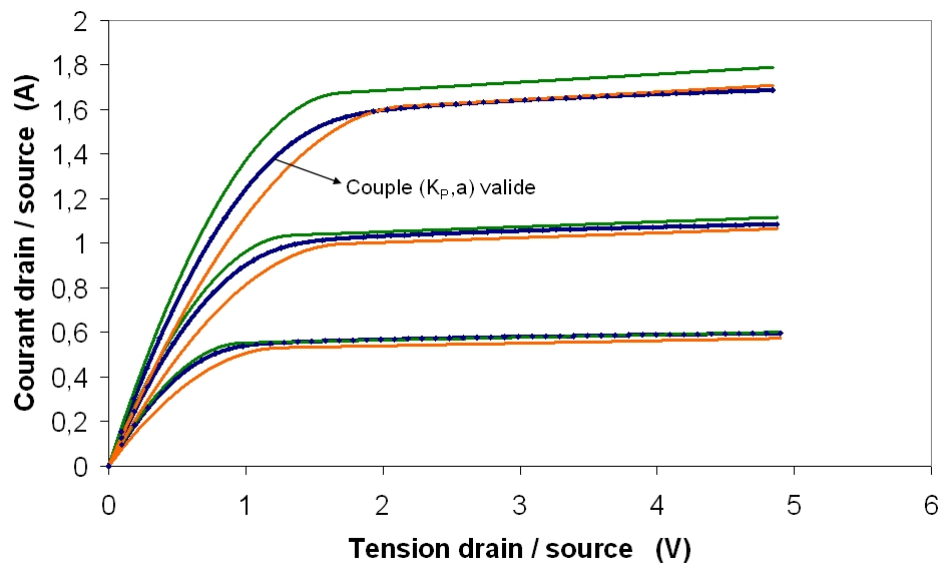


Figure 5.15 – Extraction des param tres  $K_P$  et  $a$    partir de donn es exp rimentales.

Le param tre  $\lambda$  est extrait   partir de la caract ristique de sortie  $I_{DS} = f(V_{DS})$ . Pour une bonne extraction, il est d termin  lorsque le transistor fonctionne en r gime de forte inversion dans la zone satur e (Cf. 5.16).

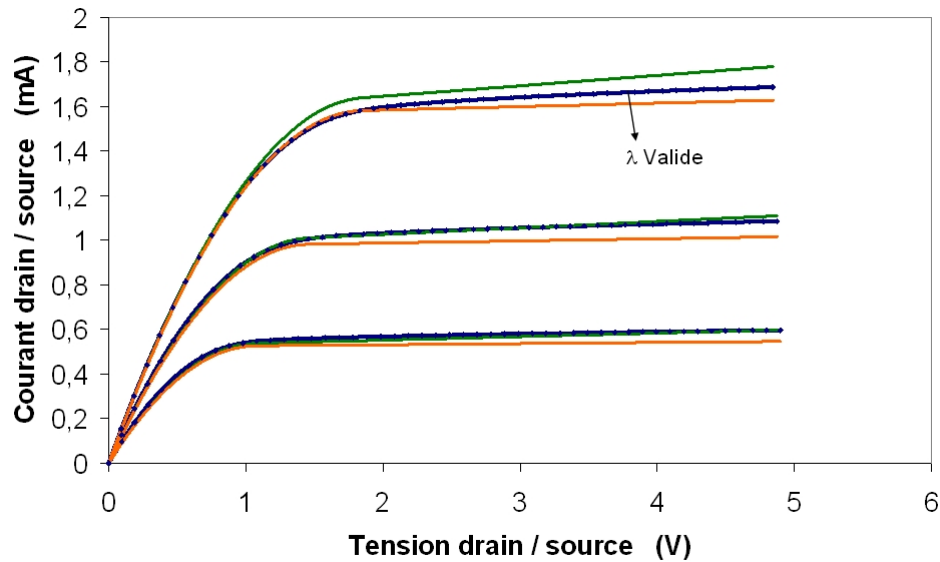
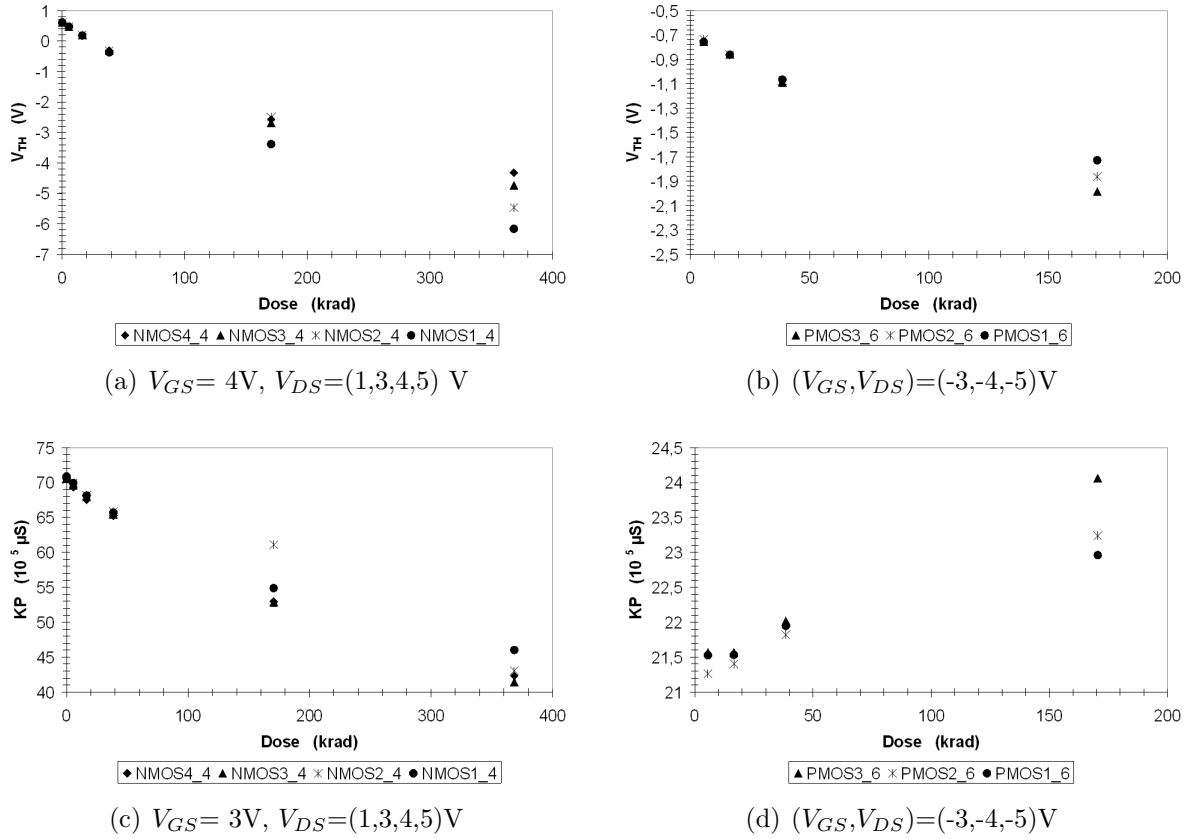


Figure 5.16 – Extraction du param tre  $\lambda$    partir de donn es exp rimentales.



### 4.3.2 Résultats expérimentaux

A partir des procédures d'extraction précédemment définies, nous présentons un exemple des résultats obtenus pour les transistors MOS de type N et P. La figure 5.17 montre l'évolution des transconductances et des tensions de seuil des transistors en fonction de la dose totale cumulée.



**Figure 5.17** – Évolution des paramètres du modèle des transistors MOS en fonction de la dose ionisante cumulée.

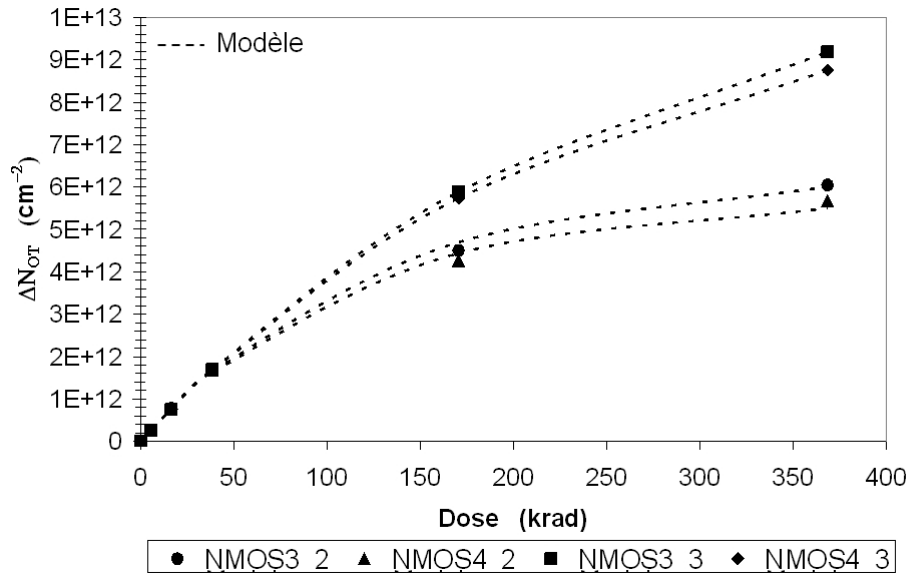
## 4.4 Construction du modèle comportemental

### 4.4.1 La loi de dégradation

Pour construire notre modèle comportemental, nous nous sommes basés sur celui présenté par Baze et al. [7]. L'évolution de la charge effective des pièges dans l'oxyde suit une loi exponentielle :

$$\Delta N_{OT} = N_{OTsat} * (1 - \exp(-D/D_0)) \quad (5.18)$$

Ce modèle a été comparé aux résultats expérimentaux (Cf. figure 5.18). Nous pouvons observer qu'il permet de modéliser correctement l'évolution de la densité de pièges dans l'oxyde avec une bonne précision.



**Figure 5.18** –  volution de la densit  de pi ges dans l'oxyde en fonction de la dose ionisante cumul e.

#### 4.4.2 D pendance de $N_{OTsat}$ et $D_0$ aux tensions appliqu es

La figure 5.19 montre la d pendance du param tre  $N_{OTsat}$  en fonction de la tension drain/source appliqu e pour diff rentes tensions grille/source. Pour les transistors vieilliss en r gime satur , cette d pendance suit approximativement une loi lin aire telle que :

$$N_{OTsat} = d1 V_{DS} + d2 V_{GS} \quad (5.19)$$

Et,

$$D_0 = K N_{OTsat} \quad (5.20)$$

O   $d1 = -6,3.10^{-11}$ ,  $d2 = 5,55.10^{-12}$  et  $K = 2.10^{-6}$

#### 4.4.3 D termination de la d gradation de la tension de seuil et de la transconductance

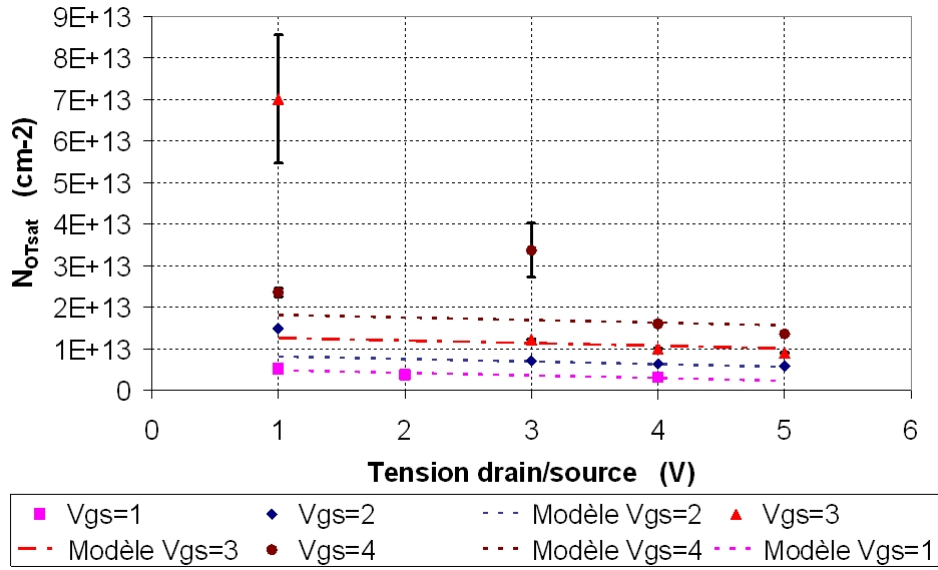
##### D termination de la d gradation de la tension de seuil

A partir des  quations 5.9 et 5.10, nous pouvons d terminer l' volution de la tension de seuil en fonction de la charge effective. Une comparaison entre les r sultats exp rimentaux et notre mod le est donn e par la figure 5.20. L' quation 5.9 est  quivalente   :

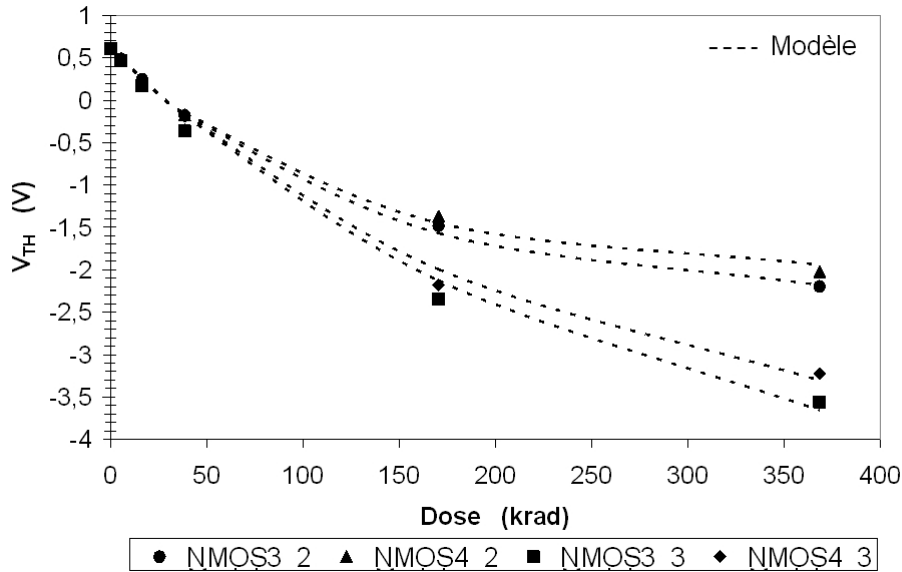
$$\Delta V_{FB} = -\frac{e_{ox}}{\epsilon_o \epsilon_{ox}} Q'_{ox} \quad (5.21)$$

##### D termination de la d gradation de la transconductance

A partir de l' quation 5.11, nous pouvons d terminer l' volution de la transconductance. Cette



**Figure 5.19** – Évolution du paramètre  $N_{OTsat}$  en fonction des contraintes électriques appliquées.



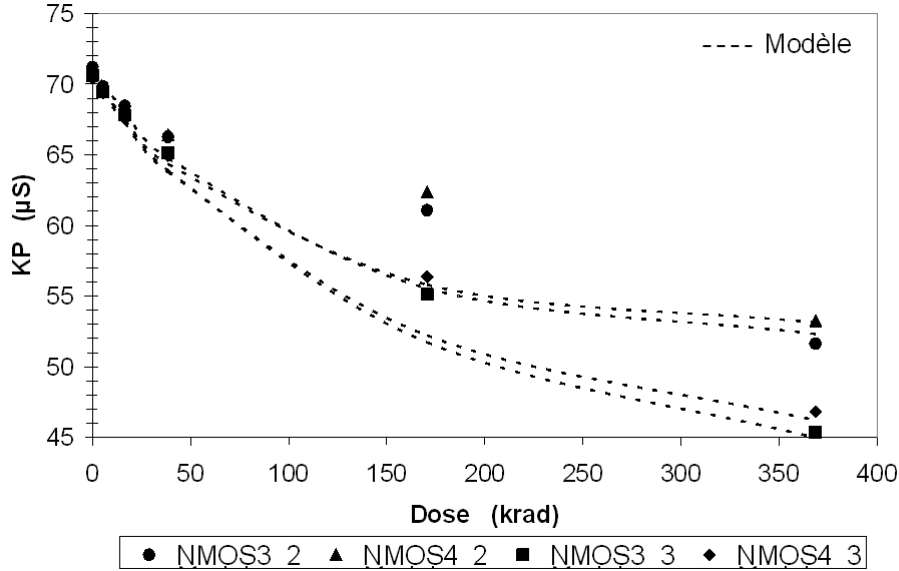
**Figure 5.20** – Évolution de la tension de seuil du transistor MOS de type N en fonction de la dose ionisante cumulée et des contraintes électriques appliquées :  $(V_{GS}, V_{DS}) = (2,4), (2,5), (3,4), (3,5)$ .

équation est équivalente à l'équation 5.22. La figure 5.21 montre une comparaison entre les points expérimentaux et les résultats obtenus à l'aide notre modèle. La différence entre ces deux résultats est due au fait que nous considérons que seules les charges piégées dans l'oxyde interviennent dans la dégradation du paramètre du transistor. En réalité, la charge liée aux pièges à l'interface  $Si/SiO_2$

joue un r le non n gligeable sur la d gradation de la transconductance des transistors.

$$\mu = \frac{\mu_o}{1 + \alpha_{OT}\Delta N_{OT}} \quad (5.22)$$

O   $\alpha_{OT} = -5,5 \cdot 10^{-14}$ .



**Figure 5.21** –  volution de la transconductance du transistor MOS de type N en fonction de la dose ionisante cumul e et des contraintes  lectriques appliqu es :  $(V_{GS}, V_{DS}) = (2,4), (2,5), (3,4), (3,5)$ .

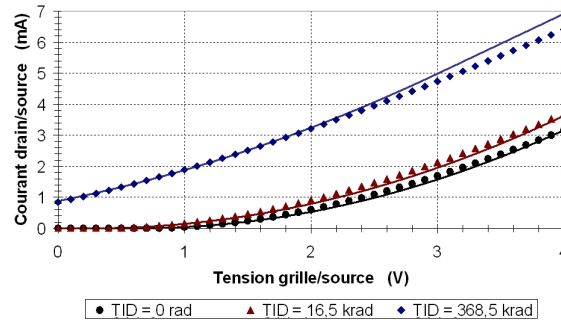
## 4.5 Validation du mod le

### 4.5.1 Simulation du vieillissement du transistor MOS de type N

Les lois de d gradation pr c demment d finies ont  t  int gr es au mod le comportemental  lectrique du transistor MOS pr sent    la section 4.1. Le mod le d gradable du transistor a  t  d velopp  suivant le mod le d fini au chapitre 3 (Cf. figure 3.2, page 71). A partir de ce mod le, l' volution des caract ristiques du transistor a  t  simul e et est repr sent e par la figure 5.22. Nous pouvons constater qu'il y a une bonne ad quation entre notre mod le comportemental et les r sultats exp rimentaux.

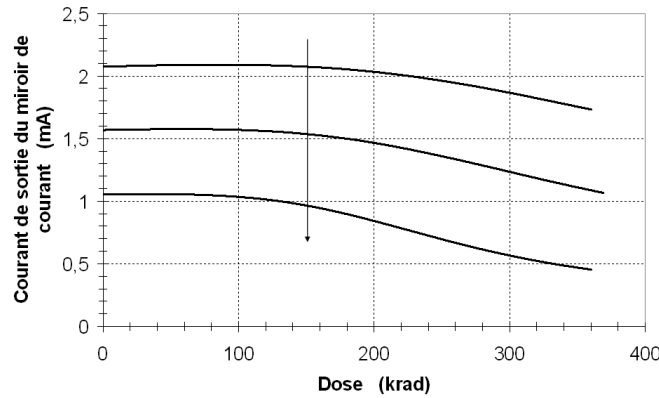
## 4.6 Simulation du vieillissement du miroir de courant simple de type N

Nous avons ensuite simul  le miroir de courant simple. La figure 5.23 montre l' volution du courant de sortie de ce dernier en fonction de la dose ionisante cumul e pour 3 courants d'entr e diff rents : 1 mA, 1.5 mA et 2 mA. Nous pouvons aussi observer l' volution de la tension d'entr e



**Figure 5.22** – Évolution de la caractéristique de transfert du transistor MOS pour différentes doses ionisantes cumulées pour  $V_{DS} = 4$  V.

(significative du vieillissement du transistor d'entrée) en fonction de cette dose (Cf. figure 5.24)<sup>2</sup>.

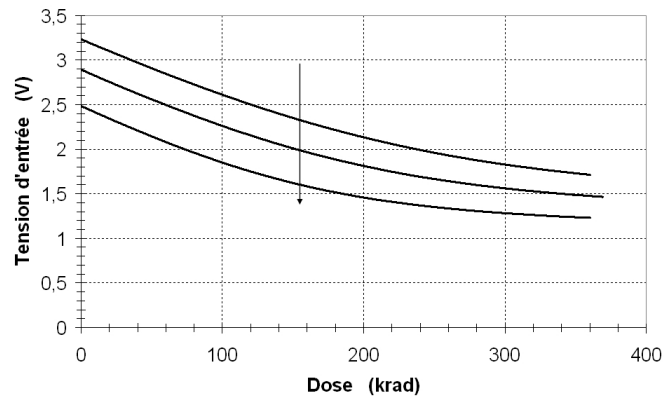


**Figure 5.23** – Évolution du courant de sortie du miroir de courant en fonction de la dose ionisante cumulée pour différentes valeurs du courant d'entrée (1 mA, 1.5 mA et 2 mA).

## 4.7 Conclusion

Les lois de dégradation, précédemment définies, ont été intégrées au modèle comportemental électrique du transistor MOS présenté à la section 4.1. Le modèle dégradable du transistor a été développé suivant le modèle défini au chapitre 3 (Cf. figure 3.2, page 71). Ce modèle a été validé par comparaison des résultats de simulation obtenus à l'aide de ce dernier avec les données expérimentales.

<sup>2</sup>Ces résultats n'ont pu être comparés à des données expérimentales car la deuxième campagne d'expérience n'a pu être réalisée durant ces travaux de thèse. Il serait donc inutile, à ce stade de l'étude, de simuler le vieillissement de l'AOT induit par irradiation.



**Figure 5.24** –  volution de la tension d'entr e du miroir de courant en fonction de la dose ionisante cumul e pour diff rentes valeurs du courant d'entr e (1 mA, 1.5 mA et 2 mA).

## 5 Conclusion

Comme nous le disions au début de ce chapitre, l'un des points critiques de la simulation de vieillissement est la validité des lois de dégradation utilisées. Nous avons donc mis en place une série d'expériences dont les deux objectifs principaux sont :

- déterminer nos lois de dégradation à partir de données expérimentales ;
- valider notre méthodologie de construction de modèles comportementaux de vieillissement d'un circuit à différents niveaux hiérarchiques.

Nous avons présenté, dans ce chapitre, un modèle empirique du transistor MOS traduisant l'évolution des caractéristiques électriques de ce dernier en fonction de la dose ionisante et des contraintes électriques qui lui sont appliquées. La modélisation ascendante des dégradations de l'amplificateur opérationnel à transconductance, suivant notre méthodologie, n'a pu être menée à son terme puisque d'autres campagnes restent à venir :

- l'irradiation de chaque bloc fonctionnel de l'AOT (i.e. miroirs de courants simples et paire différentielle) pour différentes conditions de fonctionnement ;
- l'irradiation de l'AOT.

Toutefois, nous tenions à présenter les premiers résultats de simulation de vieillissement d'un des blocs fonctionnels de l'AOT : le miroir de courant simple. Ces résultats semblent assez intéressants mais seule une expérience peut permettre de les valider et par conséquent de déterminer les domaines de validité du modèle du transistor.





## Conclusion générale



L'évolution de la fiabilité des circuits électroniques vers de faibles taux de défaillance et l'augmentation exponentielle du taux d'intégration rendent les analyses statistiques via les tests accélérés de vieillissement de plus en plus onéreux en termes de temps et de coûts. Aujourd'hui, une approche déterministe de la physique des défaillances est nécessaire pour estimer la durée de vie d'un circuit intégré (CI).

Afin de réduire les coûts des phases de conception et de tests, le traitement de la fiabilité est intégré dès la phase de conception. Divers travaux se focalisent alors sur le développement d'outils de simulations électriques dédiés à la fiabilité des semiconducteurs. Ces travaux de thèse s'inscrivent dans ce contexte et consistent alors à développer des stratégies de conception en vue de la fiabilité (DFR, Design for reliability). La stratégie, élaborée durant cette thèse, est fondée sur l'utilisation d'un unique simulateur de type comportemental. Ce simulateur utilise un modèle de vieillissement d'un CI afin d'évaluer l'évolution du comportement de ce dernier vis-à-vis d'un mécanisme de dégradation et un profil de mission donnés. La construction de ce modèle ne peut se faire que par la réalisation de deux étapes clés : une modélisation comportementale électrique du CI et une modélisation ascendante du vieillissement.

La méthodologie de modélisation du comportement électrique, présentée au Chapitre 2, est fondée sur une approche multi-niveaux. Elle permet d'obtenir des modèles comportementaux du CI à différents niveaux hiérarchiques : par exemple un modèle comportemental de haut niveau et un modèle structurel construit à partir de l'interconnexion de modèles électriques comportementaux de chaque bloc fonctionnel du CI (Cf. section « L'amplificateur opérationnel à transconductance », Chapitre 2). Le développement de ces modèles est guidé par les objectifs (en termes de précision, de temps de simulation et de représentativité) fixés par les contraintes d'assurance fiabilité. Ces contraintes sont elles-mêmes dépendantes des futurs profils de mission des systèmes pour lesquels le CI à fiabiliser est destiné.

La méthodologie de construction des modèles comportementaux dits « dégradables », représentatifs du vieillissement électrique du CI, a été développée suivant une approche de modélisation ascendante. Cette méthodologie, présentée au Chapitre 3, permet de garder un lien direct entre les dégradations observées au plus haut niveau d'abstraction et l'usure des composants élémentaires du CI. La validité de ce lien dépend fortement de la qualité des analyses de sensibilité faites lors du passage d'un niveau hiérarchique  $N$  à un autre  $N + 1$ .

Cette modélisation ascendante est un point clé (et par conséquent critique) pour l'analyse de la fiabilité. En effet, notre stratégie d'analyse est basée sur une approche de simulation de vieillissement descendante afin de déterminer le ou les blocs fonctionnels et/ou composants élémentaires critiques

de l'architecture du CI. Nous avons montr  durant ces travaux que la validit  des r sultats obtenus d pend du crit re de d faillance choisi (Cf. Chapitre 4). D'un point de vue « circuit », les crit res de d faillance doivent repr senter les valeurs limites des figures de m rites du CI pour lesquelles il sera consid r  comme d faillant. D'un point de vue « syst me », les crit res de d faillance doivent repr senter les valeurs limites des figures de m rites du CI pour lesquelles le syst me, dans lequel il va  voluer, sera consid r  comme d faillant.

L'un des points critiques de notre strat gie d'analyse de fiabilit  est la validit  des mod les de vieillissement. Ces mod les doivent donc  tre construits sur des bases exp rimentales. Nous avons alors  labor  durant ces travaux plusieurs campagnes d'exp riences afin de mod liser l'effet de dose ionisante sur la fonctionnalit  d'un circuit (ici un AOT). La premi re campagne a permis de d velopper un mod le empirique des variations de la tension de seuil et de la transconductance du transistor MOS en fonction de la dose ionisante cumul e. L' volution des caract ristiques d'un miroir de courant simple a  t  simul e. Toutefois, d'autres campagnes, d j   labor es et d velopp es, doivent  tre r alis es afin de valider nos m thodologies.

Afin de faire le lien entre la simulation de la fiabilit  et l'approche statistique de la fiabilit , nous avons, dans un premier temps, appliqu  la m thode de Monte-Carlo   des simulations de vieillissement au niveau transistor. Les r sultats de ces simulations ont mis en  vidence l'importance du choix du crit re de d faillance dans l' valuation de la dur e de vie. Dans l'optique d'adapter notre approche multi-niveaux de la simulation de la fiabilit , une premi re  bauche d'une m thodologie de mod lisation statistique   diff rents niveaux hi rarchiques a  t  d finie afin de ne prendre en compte que les dispersions des param tres critiques vis- -vis de la fonctionnalit  du CI pour d terminer la dispersion des instants de d faillance induite d'un lot de CIs, pour une mission et un m canisme de d gradation donn s.

Comme nous l'avons propos  au Chapitre 3, notre strat gie de conception en vue de la fiabilit  s'int gre parfaitement dans le flot de conception d'un CI (Cf. figure **3.25**). Elle voit tout son int r t dans la mesure o  la plupart de ces flots se standardisent. En effet, la plupart des concepteurs con oivent gr ce   la r utilisation et pour la r utilisation. C'est le concept de propri t s intellectuelles (IPs, Intellectual properties). L'ajout d'une vue « fiabilit  »,   un IP, pourrait donc  tre int gr  au m me titre que celles d j  pr sentes (connectique, symbole, layout,  lectrique...).

# Bibliographie

- [1] A.Alvarez, B. Abdi, D. Young, H. Weed, J. Teplik, and E. Herald. Application of statistical design and response surface methods to computer-aided vlsi device design. *IEEE Transaction on CAD*, 7, issue 2 :272 – 288, 1988.
- [2] O. Alali. *Modélisation VHDL-AMS analogique et simulation SPICE*. PhD thesis, Ecole Nationale Supérieure des télécommunications, 1998.
- [3] Shian Aur, Dale E. Hocevar, and Ping Yang. Hotron - a circuit hot electron effect simulator. *IEEE IEDM*.
- [4] M. Bourcerie B. Doyle and, J-C. Marchetaux, and A. Boudou. Interface state creation and charge trapping in the medium-to-highgate voltage range( $vd/2 \geq vg \leq vd$ ) during hot-carrier stressing of n-mos transistors. *IEEE Transactions on Electron Devices*, 37, issue 3 :pages : 744–754, 1990.
- [5] J.A. Barth. Modelling space radiation environments. In *EEE NSREC, short course*, 1997.
- [6] J.A. Barth. Space environments and testing. In *Single event effects Symposium*, 2000.
- [7] M. P. Baze, R. E. Plaag, and A. H. Johnson. Dose dependence of interface traps in gate oxides at high levels ofttotal dose. *IEEE Transactions on Nuclear Science*, 1989.
- [8] R. Bellens, P. Heremans, G. Groeseneken, and H. E. Maes. Analysis of mechanisms for the enhanced degradation during ac hot carrier stress of mosfets. *IEDM*, pages pages : 212–215, 1988.
- [9] M. Bolt, A. Trip, and H. Verhagen. Statistical worst case mos parameter extraction. *IEEE conference, ICMT*, 2, issue 1 :211 – 215, 1988.
- [10] K-L. Chen, S. Saller, and R. Shah. The case of ac stress in the hot-carrier effect. *IEEE Transactions on Electron Devices*, 3 :pages : 424–426, 1986.
- [11] A. G. Chynoweth. Ionization rates for electrons and holes in silicon. *Physical Review*, 1958.
- [12] Ansoft Corporation. *Simplorer Presentation*. <http://www.ansoft.com/products/em/simplorer/>.
- [13] Mentor Graphics Corporation. *ADVance MS Presentation*. <http://www.mentor.com/ams/adms.html>.
- [14] Mentor Graphics Corporation. *CommLib Presentation*. <http://www.mentor.com/ams/datasheets/comm>
- [15] Mentor Graphics Corporation. *Mach Presentation*. <http://www.mentor.com/mach/>.

- 
- [16] Mentor Graphics Corporation. *Opsim/Simpilot Presentation*. <http://www.mentor.com/ams/datasheets/simopaspire.pdf>.
  - [17] Mentor Graphics Corporation. *SystemVision Presentation*. <http://www.mentor.com/system/>.
  - [18] Mentor Graphics Corporation. *CFAS, User's Manual*. 2003.
  - [19] L. Dang. A simple current model for short channel igfet and its application to circuit simulation. *IEEE Journal of Solid-State Circuits*, April 1979.
  - [20] J.P. David. *Total dose effects on devices and circuits*. Space technology course, CEPADUES Editions, 2004.
  - [21] P. Desgreys. Flot de conception ams. *Workshop final AS SoC-AMS*, 2004.
  - [22] Y. Deshayes, F. Verdier, L. Bechou, B. Tregon, and Y. Danto. Estimation of lifetime distribution on 1550 nm dfb laser diodes using monte-carlo statistic computation. *Proceedings of SPIE, the international society for optical engineering*, volume 5465-16 :103–115, 2004.
  - [23] B. S. Doyle, M. Bourcerie, C. Bergonzoni, R. Benecchi, A. Bravis, K. R. Mistry, and A. Boudou. The generation and characterization of electron and hole traps created by hole injection during low gate voltage hot-carrier stressing of n-mos transistors. *IEEE Transaction on Electron Devices*, 37, Issue 8 :pages : 1869–1876, 1990.
  - [24] L. Dusseau, F. Saigné, and J. Gasiot. *Basics mechanisms*. Space technology course, CEPADUES Editions, 2004.
  - [25] eCircuit Center. <http://www.ecircuitcenter.com/SPICEtopics.htm>.
  - [26] C. ERDAL, A. TOKER, and C. ACAR. Ota-c based proportional-integral-derivative (pid) controller and calculating optimum parameter tolerances. *Turkish Journal of Electrical Engineering*, 2001.
  - [27] A. Fakhfakh. *Contribution à la modélisation comportementale des circuits radio-fréquence*. PhD thesis, Université Bordeaux 1, January 2002.
  - [28] D.P. FOTY. *MOSFET modeling with SPICE, Principe and Practice*. Prentice Hall, 1997.
  - [29] S.M. GadelRab, J.A. Barby, and S.G. Chamberlain. An architecture for integrated reliability simulators using analog hardware description languages. *IEEE International Symposium*, April 1995.
  - [30] D. Gajski, N. Dutt, C. Wu, and Y. Lin. *High Level Synthesis, Introduction to Chip and System design*. Kluwer Academic Publishers, 1992.
  - [31] Thierry DI GILIO. *Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 $\mu$ m - 2nm*. Thèse, Université de Provence, Octobre 2006.
  - [32] A. Haggag, W. McMahon, K. Hess, J. Lee K. Cheng, and J. Lyding. A probabilistic-physics-of-failure/short-time-test approach to reliability assurance for high-performance chips : models
-

- for deep-submicron transistors and optical interconnects. In *Integrated Reliability Workshop Final Report, IEEE International*, 2000.
- [33] T. Horiuchi, H. Mikoshiba, K. Nakamura, and K. Hamano. A simple method to evaluate device lifetime due to hot-carrier effect under dynamic stress. *IEEE Electron Device Letters*, 7, Issue 6 :pages : 337–339, 1986.
- [34] T. Horiuchi, H. Mikoshiba, K. Nakamura, and K. Hamano. A simple method to evaluate device lifetime due to hot-carrier effect under dynamic stress. *IEEE Electron Device Letters*, 7, Issue 6 :pages : 337–339, 1986.
- [35] W.-J. Hsu, B.J. Sheu, and S.M. Gowda. Design of reliable vlsi circuits using simulation techniques. *Solid-State Circuits IEEE Journal*, March 1991.
- [36] C. Hu. Ic reliability simulation. *Solid-State Circuits IEEE Journal*, Volume 27, No. 3t, 1992.
- [37] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. W. Terrill. Hot-electron-induced mosfet degradation-model, monitor, and improvement. *IEEE Transactions on Electron Devices*, 32, Issue 2 :pages : 375–384, 1985.
- [38] S.A. Huss. *Model Engineering in mixed-signal design*. Kluwer Academic Publishers, 2001.
- [39] Dolphin Integration. *Saber-HDL Presentation*. <http://www.synopsys.com/saber/>.
- [40] S. Jemmali. *Contribution à l'élaboration de méthodologies et d'outils d'aide à la conception de systèmes multi-technologiques*. PhD thesis, Ecole Nationale Supérieure des télécommunications, November 2003.
- [41] M. Karam, W. Fikry, H. Haddara, and H. Ragai. *Implementation of Hot carrier reliability simulation in Eldo*. <http://www.mento.com/dsm/>, September 2000.
- [42] V.S.R. KasulaSrinivas. *Modeling Semi-conductors Devices using the VHDL-AMS language*. University of Cincinnati, Master's thesis, 1999.
- [43] K. Kimseng, M. Hoit, N. Tiwari, and M. Pecht. Physics-of-failure assessment of a cruise control module. *Microelectronics Reliability*, February 1999.
- [44] C. Lallement, F. Pêcheux, and Y. Hervé. Vhdl-ams design of a most model including deep sub-micron and thermal-electronic effects. In *IEEE Workshop on Behavioral Modeling and Simulation (BMAS)*, October 2001.
- [45] F. Lémery. *Modélisation comportementale des circuits analogiques et mixtes*. PhD thesis, Institut National Polytechnique de Grenoble, 1995.
- [46] F. Marc, B. Mongellaz, and Y. Danto. Prédiction de l'impact du vieillissement des composants sur le comportement des circuits. In *Workshop MicroNanotechnologies, Crolles*, 2003.
- [47] F. Marc, B. Mongellaz, and Y. Danto. Reliability simulation of electronic circuits with vhdl-ams. *Languages for System Specification and Verification, Christoph Grimm*, 2004.

- 
- [48] P. McCluske. Physics-of-failure. *IEEE Aerospace Conference Proceedings*, 1999.
- [49] B. McLean, H.E Boesch, and T.R Oldham. *Ionizing radiation effects in MOS devices and circuits*. Eds T.P. Ma and P.V Dressendorfer (Wiley, New-York), 1989.
- [50] J.E. MEYER. Mos models and circuit simulation. *RCA revue*, 1971.
- [51] E. R. Minami, K. N. Quader, P-K. Ko, and C. Hu. Prediction of hot-carrier degradation in digital cmos vlsi by timing simulation. *IEEE International Electron Devices Meeting*, pages : 593–542, 1992.
- [52] K. R. Mistry and B. S. Doyle. The role of electron trap creation in enhanced hot-carrier degradation during ac stress. *IEEE Electron Device Letters*, 11 :pages : 267–269, 1990.
- [53] K. R. Mistry and B. S. Doyle. A model for ac hot-carrier degradation in n-channel mosfet's. *IEEE Electron Device Letters*, vol. 12, Issue 9, :pages : 492–494, 1991.
- [54] K. R. Mistry and B. S. Doyle. Ac versus dc hot-carrier degradation in n-channel mosfet's. *IEEE Transactions on Electron Devices*, 40, Issue 1 :pages : 96–104, 1993.
- [55] B. Mongellaz. Cmos device reliability models applied in eldo user defined reliability model tool. *Austrochip, Mentor Graphics Corporation*, 2004.
- [56] B. Mongellaz. *Contribution à l'intégration de la fiabilité dans le flot de conception des circuits intégrés fondée sur l'utilisation d'un langage de description comportementale VHDL-AMS*. PhD thesis, Université Bordeaux 1, November 2004.
- [57] B. Mongellaz, F. Marc, and Y. Danto. Cmos transistor electrical ageing experiments to build vhdl-ams behavioral models. In *IEEE InternationalReliability Physics Symposium Proceedings*, 2004.
- [58] B. Mongellaz, F. Marc, N. Milet-Lewis, and Y. Danto. Contribution to ageing simulation of complex analogue circuit using vhdl-ams behavioural modelling language. *Microelectronics Reliability, Volume 42, Issues 9-11*.
- [59] G.E. Moore. Progress in digital integrated circuit. *IEEE International Electronic Devices MeetingTechnology Digest*, December 1975.
- [60] L.W. Nagel. Spice 2 : A computer program to simulate simi-conductor circuits. In *Memorandum No ERL-M520, Electronics Research Laboratory, University of California, Berkeley*, May 1975.
- [61] J. Oudinot, C. Hui-Bon-Hoa, F. Lémery, and A. Rossi. Mixed-signal asic top-down and bottom-up design methodologies using vhdl-ams. In *Deep Micron publication, Mentor Graphics Corporation an Matra Nortel Communications*, November 2000.
- [62] M. P. Pagey. *Characterization and modeling of hot-carrier degradation in submicron n-MOSFET's*. Master thesis, Faculty of the Graduate School of Vanderbilt University, August 2002.
-



- [63] M. P. Pagey. *Hot-carrier reliability simulation in aggressively scaled MOS transistors*. PhD thesis, Faculty of the Graduate School of Vanderbilt University, December 2003.
- [64] M. Pecht and A. Dasgupta. Physics-of-failure : An approach to reliable product development. *Journal of the Institute of Environmental Sciences*, 1995.
- [65] J. Power, D. Barry, A. Mathewsen, and W. Lane. Worst case simulation using principal component anamysis techniques : an investigation. *Elseiver, Microelectronic engineering*, 15 :213 – 216, 1991.
- [66] J. Power, A. Mathewsen, and W. Lane. An approach for relating model parameter variabilities to process fluctuations. *IEEE conference, ICMT*, 6 :63–68, 1993.
- [67] R. Rosenberger. *Zur Generierung vor Verhaltensmodellen für Gemischt Analog/Digitale Schaltungen auf Basis der Theorie Dynamischer systeme*. PhD thesis, Univeristy of Technology Darmstadt, 2001.
- [68] M. Sebeloue. *Modélisation comportementale paramétrée de fonctions analogiques pour la simulation des systèmes de transmissions*. PhD thesis, Université de Toulouse, 2000.
- [69] SEMATECH. Technology computer-aided design (tcad roadmap : a supplement to national technology roadmap for semiconductors). *Technology Transfert 95012696A*, 1995.
- [70] Bing J. Sheu, Wen-Jay Hsu, and Vance C. Tyree. Modeling requirements for computer-aided vlsi circuit reliability assessment. *IEEE Eight Biennial University/Government/Industry Symposium*, 1989.
- [71] Bing J. Sheu, Wen-Jay Hsu, and Vance C. Tyree. Reliability assurance of application-specific microelectronic circuits. *IEEE Proceedings Annuual Reliability and Maintainability*, 1990.
- [72] C.J.R. Shi and al. Vdhl-a : Analog extension to vhdl. In *ASIC Conference and Exhibit, Seventh Annual IEEE International*, ISBN. 0-7803-2020-4/94, September 1994.
- [73] H. Shichman and D.A. Hodges. Modeling and simulation of insulated-gate field-effect transistor switching circuits. *IEEE Journal of Solid-State Circuits*, September 1968.
- [74] Simec. *hAMSter Presentation*. [http ://www.hamster-ams.com/index2.htm](http://www.hamster-ams.com/index2.htm).
- [75] S.Minehane, R. Duane, P. O’Sullivan, K. G. McCarthy, and A. Mathewson. Design for reliability. *Microelectronics Reliability*, vol. 40, 2000.
- [76] N. Stojadinovic, I. Manic, S. Djoric-Veljkovic, V. Davidovic, S Golubovic, and S. Dimitrijevic. Effects of high electric field and elevated-temperature bias stressing on radiation response in power vdmofets. *Microelectronics Reliability*, 2002.
- [77] FTL Systems. *Auriga(tm) Presentation*. [http ://www.auriga.fr/](http://www.auriga.fr/).
- [78] E. Takeda and N. Suzuki. An empirical model for device degradation due to hot-carrier injection. *IEEE Electron Device Letters*, 4, Issue 4 :pages : 111–113, 1983.

- [79] Eiji Takeda, Hitoshi Kume, Toru Toyabe, and Shojiro Asai. Submicrometer mosfet structure for minimizing hot-carrier generation. *IEEE Transactions on Electron Devices*, 4 :pages : 611–618, 1982.
- [80] S. Tam, F.C. Hsu, C. Hu, R. S. Muller, and P. K. Ko. Hot-electron currents in very short channel mosfet's. *IEEE Electron Device Letters*, 4, issue 7 :pages : 249–251, 1983.
- [81] A. Vachoux and J.M. Bergé. Vhdl : Analog and mixed mode extensions to vhdl. In *EUROSIM Simulation Congress*, 1995.
- [82] A. Vladimirescu. The spice book. In *J. Wiley & Sons, Inc., NY*, 1994.
- [83] A. Vladimirescu and S. Liu. The simulation of mos integrated circuits using spice 2. In *Electron. Res. Lab., University of california, Berkeley*, 1980.
- [84] W. Weber. Dynamic stress experiments for understanding hot-carrier degradation phenomena. *IEEE Transactions on Electron Devices*, 35, Issue 9 :pages : 1476–1486, 1988.
- [85] W. Weber and I. Borchert. Hot-hole and electron effects in dynamically stressed n-mosfets. *European Solid State Device Research Conference, Springer-Verlag*, pages pages : 719–722, 1989.

# Annexe A

## Publications

### Revues

- [1] F. MARC, B. MONGELLAZ, C. BESTORY, H. LEVI, Y. DANTO, *Improvement of Aging Simulation of Electronic Circuits Using Behavioral Modeling*, IEEE Transactions on device and materials reliability, Vol 6 N°2 pp. 228-234, 2006.

### Conférences internationales avec comité de lecture et actes

- [1] C. BESTORY, F. MARC, H. LEVI, *Statistical analysis during reliability simulation*, ESREF 2007, Microelectronics Reliability, Vol 47, Issues 9-11, pp. 1353-1357, 2007
- [2] F. ESSELY, C. BESTORY, N. GUITARD, M. BAFLEUR, A. WISLEZ, E. DOCHE, P. PERDU, A. TOUBOUL, D. LEWIS, *Study of ESD defect impacts on ICs reliability*, ESREF 2004, Microelectronics Reliability, Vol 44, pp. 1811-1815, 2004
- [3] B. MONGELLAZ, F. MARC, C. BESTORY, Y. DANTO, *A CMOS Analogue Function VHDL-AMS Behavioral Aging Model*, IEEE International Symposium on Industrial Electronics, Vol 1 N°2 pp. 187-192, 2004

### Conférences internationales et nationales avec comité de lecture

- [1] C. BESTORY, F. MARC, H. LEVI, *Nouvelle stratégie de conception en vue de la fiabilité – Contribution à la simulation de fiabilité*, Journées Nationales du Réseau Doctoral en Microélectronique, France, May 2007
- [2] C. BESTORY, F. MARC, H. LEVI, Y. DANTO, *Multi-level Modelling of hot carrier injection for reliability simulation using VHDL-AMS*, Forum on Specification and Design Languages, Germany, September 2006
- [3] F. MARC, C. BESTORY, H. LEVI, Y. DANTO, *La simulation de l'usure des circuits intégrés analogiques : prise en compte de l'interaction fonction, profil de mission, circuit*, ANADEF, France, May 2006
- [4] F. MARC, B. MONGELLAZ, C. BESTORY, H. LEVI, Y. DANTO, *Improvement of ageing simu-*

- lation of electronic circuits based on behavioural modelling*, IPFA, Singapore, June 2005, pp195-199
- [5] B. MONGELLAZ, F. MARC, C. BESTORY, Y. DANTO, *Electrical Ageing Laws Included in CMOS Compact Device VHDL-AMS Model*, Mixed Design of Integrated Circuits and Systems, Poland, June 2004

#### Communications sans actes

- [1] F. MARC, C. BESTORY, H. LEVI, *Prévision du vieillissement des composants en utilisation et de leur effet sur l'évolution paramétrique des fonctions analogiques*, GDR, France, March 2008
- [2] C. BESTORY, *Simulations comportementales des dérives électriques des circuits électroniques induites par effets de dose*, RADFAC, France, March 2006.
- [3] E.DOCHÉ, F.ESELY, C. BESTORY, N.GUITARD, M.BAFLEUR, A.WISLEZ, P.PERDU, A.TOUBOUL, D.LEWIS, *Latent defects and ESD*, Workshop EOS/ESD/EMI, France, May 2004

---

**Résumé :** La conception en vue de la fiabilité (DFR, Design for reliability) consiste à simuler le vieillissement électrique des composants élémentaires pour évaluer la dégradation d'un circuit complet. C'est dans ce contexte de fiabilité et de simulation de cette dernière, qu'une stratégie de conception en vue de la fiabilité a été développée au cours de ses travaux. Cette stratégie, intégrant une approche « système » de la simulation, s'appuie sur l'ajout de deux étapes intermédiaires dans la phase de conception. La première étape est une étape de construction de modèles comportementaux compacts à l'aide d'une méthodologie basée sur une approche de modélisation multi-niveaux (du niveau transistor au niveau circuit) des dégradations d'un circuit. La seconde étape consiste alors l'analyse descendante de la fiabilité de ce circuit, à l'aide de simulations électriques utilisant ses modèles comportementaux dits « dégradables », afin de déterminer les blocs fonctionnels et/ou les composants élémentaires critiques de l'architecture de ce dernier, vis-à-vis d'un mécanisme de défaillance et un profil de mission donnés. Cette analyse descendante permet aussi d'évaluer l'instant de défaillance de ce circuit. Les dispersions statiques, liées au procédé de fabrication utilisé, sur les performances d'un lot de CIs ont aussi été prises en compte afin d'évaluer leur impact sur la dispersion des instants de défaillance des circuits intégrés. Ces méthodes ont été appliquées à deux mécanismes de dégradation : les porteurs chauds et les radiations.

**Mots clés :** Conception en vue de la fiabilité, fiabilité, modélisation comportementale, Dispersions technologiques, Simulation de Monte-Carlo, Prédiction de la durée de vie, Porteurs chauds, Radiation.

**Abstract :** Design for reliability (DFR) consists in assessing the impact of electrical ageings of each elementary component, using electrical simulations, on performance degradations of a full device. According to DFR concept and reliability simulation, these works present a new DFR strategy. This strategy based on the integration of two intermediate phases in the ICs and SoC design flow. The first phase is a bottom-up ageing behavioural modelling phase of a circuit (from transistor level to circuit level). The second phase is a « top-down reliability analyses » phase of this circuit, performing electrical simulations using its ageing behavioural models, in order to determine critical functional blocks and / or elementary components of its architecture according to a failure mechanism and a given mission profile. These analyses also allow determining the failure time of this circuit. Statistical dispersions on ICs performances, due to the used manufacturing process, have been taken into account in order to assess their impact on failure time dispersions of a ICs lot. The method has been applied on two degradation mechanisms : hot carriers and radiations.

**Keywords :** Design for reliability, Reliability, Behavioural modelling, Statistical process dispersion, Monte-Carlo simulation, Life time prediction, hot carriers, Radiation.

---