

# THESE

Présentée à l'Université de Lille 1  
École Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

## DOCTEUR DE L'UNIVERSITE

**Spécialité** : MICRO ET NANOTECHNOLOGIE, ACOUSTIQUE ET  
TELECOMMUNICATIONS

Par

**Sarra MHEDHBI**

**DEVELOPPEMENT DE COMPOSANTS FLEXIBLES EN  
TECHNOLOGIE HETEROGENE (GAN ET GRAPHENE) POUR DES  
APPLICATIONS HAUTES FREQUENCES**

Soutenance le 1<sup>er</sup> décembre 2017 devant la commission d'examen

**Membres du jury :**

Mme Virginie HOEL	Professeur - Université de Lille 1	Directrice de thèse
Mme Marie LESECQ	Docteur - Université de Lille 1	Encadrante de thèse
M. Emiliano PALLECCHI	Docteur- Université de Lille 1	Encadrant de thèse
M. Philippe PANNIER	Professeur- Université d'Aix Marseille	Rapporteur
M. Dominique BAILLARGEAT	Professeur- Université de Limoges	Rapporteur
M. Arnaud STOLZ	Docteur-Université d'Orléans	Examineur
M. Abdelkarim OUERGHI	Chargé de recherche CNRS (LPN)	Examineur
M. Jean Pierre VILCOT	Directeur de recherche CNRS (IEMN)	Président du jury

# Remerciements

Je voudrais tout d'abord remercier grandement ma directrice de thèse, Virginie Hoel, pour toute son aide. Outre son appui scientifique, elle a toujours été là pour me soutenir et me conseiller au cours de l'élaboration de ces travaux.

J'adresse de chaleureux remerciements à ma Super encadrante, Marie Leseq, pour son attention à tout instant sur mes travaux, pour ses conseils avisés et son écoute qui ont été prépondérants pour la bonne réussite de ces travaux.

Un grand merci à mon encadrant, Emiliano Palecchi, pour son énergie et sa confiance qui ont été des éléments moteurs pour moi.

Toute ma reconnaissance à Nicolas Defrance pour son aide précieuse et ses conseils avisés.

Je tiens à remercier aussi mon responsable d'équipe, Henri Happy, de m'avoir choisi sur ce projet, pour m'avoir accueilli au sein de l'équipe et m'avoir fait confiance tout au long de ces trois années.

Messieurs Philippe Pannier et Dominique Baillargeat m'ont fait l'honneur d'être rapporteurs de ma thèse. Je les remercie pour le temps qu'ils ont accordé ainsi que leurs remarques et commentaires.

Je tiens à remercier Arnaud Stolz et Abdelkarim Ouerghi pour avoir accepté d'examiner mon travail de thèse.

Je remercie également Jean Pierre Vilcot pour l'honneur qu'il m'a fait d'être le président de mon jury de thèse.

Un immense merci à l'ensemble du personnel de la centrale de technologie IEMN avec qui travailler a été un énorme plaisir. Il me tient à cœur de remercier Pascal Tilmant, François Vaurette, Marc François, Christiane Legrand, Marc Dewitte, Annie Fattorini, Elisabeth Galopin, Bertrand Grimbert, Yves Deblock, Laurent Fugère, Christophe Boyaval, David Lecroix et David Troadec.

Un grand merci, aussi, à l'ensemble de l'équipe de la centrale de caractérisation de l'IEMN : Sylvie Lepilliet, Vanessa Avramovic, Sophie Eliet et Etienne Okada.

Ce travail n'aurait pas été mené à bien sans les différents financeurs, au travers de leurs soutiens matériels : Le projet européen « Graphene flagship », le projet ANR « FlexiGaN » ainsi que la DGA.

Un grand merci à mes ami(e)s Ghizlane Boussattour (ambiance Fm), Hayat Zaoui, Soukaina bensalk , Dalal, Moez Belhaj (Moizi), Mohammed Salah, Philippe(Pipo), Colin, Wei, Di, David, Bilel, Khawla et Neila, d'avoir embelli ces trois années de thèse et d'avoir fait du labo un endroit aussi cool que sérieux.

Je remercie finalement mon cher époux, Abderraouf, pour son soutien quotidien et son enthousiasme sans fin. Notre couple a grandi en même temps que mon projet de recherche, le premier servant de socle à l'épanouissement du second.

Ces remerciements ne peuvent s'achever, sans une pensée à ma grand-mère, ma mère, mon père, mes frères et sœurs, mes tantes et mon oncle. Leurs présences et leurs encouragements sont pour moi les piliers fondateurs de ce que je suis.

# **Introduction générale**

L'Idate (Institut de l'audiovisuel et des télécommunications en Europe) estime qu'il y aurait 15 milliards d'objets connectés (Internet of Things IoT) à l'heure actuelle contre seulement 4 milliards en 2010. Grâce à une croissance annuelle de 17.5%, le nombre d'objets connectés dans le monde dépassera les 36 milliards en 2030.[1]<sup>1</sup>

Ces données montrent une intégration accrue de l'électronique dans notre quotidien. En effet, cette technologie, développée à la base pour des applications militaires et aérospatiales, est destinée à fabriquer des objets à fortes valeurs ajoutées notamment les processeurs et les composants électroniques permettant de développer des secteurs d'activités aussi divers que les télécommunications, les transports, ou bien encore la santé. Ainsi avec l'essor des technologies de l'information et de la communication, l'électronique est omniprésente dans les objets de tous les jours.

Pour autant, intégrer de nouvelles fonctions électroniques dans chaque objet demeure un défi considérable. En effet, incorporer un circuit électronique dans un objet peu cher et peu encombrant représente une contrainte majeure en termes de coût et d'intégration des technologies pertinentes. A cause de la forme des objets, souvent complexe et non rigide, et du besoin incessant de s'intégrer dans des encombrements minimum, le développement d'une électronique flexible, compacte à bas coûts s'est imposé de fait. Cette voie d'exploration implique impérativement la revue du paradigme par rapport à l'électronique rigide. Cela se traduit directement par la recherche de nouveaux matériaux pour composer les transistors de ce nouveau type d'électronique. A l'heure actuelle, l'état de l'art indique que les techniques de fabrication et d'industrialisation de ce type d'électronique sont en cours de développement et montre que nous sommes encore assez loin de produits souples fabriqués en grande série.

Le silicium, matériau à la base de l'électronique conventionnelle, ne peut répondre à ces nouveaux critères du fait de sa rigidité. Pour permettre au silicium de répondre aux enjeux de la conformabilité, un dérivé a permis une grande avancée dans le domaine. Historiquement, l'émergence du silicium amorphe suivie de la mise en œuvre des matériaux organiques semi-conducteurs dans les années 1970-1980 ont ouvert la voie au développement de l'électronique flexible. Mécaniquement, ces matériaux répondent au critère de robustesse et peuvent être efficaces dans certains marchés comme celui des écrans. Néanmoins, ils présentent une valeur de mobilité des charges relativement faible limitant fortement les applications potentielles qui

---

<sup>1</sup> [1] SAMUEL ROPERT, "IoT : Un marché de 36 milliards d'objets connectés à Internet d'ici 2030."  
[Online]. Available: <https://fr.idate.org/marche-internet-des-objets/>.

attendent des capacités plus importantes pour l'émission et la réception de signaux en hyperfréquences.

Afin de répondre à ces nouvelles attentes de nouveaux matériaux ont été étudiés tels que les oxydes semi-conducteurs, les matériaux III-V, les nanotubes de carbone ou encore le graphène. Dans ce cadre, s'inscrit l'objectif principal de ces travaux de thèse qui réside en la fabrication de composants flexibles en technologie hétérogène (GaN et Graphène) pour des applications hautes fréquences. Ce travail s'est intéressé au développement spécifique de transistors, éléments fondamentaux des circuits électroniques modernes, sur un substrat flexible.

Pour cela, le manuscrit de thèse est composé de trois chapitres dont le centre d'intérêt réside autour de la mise au point de nouveaux procédés de fabrication et de systèmes de caractérisation adaptés pour répondre aux défis posés par la thématique : « composants performants sur substrat conforme ».

Dans un premier chapitre, une vue d'ensemble du contexte de l'électronique flexible et de ses applications pratiques sont présentées. Les transistors flexibles existants basés sur différents matériaux de canal sont introduits par la suite. L'état de l'art des transistors flexibles est établi afin de souligner plusieurs aspects relevant d'un goulot d'étranglement dans les techniques de composants actuelles. Dans la dernière section, les objectifs essentiels de ce travail en termes de performances à atteindre sont présentés. Ces dernières sont fixées en partie dans le cadre des contrats de recherche (ANR FLEXIGAN – FLAGSHIP GRAPHENE) qui ont financés ce travail de thèse. Pour répondre aux projets, les propriétés des matériaux GaN et graphène sont présentées afin d'identifier les verrous technologiques adressés dans les chapitres 2 et 3.

Le deuxième chapitre est par conséquent consacré aux procédés technologiques de fabrication des transistors HEMTs AlGaIn/GaN flexibles et des transistors à base de graphène. En ce qui concerne les HEMTs AlGaIn/GaN, une attention particulière est portée sur l'optimisation du procédé de transfert des composants du rigide sur flexible à travers l'identification des différents verrous et les solutions envisageables pour y remédier. Pour les composants à base de graphène, l'accent est mis sur le développement d'une technique de manipulation du substrat flexible lors des étapes de fabrication permettant l'amélioration du procédé technologique.

Le troisième chapitre traite de la caractérisation des dispositifs fabriqués dans le cadre de ces travaux. Les composants HEMTs AlGaIn/GaN flexibles sont caractérisés en régime statique,

dynamique et de puissance hyperfréquence. Les performances obtenues ont par ailleurs fait l'objet d'un résultat à l'état de l'art en termes de mesures de puissance hyperfréquence à 10GHz. Les composants à base de graphène, quant à eux, sont caractérisés en régime statique et dynamique ont permis d'avoir une fréquence de coupure  $f_t$  de 1GHz et une fréquence maximale d'oscillation  $f_{max}$  de 3 GHz pour une topologie « contacts arrière ».

# Chapitre I

## **L'électronique flexible : Contexte, Challenges et Objectifs**

## Sommaire

1	Contexte .....	7
1.1	Fin de la loi de Moore et intérêt de l'électronique flexible.....	7
1.2	Histoire de l'évolution de la filière flexible.....	8
1.3	Applications de l'électronique flexible.....	9
1.3.1	Applications dans le domaine de la santé.....	9
1.3.2	Applications dans le domaine de l'énergie.....	10
1.3.3	Applications dans le domaine de l'électronique grande surface .....	11
1.4	Les transistors flexibles.....	11
1.4.1	A base de matériaux organiques.....	12
1.4.2	A base de matériaux inorganiques.....	13
2	Challenge.....	18
2.1	Nature des flexibles utilisés .....	18
2.2	Méthode de fabrication sur flexible .....	19
2.2.1	Fabrication sur rigide et report sur flexible .....	19
2.2.2	Fabrication directe sur flexible.....	21
2.2.3	Fabrication en maintenant le flexible sur un substrat rigide « Sheets By batch processing ».....	23
3	Objectifs .....	24
3.1	Objectifs du projet FLEXIGaN.....	24
3.2	Objectifs du projet Graphene Flagshgip .....	25
3.3	Le potentiel du GaN et du Graphène et leurs intérêts pour ce manuscrit .....	26
3.3.1	Le nitrure de gallium .....	26
3.3.2	Le graphène.....	30
4	Conclusion.....	34
	Bibliographie du chapitre I.....	35

La naissance de la filière de l'électronique flexible a attiré l'attention de chercheurs et industriels depuis plusieurs années. Dans ce premier chapitre, nous présentons le contexte dans lequel s'intègre cette filière en mettant l'accent sur les applications diverses qu'elle peut toucher. Nous nous concentrons ainsi sur les transistors, objets principaux de ces travaux de thèse. Nous exposons par la suite les défis majeurs et les verrous scientifiques à débloquent. Le dénouement de ce chapitre sera constitué des objectifs des deux projets dans lesquels cette thèse s'inscrit. L'accent sera porté sur les matériaux utilisés à savoir le nitrure de gallium et le graphène.

## 1. Contexte

### 1. 1. Fin de la loi de Moore et intérêt de l'électronique flexible

Depuis les années 1970, Intel a lancé des puces qui intègrent deux fois plus de transistors dans le même espace à peu près tous les deux ans, visant à suivre une courbe exponentielle nommée loi de Moore au nom de l'un des co-fondateurs de l'entreprise. Cette miniaturisation continue a contribué à rendre les ordinateurs plus puissants, plus compacts et plus éco-énergétiques. Cela a contribué à nous apporter des smartphones, des services Internet puissants et des percées dans plusieurs domaines tels que l'intelligence artificielle et la génétique.

En 2016, Intel a révélé qu'il est impossible de continuer à suivre la loi de Moore. En effet la production de transistors avec des finesses de gravure inférieures à 14 nm devient de plus en plus difficile. Dans la Figure I-1 : évolution de la surface de circuit logique [1], nous présentons l'évolution de la surface de circuit selon Intel avec une estimation d'arriver jusqu'à 10nm à la fin de l'année 2017.

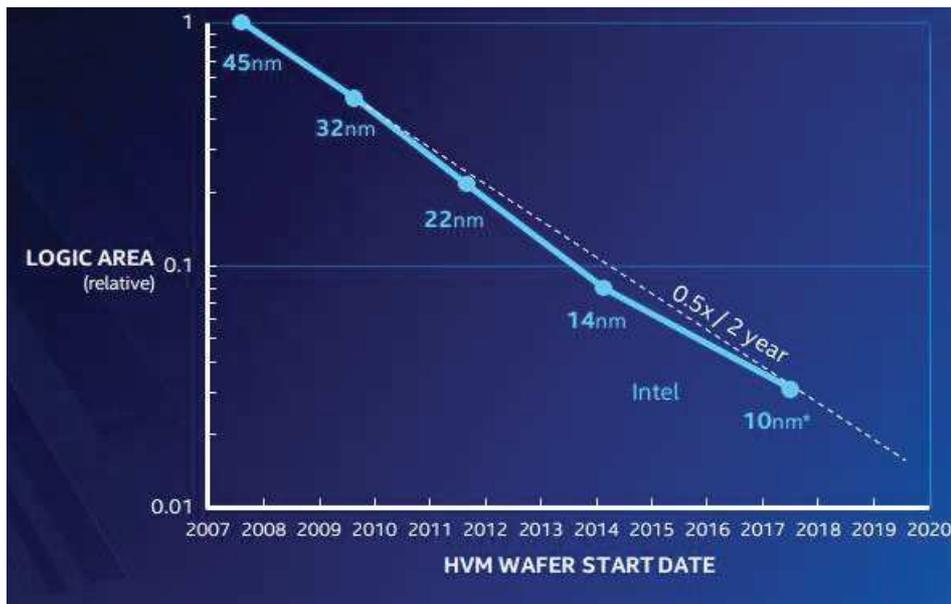


Figure I-1 : évolution de la surface de circuit logique [1]

De plus, comme il a été récemment rapporté dans le chapitre « Heterogeneous integration (2015) » de l'ITRS (International Technology Roadmap for Semiconductors), les limites de performances offertes par la technologie CMOS sont en passe d'être atteintes, le respect de la loi de Moore devient difficile et de nouvelles applications, difficilement atteignables par l'électronique classique doivent être développées.

En 2009, on pouvait lire dans le rapport de l'ITRS “*Flexible electronics is projected to grow into a multibillion-dollar industry over the next decade and will revolutionize our view of electronics. The unique properties of flexible electronics, such as its compliant structures, ultra-thin profiles, low weight, and potential low cost and high reliability could have enormous impact on consumer electronics, aviation and space electronics, life sciences, military applications and telecommunications. Flexible electronics will enable a broad range of devices and applications not possible today*<sup>1</sup>.”

En effet, depuis quelques années, nous assistons à l'essor d'une nouvelle filière d'électronique basée sur des supports conformables. L'objectif est de fabriquer des circuits pliables, minces, légers, extensibles et présentant des performances avoisinant celles actuellement atteintes par les composants et circuits conventionnels.

L'électronique flexible est une voie prometteuse pour adresser ces nouvelles applications [2]. Pour de nombreuses applications émergentes, les propriétés de flexibilité des composants sont indispensables leur permettant une utilisation dans des endroits confinés ou sous forte contrainte.

## **1. 2. Histoire de l'évolution de la filière flexible**

La filière de l'électronique flexible a vu le jour dans les années 1960. Les premières cellules solaires ont été fabriquées par R.L.Crabb et F.C Treble grâce à l'amincissement du substrat silicium monocristallin jusqu'à 100µm. L'ensemble de cellules était par la suite assemblées sur un substrat en plastique pour assurer la flexibilité [3].

Le premier transistor flexible remonte à 1968 quand Brody et ses collègues ont fabriqué un TFT (*Thin Film Transistor*) de Tellure (Te) sur une bande de papier et ont proposé d'utiliser ces matrices pour afficher l'adressage. Dans les années qui suivent, le groupe de Brody a fabriqué des TFTs sur différents types de substrats flexibles, notamment du mylar, le polyéthylène et sur des feuilles d'emballage en aluminium anodisé. Les TFTs ont été pliés jusqu'à un rayon de 1/16'' et continuaient à fonctionner [4]. Au cours des années 80, le succès des écrans à cristaux liquides (*LCD : Liquid Crystal Display*) d'une part et la démonstration des cellules solaires flexibles d'autre part, ont stimulé les recherches sur les circuits flexibles. Depuis, plusieurs matériaux ont été utilisés à savoir le silicium, les matériaux organiques,

---

<sup>1</sup> *L'électronique flexible devrait devenir une industrie multimillionnaire au cours de la prochaine décennie et révolutionner notre vision de l'électronique. Les propriétés uniques de l'électronique flexible, telles que les structures conformes, les profils ultra-minces, le faible poids et le potentiel de faible coût et la haute fiabilité pourraient avoir un impact énorme sur l'électronique grand public, l'électronique de l'aviation et de l'espace, les sciences de la vie, les applications militaires et les télécommunications. L'électronique flexible permettra une large gamme de périphériques et d'applications qui ne sont pas possibles aujourd'hui*

inorganiques, les matériaux hybrides organiques/ inorganiques pour la technologie CMOS, les nanotubes de carbone ainsi que le graphène.

En 2006, au CES (*Consumer Electronics Show*), Philips a montré un prototype d'affichage pliable, avec un écran capable de conserver une image pendant plusieurs mois sans électricité [5]. En 2009, l'apparition du premier transistor à base de graphène a révolutionné la filière de l'électronique flexible vu son épaisseur atomique, compatible avec la filière [6]. Plus tard, en 2013, Samsung a intégré sa technologie OLED dans ses dispositifs d'affichage flexible et LG a dévoilé le premier papier électronique en plastique (cf Figure I-2 ).



Figure I-2: Illustration de (a) Dispositifs d'affichage flexible de Samsung [7] (b) Papier électronique de LG [8]

### 1. 3. Applications de l'électronique flexible

Comme nous pouvons le constater, l'industrie des semi-conducteurs a fortement développé les dispositifs d'affichage flexible. Cependant, les recherches dans la filière de l'électronique flexible visent une grande variété de domaines, bien au-delà du simple affichage notamment des circuits souples microondes. Le développement de ces derniers nécessite des composants ayant des fréquences de fonctionnement au-delà du GHz. Dans ce paragraphe, nous présentons quelques nouvelles applications de la filière flexible notamment dans le domaine de la santé, de l'énergie et de l'électronique grande surface.

#### 1.3.1. Applications dans le domaine de la santé

La surveillance, la détection voire le diagnostic d'une maladie peuvent être établis à partir de la peau. En effet le traitement de signaux physiologiques permettra de fournir ces informations, qui, jusqu'à présent est effectué par des équipements encombrants. L'électronique flexible est un bon candidat pour reporter les fonctions de détection et de traitement de signaux directement sur la peau via des capteurs et des tatouages intelligents [9][10]. Dès lors, un suivi clinique simple peut se faire d'une façon plus rapide et moins couteuse. De nombreuses démonstrations

sous forme de tatouages sont présentées (Figure I-43) ainsi que le capteur d'UV présenté par L'Oréal au CES [11].

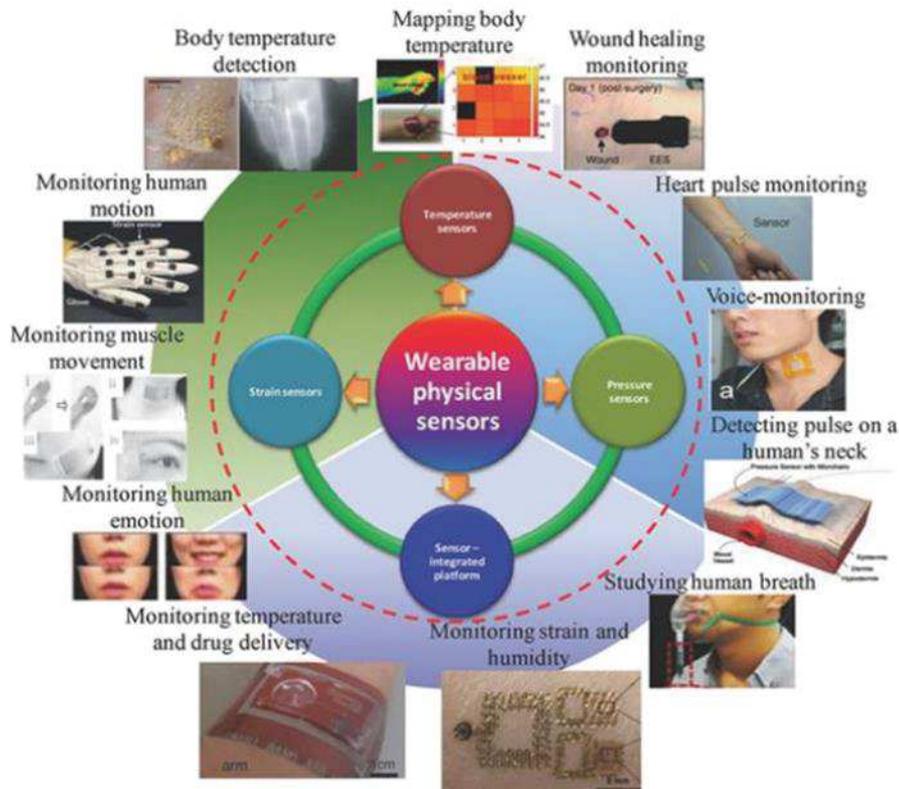


Figure I-3: Exemples de capteurs de signaux physiologiques flexibles [9]



Figure I-4: Capteur d'UV présenté par L'Oréal au CES [11]

### 1.3.2. Applications dans le domaine de l'énergie

Avec le développement des cellules photovoltaïques flexibles, les coûts de fabrication et d'installation des panneaux PV ont été drastiquement réduits ce qui a engendré une révolution dans le secteur de l'énergie. Par ailleurs, les supports et les procédés de fabrication de batteries

ont été nettement améliorés grâce aux substrats flexibles, qui ont notamment permis l'augmentation de la densité massique d'énergie et la co-intégration des fonctions électroniques et de source d'énergie sur un même support.

### 1.3.3. Applications dans le domaine de l'électronique grande surface

Les industriels ont aussi appréhendé l'intérêt de l'électronique flexible. En 2008, Nokia, en collaboration avec l'université de Cambridge, a présenté un concept de téléphone mobile flexible appelé Nokia Morph (Figure I-5-a). Ce concept illustre le potentiel des nanotechnologies dans le secteur de la téléphonie mobile. Grâce à la flexibilité de ce téléphone, il peut changer de forme et être ainsi porté comme bracelet. Aujourd'hui, des chercheurs du Human Media Lab de la Queen's University au Canada ont présenté le premier vrai smartphone à écran souple (Figure I-5-b)[12]. Il s'agit d'un prototype de recherche basé autour d'un écran OLED HD 720p flexible conçu par LG. L'équipe de ReFlex affirme que le produit final sera présent dans les magasins d'ici quatre ans.

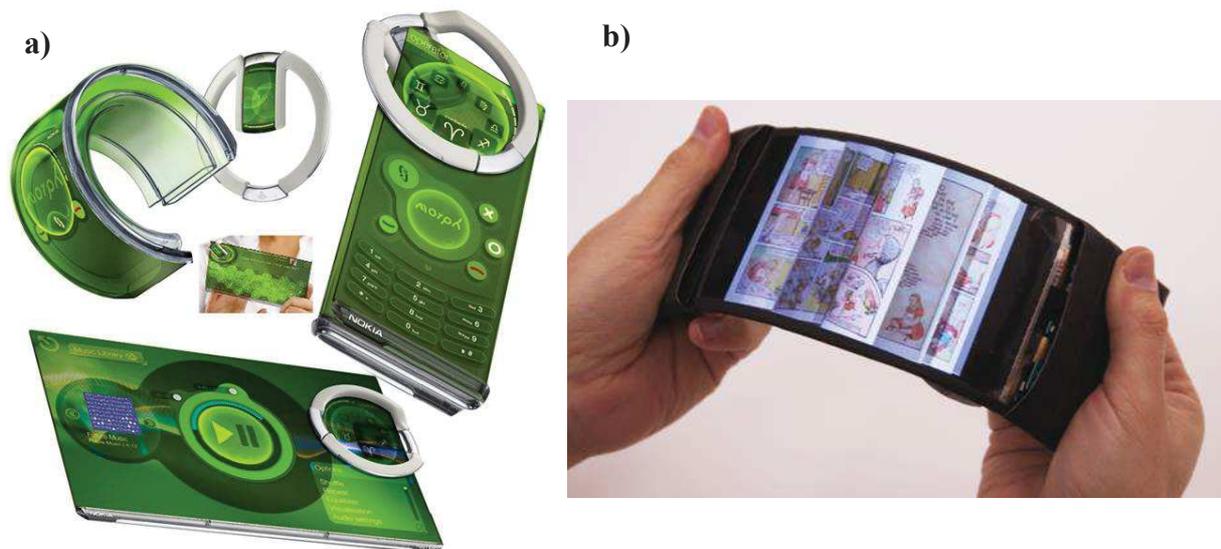


Figure I-5: (a) Illustration du concept Nokia Morph (2008). (b) Photographie du smartphone flexible ReFlex [12]

## 1. 4. Les transistors flexibles

L'électronique flexible est une voie prometteuse qui permettra d'étendre les champs d'applications de l'électronique classique et d'aller au-delà. Notamment pour les objets connectés, il est indispensable d'intégrer une chaîne d'émission/réception flexible. Cette dernière dans sa forme la plus élémentaire se compose d'un mélangeur, d'un amplificateur et

d'un oscillateur local. L'ensemble de composants peut être réalisé à partir de transistors hautes fréquences. Actuellement, la production de composants souples ayant des fréquences de fonctionnement comparables à celles des composants rigides reste un défi majeur pour l'industrie de l'électronique.

Le transistor est l'élément fondamental pour la plupart des systèmes électroniques modernes, il a toujours été le centre de plusieurs investigations et avancées technologiques. Depuis l'intérêt porté par les scientifiques à la filière flexible, plusieurs matériaux de canal ont été étudiés pour être intégrés dans des circuits électroniques sur substrat souple. Deux grandes familles peuvent être distinguées : (i) les matériaux organiques et (ii) les matériaux inorganiques.

Cette partie résume l'état de l'art de ces deux grandes familles en mettant le point sur les matériaux utilisés dans le cadre de ces travaux.

#### **1.4.1. A base de matériaux organiques**

Les matériaux organiques ont été considérés comme étant les meilleurs candidats pour l'électronique flexible grâce à leur flexibilité et un module d'Young inférieur à 100GPa. Ils permettent une fabrication directe sur les substrats sans avoir recours à des techniques de fabrication chères telles que la photolithographie et l'utilisation de hautes températures.

Les premières démonstrations de transistors organiques (OFET : Organic Field Effect Transistor) remontent aux années soixantes (1964) [13]. Plus tard, dans les années 80, les chercheurs ont introduits de nouveaux matériaux organiques ainsi que de nouvelles techniques de fabrication [14][15][16][17]. A cette époque les mobilités sont très faibles ( $\mu \sim 10^{-3} \text{ cm}^2 / (\text{V.s})$ ). Les recherches se sont focalisées par la suite sur la compréhension des mécanismes de transport afin de synthétiser de nouvelles molécules et d'améliorer le dépôt des matériaux organiques dans le but d'atteindre des mobilités plus élevées. Actuellement les transistors organiques atteignent une mobilité dans la gamme  $1-10 \cdot 10^{-3} \text{ cm}^2 / (\text{V.s})$ . Des mobilités de l'ordre de  $40 \cdot 10^{-3} \text{ cm}^2 / (\text{V.s})$  ont été démontrés pour des OFET à base de pentacène cristallin et de rubène cristallin [18][19].

L'enjeu actuel est de trouver de nouvelles molécules ou polymères avec une mobilité de charge plus élevée.

Depuis les années 90, les OFETs ainsi que des circuits à base des OFETs ont été rapportés sur plusieurs types de substrats notamment le PI [20][21], le PEN [22], le PET [23][24] et même sur du papier [25]. Malgré les investigations faites pour optimiser les performances des OFETs en termes de réduction de la longueur de canal et amélioration d'architectures, la gamme de fréquences accessibles se situe dans les MHz.

### 1.4.2. A base de matériaux inorganiques

Les matériaux inorganiques tels que les oxydes semi-conducteurs, le silicium, les matériaux carbonés ou encore les matériaux III-V contribuent eux aussi à l'évolution de la filière de l'électronique flexible en bénéficiant soit de la maturité de la technologie soit de la nature du matériau. Ces matériaux représentent de bons candidats comparés aux matériaux organiques puisqu'ils ont des mobilités nettement plus élevées d'une part, et d'autre part ils sont compatibles avec l'utilisation de techniques permettant la miniaturisation de composants.

Une brève comparaison entre les matériaux organiques et inorganiques est résumée dans le Tableau I-1.

Tableau I-1: Caractéristiques de l'électronique organique et inorganique

électronique organique	électronique inorganique
Faible coût par unité de surface	Coût élevé par unité de surface
Performance modeste	Hautes performances
Faible densité d'intégration	Très grande densité d'intégration
Adaptée à l'électronique flexible	Adaptable à l'électronique flexible

#### 1.4.2.1 Les oxydes semi-conducteurs

L'apparition des premiers transistors à base d'oxydes semi-conducteurs remonte aux années 1960 en utilisant de l'oxyde d'étain ( $\text{SnO}_2$ ) et de l'oxyde de zinc ( $\text{ZnO}$ ) [26][27][28]. Malheureusement, leurs performances étaient limitées. En 2003, l'équipe de H. Hosono de l'Institut de Technologies de Tokyo a démontré un nouveau matériau composé d'une combinaison d'oxydes semi-conducteurs  $\text{InGaO}_3(\text{ZnO})_5$  (GIZO)[29]. Une mobilité de  $80 \text{ cm}^2/(\text{V}\cdot\text{s})$  et un rapport  $I_{\text{ON}}/I_{\text{OFF}}$  de  $10^6$  ont été obtenus. Ce travail est la première démonstration de la potentialité des oxydes dans la fabrication des transistors. Cependant, le procédé de fabrication a nécessité l'utilisation de très hautes températures de l'ordre de  $1400^\circ\text{C}$ , ce qui n'est pas compatible avec les substrats flexibles. La même équipe a réussi à remédier à ce problème en utilisant un nouveau procédé de fabrication basé sur le dépôt par ablation laser (PLD)[30]. Une mobilité de  $9 \text{ cm}^2/(\text{V}\cdot\text{s})$  est obtenue sur PET. Cependant, une collaboration étroite entre les acteurs majeurs de l'électronique souple reste nécessaire afin d'intégrer ces avancées dans le secteur grand public.

#### 1.4.2.2 Les TFTs à base de silicium

Les premiers transistors TFT (Thin Film Transistor) à base de silicium remontent aux années 1980 en utilisant le silicium amorphe hydrogéné ( $\text{a-Si:H}$ )[31]. Par ailleurs, des températures de

l'ordre de 150°C ont été utilisées au lieu de 300°C pour la croissance du silicium par PECVD (*Plasma Enhanced Chemical Vapor Deposition*) [32]. Le maximum de mobilité atteint avec du silicium amorphe hydrogéné est de l'ordre de 1 cm<sup>2</sup>/(V.S), de même ordre de grandeur que les mobilités atteintes avec les matériaux organiques. Dès lors, le silicium polycristallin a attiré plus d'attention puisqu'il peut être déposé par CVD (Chemical Vapor Deposition) à basse température ou alors par cristallisation du silicium amorphe. Les premiers TFTs à base de polysilicium sur feuilles de métal datent des années 1990 [33][34]. Plus tard, une mobilité de 138 cm<sup>2</sup>/ (V.s) avec un rapport I<sub>ON</sub>/I<sub>OFF</sub> de 10<sup>8</sup> a été démontré sur un substrat de verre [35]. Toutefois, l'utilisation du polysilicium n'est pas adaptée pour les applications hautes fréquences.

Des performances dans la gamme des Gigahertz ont été atteintes avec les nano-membranes de silicium [36][37]. Des fréquences F<sub>t</sub> et F<sub>max</sub> de 3,8 et 12 GHz respectivement ont été démontrées par l'équipe de Ma [38] en utilisant une topologie à deux doigts de grilles et en réduisant la résistance d'accès. Les composants gardent leurs caractéristiques fréquentielles lors des mesures sous contraintes de torsion (Rayon R=29mm) et de compression (R=78mm). Récemment J.Seo et al. ont obtenus des fréquences f<sub>t</sub> et f<sub>max</sub> de 5 GHz et 38 GHz en mesurant des transistors à base de nano-membranes sur PET [39]. Ce développement montre bien que le silicium reste un matériau intéressant pour l'électronique souple.

#### 1.4.2.3 Les matériaux carbonés : Nanotubes de carbone et graphène

##### 1.4.2.3.1. Les nanotubes de carbone

Les NanoTubes de Carbone (NTCs) monoparois sont constitués d'un feuillet de graphène enroulé sur lui-même pour former un cylindre. Ils ont été synthétisés pour la première fois par S.Iijima (NEC Corporation) et un groupe d'IBM en 1993[40][41].

Les premiers transistors à base de NTCs ont été démontrés par l'université de Delft et d'IBM New York en 1998[42][43]. Cette démonstration a mis en évidence le potentiel des nanotubes de carbone en tant que matériau de canal grâce à leur mobilité électronique très élevée. Une mobilité de 79 000 cm<sup>2</sup>/(V.s) pour un seul nanotube de carbone a été rapportée par l'équipe de M.Fuhrer à l'Université du Maryland. Cette mobilité extrêmement élevée associée à leur robustesse mécanique a fait des NTCs un candidat idéal pour l'électronique flexible.

En ce qui concerne la miniaturisation, ces transistors sont prometteurs en raison du caractère unidimensionnel des nanotubes. Récemment, des transistors à base de NTCs avec des longueurs de grille de 5 nm sur substrat rigide ont été démontrés[44]. Le problème des NTCs limitant leur intégration dans des circuits est liée à l'impossibilité de positionner précisément

chaque nanotube de carbone. Cependant, des améliorations continuent à être apportées par les chercheurs. Par exemple, en 2016, de nouvelles techniques d'alignement ont permis d'obtenir des transistors NTCs quasi-balistiques avec des densités de courant surpassant le silicium et le GaAs[45]. En 2007, les équipes d' H. Happy à l'IEMN et du LICSEN au CEA ont montré que les transistors à base de tapis de NTCs sur substrat flexible peuvent atteindre une fréquence de coupure de 5 GHz[46]. En 2009, des transistors à base de NTCs sur substrat flexible ont été fabriqués par l'équipe de d'A. Javey à l'université de Californie à Berkeley en utilisant seulement des techniques d'impression[47]. Les transistors présentent une mobilité de  $4 \text{ cm}^2/(\text{V}\cdot\text{s})$  et un rapport  $I_{\text{ON}}/I_{\text{OFF}}$  de  $10^5$ . En 2016, des transistors ayant des fréquences de coupure supérieures à 70 GHz à partir de NTCs triés par polyfluorène ont été fabriqués par les équipes de M.Arnold et C.Zhou[48]. Ces travaux prouvent que l'intérêt pour les NTCs dans la filière souple reste important.

#### 1.4.2.3.2. Le graphène

L'allotrope bidimensionnel du carbone, le graphène, présente aussi des caractéristiques intéressantes pour l'électronique flexible. En particulier, sa mobilité élevée fait de lui un bon candidat pour les applications radiofréquences. La première démonstration des FETs micro-onde a été faite en 2008 dans les laboratoires l'IBM. Une fréquence de coupure  $f_t$  de 14 GHz (après de-embedding<sup>2</sup>) a été obtenue. Plusieurs travaux faits par la suite ont permis d'atteindre des fréquences de coupure plus élevées. Il est à noter que dû à l'absence de la bande interdite dans le graphène, empêchant la saturation du courant, les fréquences  $f_{\text{max}}$  sont plus faibles que les fréquences  $f_t$ . Plusieurs travaux ont démontrés des propriétés radiofréquences des transistors à base de graphène sur substrat flexible [49]–[52]. Une fréquence de coupure  $f_t$  de 95 GHz et une fréquence  $f_{\text{max}}$  de 30 GHz (après de-embedding) ont été démontré par l'équipe de D. Akinwande de l'université de Texas à Austin en utilisant du graphène CVD [51]. La fiabilité des composants à base de graphène reste toujours un défi. Une partie importante de ce travail de thèse s'inscrit dans ce contexte et est dédiée au développement d'un nouveau procédé de fabrication de transistors et circuits flexibles à base de graphène.

#### 1.4.2.4 Les matériaux III-V

Les matériaux III-V se caractérisent eux aussi par des propriétés physiques remarquables. La plus importante est sans conteste leur bande interdite qui atteint 3,4 eV pour le GaN et 6,2 eV pour l' AlN. En combinant certains matériaux grâce aux techniques d'épitaxie par jets moléculaire (*EJM* ou *MBE* pour *Molecular Beam Epitaxy*) et en phase vapeur (*MOCVD* *Metal-*

---

<sup>2</sup> Technique de soustraction des effets parasites limitant les performances des composants

*Organic Chemical Vapor Deposition*), des hétérostructures peuvent être réalisées afin d'accroître encore plus la mobilité en permettant la création d'un gaz d'électrons bidimensionnel.

En plus de leurs propriétés de transport, les semi-conducteurs III-V ont montré un réel potentiel pour plusieurs systèmes de communication tels que la 4/5G et le Wi-Fi. Les circuits intégrés à base de HEMT (*High Electron Mobility Transistors*) et de HBT (*Heterojunction Bipolar Transistors*) représentent deux technologies matures pour des applications hautes fréquences [53]. Nous nous concentrons dans ce paragraphe uniquement sur les HEMTs sur substrat Silicium(111) et sur flexible qui font l'objet des travaux de ma thèse.

#### **1.4.2.4.1. État de l'art des composants HEMTs sur substrat Si**

Le silicium semble être le substrat approprié pour la croissance des hétérostructures HEMTs spécialement pour les composants dédiés au transfert sur substrat souple vu son faible coût et en comparaison au SiC. Par ailleurs, le développement de composants HEMTs flexibles passe par une réalisation de ces derniers sur substrat Si. Le substrat de croissance est sacrifié par la suite afin de ne garder que le film GaN avec les composants ayant de hautes performances. Dans ce paragraphe nous détaillons l'état de l'art des composants HEMT sur Si afin de positionner ensuite les résultats obtenus dans la thèse.

J.W.Johnson et al. ont démontré les premiers un record de densité de puissance hyperfréquence de 12 W/mm associée à un gain linéaire de 15,3 dB et un rendement en puissance ajoutée de 52,7 % pour une polarisation de drain de 50 V et une longueur de grille de 700 nm à une fréquence de mesure de 2,14 GHz [54]. Pour une longueur de grille de 300 nm, D.C. Dumka *et al.* [55] ont atteint une densité de puissance de 7 W/mm avec un rendement de 52 % et un gain linéaire de 11 dB à 10 GHz. Une première mesure à 94 GHz, Bolognesi *et al.* ont obtenu une densité de puissance de 1.35 W/mm associée à un gain linéaire et un rendement en puissance ajoutée de 12 % pour une polarisation de drain de 9 V sur un transistor de longueur de grille de 50 nm et un développement de  $2 \times 50 \mu\text{m}$  sur une hétérostructure disposant d'une barrière  $\text{In}_{17}\text{Al}_{83}\text{N}$  [56]. Medjdoub *et al.* ont obtenus des mesures de puissance à 40 GHz atteignant une densité de puissance de 2,5 W/mm associée à un gain linéaire de 9 dB et une PAE de 18 %, pour une polarisation de drain de 15 V et un transistor de longueur de grille de 100 nm avec un développement de  $2 \times 50 \mu\text{m}$  [57]. Récemment, Altuntas *et al.* ont obtenu une densité de puissance de 2,7 W/mm avec un gain linéaire et un rendement en puissance ajoutée respectivement de 6,5 dB et 12,5 % à 40 GHz pour une polarisation de drain de 25 V sur un transistor de longueur de grille de 75 nm et un développement de  $2 \times 50 \mu\text{m}$  [58].

#### 1.4.2.4.2. État de l'art des composants HEMTs sur flexible

Grâce à leurs propriétés électriques, les composants HEMTs sont attractifs pour le domaine de l'électronique flexible, imposant ainsi le développement de nouvelles techniques de fabrication basée sur l'exploitation de la maturité de la technologie déjà existante. Dans ce sens, la majorité des performances a été obtenue sur des composants fabriqués sur rigide et transférés sur flexible. Les composants flexibles HEMTs AlGaIn/GaN fabriqués dans le cadre de ce travail de thèse sont obtenus grâce à cette méthode. Plus de détails sont donnés dans la suite du manuscrit.

K. J. Lee *et al.* ont réussi en 2006, à transférer des HEMTs à base de ruban  $\mu$ s-GaN avec une longueur de grille de  $5\mu\text{m}$  sur du plastique en conservant les caractéristiques électriques en régime statique jusqu'à un rayon de courbure de  $1,1\text{cm}$  [116]. La densité de courant était faible de l'ordre de  $23,5\text{mA/mm}$  et la tension maximale  $V_{\text{ds}}$  appliquée de  $5\text{V}$ . La densité de puissance DC a été estimée pour ces composants à  $0,12\text{W/mm}$ . Dans la cadre d'une activité transversale à l'IEMN autour des substrats flexibles, W. Chen et al ont réussi en 2008 à transférer des HEMTs à base d' InP sur PEN [59][60]. Dans cette même progression, M. Lesecq *et al* ont par la suite montré la première démonstration de composants sur ruban flexible adhésif avec une densité de courant de  $280\text{mA/mm}$  à une flexion de  $0,5\%$ . De la même équipe et dans le cadre du même projet ANR-FlexiGaN, N. Defrance et al ont obtenu des fréquences  $f_t$  et  $f_{\text{max}}$  de  $32\text{GHz}$  et  $52\text{GHz}$  respectivement sur un transistor HEMT AlGaIn/GaN de topologie  $2 \times 50 \times 0,12\mu\text{m}^2$ . Des mesures en flexion ont été fait jusqu'à une torsion de  $0,88\%$  avec une conservation des performances de composant[61]. En 2015, T. H. Chang et al. ont reporté des HEMTs AlGaIn/GaN sur PET et ont réussi à avoir des fréquences  $f_t$  et  $f_{\text{max}}$  respectivement de  $60$  et  $115\text{GHz}$ [62]. Jusqu'à ces derniers travaux aucune performance en puissance hyperfréquence n'a été démontrée. Néanmoins, nous pouvons citer dès lors une densité de puissance de sortie (Pout) de  $420\text{mW/mm}$  associée à un gain de puissance linéaire (Gp) de  $15,8\text{dB}$ , et une puissance ajoutée (PAE) de  $29,6\%$  [63]. Ce résultat est considéré comme une première mondiale, ce qui lui a valu une parution dans « Semiconductor today » [64].

#### 1.4.2.5 Conclusion

Nous avons présenté dans ce paragraphe des matériaux pouvant servir de canal pour les transistors flexibles. Les matériaux organiques présentent un faible coût de procédé et sont compatibles avec les substrats flexibles. Néanmoins, ils sont limités par leur faible mobilité. L'apparition de nouveaux matériaux notamment le graphène ouvre une vaste voie de recherche pour l'intégration de ce dernier dans les transistors flexibles. Il est à noter cependant que la

technologie graphène reste immature. Les technologies Silicium et III-V ont attiré beaucoup d'attention pour les applications nécessitant la conformabilité grâce à leurs propriétés très intéressantes sur rigide. Cependant, une amélioration des procédés de fabrication ainsi que de la fiabilité des dispositifs reste un enjeu majeur pour le développement de la filière souple.

## 2. Challenge

La mise en place d'une électronique flexible impose l'exploitation de nouveaux matériaux et de nouvelles techniques de fabrication et d'intégration.

Afin d'apporter conformabilité aux composants électroniques, deux techniques sont à considérer : (i) la première consiste à fabriquer les composants sur substrat rigide et de les **reporter** sur un substrat flexible par la suite et (ii) la deuxième consiste à fabriquer les composants **directement** sur le substrat flexible.

Dans l'approche du report, les composants sont fabriqués par les méthodes standards sur des supports rigides comme du silicium ou du verre. Ils sont par la suite transférés sur des substrats flexibles. Cette technique est utilisée essentiellement dans le cadre des technologies silicium et des matériaux III-V [65][66]. L'avantage est de fournir des dispositifs haute performance sur des supports flexibles. Quant aux inconvénients, ils résident dans la fragilité des épitaxies à transférer, les risques de dégradation mécanique des composants, en la faible surface transférée et également le coût élevé du procédé. Les composants transférés seront généralement intégrés dans des circuits déjà fabriqués sur flexibles.

La fabrication directe nécessite : (i) de s'appuyer sur des semi-conducteurs dont on peut faire la croissance sur un substrat flexible (ce qui n'est pas le cas du nitrure de gallium), (ii) de développer de nouvelles techniques de process, (iii) de disposer de nouveaux matériaux et (iv) de trouver un compromis entre les performances des dispositifs et les faibles températures tolérées par des substrats flexibles.

Dans cette section, nous présentons les caractéristiques des substrats flexibles les plus usités dans le cadre de l'électronique flexible ainsi que deux stratégies de fabrication de composants sur flexible.

### 2. 1. Nature des flexibles utilisés

Les flexibles utilisés doivent être légers, bon marché et résistants aux différents solvants utilisés dans le cadre du procédé de fabrication. De plus, il est nécessaire d'inclure dans la réflexion qu'au-delà d'une certaine température (la température de transition vitreuse), ces substrats sont déformables d'une façon irréversible.

Dans le marché actuel, plusieurs type de substrats flexibles sont utilisés tels que le papier, les polyimides, le textiles etc... Dans le tableau I-2, nous présentons un ensemble de polymères habituellement utilisés dans la filière de l'électronique flexible ainsi que leurs caractéristiques en termes de température de transition vitreuse<sup>3</sup> (T max), conductivité thermique et de coefficient de dilatation thermique.

Tableau I-2: Comparaison de différents paramètres de polymères

Polymère	T max (°C)	Conductivité thermique (W/(m.K))	Coefficient de dilatation thermique (ppm/°C)
<b>PEN (Polyethylene terephthalate)</b>	155-160	0,15-0.24	13-21
<b>PET (Polyethylene naphthalate)</b>	105-170	0,15-0,4 (23°C)	20-80
<b>PI (Polyimide, Kapton)</b>	250-320	0,10-0,35 (23°C)	30-60
<b>PDMS (Polydimethylsiloxane)</b>	127	0,17	310

Comme nous pouvons le constater, la température maximale d'utilisation ainsi que le coefficient de dilatation thermique limitent fortement l'utilisation des procédés classiques nécessitant l'utilisation de haute température tel que le recuit de résine, les gravures, le lift off etc... Une adaptation des températures ou du procédé de fabrication est alors un élément clé pour préserver les propriétés des flexibles et pour éviter leur déformation. La faible conductivité thermique des polyimides limite fortement les courants qui peuvent être injectés dans les composants. Ces contraintes sont communes à toutes les applications de la filière souple.

## 2. 2. Méthode de fabrication sur flexible

### 2.2.1. Fabrication sur rigide et report sur flexible

Il s'agit de profiter de la maîtrise du procédé de fabrication sur substrat rigide et de développer une technique de report sur flexible. La stratégie consiste à fournir une flexibilité mécanique au

<sup>3</sup> Température au-dessus de laquelle le polymère passe à l'état mou et caoutchouteux et perd ses propriétés mécaniques de départ.

matériau de départ soit en l'éliminant par ablation laser (*SUFTLA surface-free technology by laser annealing*)[67][68][69] ou encore en réduisant considérablement son épaisseur. Cette feuille mince ainsi obtenue, est reportée à la fin sur un substrat flexible tel que les polymères ou encore des feuilles de métal très minces. La plupart des travaux opte pour un collage utilisant des résines photosensibles particulièrement la SU-8 [70][71][72] ou encore des métaux par thermocompression comme l'indium [73]. Dans notre cas, pour le transfert des épitaxies de la filière nitrure de gallium, le flexible présentera une face adhésive ce qui facilite grandement le procédé de transfert.

Une des difficultés de cette technique réside en l'amincissement du substrat de départ. En effet, la solution de gravure doit être suffisamment sélective et « douce » afin de ne pas dégrader les propriétés des composants sur rigide. Plusieurs méthodes de gravure ont été utilisées dans les travaux reposant sur la technique de transfert sur flexible à savoir les gravures par voie sèche basée sur l'utilisation de plasma ou encore les gravures humides [74][70][75]. Il s'agit de faire la gravure en deux étapes : (i) une gravure rapide permettant d'éliminer un maximum du substrat rigide et (ii) une gravure lente assurant l'élimination du substrat restant et assurant l'obtention d'une surface plane et lisse.

Par ailleurs, la face avant des composants doit être protégée en utilisant un substrat hôte. Ce dernier sera décollé en fin de procédé de report.

Dans le cadre de ces travaux, cette méthode a été exploitée et développée afin d'obtenir des composants AlGaIn/GaN flexibles. Nous présentons dans la Figure I-6 les étapes du procédé technologique. Elles sont décrites d'une façon exhaustive dans le paragraphe 3 du chapitre II du manuscrit. Les rubans flexibles utilisés ne sont pas commercialisés, ils sont développés par la société 3M de façon spécifique pour le projet et seront présentés dans le manuscrit.

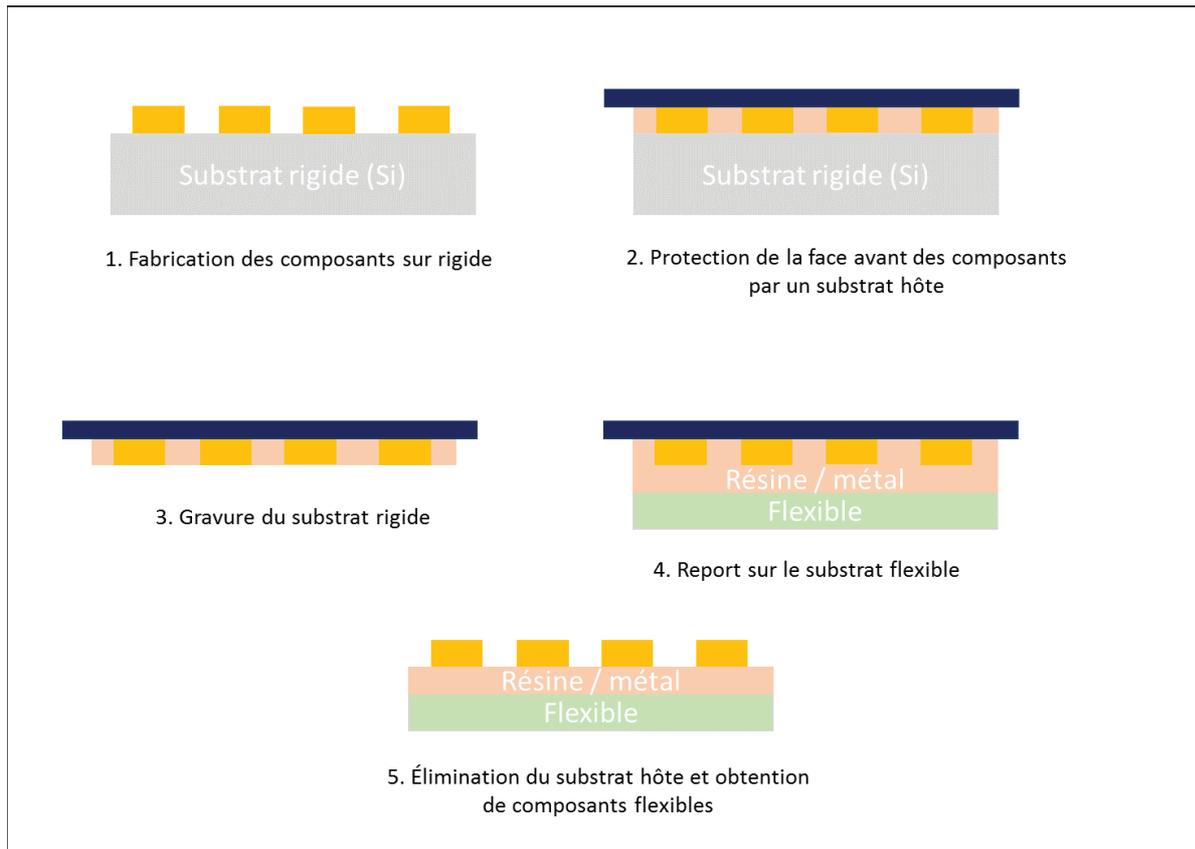


Figure I-6: Etapes constituant la procédure de report des composants du substrat rigide au substrat flexible

## 2.2.2. Fabrication directe sur flexible

Contrairement à la méthode utilisée dans le paragraphe précédent, la fabrication directe de composants sur flexible représente une méthode mieux appropriée pour la production à grande échelle. Plusieurs techniques ont été ainsi développées afin de s'adapter notamment aux contraintes liées aux substrats en termes de températures utilisées. En effet, l'utilisation de polymères impose l'utilisation de basse température comparée aux technologies classiques. Plusieurs techniques sont développées dans la littérature permettant de surmonter cette contrainte et seront présentées dans le chapitre 2 du manuscrit.

### 2.2.2.1 L'électronique imprimée

L'électronique imprimée, technologie naissante, fait partie des techniques de fabrication de circuit la plus utilisée dans le domaine de l'électronique flexible. Elle est considérée comme une véritable révolution selon l'association française de l'électronique imprimée (AFELIM)[76].

De nombreuses techniques sont utilisées à savoir la flexographie, l'impression par gravure, l'impression jet d'encre, la sérigraphie et l'impression 3D. Les caractéristiques de chacune

d'elles sont présentées dans le Tableau I-3 . Seules les techniques d'impression par jet d'encre, la sérigraphie et l'impression 3D sont décrites en détail dans la suite de ce travail.

Tableau I-3: Caractéristiques de technique d'impression sur flexible

Technique d'impression	Résolution ( $\mu\text{m}$ )	Caractéristiques
<b>Flexographie</b>	30 ~ 75	Technique écologique, nécessite une encre à faible viscosité
<b>Impression par gravure</b>	10 ~ 75	Procédé simple, nécessite d'utiliser des substrats lisses
<b>Impression par jet d'encre</b>	20 ~ 50	Aucun contact avec le substrat
<b>sérigraphie</b>	50 ~ 100	Permet l'utilisation d'encre visqueuse et épaisse
<b>Impression 3D</b>		Permet une production rapide et contrôlable

#### 2.2.2.2 L'impression jet d'encre

Les techniques d'impression jet d'encre, ont pris de l'ampleur récemment en raison de leurs caractéristiques uniques, telles que la simplicité de fabrication, la compatibilité avec différents substrats, la faisabilité de motifs sans contact et sans masque ainsi que le traitement à basse température et à faible coût [77][78]. Elle est utilisée dans la plupart des laboratoires et des industries afin d'imprimer les motifs en utilisant des encres de nanoparticules sur différents supports y compris le verre, les matériaux semi-conducteurs, le papier, le textile mais aussi les produits alimentaires.

Nous trouvons généralement deux catégories d'imprimante : (i) par jet continu (*Continuous inkjet ou CIJ*) et (ii) impression par goutte à la demande (*Drop-On-Demand ou DOD*). Cette dernière est plus lente que la CIJ mais offre plus de précision grâce au petit volume de goutte (3 à 20 pl avec la même buse) [79]. L'impulsion qui crée une chute d'encre peut être générée thermiquement ou piézoélectriquement.

#### 2.2.2.3 La sérigraphie

La sérigraphie est une technique d'imprimerie qui utilise des pochoirs. Elle se caractérise par sa simplicité et son respect à l'environnement en raison de l'utilisation des encres céramiques et

polymères [80]. En électronique, elle est utilisée pour réaliser des interconnexions conductrices entre les composants électroniques sur des circuits imprimés.

En 1997, Bao et *al.* ont réussi à obtenir le premier transistor à effet de champ (FET) fabriqué par sérigraphie. Ils ont utilisé un écran en acier inoxydable avec 400 count/in pour déposer une couche isolante de polymère et les électrodes de source et drain avec une encre conductrice (479SS de Acheson Co) [82]. De même en imprimant une couche semiconductrice de poly (3-alkythophene), des FETs organiques ont été fabriqué par Knobloch et *al.* [83]. Des biocapteurs [84][85], détecteurs de gaz[86][87], inductances [88], capteurs de contrainte [89] et cellules solaires [90][91] ont aussi été fabriqués par sérigraphie.

#### 2.2.2.4 L'impression 3D

L'impression 3-dimensions est une technique rentable pour une production rapide. Elle se caractérise par une fabrication sans moule ou les composants sont créés couche par couche. L'objectif est d'avoir des formes stables, légères et complexes à partir d'un fichier informatique [92]. Par frittage<sup>4</sup>, polymérisation ou fusion de matériaux, les modèles sont fabriqués sans avoir besoins d'outils. L'épaisseur des couches varie de 10 µm à 200 µm en fonction de la machine.

L'avantage de cette technique est la facilité de contrôle du résultat final puisque les couches sont clairement visibles sur la surface en utilisant cette technique de fabrication additive.

De même, son coût est très faible et pourrait devenir aussi bas que quelques dollars par mètre carré[93]. Des conducteurs métalliques nobles, des conducteurs organiques, des semi-conducteurs et des isolateurs peuvent être utilisés pour l'impression. Des TFTs organiques [94][95], des masques de gravure et des TFTs inorganiques [96] [97][98][99] ont été fabriqués grâce à cette technique d'impression.

#### **2.2.3. Fabrication en maintenant le flexible sur un substrat rigide « Sheets By batch processing »**

Cette technique, comme l'indique le titre, repose sur la fixation du substrat flexible sur un support rigide tout au long du procédé technologique de fabrication. Ce dernier se base habituellement sur les lithographies électronique et optique. Le traitement se fait ainsi par lot et le support est enlevé en fin du procédé.

La fixation du support et du substrat flexible se fait électro-statiquement, magnétiquement, mécaniquement ou encore en adoptant une solution de collage. En effet, les films flexibles sans maintien peuvent se fissurer ou se courber lors de leur manipulation. Cette déformation induite

---

<sup>4</sup>C'est un procédé de fabrication de pièces consistant à chauffer une poudre sans la mener jusqu'à la fusion. Sous l'effet de la chaleur, les grains se soudent entre eux, ce qui forme la cohésion de la pièce

par le stress entre les étapes est synonyme d'un désalignement dans le masque et donc un défaut de fabrication [100]. Parmi les premiers travaux qui ont adopté cette technique, on peut noter les TFTs à base de silicium amorphe. Le substrat, polymère, a été maintenu par un cadre et aplatis sur le substrat rigide, du verre, en utilisant de l'eau entre deux [100].

Tenir le flexible maintenu tout le long du procédé de fabrication améliore sa stabilité dimensionnelle<sup>5</sup>. Pour cela, la solution de maintien doit satisfaire un certain nombre de critères notamment une résistance au cisaillement suffisante, une résistance aux produits chimiques utilisés courant la fabrication et une résistance aux températures utilisées.

Dans le cadre de ces travaux, cette technique a été utilisée afin de fabriquer les transistors à base de graphène. Plus de détails sur les solutions de collages adoptées sont présentés dans le paragraphe 5.3 du chapitre 2.

### **3. Objectifs**

Comme nous l'avons vu dans les paragraphes précédents, depuis quelques années, l'électronique flexible fait l'objet de nombreux développements et offre de nouvelles opportunités pour différentes applications telles que les tags RFID flexibles, les écrans flexibles, etc. Pour ces applications, les composants flexibles organiques sont actuellement utilisés mais leurs fréquences de fonctionnement sont limitées par leur très faible mobilité et par la résolution des techniques de fabrication. Par ailleurs, pour les semi-conducteurs inorganiques, les mobilités des TFTs à base de silicium et d'oxydes semi-conducteurs ne permettent pas d'atteindre les hautes fréquences. De ce fait, l'intérêt pour les matériaux III-V et carbonés, tels que le GaN et le graphène, s'est manifesté dans le cadre d'une activité de recherche transverse à l'IEMN.

Ces travaux de thèse s'inscrivent dans le cadre de deux projets différents : (i) Le projet ANR-FlexiGaN et (ii) le projet européen Graphene Flagship. Nous présentons dans les paragraphes suivants les objectifs des deux projets ainsi qu'une description du GaN et du graphène.

#### **3. 1. Objectifs du projet FLEXIGaN**

Actuellement, les composants tels que les HEMTs (High Electron Mobility Transistors) et les LEDs (Light Emitting Diodes) de la filière GaN présentent de hautes performances grâce aux améliorations apportées pour la croissance des matériaux et pour les procédés technologiques de fabrication. De nouvelles applications pourront être développées et proposées aux industriels en apportant flexibilité à ces composants. Un procédé de transfert spécifique sur ruban flexible

---

<sup>5</sup> Elle se définit comme sa capacité à maintenir ses dimensions face aux variations de température, à l'humidité et à certaines charges physiques

est développé dans le cadre du projet. L'objectif du projet FLEXIGaN est la conception et la fabrication de composants HEMTs et LEDs flexibles de la filière GaN. Le but est d'obtenir d'une part des transistors flexibles délivrant une puissance de 2W/mm à 10GHz et d'autre part des LEDs flexibles présentant une efficacité quantique externe de 5%. L'objectif de cette partie de thèse étant uniquement axé sur la réalisation de transistors flexibles, nous nous attarderons ici uniquement sur cet aspect.

L'obtention de HEMTs flexibles AlGaIn/GaN a été permise grâce au développement d'un procédé spécifique de transfert sur ruban flexible adhésif. Les détails de ce procédé seront donnés dans le chapitre II du manuscrit. Les composants sont dans un premier temps fabriqués sur une hétérostructure AlGaIn/GaN sur substrat Silicium. Le substrat de croissance Silicium est ensuite éliminé et les composants sur le film mince composé des couches actives AlGaIn/GaN sont transférés sur le ruban flexible. Différents verrous technologiques ont été identifiés en début de projet, et des solutions seront présentées dans la suite du manuscrit. Concernant l'aspect matériau pour le CRHEA, la difficulté a été de réaliser des croissances épitaxiales pouvant supporter une déformation mécanique ne détériorant pas leurs caractéristiques physiques des hétérostructures. Concernant la fabrication des rubans flexibles par la société 3M, la difficulté a été de réaliser des rubans flexibles adaptés à notre application, c'est-à-dire présentant une bonne conductivité thermique et une bonne résistivité électrique. Notre objectif a été de développer un procédé permettant de transférer des transistors à faible longueur de grille sans détériorer les caractéristiques du matériau et les performances électriques des composants.

### **3. 2. Contribution dans le projet Graphene Flagship**

Le projet Graphene Flagship regroupe des chercheurs universitaires et industriels dans le but de ramener le graphène des laboratoires de recherches universitaires au monde industriel dans un délai de 10 ans. Le consortium de base se compose de plus de 100 groupes de recherche académique et industrielle dans 23 pays. Mes travaux de thèse s'inscrivent dans le cadre du workpackage « Electronique Flexible » qui vise à développer des procédés et des technologies pour des systèmes flexibles basés sur du graphène et des matériaux 2D.

Plus précisément, l'IEMN est en charge du développement de circuits flexibles à base de graphène fonctionnant à des hautes fréquences. Comme démonstrateur, des circuits fonctionnant à 5 GHz pour des applications de communication compatibles avec la 5G sont visés. Des transistors avec des performances suffisantes pour ce type d'applications ont été démontrés dans le cadre de la thèse de Wei Wei[101]. L'objectif principal de ma thèse est d'améliorer la fiabilité du procédé de fabrication sur flexible. Les améliorations visent en

particulier le contrôle des désalignements ainsi que la réduction du nombre de composants défectueux. Dans le cadre de ces travaux j'ai donc comparé le procédé technologique déjà utilisé au sein du groupe, qui repose sur le collage du substrat flexible sur un support rigide par PDMS, avec deux nouvelles techniques que j'ai mis en place : la première consiste à coller le substrat flexible avec du scotch double face et la deuxième vise la fabrication des dispositifs sans collage. Cette dernière méthode de fabrication a permis d'améliorer la précision d'alignement et d'éliminer le nombre de composants perdus. En raison de sa simplicité de mise en œuvre et de sa fiabilité, elle est aujourd'hui la technique standard utilisée pour la fabrication sur substrat souples au sein du groupe. Notamment, pour la réalisation d'un amplificateur haute fréquences à base de transistor de graphène sur substrat Kapton cette technique est adoptée.

### 3. 3. Le potentiel du GaN et du Graphène et leurs intérêts pour ce manuscrit

#### 3.3.1. Le nitrure de gallium

Le Nitrure de Gallium est un des matériaux semi-conducteurs formés d'éléments de la colonne III du tableau périodique de Mendeleïev (Gallium Ga, Aluminium Al, Indium In) associés à l'élément azote (N) de la colonne V. Ces matériaux, communément appelés « matériaux III-N » (GaN, AlN, InN et leurs alliages), cristallisent suivant deux types de structure : la structure cubique blende de zinc (ZnS) et la structure hexagonale würtzite. Le GaN würtzite est noté h-GaN ou  $\zeta$ -GaN, le GaN cubique est noté c-GaN ou  $\beta$ -GaN. La forte ionicité des liaisons III-N fait que la phase würtzite est la plus stable thermodynamiquement. Dans cette thèse nous nous intéressons exclusivement à cette phase.

La structure de type hexagonale würtzite se compose de deux sous réseaux hexagonaux compacts, l'un contenant les atomes de gallium (Ga) et l'autre les atomes d'azote (N), interpénétrés et décalés de  $u \cdot c$  suivant l'axe  $c$ . La structure est idéale quand elle est composée de tétraèdres réguliers, ce qui est le cas lorsque, le rapport  $c / a = \sqrt{8/3} = 1,663$  et  $u = 3/8 = 0,375$  [1] (Figure I-7).

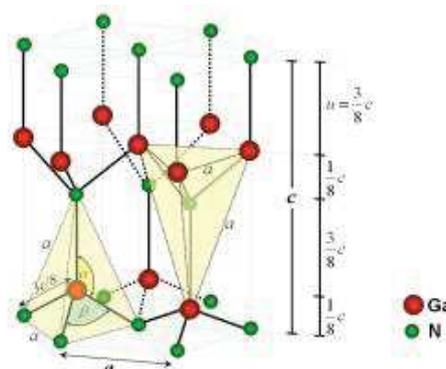


Figure I-7 : Structure hexagonale würtzite idéale de nitrure de Gallium

### 3.3.1.1 *Propriété du GaN*

#### 3.3.1.1.1. **Densité de porteurs**

Théoriquement, avec un gap de 3,4eV, la densité de porteurs intrinsèque dans le GaN est extrêmement faible ( $\sim 10^{-6} \text{ cm}^{-3}$ ). En pratique, le matériau non intentionnellement dopé se trouve toujours de type n, avec des densités électroniques évoluant de  $10^{16}$  à  $10^{19} \text{ cm}^{-3}$  (suivant les modes et les conditions de croissance), résultant de défauts survenant durant la croissance (l'incorporation d'impuretés, lacunes de gallium ou d'azote, gallium en position antisite ...).

Le dopage de type p est en revanche beaucoup plus difficile à réaliser.

#### 3.3.1.1.2. **Le champ de claquage**

Le champ de claquage (noté  $E_c$ , unité :V/cm) est la valeur du champ électrique maximum que peut supporter le matériau. On peut supposer que la forte valeur de la bande interdite doit engendrer un champ maximum relativement élevé. Effectivement, si en théorie ( $E_c = (E_G)^{3/2}$ ) il est estimé à  $2 \text{ MV.cm}^{-1}$ , les mesures le situent à des valeurs localisées entre 1 et  $3 \text{ MV.cm}^{-1}$  [102]. Notons que ces valeurs sont comparables à celles qui sont obtenues dans le SiC [102].

#### 3.3.1.1.3. **Effet de polarisation**

##### *La polarisation spontanée*

Il existe, dans le GaN de type würtzite, une polarisation macroscopique non nulle. Cette polarisation est appelée polarisation spontanée. Elle résulte de la non superposition des barycentres de charges positives et négatives (plus de détails dans [103]). La valeur de la polarisation spontanée du GaN en polarisation gallium est estimée à  $-0,029 \text{ cm}^{-2}$  ce qui correspond à un champ électrique de l'ordre  $3 \text{ MV/cm}$  et une densité surfacique de charge de  $1,8 \cdot 10^{13} \text{ cm}^{-2}$ .

##### *La polarisation piézoélectrique*

Le GaN est souvent élaboré sur un substrat saphir, SiC ou encore Silicium. Le désaccord de maille entre GaN et son substrat impose une contrainte (extension ou compression) dans le plan de base des couches GaN. La déformation de la maille du GaN entraîne un déplacement des barycentres des charges et donc une modification de la polarisation spontanée. Cet effet peut être considéré comme l'apparition d'une polarisation dite "piézoélectrique" ( $P_{pz}$ ) qui renforce ou affaiblit la polarisation spontanée (pour plus de détails, se reporter à la référence [103]).

### 3.3.1.2 *Substrats pour l'hétéro-épitaxie*

Le problème rencontré pour l'épitaxie du nitrure de gallium est qu'il n'existe pas de substrat en accord de maille. Les substrats les plus utilisés à l'heure actuelle sont le saphir ( $\text{Al}_2\text{O}_3$ ), le

carbure de silicium (6H-SiC) et le silicium (Si). Leurs caractéristiques relatives à l'épitaxie sont reportées dans le *Tableau I-4*.

*Tableau I-4 Caractéristiques des substrats les plus employés pour la croissance du GaN [8].*

<b>Matériau</b>	<b>Paramètres de mailles (Å)</b>	<b>Coefficient d'expansion thermique (<math>10^{-6} \text{ K}^{-1}</math>)</b>	<b>Conductivité thermique (<math>\text{W.K}^{-1}.\text{Cm}^{-1}</math>)</b>
<b>Al<sub>2</sub>O<sub>3</sub></b>	a= 4,758	7,5	0,5
	c=12,99	8,5	
<b>6H-SiC</b>	a=3,08	4,2	4,9
	c=12,12	4,68	
<b>Si</b>	5,4301	3,59	1,5
<b>GaN</b>	a=3,189	a=5,59	1,3
	c=5,18	c=3,17	

Le silicium présente un attrait important par son prix beaucoup plus faible que celui des autres matériaux sa disponibilité en wafer de grande taille (jusqu'à 12'') et sa bonne conductivité thermique qui en font un candidat de choix pour les composants de puissance. De plus, la croissance de GaN sur silicium pourrait permettre l'intégration de dispositifs à base de nitrures d'éléments III avec les nombreuses technologies de la filière silicium. Enfin, la possibilité de graver chimiquement le substrat silicium permet la réalisation de traitements technologiques en face arrière (connections électriques, drains thermiques, etc.), ou encore l'obtention de couches autosupportées de GaN pouvant éventuellement être transférées sur d'autres substrats d'accueil profitant de la transparence des couches GaN comme dans le cas de ces travaux de thèse.

Cependant, le silicium présente un fort désaccord paramétrique et une différence de coefficient de dilatation thermique importante avec le GaN (voir

*Tableau I-4*). La contrainte extensive générée au cours du refroidissement reste un point critique pour la croissance de couches non fissurées d'épaisseur supérieure à 3  $\mu\text{m}$ [104]. Le choix d'un tel substrat est le compromis entre le fonctionnement du dispositif et son coût. Le problème du désaccord de maille peut par ailleurs être réduit par les couches tampons.

### 3.3.1.3 *Hétérostructure AlGa<sub>x</sub>N/GaN*

#### 3.3.1.3.1. L'alliage Al<sub>x</sub>Ga<sub>1-x</sub>N

Pour calculer les effets de la polarisation dans l'alliage Al<sub>x</sub>Ga<sub>1-x</sub>N nous avons besoin des valeurs des paramètres de maille, de la polarisation spontanée, des constantes piézoélectriques

et des constantes élastiques d' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ . Ces valeurs sont estimées à partir de la loi de Vegard (interpolation linéaire entre les valeurs de GaN et AlN) qui s'écrit sous la forme [105]:

$$a_{\text{Al}_x\text{Ga}_{1-x}\text{N}}(x) = x a_{\text{AlN}} + (1 - x) a_{\text{GaN}}$$

L'alliage  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  est un semiconducteur à gap direct quel que soit le taux d'aluminium. Par contre, la variation de la largeur de bande interdite de l'alliage  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  en fonction de  $x$  n'est pas tout à fait linéaire. Elle s'exprime par [105]:

$$E_{\text{Al}_x\text{Ga}_{1-x}\text{N}}^g = x E_{\text{AlN}}^g + (1 - x) E_{\text{GaN}}^g - bx(1 - x)$$

Où  $E_{\text{Al}_x\text{Ga}_{1-x}\text{N}}^g$ ,  $E_{\text{AlN}}^g$  et  $E_{\text{GaN}}^g$  sont respectivement les largeurs de bande interdite de l'alliage  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ , d'AlN et du GaN et  $b$  le terme de non linéarité représentant la déviation par rapport à la loi linéaire de type Vegard. La diversité de valeurs de  $b$  rapportées dans la littérature s'explique par une grande dispersion dans la qualité des couches épitaxiées et par la difficulté à séparer les effets dus aux contraintes et aux fluctuations de composition d'alliage. En analysant les valeurs théoriques et expérimentales, Vurgaftman [106] recommande  $b=0.7\text{eV}$  pour les deux types d'AlGaN wurtzite et zinc-blende. L'énergie de la bande interdite des alliages III-N recommandée par Vurgaftman en fonction du paramètre de maille  $a$  est présentée dans la Figure I-8.

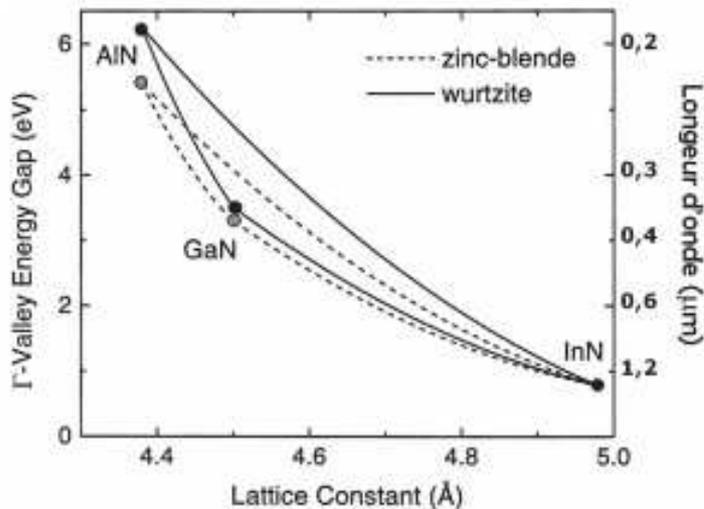


Figure I-8 : L'énergie de la bande interdite des alliages III-N recommandée par Vurgaftman et al. en fonction du paramètre de maille  $a$  [106]

### 3.3.1.3.2. Mécanisme de la formation du gaz bidimensionnel d'électrons

Considérons une couche d'AlGaN sur une couche GaN sans contraintes. Elles sont toutes les deux de polarité gallium. Les paramètres de maille de la couche d'AlGaN sont plus faibles que

ceux de la couche GaN. La couche d'AlGaN est donc contrainte en tension. Les vecteurs de polarisation dans ces deux couches et les charges surfaciques sont présentés dans la Figure I-9.

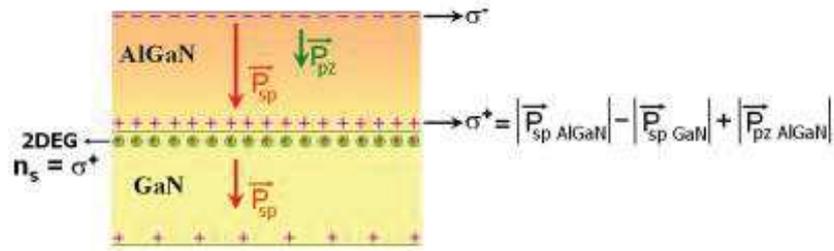


Figure I-9 : Mise en évidence de la formation du 2DEG à l'interface AlGaN /GaN [103].

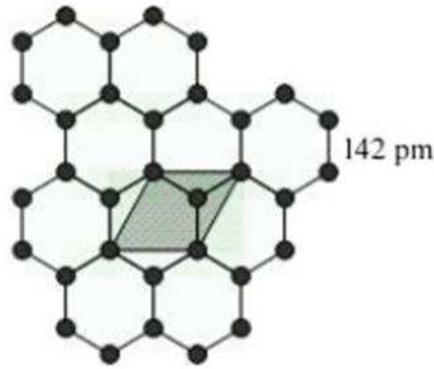
Dans ce cas, on obtient une densité de charges fixes positives à l'interface telle que :

$$\sigma^+ = |P_{spAlGaN}| - |P_{spGaN}| + |P_{pzAlGaN}|$$

Cette charge positive est compensée par la présence d'électrons à l'interface formant un gaz confiné à cette interface qu'on appelle gaz bidimensionnel d'électrons (ou 2DEG pour Two Dimensional Electron Gas). La couche AlGaN est appelée "barrière", la couche GaN où se trouvent les électrons à l'interface est appelée "canal". Notons qu'il n'y a aucun dopage intentionnel de la barrière AlGaN. Les électrons confinés à l'interface peuvent venir de plusieurs sources : des défauts intrinsèques, des impuretés dans la couche tampon GaN, de la barrière AlGaN, ou encore des états de surface [107]–[109]. Les électrons sont confinés à l'interface par le fort champ électrique de polarisation. Par conséquent la densité d'électrons dans le gaz 2D d'électron dépend de l'état de contrainte des couches, du taux d'aluminium et de l'épaisseur de la barrière.

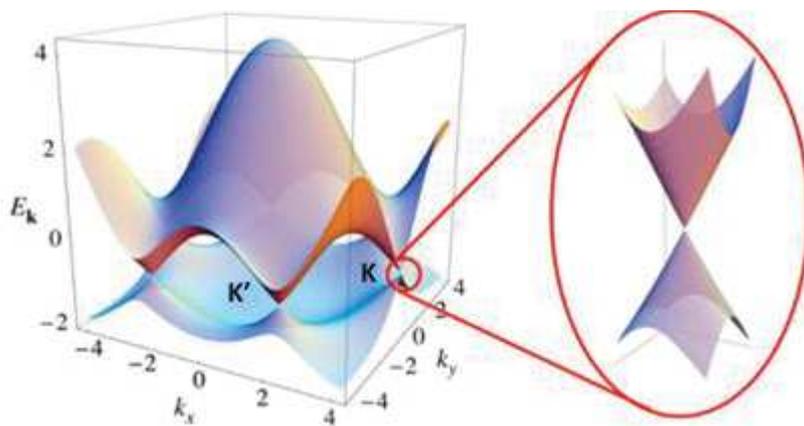
### 3.3.2. Le graphène

Le graphène est un arrangement bidimensionnel d'atomes de carbone d'épaisseur monoatomique disposés suivant un réseau en nid d'abeilles (Figure I-10). Ce matériau bidimensionnel a été isolé pour la première fois en 2004 par Novoselov travaillant avec Geim [110], grâce à la technique d'exfoliation mécanique en utilisant un ruban adhésif à partir d'un échantillon de graphite pyrolytique hautement orienté (HOPG).



*Figure I-10: Structure cristalline du graphène. La cellule unitaire contient deux atomes de carbone et les vecteurs du réseau forment un angle de  $120^\circ$ . Ces atomes sont équivalents parce qu'ils ont le même nombre d'atomes voisins.*

La spécificité du graphène vient de son diagramme d'énergie. La structure de bande calculée par Wallace en 1947[111] montre qu'il existe une bande de valence à énergie négative et une bande de conduction à énergie positive. Le graphène a des bandes de conduction et de valence qui se touchent à des points bien particuliers de la première zone de Brillouin (Figure I-11). Ces points sont les points K et K'. Autrement dit, la bande interdite entre bande de valence et bande de conduction est nulle. De plus, le niveau de Fermi tombe juste aux points de contact entre ces deux bandes à énergie nulle. Le graphène peut donc être pris pour un semi-conducteur (densité électronique nulle au niveau de Fermi) ou comme un semi métal (point de contact entre la bande de valence et la bande de conduction). En fait, le graphène est souvent nommé semi-conducteur à bande interdite nulle.



*Figure I-11: Structure de bande d'énergie du graphène*

### 3.3.2.1.1. Propriétés du graphène

En raison de sa structure de bande unique, le graphène présente de nouvelles propriétés de transport, exceptionnelles, par rapport aux semi-conducteurs habituellement utilisés. Dans le

Tableau I-5 nous présentons les propriétés du graphène et celles d'autres semi-conducteurs en termes de largeur de bande interdite, vitesse de saturation, et mobilité des électrons.

*Tableau I-5: Comparaison de différentes propriétés électroniques à 300K de plusieurs semi-conducteurs avec le graphène*

	$E_G$ (eV) à 300K	$V_{sat}$ ( $10^7$ cm/s)	$\mu_E$ ( $cm^2/(V/s)$ ) à 300 K
<b>Si</b>	1,12	1	1350
<b>Ge</b>	0,67	0,6	3900
<b>GaAs</b>	1,43	2	4600
<b>AlGaIn/GaN</b>	3,3	3	1500-2000
<b>graphene</b>	0	4	$500-2 \times 10^5$

L'engouement scientifique autour du graphène a touché de nombreux domaines puisque ses propriétés mécaniques, thermiques, optiques et fonctionnelles devraient permettre une immense variété de champs d'application, et notamment celui de l'électronique flexible. Par ailleurs, ces propriétés permettent l'utilisation de procédé de fabrication en écriture directe dans avoir recours à transférer les composants d'un substrat vers un autre.

Du fait de son épaisseur monoatomique, et des fortes liaisons  $sp^2$ , le graphène possède un module d'Young d'environ 1 TPa qui lui permettra de s'étirer de 20% sans se rompre[112]. Ainsi, le graphène est considéré comme le matériau le plus résistant, meilleur que l'acier ou le diamant.

Un autre avantage du graphène est sa conductivité thermique d'environ  $5000 W/(m.K)$ [113] qui fait de lui le matériau le plus conducteur de chaleur. Dans le Tableau I-6 nous résumons les propriétés du graphène issus de [114].

*Tableau I-6: Propriétés du graphène, issus de[114]*

	<b>Graphène</b>	<b>Comparatif</b>
<b>Densité surfacique</b>	0,77 mg/m <sup>2</sup>	
<b>Densité se courant</b>	1012 cm <sup>2</sup>	6x supérieures au cuivre
<b>Conductivité thermique</b>	$5000 W.m^{-1}K^{-1}$	$2500 W.m^{-1}K^{-1}$ (diamant)
<b>Module D=d'Young</b>	1 TPa	Comparable au diamant
<b>Force de rupture (2D)</b>	42 N/m	0,084-0,4 N/m (acier)
<b>Allongement</b>	20%	
<b>Transmission optique</b>	98%	82-85% (Oxyde Indium-Etan ITO)

### 3.3.2.1 Méthodes de synthèse du graphène

A ce jour, il existe plusieurs façons d'obtenir du graphène. L'exfoliation mécanique de graphite, l'ouverture longitudinale de nanotube de carbone, la réduction d'oxyde de graphène, la sublimation de carbure de silicium (SiC) et le dépôt CVD de graphène sur couches métalliques.

Les techniques les plus communes sont :

#### **3.3.2.1.1. L'exfoliation mécanique**

La première production de graphène était faite par exfoliation mécanique par Geim et Novoselev en 2004 [110]. Le principe consiste à faire un clivage micromécanique répété sur du graphite en utilisant un ruban adhésif. Les feuillets obtenus sont transférés sur des substrats en oxyde de silicium. La mobilité électronique est d'environ  $20\,000\text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$  à température ambiante et peut monter jusqu'à  $10^7$  à très basse température (25K)[115].

Ce procédé de synthèse permet d'obtenir la meilleure qualité de graphène, néanmoins, la taille des feuillets est micrométrique ( de 5 à  $100\mu\text{m}$ ) [110] ce qui ne permet pas la production de gros volume.

#### **3.3.2.1.2. La croissance épitaxiale à partir de carbure de silicium (SiC)**

Cette méthode est aussi appelée décomposition thermique du SiC. La production se fait par la décomposition thermique d'un cristal SiC très pur à plus de  $1000^\circ\text{C}$  [116]. L'évaporation des atomes de silicium permet le réarrangement des atomes de carbone pour former une ou plusieurs couches de graphène. Le film obtenu est de très bonne qualité avec une taille supérieure à  $50\mu\text{m}$ [117].

Le film ainsi obtenu ne nécessite pas un transfert vu qu'il est disponible directement sur substrat isolant (SiC). Néanmoins, les coûts de production sont très importants notamment en raison du prix des substrats SiC.

#### **3.3.2.1.3. Croissance du graphène par dépôt chimique en phase vapeur (CVD)**

La méthode consiste à faire croître un film de graphène sur une surface métallique plane, généralement du cuivre pour la production de graphène monocouche ou encore du nickel pour un graphène multicouche. La croissance se fait à partir de gaz carbonés tels que le méthane, l'éthylène ou le monoxyde de carbone à haute température ( $1000^\circ\text{C}$ )[118]. La taille des films produits peut aller jusqu'à 30 pouces [117].

#### **4. Conclusion du chapitre I**

Dans ce premier chapitre nous avons montré l'intérêt de la filière de l'électronique flexible. Les applications visées par cette dernière sont cités ainsi qu'un état de l'art des transistors flexibles selon les matériaux utilisés pour le canal. Une comparaison entre les technologies organique et inorganique a permis de montrer les limites de la filière organique ouvrant la voie à de nouvelles techniques de fabrication et à l'exploitation de nouveaux matériaux. Dans ce sens, les défis technologiques à relever ont été cité afin de parvenir à la fabrication de composants flexibles. Finalement, les objectifs des deux projets dans lesquels s'inscrit cette thèse ont été détaillés afin de mieux définir certaines problématiques.

## Bibliographie du chapitre I

- [1] “Intel Investor Meeting 2017 – Murthy Renduchintala.” [Online]. Available: <https://www.intc.com/investor-relations/events-and-presentations/presentations/default.aspx>.
- [2] R. Courtland, “Plotting a Moore ’ s Law for Flexible Electronics,” *spectrum IEEE*, pp. 7–8, 2017.
- [3] R. L. Crabb and F. C. Treble, “Thin Silicon Solar Cells for Large Flexible Arrays,” *Nature*, vol. 213, no. 5082, pp. 1223–1224, Mar. 1967.
- [4] T. P. Brody, “The thin film transistor&#8212;A late flowering bloom,” *IEEE Trans. Electron Devices*, vol. 31, no. 11, pp. 1614–1628, Nov. 1984.
- [5] P. Drzaic, B. Comiskey, J. D. Albert, L. Zhang, A. Loxley, R. Feeney, and J. Jacobson, “A Printed and Rollable Bistable Electronic Display,” *SID Symp. Dig. Tech. Pap.*, vol. 29, no. 1, p. 1131, 1998.
- [6] F. Schwierz, “Graphene transistors,” *Nat. Nanotechnol.*, vol. 5, no. 7, pp. 487–496, Jul. 2010.
- [7] E. Cejas, “Samsung will produce flexible OLED displays massively in 2013,” 2012. [Online]. Available: <http://androidadn.com/2012/11/samsung-will-produce-flexible-oled-displays-massively-in-2013/>.
- [8] S. Anthony, “LG’s flexible and transparent OLED displays are the beginning of the e-paper revolution,” 2014. [Online]. Available: <https://www.extremetech.com/computing/186241-lgs-flexible-and-transparent-oled-displays-are-the-beginning-of-the-e-paper-revolution>.
- [9] D.-H. Kim, N. Lu, R. Ma, Y.-S. Kim, R.-H. Kim, S. Wang, J. Wu, S. M. Won, H. Tao, A. Islam, K. J. Yu, T. -i. Kim, R. Chowdhury, M. Ying, L. Xu, M. Li, H.-J. Chung, H. Keum, M. McCormick, P. Liu, Y.-W. Zhang, F. G. Omenetto, Y. Huang, T. Coleman, and J. A. Rogers, “Epidermal Electronics,” *Science (80)*, vol. 333, no. 6044, pp. 838–843, Aug. 2011.
- [10] T. Q. Trung and N.-E. Lee, “Flexible and Stretchable Physical Sensor Integrated Platforms for Wearable Human-Activity Monitoringand Personal Healthcare,” *Adv. Mater.*, vol. 28, no. 22, pp. 4338–4372, Jun. 2016.
- [11] “L’ORÉAL LANCE LE TOUT PREMIER CAPTEUR ÉLECTRONIQUE FLEXIBLE D’ANALYSE DU RAYONNEMENT UV SUR LA PEAU.” [Online]. Available: <http://www.loreal.fr/media/press-releases/2016/jan/loreal-lance-le-tout-premier-capteur->

electronique-flexible-danalyse-du-rayonnement-uv.

- [12] “ReFlex: Revolutionary flexible smartphone allows users to feel the buzz by bending their apps,” 2016. [Online]. Available: <https://phys.org/news/2016-02-reflex-revolutionary-flexible-smartphone-users.html>.
- [13] G. H. Heilmeyer and L. A. Zanoni, “Surface studies of  $\alpha$ -copper phthalocyanine films,” *J. Phys. Chem. Solids*, vol. 25, no. 6, pp. 603–611, Jun. 1964.
- [14] F. Ebisawa, T. Kurokawa, and S. Nara, “Electrical properties of polyacetylene/polysiloxane interface,” *J. Appl. Phys.*, vol. 54, no. 6, pp. 3255–3259, Jun. 1983.
- [15] K. Kudo, M. Yamashina, and T. Moriizumi, “Field Effect Measurement of Organic Dye Films,” *Jpn. J. Appl. Phys.*, vol. 23, no. Part 1, No. 1, pp. 130–130, Jan. 1984.
- [16] A. Tsumura, H. Koezuka, and T. Ando, “Macromolecular electronic device: Field-effect transistor with a polythiophene thin film,” *Appl. Phys. Lett.*, vol. 49, no. 18, pp. 1210–1212, Nov. 1986.
- [17] M. L. Clarisse, C., Riou, M. T., Gauneau, M. & Contellec, “Field-effect transistor with diphthalocyanine thin film,” vol. 24, no. pp. 674–675, May, 1988.
- [18] T. T. M. Jurchescu, O. D., Popinciuc, M., van Wees, B. J. & Palstra, “InterfaceControlled, High-Mobility Organic Transistors,” *Adv. Mater*, vol. 19, pp. 688–692, 2007.
- [19] M. et al Yamagishi, “High-mobility double-gate organic single-crystal transistors with organic crystal gate insulators,” *Appl. Phys. Lett*, vol. 90, 2007.
- [20] C. J. Drury, C. M. J. Mutsaers, C. M. Hart, M. Matters, and D. M. de Leeuw, “Low-cost all-polymer integrated circuits,” *Appl. Phys. Lett.*, vol. 73, no. 1, pp. 108–110, Jul. 1998.
- [21] G. H. Gelinck, T. C. T. Geuns, and D. M. de Leeuw, “High-performance all-polymer integrated circuits,” *Appl. Phys. Lett.*, vol. 77, no. 10, pp. 1487–1489, Sep. 2000.
- [22] M. G. Kane, J. Campi, M. S. Hammond, F. P. Cuomo, B. Greening, C. D. Sheraw, J. A. Nichols, D. J. Gundlach, J. R. Huang, C. C. Kuo, L. Jia, H. Klauk, and T. N. Jackson, “Analog and digital circuits using organic thin-film transistors on polyester substrates,” *IEEE Electron Device Lett.*, vol. 21, no. 11, pp. 534–536, Nov. 2000.
- [23] J. A. Rogers, Z. Bao, A. Dodabalapur, and A. Makhija, “Organic smart pixels and complementary inverter circuits formed on plastic substrates by casting and rubber stamping,” *IEEE Electron Device Lett.*, vol. 21, no. 3, pp. 100–103, Mar. 2000.
- [24] M. S. Lee, H. S. Kang, H. S. Kang, J. Joo, A. J. Epstein, and J. Y. Lee, “Flexible all-polymer field effect transistors with optical transparency using electrically conducting

- polymers,” *Thin Solid Films*, vol. 477, no. 1–2, pp. 169–173, Apr. 2005.
- [25] F. Eder, H. Klauk, M. Halik, U. Zschieschang, G. Schmid, and C. Dehm, “Organic electronics on paper,” *Appl. Phys. Lett.*, vol. 84, no. 14, pp. 2673–2675, Apr. 2004.
- [26] H. Klasens, H. A. & Koelmans, “A tin oxide field-effect transistor,” in *Solid-State Electronics*, pp. 701–702, 1964.
- [27] G. F. Boesen and J. E. Jacobs, “ZnO field-effect transistor,” *Proc. IEEE*, vol. 56, no. 11, pp. 2094–2095, 1968.
- [28] A. Aoki and H. Sasakura, “Tin Oxide Thin Film Transistors,” *Jpn. J. Appl. Phys.*, vol. 9, no. 5, pp. 582–582, May 1970.
- [29] K. Nomura, “Thin-Film Transistor Fabricated in Single-Crystalline Transparent Oxide Semiconductor,” *Science*, vol. 300, no. 5623, pp. 1269–1272, May 2003.
- [30] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors,” *Nature*, vol. 432, no. 7016, pp. 488–492, Nov. 2004.
- [31] A. J. S. D. M. E. S. G. L. J. Hughes, “Application of amorphous silicon field effect transistors in addressable liquid crystal display panels,” *Appl. Phys.*, vol. 24, no. 4, pp. 357–362, 1981.
- [32] S. Z. Gleskova H, Wagner S, “a-Si:H TFTs made on polyimide foil by PE-CVD at 150°C,” *Proc Mater Res Soc*, vol. 508, pp. 73–78, 1998.
- [33] M. Wu, K. Pangal, J. C. Sturm, and S. Wagner, “High electron mobility polycrystalline silicon thin-film transistors on steel foil substrates,” *Appl. Phys. Lett.*, vol. 75, no. 15, pp. 2244–2246, Oct. 1999.
- [34] R. S. Howell, M. Stewart, S. V. Kamik, S. K. Saha, and M. K. Hatalis, “Poly-Si thin-film transistors on steel substrates,” *IEEE Electron Device Lett.*, vol. 21, no. 2, pp. 70–72, Feb. 2000.
- [35] S. Saxena, D. C. Kim, J. H. Park, and J. Jang, “Polycrystalline Silicon Thin-Film Transistor Using Xe Flash-Lamp Annealing,” *IEEE Electron Device Lett.*, Nov. 2010.
- [36] H.-C. Yuan and Z. Ma, “Microwave thin-film transistors using Si nanomembranes on flexible polymer substrate,” *Appl. Phys. Lett.*, vol. 89, no. 21, p. 212105, Nov. 2006.
- [37] H.-C. Yuan, G. K. Celler, and Z. Ma, “7.8-GHz flexible thin-film transistors on a low-temperature plastic substrate,” *J. Appl. Phys.*, vol. 102, no. 3, p. 34501, Aug. 2007.
- [38] L. Sun, G. Qin, J.-H. Seo, G. K. Celler, W. Zhou, and Z. Ma, “12-GHz Thin-Film Transistors on Transferrable Silicon Nanomembranes for High-Performance Flexible Electronics,” *Small*, vol. 6, no. 22, pp. 2553–2557, Nov. 2010.

- [39] J.-H. Seo, T. Ling, S. Gong, W. Zhou, A. L. Ma, L. J. Guo, and Z. Ma, "Fast Flexible Transistors with a Nanotrench Structure," *Sci. Rep.*, vol. 6, no. 1, p. 24771, Jul. 2016.
- [40] S. Iijima and T. Ichihashi, "Single-shell carbon nanotubes of 1-nm diameter," *Nature*, vol. 363, no. 6430, pp. 603–605, Jun. 1993.
- [41] D. S. Bethune, C. H. Kiang, M. S. de Vries, G. Gorman, R. Savoy, J. Vazquez, and R. Beyers, "Cobalt-catalysed growth of carbon nanotubes with single-atomic-layer walls," *Nature*, vol. 363, no. 6430, pp. 605–607, Jun. 1993.
- [42] R. Martel, T. Schmidt, H. R. Shea, T. Hertel, and P. Avouris, "Single- and multi-wall carbon nanotube field-effect transistors," *Appl. Phys. Lett.*, vol. 73, no. 17, pp. 2447–2449, Oct. 1998.
- [43] C. Dekker, S. J. Tans, and A. R. M. Verschueren, "Room-temperature transistor based on a single carbon nanotube," *Nature*, vol. 393, no. 6680, pp. 49–52, May 1998.
- [44] C. Qiu, Z. Zhang, M. Xiao, Y. Yang, D. Zhong, and L.-M. Peng, "Scaling carbon nanotube complementary transistors to 5-nm gate lengths," *Science*, vol. 355, no. 6322, pp. 271–276, Jan. 2017.
- [45] G. J. Brady, A. J. Way, N. S. Safron, H. T. Evensen, P. Gopalan, and M. S. Arnold, "Quasi-ballistic carbon nanotube array transistors with current density exceeding Si and GaAs," *Sci. Adv.*, vol. 2, no. 9, pp. e1601240–e1601240, 2016.
- [46] N. Chimot, V. Derycke, M. F. Goffman, J. P. Bourgoin, H. Happy, and G. Dambrine, "Gigahertz frequency flexible carbon nanotube transistors," *Appl. Phys. Lett.*, vol. 91, no. 15, p. 153111, Oct. 2007.
- [47] K. Moshhammer, F. Hennrich, and M. M. Kappes, "Selective suspension in aqueous sodium dodecyl sulfate according to electronic structure type allows simple separation of metallic from semiconducting single-walled carbon nanotubes," *Nano Res.*, vol. 2, no. 8, pp. 599–606, Aug. 2009.
- [48] Y. Cao, G. J. Brady, H. Gui, C. Rutherglen, M. S. Arnold, and C. Zhou, "Radio Frequency Transistors Using Aligned Semiconducting Carbon Nanotubes with Current-Gain Cutoff Frequency and Maximum Oscillation Frequency Simultaneously Greater than 70 GHz," *ACS Nano*, vol. 10, no. 7, pp. 6782–6790, Jul. 2016.
- [49] N. Petrone, I. Meric, J. Hone, and K. L. Shepard, "Graphene Field-Effect Transistors with Gigahertz-Frequency Power Gain on Flexible Substrates," *Nano Lett.*, vol. 13, no. 1, pp. 121–125, Jan. 2013.
- [50] J. Lee, T.-J. Ha, H. Li, K. N. Parrish, M. Holt, A. Dodabalapur, R. S. Ruoff, and D. Akinwande, "25 GHz Embedded-Gate Graphene Transistors with High-K Dielectrics on

- Extremely Flexible Plastic Sheets,” *ACS Nano*, vol. 7, no. 9, pp. 7744–7750, Sep. 2013.
- [51] S. Park, S. H. Shin, M. N. Yogeesh, A. L. Lee, S. Rahimi, and D. Akinwande, “Extremely High-Frequency Flexible Graphene Thin-Film Transistors,” *IEEE Electron Device Lett.*, vol. 37, no. 4, pp. 512–515, Apr. 2016.
- [52] W. Wei, E. Pallecchi, S. Haque, S. Borini, V. Avramovic, A. Centeno, Z. Amaia, and H. Happy, “Mechanically robust 39 GHz cut-off frequency graphene field effect transistors on flexible substrates,” *Nanoscale*, vol. 8, no. 29, pp. 14097–14103, 2016.
- [53] D. Streit, R. Lai, A. Oki, and A. Gutierrez-Aitken, “InP HEMT and HBT applications beyond 200 GHz,” in *Conference Proceedings. 14th Indium Phosphide and Related Materials Conference (Cat. No.02CH37307)*, pp. 11–14.
- [54] J. W. Johnson, E. L. Piner, A. Vescan, R. Therrien, P. Rajagopal, J. C. Roberts, J. D. Brown, S. Singhal, K. J. Linthicum, R. Therrien, P. Rajagopal, J. C. Roberts, J. D. Brown, S. Singhal, and K. J. Linthicum, “12 W/mm AlGaIn–GaIn HFETs on Silicon Substrates,” *IEEE Electron Device Lett.*, vol. 25, no. 7, pp. 459–461, Jul. 2004.
- [55] D. C. Dumka, C. Lee, H. Q. Tserng, P. Saunier, and R. Kumar, “AlGaIn/GaIn HEMTs on Si substrate with 7 W/mm output power density at 10 GHz,” *Electron. Lett.*, vol. 40, no. 16, pp. 1023–1024, Aug. 2004.
- [56] N. G. and C. R. B. Stefano Tirelli, Diego Marti, Lorenzo Lugani, Marco Malinverni, Étienne Giraud, Jean-François and Carlin, “AlInN/GaIn HEMTs on SiC and on Silicon with Regrown Ohmic Contacts by Selective Ammonia MBE,” in *CS MANTECH Conf*, 2015.
- [57] F. Medjdoub, M. Zegaoui, B. Grimbert, D. Ducatteau, N. Rolland, and P. A. Rolland, “First Demonstration of High-Power GaIn-on-Silicon Transistors at 40 GHz,” *IEEE Electron Device Lett.*, vol. 33, no. 8, pp. 1168–1170, Aug. 2012.
- [58] P. Altuntas, F. Lecourt, A. Cutivet, N. Defrance, E. Okada, M. Lesecq, S. Rennesson, A. Agboton, Y. Cordier, V. Hoel, and J.-C. De Jaeger, “Power Performance at 40 GHz of AlGaIn/GaIn High-Electron Mobility Transistors Grown by Molecular Beam Epitaxy on Si(111) Substrate,” *IEEE Electron Device Lett.*, vol. 36, no. 4, pp. 303–305, Apr. 2015.
- [59] W. Chen, T. L. Alford, T. F. Kuech, and S. S. Lau, “High electron mobility transistors on plastic flexible substrates,” *Appl. Phys. Lett.*, vol. 98, no. 20, p. 203509, May 2011.
- [60] W. Chen, P. Chen, J. E. Pulsifer, T. L. Alford, T. F. Kuech, and S. S. Lau, “Integration of thin layers of single-crystalline InP with flexible substrates,” *Appl. Phys. Lett.*, vol. 92, no. 21, p. 212109, May 2008.
- [61] N. Defrance, F. Lecourt, Y. Douvry, M. Lesecq, V. Hoel, A. Lecavelier Des Etangs-

- Levallois, Y. Cordier, A. Ebongue, and J. C. De Jaeger, "Fabrication, Characterization, and Physical Analysis of AlGaN/GaN HEMTs on Flexible Substrates," *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 1054–1059, Mar. 2013.
- [62] T. Changl, H. Mil, H. Zhangl, S. Mikaell, Y. H. Jungl, J. Hanl, and N. Haven, "High power fast flexible electronics: Transparent RF AlGaN/GaN HEMTs on Plastic Substrates," pp. 2–5, 2015.
- [63] S. Mhedhbi, M. Leseq, P. Altuntas, N. Defrance, E. Okada, Y. Cordier, B. Damilano, G. Tabares-Jimenez, A. Ebongue, and V. Hoel, "First Power Performance Demonstration of Flexible AlGaN/GaN High Electron Mobility Transistor," *IEEE Electron Device Lett.*, vol. 37, no. 5, pp. 553–555, May 2016.
- [64] M. Cooke, "III-nitride high-electron-mobility transistors on flexible tape." [Online]. Available: III-nitride high-electron-mobility transistors on flexible tape.
- [65] D.-Y. Khang, "A Stretchable Form of Single-Crystal Silicon for High-Performance Electronics on Rubber Substrates," *Science*, vol. 311, no. 5758, pp. 208–212, Jan. 2006.
- [66] Y. Sun, W. M. Choi, H. Jiang, Y. Y. Huang, and J. A. Rogers, "Controlled buckling of semiconductor nanoribbons for stretchable electronics," *Nat. Nanotechnol.*, vol. 1, no. 3, pp. 201–207, Dec. 2006.
- [67] T. Sameshima, "Laser beam application to thin film transistors," *Appl. Surf. Sci.*, vol. 96–98, pp. 352–358, Apr. 1996.
- [68] T. Shimoda, S. Inoue, and S. Utsunomiya, "Polysilicon TFT on plastics," 2001, pp. 52–59.
- [69] S. Inoue, S. Utsunomiya, T. Saeki, and T. Shimoda, "Surface-free technology by laser annealing (SUFTLA) and its application to poly-Si TFT-LCDs on plastic film with integrated drivers," *IEEE Trans. Electron Devices*, vol. 49, no. 8, pp. 1353–1360, Aug. 2002.
- [70] M. Leseq, V. Hoel, A. Lecavelier des Etangs-Levallois, E. Pichonat, Y. Douvry, and J. C. De Jaeger, "High Performance of AlGaN/GaN HEMTs Reported on Adhesive Flexible Tape," *IEEE Electron Device Lett.*, vol. 32, no. 2, pp. 143–145, Feb. 2011.
- [71] A. Lecavelier, "Report de technologie SOI-CMOS sur substrat flexible : une approche convergente vers les hautes fréquences et la stabilité des performances sous déformation mécanique," 2013.
- [72] J. Shi, "Fabrication and characterization of InAlAs/InGaAs High Electron Mobility Transistors on plastic flexible substrate," 2013.
- [73] J. Philippe, A. L. des Etangs-Levallois, P. Latzel, F. Danneville, J.-F. Robillard, D.

- Gloria, and E. Dubois, "Characterization of flexible CMOS technology transferred onto a metallic foil," in *EUROSOI-ULIS 2015: 2015 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon*, 2015, pp. 197–200.
- [74] H. Kao, A. Chin, C. Liao, Y. Tseng, S. McAlister, and C. Chi, "DC-RF Performance Improvement for Strained 0.13 MOSFETs mounted on a Flexible Plastic Substrate," in *2006 IEEE MTT-S International Microwave Symposium Digest*, 2006, pp. 2043–2046.
- [75] A. Lecavelier des Etangs-Levallois, E. Dubois, M. Leseq, F. Danneville, L. Poulain, Y. Tagro, S. Lepilliet, D. Gloria, C. Raynaud, and D. Troadec, "150-GHz RF SOI-CMOS Technology in Ultrathin Regime on Organic Substrate," *IEEE Electron Device Lett.*, vol. 32, no. 11, pp. 1510–1512, Nov. 2011.
- [76] "Electronique imprimée," 2016.
- [77] I. I. Smolyaninov, C. C. Davis, and A. V. Zayats, "Light-controlled photon tunneling," *Appl. Phys. Lett.*, vol. 81, no. 18, pp. 3314–3316, Oct. 2002.
- [78] Z. Bao, J. A. Rogers, and H. E. Katz, "Printable organic and polymeric semiconducting materials and devices," *Journal of Materials Chemistry*, 1999.
- [79] "Ink Jet Printing." [Online]. Available: [https://en.wikipedia.org/wiki/Inkjet\\_printing](https://en.wikipedia.org/wiki/Inkjet_printing).
- [80] C. R. M. Grovenor, *Microelectronic materials*, 1998th ed. London, 1998.
- [81] K. Gilleo, *Ploymer thick film*. New york, 1996.
- [82] Z. Bao, Y. Feng, A. Dodabalapur, V. R. Raju, and A. J. Lovinger, "High-Performance Plastic Transistors Fabricated by Printing Techniques," *Chem. Mater.*, vol. 9, no. 6, pp. 1299–1301, Jun. 1997.
- [83] A. Knobloch, A. Bernds, and W. Clemens, "Printed polymer transistors," in *First International IEEE Conference on Polymers and Adhesives in Microelectronics and Photonics. Incorporating POLY, PEP & Adhesives in Electronics. Proceedings (Cat. No.01TH8592)*, pp. 84–90.
- [84] S. A. M. Albareda-Sirvent, A. Merkoçi, *Sensors and Actuators B: Chemical*, vol. 69, no. 3. 2000.
- [85] G.-C. C. N. G. Patel, S. Meier, K. Cammann, "Sensors and Actuators B: Chemical," vol. 75, pp. 101–110, 2001.
- [86] B. M. D. Vincenzi, M. A. Butturi, V. Guidi, M. C. Carotta, G. Martinelli, V. Guarnieri, S. Brida and A. V. P. F. Giacomozzi, M. Zen, G. U. Pignatelli, A. A. Vasiliev, "Sensors and Actuators B: Chemical," in *Proceeding of the Eighth International Meeting on Chemical Sensors IMCS-8 - Part 2*, p. Vol 77 p.1-p.592.
- [87] C. P. B. Riviere, J.-P. Viricelle, "Sensors and Actuators B: Chemical," in *Proceedings of*

- the Ninth International Meeting on Chemical Sensors*, p. Vol 93 p.1-p.1614, 2002.
- [88] Jae Y. Park, L. K. Lagorce, and M. G. Allen, "Ferrite-based integrated planar inductors and transformers fabricated at low temperature," *IEEE Trans. Magn.*, vol. 33, no. 5, pp. 3322–3324, 1997.
- [89] M. A. D. K. I. Arshak, D. McDonagh, *Sensors and Actuators A: Physical*, vol. 79. 2000.
- [90] A. M. T. Aramoto, F. Adurodija, Y. Nishiyama, T. Arita, A. Hanafusa, K. Omura, *Solar Energy Materials and Solar Cells*, vol. 75, no. 1–2. 2003.
- [91] J. J. Szlufcik, F. Duerinckx, J. Horzel, E. V. Kerschaver, H. Dekkers, S. De Wolf, P. Choulat, C. Allebe and Nijs, *Solar Energy Materials and Solar Cells*, vol. 74, no. 1–4. 2002.
- [92] S. Wagner, H. Gleskova, J. C. Sturm, and Z. Suo, "Novel Processing Technology for Microelectronics," pp. 222–251, 2000.
- [93] S. W. G. C. S. Suo, "Novel Processing Technology for Microelectronic," vol. 37, Street RA (ed) *Technology and Applications of Hydrogenated Amorphous Silicon*. Springer, Berlin, pp. 222–251.
- [94] H. Sirringhaus, T. Kawase, R. H. Friend, T. Shimoda, M. Inbasekaran, W. Wu, and E. P. Woo, "High-Resolution Inkjet Printing of All-Polymer Transistor Circuits," *Science (80-. )*, vol. 290, no. 5499, pp. 2123–2126, Dec. 2000.
- [95] F. Garnier, R. Hajlaoui, A. Yassar, and P. Srivastava, "All-Polymer Field-Effect Transistor Realized by Printing Techniques," *Science*, vol. 265, no. 5179, pp. 1684–1686, Sep. 1994.
- [96] B. A. Ridley, "All-Inorganic Field Effect Transistors Fabricated by Printing," *Science*, vol. 286, no. 5440, pp. 746–749, Oct. 1999.
- [97] T. Shimoda, Y. Matsuki, M. Furusawa, T. Aoki, I. Yudasaka, H. Tanaka, H. Iwasawa, D. Wang, M. Miyasaka, and Y. Takeuchi, "Solution-processed silicon films and transistors," *Nature*, vol. 440, no. 7085, pp. 783–786, Apr. 2006.
- [98] H. Gleskova, S. Wagner, and D. S. Shen, "Electrophotographic patterning of thin-film silicon on glass foil," *IEEE Electron Device Lett.*, vol. 16, no. 10, pp. 418–420, Oct. 1995.
- [99] W. S. Wong, S. Ready, R. Matusiak, S. D. White, J.-P. Lu, J. Ho, and R. A. Street, "Amorphous silicon thin-film transistors and arrays fabricated by jet printing," *Appl. Phys. Lett.*, vol. 80, no. 4, pp. 610–612, Jan. 2002.
- [100] I.-C. Cheng, A. Kattamis, K. Long, J. C. Sturm, and S. Wagner, "Stress control for overlay registration in a-Si:H TFTs on flexible organic-polymer-foil substrates," *J. Soc.*

- Inf. Disp.*, vol. 13, no. 7, p. 563, 2005.
- [101] W. Wei, "Process technologies for graphene-based high frequency flexible electronics," Université de Lille, 2015.
- [102] N. Defrance, "Caracterisation Et Modelisation De Dispositifs De La Filiere Nitruire Pour La Conception De Circuits Integres De Puissance Hyperfrequences," 2007, Univ de Lille.
- [103] N. Vellas, "Etudes expérimentales de transistors HFET de la filière Nitruire de Gallium pour des applications de puissance hyperfréquences," 2003.
- [104] N. Baron, "Optimisation de l'epitaxie sous jets moleculaires d' heterostructures à base de GaN : application aux transistors à haute mobilite d' electrons sur substrat silicium," no. 111, 2010.
- [105] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, L. F. Eastman, R. Dimitrov, L. Wittmer, M. Stutzmann, W. Rieger, and J. Hilsenbeck, "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures," *J. Appl. Phys.*, vol. 85, no. 6, pp. 3222–3233, Mar. 1999.
- [106] I. Vurgaftman and J. R. Meyer, "Band parameters for nitrogen-containing semiconductors," *J. Appl. Phys.*, vol. 94, no. 6, pp. 3675–3696, Sep. 2003.
- [107] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra, "Polarization effects, surface states, and the source of electrons in AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure field effect transistors," *Appl. Phys. Lett.*, vol. 77, no. 2, pp. 250–252, Jul. 2000.
- [108] G. Koley and M. G. Spencer, "On the origin of the two-dimensional electron gas at the AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure interface," *Appl. Phys. Lett.*, vol. 86, no. 4, p. 42107, Jan. 2005.
- [109] L. Hsu and W. Walukiewicz, "Effect of polarization fields on transport properties in AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures," *J. Appl. Phys.*, vol. 89, no. 3, p. 1783, 2001.
- [110] K. S. Novoselov, "Electric Field Effect in Atomically Thin Carbon Films," *Science*, vol. 306, no. 5696, pp. 666–669, Oct. 2004.
- [111] P. R. Wallace, "The Band Theory of Graphite," *Phys. Rev.*, vol. 71, no. 9, pp. 622–634, May 1947.
- [112] C. Lee, X. Wei, J. W. Kysar, and J. Hone, "Measurement of the Elastic Properties and Intrinsic Strength of Monolayer Graphene," *Science*, vol. 321, no. 5887, pp. 385–388, Jul. 2008.

- [113] A. A. Balandin, S. Ghosh, W. Bao, I. Calizo, D. Teweldebrhan, F. Miao, and C. N. Lau, "Superior Thermal Conductivity of Single-Layer Graphene," *Nano Lett.*, vol. 8, no. 3, pp. 902–907, Mar. 2008.
- [114] K. S. Novoselov, V. I. Fal'ko, L. Colombo, P. R. Gellert, M. G. Schwab, and K. Kim, "A roadmap for graphene," *Nature*, vol. 490, no. 7419, pp. 192–200, Oct. 2012.
- [115] P. Neugebauer, M. Orlita, C. Faugeras, A.-L. Barra, and M. Potemski, "How Perfect Can Graphene Be?," *Phys. Rev. Lett.*, vol. 103, no. 15, p. 159902, Oct. 2009.
- [116] C. Berger, "Electronic Confinement and Coherence in Patterned Epitaxial Graphene," *Science*, vol. 312, no. 5777, pp. 1191–1196, May 2006.
- [117] C. Virojanadara, M. Syväjarvi, R. Yakimova, L. I. Johansson, A. A. Zakharov, and T. Balasubramanian, "Homogeneous large-area graphene layer growth on 6H-SiC (0001)," *Phys. Rev. B*, vol. 78, no. 24, p. 245403, Dec. 2008.
- [118] X. Li, W. Cai, J. An, S. Kim, J. Nah, D. Yang, R. Piner, A. Velamakanni, I. Jung, E. Tutuc, S. K. Banerjee, L. Colombo, and R. S. Ruoff, "Large-Area Synthesis of High-Quality and Uniform Graphene Films on Copper Foils," *Science*, vol. 324, no. 5932, pp. 1312–1314, Jun. 2009.

## **Chapitre II**

### **Procédé technologique de fabrication de transistors HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> et de transistors à base de graphène flexible**

## Sommaire

Partie 1 : Technologies des composants HEMTs AlGaIn/GaN flexibles .....	48
1. Processus de fabrication des HEMTs AlGaIn/GaN .....	48
1. 1. Hétérostructures utilisées : .....	48
1. 2. Etapes du procédé de fabrication des HEMTs AlGaIn/GaN .....	51
2. La technologie de fabrication de HEMTs sur substrat silicium : .....	53
2. 1. Description du masque utilisé : .....	53
2. 2. Les étapes de fabrication de HEMTs sur substrat silicium : .....	55
2.2.1. Les marques d'alignement : .....	55
2.2.2. Les contacts ohmiques : .....	56
2.2.3. L'isolation des composants .....	58
2.2.4. Le contact Schottky .....	64
2.2.5. La passivation des composants .....	67
2.2.6. Les plots d'épaississement .....	68
3. Description du procédé technologique de transfert sur substrat flexible. ....	69
3. 1. Collage temporaire sur substrat hôte .....	70
3. 2. Gravure du silicium .....	72
3.2.1. Amincissement mécanique et polissage : .....	72
3. 3. Collage de la face arrière des composants sur flexible et décollage du substrat hôte .....	78
4. Caractérisation de l'hétérostructure après transfert sur ruban flexible .....	80
Partie 2 : Technologies des composants à base de graphène sur substrat flexible .....	82
5. Présentation du processus de fabrication des transistors à base de graphène .....	82
5. 1. Description du masque .....	82
5. 2. Présentation des procédés de fabrication des transistors à base de graphène sur substrat flexible .....	84
5. 3. Défis technologiques pour la fabrication des transistors à base de graphène sur substrat souple .....	85
5.3.1. Présentation des contraintes liées à la fabrication sur substrat souple : .....	85
5.3.2. Techniques et solutions technologiques adoptées pour la manipulation du flexible .....	86
6. La technologie de fabrication de transistors à base de graphène sur flexible .....	88
6. 1. Les marques d'alignement .....	89
6. 2. Le transfert du graphène .....	89
6.2.1. Technique de transfert .....	89
6.2.2. La définition de la zone active et des zones d'accroche. ....	94
6.2.3. La réalisation de la grille .....	95
6.2.4. La réalisation des contacts ohmiques .....	96
6.2.5. La réalisation des plots épais .....	100
7. Evaluation des procédés de fabrication développés : .....	103
7. 1. Validation de la technique de manipulation du substrat flexible .....	104
7. 2. Sélection des composants à caractériser .....	107
8. Conclusion du chapitre II .....	108
Bibliographie du chapitre II .....	110

Les propriétés du nitrure de gallium et du graphène sont très intéressantes pour la fabrication de composants flexibles destinés à des secteurs variés.

L'objectif de ce chapitre est de présenter les procédés technologiques de fabrication des composants réalisés dans le cadre de cette thèse dans le but d'atteindre des performances à

l'état de l'art. Pour une meilleure compréhension, les différents travaux seront présentés dans deux parties distinctes en fonction du matériau. La première traite des procédés technologiques de fabrication des transistors à haute mobilité électronique HEMTs flexibles AlGaN/GaN et la seconde est dédiée à la fabrication directe de GFETs sur flexible.

La première partie du chapitre est donc consacrée à la description des étapes de fabrication des HEMTs AlGaN/GaN, incluant la fabrication des transistors sur substrat rigide, le silicium, ainsi que le procédé de transfert sur ruban flexible. Une vue d'ensemble du procédé est donnée dans un premier temps. Elle est suivie par une présentation détaillée des différentes étapes, avec une attention particulière portée sur l'optimisation des étapes de transfert sur ruban flexible.

Dans la deuxième partie du chapitre nous détaillons les étapes de fabrication de transistors à base de graphène (GFET). Nous présentons en premier le masque utilisé pour la fabrication des composants GFETs, les étapes de fabrication des composants directement sur flexible ainsi que les défis technologique à relever. Ensuite, nous décrirons les étapes de fabrication des transistors et nous présenterons la caractérisation des contacts ohmiques. Nous définirons finalement les critères d'évaluation des composants à caractériser.

## **Partie 1 : Technologies des composants HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> flexibles**

Dans cette partie, nous présentons les différentes étapes de fabrication des transistors HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> flexibles. L'obtention de ces derniers commence par la réalisation de composants sur substrat rigide suivi par un procédé spécifique de transfert sur ruban flexible. Le procédé technologique de fabrication des HEMTs Ga<sub>N</sub> sur silicium est maîtrisé au laboratoire [1]–[4]. Il permet de fabriquer des composants performants et il a été utilisé directement dans le cadre de cette thèse. Il est à noter qu'il est indispensable de disposer de composants ayant de bonnes caractéristiques électriques et en puissance hyperfréquence avant transfert. Les efforts technologiques se sont portés sur l'étape de transfert qui a nécessité un développement spécifique présenté dans la suite de ce manuscrit. L'objectif a été de mettre au point un procédé de transfert comprenant deux phases : l'élimination du substrat de croissance et le collage sur ruban flexible. Le critère principal est de préserver les performances des composants avant et après transfert.

Cette première partie est articulée selon quatre axes : (i) Une description des hétérostructures utilisées ainsi que des étapes de fabrication des composants sur rigide et sur flexible. (ii) le procédé de fabrication des transistors HEMTs Ga<sub>N</sub> sur substrat silicium (iii) la définition et l'optimisation du procédé de transfert du substrat de croissance vers le ruban flexible, (iiii) la caractérisation des propriétés de transport des hétérostructures avant et après report permettant de juger la qualité du procédé de transfert développé. Cette partie s'achèvera par une conclusion définissant les paramètres optimisés ayant permis d'atteindre des performances à l'état de l'art sur des transistors HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> flexibles.

### **1. Processus de fabrication des HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub>**

Dans cette partie nous décrivons les hétérostructures AlGa<sub>N</sub>/Ga<sub>N</sub> utilisées dans le cadre de ces travaux de thèse d'une part, et d'autre part nous présentons les étapes principales de la fabrication des transistors à haute mobilité électronique HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> flexibles passant par les étapes de fabrication sur rigide.

#### **1.1. Hétérostructures utilisées :**

Les hétérostructures utilisées dans le cadre de ce travail de thèse ont été réalisées par croissance MBE (Molecular Beam Epitaxy) au laboratoire CRHEA, partenaire du projet FLEXIGa<sub>N</sub>.

Dans le cadre d'une technologie conventionnelle sur substrat rigide, la plupart des dispositifs HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> sont actuellement fabriqués par hétéro-épitaxie sur substrat silicium, sur

substrat saphir ou sur substrat SiC. La croissance de GaN sur ces substrats entraîne des taux de dislocations importants et une mauvaise dissipation thermique impactant les performances et la fiabilité des dispositifs. Idéalement, la croissance de GaN devrait être faite sur un substrat GaN massif afin de réduire les défauts structuraux.

Dans notre étude, le substrat hôte doit être enlevé en vue du report sur substrat flexible. Par conséquent, en raison de son faible coût, le choix du substrat silicium s'impose pour cette application particulière. L'intérêt est triple puisque d'une part, la croissance d'hétérostructures AlGaN/GaN sur silicium est maîtrisée au CRHEA, d'autre part, l'IEMN dispose d'un savoir-faire concernant la fabrication de transistors à grille courte sur de tels substrats et enfin son élimination peut être faite par gravure avec des équipements disponibles à l'IEMN.

La structure HEMT AlGaN/GaN standard est présentée sur la Figure II-1: Description schématique d'une hétérostructure HEMT .

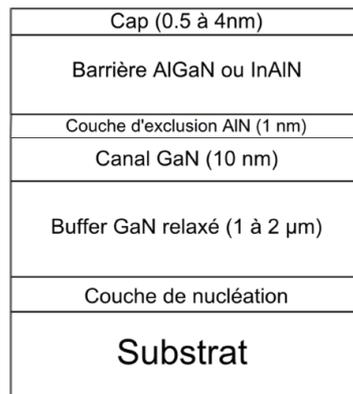


Figure II-1: Description schématique d'une hétérostructure HEMT

Nous décrivons ci-dessous les différents films minces constituant la structure HEMT sur substrat silicium dans l'ordre d'empilement des couches depuis le substrat.

(i) le réseau de couches de nucléation

La couche de nucléation permet de réaliser une transition progressive du paramètre de maille entre le substrat silicium et la couche tampon de GaN réduisant ainsi les contraintes dans les couches. Dans le cadre de ce travail, un réseau de nucléation à base d'AlN/GaN a été utilisé.

(ii) le buffer de GaN

D'une épaisseur standard comprise entre 1 et 2  $\mu\text{m}$ , la couche tampon de GaN, appelée aussi buffer permet la création du canal de conduction 2DEG engendré par les phénomènes de polarisations spontanée et piézoélectriques. La couche buffer doit présenter une haute qualité

cristalline associée à une bonne isolation électrique. La qualité de cette couche est déterminante pour un meilleur confinement des porteurs.

(iii) la couche d'exclusion en AlN

L'ajout d'une couche d'exclusion d'AlN, appelée aussi espaceur, permet d'assurer le confinement des électrons dans le puits 2D en minimisant la dispersion du gaz d'électrons dans la barrière. En général, d'épaisseur de l'ordre du nanomètre, elle permet de réduire la rugosité à l'interface barrière/canal et par conséquent d'augmenter la mobilité et d'augmenter significativement la densité volumique de charges et donc la densité surfacique d'électrons du gaz 2D.

(iv) la couche barrière

La couche d'AlGaN constitue la couche barrière de la structure HEMT. La différence d'énergie de bande interdite entre la barrière et le canal de GaN implique une discontinuité de bandes qui se traduit par la création d'un puits 2D dans le canal. Dans le cadre de ce travail, nous avons utilisé des barrières à base d'  $\text{Al}_{15}\text{Ga}_{85}\text{N}$ .

(v) le cap layer de GaN

D'une épaisseur de un à quelques nanomètres, la couche de cap layer permet de protéger la surface de la couche barrière d'AlGaN d'une oxydation potentielle de l'aluminium tout au long du procédé de fabrication du transistor.

Les principaux résultats de caractérisation (présentés dans le chapitre 3 du manuscrit) ont été obtenus sur les plaques PTC756 et PTC567, dont les hétérostructures sont présentées dans les Figure II-2 et Figure II-3. Bien que d'autres essais technologiques aient été menés sur d'autres hétérostructures similaires, dans un souci de clarté, nous présenterons ici uniquement le descriptif de ces deux structures.



Figure II-2: Descriptif structural de l'échantillon PTC 756



Figure II-3: Descriptif structural de l'échantillon PTC 567

## 1. 2. Etapes du procédé de fabrication des HEMTs AlGaN/GaN

Comme nous l'avons précisé, la fabrication des transistors sur substrat silicium n'est pas l'objet principal de ces travaux. Nous nous intéressons à l'obtention de transistors flexibles.

Les étapes de fabrication amenant à l'élaboration des HEMTs flexibles sont schématisées dans les Figure II-4 et Figure II-5. La Figure II-4 présente les étapes de fabrication des HEMTs sur substrat rigide et la Figure II-5 résume les étapes de transfert sur flexible.

Les principales étapes de fabrication de HEMTs AlGaN/GaN sur rigide sont chronologiquement :

- Les marques d'alignement
- Les contacts ohmiques
- L'isolation des composants
- Les contacts de grille
- La passivation
- Les plots d'épaissement

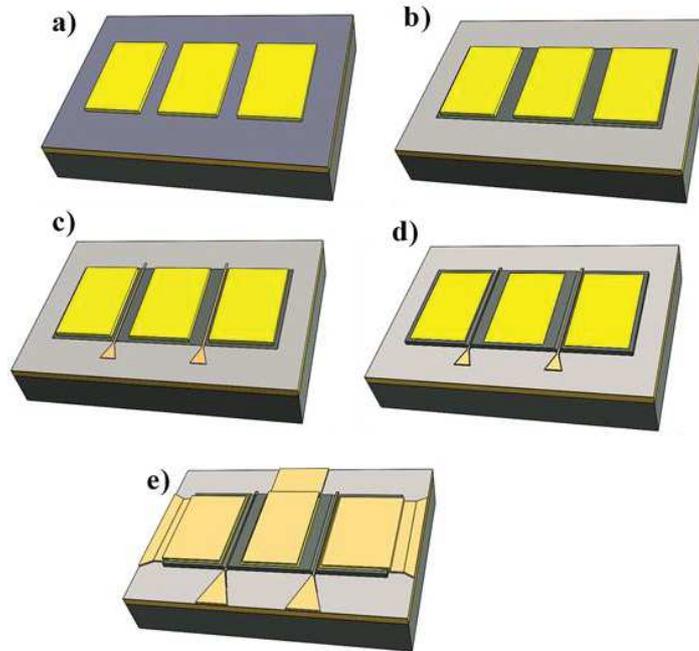


Figure II-4: Schéma de la fabrication standard HEMT sur substrat rigide a) Lithographie des contacts ohmiques et recuit (b) Isolation des composants (c) Lithographie des contacts Schottky (d) Passivation (e) Épaissement des contacts

Une fois les composants réalisés sur substrat silicium, ils sont transférés sur un ruban flexible grâce à un procédé spécifique.

Les étapes de transfert sur flexible seront décrites plus en détail dans le paragraphe 3 du chapitre et sont dans l'ordre chronologique (cf Figure II-5):

- Le collage temporaire de la face avant des composants sur un substrat hôte.
- La gravure du substrat Silicium
- Le collage du flexible adhésif sur la face arrière des composants.
- La libération des composants du substrat temporaire.

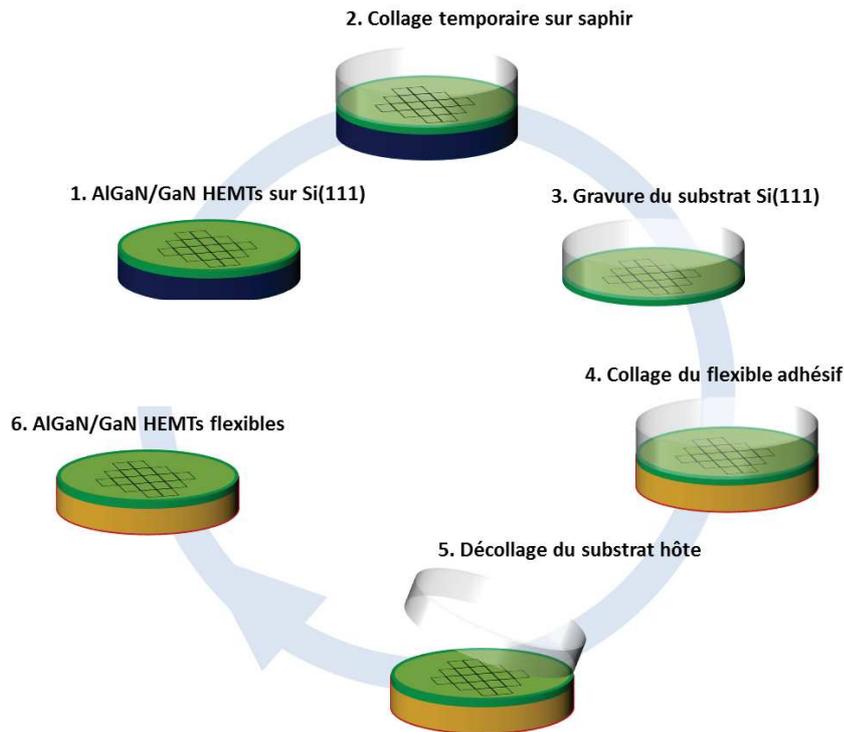


Figure II-5: Etapes de transfert sur flexible

## 2. La technologie de fabrication de HEMTs sur substrat silicium :

Les transistors HEMTs étudiés dans le cadre de cette thèse ont une topologie standard à deux doigts de grille, deux contacts de source et un contact de drain. On notera  $W$  la largeur des contacts ohmiques et  $L_g$  la longueur de la grille. Grâce à cette topologie, nous maximisons l'efficacité des drains en autorisant un accès du courant par les deux côtés.

### 2. 1. Description du masque utilisé :

Le masque « Buzz » était conçu, dans des travaux antérieurs, avec différentes topologies des transistors HEMTs comme présenté dans la Figure II-6.

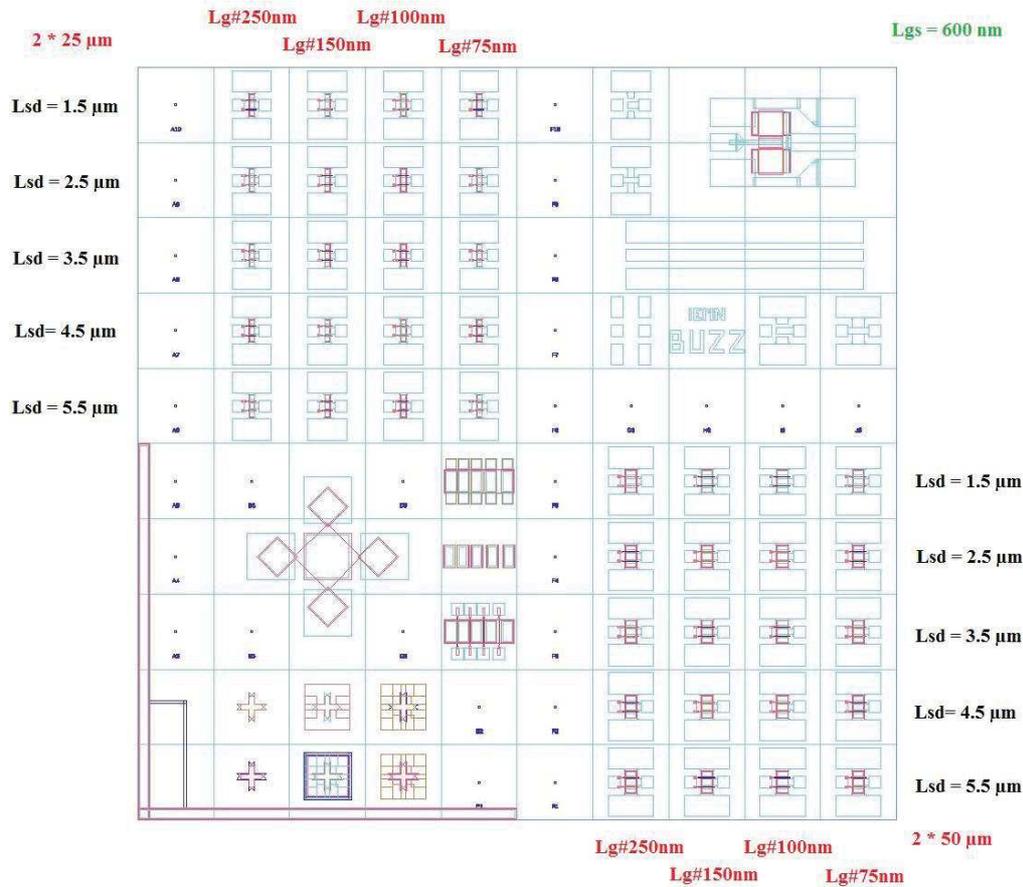


Figure II-6: Représentation du masque " Buzz "

- Des trèfles de hall sont utilisés pour déterminer la concentration des porteurs et la mobilité des électrons dans la couche active.
- Des échelles TLM (Transmission Line Method) sont utilisées pour pouvoir extraire la résistance et la résistivité de contact ainsi que la résistance carré. Ces structures de test sont constituées de contacts ohmiques espacés de distances croissantes.
- Des structures « open » et « short » servent à déterminer les éléments parasites lors de la caractérisation hyperfréquence.
- 20 transistors à deux doigts de grille de développement,  $W = 25\mu\text{m}$  avec des longueurs de grilles allant de 75nm à 250nm et des distances source drain  $L_{DS}$  allant de 1,5 $\mu\text{m}$  à 5,5 $\mu\text{m}$ .
- 20 transistors à deux doigts de grille de développement,  $W = 2 \times 50\mu\text{m}$  avec des longueurs de grilles allant de 75nm à 250nm et des distances source drain  $L_{DS}$  allant de 1,5 $\mu\text{m}$  à 5,5 $\mu\text{m}$

## 2. 2. Les étapes de fabrication de HEMTs sur substrat silicium :

### 2.2.1. Les marques d'alignement :

Quel que soit le type de lithographie utilisé, une écriture à multiples niveaux de masque nécessite de devoir parfaitement se réaligner à chaque nouvelle étape. En effet, des marques spécifiques sont conçues dès le départ aux quatre coins du masque et qui seront identifiables par le masqueur électronique.

Les motifs des marques d'alignement sont définis par lithographie électronique en utilisant un bicouche de résines électrosensibles permettant d'avoir un profil casquette après développement facilitant ainsi le lift off. Les motifs correspondent à des marques positives et sont définis par des carrés de 8  $\mu\text{m}$  et de 20  $\mu\text{m}$  de côté déposés par évaporation sous vide suivant le séquentiel de métal Molybdène/Nickel/Molybdène (20/40/70nm). Cet empilement de matériaux est choisi afin de convenir aux différentes étapes du procédé de fabrication des HEMTs et notamment au recuit des contacts ohmiques à très haute température (850°C). Le molybdène, ayant une température de fusion de 2617°C, présente beaucoup de contraintes quand il est déposé par évaporation sous vide, pour cela il est indispensable d'insérer une couche de Nickel, ayant une température de fusion de 1450°C, entre deux dépôts de molybdène. Le choix des épaisseurs de métallisation est fait pour garantir un contraste élevé entre la surface de l'échantillon et celle des marques d'alignement facilitant ainsi le repérage des marques par le masqueur électronique. La Figure II-7 représente une image MEB d'un flanc de marque d'alignement après métallisation et recuit à haute température des contacts ohmiques.

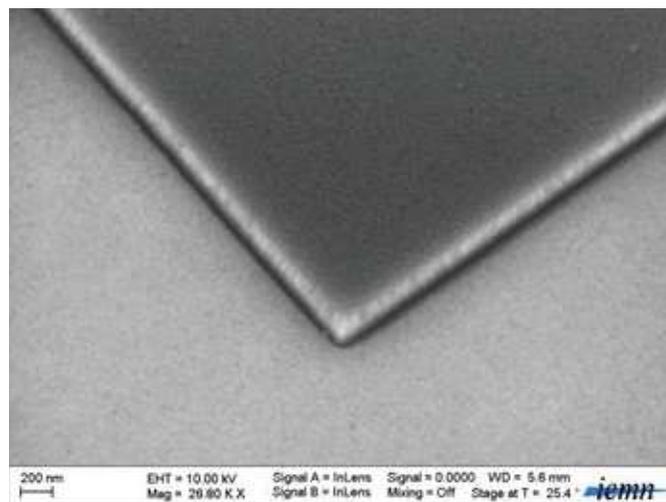


Figure II-7: Image MEB des flancs d'une marque d'alignement après recuit à haute température des contacts ohmiques

### 2.2.2. Les contacts ohmiques :

La première brique technologique de fabrication d'un composant HEMT est la réalisation des contacts ohmiques. Un contact ohmique est défini comme un contact métal / semi-conducteur présentant une caractéristique courant tension linéaire et symétrique. Afin d'avoir un bon contact ohmique il est impératif de réduire la résistance de contact permettant de limiter les résistances d'accès qui sanctionnent les performances en puissance hyperfréquence.

Dans cette partie, nous présentons la technologie de fabrication des contacts ohmiques. La caractérisation des contacts sera présentée dans le paragraphe 0.

Le procédé de fabrication des contacts ohmiques a fait l'objet d'une optimisation dans le cadre de travaux antérieurs [2] [3] [4]. Cette optimisation a notamment concerné la gravure de la barrière avant métallisation ainsi que le temps et la température du recuit de contact.

L'obtention d'un bon contact ohmique est conditionnée par une faible résistance de contact associée à une faible rugosité de surface et une bonne définition des flancs. La réduction de l'espace entre les contacts de source et drain est nécessaire afin de maximiser la densité de courant tout en minimisant le temps de transit des porteurs. De plus, il est indispensable de rapprocher le contact ohmique de la source du contact Schottky de la grille pour améliorer les caractéristiques hyperfréquences en terme de fréquences de coupure [2]. Afin de définir les contacts de sources et drain, la lithographie électronique est utilisée. Une bicouche de résines électro-sensibles constitué de l'empilement de résines COPO EL 13% et PMMA 3% 950K est déposé permettant ainsi l'obtention d'un profil casquette après développement.

Une fois les contacts ohmiques définis, et avant de les métalliser, il est indispensable de désoxyder la surface en utilisant une solution d'acide chlorhydrique diluée dans l'eau déminéralisée (EDI) dans le but d'éliminer toute sorte d'oxydes natifs formés. L'échantillon est ensuite introduit dans le bâti de métallisation sous vide par canon à électrons dans lequel est intégré un réacteur permettant de réaliser une gravure ionique IBE (Ion Beam Etching) à base d'ion Argon. Cette technique permet de graver les structures afin de rapprocher le séquentiel métallique au plus près du canal de conduction 2D. Une résistance de contact ohmique optimale est obtenue en gravant 75% de la barrière [4]. Une fois la gravure achevée, un séquentiel métallique Ti/Al/Ni/Au (12/200/40/100nm) est déposé par évaporation sous vide par canon à électrons.

L'empilement de métaux est choisi afin de garantir un comportement ohmique tout en minimisant la résistance de contact et la résistance spécifique de contact. En effet, la couche

de Titane joue le rôle d'une couche d'accroche, elle est aussi à l'origine de la formation de l'alliage TiN après le recuit thermique. Cette migration de l'azote d'interface extrait du GaN crée parallèlement des lacunes d'azote qui surdopent de type n la région sous le contact. Cette technique donne des contacts de faible résistance, au détriment de la stabilité thermique [5]. En déposant la couche d'Aluminium juste après le Ti, un alliage Ti-Al se forme, permettant de diminuer la réactivité entre le Ti et le GaN, ce qui empêche la formation de volume creux à l'interface dus à la migration du Ga et responsable de l'augmentation de la résistance de contact. Le rapport entre les épaisseurs des couches Ti/Al est optimisé afin de réduire ces volumes creux tout en conservant la formation d'une couche de TiN nécessaire pour obtenir un comportement ohmique du contact. Afin d'éviter la formation de composés entre l'or et l'aluminium, nous utilisons la couche de Nickel. Ces composés peuvent rendre le contact extrêmement friable et engendrer des courts-circuits compte tenu de la topologie des composants. Le nickel constitue donc une barrière de diffusion entre l'or et l'aluminium, mais sa faible conductivité amène à faire un compromis sur le choix de son épaisseur. La couche en surface est constituée d'or afin de répartir le courant de façon homogène sur toute la surface du contact et profiter de son excellente conduction électrique.

Le recuit rapide à haute température (RTA : Rapid Thermal Annealing) entre 800°C et 900°C est effectué juste après le lift-off pour éviter l'oxydation et l'accumulation d'impuretés sur la surface. Ce recuit va favoriser la diffusion des métaux dans la barrière et va permettre la formation des alliages responsables du comportement ohmique. Le recuit à haute température favorise le « démouillage » de la couche d'or en surface ce qui engendre une rugosité des contacts métalliques comme illustré sur la Figure II-8 (a). La présence de résidus de résine avant la métallisation des contacts ohmiques entraîne leurs dégazage lors du recuit ce qui se manifeste par la formation de dômes sur l'ensemble des contacts (Figure II-8 (b)).

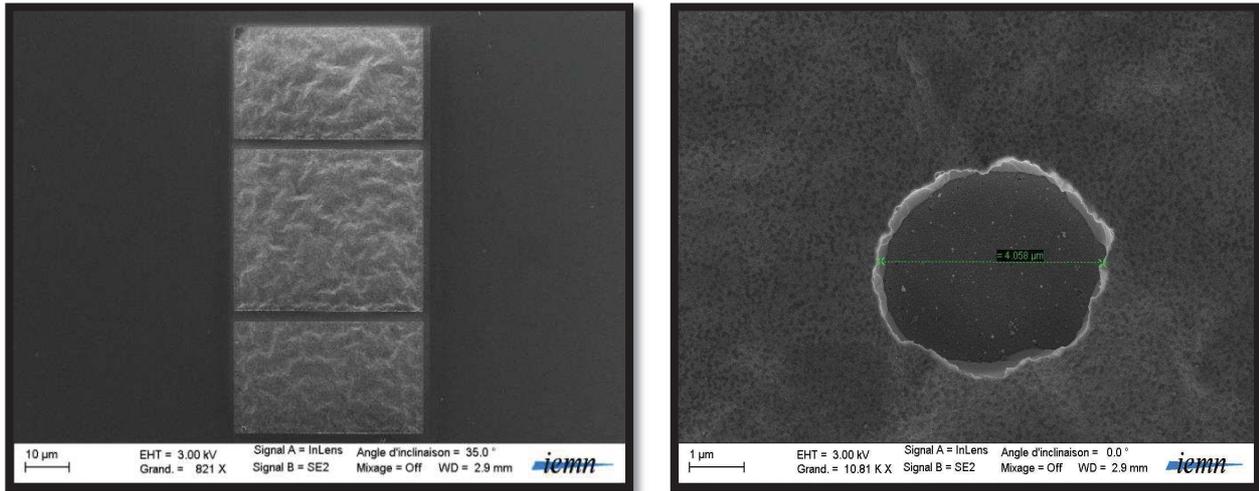


Figure II-8: Image MEB d'un contact ohmique après recuit (a) et image MEB de dômes formés après recuit

### 2.2.3. L'isolation des composants

#### Procédé de fabrication

L'isolation du canal est une étape très importante qui permet de garantir un bon comportement électrique des composants. L'idée est de briser le gaz électronique bidimensionnel afin d'assurer le passage du courant sous le doigt de grille et donc de délimiter son chemin. L'isolation des composants peut être faite soit par gravure (méso), soit par destruction de la structure cristalline du canal par implantation ionique.

La technique utilisée dans le cadre de ce travail est l'isolation par implantation ionique. Ce choix garantit d'une part de meilleures performances hyperfréquence [6] et d'autre part la planéité du dispositif. La technique consiste à accélérer des ions par des tensions de quelques kV à quelques centaines de kV et à les faire interagir avec l'échantillon afin de briser la continuité cristalline au-delà du gaz d'électron 2D. Dans le cas des hétérostructures AlGaIn/GaN l'argon [7], l'hélium, l'oxygène [8] ou l'azote [9] peuvent être utilisés pour réaliser l'implantation. Ici nous utilisons l'implantation par ions d'azote.

L'isolation s'effectue en trois étapes :

La première consiste à la protection des motifs par un bicouche de résines photosensibles S1828/LOR10A. Cet empilement de résine permet l'obtention d'un profil casquette après exposition à l'aligneur optique et développement.

La deuxième étape est l'étape d'implantation ionique par  $N^+$ , elle consiste à bombarder l'échantillon avec des ions d'azote. La résine S1828 se polymérise et absorbe le flux d'ions, et

la LOR 10A, en étant protégée par la première résine, facilite le retrait de résines par la suite par lift-off. (Figure II-9).

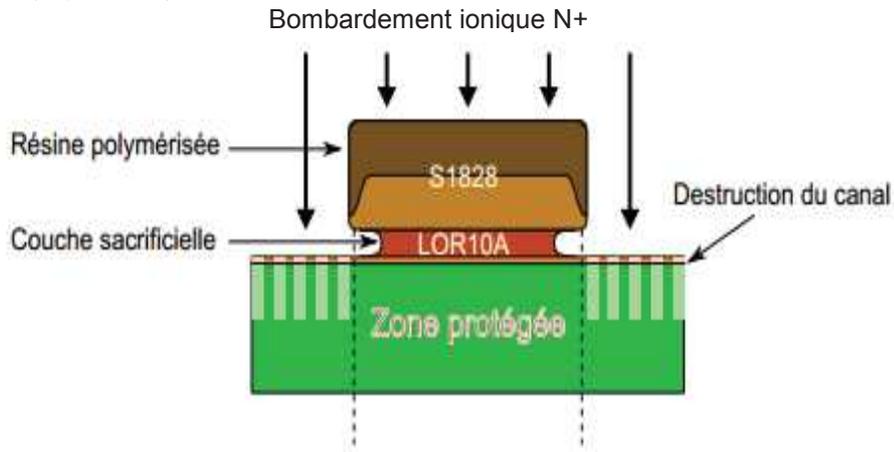


Figure II-9 : protection des composants pendant l'implantation ionique

La troisième étape est le retrait du bicouche de résines en plongeant l'échantillon dans un bain de Remover PG à 70°C.

La Figure II-10 présente une image optique d'un trèfle de hall après implantation. La distinction entre les zones isolées et non isolées est mise en exergue par une différence de contraste.

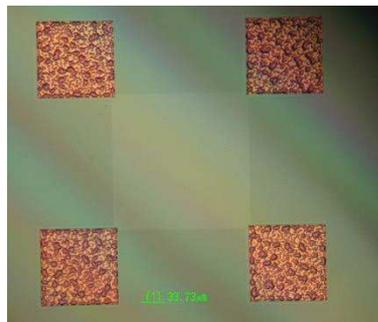


Figure II-10 : image optique d'un trèfle de hall après isolation

### Caractérisation des contacts ohmiques

Pour vérifier la qualité des contacts ohmiques, différentes mesures peuvent être faites après l'isolation des composants.

Deux méthodes de caractérisation sont utilisées dans le cadre de ce travail :

La première méthode est la méthode TLM (Transmission Line Method) et consiste à déterminer expérimentalement la résistance du contact  $R_c$  (en  $\Omega \cdot \text{mm}$ ) ainsi que la résistivité spécifique de contact  $\rho_c$  (en  $\Omega \cdot \text{mm}^2$ ). La deuxième méthode est la méthode de Van der Pauw qui permet la caractérisation des propriétés de transport des hétérostructures telles que la mobilité  $\mu$  (en  $\text{cm}^2/\text{V} \cdot \text{s}$ ), la résistance du canal  $R_{\square}$  (en  $\Omega$ ) et la densité des porteurs de charge  $N_s$  (en  $\text{cm}^{-2}$ ).

La méthode TLM (Transmission Line Method) est la méthode la plus couramment utilisée pour évaluer la qualité du contact ohmique, proposée par W.Schockley en 1964 [10]. Pour cela, des échelles de résistances constituées de contacts ohmiques espacés de distances croissantes sont fabriquées. Une schématisation d'une échelle TLM est présentée sur la Figure II-11 (a).

La caractérisation des contacts se fait par la méthode dite « quatre pointes ». Cette méthode consiste à injecter un courant entre deux pointes posées sur deux contacts voisins et à mesurer la différence de potentiel grâce aux deux autres pointes posées à proximité des premières comme l'indique la Figure II-11.b.

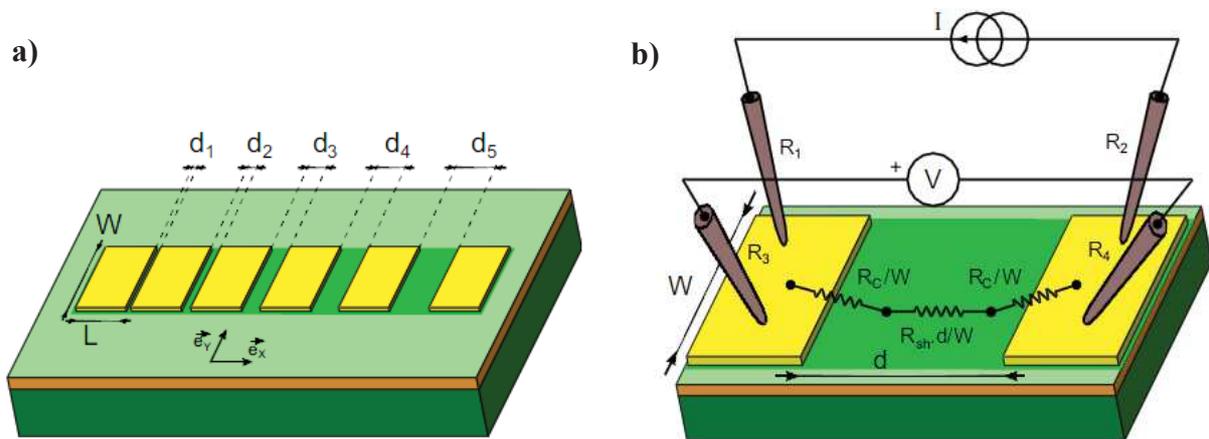


Figure II-11: Schématisation d'une échelle TLM (a) et technique de mesure sous pointes (b)

Comme l'illustre la Figure II-11.b, cette résistance peut être considérée comme étant la somme (montage en série) des résistances des deux contacts ( $R_c$  supposées égales) et la résistance du canal  $R_{\square}$  située entre deux contacts :

$$R = 2 * \frac{R_c}{W} + \frac{R_{\square}}{W} * L_i \quad \text{Équation 1}$$

La Figure II-12 présente la caractéristique courant-tension d'une échelle TLM. La résistance totale R est extraite, dans la zone linéaire de la caractéristique courant-tension, pour chaque distance entre contacts correspondante.

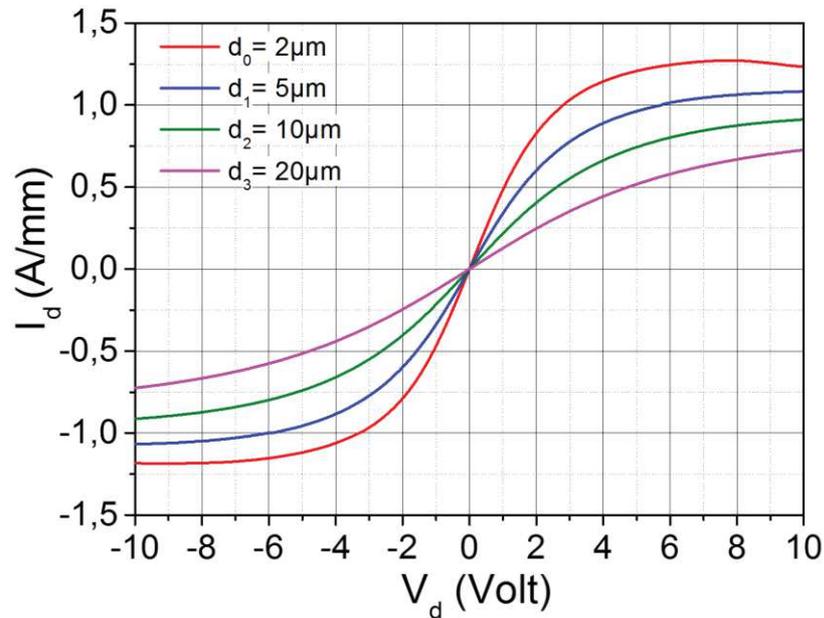


Figure II-12: Caractéristique courant-tension d'une échelle TLM [2]

Si les contacts sont ohmiques et homogènes, la courbe représentative de la résistance totale R en fonction des distances  $d_i$  est une droite (Figure II-13). L'ordonnée à l'origine vaut deux fois la valeur de la résistance de contact  $R_c$  divisée par le développement W et la pente de cette droite vaut  $R_{\square}/w$  avec W la largeur du contact ohmique.

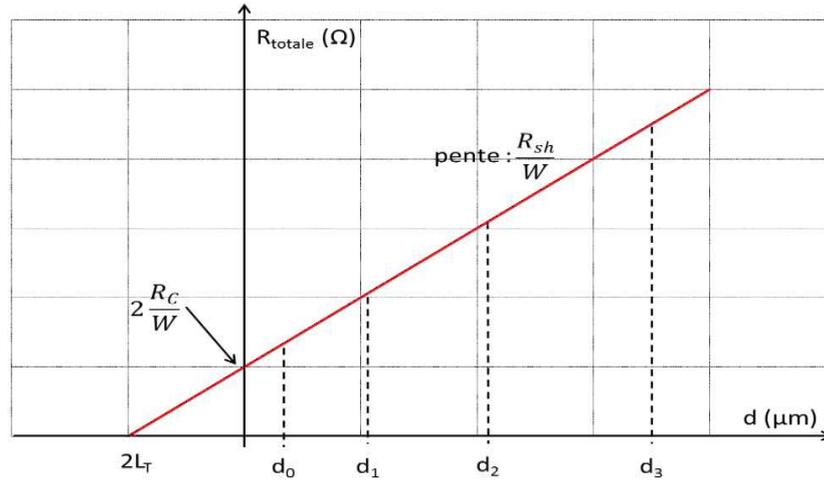


Figure II-13: Courbe caractéristique  $R(d_i)$  d'un motif TLM linéaire

L'intensité du courant mesurée entre deux contacts voisins d'un motif TLM dépend de la largeur  $W$  du contact, la résistance  $R_c$  en dépend également. Cette dernière est inversement proportionnelle à largeur du contact. Afin de pouvoir comparer la résistance des contacts séparés par différentes largeurs, la résistance, exprimée en  $\Omega \cdot \text{mm}$ , doit être normalisée par rapport à la largeur du contact :

$$R_c (\Omega \cdot \text{mm}) = R_c W \quad \text{Équation 2}$$

La qualité du contact métal / semi-conducteur n'est pas parfaitement évaluée suite à l'extraction de la résistance de contact. En effet, la notion plus complète est la résistivité spécifique de contact  $\rho_c$ , exprimée en  $\Omega \cdot \text{cm}^2$ , qui généralise le concept de résistivité à une surface dans le cas particulier où l'épaisseur de conduction n'est pas connue.

Par ailleurs, la résistance totale peut être exprimée par l'Équation 3 [5]

$$R(L) = R_c \coth\left(\frac{d}{L_T}\right) / w \quad \text{Équation 3}$$

La longueur de transfert  $L_T$  correspond à la distance sur laquelle les porteurs sont collectés au niveau du contact ohmique. Une grande longueur de transfert signifie que le contact devra avoir une longueur importante afin de ne pas limiter le passage du courant.

Afin de garantir que la longueur de contact n'ait plus d'influence sur sa résistance, la longueur de contact doit être égale à 3 à 5  $L_T$  [11]. La longueur de transfert est donnée par :

$$L_T = \sqrt{\rho_c / R_{\square}} \quad \text{Équation 4}$$

La longueur de transfert  $L_T$  est déterminée à partir de la droite  $R(L_i)$  d'un motif TLM, si la longueur du contact est très supérieure à la longueur de transfert. Dans ce cas, la résistance de contact peut être exprimée par l'équation suivante :

$$R_c \approx \frac{\rho_c}{L_T w} \quad \text{Équation 5}$$

En supposant que la résistivité de la couche semi-conductrice entre les contacts est égale à la résistivité sous le contact, l'Équation 4 devient :

$$L_T = \sqrt{\frac{\rho_c}{R_{\square}}} \quad \text{Équation 6}$$

D'où

$$R_c = \frac{L_T^2 R_{\square}}{L_T w} = \frac{L_T R_{\square}}{w} \quad \text{Équation 7}$$

La résistivité spécifique de contact peut alors être obtenue à partir l'Équation 5 ou à partir de l'Équation 6 :

$$\rho_c = R_c L_T w \quad \text{Équation 8}$$

Ou

$$\rho_c = R_{\square} L_T^2 \quad \text{Équation 9}$$

Plus la valeur de  $\rho_c$  est grande, plus la surface nécessaire à la circulation du courant est importante. Un contact ohmique est de bonne qualité dès lors que sa résistivité spécifique de contact est égale ou inférieure à  $1.10^{-5} \Omega.cm^2$ .

### Les mesures de Van der Pauw par effet Hall

La méthode de Van der Pauw permet la détermination directe de la résistance carrée  $R_{\square}$ . Cette technique consiste à faire des mesures quatre pointes sur des trèfles de Hall délimités par des zones d'isolation (Figure II-14). Le banc de mesure utilisé est composé d'une station sous pointes pilotée par une interface. L'application d'un champ magnétique B perpendiculaire à la

surface de l'hétérostructure permet l'extraction de la mobilité électronique  $\mu_e$  et la densité de charge  $N_s$ [12][13].

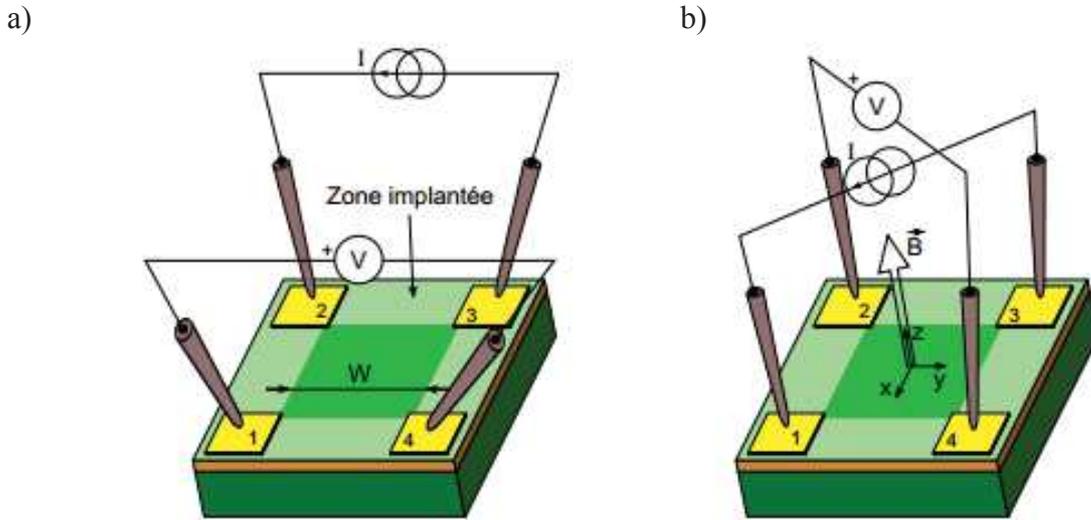


Figure II-14: Illustration des motifs Effet hall (a) et technique de mesure (b)[3]

Les mesures TLM et de Hall sont faites après l'étape d'isolation des composants pour évaluer la qualité des contacts ohmiques. Par ailleurs, des mesures deux pointes sont également effectuées sur les échelles TLM pour évaluer d'une part la caractéristique ohmique des contacts avec une mesure  $I(V)$  et d'autre part pour déterminer le courant d'isolation entre deux plots métalliques isolés. Le courant d'isolation permet d'évaluer la qualité de l'implantation et la qualité du buffer de l'hétérostructure. Les résultats des mesures TLM et de Hall obtenus sur les différents échantillons de ce travail de thèse seront présentés dans le paragraphe 4 de ce chapitre. Les mesures TLM et de Hall sont généralement réitérées à la fin du procédé de fabrication, c'est-à-dire après la passivation des composants.

#### 2.2.4. Le contact Schottky

La réalisation du contact Schottky de grille est effectuée après le dépôt des contacts ohmiques et isolation des composants. L'étape de fabrication de l'électrode de grille est une étape critique du procédé de fabrication, notamment en raison des dimensions nanométriques de ce contact mais aussi en raison de la sensibilité à différents paramètres tels que l'état de surface du matériau. Des grilles en « Té » seront fabriquées dans le cadre de ce travail. Cette topologie combine une longueur du pied de grille courte permettant les performances en fréquence des composants et une faible résistance de contact grâce au chapeau de la grille.

Ici, les contacts de grilles sont réalisés par un empilement de nickel et d'or, ce qui conduit à des hauteurs de barrière Schottky apparentes de l'ordre de 0,6 eV. Cette étape a été optimisée dans le cadre de la thèse de Philippe Altuntas [2].

Comme décrit dans le paragraphe 2. 1, le jeu de masques comporte des longueurs de grille qui varient de 75nm à 250nm.

Pour la réalisation de grilles en « Té », un tricouche de résines électrosensibles est utilisé. Il s'agit d'une couche PMMA 3% 495K qui sert à définir la casquette de la grille, suivie d'une couche PMMA (MMA 33%) pour définir le Té de la grille et finalement une couche de PMMA 4% 950K qui permet la définition du pied de grille.

La Figure II-15 décrit schématiquement le procédé de fabrication utilisé pour la réalisation d'une grille en « Té ».

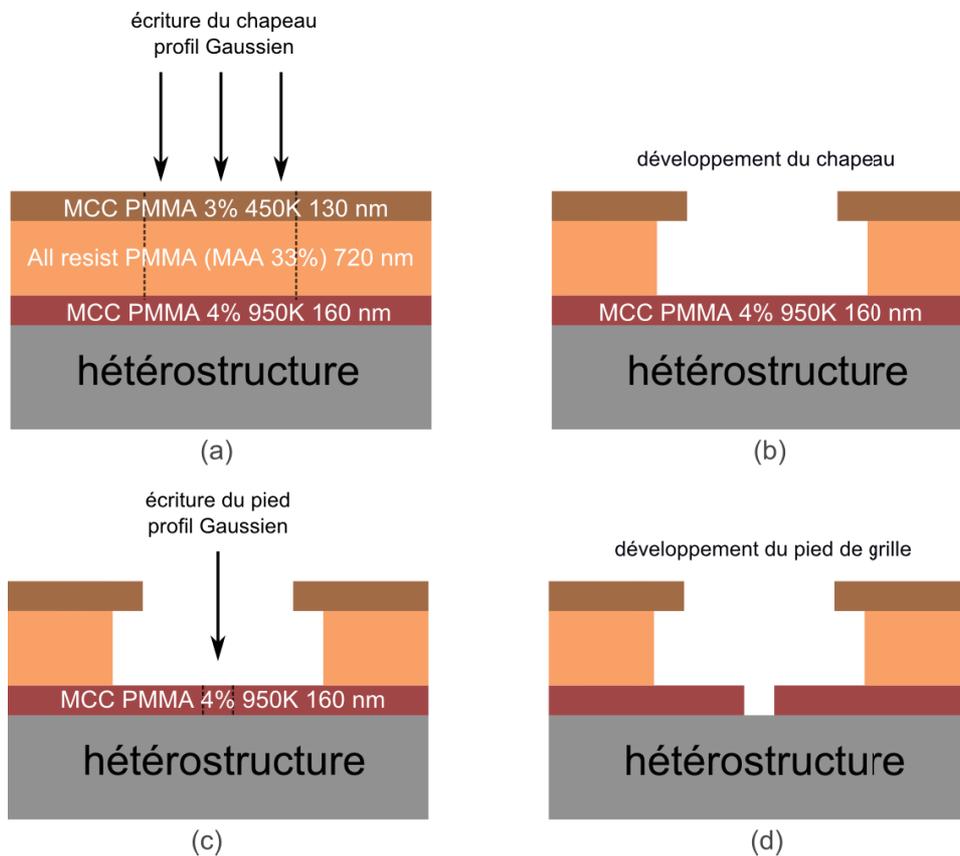


Figure II-15: Schéma descriptif de la réalisation technologique d'une grille en "Té"

L'écriture au masqueur électronique se fait en deux étapes. Une première écriture définit le chapeau de grille suivie de deux développements des résines PMMA 3% 450 K et PMMA (MMA 33%) en utilisant du Toluène pur afin d'ouvrir la casquette, et d'un mélange Méthanol/ IPA afin de définir le T de grille.

La deuxième écriture concerne le pied de grille et est suivie d'un dernier développement en utilisant un mélange de MIBK/ IPA permettant l'ouverture du pied de grille.

La Figure II-16 présente des images MEB d'une grille en « Té » après développement de résines.

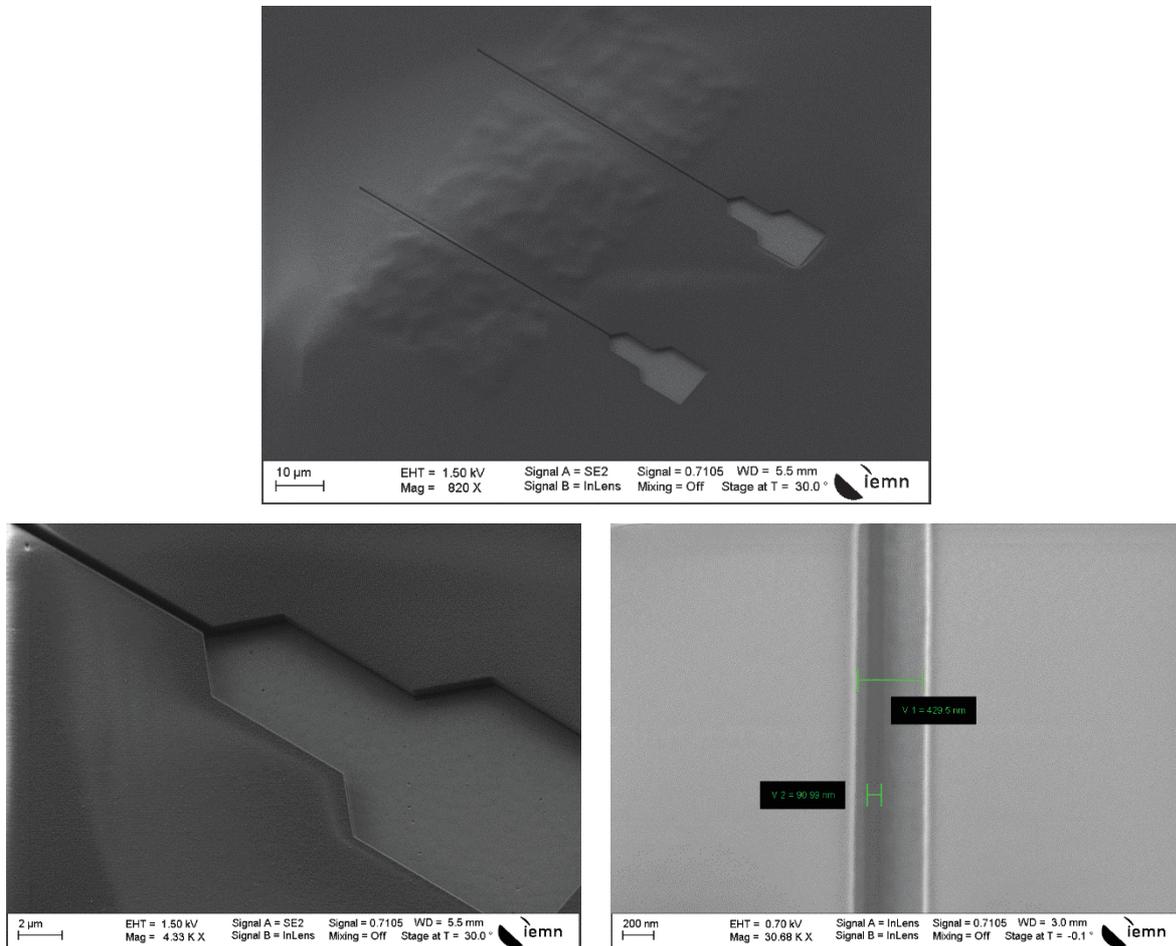


Figure II-16: images MEB d'une grille en Té après développement

L'observation de la grille après développement est une étape très importante puisqu'elle nous permet de vérifier l'absence de résidus de résine dans le fond du canal après développement.

Ensuite, il est indispensable de désoxyder la surface en utilisant une solution d'acide chlorhydrique diluée dans l'EDI afin d'enlever l'oxyde natif. Juste après la désoxydation, l'échantillon est introduit dans le bâti de métallisation.

Le caractère Schottky de la grille est assuré en utilisant une couche de 40 nm de Nickel ayant un travail de sorti de l'ordre de 5,15 eV [14], suivi d'une couche de 300 nm d'or assurant un bon contact électrique tout en diminuant la résistance de la grille.

Une fois métallisé, l'échantillon est plongé dans un bain de Remove PG à 70°C afin d'effectuer le lift-off.

La Figure II-17 présente une schématisation du procédé de métallisation et la Figure II-18 présente une image MEB du composant après métallisation de la grille et lift-off.

Une technologie propre et sans lichettes métalliques résiduelles après lift-off est très importante pour obtenir de bonnes performances en fréquence du transistor en évitant les court-circuits dans le cas où la distance grille-source est très faible.

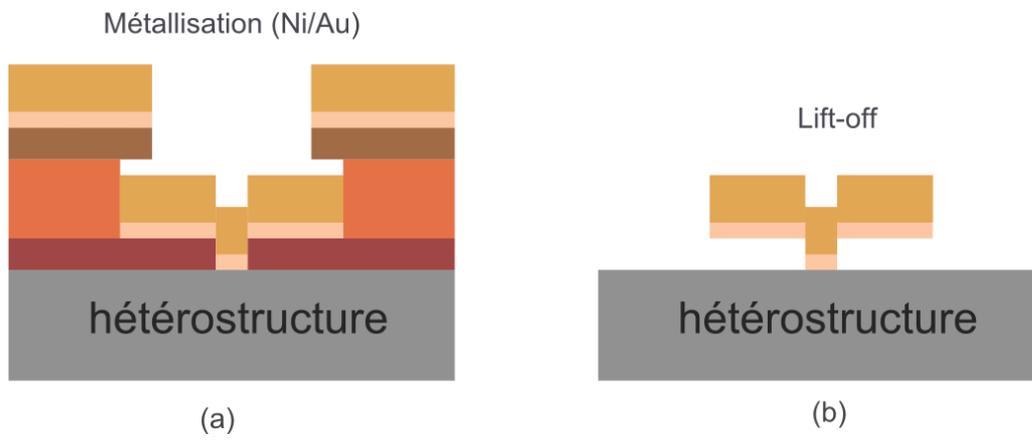


Figure II-17: schématisation du procédé de métallisation

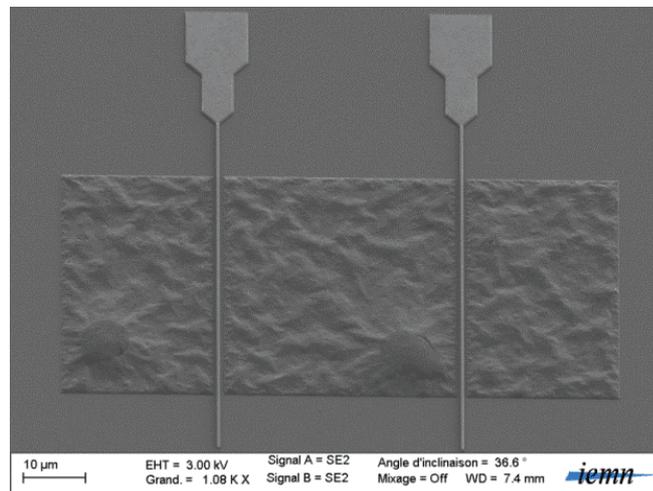


Figure II-18 image MEB de l'ensemble du transistor après métallisation de la grille et lift-off

### 2.2.5. La passivation des composants

Afin de fabriquer des transistors fiables et performants, il est nécessaire de passer les composants. Il s'agit de déposer une couche de diélectrique à la surface du semi-conducteur.

Cette couche permet de protéger la surface des agressions physiques, électriques ou/et thermiques. Elle permet également de réduire les courants de fuite de grille [15] et de limiter la densité des pièges d'interface entre le semi-conducteur et le diélectrique [16].

Afin de ne pas limiter les performances hyperfréquence, cette couche de passivation doit avoir un champ de claquage élevé et doit être fortement résistive.

Plusieurs diélectriques sont utilisés en tant que couche de passivation, on trouve ainsi les diélectriques à forte permittivité électrique tels que l'oxyde d'aluminium  $\text{Al}_2\text{O}_3$  [16], l'oxyde de zirconium ( $\text{ZrO}_2$ ) [17] [18] l'oxyde d'hafnium ( $\text{HfO}_2$ ) [17] l'oxyde de titane ( $\text{TiO}_2$ ) [19] et l'oxyde de Tantale ( $\text{TaO}_5$ ) [20] mais aussi le Nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) qui s'utilise seul ou en bicouche avec l'oxyde de silicium ( $\text{SiO}_2$ ) [21][22]. Dans le cadre de ce travail, une passivation  $\text{SiN/SiO}_2$  est utilisée, celle-ci est déposée par PECVD (Plasma Enhanced Chemical Vapor Deposition).

La passivation des composants commence par une étape de prétraitement des états de surface permettant d'améliorer les performances en neutralisant certains pièges [23][24]. Ce prétraitement est basé sur le protoxyde d'azote ( $\text{N}_2\text{O}$ ), cette étape a été développée dans le cadre de la thèse de François Lecourt [1]. Le plasma  $\text{N}_2$  réagit avec le carbone et les [25], et le plasma oxygène réagit avec le carbone [26]. L'association du  $\text{N}_2$  et du  $\text{O}_2$  permet la passivation des lacunes d'azote et de réduire le courant de fuite [27].

Cette étape de prétraitement est suivie par une passivation  $\text{Si}_3\text{N}_4/\text{SiO}_2$  (50nm/100nm). Ce bicouche est déposé par PECVD à  $340^\circ\text{C}$ . Le  $\text{Si}_3\text{N}_4$  a pour rôle de passiver la surface du semi-conducteur en réduisant les lacunes d'azote. Le  $\text{SiO}_2$ , permet la réduction des contraintes en tension engendrées par la première couche de passivation [26] [27].

Une deuxième caractérisation des propriétés de transport est nécessaire après passivation permettant d'observer ses effets.

### **2.2.6. Les plots d'épaissement**

La dernière étape de fabrication de transistor est la réalisation des plots d'épaissement.

Il s'agit de plots métalliques connectés avec les contacts ohmiques ainsi que les plots d'accès de grilles. Ces plots permettent la caractérisation sous pointes des composants grâce à leurs larges dimensions. Leurs topologies et leurs espacements ont été conçus dans l'objectif d'atteindre une impédance caractéristique égale à  $50 \Omega$  et de minimiser les capacités parasites en régime hyperfréquence.

La réalisation des plots est faite en deux étapes. La première consiste à graver au niveau des contacts afin d'ouvrir la couche de passivation, une couche de la résine photosensible AZ 1512 est prévue à cet effet. Après insolation et développement, une gravure RIE (Reactive Ion Etching) composée d'un mélange gazeux à base de  $\text{CHF}_3/\text{CF}_4$  est effectuée. Cette gravure est selective avec la couche de GaN qui pourra donc servir de couche d'arrêt.

La deuxième étape consiste à définir un profil casquette au niveau des emplacements prévus pour les plots. Il faut alors retirer la première couche de résine et en déposer une seconde. Après exposition aux UVs et développement, les plots métalliques sont déposés par évaporation sous vide moyennant un séquentiel métallique Ti/Au (100nm / 400nm).

La Figure II-19 représente une vue d'ensemble d'un HEMT sur substrat rigide Si(111).

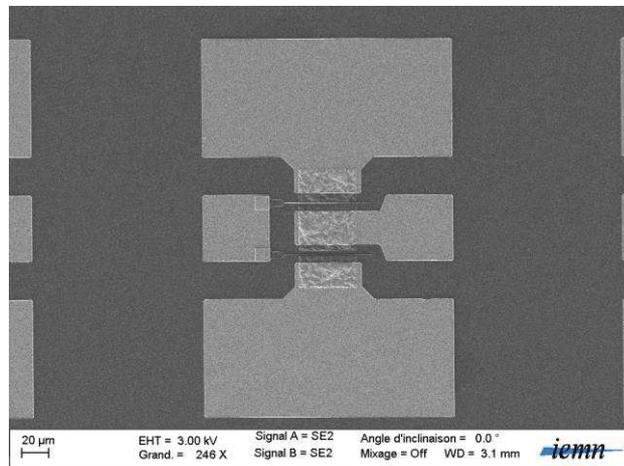


Figure II-19: Vue d'ensemble d'un transistor HEMT en fin de procédé de fabrication

### 3. Description du procédé technologique de transfert sur substrat flexible.

L'intégration hétérogène de composants de type HEMTs AlGaN/GaN sur substrat flexible est une solution prometteuse pour adresser des applications de puissance hyperfréquence nécessitant conformabilité. L'objectif de cette partie est de présenter le procédé technologique de transfert du substrat de croissance vers le substrat flexible développé dans le cadre de ce travail de thèse. Le procédé de transfert repose sur l'élimination du substrat de croissance suivi du collage sur substrat flexible. Différentes optimisations, présentées ensuite, ont été effectuées tout au long de cette étude avec pour but la définition d'une méthode de transfert ne dégradant pas les caractéristiques des hétérostructures. Une comparaison des mesures TLM et de Van der Pauw avant et après transfert sera présentée dans la partie 4 mettant en évidence l'efficacité du procédé développé. Les étapes du procédé de transfert, présentées dans le

paragraphe 1, sont dans l'ordre chronologique : (i) la protection et le maintien de la face avant des composants sur substrat hôte, (ii) l'élimination du substrat de croissance (Si(111)), (iii) le collage sur flexible et enfin (iv) le retrait du substrat hôte.

### **3. 1. Collage temporaire sur substrat hôte**

L'objectif de cette étape est d'effectuer le collage de la face avant des composants sur un support temporaire nécessaire pour les étapes d'élimination du substrat de croissance et du collage. En effet, à la fin de l'étape d'élimination du substrat de croissance, les composants et la couche active de l'hétérostructure AlGaN/GaN constituent une membrane de quelques micromètres qui serait impossible à manipuler sans la présence du support temporaire. Le support temporaire utilisé, ici le saphir, est compatible avec les étapes du procédé de transfert. Il présente notamment une sélectivité de gravure avec le substrat silicium.

Dans un premier temps une couche épaisse de résine est déposée sur la face avant des composants et sur le substrat de saphir. L'utilité de cette couche de résine est double puisqu'elle sert à la fois de protection pour les composants et également de couche intermédiaire pour le collage sur le saphir. De même que pour le support temporaire, la résine utilisée doit être choisie avec soin afin de résister aux différentes étapes de transfert et aux différents solvants et acides utilisés. Les deux faces résinées (face avant des composants et saphir) sont mises en contact et un recuit à une température de 110°C permet leur assemblage.

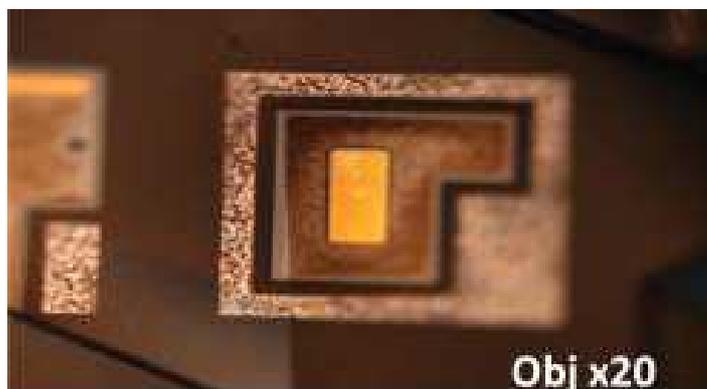
Dans une première série d'essais, la résine AZ4562 était utilisée comme couche intermédiaire pour le collage de la face avant des composants sur le support temporaire. Cette résine était compatible avec l'étape d'élimination du substrat de croissance mais le retrait de celle-ci en fin de procédé, était impossible. En effet, suite aux différentes étapes de gravure du substrat silicium, la résine est dégradée ce qui rend son élimination impossible. Une image prise au microscope optique de l'état de surface du composant à la fin du procédé avec les restes de résine est présentée sur la Figure II-20. Les traces de résines résiduelles empêchent une caractérisation correcte des composants.



*Figure II-20: Etat de surface de l'échantillon en fin de procédé de transfert en utilisant la résine AZ 4562*

Une optimisation de cette étape a donc été nécessaire afin de remédier à ce problème. Plusieurs résines ont été testées et la résine SPR 220 a été choisie en raison de sa compatibilité avec le procédé de transfert. Une épaisseur de  $2\mu\text{m}$  de résine SPR220 est déposée sur la face avant des composants et sur le support temporaire. Après un recuit de 1 minute à  $110^\circ\text{C}$ , les deux faces résinées sont mises en contact et un autre recuit de 2 minutes permet leur assemblage.

La Figure II-21 montre une image prise au microscope optique de l'état de surface en fin de procédé de transfert après élimination totale de la SPR 220 confirmant le choix de l'utilisation de celle-ci



*Figure II-21: Etat de surface de l'échantillon en fin de procédé de transfert en utilisant la résine SPR 220*

### 3. 2. Gravure du silicium

Une fois que la face avant de l'échantillon est maintenue par le support temporaire, le saphir, le transfert des composants du substrat rigide Si(111) vers le substrat flexible débute par l'élimination du substrat de croissance.

Le substrat de croissance, le silicium, est éliminé par gravure jusqu'à la couche tampon de GaN de l'hétérostructure. Plusieurs techniques de gravure ont été décrites dans la littérature : (i) l'amincissement mécanique et le polissage (ii) la gravure chimique isotrope avec un mélange de HF-HNO<sub>3</sub> ou encore un mélange de HF-HNO<sub>3</sub>-CH<sub>3</sub>COOH ou une gravure chimique anisotrope avec du NaOH, TMAH, KOH, NH<sub>4</sub>OH et (iii) la gravure physique en utilisant du SF<sub>6</sub>, SiCL<sub>4</sub> ou du CF<sub>4</sub> ou encore (iv) la gravure en phase vapeur XeF<sub>2</sub>.

Le choix des techniques à utiliser d'éliminer le silicium doit garantir que la couche tampon de l'hétérostructure ne soit pas endommagée. En effet, l'élimination du substrat de croissance risque d'entraîner la propagation des défauts cristallins dus au désaccord de maille entre le silicium et le GaN lors de la croissance.

Dans le cadre de ces travaux, une combinaison de trois techniques de gravure est utilisée.

Dans un premier temps, une combinaison des techniques d'amincissement et polissage mécaniques, de gravure humide et de gravure sèche a été utilisée. L'amincissement mécanique permet tout d'abord d'amincir le silicium massif jusqu'à environ 100µm d'épaisseur. La gravure chimique permet ensuite pour éliminer le silicium restant et est arrêtée dès l'apparition du film GaN. Finalement les traces de silicium restantes sont supprimées grâce à la gravure en phase vapeur XeF<sub>2</sub>.

Lors de la phase d'optimisation, la gravure humide a été abandonnée compte tenu de sa vitesse de gravure élevée qui a engendré une propagation de fissures dans l'hétérostructure.

#### 3.2.1. Amincissement mécanique et polissage :

Cette technique se fait en deux étapes successives. L'étape d'amincissement consiste à amincir le substrat d'une façon mécanique par fraisage<sup>1</sup> à sa surface. La Figure II-22 illustre le principe de l'amincissement.

---

<sup>1</sup> Le **fraisage** est un procédé de fabrication où l'enlèvement de matière sous forme de copeaux résulte de la combinaison de deux mouvements : la rotation de l'outil de coupe, d'une part, et l'avancée de la pièce à usiner d'autre part.

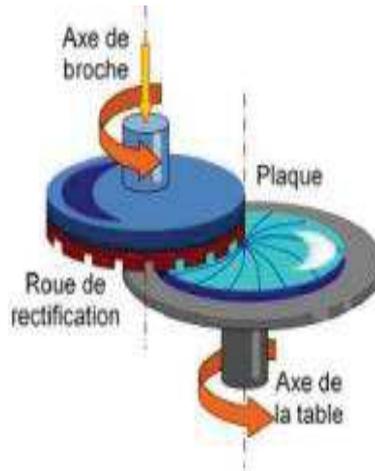


Figure II-22: Principe de la rectification "Grinding"

Suite à l'amincissement, un polissage mécano-chimique « CMP » (Chemical Mechanical Polishing) est réalisé afin d'adoucir la surface amincie limitant ainsi le relâchement des contraintes dans l'hétérostructure. Comme son nom l'indique, une action mécanique et une attaque chimique permettent d'éliminer de la matière au substrat [28]. Une solution de suspension ou « slurry » en anglais, contenant des particules abrasives et des agents chimiques est introduite lors de la rotation de l'échantillon et de la plaque de polissage (cf Figure II-23) afin de polir la surface.

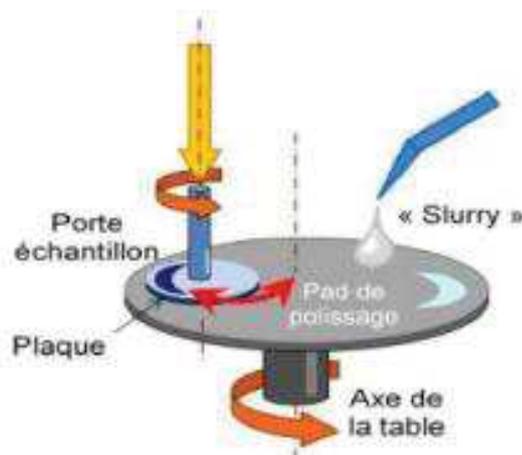


Figure II-23: Principe du polissage mécano-chimique

Plusieurs paramètres entrent en jeu notamment l'épaisseur du silicium à graver et la nature de la surface souhaitée en fin du procédé. Pour cela il faut tenir compte d'une part du temps et de la vitesse de gravure et d'autre part, du choix du plateau pour l'amincissement. Les échantillons que nous avons transférés avaient une épaisseur qui varie de 450 à 300  $\mu\text{m}$ . L'objectif est de réduire l'épaisseur du substrat de croissance, le Si(111), jusqu'à 100 $\mu\text{m}$  en

utilisant l'amincissement mécanique et de polir la surface par l'intermédiaire de plateau de polissage prévu à cet effet. Selon plusieurs études la géométrie et la forme du plateau d'amincissement conditionne la résistance de la matière à amincir d'une part et la qualité de la surface en fin du procédé d'autre part [29][30]. Un meilleur état de surface en ayant moins de contraintes est obtenu grâce à l'utilisation d'un plateau rainuré en U et non en V [29].

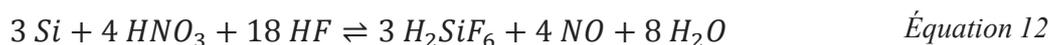
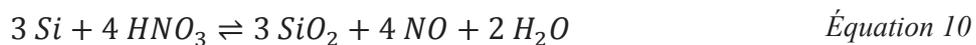
Une fois le plateau choisi, une mesure de l'épaisseur de l'échantillon après chaque cycle d'amincissement de 15 minutes est nécessaire afin de déterminer et de contrôler la vitesse de la gravure. La vitesse de rotation du plateau est choisie pour que l'élimination du silicium soit la plus délicate possible, soit 40 tours par minute. Une vitesse de gravure de 15µm par minute est notée.

### 3.2.2. La gravure humide

A ce stade du développement technologique, il reste 100 µm de silicium à enlever. Comme évoqué précédemment, le choix de la solution de gravure doit se faire en fonction de la nature de la surface à graver. Dans le cadre de ce travail, l'utilisation de la gravure isotrope est privilégiée.

La solution communément utilisée pour graver le silicium est un mélange d'acide fluorhydrique (HF), d'acide nitrique (HNO<sub>3</sub>) et d'acide acétique (CH<sub>3</sub>COOH).

Dans un premier temps, la surface du silicium s'oxyde avec l'acide nitrique (Équation 10). La couche de SiO<sub>2</sub> ainsi formée est ensuite gravée par l'acide fluorhydrique (Équation 11), exposant une nouvelle couche de silicium à l'acide nitrique. L'acide acétique est fréquemment utilisé comme diluant. La réaction complète est donnée par l'Équation 12.



Une courbe représentative de l'épaisseur du silicium gravée en fonction du temps de gravure est donnée sur la Figure II-24. La vitesse de gravure moyenne est de l'ordre de 36µm/minute. Cette vitesse de gravure élevée engendre des craquelures au niveau de l'hétérostructure suite à

l'élimination violente et rapide du silicium, ce qui implique un relâchement brusque des contraintes.

Par ailleurs, la gravure chimique doit être arrêtée dès l'apparition du film de GaN. Compte tenu de la vitesse de gravure importante l'arrêt de celle-ci est difficilement contrôlable, ce qui ne garantit pas une fiabilité du procédé. Sur la Figure II-25 une image prise au microscope optique de la face arrière des composants après l'étape de gravure chimique est présentée. Le film de GaN étant transparent, nous pouvons observer la face arrière des transistors et échelles TLM. Nous pouvons remarquer la présence importante de craquelures au niveau du film de GaN.

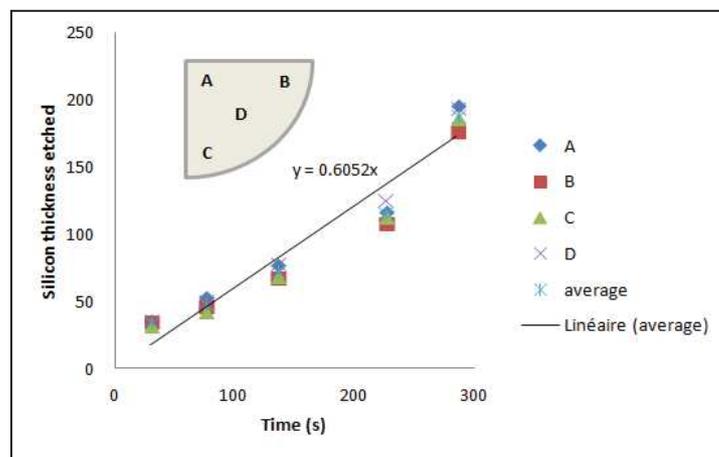


Figure II-24: Courbe représentative de l'épaisseur de Silicium gravée en fonction du temps de gravure

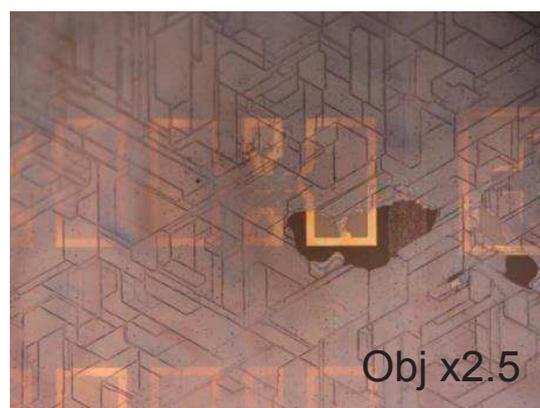


Figure II-25: Image optique de la face arrière de l'échantillon après gravure du silicium par amincissement et gravure chimique

Afin d'éliminer le film mince de silicium restant, une dernière étape de gravure lente est utilisée.

### 3.2.3. La gravure en phase vapeur

Pour la gravure de ce film extrêmement mince de silicium restant, et compte tenu de la fragilité du dispositif, la technique utilisée est la gravure en phase vapeur sans plasma par XeF<sub>2</sub> [31][32].

Cette dernière, lente et sélective, permettra l'arrêt du processus de gravure en atteignant la couche tampon de l'hétérostructure.

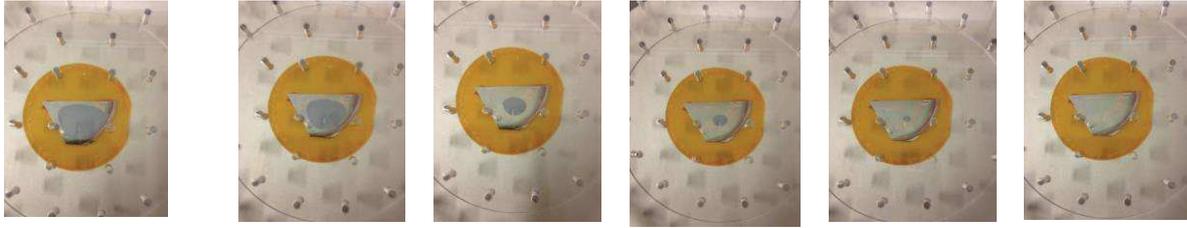
Le Difluorure de Xenon, XeF<sub>2</sub>, se présente sous forme d'un solide cristallin incolore, sous pression atmosphérique et à température ambiante. Cependant, le passage à une pression inférieure à 4 Torr permet la sublimation des cristaux. Le XeF<sub>2</sub> se décompose alors en xénon et fluor, ce dernier attaque le silicium en produisant du tétrafluorure de silicium ( Équation 13) [33][34] .



La vitesse de gravure du silicium au XeF<sub>2</sub> dépend de la surface à graver, de la pression de gravure et le temps de chaque cycle de gravure.

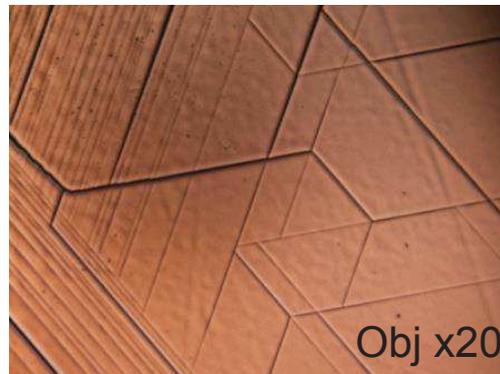
En effet, la gravure se fait en quatre étapes. (a) Dans un premier temps, un pompage du vide est effectué dans la chambre de gravure (~ 20 mTorr) puis toutes les vannes sont fermées. Suite à cela (b) le XeF<sub>2</sub> est introduit dans la chambre et la temporisation pour une durée d'impulsion commence. La durée d'impulsion de toutes les gravures effectuées dans le cadre de ce travail est de 30 secondes. (c). La vanne d'entrée du XeF<sub>2</sub> est ensuite fermée dès lors que la pression de la chambre atteint la valeur souhaitée, 800m Torr. (d) Finalement la réaction décrite dans l'Équation 13 commence et le silicium est gravé pour la durée d'impulsion choisie, soit 30 secondes. Toutes les étapes de (a) jusqu'à (d) se répètent jusqu'à l'élimination totale du Si(111).

La Figure II-26(a) montre une image du bâti de gravure XeF<sub>2</sub>. La Figure II-26(b) présente quelques images de l'échantillon pendant la gravure.



*Figure II-26: Images de l'échantillon dans la chambre de gravure montrant l'isotropie de la gravure au XeF<sub>2</sub>*

Suite à la succession de ces trois techniques de gravure (amincissement et polissage mécanique, gravure chimique et gravure physique), les faces arrière des échantillons gravés montrent beaucoup de craquelures en fin de gravure comme l'illustre la Figure II-27.



*Figure II-27: Image optique de craquelures en face arrière de l'échantillon après élimination totale du silicium*

Les craquelures sont apparues dès l'étape de gravure chimique (Figure II-25) et sont attribuées à une vitesse de gravure trop élevée. Pour remédier à ce problème, la gravure chimique est écartée du procédé de retrait du silicium et un amincissement mécanique du substrat jusqu'à 50 $\mu$ m, suivi d'une gravure physique par difluorure de Xenon est utilisé. Une image prise au microscope optique de la face arrière des composants après élimination totale du silicium est présentée sur la Figure II-28. Une limitation du phénomène de craquelures est mise en évidence.

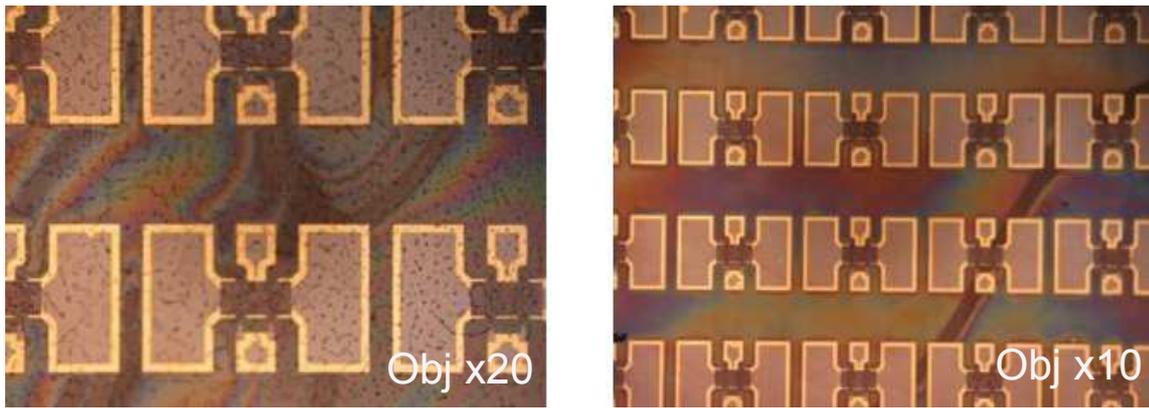


Figure II-28: Images optiques de la face arrière des composants en gravant le Si par amincissement et polissage mécanique suivis par une gravure au  $XeF_2$

La Figure II-29 montre une photo de l'échantillon, en face arrière, après élimination totale du silicium.

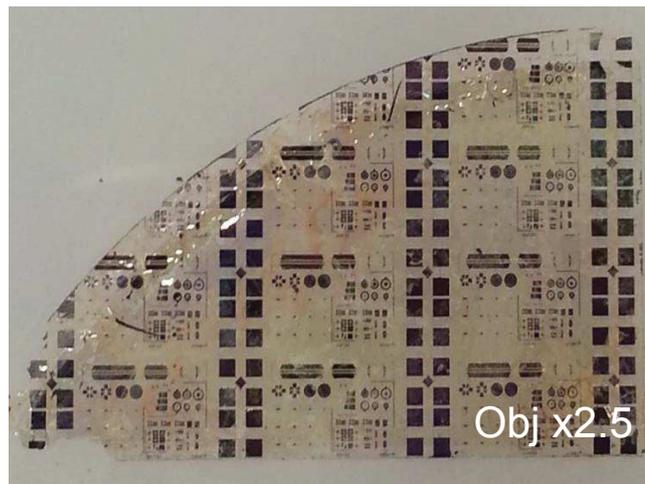


Figure II-29: Photo de la face arrière de l'échantillon après gravure totale du silicium

### 3. 3. Collage de la face arrière des composants sur flexible et décollage du substrat hôte

Suite à l'élimination du substrat silicium, la face arrière des composants doit être collée sur le substrat flexible.

L'élément clé de cette étape est le choix du substrat flexible puisqu'il doit répondre à plusieurs critères : (i) il est préférable qu'il soit adhésif pour que le film de GaN s'y colle facilement, (ii) il doit avoir une bonne conductivité thermique pour favoriser la dissipation de

la chaleur dans les composants en fonctionnement et *(iii)* il doit avoir une bonne résistivité électrique.

Dans la littérature, plusieurs substrats flexibles ont été utilisés, notamment du Polynaphtalate d'éthylène (PEN) [35] et du Kapton [36], [37].

Dans ce travail, les substrats flexibles utilisés sont fournis par la société 3M, notre partenaire dans le projet ANR FLEXIGaN, selon un cahier des charges que nous avons adapté en fonction des problèmes rencontrés lors de la mise au point du procédé de transfert et de la caractérisation des composants par la suite.

Les substrats flexibles fournis étant adhésifs, le collage se fait en mettant en contact la face adhésive du substrat flexible et la face arrière des composants tout en effectuant une pression manuelle. La face adhésive représente un gain de temps considérable pour la réalisation de ces composants flexibles.

L'ensemble des substrats flexibles utilisés a été caractérisé. Les résultats de ces caractérisations seront présentés dans le paragraphe 2 du chapitre III du manuscrit.

Après avoir collé le substrat flexible adhésif, le décollage du substrat hôte s'effectue en enlevant la résine qui le maintient avec les composants sur flexible. Pour cela, l'ensemble est plongé dans un bain d'acétone jusqu'à la séparation du saphir des composants flexibles.

La Figure II-30 montre des images des composants HEMTs après transfert sur flexible ainsi que des HEMTs reportés sur flexible.



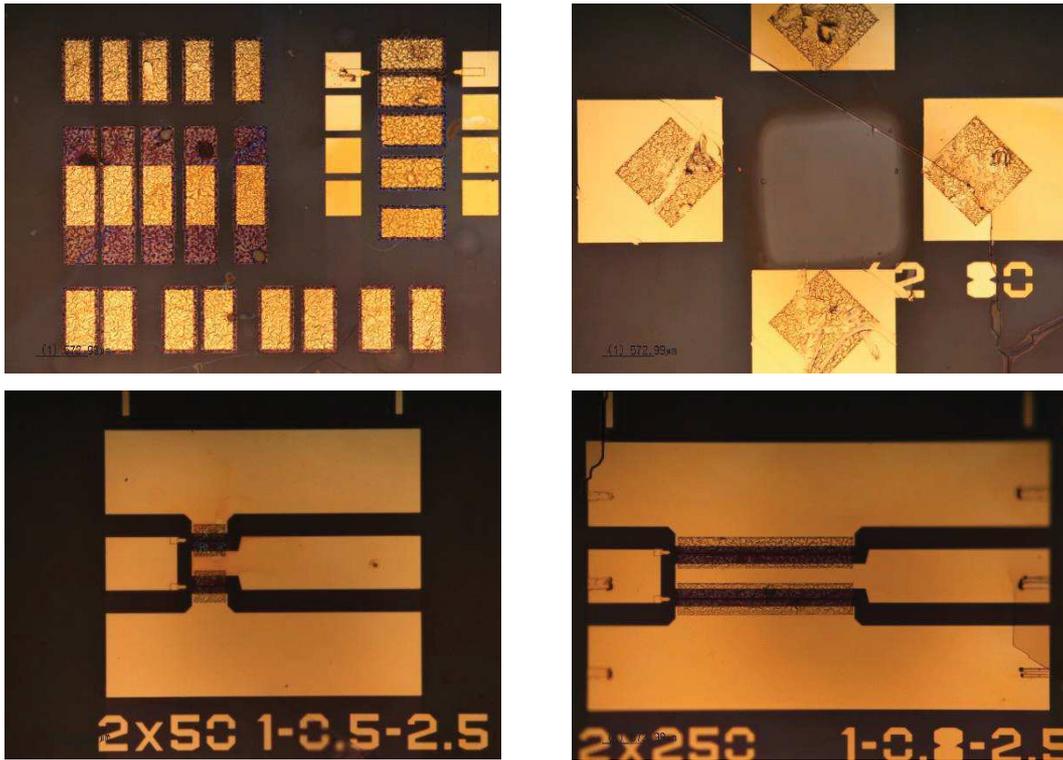


Figure II-30: Images de composants HEMTs AlGaIn/GaN sur flexible en fin de procédé de transfert

A la fin du procédé de report, et avant de caractériser les composants HEMTs AlGaIn/GaN, une caractérisation des motifs TLM et des trèfles de Hall est effectuée afin d'observer l'impact du transfert sur les caractéristiques de l'hétérostructure.

#### 4. Caractérisation de l'hétérostructure après transfert sur ruban flexible

Des mesures TLM et de Van der Pauw sont effectuées sur les motifs tests transférés sur flexible. Le Tableau II-1 présente les extractions des paramètres relatifs à la caractérisation des deux hétérostructures en terme de densité de charge  $N_s$ , de mobilité des électrons  $\mu$ , de résistance carrée  $R_{\square}$ , de résistance de contact  $R_c$  et de résistivité spécifique de contact avant et après report des composants sur flexible.

Tableau II-1: Mesures Hall et TLM avant et après transfert sur flexible

	PTC 567		PTC 756	
	Si(111)	Flex	Si(111)	Flex
Mesures de Hall	Densité de charge $N_s$ ( $10^{12} \text{ cm}^{-2}$ )	8.9	8.7	8.9
	Mobilité des électrons $\mu$ ( $\text{cm}^2/\text{V.s}$ )	1783	1782	1778

<b>Mesures TLM</b>	Résistance carrée $R_{\square}(\Omega)$	437	436	403	436
	Résistance de contact $R_c$ ( $\Omega. mm$ )	0.86	0.86	0.85	0.85
	Résistivité de contact $\rho_C$ ( $\Omega.cm^2$ ).	$3.2 \times 10^{-5}$	$3.2 \times 10^{-5}$	$3.2 \times 10^{-5}$	$3.2 \times 10^{-5}$
	Résistance carrée $R_{\square}(\Omega)$	456	454	405	437

Nous remarquons qu'après le procédé de transfert toutes les valeurs des paramètres extraits sont identiques à celles obtenues sur substrat rigide Si(111). Les propriétés d'épitaxie AlGaN/GaN, notamment la polarisation spontanée et la piézo-électricité ainsi que la qualité des contacts ohmiques sont conservées après transfert[38].

## **Partie 2 : Technologies des composants à base de graphène sur substrat flexible**

La grande mobilité des électrons dans le graphène favorise le fonctionnement à très haute fréquence de composants électroniques. Par ailleurs, ses propriétés mécaniques en font un matériau flexible. Ces deux avantages pourraient être mis à profit dans la fabrication de composants et de circuits électroniques destinés à des secteurs variés : développement d'écrans souples, de transistors et de composants électroniques très performants et fabriqués à bas coût.

Dans cette partie nous commençons par présenter le procédé de fabrication des transistors à base de graphène, une description du jeu de masque conçu est mise en exergue suivie par une présentation générale des topologies de transistors fabriqués. Par la suite, nous détaillons les défis technologiques relatifs à la fabrication des transistors flexibles à base de graphène. Pour y répondre, trois différentes approches sont développées dans le cadre de ces travaux et sont présentées par la suite. Deux de ces approches reposent sur le collage du substrat flexible sur un substrat hôte tandis que la troisième permet de s'affranchir du collage. Une description exhaustive des étapes de fabrication de ces derniers s'ensuit. Finalement, une évaluation des procédés de fabrication est présentée définissant les critères de sélection des transistors à caractériser.

### **5. Présentation du processus de fabrication des transistors à base de graphène**

#### **5. 1. Description du masque**

Dans le cadre de ce travail de thèse, nous avons élaboré le jeu de masque relatif à la fabrication de composants à base de graphène. Les structures des transistors hyperfréquences à base de graphène sont conçues pour être adaptées à une caractérisation sous pointes et d'un analyseur de réseau vectoriel, VNA (Vector Network Analyser).

Le masque conçu comporte trois champs : (i) le premier contient des composants GFET de différentes géométries ainsi que des structures de caractérisation du graphène tels que des échelles TLM et des trèfles de Hall ; (ii) dans le deuxième champ nous avons intégré des composants de différentes géométries ainsi que leur « kit de deembedding » ce qui permettra de déterminer les éléments parasites et de remonter aux caractéristiques intrinsèques des transistors et (iii) le troisième champ intègre des transistors avec des grands accès, séparés par des marques de découpe afin d'intégrer les composants dans des circuits hybrides en fin de

procédé technologique et caractérisation électrique. Une présentation des différents champs est présentée dans la Figure II-31.

Plusieurs géométries de composants ont été conçues afin de déterminer des modèles fiables des transistors. Dès lors, les développements  $W$  varient de 12, 24 et 50 $\mu\text{m}$  afin d'étudier l'impact du rapport courant/effet capacitifs sur les performances des transistors. Les longueurs de canal  $L_{DS}$  sont de 0,7 et 1 $\mu\text{m}$  et les longueurs de grilles,  $L_G$ , choisies sont de 100, 200 et 300nm.

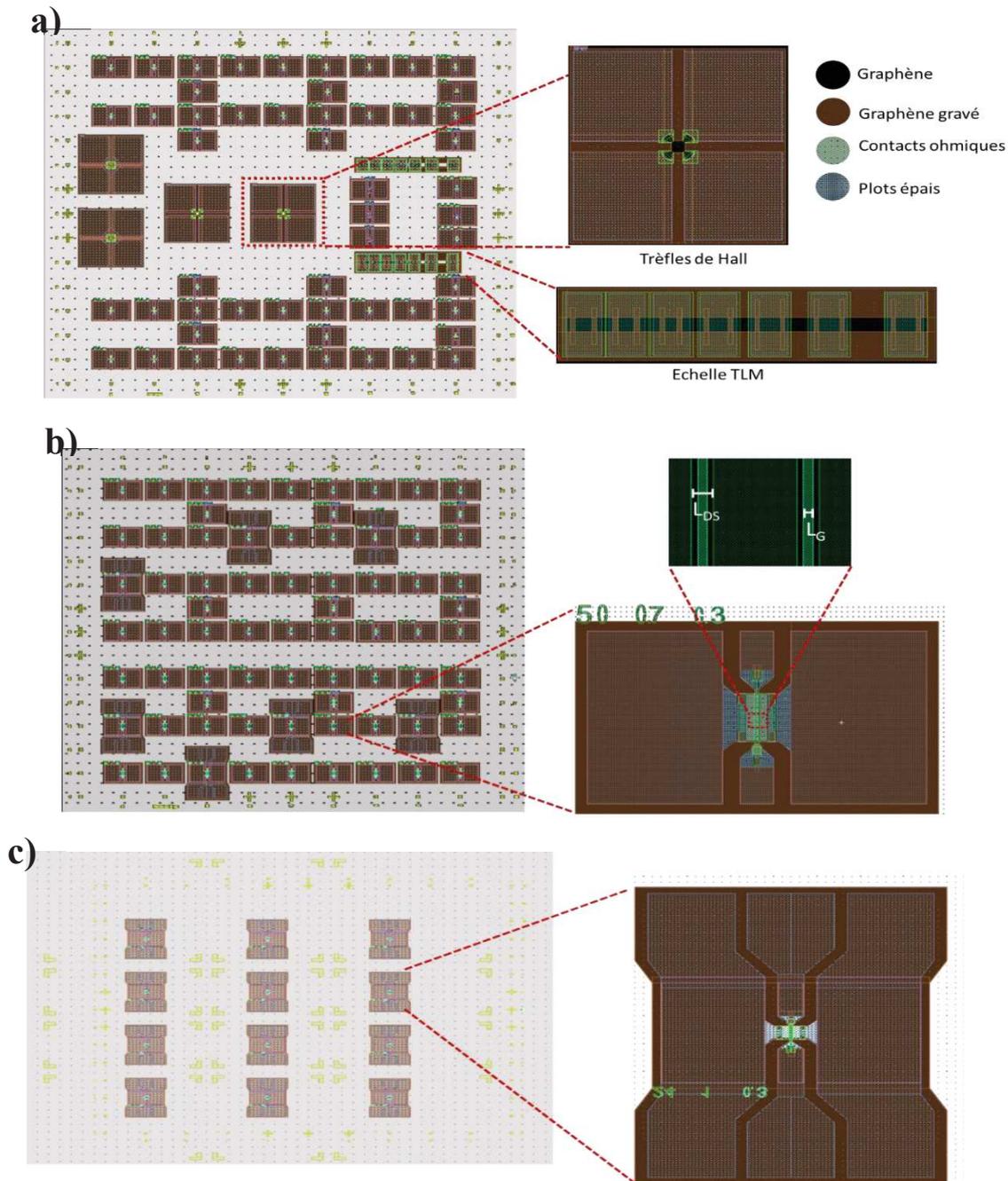


Figure II-31: Schématisation des champs a) 1 b) 2 et c) 3 du masque utilisé pour la fabrication des transistors à base de graphène

## 5. 2. Présentation des procédés de fabrication des transistors à base de graphène sur substrat flexible

La fabrication de transistors à base de graphène (GFETs) est basée sur cinq grandes étapes qui sont :

- Les marques d'alignement
- Le transfert du graphène
- La définition de la zone active et des zones d'accroche.
- La réalisation de la grille
- La réalisation des contacts ohmiques
- La réalisation des plots d'épaissement

L'ordre de ces étapes dépend fortement de la géométrie des transistors que l'on souhaite obtenir. En effet dans le cadre de cette thèse trois géométries de transistors ont été définies et proposées :

- (i) La géométrie « grilles avant » ou encore « top-gate » est différente puisque qu'il s'agit de déposer le graphène en premier, de le graver ensuite afin de définir les zones actives et les zones d'accroche, et enfin de fabriquer les contacts ohmiques et finalement les plots épais.

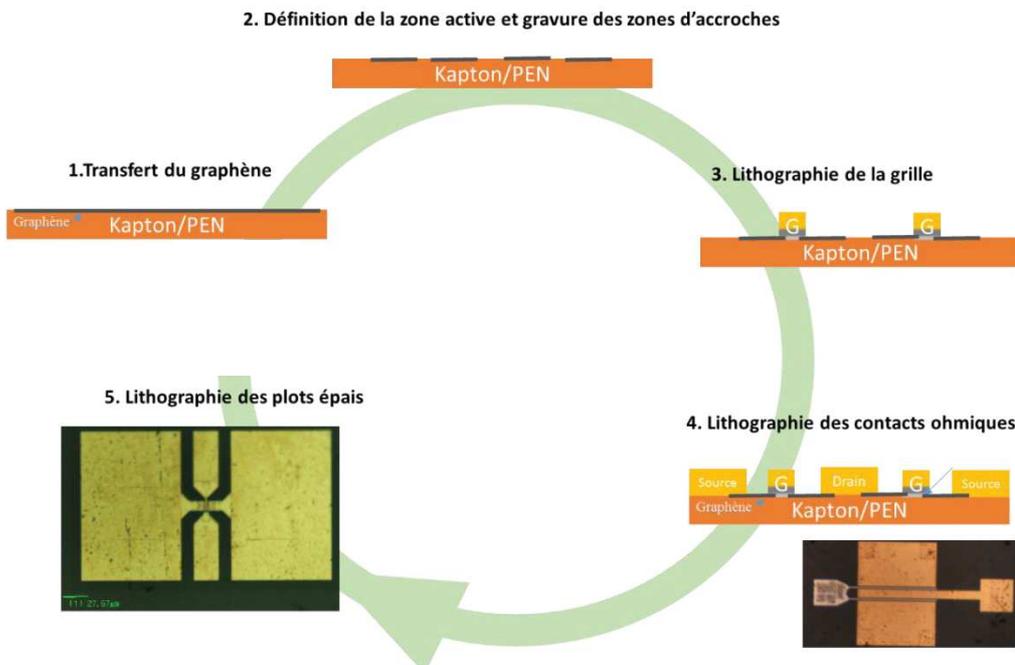


Figure II-32: Schématisation d'un transistor à base de graphène en géométrie "Top-gate"

- (ii) La géométrie « contacts arrières » s'appuie sur l'idée de définir les contacts de grilles ainsi que les contacts de source et de drain avant de déposer le graphène. Suite à cela, la définition de la zone active se poursuit avec la reprise des contacts en réalisant les plots épais.

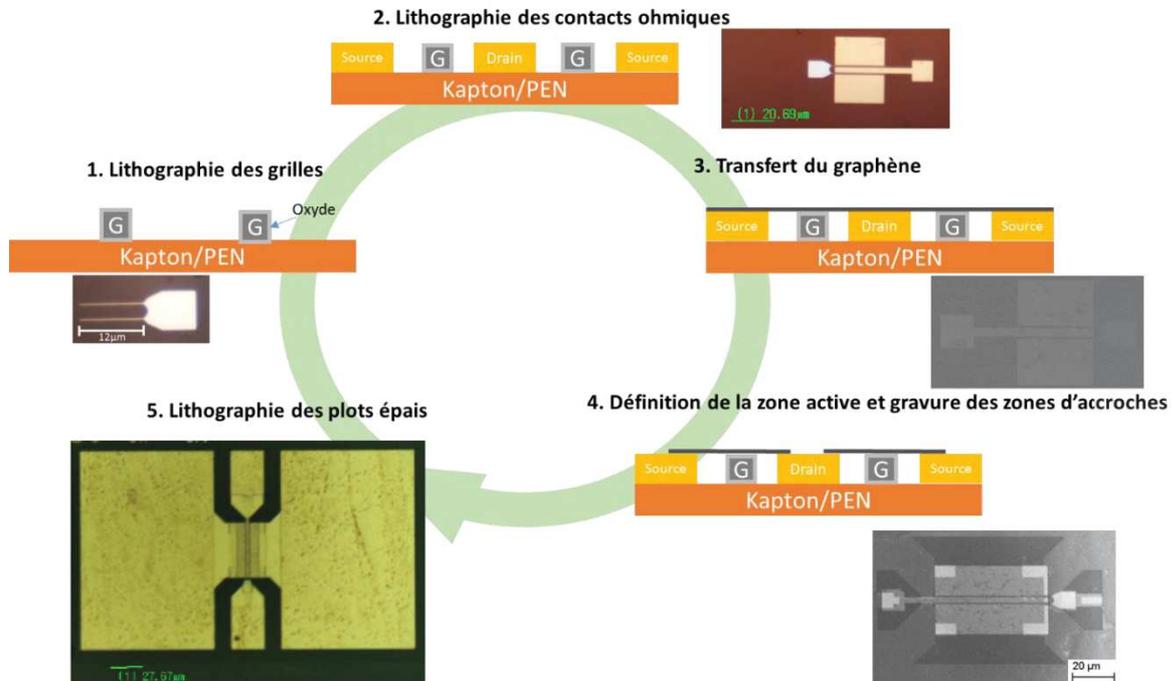


Figure II-33: Schématisation d'un transistor à base de graphène en géométrie "contacts arrières"

### 5. 3. Défis technologiques pour la fabrication des transistors à base de graphène sur substrat souple

La lithographie directe sur substrat flexible impose beaucoup de contraintes liées essentiellement à la flexibilité du substrat. Dans ce paragraphe nous exposons les verrous technologiques relatifs au procédé de fabrication des composants sur substrat flexible ainsi que les pistes que nous avons explorées pour s'en affranchir.

#### 5.3.1. Présentation des contraintes liées à la fabrication sur substrat souple :

Le domaine de l'électronique flexible vise la fabrication de dispositifs rapides, minces, flexibles et moins chers que le marché actuellement présent et ce en utilisant des feuilles de polymères peu coûteuses en tant que substrat.

Dans le cadre de ce travail, deux types de substrat ont été utilisés : le kapton, un film de polyimide et le polyethylene naphthalate et le PEN, un polyester saturé.

Contrairement à la fabrication de HEMTs flexibles, où les transistors sont réalisés sur rigide et transférés par la suite sur un ruban flexible, la fabrication de transistors à base de graphène

repose sur la lithographie par faisceau d'électrons directement sur le substrat plastique. Cette technique de lithographie permet d'atteindre d'excellentes résolutions. Néanmoins, lors de la fabrication des transistors sur substrat souple, nous nous trouvons confronté à des contraintes ne provenant pas nécessairement de la miniaturisation des composants, mais de la déformation et de l'instabilité dimensionnelle des polymères. En effet, l'écriture en lithographie électronique demande des traitements thermiques ainsi que l'utilisation d'agents chimiques qui entraînent la déformation des polymères. Cette déformation engendre des désalignements au niveau des composants suite à l'écriture à niveau multiple (cf paragraphe 7. 1).

Dans la littérature, les écritures électroniques sur substrat flexible se font en collant temporairement le flexible sur substrat rigide. (cf paragraphe 2.2.2 du chapitre1) permettant ainsi le maintien de sa planéité et limitant sa déformation mécanique.

La solution de collage doit satisfaire essentiellement à deux conditions : (i) la résistance à l'ensemble constitué du recuit thermique et des solutions chimiques utilisées dans le cadre du procédé technologique (Acétone, IPA, MIBK, BOE, H<sub>2</sub>O<sub>2</sub>, Remover PG) et (ii) la nécessité de séparer le substrat flexible du substrat rigide en fin de procédé technologique.

Dans le cadre de ces travaux, une première série de composants a été faite en adoptant cette solution de collage, c'est-à-dire maintenir le polymère plan en le faisant adhérer sur un substrat rigide. Plusieurs variantes de techniques de collage ont ainsi été utilisées et seront présentées dans le paragraphe suivant. Nous verrons à la fin que le manque de fiabilité du procédé de fabrication introduit par le collage nous a mené à développer une nouvelle technique de manipulation Cette dernière permet d'éviter les contraintes mécaniques liées au décollage et est plus simple à mettre en œuvre.

### **5.3.2. Techniques et solutions technologiques adoptées pour la manipulation du flexible**

Afin de limiter la déformation du substrat flexible, et pour faciliter sa manipulation, la technique de collage du flexible sur un substrat rigide a été adoptée en premier lieu. Les types de collage utilisés dans le cadre de cette thèse reposent essentiellement sur le collage par polydiméthylsiloxane (PDMS) et sur le collage par un scotch double face.

Dans le premier cas, le collage se fait en déposant une couche de 2µm d'un mélange PDMS/PDMS-curing-agent sur un substrat silicium sur lequel nous mettons en contact le substrat flexible (Kapton ou PEN). Une première difficulté de cette technique réside en la

possibilité de présence de bulle d'air entre le silicium et le substrat flexible. Dans ce cas, la planéité de l'échantillon n'est pas garantie ce qui engendre une perte de l'échantillon.

En fin de procédé technologique, la séparation des échantillons se fait par un retrait mécanique du substrat flexible. Cette manœuvre entraîne la perte de plusieurs composants.

Dans le deuxième cas, un scotch double face est placé entre le substrat silicium et le substrat flexible. Le collage s'effectue en exerçant une force manuelle sur l'ensemble afin d'éviter l'apparition de bulles d'air entre les couches.

En fin de procédé technologique l'exposition de l'ensemble à une température  $T = 170^{\circ}\text{C}$  permet la séparation des échantillons. Grâce à cette technique de collage le nombre de composants détruits lors du détachement du substrat flexible de celui rigide est réduit de 100 %. Néanmoins avec cette dernière, le substrat flexible se détache facilement du scotch en cours de procédé, ce qui pose des problèmes d'alignement.

En effet, l'adhésif est peu résistant aux solvants couramment utilisés lors de la fabrication. En introduisant l'échantillon dans un bain de solvant pendant une durée supérieure à une heure, le scotch se décolle au bord et des bulles d'air apparaissent entre le scotch et le flexible. Un nouveau collage s'avère ainsi obligatoire.

Sur la Figure II-34 nous présentons des photos du substrat flexible (kapton) collé sur le substrat silicium avec du PDMS et par scotch double face.

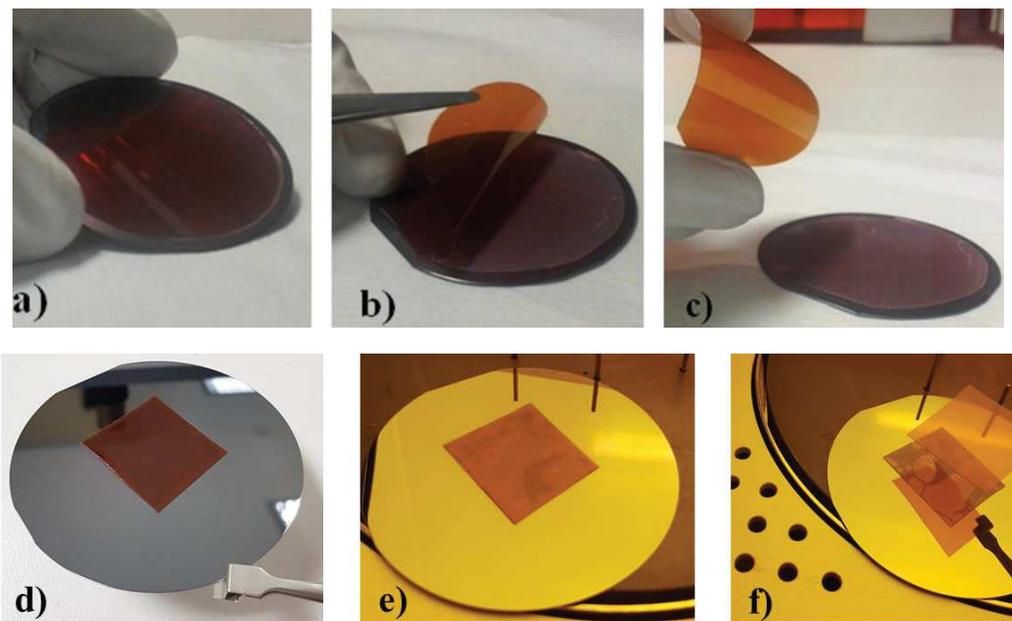
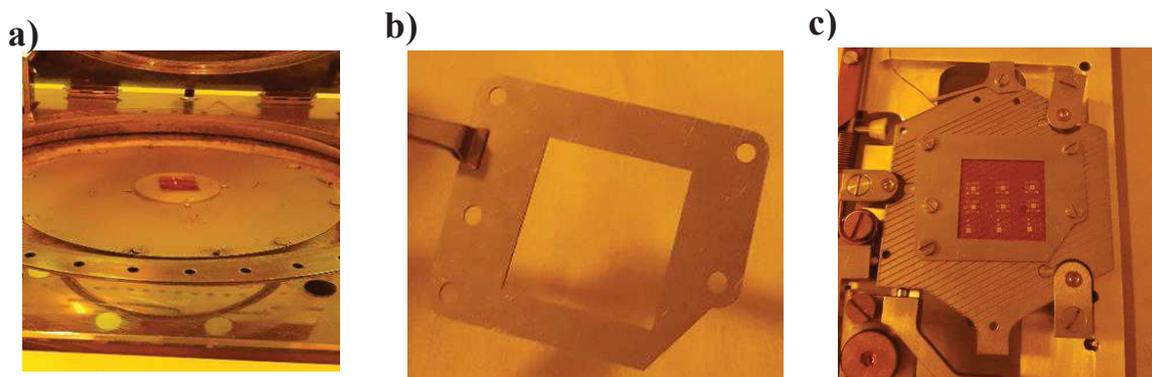


Figure II-34: Photos du kapton collé sur le substrat silicium avec du PDMS et par du scotch double

*face. Dans a) le kapton est collé sur Si avec du PDMS, b) décollage du kapton mécaniquement. C) le kapton séparé du silicium. d) le kapton collé avec du scotch double face. e) décollage du kapton thermiquement et f) le kapton séparé du silicium*

Suite à ces problèmes, nous avons pensé à développer un nouveau procédé qui permet de s'affranchir du collage. Dans ce but nous avons conçu et fabriqué un support mécanique permettant de maintenir le substrat flexible plan lors de l'étape la plus critique, l'écriture électronique.

L'échantillon est ainsi plaqué entre le support du masqueur électronique et le support fabriqué à cet effet comme le montre la Figure II-35.a et b. Lors de la métallisation, le substrat flexible est maintenu par des pinces sur le support de métallisation. Ainsi, durant le reste du procédé technologique, le substrat flexible est manipulé sans être collé (Figure II-35.c).



*Figure II-35: Images (a) de l'échantillon sur la tournette. (b) du support fabriqué pour l'écriture électronique (c) de l'échantillon sur le support du masqueur*

Grâce à cette méthode de fabrication nous avons réduit le temps de préparation des échantillons avant le début du procédé technologique d'une part, et d'autre part nous avons éliminé la possibilité de perte de composants. Néanmoins, des problèmes de désalignement restent présents mais avec des pourcentages plus faibles (~12% des composants).

## **6. La technologie de fabrication de transistors à base de graphène sur flexible**

Comme nous l'avons indiqué dans le paragraphe 5. 2, les étapes technologiques s'enchaînent de façon différente suivant la topologie des transistors.

L'ordre présenté dans ce paragraphe correspond à une géométrie « grilles avant », néanmoins les différences avec la géométrie « contacts arrières » seront citées.

## 6. 1. Les marques d'alignement

Quelle que soit la géométrie utilisée, les marques d'alignement représentent toujours la première étape de fabrication puisque cette dernière représente la référence pour tous les niveaux qui viennent par la suite.

Les motifs des marques d'alignement sont définis par lithographie électronique en utilisant un bicouche de résines électrosensibles COPO/PAMMA permettant d'obtenir un profil casquette après développement facilitant ainsi le lift off. Les motifs correspondent à des marques positives et sont définis par des carrés de 20  $\mu\text{m}$  de côté déposés par évaporation sous vide suivant le séquentiel de métal (Ni/Au) (50/150 nm). Le Nickel est choisi afin de garantir une bonne accroche entre l'or et le substrat flexible étant donné la faible adhésion entre l'or et les polymères.

La Figure II-36 représente une illustration des marques d'alignement sur le jeu de masque et une image optique d'une marque d'alignement carrée sur un substrat Kapton.

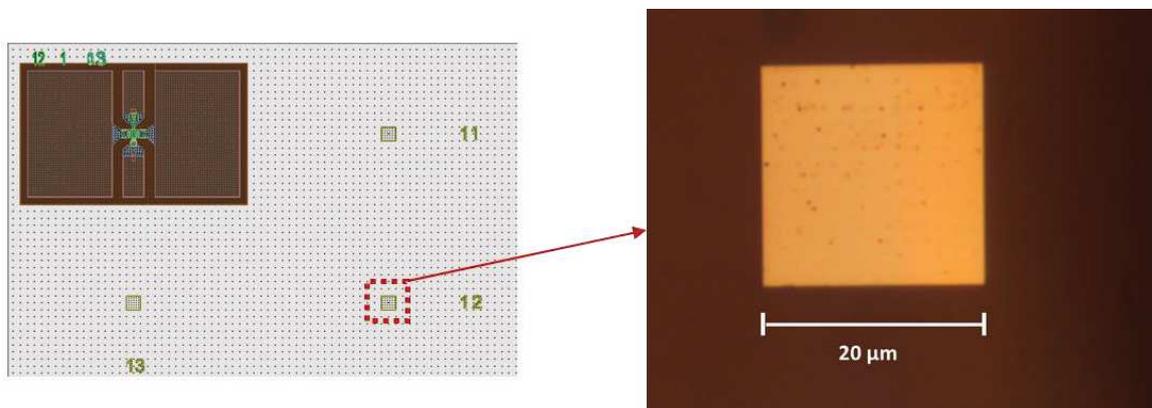


Figure II-36: Illustration des marques d'alignement sur le jeu de masque et (b) une image optique d'une marque d'alignement sur Kapton

## 6. 2. Le transfert du graphène

### 6.2.1. Technique de transfert

Dans le cadre de cette thèse, la croissance de toutes les couches de graphène utilisées était faite par CVD (Chemical Vapor Deposition) sur des feuillets de cuivre de 50 $\mu\text{m}$  d'épaisseur

et de pureté 99.9999%. La technique de croissance était développée au sein de l'IEMN, celle-ci est décrite dans la thèse de Wei Wei[39].

Une fois la croissance du graphène réalisée, une caractérisation du film de matériau est obligatoire afin de faire l'évaluation de sa qualité avant transfert sur flexible. Cette caractérisation est refaite après transfert pour évaluer la technique de transfert et afin de s'assurer que la qualité du graphène est restée inchangée.

Les étapes de transfert du graphène du substrat de croissance, le cuivre, au flexible sont présentées dans la Figure II-37 et sont détaillées dans la suite.



Figure II-37: Etapes du procédé de transfert du graphène sur substrat flexible

### **Protection de la couche de graphène avec du PMMA :**

Après la croissance CVD du graphène, nous nous retrouvons avec des feuillets de cuivre couverts de graphène des deux faces. La face supérieure est d'abord couverte par une couche de 200nm de PMMA permettant d'une part la protection de la couche de graphène et d'autre part la manipulation de cette couche atomique. L'ensemble Cu/Graphène/PMMA est ensuite introduit dans le four sawatec durant une heure et demi en utilisant des rampes de montée et de descente comme illustré dans la Figure II-38.

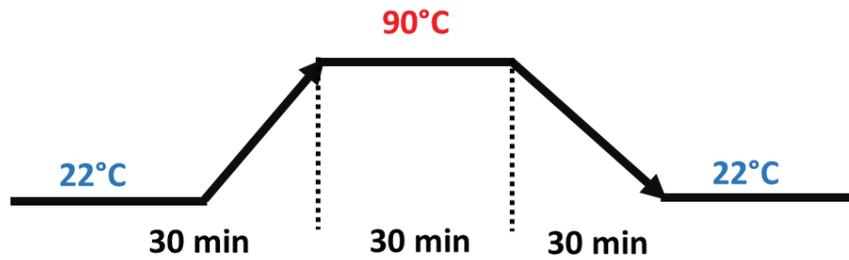


Figure II-38: Cycle de mise en température du recuit de la PMMA couvrant le graphène

#### **Gravure du graphène présent à la face arrière :**

Une gravure du graphène présent au niveau de la face arrière du cuivre est effectuée par plasma O<sub>2</sub>. L'exposition au plasma dure une minute avec une puissance du plasma de 50W, une pression et un débit d'oxygène de 100mTorr et 25sccm respectivement.

Une vérification de la gravure totale de cette couche de graphène est confirmée par la spectroscopie Raman.

#### **Dissolution du cuivre :**

Suite à l'élimination du graphène présent à la face arrière du cuivre, ce dernier est dissout dans une solution de HCl/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O : (1/1/50ml) durant toute une nuit, jusqu'à l'apparition du film transparent graphène/PMMA.

#### **Rincage du graphène/PMMA :**

Le film Graphène/PMMA doit être rincé plusieurs fois à l'eau désionisée en le transportant d'un béccher à un autre avant de le transférer sur le substrat désiré (Kapton ou PEN). Cette étape permet l'élimination de toutes traces de la solution de gravure. En effet, celles-ci peuvent graver les contacts dans les topologies « Grilles-avant » et « contacts arrières » si elles ne sont pas correctement rincées.

#### **Transfert du graphène :**

L'étape de transfert se fait en introduisant le substrat flexible dans le béccher d'EDI contenant le graphène/PMMA. Le flexible doit être introduit de façon incliné afin de pouvoir « coller » le film graphène/PMMA dessus. En déplaçant le flexible, nous essayons de positionner le film transparent Graphène/PMMA sur l'échantillon. Une fois en place, nous sortons le flexible, sur lequel le film graphène/PMMA s'est accroché, progressivement afin de limiter le piégeage de l'eau entre les deux ce qui pourrait déchirer le graphène.

Un séchage de l'ensemble par recuit au four « Sawatec » à 90°C s'ensuit avec le cycle de température décrit dans la Figure II-38 permettant l'élimination des gouttes d'eau piégées entre le graphène et le flexible augmentant ainsi l'adhésion entre les deux.

### **Dissolution de la PMMA :**

Afin d'enlever la PMMA, cette dernière est exposée aux UVs profonds en utilisant une lampe à arc Xe-Hg pendant 30mn. La dissolution de la couche PMMA se fait en plongeant l'échantillon dans un bain de SVC-14 pendant une heure à 40°C. Un rinçage à l'isopropanol et un séchage à l'azote sont indispensables à la fin du procédé du transfert du graphène.

### **Caractérisation du graphène :**

Nous présentons dans cette section les méthodologies utilisées afin de caractériser les échantillons de graphène avant et après son transfert. Les méthodes utilisées sont la microscopie électronique à balayage et la spectroscopie Raman.

### **Microscopie électronique à balayage**

Dans la Figure II-39 nous présentons des images MEB du graphène avant et après son transfert du cuivre au flexible.

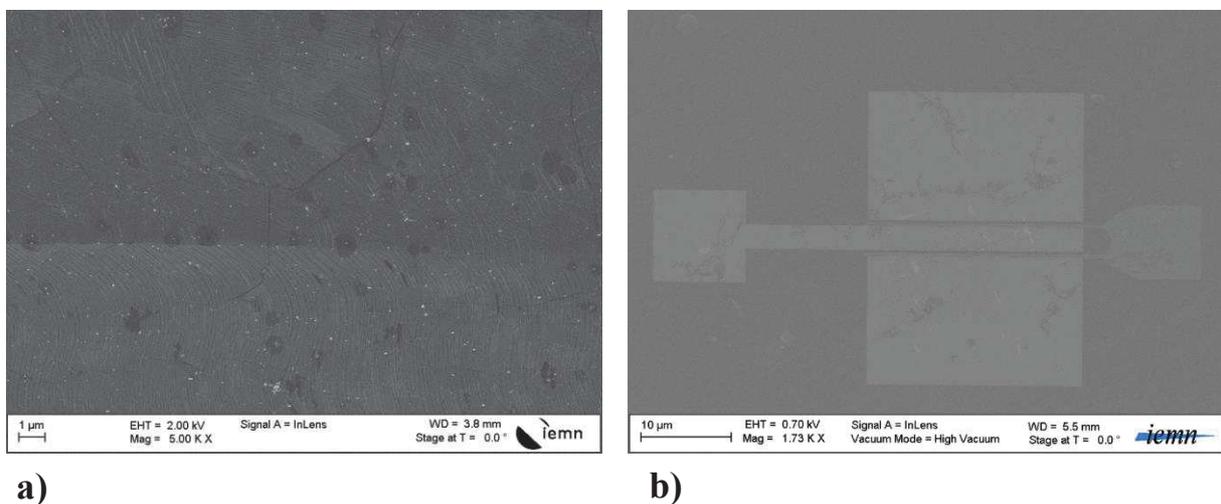


Figure II-39: Images MEB (a) du graphène sur cuivre (b) du graphène après transfert sur Kapton

L'observation du graphène sur cuivre au MEB montre que nous avons une surface uniforme recouverte en grande partie de graphène, à l'exception de quelques zones qui apparaissent en sombre sur l'image, ce qui correspond à des bicouches de graphène. La surface est donc composée en grande partie de graphène monocouche.

Après transfert, nous remarquons que le procédé de transfert n'a pas entraîné de rupture au niveau des plis de graphène, ce qui représente une preuve de la qualité du graphène ainsi que du transfert. L'image ne montre ni des résidus de PMMA ni de contamination.

### Spectroscopie Raman

La caractérisation par spectroscopie Raman permet d'avoir des informations quantitatives sur la qualité du graphène avant et après transfert.

Les spectres Raman enregistrés comprennent la zone de décalage Raman entre  $1000\text{ cm}^{-1}$  et  $3000\text{ cm}^{-1}$ . Nous obtenons ainsi l'information sur les trois principaux pics de graphène soit le pic D, G et 2D. Dans la Figure II-40 nous présentons un exemple de spectres Raman d'un échantillon de graphène sur cuivre et après transfert sur Kapton en fin de procédé de fabrication.

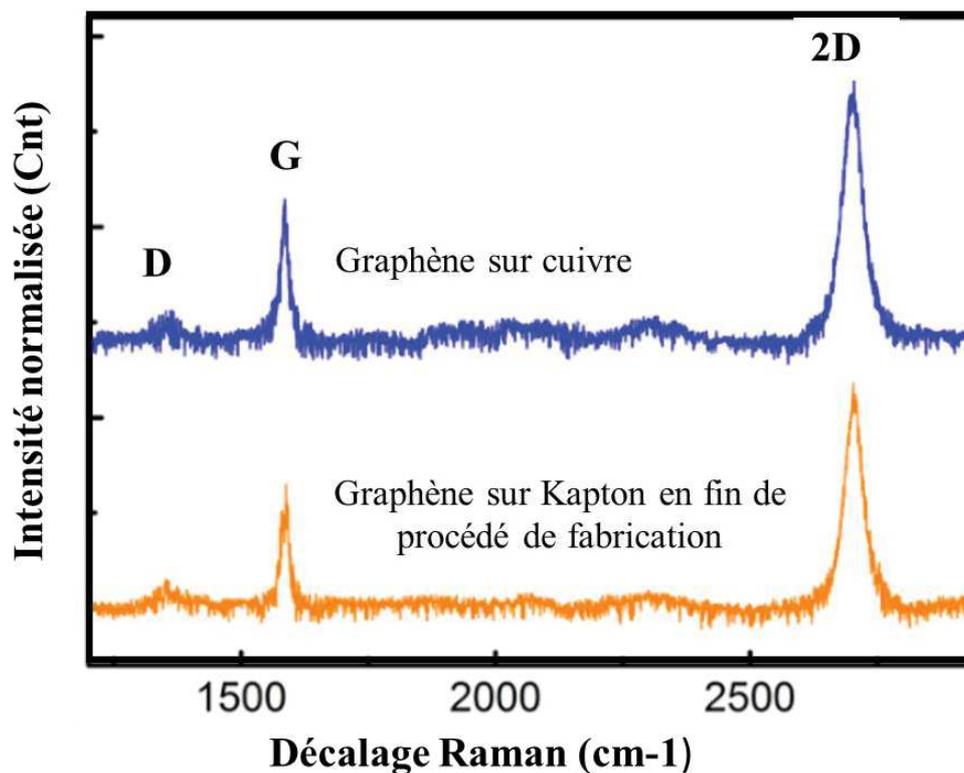


Figure II-40: Spectre Raman du graphène avant et après transfert sur Kapton

Nous remarquons dans le spectre Raman la présence des trois pics caractéristiques du graphène, soit le pic D à  $1350\text{ cm}^{-1}$ , le pic G à  $1580\text{ cm}^{-1}$  et le pic D à  $2700\text{ cm}^{-1}$ . Un rapport

supérieur à deux entre les deux pics G et 2D est bien visible, ce qui est une signature d'un graphène monocouche.

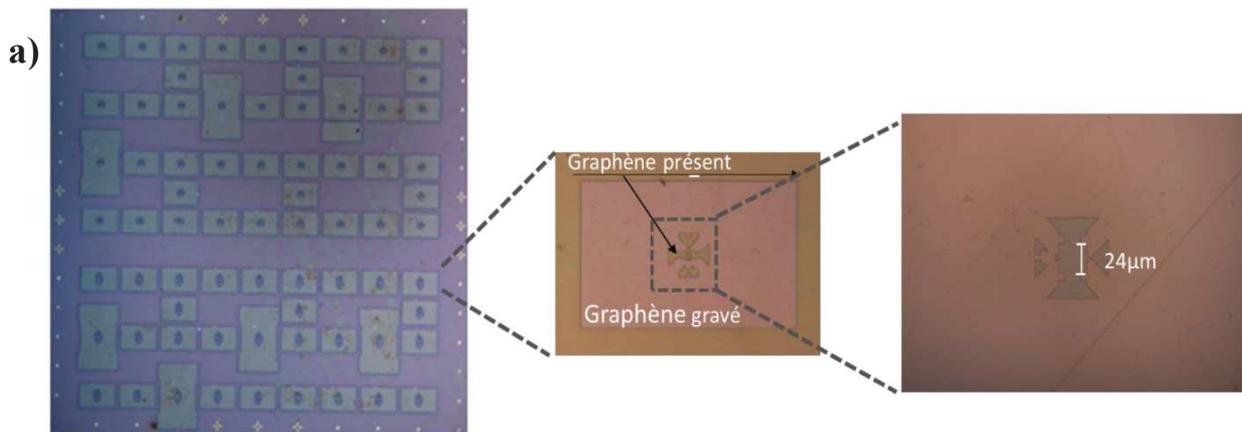
### 6.2.2. La définition de la zone active et des zones d'accroche.

La définition de la zone active du transistor constitue l'étape d'isolation des composants. En effet, la présence du graphène est désirée seulement au niveau de la zone active du composant.

Par ailleurs, la liaison entre le graphène et le substrat se fait grâce aux forces de Van Der Valls [40]–[42]. Il a été montré que ces dernières sont faibles ce qui engendre une mobilité des couches de graphène, provoquant des désalignements par la suite [43] [44]. La solution pour remédier à ce problème était de définir des zones d'accroche au niveau desquelles le graphène est gravé, permettant par la suite la réalisation de contacts métalliques, sur le graphène à cheval sur les zones d'accroches.

La définition de ces zones se fait par écriture électronique en utilisant une couche de PMMA. Les ouvertures sont ensuite gravées par voie sèche en utilisant une gravure ICP-RIE par dioxygène avec une puissance de 50W et un débit volumique du gaz de 25 sccm durant 1minute.

Nous présentons dans la Figure II-41 des images des zones après gravure du graphène.



b)

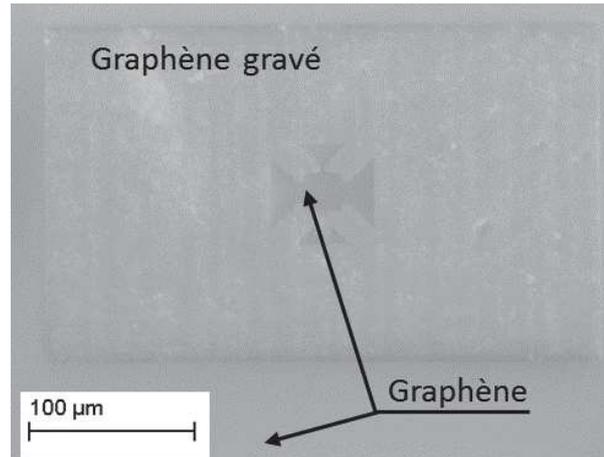


Figure II-41: Images(a) optiques de l'ensemble du champ A et d'un composant après gravure du graphène et (b) MEB montrant les zones après gravures du graphène

### 6.2.3. La réalisation de la grille

La réalisation du contact de grille constitue une étape critique du procédé de fabrication en raison des dimensions nanométriques de ce contact d'une part et de la flexibilité du substrat d'autre part. Des grilles courtes à deux doigts sont fabriquées dans le cadre de ce travail de longueurs de 100, 200 et 300nm pour des développements  $W$  de 12, 24 et 50µm.

Pour la réalisation des grilles, un bicouche de résine COPO/ PMMA est utilisé, assurant l'obtention d'un profil casquette après développement facilitant ainsi le lift-off. Le choix des métaux constituant le contact de grille est fait selon la topologie du transistor.

Pour une topologie « top-gate » l'oxyde doit être en contact avec le graphène, une succession de dépôt de trois couches d'aluminium de 2nm est alors faite permettant de définir l'oxyde de grille. Une couche de 10 nm d'aluminium est ensuite déposée suivie de 10 nm de nickel et 30 nm d'or.

Pour la topologie « contacts arrière », la grille est située sous le graphène. L'aluminium est ainsi choisi puisqu'en contact avec l'air, une couche d'oxyde natif  $Al_2O_3$  se forme naturellement servant ainsi d'oxyde de grille.

En effet l'utilisation de l'oxyde natif d'aluminium permet de s'affranchir du dépôt d' $Al_2O_3$  par la technique de dépôt de couches atomiques, ALD (Atomic Layer Deposition), nécessitant l'utilisation de hautes températures, ce qui n'est pas compatible avec les polymères utilisés dans le cadre de ces travaux de thèse.

Dans la Figure II-42 nous présentons des images optiques des grilles en aluminium de longueur 300nm pour les différents développements. La Figure II-43 représente des images MEB de grilles de différentes longueurs.

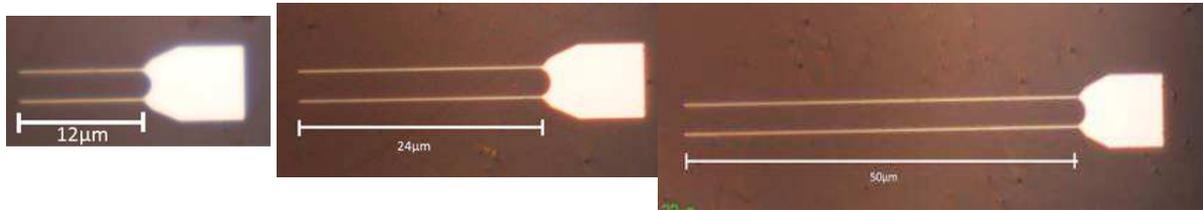


Figure II-42: Images optiques de grilles en Aluminium de longueur  $L_G=300\text{nm}$  pour différents développements

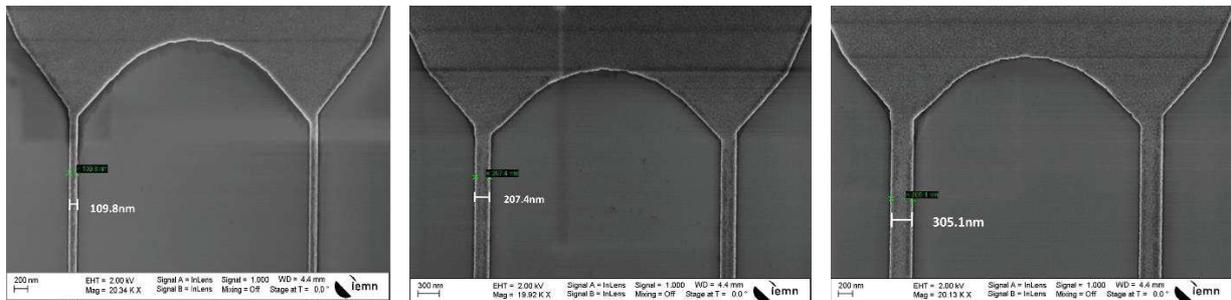


Figure II-43: Images MEB de grilles de différentes longueurs  $L_g$

## 6.2.4. La réalisation des contacts ohmiques

### Procédé de fabrication

Les contacts ohmiques sont fabriqués par lithographie électronique en utilisant un bicouche de résine COPO/PMMA.

Une première série de composants a été réalisée en utilisant un empilement de Ni/Au (20/30nm) déposé par évaporation sous vide suite à la révélation des contacts. Contrairement au titane et au palladium, le nickel, servant de couche d'accroche, est choisi grâce à sa compatibilité avec la suite du procédé technologique, nécessitant l'utilisation de l'acide fluorhydrique pour la gravure de l'oxyde de grille lors de la réalisation des plots épais. Des résistances de contacts très élevées et non homogènes ont été obtenus et se traduisent par des déchirures au niveau du graphène. Ce problème sera abordé dans le paragraphe suivant.

Une deuxième série de composants est fabriquée en utilisant des contacts seulement en or (50nm).

La Figure II-44 montre une image MEB d'un composant après la réalisation des contacts ohmiques.

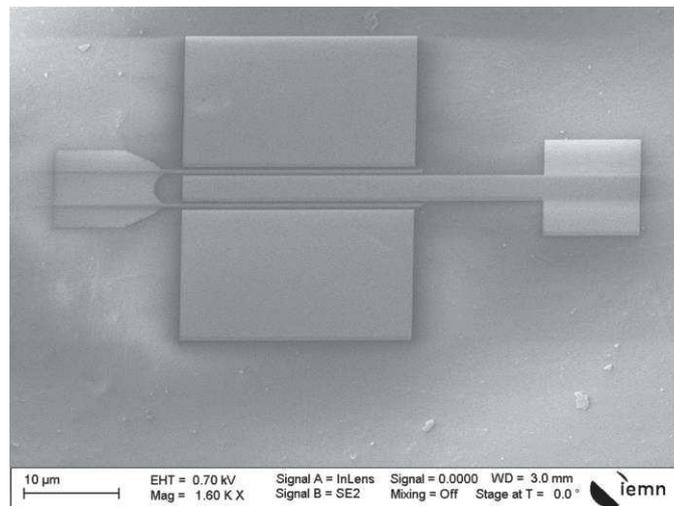


Figure II-44: Images MEB du composant après lithographie des contacts ohmiques

La caractérisation des contacts ohmiques se fait afin d'en évaluer la qualité en utilisant les mêmes méthodes que pour la technologie des HEMTs AlGaIn/GaN, (cf paragraphe 2.2.3 de la partie 1 de ce chapitre).

Des échelles TLM sont réalisées, d'une part, pour faire l'extraction de la résistance de contact, la résistivité spécifique de contact ainsi que la résistance carrée. D'autre part, des croix de Hall permettent la détermination de la mobilité des électrons dans le graphène et l'extraction de la résistance carrée.



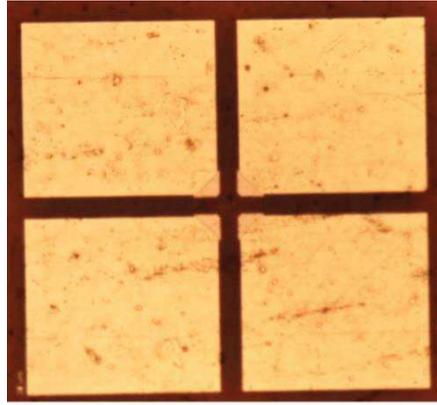


Figure II-45: Images optiques (a) d'échelles TLM et (b) de croix de Hall

### Caractérisation des contacts

#### La résistance de contact

Les contacts métalliques permettent l'injection des charges dans le canal de graphène. Une résistance de contact  $R_c$  élevée, dégrade le courant  $I_{DS}$  et donc les performances statiques et hyperfréquences des composants.

Dans le cas des composants à base de graphène, la résistance de contact représente la combinaison d'une résistance de transfert de charges dans le graphène et d'une résistance générée par la différence de dopage entre le graphène du canal et le graphène sous le contact ohmique. Il a été montré que le travail de sortie du graphène est modifié par l'électrode métallique. La définition de celui-ci représente un défi technologique puisque le travail de sortie du métal choisi devrait être proche de celui du graphène afin d'obtenir une hauteur de barrière la plus faible possible.

Il est à noter que la valeur exacte du travail de sortie du graphène fait toujours débat mais il se situe autour de 4,5 eV[45][46].

Les résistances de contacts sont calculées en exploitant les mesures effectuées sur les échelles TLM. Les formules présentées dans le paragraphe 0 de la partie 1 de ce chapitre sont utilisées.

Les valeurs des résistances de contact pour l'ensemble des échantillons sont élevées (l'ordre du kohm) et ne présentent aucune homogénéité. Cela s'explique par la présence de déchirures dans le graphène comme l'appui la Figure II-46. Seul l'échantillon PEN-CA a permis d'avoir

une résistance de contact raisonnable de l'ordre de  $720 \Omega \cdot \mu\text{m}$  associée à une résistance carrée de  $576 \Omega/\square$

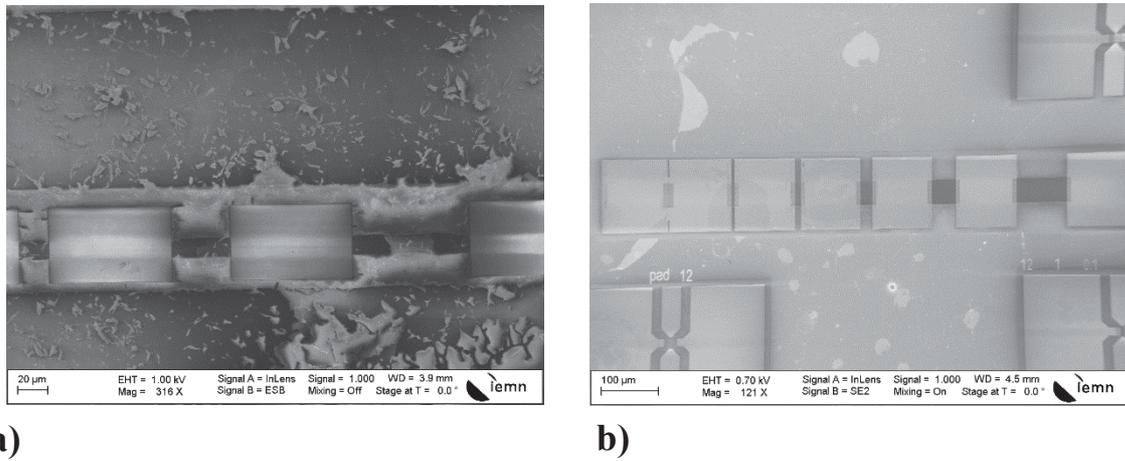


Figure II-46: Image MEB d'une partie d'une échelle TLM de l'échantillon Kap-TG-01 présentant des déchirures au niveau du graphène (a) et une échelle TLM de l'échantillon PEN-CA

La Figure II-47 représente les mesures obtenues sur une échelle de résistance de l'échantillon PEN-CA.

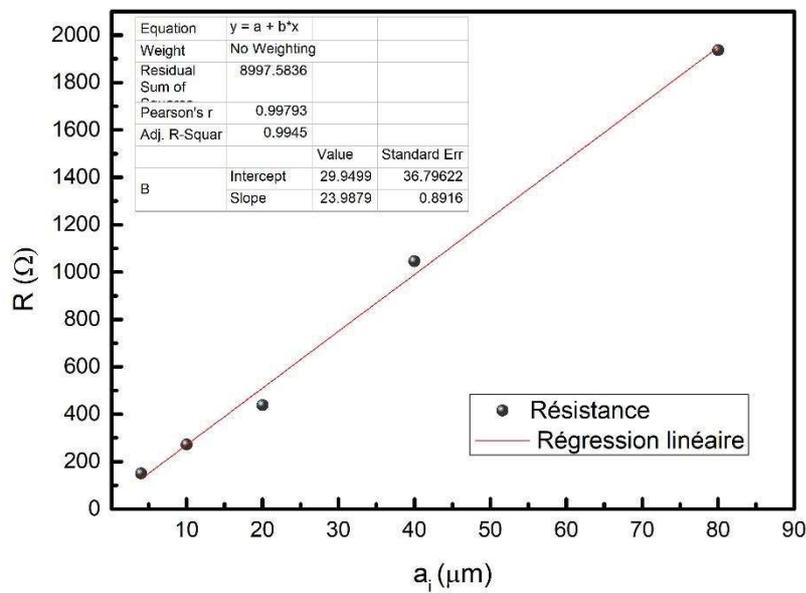


Figure II-47: Mesures obtenues sur une échelle TLM de l'échantillon PEN-CA

### Les mesures de Van der Pauw par effet Hall

Sur l'ensemble des échantillons la qualité de graphène était médiocre en fin de procédé technologique, à l'exception de l'échantillon PEN-CA. Les mesures sont en attente de disponibilité d'équipement de caractérisation. Dans la Figure II-48 nous présentons des images MEB de trèfles de Hall des échantillons Kap-TG-01 et PEN-CA.

Dans la Figure II-48.a nous remarquons l'absence de graphène dans le trèfle. Tandis que le contraste dans la Figure II-48.b prouve la présence du graphène.

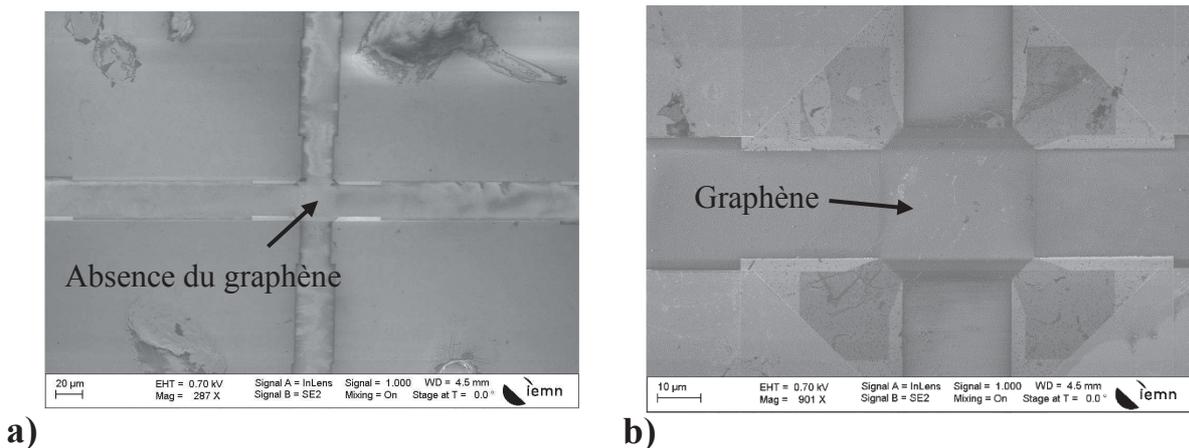


Figure II-48: Images MEB de trèfles de hall (a) de l'échantillon Kap-TG-01 et (b) de l'échantillon PEN-CA

### 6.2.5. La réalisation des plots épais

L'étape des plots épais représente la dernière étape du procédé technologique quelle que soit la topologie des composants. Il s'agit de connecter des plots de larges dimensions avec les plots d'accès de la grille ainsi que les contacts ohmiques afin de faire la caractérisation sous pointes

La réalisation des plots épais se fait par lithographie électronique en utilisant un bicouche de résine COPO/PMMA.

Pour les échantillons « contacts arrière », après le développement de la résine, une désoxydation des contacts des grille est nécessaire permettant la gravure de l'oxyde natif de grille au niveau du contact. Un empilement Ni/Au (50/300nm) est déposé par évaporation permet la définition des contacts.

Pour la topologie « top-gate », cette étape de désoxydation n'est pas faite vu que le métal de la grille en interface est réalisé en or.

Au cours de la réalisation de cette étape, nous avons noté une formation de craquelures après développement de la résine (cf. Figure II-49). Il est à noter que ce problème ne concerne que les échantillons qui étaient fabriqués sans collage du flexible sur un substrat rigide.

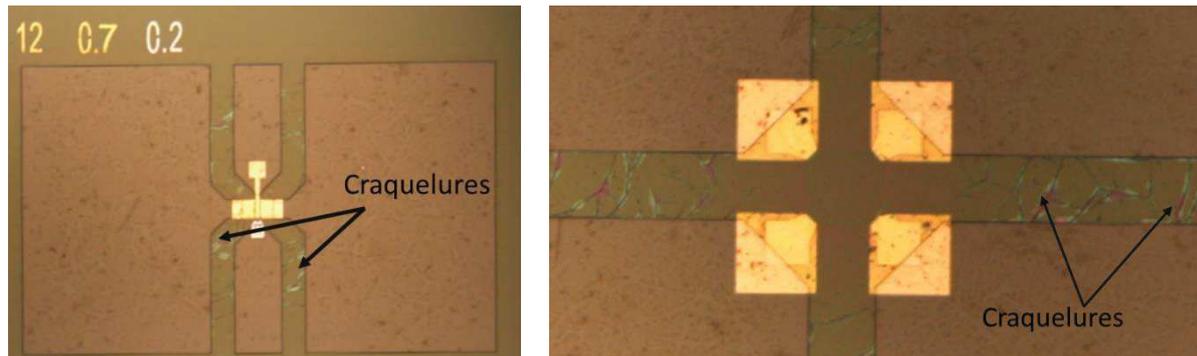


Figure II-49: images optiques montrant l'apparition de craquelures de résine après développement des plots épais

L'utilisation du flexible seul, sans qu'il soit collé sur un substrat rigide, modifie la diffusion de la température dans le polymère. Ce qui laisse apparaître des craquelures lors de la révélation de la résine. En effet, les forces dues aux contraintes sont relâchées par l'ouverture des motifs. Lorsque celles-ci sont supérieures à la force de cohésion du polymère, la relaxation des contraintes laisse apparaître des craquelures dans la résine.

Afin de résoudre ce problème, une adaptation des paramètres de recuit de la résine a été faite. Des rampes de montée et de descente ont été mises en place permettant un séchage progressif de la résine. Trois étapes constituent cette procédure de recuit (cf. Figure II-50). La première, durant 3 min, est la montée de température jusqu'à 110°C. Cette étape s'enchaîne avec un plateau de 10 min assurant le séchage de la résine. Finalement, découle une étape de refroidissement de 3min permettant la stabilisation de la résine. La Figure II-51 représente des images optiques d'un composant après développement des plots épais montrant l'absence de craquelures dans la résine.

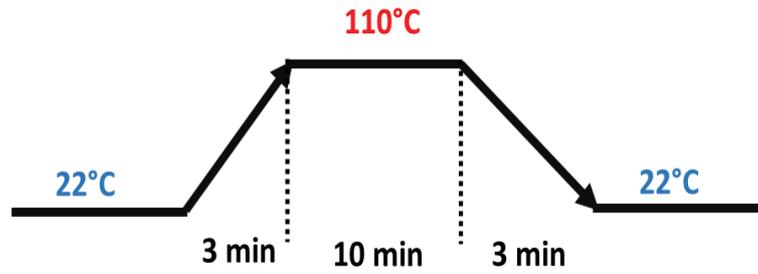


Figure II-50: Cycle de température adapté pour le recuit de la résine lors de la formation des plots épais

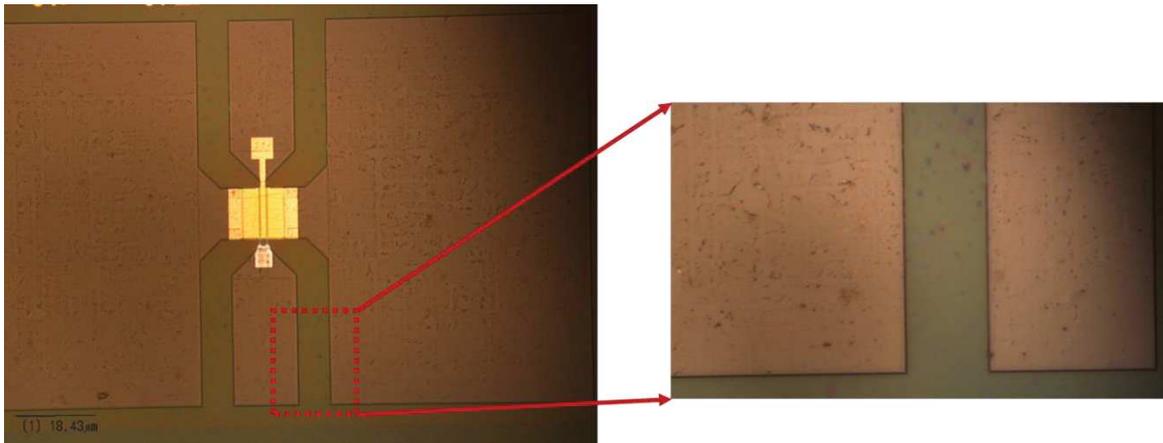


Figure II-51: Images optiques d'un composant après développement des plots épais

Dans la Figure II-52 nous présentons des images optiques des différents champs constituant le masque ainsi que des images optiques de composants en fin de procédé technologique.

La Figure II-53 présente une image MEB d'un transistor en topologie « contacts arrière »

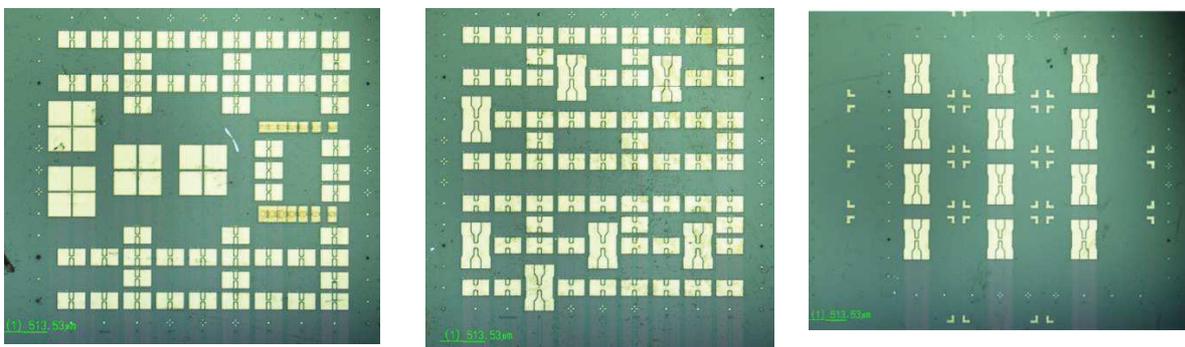


Figure II-52: Images optiques des trois champs constituant le jeu de masque en fin du procédé de fabrication

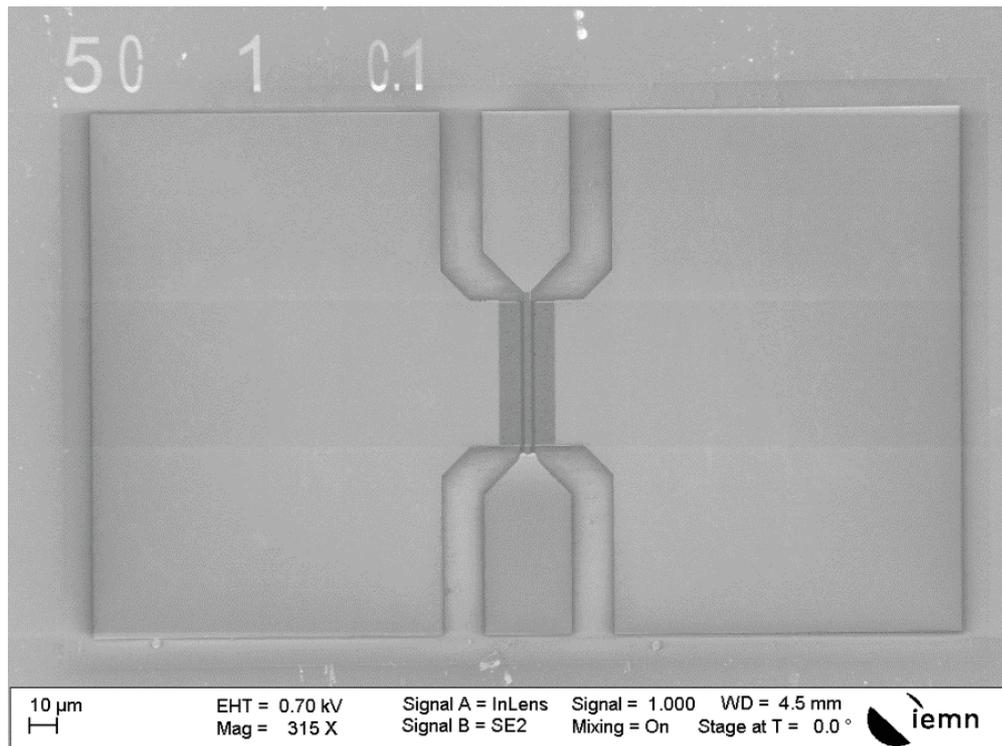


Figure II-53: Image MEB d'un composant après métallisation des plots épais en topologie « contacts arrière »

## 7. Evaluation des procédés de fabrication développés :

Une fois la fabrication des transistors achevée, il est indispensable de vérifier l'impact de chaque technique de manipulation du substrat flexible et d'identifier les composants à caractériser en termes d'alignement et de qualité de graphène en fin de procédé de fabrication.

Dans le cadre de ces travaux de thèse plusieurs échantillons ont servi d'échantillons de test, seuls les échantillons où le procédé technologique est achevé sont cités dans le Tableau II-2.

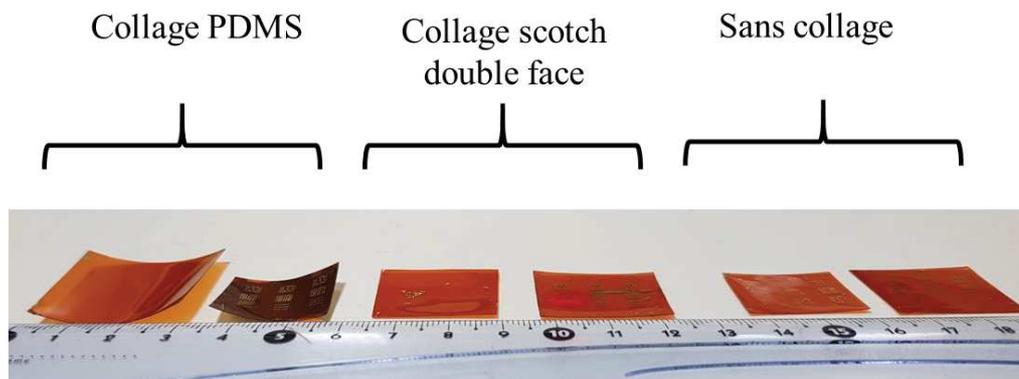
Tableau II-2: Récapitulatifs des échantillons, leurs géométries, l'origine du graphène utilisé et la méthode de collage adoptée pour chacun

Substrat	Nom de l'échantillon	Géométrie des composants	Origine du graphène	Manipulation
<b>Kapton</b>	Kap-TG-01	Grilles avant	Graphenea	Collage PDMS
	Kap-TG-02	Grilles avant	Graphenea	Collage scotch
	Kap-TG-03	Grilles avant	IEMN	Sans collage
	Kap-CA	Contacts arrière	IEMN	Sans collage
<b>PE N</b>	PEN-TG-01	Grilles avant	IEMN	Collage PDMS
	PEN-CA-01	Contacts arrière	IEMN	Sans collage

### 7. 1. Validation de la technique de manipulation du substrat flexible

Comme nous l'avons présenté dans les paragraphes précédents, plusieurs techniques de manipulation du substrat flexible ont été explorées.

La Figure II-54 présente des photos des échantillons en fin des procédés de fabrication montrant l'allure de chaque substrat flexible selon la technique adoptée pour sa manipulation.



*Figure II-54 : Images des échantillons en fin de procédé technologique selon chaque technique de manipulation du substrat flexible*

Nous remarquons qu'en utilisant le PDMS l'échantillon est incurvé après décollage, ce qui explique le nombre élevé des composants détériorés. En utilisant le scotch double face, le flexible est davantage plan ce qui traduit l'absence de composants détériorés. En revanche, le nombre de composants présentant des désalignements est très important en raison du collage multiple de l'échantillon courant la fabrication. Par ailleurs, il était impossible de coller le PEN avec du scotch vu qu'il est « plus rigide » que le Kapton. Son décollage entraîne des contraintes sur les bords, ce qui rend la procédure de recollage impossible. Une planéité de l'échantillon est bien claire en le manipulant sans collage.

Afin de vérifier le bon alignement des composants, des structures de vérification ont été conçues dans le jeu de masque. En effet, l'alignement le plus critique est celui des contacts ohmiques par rapport à la grille, pour cela une structure est définie lors de l'écriture des marques d'alignement, sur lequel l'écriture de la grille est basée, et son complément est établi en définissant les contacts ohmiques. A la fin de la fabrication, une vérification au microscope permet de voir le positionnement de la croix d'alignement permettant de juger la qualité de l'alignement.

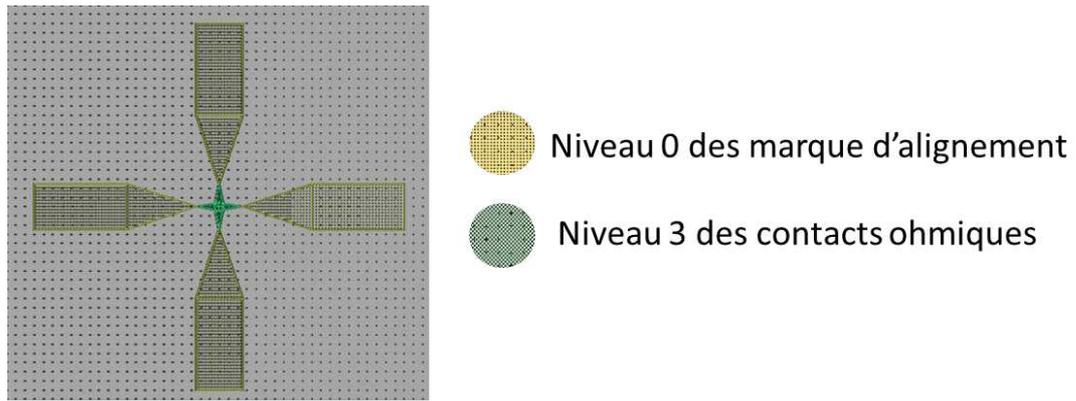


Figure II-55: Schématisation d'une marque de vérification de l'alignement de niveaux

Dans la Figure II-56 nous montrons des images MEB d'un alignement réussi et d'un mauvais alignement. La Figure II-57 montre des images MEB d'un composant bien aligné et d'un autre présentant des désalignements.

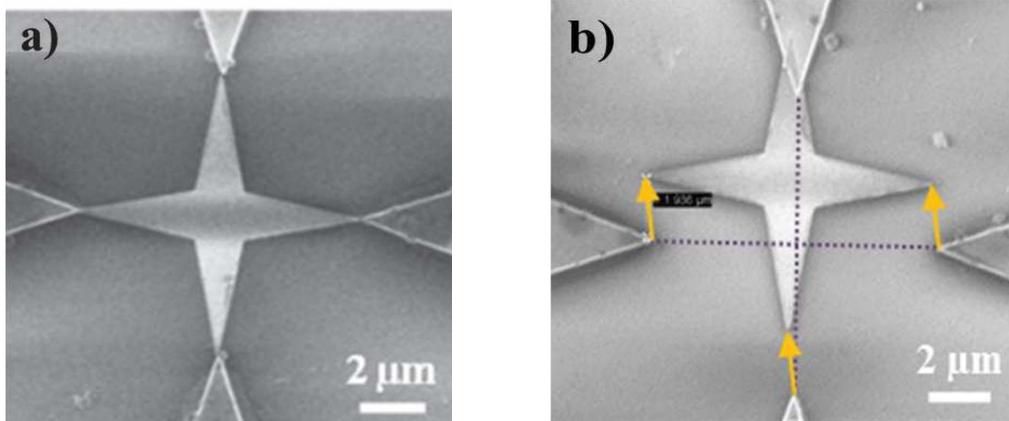


Figure II-56: images MEB (a) d'un bon alignement (b) d'un mauvais alignement

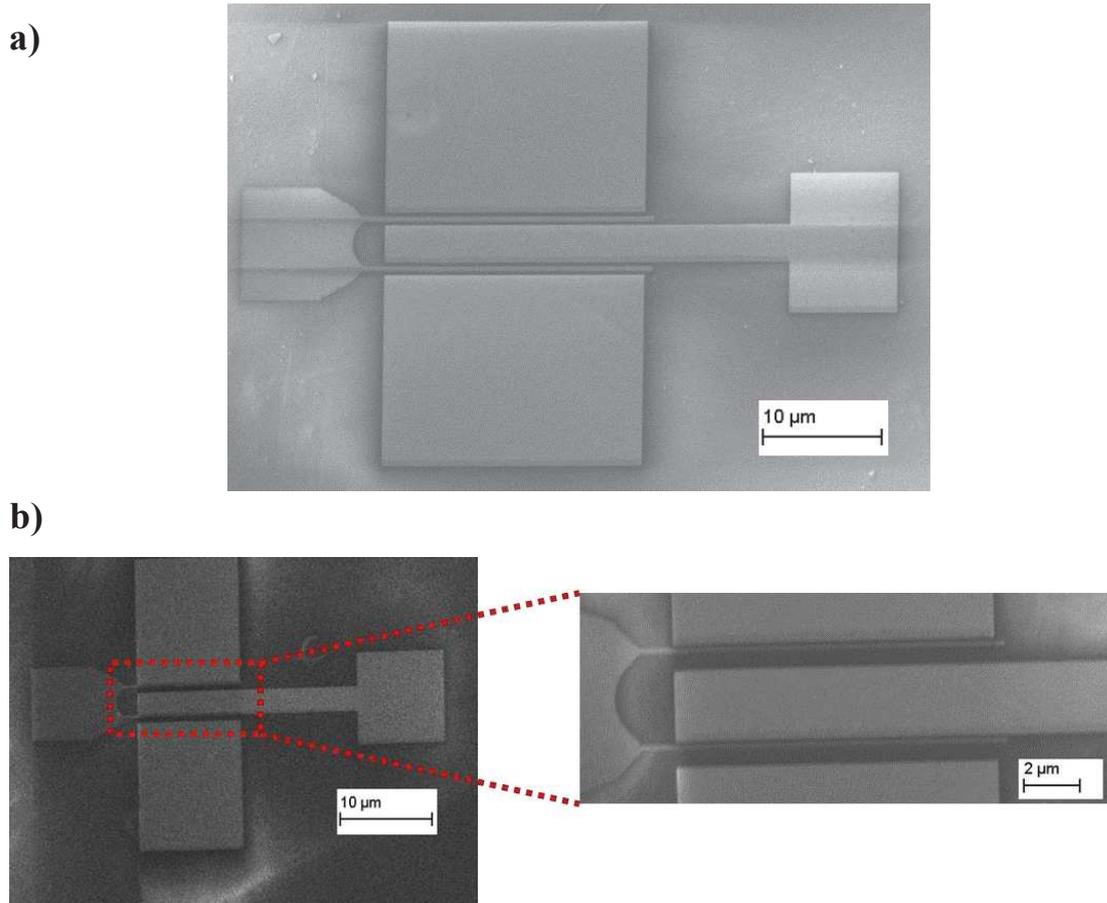


Figure II-57: Images MEB (a) d'un composant bien aligné et (b) d'un composant présentant un désalignement

On considère un défaut d'alignement un désalignement tel que les grilles sont court-circuitées avec l'électrode de source ou drain. Le nombre de composants perdus et ceux présentant des défauts d'alignement est présenté dans le Tableau II-3.

Tableau II-3 : Nombre de composants désalignés et des composants perdus en fin de procédé technologique suite à la séparation du substrat flexible du substrat rigide sur un nombre total de 421 transistors sur chaque plaque

	PDMS		Scotch double	Sans collage			
	PEN-TG-01	Kap-TG-01	face	Kap-TG-02	Kap-CA	Kap-TG-03	PEN-CA
<b>Composants perdus</b>	30	47	0	0	0	0	0
<b>Désalignement</b>	93	70	207	76	54	43	

Pour la technique de fabrication sans collage, la moyenne des composants désalignés est réduite sans aucun composant détérioré. Les résultats obtenus ont permis de valider cette technique. Par rapport aux techniques de collage anciennement utilisées, cette dernière permet d'accélérer la production et fiabiliser les composants. De ce fait, elle a été intégrée dans le protocole de fabrication de composants flexibles au sein de l'équipe. Dans le cadre du projet flagship, une fabrication de circuit d'amplification à base de composants passifs et de transistors a été entreprise et présente des résultats prometteurs. La Figure II-58 présente une photo d'un circuit flexible réalisé sans coller l'échantillon.

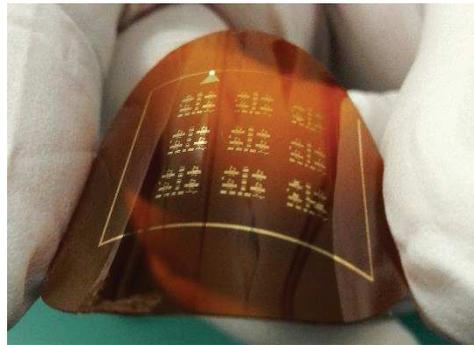


Figure II-58: Photo d'un circuit réalisé directement sur Kapton sans avoir collé l'échantillon

## 7. 2. Sélection des composants à caractériser

Après la définition des plots épais, les composants à caractériser sont identifiés. Les critères de sélection de ces derniers reposent d'une part sur l'alignement des contacts ohmiques par rapport à la grille et d'autre part sur la qualité du graphène dans le canal. La qualité de graphène est par la suite évaluée en utilisant le MEB. Tous les échantillons, à l'exception de l'échantillon PEN-CA, ont montré une très mauvaise qualité du graphène. En effet, Les déchirures au niveau du graphène sont à imputer à un changement de l'état de surface du cuivre haute pureté vendu par Alfa Aesar. Pendant plusieurs mois le graphène synthétisé à l'IEMN, par Graphenea et par des collaborateurs à l'Université de Siegen n'a pas permis de réaliser de composants performants, notamment à cause de la faible résistance structurelle du film de graphène. Dans cette thèse, dont la durée est limitée à trois ans et qui déjà comporte deux parties expérimentales, nous avons fait le choix d'utiliser ce graphène afin de valider du procédé de fabrication.

Dans la Figure II-59, nous présentons une image MEB montrant la qualité médiocre de graphène en fin de procédé de fabrication.

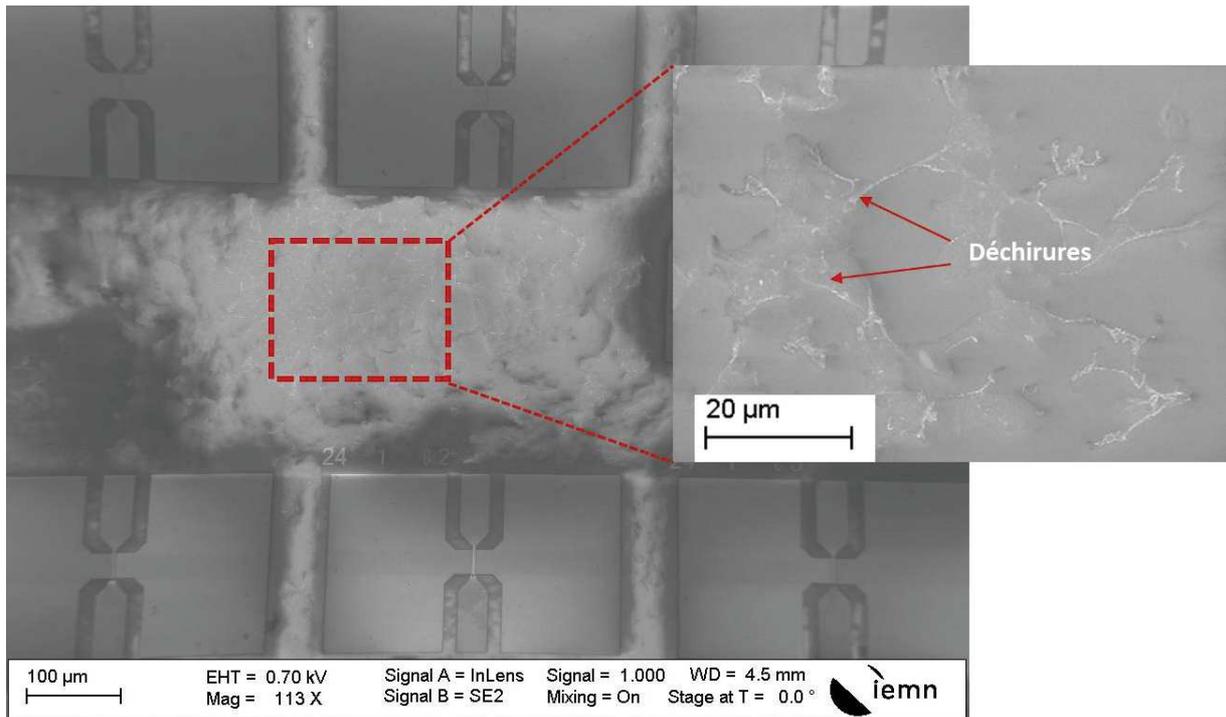


Figure II-59: Images MEB de composants de l'échantillon Kap-TG-01 montrant des déchirures au niveau du graphène

Ces déchirures associées aux valeurs élevées des résistances de contact prédisent l'obtention de faible courant lors de la caractérisation des composants. Par ailleurs, les dernières croissances faites au sein de l'IEMN, montrent une meilleure qualité du graphène malgré la présence de déchirures. Le graphène obtenu est transféré sur PEN, l'échantillon PEN-CA et sur Kapton, l'échantillon Kap-CA. D'après l'évaluation du procédé technologique et des composants obtenus, nous estimons que la caractérisation de ces derniers devrait donner un meilleur résultat.

## 8. Conclusion du chapitre II

Les caractéristiques du GaN et du graphène en font des candidats potentiels pour la fabrication de transistors flexibles. Néanmoins, les techniques de fabrication divergent suite aux propriétés mécaniques de chacun.

L'intérêt dans la première partie s'est focalisé sur la technologie de fabrication de transistor HEMT AlGaN/GaN flexibles. Dans un premier temps, nous avons décrit les différentes étapes de fabrication du transistor de type HEMT AlGaN/GaN sur substrat rigide ainsi que le procédé de transfert sur flexible, pour des applications à haute fréquence. La majorité du travail technologique a été consacré à l'optimisation du procédé de transfert. La première

optimisation concerne le collage de la face avant des composants sur substrat hôte et la deuxième concerne la gravure du silicium en face arrière.

Suite à ces optimisations, nous avons réussi à obtenir des transistors flexibles AlGaN/GaN avec une faible longueur de grille, soit 100nm avec un développement de  $2 \times 50\mu\text{m}$ . Les résultats obtenus à l'issue de la caractérisation d'un composant AlGaN/GaN HEMT sont détaillés dans la première partie du chapitre III.

La deuxième partie du chapitre s'est consacrée à la fabrication de composants à base de graphène. Son épaisseur atomique en fait un matériau intrinsèquement flexible. De ce fait, la réalisation des transistors s'est faite directement sur les substrats souples. Le procédé de fabrication des transistors à base de graphène a été décrit en montrant le jeu de masque utilisé et en présentant les topologies de transistors fabriqués. En outre, nous avons montré les difficultés majeures liées à la lithographie directe sur flexible en exposant les différentes stratégies mise en œuvre pour améliorer la fiabilité des procédées de fabrication sur substrat flexible. Nous avons décrit par la suite chaque étape technologique relative à la fabrication des composants. Finalement, une présentation des critères de sélection de ces derniers a permis d'une part de valider la technique sans collage développée dans le cadre de ces travaux pour manipuler le substrat flexible et d'autre part d'identifier les composants qui seront caractérisés dans le chapitre suivant. Les résultats de mesures des échantillons Kap-TG-03 et Kap-CA seront présentés dans le chapitre suivant. La caractérisation de l'échantillon PEN-CA est en cours et n'apparaît pas dans ce manuscrit de thèse.

## Bibliographie du chapitre II

- [1] F. LECOURT, “Hétérostructures AlGa<sub>N</sub>/Ga<sub>N</sub> et InAlN/Ga<sub>N</sub> pour la réalisation de HEMTs de puissance hyperfréquence en bande Ka,” 2012.
- [2] P. Altuntas, “Fabrication et caractérisation de dispositifs de type HEMT de la filière Ga<sub>N</sub> pour des applications de puissance hyperfréquence,” Université de lille1, 2015.
- [3] D. Yannick, “Etude de HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> à grand développement pour la puissance hyperfréquence,” Université de Lille 1, 2013.
- [4] J. Gerbedoen, “Conception et réalisation technologique de transistors de la filière HEMTs alGa<sub>N</sub>/Ga<sub>N</sub> sur substrat silicium pour l’amplification de puissance hyperfréquence,” Université Lille 1, 2009.
- [5] S.Sze and K. K. Ng, *Physics of semiconductor devices*, Third edit. 2007.
- [6] H. Sun, A. R. Alt, S. Member, S. Tirelli, D. Marti, H. Benedickter, E. Piner, C. R. Bolognesi, and A. Algan, “Nanometric AlGa<sub>N</sub> / Ga<sub>N</sub> HEMT Performance with Implant or Mesa Isolation,” vol. 32, no. 8, pp. 1056–1058, 2011.
- [7] O. T. Letters, Y. G. Universit, C. Normandie, Z. B. Universit, M. G. Epigan, C. Gaqui, N. View, and Z. O. View, “First results of AlGa<sub>N</sub> / Ga<sub>N</sub> HEMTs on sapphire substrate using an argon - ion implant - isolation technology,” no. August 2005, 2015.
- [8] J. Shiu, J. Huang, V. Desmaris, C. Chang, C. Lu, K. Kumakura, T. Makimoto, H. Zirath, N. Rorsman, E. Y. Chang, and S. Member, “Oxygen Ion Implantation Isolation Planar Process for AlGa<sub>N</sub> / Ga<sub>N</sub> HEMTs,” vol. 28, no. 6, pp. 476–478, 2007.
- [9] A. P. Letters, “Isolation blocking voltage of nitrogen ion- implanted AlGa<sub>N</sub> / Ga<sub>N</sub> high electron mobility transistor structure,” no. September 2014, 2010.
- [10] W. Schockley, “Research and investigation of inverse epitaxial UHF power transistors,” 1946.
- [11] A.-E. Bazin, “Conception de diodes Schottky sur 3C-SiC epitaxié sur Silicium,” ’université François - Rabelais, 2009.
- [12] P. technical Review, “A method of measuring the resistivity and hall coefficient of lamellae of arbitrary shape,” vol. 1958, no. I, pp. 220–224, 1958.
- [13] L. J. V. der PAUW, “A method of measuring specific resistivity and hall effect of discs

- of arbitrary shape,” *Philips Res. Reports*, vol. 13 no.1, p. 10, 1958.
- [14] S. Arulkumaran, T. Egawa, H. Ishikawa, M. Umeno, and T. Jimbo, “Effects of Annealing on Ti , Pd , and Ni / n-Al 0 : 11 Ga 0 : 89 N Schottky Diodes,” vol. 48, no. 3, pp. 573–580, 2001.
- [15] N. G. K. Cico, J. Kuzmik, J. Liday, K. Husekova, G. Pozzovivo, J.-F. Carlin and and K. F. D. Pogany, P. Vogrincic, “InAlN/GaN metal-oxide-semiconductor high electron mobility transistor with Al<sub>2</sub>O<sub>3</sub> insulating films grown by metal organic chemical vapor deposition using Ar and NH<sub>3</sub> carrier gases,” *J. Vac. Sci.*, vol. 27, no. 1, pp. 218–221.
- [16] B. M. Green, S. Member, K. K. Chu, E. M. Chumbes, S. Member, J. A. Smart, J. R. Shealy, L. F. Eastman, and L. Fellow, “The Effect of Surface Passivation on the Microwave Characteristics of Undoped AlGaN / GaN HEMT ’ s,” vol. 21, no. 6, pp. 268–270, 2000.
- [17] J. Kuzmik, G. Pozzovivo, S. Abermann, M. Gonschorek, E. Feltn, N. Grandjean, E. Bertagnolli, G. Strasser, and D. Pogany, “Technology and Performance of InAlN / AlN / GaN HEMTs With Gate Insulation and Current Collapse Suppression Using ZrO<sub>2</sub> or HfO<sub>2</sub>,” vol. 55, no. 3, pp. 937–941, 2008.
- [18] K. N. and U. K. M. Yuvaraj Dora, Sooyeon Han, “ZrO<sub>2</sub>ZrO<sub>2</sub> gate dielectrics produced by ultraviolet ozone oxidation for GaNGaN and AlGaN/GaNAlGaN/GaN transistors,” *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 24, no. 2, 2006.
- [19] S. Yagi, M. Shimizu, M. Inada, Y. Yamamoto, G. Piao, and Y. Yano, “High Breakdown Voltage AlGaN / GaN MIS-HEMT with SiN and TiO<sub>2</sub>,” *Solid-State Electron*, vol. 50, no. 6, pp. 1057–1061, 2006.
- [20] and T. G. D. A. Deen, D. F. Storm, R. Bass, D. J. Meyer, D. S. Katzer, S. C. Binari, J. W. Lacin, “Atomic layer deposited Ta<sub>2</sub>O<sub>5</sub> gate insulation for enhancing breakdown voltage of AlN/GaN high electron mobility transistors,” *Appl. Phys. Lett*, vol. 98, no. 2, p. 23506.
- [21] H. L. and Y.-S. K. Jong-Soo Lee, A. Vescan, A. Wieszt, R. Dietrich and Small, “Small signal and power measurements of AlGaNdAN HEMT with SiN passivation,” *Electron. Lett. Online*, vol. 37, no. 2, pp. 130–132, 2001.

- [22] K. Balachander, Subramaniam Arulkumar, Y. Sano, T. Egawa, and K. Baskar, "Fabrication of AlGaN/GaN double-insulator metal–oxide–semiconductor high-electron-mobility transistors using SiO<sub>2</sub> and SiN as gate insulators," *Phys. status solidi*, vol. 202, no. 4, pp. R32–R34, 2005.
- [23] A. P. Edwards, J. A. Mittereder, S. C. Binari, D. S. Katzer, D. F. Storm, and J. A. Roussos, "Improved Reliability of AlGaN – GaN HEMTs Using an NH<sub>3</sub> Plasma Treatment Prior to SiN Passivation," *IEEE Electron Device Lett.*, vol. 26, no. 4, pp. 225–227, 2005.
- [24] and J. M. R. David J. Meyer, Joseph R. Flemisha, "SF<sub>6</sub>/O<sub>2</sub> plasma effects on silicon nitride passivation of AlGaN/GaN AlGaN/GaN high electron mobility transistors," *Appl. Phys. Lett.*, vol. 89, no. 22, 2006.
- [25] S. W. King, J. P. Barnak, M. D. Bremser, K. M. Tracy, C. Ronning, R. F. Davis, and R. J. Nemanich, "Cleaning of AlN and GaN surfaces," *J. Appl. Phys.*, vol. 84, no. 9, pp. 5248–5260, 1998.
- [26] and M. G. Y. Guhel, B. Boudart, N. Vellas, C. Gaquière, E. Delos, D. Ducatteau, Z. Bougrioua, "Impact of plasma pre-treatment before SiN<sub>x</sub> passivation on AlGaN/GaN HFETs electrical traps," *Solid. State. Electron.*, vol. 39, no. 10, pp. 1589–1594, 2005.
- [27] and R. J. N. Brianna S. Eller, Jialing Yang, "Electronic surface and dielectric interface states on GaN and AlGaN," *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.*, vol. 31, no. 5, p. 50807, 2013.
- [28] A. K. et A. K. S. P. B. Zantye, "Chemical mechanical planarization for microelectronics applications," *Mater. Sci. Eng.*, pp. 89–220, 2004.
- [29] K. L. and J. W. N. McLellan, N. Fan, S. Liu, "Effect of wafer thinning condition on the roughness, morphology and fracture strength of Silicon die," *J. Electron. Packaging*, vol. 126, no. 1, p. 110, 2004.
- [30] J. S. and T. K. s. Takyu, "A study on chip thinning process for ultra thin memory devices," *Electron. Components Technol. Conf.*, vol. ECTC 2008, no. 58th, pp. 1511–1516, 2008.
- [31] G. K. F. (Eds. . Olivier Brand, *CMOS-MEMS*. 2013.
- [32] a. . Fallis, "Etch Rates for Micromachining Processing," *J. Chem. Inf. Model.*, vol. 53,

- no. 9, pp. 1689–1699, 2013.
- [33] N. H. Tea, V. Milanovi??, C. A. Zincke, J. S. Suehle, M. Gaitan, M. E. Zaghloul, and J. Geist, “Hybrid postprocessing etching for CMOS-compatible MEMS,” *J. Microelectromechanical Syst.*, vol. 6, no. 4, pp. 363–372, 1997.
- [34] P. B. Chu, J. T. Chen, R. Yeh, G. Lin, J. C. P. Huang, B. a. Warneke, and S. J. Pister, “Controlled pulse-etching with xenon difluoride,” *Proc. Int. Solid State Sensors Actuators Conf. (Transducers '97)*, vol. 1, pp. 665–668, 1997.
- [35] T. Changl, H. Mil, H. Zhangl, S. Mikaell, Y. H. Jungl, J. Hanl, and N. Haven, “High power fast flexible electronics: Transparent RF AlGaN/GaN HEMTs on Plastic Substrates,” pp. 2–5, 2015.
- [36] J. SHI, “Fabrication and characterization of InAlAs/InGaAs High Electron Mobility Transistors on plastic flexible substrate,” 2013.
- [37] A. Lecavelier, “Report de technologie SOI-CMOS sur substrat flexible : une approche convergente vers les hautes fréquences et la stabilité des performances sous déformation mécanique,” 2013.
- [38] M. Lesecq, V. Hoel, A. Lecavelier des Etangs-Levallois, E. Pichonat, Y. Douvry, and J. C. De Jaeger, “High Performance of AlGaN/GaN HEMTs Reported on Adhesive Flexible Tape,” *IEEE Electron Device Lett.*, vol. 32, no. 2, pp. 143–145, Feb. 2011.
- [39] W. Wei, “Process technologies for graphene-based high frequency flexible electronics,” Université de Lille, 2015.
- [40] C. Berger, Z. Song, T. Li, X. Li, A. Y. Ogbazghi, R. Feng, Z. Dai, A. N. Marchenkov, E. H. Conrad, P. N. First, and W. A. de Heer, “Ultrathin Epitaxial Graphite: 2D Electron Gas Properties and a Route toward Graphene-based Nanoelectronics,” *J. Phys. Chem. B*, vol. 108, no. 52, pp. 19912–19916, Dec. 2004.
- [41] T. Li, “Characteristics of Graphite Films on Silicon- and Carbon- Terminated Faces of Silicon Carbide,” 2006.
- [42] X. Li, “Epitaxial graphene films on SiC: growth, characterization, and devices,” 2008.
- [43] M. David, D. E. D. E. Dispositifs, and A. B. D. E. Graphene, “Thèse Docteur de l' Université de Lille 1 par,” 2014.

- [44] N. Meng, “Fabrication et caractérisation de transistors à base de Graphène Nano Ruban en vue d’application haute fréquence,” 2011.
- [45] K. S. Novoselov, “Electric Field Effect in Atomically Thin Carbon Films,” *Science* (80-. ), vol. 306, no. 5696, pp. 666–669, Oct. 2004.
- [46] A. K. Geim and K. S. Novoselov, “the Rise of Graphene,” pp. 1–14.

# **Chapitre III**

## **Caractérisations de transistors HEMTs AlGa<sub>N</sub>/Ga<sub>N</sub> et de transistors à base de graphène flexible**

## Sommaire

Partie I : Généralité sur les caractéristiques électriques de transistors.....	117
1 Rappel succinct du fonctionnement d'un transistor type MOSFET : .....	118
1.1 Caractéristique de sortie : .....	118
1.2 Caractéristique de transfert et transconductance statique : .....	120
1.3 Mesures hyperfréquences.....	120
1.3.1 Notions sur les quadripôles : .....	121
1.3.2 Les paramètres caractéristiques en régime hyperfréquence .....	122
1.3.3 Les paramètres caractéristiques en puissance hyperfréquence .....	123
1.3.4 Grandeurs caractéristiques de la mesure de puissance hyperfréquence .....	124
Partie 2 : Caractérisation des composants HEMTs AlGaN/GaN .....	129
2 Caractérisation des rubans flexibles.....	129
3 Caractérisation des HEMTs AlGaN/GaN sur flexible et effet de l'amélioration technologique sur les performances .....	132
3.1 Caractérisation en régime statique : .....	132
3.2 Caractérisation en régime dynamique : .....	134
3.3 Caractérisation en régime grand signal à 10 GHz : .....	135
Partie 3 : Caractérisation des composants graphène.....	139
4 Caractérisation des substrats flexibles (Kapton et PEN) .....	139
5 Caractérisation des composants en topologie top-gate en régime statique .....	140
6 Caractérisation des composants en topologie contacts arrière en régime statique et hyperfréquence .....	142
7 Conclusion .....	145
Bibliographie du chapitre III .....	147

La caractérisation des transistors permet la validation du procédé technologique choisi et développé. Les différentes étapes de mesures permettent l'analyse des phénomènes physiques mis en jeu et de vérifier si le comportement du composant est en ligne avec la théorie. Après une phase de caractérisation, si les mesures montrent un fonctionnement qui n'est pas « sain », il convient de travailler de nouveau à l'optimisation des composants.

Dans ce dernier chapitre, nous présentons les différentes caractéristiques électriques des transistors HEMTs et GFETs.

Dans un premier temps, nous décrivons les paramètres relatifs à la compréhension du fonctionnement des transistors à effet de champ (MOSFETs) dans le cas général. Nous présentons ainsi les caractéristiques en régime statique et hyperfréquence des composants.

La deuxième partie de ce chapitre est consacrée à la caractérisation des composants HEMTs AlGaN/GaN à faible longueur de grille. Cette caractérisation concerne deux générations de transistors, déjà décrites dans le chapitre précédent. Une attention particulière sera portée sur le comportement des dispositifs en régime statique, hyperfréquence et de puissance hyperfréquence à 10 GHz. La présentation des résultats a pour objectif de montrer l'impact des améliorations technologiques apportées lors de la fabrication du composant. Cela

s'accompagne d'une caractérisation des rubans flexibles utilisés et dont les caractéristiques vont impacter également les performances finales du dispositif.

La troisième partie du chapitre est dédiée à la caractérisation des transistors à base de graphène GFETs. Une caractérisation du substrat utilisé est présentée en premier afin d'estimer les pertes dans les flexibles suivie d'une caractérisation en régimes statique d'un composant en topologie « top-gate ». Par la suite, une caractérisation en régimes statique et dynamique de composant en topologie « contacts arrière » est présentée.

## Partie I : Généralité sur les caractéristiques électriques de transistors

Le fonctionnement des transistors HEMTs et GFETs, malgré la différence de leurs technologies, montre de grandes similitudes. Il est aisé d'expliquer le principe de fonctionnement de ces composants en s'appuyant sur celui du transistor MOSFETs (Metal oxide semiconductor field effect transistors). Pour ce dernier, l'idée de base est de contrôler le passage du courant entre la source et le drain ( $I_{DS}$ ) dans le canal via une grille métallique isolée par un matériau diélectrique.

Dans le cas des composants HEMTs, les composants sont de type « normally on ». Cela veut dire qu'en l'absence de tension de grille  $V_{GS}$ , la circulation d'un courant entre la source et le drain est possible en appliquant une différence de potentiel  $V_{DS}$ . L'application d'une tension  $V_{GS} \leq 0$  entraîne la désertion du canal. La tension de grille pour laquelle les électrons ont déserté le gaz 2D est appelée tension de pincement  $V_p$ .

Dans le cas des transistors GFETs, le canal est constitué de graphène, qui n'a pas le comportement d'un semi-conducteur classique, mais d'un « semi-métal ». Ce caractère explique l'effet ambipolaire sur les GFETs :

- Un minimum de courant circule dans le canal pour une certaine valeur  $V_{GS} = V_D$ , appelé point Dirac.
- Pour des tensions  $V_{GS} > V_D$ , la conduction est assurée par les électrons.
- Pour des tensions  $V_{GS} < V_D$ , la conduction est assurée par les trous.

Par ailleurs contrairement aux HEMTs, les transistors GFETs se caractérisent par l'absence de bande interdite d'énergie du graphène. Cela entraîne l'absence d'une zone de saturation dans la caractéristique  $I_{DS} = f(V_{DS})$ .

Il est à noter que les deux technologies ne sont pas comparables en termes de performance. En effet, le premier transistor HEMTs AlGaIn/GaN a été démontré par Kahn en 1994 alors que le premier transistor à base de graphène n'a vu le jour qu'en 2008 au sein des laboratoires d'IBM.

Dans le cadre de cette thèse, les mesures statiques et hyperfréquences sont effectuées à l'aide des ingénieurs qui travaillent sur la plateforme de caractérisation de l'IEMN. Le banc est composé d'une alimentation programmable de Agilent ( Keysight). Cette dernière est connectée au VNA afin de coupler les deux voix DC et RF. L'ensemble est connecté à un ordinateur piloté par le logiciel ICCAP facilitant l'acquisition, l'analyse des données et la représentation des graphes.

## 1. Rappel succinct du fonctionnement d'un transistor type MOSFET :

Le transistor à effet de champ, dont la structure est représentée sur la Figure III-1, contrôle le courant du canal via la tension de la grille. Parmi toutes les applications possibles, celle qui nous intéresse est liée à l'amplification de signal.

- Le transistor joue le rôle d'un amplificateur de signaux à faible intensité superposés à la tension de grille  $V_{GS}$ . Cette amplification dépend fortement des points de polarisation  $V_{GS}$  et  $V_{DS}$ .

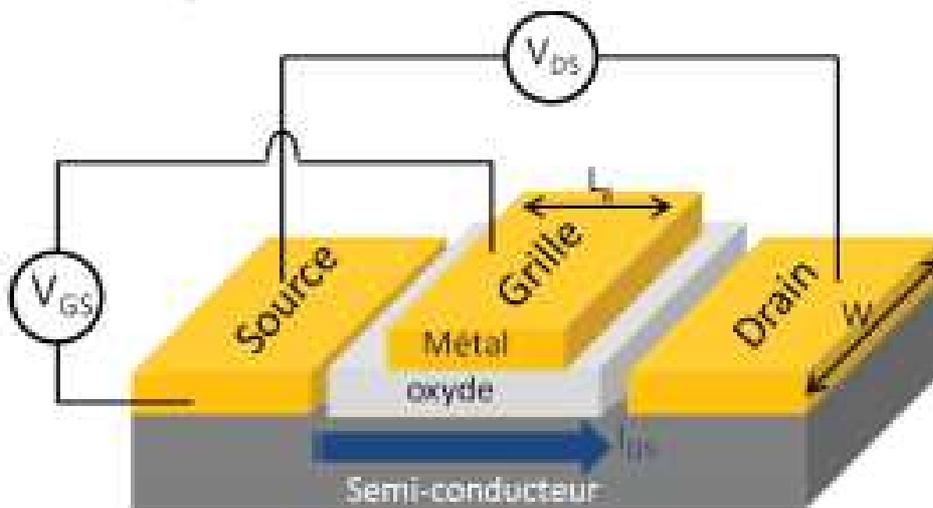


Figure III-1: Illustration d'une structure MOSFET sur laquelle le courant  $I_{DS}$  est établi en appliquant les tensions  $V_{DS}$  et  $V_{GS}$

### 1. 1. Caractéristique de sortie :

La caractéristique de sortie  $I_{DS} = f(V_{DS})$ , représentée dans la Figure III-2, consiste à mesurer le courant entre la source et le drain  $I_{DS}$  en fonction de la tension  $V_{DS}$  pour différentes valeurs de la tension de grille  $V_{GS}$ . Cette mesure nous donne une estimation des performances des composants en régime statique.

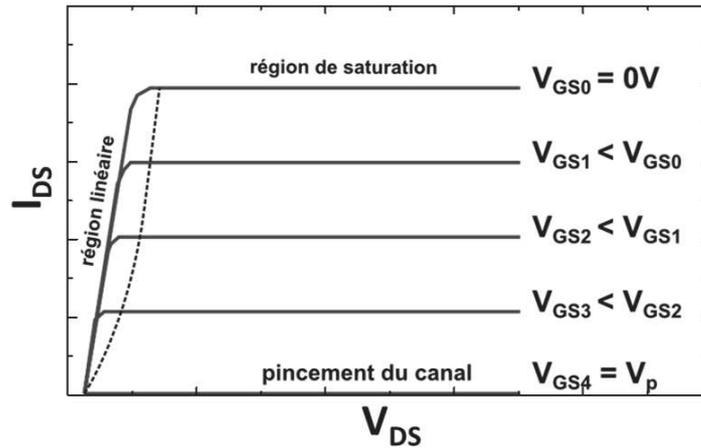


Figure III-2: Caractéristique de sortie d'un composant MOSFET idéal

La caractéristique de transfert du MOSFET présente trois régimes de fonctionnement :

- Le régime linéaire dans lequel le transistor est assimilé à une résistance dont la valeur est en fonction de la tension  $V_{GS}$
- Le régime de saturation qui correspond au fonctionnement à courant constant et servira à l'amplification des petits signaux.
- Le régime de pincement du canal

Dans le régime linéaire, le courant de drain peut être modélisé par l'équation suivante :

$$I_{DS} = \mu C_{ox} \frac{W}{L_g} V_{GS} V_{DS} \quad \text{Équation 1}$$

Avec  $\mu$  la mobilité électronique,  $C_{ox}$  la capacité de l'oxyde,  $W$  le développement du transistor et  $L_g$  la longueur de la grille.  $V_{GS}$  et  $V_{DS}$  représentent la tension de la grille et du drain respectivement.

Dans le régime linéaire, l'obtention de courants importants est conditionnée par l'acquisition d'une haute mobilité  $\mu$  du matériau et une faible longueur de grille  $L_g$ . D'où l'intérêt des matériaux utilisés dans le cadre de ces travaux, le nitrure de gallium et le graphène.

Il est à noter que la caractéristique  $I_{DS} (V_{DS}, V_{GS})$  des transistors HEMTs AlGaIn/GaN est similaire à celle du MOS tandis que celle des GFETs ne comporte que la partie linéaire, le régime de saturation n'est en général pas observé.

### 1. 2. Caractéristique de transfert et transconductance statique :

Afin d'évaluer au mieux les performances des composants, il est utile d'exploiter la caractéristique  $I_{DS} = f(V_{GS})$ , appelée caractéristique de transfert. Dans la Figure III-3, nous présentons la variation de cette caractéristique en zone de saturation. Dans le cas d'un transistor idéal, quelle que soit la tension  $V_{DS}$  en régime de saturation, la caractéristique de transfert est censée être identique.

A une tension  $V_{DS}$  constante, le rapport entre la variation du courant  $I_D$  et de la tension  $V_{GS}$  permet d'extraire la transconductance statique  $g_m$ . Cette grandeur est un élément fondamental du phénomène d'amplification. En effet, elle caractérise la capacité de la grille à moduler la densité de porteurs située sous le contact de la grille.

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=cste} \quad \text{Équation 2}$$

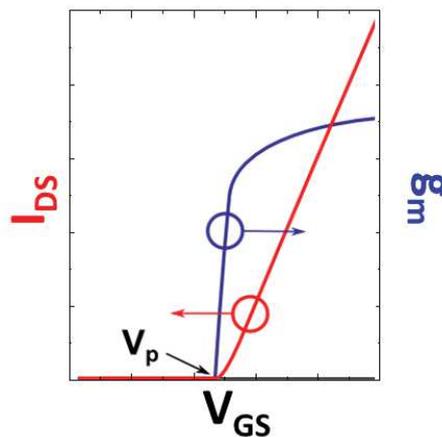


Figure III-3: Caractéristiques de transfert  $I_{DS}$ - $V_{GS}$  et transconductance  $g_m$  d'un composant MOSFET idéal

Elle permet aussi de déterminer la conductance de sortie  $g_{DS}$  comme l'exprime l'équation 3.

$$g_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}} \quad \text{Équation 3}$$

### 1. 3. Mesures hyperfréquences

La campagne de mesures hyperfréquences commence lorsque le fonctionnement du composant est validé par les mesures statiques. Cela correspond à valider le bon contrôle du canal, un bon pincement, une forte densité de courant et des faibles courants de fuite. La détermination des grandeurs caractéristiques du composant en fonction de la fréquence s'effectue autour d'un point de fonctionnement ( $V_{GS}$ ,  $V_{DS}$ ) optimal obtenu au maximum de la

transconductance  $g_{m,max}$ . Ce dernier est déterminé à partir du réseau de caractéristiques statiques.

### 1.3.1. Notions sur les quadripôles :

Le transistor est un quadripôle ayant un port d'entrée et un port de sortie. Sa caractérisation dans le domaine fréquentiel se fait en modélisant le dispositif par une matrice de paramètres  $S_{ij}$  ou par un quadripôle linéaire en régime petit signal. On parle de régime petit signal quand la variation du signal est suffisamment faible pour que les effets non linéaires soient négligeables.

En régime petit signal, un signal alternatif de faible amplitude est superposé au point de polarisation sur la grille. A de très hautes fréquences, l'oscillation des charges dans le composant est assimilée à la propagation d'une onde plane sur une ligne de transmission. La puissance injectée est alors décomposée en une onde incidente  $a_i$  et une onde transmise  $b_i$ , vu de chaque extrémité du quadripôle. Les paramètres S (*Scattering parameters*) représentent ainsi les coefficients de réflexion et de transmission des charges considérées par rapport à l'onde incidente. Ces paramètres définissent la matrice de passage Equation 4 entre les ondes  $a_i$  et  $b_i$  comme suit [1][2][3]:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad \text{Équation 4}$$

L'étude des performances du composant repose sur les transformations courant-tension du quadripôle par sa matrice d'impédance  $[Z]$  (Equation 5) ou tension-courant par la matrice d'admittance  $[Y]$  (Équation 6), matrices obtenues à partir des paramètres S.

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \text{Équation 5}$$

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad \text{Équation 6}$$

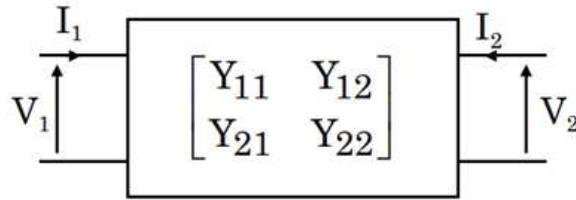


Figure III-4 : Schéma bloc d'un transistor sous la forme d'un quadripôle de matrice d'admittance  $[Y]$

### 1.3.2. Les paramètres caractéristiques en régime hyperfréquence

Les performances en gammes des transistors sont essentiellement définies à partir de la mesure du gain en courant  $H_{21}$  et du gain unilatéral  $U$ . La valeur de leurs fréquences de transition respectives  $f_t$  et  $f_{max}$  doit être la plus élevée possible pour un fonctionnement optimal. Ces différents gains sont reliés à la structure du transistor, à la qualité du transport de charges, à la topologie du composant et aux différentes étapes technologiques qui peuvent affecter la surface ou la qualité intrinsèque du matériau.

- La fréquence de coupure du gain en courant  $f_t$  :

La fréquence  $f_t$  de coupure du gain en courant  $H_{21}$  correspond à la fréquence maximale pour laquelle la commande est amplifiée en courant. Elle est obtenue en se plaçant au point de polarisation optimal, c'est-à-dire donnant le maximum de la transconductance  $g_m$ .

- La fréquence de coupure du gain en puissance  $f_{max}$  :

La fréquence de coupure  $f_{max}$  associée au gain unilatéral de Mason  $U$ , appelée aussi la fréquence maximale d'oscillation, correspond à la fréquence maximale pour laquelle la commande est amplifiée en puissance.

- Le gain en courant  $H_{21}$  :

Le gain en courant de court-circuit  $H_{21}$  est défini comme étant le rapport entre le courant de sortie et le courant d'entrée quand la sortie est en court-circuit. Il suit une évolution de -20dB/décade et est exprimé par l'Équation 7 [4].

$$|H_{21}| = \left| \frac{I_2}{I_1} \right|_{V_2=0} = \left| \frac{-2 S_{21}}{(1 - S_{11})(1 - S_{22}) + S_{12}S_{21}} \right| \quad \text{Équation 7}$$

L'extrapolation faite en respectant la pente de -20dB/décade, conduit pour  $|H_{21}|=0$  à la fréquence de coupure extrinsèque.

- Le gain unilatéral (U) :

Le gain unilatéral de Mason noté U, représente le gain en puissance obtenu en adaptant l'entrée et la sortie par une contre réaction sans perte qui permet d'obtenir un  $S_{21}$  nul ou négligeable [5].

Il est exprimé en fonction des paramètres  $S_{ij}$  et suit lui aussi une pente théorique de - 20dB/décade [6].

$$U = \frac{1}{2} \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{K \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re} \left( \frac{S_{21}}{S_{12}} \right)} \quad \text{Équation 8}$$

Avec  $K$  le facteur de stabilité de Rollet [7] exprimé par :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{21}S_{12}|} \quad \text{Équation 9}$$

La fréquence maximale d'oscillation  $f_{\max}$  est ainsi la fréquence pour laquelle le gain unilatéral U est égal à 1 et jusqu'à laquelle il est encore possible d'avoir un gain en puissance [6].

### 1.3.3. Les paramètres caractéristiques en puissance hyperfréquence

A fort signal, les transistors possèdent un comportement non linéaire qui ne peut pas être représenté par sa matrice S usuelle définie pour établir des modèles en régime petit signal. Il devient donc difficile de concevoir des circuits micro-onde non linéaire tels que l'amplificateur, le mélangeur... à cause des non linéarités des composants. De ce fait, la caractérisation et la modélisation des composants à l'aide de logiciels de C.A.O. s'avèrent délicate, et il est nécessaire de réaliser en complément une caractérisation expérimentale dans le domaine grand signal. Cette dernière permet la détermination des conditions de fonctionnement (point de polarisation et charges optimales) optimisant une performance désirée (la puissance de sortie, le gain, le rendement, l'intermodulation ...) [8].

Seuls les transistors HEMTs AlGaN/GaN sont caractérisés en puissance hyperfréquence, la caractérisation des transistors GFETs s'est effectuée seulement en régime statique et dynamique.

Les mesures en puissance hyperfréquence sont effectuées à l'aide d'un analyseur de réseau non linéaire LSNA (*Large Signal Network Analyser*) permettant d'injecter en entrée du transistor un signal de puissance d'entrée variable dont la fréquence fondamentale peut aller

jusqu'à 50 GHz et permettant ainsi la détermination de la puissance en sortie. Une caractérisation des formes d'onde dans le domaine temporel en entrée et en sortie du transistor se fait grâce à un échantillonneur rapide. Le transistor est polarisé à un point de fonctionnement précis caractérisé par les composantes ( $V_{GS0}$  ;  $V_{DS0}$ ). La classe de fonctionnement du transistor est identifiée grâce à ce point de polarisation. Il est possible d'adapter le transistor dans le but de réduire la puissance réfléchiée à sa sortie à l'aide d'une charge active. Dans la configuration du banc de mesures, cette charge optimisée est synthétisée via une source hyperfréquence dont on peut faire varier la puissance et la phase pour simuler un coefficient de réflexion quelconque. L'impédance optimale à présenter en sortie du transistor est déterminée à partir de différentes cartographies. Elle correspond sensiblement au paramètre  $S_{22}$  conjugué mesuré au point de polarisation du transistor en régime petit signal. Les cartographies permettent de visualiser l'impédance optimale à présenter au transistor afin d'obtenir le maximum de gain, de rendement en puissance ajoutée, ou encore de puissance hyperfréquence de sortie. Une fois que l'impédance optimale est déterminée, les mesures de puissance hyperfréquence sont réalisées pour différentes puissances injectées à l'entrée. Nous obtenons ainsi les principales données caractéristiques que sont la densité de puissance en sortie du transistor ( $P_{out}$ ), le rendement en puissance ajoutée (PAE), le gain en puissance ( $G_p$ ) et le gain transducteur ( $G_T$ ).

#### 1.3.4. Grandeurs caractéristiques de la mesure de puissance hyperfréquence

Dans cette partie nous présentons plus en détail les différentes grandeurs caractéristiques de la mesure de puissance hyperfréquence qui permettent de décrire en termes de performances les dispositifs. La Figure III-5 représente le schéma synoptique des différentes puissances intervenant lors de la mesure du transistor.

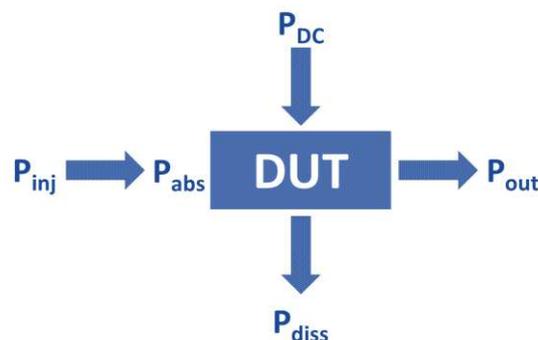


Figure III-5: Schéma synoptique des différentes puissances caractéristiques du transistor lors de la mesure de la puissance hyperfréquence

La puissance injectée ( $P_{inj}$ ), correspondant à la puissance hyperfréquence émise à l'entrée du transistor. Elle est définie par :

$$P_{inj} = 10 \cdot \log_{10}(|a_1|)^2 \quad \text{Équation 10}$$

Avec  $|a_1|$  qui est le module du complexe représentant l'onde incidente  $a_1$  (en  $W^{1/2}$ ) injectée à l'entrée du transistor.

La puissance hyperfréquence absorbée ( $P_{abs}$ ) prend en compte la composante réfléchie à l'entrée du transistor de par la désadaptation de l'impédance d'entrée. Elle s'exprime en fonction de la puissance injectée par l'Équation 11 :

$$P_{abs} = P_{inj} \cdot (1 - |S_{11}'|^2) \quad \text{Équation 11}$$

Avec  $|S_{11}'|$ , le module du complexe conjugué relatif au coefficient de réflexion à l'entrée ( $S_{11}$ ), exprimé par:

$$|S_{11}'| = \frac{|b_1|}{|a_1|} \quad \text{Équation 12}$$

Avec  $|b_1|$  le module du complexe relatif à l'onde réfléchie  $b_1$  à l'entrée du transistor. Pour que la puissance injectée corresponde à la puissance absorbée à l'entrée du transistor, l'onde réfléchie  $b_1$  doit être faible. Une adaptation de l'impédance d'entrée peut être réalisée (technique dite source pull)[9][10]. Malheureusement, nous ne pouvons effectuer cette adaptation sur notre banc de mesure, nous n'adapterons que la charge en sortie du transistor. La puissance continue d'alimentation du transistor ( $P_{DC}$ ) correspond à la somme des puissances continues permettant d'alimenter la grille et le drain. Ces puissances sont liées au point de polarisation du transistor ( $V_{GS0}$  ;  $V_{DS0}$ ) et donc à sa classe de fonctionnement. La polarisation d'un dispositif en classe A, correspondant à un point de fonctionnement au milieu de la droite de charge statique, nécessitera le développement d'une puissance continue plus importante que dans le cas d'une classe B, où le point de polarisation  $V_{GS0}$  est idéalement situé au niveau de la tension de pincement. Par contre, la classe A permettra un fonctionnement plus linéaire du transistor en onde continue (CW) et une excursion maximale symétrique des courants et tensions [11]. La puissance dissipée ( $P_{dis}$ ) par effet Joule au sein du transistor est également liée à la classe de fonctionnement du transistor [8][12].

Enfin, la puissance de sortie ( $P_{out}$ ) correspond à la puissance hyperfréquence absorbée par la charge en sortie du transistor. Elle est exprimée par :

$$P_{out} = b_2 \cdot (1 - |\Gamma_L|^2) \quad \text{Équation 13}$$

Avec  $b_2$ , correspondant à l'onde réfléchie en sortie du transistor et s'exprimant :

$$b_2 = 20 \cdot \log_{10}(|b_2|) \quad \text{Équation 14}$$

et  $|\Gamma_L|$ , correspondant au module du coefficient de réflexion de la charge  $\Gamma_L$  en sortie du transistor, et s'exprimant selon :

$$|\Gamma_L| = \sqrt{\frac{|a_2|}{|b_2|}} \quad \text{Équation 15}$$

Où  $|a_2|$  correspond au module du complexe de l'onde incidente  $a_2$  en sortie du transistor.

Afin d'obtenir le maximum de puissance en sortie du transistor l'onde incidente  $a_2$  doit être nulle. Pour cela, nous avons la possibilité sur notre banc de mesures d'adapter l'impédance de charge en sortie du transistor.

- - Le gain de puissance

Le gain de puissance ( $G_p$ ) du transistor est défini comme le rapport entre les puissances hyperfréquences absorbées en sortie et en entrée du transistor. Il prend en compte les coefficients de réflexion en entrée et en sortie du transistor et permet donc de quantifier les performances réelles du composant. C'est celui le plus couramment utilisé et son expression est la suivante :

$$G_p(\text{dB}) = 10 \cdot \log_{10} \left( \frac{P_{out}(\text{mW})}{P_{abs}(\text{mW})} \right) \quad \text{Équation 16}$$

- Le gain transducteur

Le gain transducteur ( $G_T$ ) correspond au rapport entre la puissance hyperfréquence absorbée par la charge en sortie du transistor et la puissance hyperfréquence émise à l'entrée

par la source. Il ne prend donc pas en compte la réflexion en entrée du transistor. Il s'exprime par :

$$G_T(\text{dB}) = 10 \cdot \log_{10} \left( \frac{P_{\text{out}}}{P_{\text{inj}}} \right) \quad \text{Équation 17}$$

- Le rendement en puissance ajoutée

Le rendement en puissance ajoutée (PAE), correspondant au rapport entre la puissance hyperfréquence réellement apportée par l'élément actif (différence entre la puissance en sortie et la puissance absorbée en entrée) et la puissance continue servant à l'alimenter, s'exprime selon

$$\text{PAE} = \frac{P_{\text{out}} - P_{\text{abs}}}{P_{\text{DC}}} \times 100 \quad \text{Équation 18}$$

Une faible puissance continue, obtenue lors de la polarisation du transistor en classe B ou AB profonde, permettra d'obtenir de bons rendements. Par contre, une polarisation en classe A dégradera le rendement en puissance ajoutée mais permettra une plus grande excursion et donc une puissance théorique de sortie et une linéarité plus grande.

- Puissance estimée

La Figure III-6 décrit l'excursion maximale du courant de drain ( $\Delta I$ ) et l'excursion maximale de la tension drain-source ( $\Delta V$ ) autour du point de polarisation, en l'occurrence en classe A. L'excursion en courant et en tension est déterminée par la droite de charge idéale imposée par l'impédance de charge optimale présentée à la sortie du transistor.

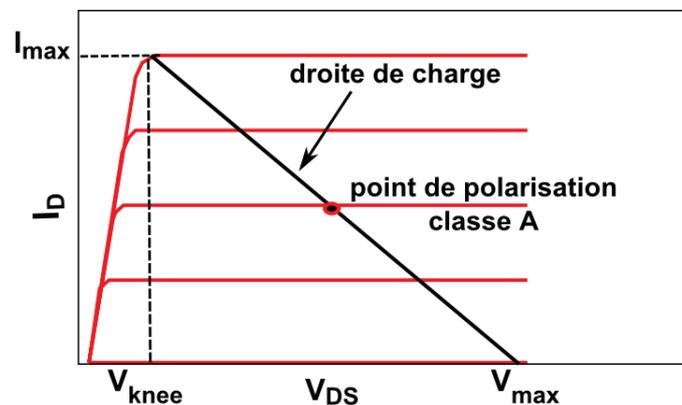


Figure III-6: Droite de charge pour un montage en classe A

La droite de charge fixe l'excursion en courant et en tension sur le lieu de la caractéristique  $I_D(V_{DS})$  du transistor. Ainsi, la puissance de sortie délivrée par le transistor à la charge en sortie est donnée suivant l'Équation 19

$$P_{sat} = \frac{\Delta I \cdot \Delta V}{8} = \frac{I_{max} (V_{max} - V_{knee})}{8} \quad \text{Équation 19}$$

où  $V_{max}$  correspond à l'intersection de la droite de charge avec l'axe des abscisses et ( $I_{max}$  ;  $V_{knee}$ ) correspondant aux coordonnées du point d'intersection entre la droite de charge et le réseau. Même si cette valeur estimée de la densité de puissance de sortie du transistor ne correspond pas rigoureusement à celle mesurée par la suite, elle permet d'obtenir des informations sur les potentialités de puissance hyperfréquence de celui-ci.

## **Partie 2 : Caractérisation des composants HEMTs AlGaN/GaN**

Cette partie du chapitre est consacrée à la caractérisation des composants HEMTs AlGaN/GaN, à la détermination de leurs performances afin de positionner nos travaux par rapport à l'état de l'art. En raison du procédé de fabrication et de la conformabilité des échantillons, il convient de démarrer chaque campagne de mesures par la caractérisation des rubans flexibles utilisés. Par la suite, nous nous concentrons sur les caractérisations électriques des composants sur substrat silicium et rubans flexibles effectuées en régimes statique, dynamique et en puissance hyperfréquence à 10GHz. En effet, l'objectif du projet était de démontrer qu'il était possible de délivrer de la puissance à cette fréquence pour un composant reporté. Nous montrerons, au travers de l'analyse des résultats, l'effet des améliorations technologiques successives sur les performances des composants. Celles-ci ont permis d'obtenir un résultat à l'état de l'art mondial puisqu'une densité de puissance de 420 mW/mm à 10 GHz a été mesurée sur ruban flexible.

Il est à noter que dans le cadre de ce travail, un nombre important de plaques a été développé technologiquement, cependant nous ne présentons que les caractérisations de deux dispositifs représentatifs de ce travail de thèse.

### **2. Caractérisation des rubans flexibles**

Transférer les composants HEMTs AlGaN/GaN du substrat rigide au ruban flexible nécessite une validation de son comportement électrique avant de commencer à envisager la suite du travail. Par ailleurs, des mesures avant et après transfert doivent permettre d'évaluer l'impact de ce procédé technologique. Pour cela, afin de préserver les performances des composants après transfert sur flexible, les pertes dans le substrat souple doivent avoir le même ordre de grandeur que celles sur substrat Si HR (111). En outre, le ruban doit assurer une bonne dissipation thermique vu l'auto-échauffement des composants. Ces paramètres ont un impact substantiel sur les performances électriques des composants.

Comme souligné dans le deuxième chapitre, les rubans flexibles utilisés dans le cadre du projet sont fournis par la société 3M, partenaire industriel du projet. Il est à noter que les rubans fournis ne sont pas commercialisés et sont développés dans le cadre du projet ANR FlexiGaN, certaines informations restent ainsi confidentielles.

Dans le cadre de cette thèse deux rubans flexibles sont utilisés : (i) dans une première génération de composants (*PTC 567*) le ruban utilisé de couleur noire possède une épaisseur de 170  $\mu\text{m}$ . Il se compose d'un support de polymère amélioré thermiquement revêtu d'un côté

avec un adhésif acrylique. Il est conçu pour les composants générant de la chaleur vu qu'il offre une bonne conductivité thermique de  $0,8 \text{ W / m.K}$  et résiste à une température élevée jusqu'à  $225 \text{ }^\circ \text{C}$ . On appellera ce ruban « ruban I » dans la suite du manuscrit ; (ii) La deuxième génération de composant (PTC 756) est transférée sur une version améliorée du ruban, « ruban II », de couleur grise, avec  $250 \text{ }\mu\text{m}$  d'épaisseur. Il se compose d'un support, rempli avec des charges thermo-conductrices, revêtu d'un côté avec un adhésif de silicone résistant à la température. Il offre une meilleure conductivité thermique de  $1,6 \text{ W / m.K}$  et possède de bonnes propriétés d'isolation électrique.

Afin de caractériser les rubans, un masque physique en silicium contenant le dessin de lignes coplanaires CPW (Coplanar Waveguide) a été fabriqué afin de servir de pochoir au travers duquel les lignes sont métallisées avec un séquentiel Ti/Au ( $50/400 \text{ nm}$ ) (cf Figure III-7.a).

Dans la Figure III-7.c nous montrons des images optiques des lignes métallisées et la Figure III-7.b représente les lignes CPW sur ruban flexible.

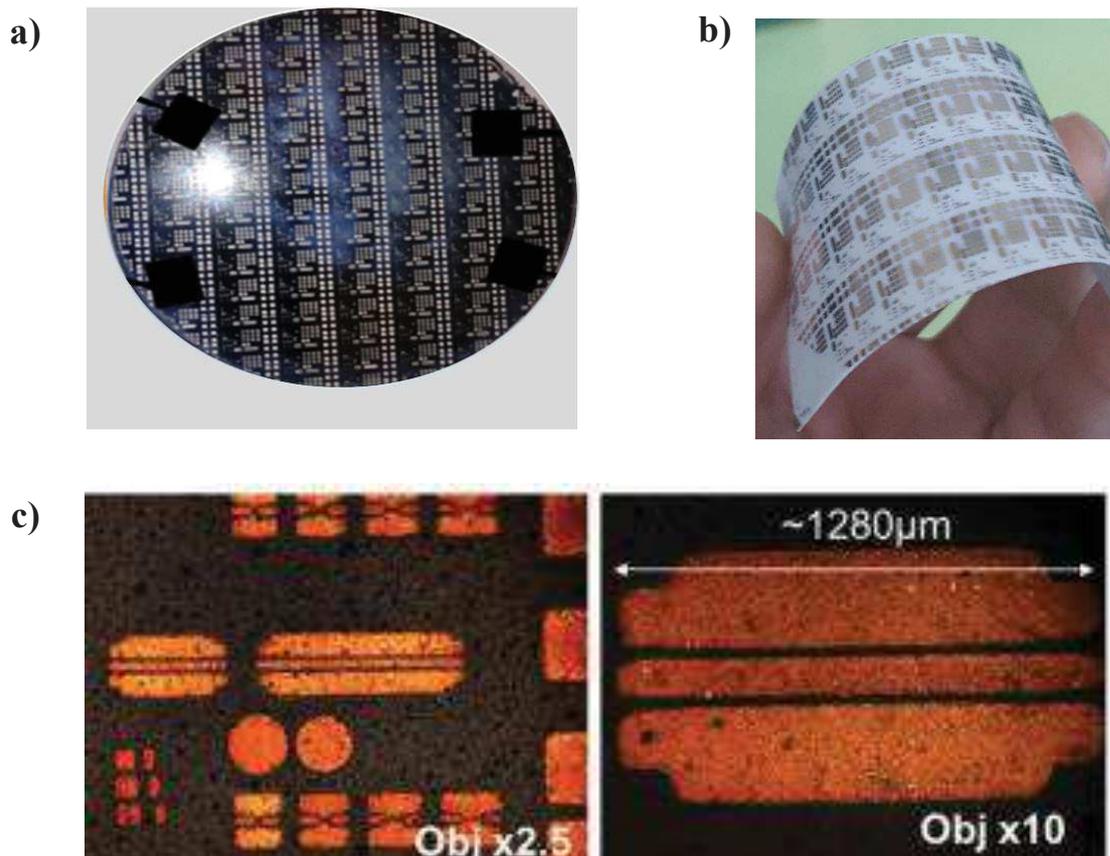


Figure III-7 : photos (a) du support mécanique des lignes CPW (b) des CPW sur rubans flexible et (c) images optiques des lignes réalisées.

Afin d'extraire l'information relative aux pertes induites dans les rubans flexibles, des mesures du coefficient de transmission  $S_{12}$  (pareil que  $S_{21}$  vu que les lignes sont symétriques) ont été effectuées en utilisant l'analyseur de réseau vectoriel (VNA) Keysight E5260B dans la bande de fréquence [20 MHz ; 67 GHz]. Une exploitation des mesures obtenues permet d'en extraire l'atténuation.

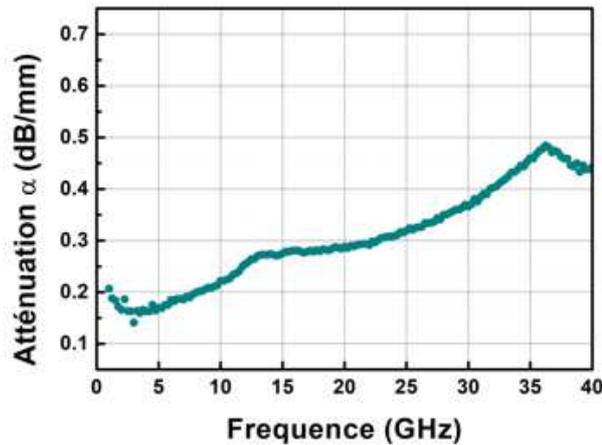


Figure III-8 : Mesures des lignes en transmission sur le ruban I

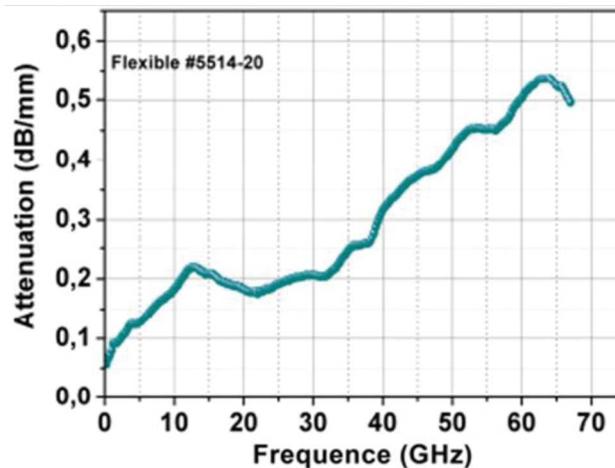


Figure III-9 : Mesures des lignes en transmission sur le ruban (II)

Les figures Figure III-8 et Figure III-9 décrivent les allures de l'atténuation électriques respectivement pour les rubans I et II. Nous noterons que les pertes du ruban I sont de l'ordre de 0,2 dB/mm à 10 GHz pour le ruban I et de 0,3 dB/mm pour le ruban II à la même fréquence. Les deux flexibles présentent de faibles pertes semblables aux pertes du substrat silicium hautement résistif [12] à des fréquences basses. Ce résultat permet la validation des

rubans utilisés. L'évolution des performances à 10GHz sera alors fortement liée au procédé de transfert sur flexible et à la dissipation de la chaleur.

### 3. Caractérisation des HEMTs AlGaIn/GaN sur flexible et effet de l'amélioration technologique sur les performances

Toutes les mesures sont effectuées sur des transistors HEMTs à faible longueur de grille, soit 100 nm, et de développement de  $2 \times 50 \mu\text{m}$ . Les résultats ci-après sont présentés pour le même composant. Les distances séparant la source du drain ( $L_{SD}$ ) et la source de la grille ( $L_{GS}$ ) sont de  $2,785 \mu\text{m}$  et  $1 \mu\text{m}$  respectivement. Ce choix est justifié par les performances statiques et hyperfréquences que présentent ces composants.

#### 3. 1. Caractérisation en régime statique :

Les caractéristiques  $I_{DS}$ - $V_{DS}$  des transistors transférés sur les rubans I et II pour différentes tensions de grille  $V_{GS}$  allant de 0V à -4V par pas de -1 V sont présentées respectivement sur les Figure III-10.a et Figure III-11.a.

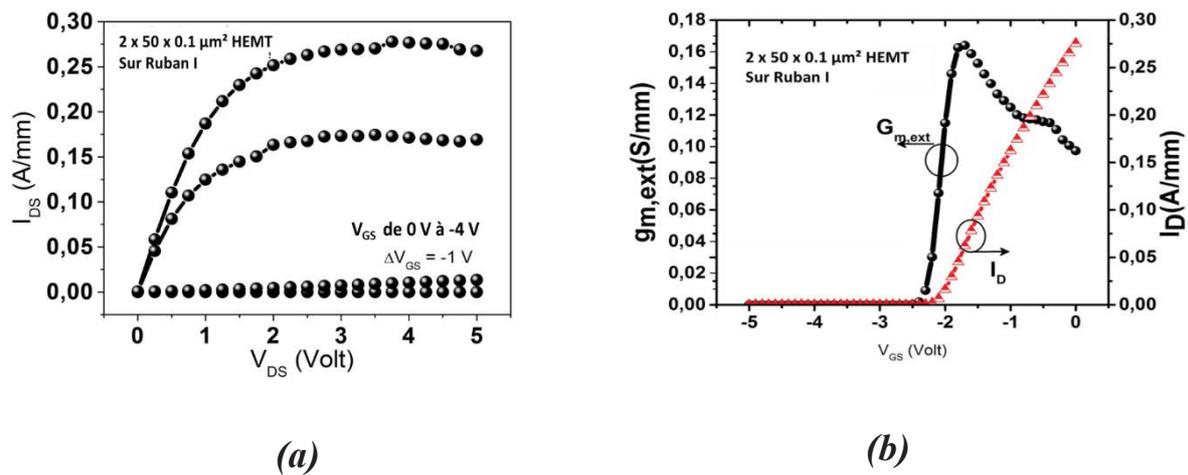


Figure III-10 : Caractéristiques (a)  $I_D$  ( $V_{DS}$ ) et (b) transconductance pour un transistor de topologie  $2 \times 50 \times 0.1 \mu\text{m}^2$  transféré sur le ruban I

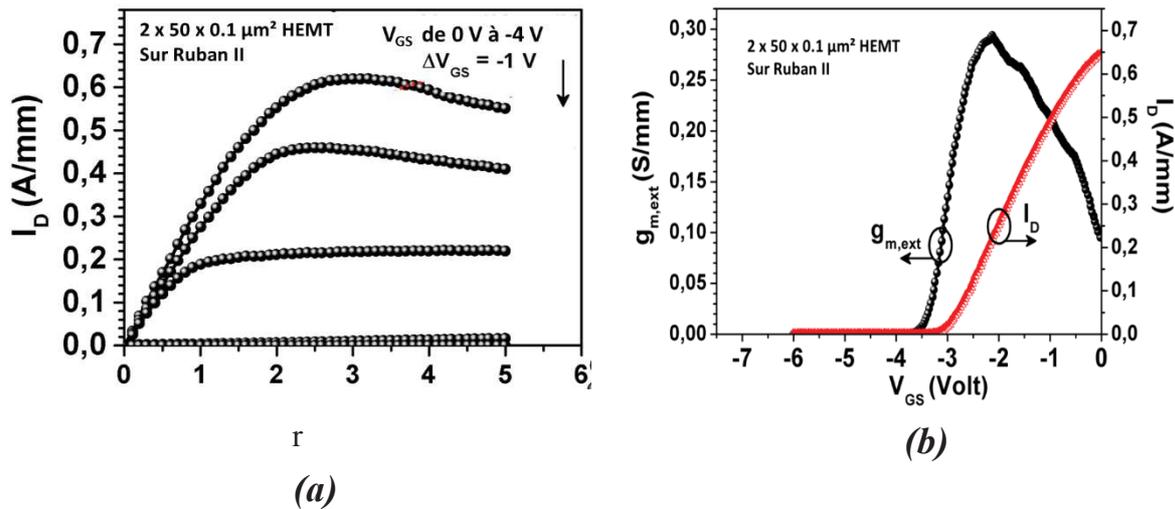


Figure III-11 : Caractéristiques (a)  $I_D$  ( $V_{DS}$ ) et (b) transconductance du transistor de topologie  $2 \times 50 \times 0.1 \mu\text{m}^2$  transféré sur le ruban II

En dépit de la similitude des propriétés 2DEG (mesures effet hall et échelles de résistances présentés dans le paragraphe 4 du chapitre 2) pour ces deux échantillons, il apparaît clairement des différences en terme de densité de courant et de tension de pincement en régime statique. Ceci est à relier en priorité à l'étape de gravure du silicium en face arrière. Celle-ci a été améliorée pour la PTC 567 qui est transférée sur le ruban II. En effet, la gravure du substrat Si libère les contraintes dans les couches III-N de l'épitaxie. Celles-ci sont générées par le désaccord de maille entre le GaN et le silicium et par les propriétés piézo-électriques du Nitrure de Gallium. Nous avons observé que cette densité des contraintes est fortement liée à la vitesse de gravure. Ainsi, plus la vitesse de gravure est grande, plus le nombre de fissures (dus au relâchement des contraintes) augmente. Elles impactent fortement les propriétés de transport des charges dans le canal et cela se répercute sur les performances DC des composants.

Le transistor reporté sur le ruban I délivre une densité maximale de courant source-drain de 275mA/mm à  $V_{DS} = 3\text{V}$  et  $V_{GS} = 0\text{V}$  associée à une transconductance extrinsèque maximale ( $G_{m,max}$ ) de 170mS / mm à  $V_{GS} = -2\text{V}$ . La tension de pincement est d'environ -1,7 V proche de la valeur classiquement observée pour ce type de HEMT AlGaIn / GaN sur substrat silicium.

Pour le composant transféré sur le ruban II, une densité de courant de drain maximum de 620 mA / mm est obtenue à  $V_{DS} = 3\text{V}$  et  $V_{GS} = 0\text{V}$ . Pour une tension  $V_{DS}$  supérieure à 3V, une légère diminution de la densité de courant maximale est observée. Etant donné la structure globale de l'échantillon transistor-ruban, cela est attribué en priorité aux effets thermiques.

Une transconductance extrinsèque maximale de 293 mS/mm est obtenue à  $V_{GS} = -2,2$  V et une tension de pincement  $V_p$  de -3,3V est déduite. Le rapport  $I_{ON} / I_{OFF}$  du courant de drain est égal à  $10^5$ . Il correspond au rapport entre le courant de drain à l'état passant et le courant de drain à l'état bloqué.

### 3. 2. Caractérisation en régime dynamique :

Les paramètres  $S_{ij}$  sont mesurés de 0,25 à 67 GHz à l'aide de l'analyseur de réseau vectoriel (VNA) et du calibrage LRRM (Line-Reflect-Reflect-Match). Le module de gain ( $|H_{21}|$ ) et le gain unilatéral de Mason (U) sont déduits des paramètres  $S_{ij}$  par rapport à la fréquence.

Afin éviter toute contribution des aspects thermiques dans l'analyse des caractéristiques RF de ces dispositifs, les mesures sont effectuées à faible courant de drain ( $V_{DS} = 3$  V). À  $V_{DS} = 3$  V et  $V_{GS} = -1,7$  V, correspondant au pic de transconductance extrinsèque, le dispositif flexible sur ruban I présente une fréquence de coupure  $f_t$  de 45 GHz et une fréquence  $f_{MAX}$  de 55 GHz (Figure III-12) grâce à l'extrapolation linéaire de -20 dB / décade. Pour l'échantillon 2, la fréquence de coupure  $f_t$  est de 38 GHz et la fréquence maximale d'oscillation  $f_{max}$  associée au gain de Mason est de 38 GHz (Figure III-13) à  $V_{DS} = 3$  V et  $V_{GS} = -2,2$  V.

Compte tenu des performances en régime statique, le composant sur le ruban II devrait présenter de meilleures performances RF, mais un comportement opposé est observé. Des mesures des pertes sont ensuite effectuées sur CPW sur les couches de GaN pour les deux échantillons. Les pertes mesurées atteignent 3 dB.mm<sup>-1</sup> à 10 GHz pour l'échantillon 2 alors qu'il ne présente que 0,4 dB.mm<sup>-1</sup> pour l'échantillon 1. Cette différence significative entre le comportement des plots d'accès lors de la caractérisation RF peut conduire à une sous-estimation importante des fréquences de coupure concernant l'échantillon 2. Malheureusement, il n'a pas été possible de défalquer la contribution des plots d'accès pour analyser la performance RF des dispositifs intrinsèques. En effet aucun motif permettant de défalquer des pertes n'a été transféré ce qui n'a pas permis d'extraire les paramètres intrinsèques des dispositifs.

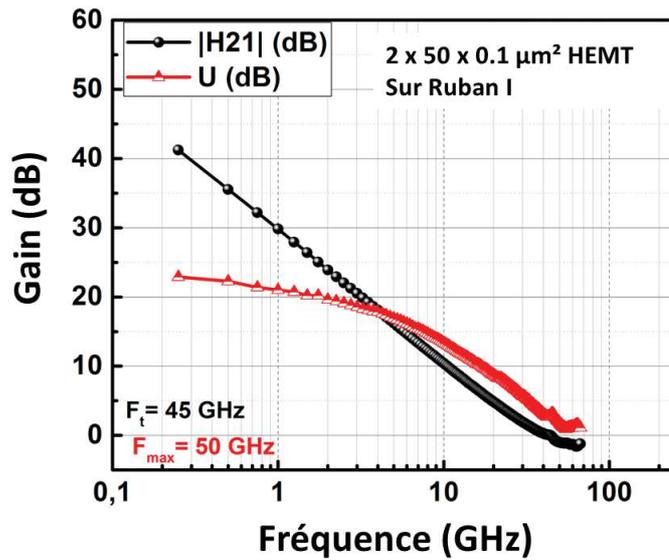


Figure III-12 : Evolution du gain en fonction de la fréquence du composant transféré sur le ruban I

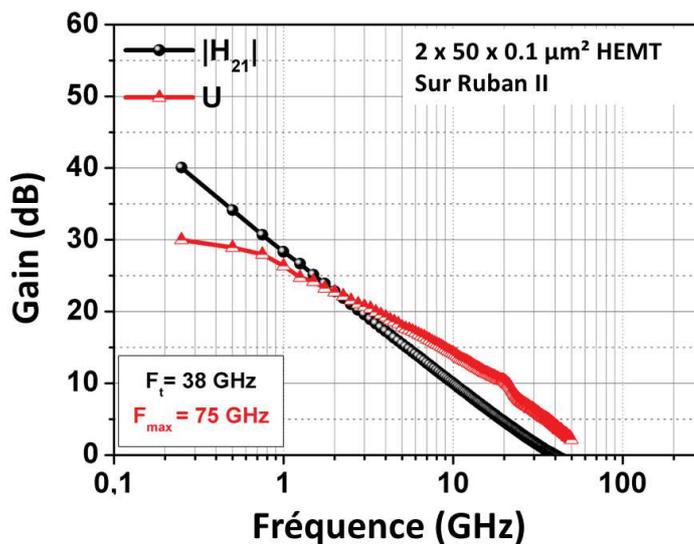


Figure III-13 : Evolution du gain en fonction de la fréquence du composant transféré sur le ruban II

### 3. 3. Caractérisation en régime grand signal à 10 GHz :

Dans cette partie nous présentons les mesures en puissance hyperfréquence à 10 GHz sur les mêmes transistors de topologie  $2 \times 50 \times 0,1\mu\text{m}^2$  caractérisés précédemment. La Figure III-14 et Figure III-15 décrivent ainsi l'évolution de la puissance de sortie  $P_{out}$ , du gain en puissance  $G_p$  et de la puissance ajoutée PAE en fonction de la puissance absorbée par le transistor  $P_{abs}$ .

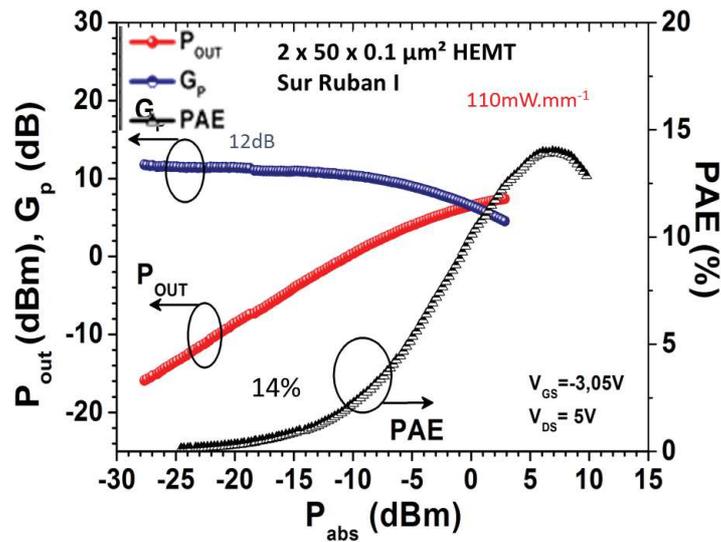


Figure III-14 : Caractéristiques de puissance hyperfréquence à 10 GHz au point de polarisation ( $V_{\text{GS}} = -3$  V et  $V_{\text{DS}} = 5$  V) du transistor transféré sur le ruban I

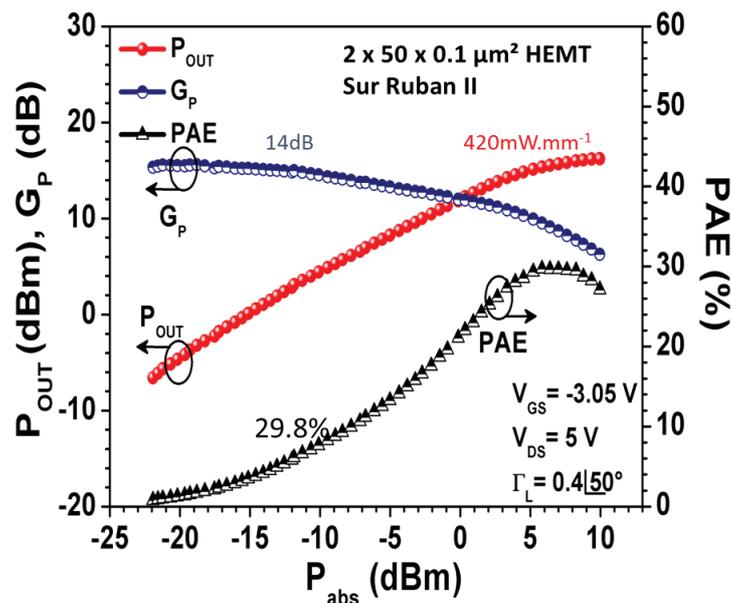


Figure III-15 : Caractéristiques de puissance hyperfréquence à 10 GHz au point de polarisation ( $V_{\text{GS}} = -3$  V et  $V_{\text{DS}} = 5$  V) du transistor transféré sur le ruban II

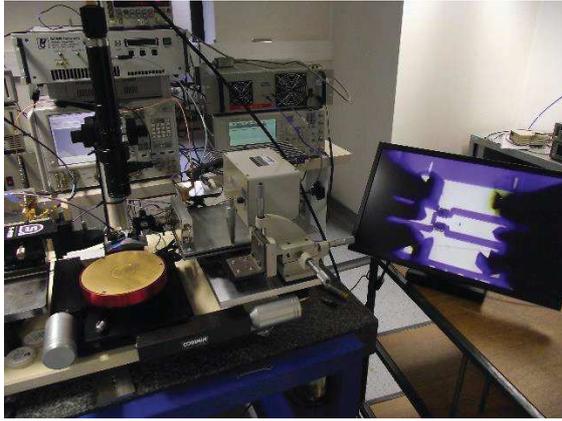
Les mesures ont été réalisées à  $V_{\text{DS}} = 5$  V pour limiter la dégradation du transistor en raison de la relative conduction thermique des rubans flexibles. À  $V_{\text{DS}} = 5$  V et  $V_{\text{GS}} = -3$  V, correspondant à une classe de fonctionnement AB, le dispositif flexible sur ruban I présente un gain de puissance linéaire ( $G_p$ ) de 12 dB, une densité de puissance de sortie ( $P_{\text{out}}$ ) de 110 mW / mm et une puissance ajoutée (PAE) de 14% (Figure III-14). Il s'agit de la première

démonstration d'une puissance hyperfréquence pour ces dispositifs au niveau international. Ce premier résultat souligne la faisabilité de l'approche et valide la preuve de concept. Il était important ensuite d'améliorer les performances afin de pouvoir proposer une solution plus performante.

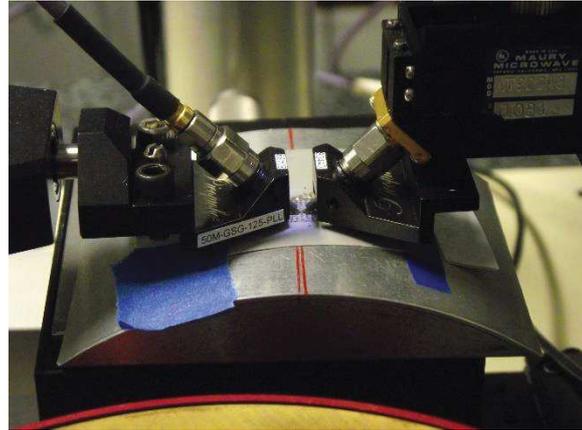
Le dispositif sur le ruban II présente un gain de puissance linéaire ( $G_p$ ) de 15,8 dB, une densité de puissance de sortie ( $P_{out}$ ) de 420 mW / mm et une puissance ajoutée (PAE) de 29,6% (Figure III-15). Ces résultats constituent l'état de l'art pour un HEMT de type AlGaN/GaN sur ruban flexible. Ce dispositif transféré sur le ruban ayant une conductivité thermique plus élevée présente à  $V_{DS} = 5V$ , un meilleur gain en puissance linéaire  $G_p$  estimé à +31,6% (15,8dB au lieu de 12dB). Il en est de même pour la puissance ajoutée PAE (+111%) passant de 14% à 29,6%. A cela s'ajoute l'amélioration sensible de la puissance de sortie  $P_{out}$  de 281% qui est de 420 mW/mm au lieu de 110mW/mm.

L'utilisation du second ruban flexible avec une meilleure conduction thermique présente une solution très intéressante pour minimiser les effets thermiques et améliorer la performance et la fiabilité des dispositifs.

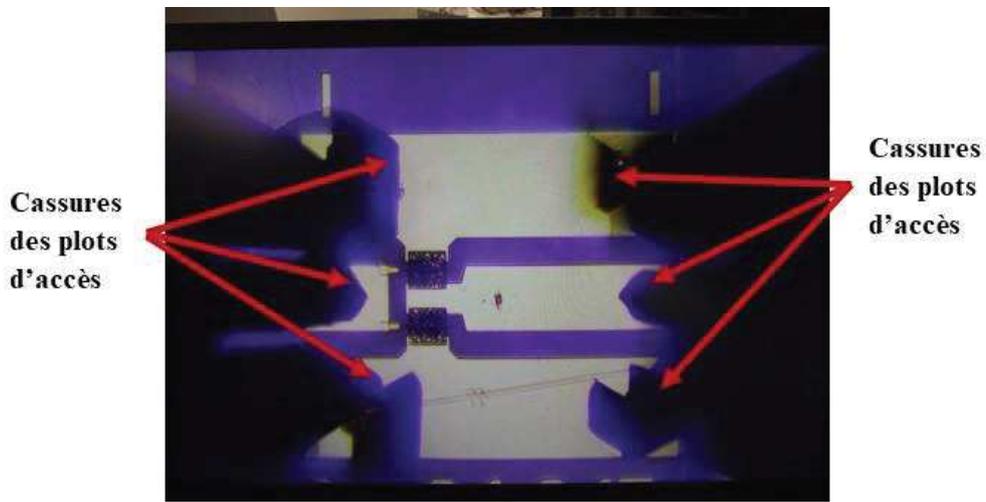
Il est à noter que le problème majeur avec les mesures était la fragilité des contacts. En effet, la pose de pointe sur les composants flexibles s'est révélée difficile ce qui n'a pas permis de réaliser des mesures sous flexion mécanique ( cf Figure III-16). Un travail technologique sur l'épaississement de ces plots permettrait peut-être de pallier ce problème. Une autre méthode de mesure est aussi en cours de développement. Elle consiste à faire varier la puissance d'entrée du générateur de signaux lors de la mesure des paramètres S. Cette mesure appelée, mesure à chaud, ne permet pas de se placer dans les meilleures conditions d'adaptation en entrée et en sortie du dispositif. Néanmoins, cela permettra de mesurer et de déterminer l'évolution de la puissance de sortie  $P_{out}$  en fonction de l'évolution de la puissance d'entrée  $P_e$  sans changer de pointes et de valider le fonctionnement en flexion du dispositif.



a)



b)



c)

Figure III-16: Images prise lors des mesures du composants sous contrainte mécanique (a) banc de mesure hyperfréquence (b) l'échantillon en flexion et (c) la cassure des contacts des plots d'accès lors de la pose des pointes

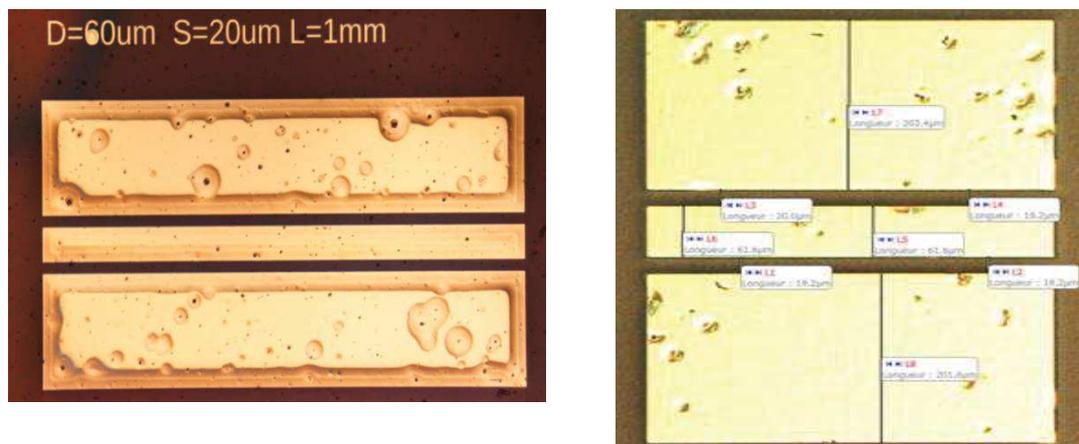
### Partie 3 : Caractérisation des composants graphène

Dans cette partie du chapitre, nous nous concentrons sur la caractérisation électrique des transistors graphène fabriqués à partir des deux topologies décrites dans la partie 2 du deuxième chapitre à savoir : top-gate, contacts arrière.

Dans un premier temps, nous présentons la caractérisation des substrats flexibles utilisés (Kapton et PEN) en termes de pertes diélectriques. Par la suite nous présentons les caractéristiques DC des composants en topologie top-gate. Les performances des dispositifs ne permettaient malheureusement pas d'effectuer les caractérisations hyperfréquences.

#### 4. Caractérisation des substrats flexibles (Kapton et PEN)

Les lignes CPW ont été réalisées sur ces deux substrats par lithographie électronique en déposant une bicouche de résine COPO/PMMA. Un empilement Ni/Au (50/300 nm) a été déposé par évaporation. Dans la Figure III-17 nous présentons des images optiques des lignes de transmission CPW sur kapton et sur PEN.



L'exploitation des mesures des paramètres S en transmission  $S_{12}$  ( ou  $S_{21}$ ) permettent d'extraire les valeurs des pertes dans les substrats flexibles .

Les pertes dans le Kapton sont estimées à 0.55 dB/mm à 40 GHz tandis qu'elles sont estimées à 0.4dB/mm sur PEN. Ces valeurs sont comparables avec les pertes présentes dans le silicium haute résistivité.

Ces mesures valident donc notre choix du substrat ainsi que notre design de ligne planaire.

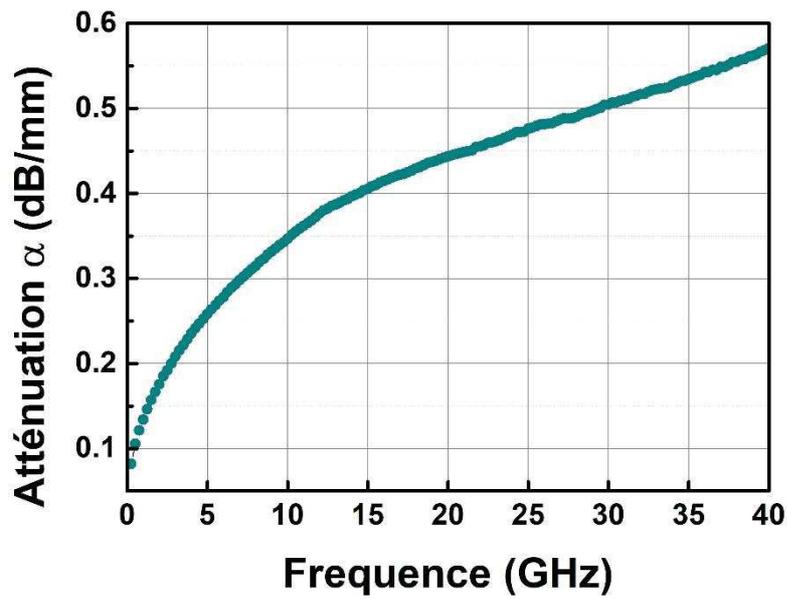


Figure III-18: Evolution des pertes en fonction de la fréquence d'une ligne CPW sur Kapton

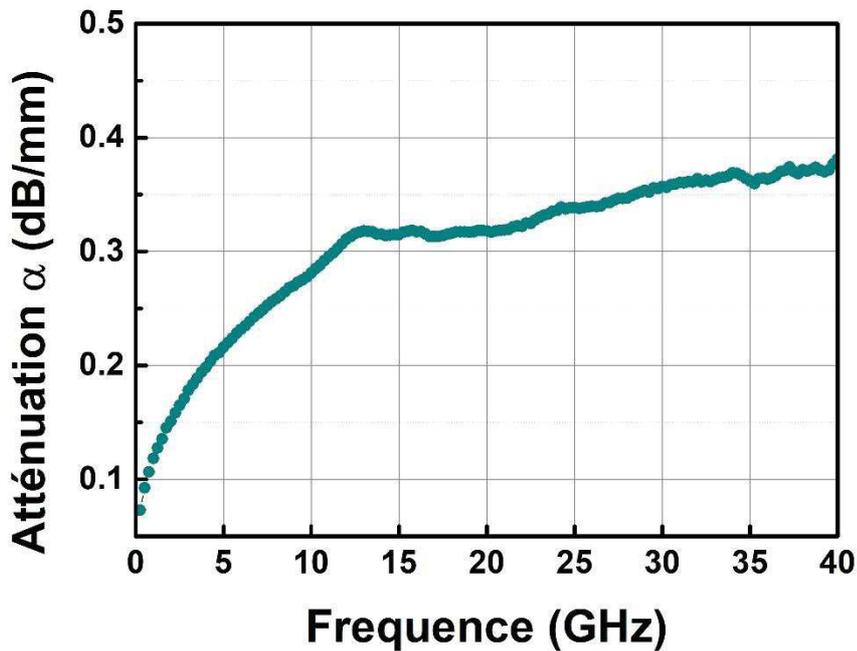


Figure III-19: Evolution des pertes en fonction de la fréquence d'une ligne CPW sur PEN

## 5. Caractérisation des composants en topologie top-gate en régime statique

Toutes les mesures présentées sont faites sur un transistor de longueur de grille de 100 nm, et de développement de 2 x 24  $\mu\text{m}$ . Les distances séparant la source du drain ( $L_{SD}$ ) et la source de la grille ( $L_{GS}$ ) sont de 1  $\mu\text{m}$  et 0,4  $\mu\text{m}$  respectivement.

La caractéristique de transfert  $I_{DS} = f(V_{DS})$  est présentée sur la Figure III-20. Elle est effectuée pour une tension  $V_{DS}$  allant de 0 à 1V et elle permet de valider le fonctionnement de type transistor à effet de champ des composants fabriqués. Il est à noter que les courants obtenus sont faibles. La valeur maximale du courant  $I_{DSmax}$  est de 240  $\mu A$  correspond à une valeur de courant normalisée de 10  $\mu A/\mu m$ . Ces faibles valeurs de courant s'expliquent par les grandes résistances obtenues lors des mesures TLM. En outre, une mesure de la résistance  $R_{DS}$  du canal est effectuée. Celle-ci, présentée dans la Figure III-21, est très élevée et estimée autour de 6,5 k $\Omega$ .

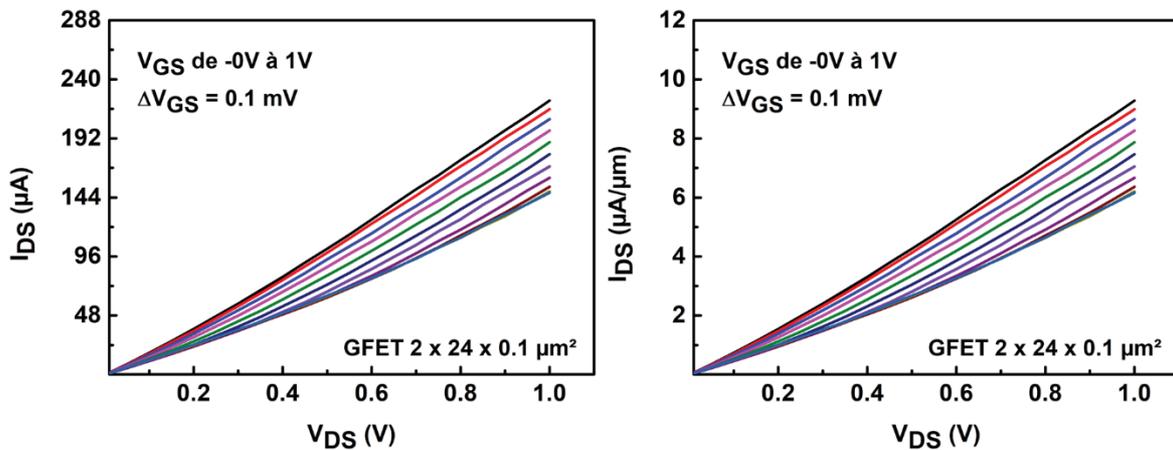


Figure III-20 : Evolution du courant  $I_{DS}$  en fonction de  $V_{DS}$  d'un transistor  $2 \times 24 \times 0,1 \mu m^2$  en topologie « Top-gate »

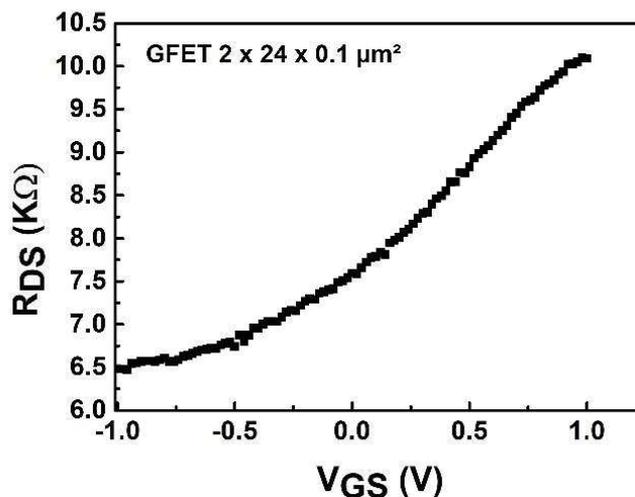


Figure III-21 : Evolution de la résistance  $R_{DS}$  en fonction de la tension  $V_{GS}$  d'un transistor  $2 \times 24 \times 0,1 \mu m^2$  en topologie « Top-gate »

Les caractéristiques de sortie du transistor  $I_{DS} = f(V_{DS})$ , présentées dans la Figure III-20, mettent en évidence l'absence de gap dans le graphène. En effet, le transistor n'opère pas en régime de saturation.

Après une caractérisation de la qualité du transport dans le canal, il est important d'évaluer la qualité de l'oxyde de grille. De bonne qualité, c'est à dire en jouant bien le rôle d'une barrière isolante vis-à-vis du courant, le courant de fuite  $I_G$  doit être très faible. Son évolution en fonction de la tension  $V_{GS}$  est présentée dans la Figure III-22. Le courant de fuite à travers le diélectrique est très faible, de l'ordre du nA.

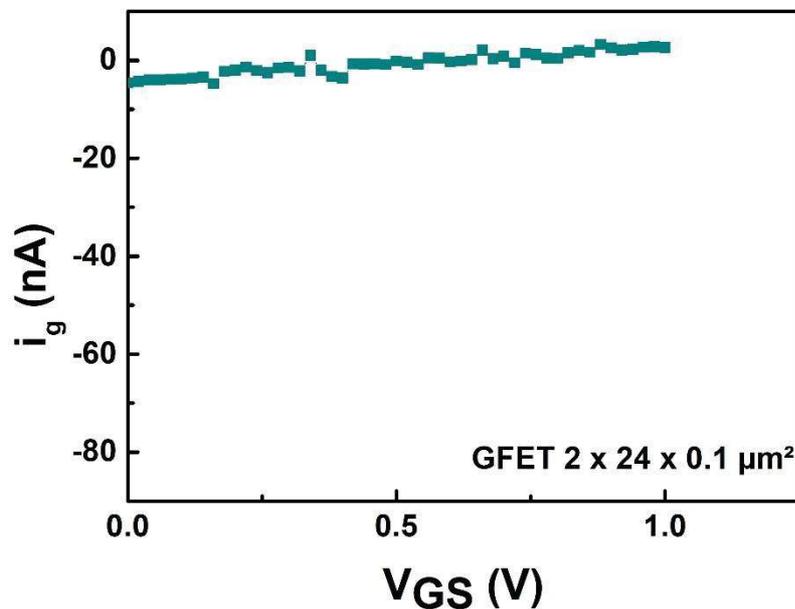


Figure III-22: évolution du courant de fuite  $I_G$  en fonction de la tension  $V_{GS}$  d'un transistor  $2 \times 24 \times 0.1 \mu\text{m}^2$  en topologie « Top-gate »

## 6. Caractérisation des composants en topologie contacts arrière en régime statique et hyperfréquence

La caractéristique de transfert  $I_{ds} = f(V_{DS})$  a été effectuée pour un  $V_{DS}$  allant de 0V à 0.5V et pour des tensions  $V_{GS}$  variant dans l'intervalle  $[-0,5V, 0,5V]$ . Les résultats de mesures sont présentés sur la Figure III-23. Aucune saturation n'est obtenue, ce qui montre l'absence de largeur de bande interdite. La recherche d'un courant de saturation à de plus fortes polarisations entraîne irrémédiablement la dégradation de l'oxyde.

Un courant entre drain et source  $I_{DS\_max}$  de 3.8mA a été noté, correspondant à une valeur normalisée de  $160 \mu\text{A}/\mu\text{m}$ . Cette mesure a montré une modulation de courant de 14%.

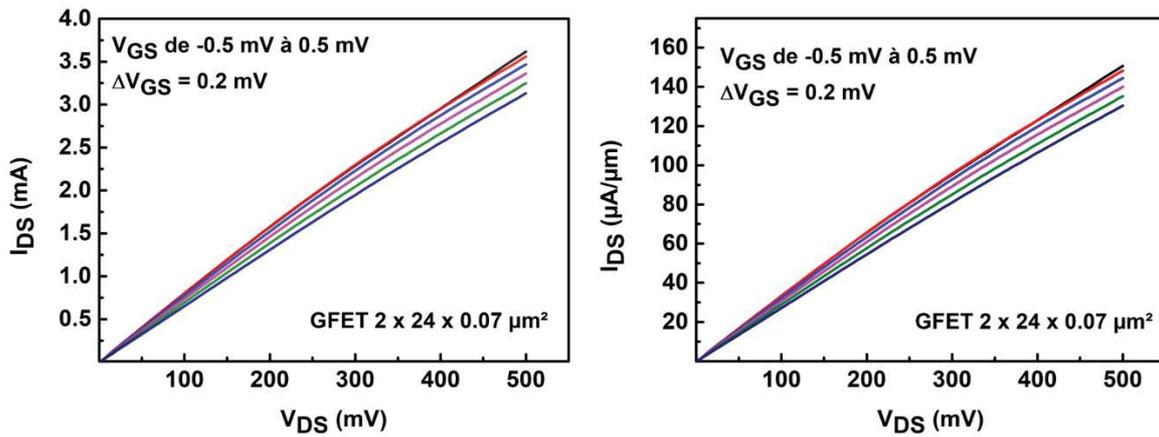


Figure III-23: Evolution du courant  $I_{DS}$  en fonction de  $V_{DS}$  d'un transistor  $2 \times 24 \times 0,1 \mu\text{m}^2$  en topologie « Contacts arrière »

La valeur de la conductance de sortie  $g_{ds}$  pour une tension  $V_{DS} = 0,5\text{V}$  est présentée sur la Figure III-24.a pour des tensions  $V_{GS}$  variant entre  $-500 \text{ mV}$  jusqu'à  $500\text{mV}$ . On peut observer que la valeur de cette conductance varie entre  $6,5$  et  $8\text{mS}$ .

La Figure III-24.b indique une valeur de courant de fuite de grille inférieure à  $10 \text{ nA}$ , cette limite étant donnée par le bruit de l'amplificateur plutôt que par le transistor. Ce résultat indique l'absence de fuite sur la couche d'oxyde ce qui indique une bonne isolation.

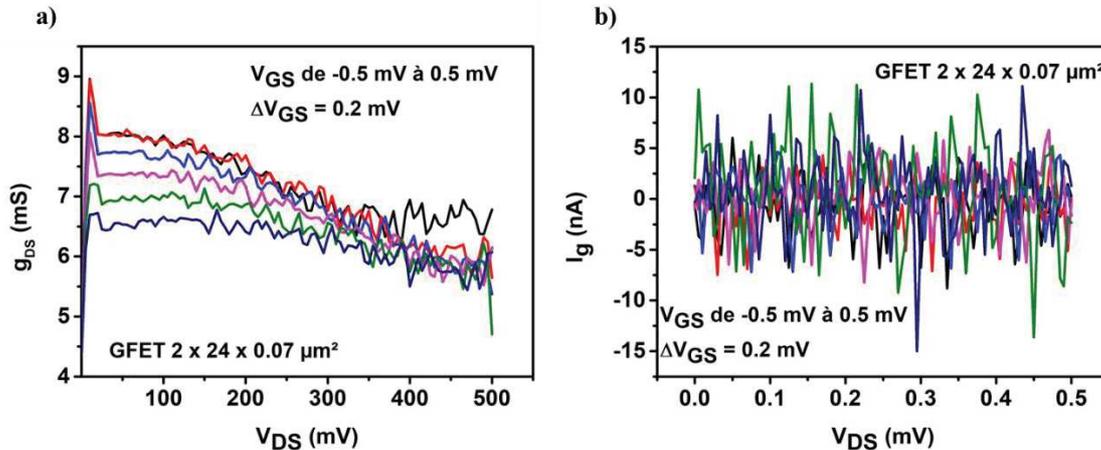


Figure III-24: Evolution de (a) la conductance de sortie  $g_{DS}$  et (b) le courant de fuite  $i_g$  en fonction de la tension  $V_{DS}$  d'un composant GFET  $2 \times 24 \times 0,07 \mu\text{m}^2$  en topologie « contacts arrière »

Le point de Dirac est situé au-delà de  $V_{GS} = 1\text{V}$ , ce décalage vers les tensions Grille-Source positives traduit un dopage de type p du graphène, ce qui implique une conduction par des trous. Les caractéristiques courant  $I_{DS}$  et transconductance statique  $G_m$  mesurées en fonction de  $V_{GS}$  du GFET sont présentées dans la Figure III-25 pour  $V_{GS}$  variant de  $-0,5\text{V}$  à  $1\text{V}$  à une tension  $V_{DS}$  constante de  $500 \text{ mV}$ .

La valeur de courant  $I_{ds}$  obtenue sur ce transistor est  $I_{DSmax} = 3,6 \text{ mA}$  à  $V_{GS} = -0,5V$  et pour  $V_{DS} = 500 \text{ mV}$ .

La Figure III-25 montre une valeur maximale de transconductance  $g_m^{max} = 0,4 \text{ mS}$  trouvée à  $V_{GS} = 940 \text{ mV}$ .

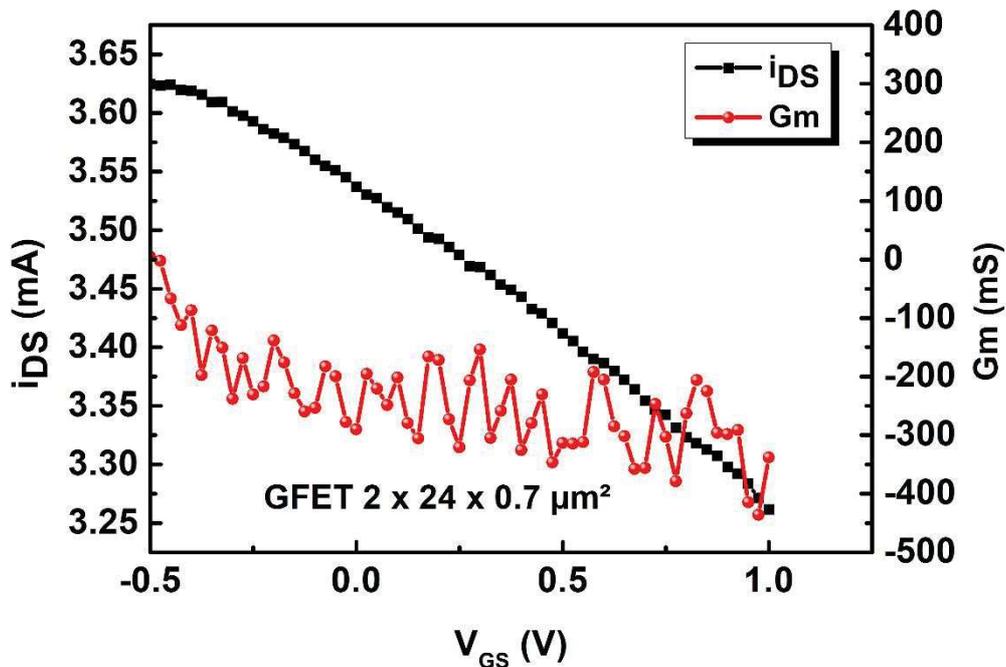


Figure III-25: Caractéristiques de transfert  $I_D-V_{GS}$  et transconductance  $g_m$  d'un composant GFET  $2 \times 24 \times 0,07 \mu\text{m}^2$  en topologie "contacts arrières"

Une évaluation des performances hyperfréquences de ces composants a été réalisée. La mesure consiste à évaluer les paramètres S au niveau du plan de référence des pointes. La Figure III-26 présente les évolutions des paramètres  $H_{21}$  et U obtenus à partir des paramètres S pour  $V_{GS} = 940 \text{ mV}$  et  $V_{DS} = 500 \text{ mV}$ . Les fréquences de coupures  $f_t$  et  $f_{max}$  reportées dans les plans de référence des sondes (DUT) sont  $f_t = 3 \text{ GHz}$  et  $f_{max} = 1 \text{ GHz}$ .

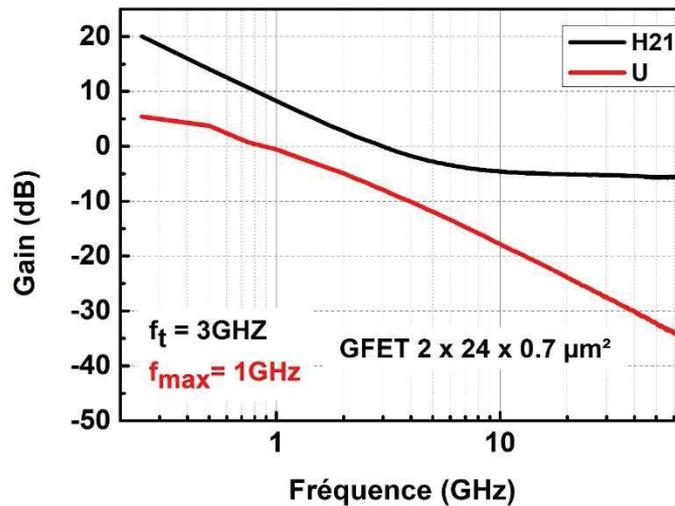


Figure III-26: Evolution du gain en fonction de la fréquence d'un composants  $2 \times 24 \times 0,07 \mu\text{m}^2$  en topologie « contacts arrières »

## 7. Conclusion du chapitre III

Ce dernier chapitre présente les caractérisations en régime statique et en régime hyperfréquence d'une sélection de composants HEMTs AlGaIn/GaN et GFET flexibles.

Il a débuté par une description des outils nécessaires à la compréhension du comportement de transistor MOSFET. Puis, nous avons présenté les caractérisations en régime statique, dynamique et en puissance hyperfréquence à 10 GHz de transistors de deux générations différentes de composants de la filière GaN. Nous avons démontré ainsi l'effet des améliorations technologiques apportées sur le procédé de transfert des composants du substrat rigide Si(111) au ruban flexible. Grâce à cela des résultats à l'état de l'art ont été obtenus avec un gain de puissance linéaire ( $G_p$ ) de 15,8 dB, une densité de puissance de sortie ( $P_{\text{out}}$ ) de 420 mW/mm et une puissance ajoutée (PAE) de 29,6%. Une caractérisation des rubans utilisés en termes de pertes a permis de valider ces derniers pour une utilisation en hyperfréquences [13]–[16].

Ce travail représente une première démonstration en puissance hyperfréquence à 10 GHz sur des HEMTs AlGaIn/GaN flexibles à faible longueur de grille (100 nm). Il serait intéressant de poursuivre ces travaux et d'effectuer l'ensemble des caractérisations en flexion. Dans le cadre du projet ANR FlexiGaN des mesures statiques et dynamiques en flexion ont montré que l'angle de flexion a très peu d'influence sur les caractéristiques hyperfréquences des dispositifs [17][18].

La troisième partie de ce chapitre s'est focalisée sur les résultats de mesure des composants à base de graphène réalisée avec le procédé sans collage développé dans le cadre de cette thèse. Dans un premier temps les substrats flexibles utilisés sont caractérisés. Par la suite une caractérisation d'un composant GFET en régime statique a permis de valider un comportement transistor du dispositif. Les courants obtenus sont faibles, ce qui confirme les résultats de l'exploitation des mesures effectuées sur les échelles TLM. Par la suite, des mesures en régime statique et hyperfréquence d'un composant en topologie « contacts arrières » montrent une valeur de fréquence de coupure  $f_t$  de 1GHz et une fréquence maximale d'oscillation  $f_{max}$  de 3 GHz. Les performances de ces transistors restent faibles par rapport à l'état de l'art suite aux problèmes de synthèse du graphène rencontrés lors de la fabrication des transistors. Cependant, ces résultats montrent bien le comportement transistor hyperfréquence des dispositifs fabriqués, ils permettent donc de valider le procédé sans collage développé. La suite naturelle de ce projet consiste à la réalisation d'un circuit intégré à base de transistors de graphène. Ce projet est actuellement en cours dans le cadre du Flagship Graphene CORE 2, et repose fortement sur le procédé développé dans le cadre de cette thèse.

## Bibliographie du chapitre III

- [1] J. K. Hunton, "Analysis of Microwave Measurement Techniques by Means of Signal Flow Graphs," *Microw. theory Tech. IRE Trans.*, no. 2, pp. 206–212, 1959.
- [2] p.-F. C. et R. Crampagne, "Circuits passifs hyperfréquences- Elements passifs réciproques," *Tech. l'Ingénieur*, 2003.
- [3] K. Kurokawa, "Power Waves and scattering matrix," *IEEE Trans. Microw. Theory Tech.*, vol. 13, no. 2, pp. 194–202, 1965.
- [4] T. Parenty, "Etude et perspective des transistors à hétérostructure AlInAs/GaInAs de longueur de grille inférieure à 100nm et conception des circuits intégrés en bande G," 2003.
- [5] S. J. Mason, "Power Gain in Feedback Amplifier," *Trans. IRE Prof. Gr. Circuit Theory*, vol. 36, no. 2, pp. 20–25, 1954.
- [6] M. S. Gupta, "Power Gain in Feedback Amplifiers, a Classic Revisited," *IEEE Trans. Microw. Theory Tech.*, vol. 40, no. 5, pp. 864–879, 1992.
- [7] J. Rollett, "Stability and Power-Gain Invariants of Linear Twoports," *IRE Trans. Circuit Theory*, vol. 9, no. 1, pp. 1–4, 1962.
- [8] D. Ducatteau, "Caractérisation non linéaire et analyse de transistors à effet de champ pour applications hyperfréquences dans le domaine temporel. Soutenance," 2008.
- [9] G. Simpson, "Hybrid active tuning load pull," in *77th ARFTG Microwave Measurement Conference*, 2011, no. 1, pp. 1–4.
- [10] V. Teppati, A. Ferrero, M. Garelli, and S. Bonino, "A comprehensive mixed-mode time-domain load- and source-pull measurement system," *IEEE Trans. Instrum. Meas.*, vol. 59, no. 3, pp. 616–622, 2010.
- [11] D. Yannick, "Etude de HEMTs AlGaN/GaN à grand développement pour la puissance hyperfréquence," Université de Lille 1, 2013.
- [12] P. Altuntas, "Fabrication et caractérisation de dispositifs de type HEMT de la filière GaN pour des applications de puissance hyperfréquence," Université de lillo1, 2015.
- [13] T. Changl, H. Mil, H. Zhangl, S. Mikaell, Y. H. Jungl, J. Hanl, and N. Haven, "High power fast flexible electronics: Transparent RF AlGaN/GaN HEMTs on Plastic Substrates," pp. 2–5, 2015.
- [14] K. J. Lee, M. a. Meitl, J.-H. Ahn, J. a. Rogers, R. G. Nuzzo, V. Kumar, and I. Adesida, "1. Bendable GaN high electron mobility transistors on plastic substrates," *J. Appl. Phys.*, vol. 100, no. 12, p. 124507, 2006.
- [15] M. Lesecq, V. Hoel, A. Lecavelier des Etangs-Levallois, E. Pichonat, Y. Douvry, and J. C. De Jaeger, "High Performance of AlGaN/GaN HEMTs Reported on Adhesive Flexible Tape," *IEEE Electron Device Lett.*, vol. 32, no. 2, pp. 143–145, Feb. 2011.
- [16] N. Defrance, F. Lecourt, Y. Douvry, M. Lesecq, V. Hoel, A. Lecavelier Des Etangs-Levallois, Y. Cordier, A. Ebongue, and J. C. De Jaeger, "Fabrication, Characterization, and Physical Analysis of AlGaN/GaN HEMTs on Flexible Substrates," *IEEE Trans.*

*Electron Devices*, vol. 60, no. 3, pp. 1054–1059, Mar. 2013.

- [17] M. Leseq, V. Hoel, A. L. Des Etangs-Levallois, E. Pichonat, Y. Douvry, and J. C. De Jaeger, “High performance of AlGaN/GaN HEMTs reported on adhesive flexible tape,” *IEEE Electron Device Lett.*, vol. 32, no. 2, pp. 143–145, 2011.
- [18] N. Defrance, F. Lecourt, Y. Douvry, M. Leseq, V. Hoel, A. Lecavelier Des Etangs-Levallois, Y. Cordier, A. Ebongue, and J. C. De Jaeger, “3. Fabrication, Characterization, and Physical Analysis of AlGaN/GaN HEMTs on Flexible Substrates,” *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 1054–1059, 2013.

# **Conclusion générale**

En conclusion, il apparaît important de souligner tout d'abord le grand intérêt qui continue d'être porté à l'heure actuelle au développement de l'électronique flexible au sein de la communauté scientifique et des industries de semi-conducteurs.

Pour mesurer les travaux conduits pendant ces trois années de thèse, le manuscrit a été scindé en trois grandes parties.

Dans le premier chapitre, les techniques de fabrication existantes au début des projets et publiées dans la littérature pour fabriquer des transistors ou des circuits flexibles ont été détaillées. Une analyse des résultats en termes de performances hautes fréquences des transistors flexibles a été faite afin de fournir des éléments de comparaison.

Les dispositifs flexibles basés sur des matériaux organiques et l'électronique imprimée ont l'avantage d'offrir un faible coût et aussi une grande surface. Cependant, ces stratégies sont limitées par leur mauvaise mobilité des porteurs et une résolution d'impression relativement faible, qui ne peuvent pas satisfaire des fréquences de fonctionnement élevées. Afin de dépasser de telles restrictions de fréquence, deux voies sont explorées dans notre travail.

Ainsi, le transfert de matériau de semi-conducteurs inorganiques conventionnels sur un substrat flexible permet de bénéficier de la maturité de la technologie sur substrat rigide. C'est le cas des composants de la filière GaN développés dans ce manuscrit. Par ailleurs, l'apparition de nouveau matériau tel que le graphène, ouvre la possibilité de la fabrication directe de composants sur substrat flexible permettant d'atteindre des fréquences beaucoup plus élevées que pour les matériaux organiques pouvant aller jusqu'au gigahertz. L'objectif des différents travaux est par conséquent d'explorer ces deux pistes afin de fabriquer des composants HEMTs AlGaN/GaN flexibles en les transférant du substrat rigide vers un ruban flexible et des composants à base de graphène en effectuant une lithographie directement sur flexible.

Dans le deuxième chapitre du manuscrit nous avons détaillé le procédé de fabrication développé pour chaque technologie. Pour les HEMTs AlGaN/GaN, nous avons commencé par la réalisation des composants sur substrat rigide silicium en utilisant un savoir-faire développé à l'IEMN. Nous détaillons par la suite le transfert des composants sur ruban flexible fourni par 3M, un partenaire du projet FLEXIGAN. Cette étape a été optimisée durant ce travail et a permis d'améliorer les performances des composants permettant ainsi d'obtenir des transistors flexibles à faible longueur de grille ( $L_g=100\text{nm}$ ). Concernant les transistors à base de graphène, une grande partie du travail s'est focalisé autour du développement d'un procédé de

fabrication permettant la manipulation des substrats flexibles. De ce fait, un support mécanique a été conçu et réalisé pour répondre à la problématique posée ce qui a permis de limiter le nombre de composants perdus en fin de procédé de fabrication. Par la suite, le travail a été poursuivi et consacré à la réalisation de transistors flexibles à base de graphène. Des transistors de longueur de grilles de 70nm ont ainsi été réalisés.

Le troisième et dernier chapitre est dédié à l'ensemble des caractérisations en régime statique, en régime hyperfréquence et en puissance suivant la filière étudiée. Dans un premier temps, une description des paramètres relatifs à la compréhension du fonctionnement des composants transistors à effet de champ du type MOSFET, ayant un comportement semblable à celui des HEMTs et des GFETs, a été présentée. Ensuite, l'étude s'est focalisée essentiellement sur l'apport des améliorations technologiques en termes de caractéristiques en régime dynamique et hyperfréquence. La caractérisation de puissance hyperfréquence des HEMTs ainsi obtenus a permis d'atteindre une densité de puissance de sortie de 420 mW/mm à une polarisation de drain de 5 V associée à un gain en puissance en zone linéaire de 15.8 dB et un rendement en puissance ajoutée de 29.6%. A cette heure, ce résultat représente l'état de l'art dans le domaine des composants de puissance sur substrat souple. Cela a fait l'objet d'une citation dans le magazine « Semiconductor Today » en 2016.

La caractérisation des composants à base de graphène s'est faite en régime statique et dynamique ce qui a permis de valider un comportement transistor de ces derniers. Pour une topologie grille arrière, un courant entre le drain et la source  $I_{DS\_max}$  de 3.8mA a été obtenu, correspondant à une valeur normalisée de  $160\mu A/\mu m$ . Une valeur maximale de transconductance  $g_{mmax} = 0.4 mS$  à  $V_{GS} = 940 mV$  est a été mesurée. Les fréquences de coupure et la fréquence maximale d'oscillation sont respectivement de  $f_t = 3 GHz$  et  $f_{max} = 1 GHz$ .

L'apport de ce travail de thèse et le développement technologique mis en place servent de point de départ aux futurs travaux de recherche et feront sans cesse l'objet de nouvelles optimisations.

Ainsi pour les composants HEMTs AlGaIn/GaN plusieurs pistes sont à explorer afin d'effectuer des mesures en puissance hyperfréquence en flexion. Nous pouvons citer la possibilité de graver le film GaN autour des composants afin de garder une planéité locale des composants lors de la déformation. Par ailleurs, un épaissement des plots servant à la prise

de contact électrique pourrait être une solution pour remédier aux problèmes liés à la fragilité des métallisations lors de la pose des pointes.

En ce qui concerne les transistors à base de graphène, l'utilisation d'un graphène de meilleure qualité devrait améliorer considérablement les performances des composants. D'autres topologies de composants pourraient aussi être utilisées tels que les grilles enterrées ou encore les grilles auto-alignées.

Outres ces perspectives, la fiabilité des composants reste l'un des plus gros défis de la microélectronique. En effet la durée de vie des composants présente un critère fondamental pour valider une technologie pérenne transférable au niveau industriel.