

Université d'Aix-Marseille



Thèse

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE D'AIX-MARSEILLE

Spécialité MICRO ET NANOELECTRONIQUE

dans le cadre de l'Ecole Doctorale :

Sciences pour l'Ingénieur : Mécanique, Physique, Micro et Nanoélectronique

préparée au sein de la société **STMicroelectronics à Rousset**

en collaboration avec l'**Institut Matériaux Microélectronique Nanosciences de Provence**

Fiabilité des transistors MOS des technologies à mémoires non volatiles embarquées

par

Marion CARMONA

Directeur de thèse : **M. Didier GOGUENHEIM**

Présentée et soutenue publiquement le 4 mars 2015 devant le jury composé de :

M. Pascal MASSON	Professeur, Université de Nice Sophia Antipolis	Président
M. Liviu MILITARU	Maître de conférences, INL INSA Lyon	Rapporteur
M. Philippe PERDU	Expert Senior, CNES Toulouse	Rapporteur
M. Didier GOGUENHEIM	Professeur, Université Aix-Marseille	Directeur de thèse
M. Jean-Luc OGIER	Docteur, STMicroelectronics	Examineur
M. Laurent LOPEZ	Docteur, STMicroelectronics	Invité

Remerciement

Les travaux de thèse présentés dans ce manuscrit ont été effectués dans le cadre d'une convention CIFRE entre deux entités partenaires, l'entreprise STMicroelectronics à Rousset et le laboratoire IM2NP (Institut Matériaux Microélectronique Nanosciences de Provence), de janvier 2012 à janvier 2015. Je remercie M. Rachid BOUCHAKOUR, directeur de l'IM2NP, ainsi que M. Olivier PIZZUTO, responsable du RCCAL (Rousset Central Characterization Analysis Laboratory), sans qui cette thèse et cette expérience unique n'auraient pu avoir lieu.

Je tiens à remercier Didier GOGUENHEIM, directeur de thèse et professeur à l'ISEN-Toulon, pour m'avoir fait partager ses compétences et ses connaissances. Merci pour l'aide, l'écoute et la patience qu'il m'a témoigné tout au long de ces trois années de thèse.

J'exprime toute ma gratitude à Jean-Luc OGIER, responsable de l'équipe « Caractérisation électrique » au sein du laboratoire RCCAL de STMicroelectronics (Rousset). Merci de m'avoir accueillie et d'avoir facilité mon intégration au sein de l'équipe, ce qui a contribué à créer de bonnes conditions de réalisation de ma thèse.

Merci tout particulièrement à Laurent LOPEZ, mon tuteur industriel, pour tout ce qu'il m'a appris, pour les conseils avisés qu'il a su me donner et pour son encadrement de grande qualité. Son attention, sa disponibilité, ses encouragements, son appréciable soutien quotidien et son implication dans cette thèse, m'ont permis de mener à bien ces travaux.

J'exprime toute ma reconnaissance à Philippe PERDU et à Liviu MILITARU pour avoir accepté d'être les rapporteurs de mon mémoire de thèse et pour m'avoir fait l'honneur de juger mon travail.

Ma respectueuse reconnaissance s'adresse également à Pascal MASSON. Je suis sensible à l'honneur qu'il m'a fait de faire partie du jury de thèse.

Je tiens à remercier chaleureusement tous les membres du laboratoire de caractérisation électrique pour leur accueil, leur support technique et leur curiosité scientifique. Un grand merci à : Lorin, Lionel, Olivier, Jean-Luc, Marc, Laurent, Luc, Patrick, Quentin, Guillaume, Vincenzo et Benjamin.

Sommaire

Liste des symboles et des abréviations	12
Introduction générale	17
Chapitre I: Introduction au transistor MOS et sa fiabilité	21
1. Le transistor MOS.....	25
1.1. Architecture et fonctionnement d'un transistor MOS	25
1.1.1. La structure MOS et ses régimes de fonctionnement	25
1.1.2. Caractéristiques courant-tension et les principaux paramètres du transistor MOS.....	27
1.1.2.1. Le régime linéaire.....	27
1.1.2.2. Le régime saturé.....	29
1.1.2.3. Le régime sous le seuil	30
1.1.2.4. Notion de mobilité des porteurs minoritaires	30
1.1.2.5. Notion de champ électrique à travers l'oxyde de grille	31
1.2. Propriétés du diélectrique SiO ₂	32
1.2.1. Propriétés physiques du système Si/SiO ₂	32
1.2.2. Les mécanismes de conduction à travers l'oxyde : effet tunnel	32
1.2.2.1. Courant tunnel Fowler-Nordheim.....	33
1.2.2.2. Courant tunnel direct	34
1.2.3. Les défauts dans le système Si/SiO ₂	35
1.2.3.1. Classification des défauts	35
1.2.3.2. Méthode de mesures des défauts	37
2. Fiabilité des transistors MOS	43
2.1. Claquage des oxydes.....	43
2.1.1. Claquage et mécanismes de dégradation de l'oxyde de grille	43
2.1.1.1. Méthode de claquage	43
2.1.1.2. Nature statistique du claquage	45
2.1.1.3. Mécanisme de dégradation	47
2.1.2. Modélisation du temps au claquage	48
2.1.2.1. Modèle pour les oxydes épais ($T_{ox} > 60\text{\AA}$)	49
2.1.2.2. Modèle pour les oxydes fins ($T_{ox} < 60\text{\AA}$)	50
2.2. Dégradation par stress de grille.....	52

2.2.1. Dégradation par stress de grille à haute température : phénomène de « Bias Temperature Instability »	52
2.2.1.1. La dégradation BTI et ses conséquences sur les MOSFETs	52
2.2.1.2. Modélisation de la dégradation BTI	56
2.2.2. Dégradation par stress de grille à fort champ : stress Fowler-Nordheim.....	57
2.2.2.1. La dégradation par stress Fowler-Nordheim et ses conséquences sur les MOSFETs	57
2.2.2.2. Modélisation de la dégradation par courant Fowler-Nordheim	59
2.3. Dégradation par injection de « porteurs chauds »	59
2.3.1. La dégradation par HCI et ses conséquences sur les MOSFETs	59
2.3.1.1. Définition des « porteurs chauds »	60
2.3.1.2. Mode d'injection des « porteurs chauds ».....	61
2.3.1.3. Conséquences de la dégradation par HCI.....	62
2.3.2. Modélisation	63
2.3.2.1. Modèle de Takeda	63
2.3.2.2. Modèle de l'électron chanceux	64
2.3.2.3. Modèle de recombinaison électron/trou.....	64
3. Conclusion	66

Chapitre II: Etude des oxydes « High Voltage (HV) » pour application aux mémoires non volatiles (NVM)	67
1. Introduction aux technologies à mémoires non volatiles.....	71
1.1. Mémoires embarquées.....	71
1.2. Classification des mémoires.....	71
1.2.1. Les mémoires volatiles.....	72
1.2.2. Les mémoires non volatiles.....	72
1.3. Architecture et fonctionnement des mémoires « Flash »	75
1.3.1. Cellule Flash unitaire.....	75
1.3.2. Organisation du plan mémoire	76
1.3.2.1. Description d'un plan mémoire.....	76
1.3.2.2. Architecture NOR et NAND.....	77
1.4. Transistor « haute tension » ou HV utilisé dans la technologie embarquée Flash 90nm étudiée	79
2. Dégradation de la tension de seuil des transistors HV lors d'un stress de grille en régime d'inversion.....	81
2.1. Phénomène de dégradation des transistors HV PMOS	81

2.1.1.	Dépendances en temps, en tension et en température	81
2.1.2.	Effet de relaxation	84
2.2.	Phénomène de dégradation des transistors HV NMOS.....	85
2.2.1.	Dépendance en temps, en tension et en température	85
2.2.2.	Effet de relaxation	90
2.3.	Différence de dégradation entre les transistors HV PMOS et HV NMOS	91
2.3.1.	Cinétique de dégradation	91
2.3.2.	Durée de vie.....	93
3.	Génération d'états d'interface et piégeage de charges lors d'un stress de grille en régime d'inversion et d'accumulation sur les transistors HV	95
3.1.	Phénomène de dégradation des transistors HV PMOS	97
3.1.1.	Stress de grille en régime d'inversion.....	97
3.1.2.	Stress en régime d'accumulation	98
3.2.	Phénomène de dégradation des transistors HV NMOS.....	100
3.2.1.	Stress de grille en régime d'inversion.....	100
3.2.2.	Stress en régime d'accumulation	101
3.3.	Différences et similitudes de dégradation entre les transistors HV PMOS et HV NMOS.....	102
4.	Dégradation de la tension de seuil des transistors HV lors d'un stress de grille en régime d'accumulation	106
4.1.	Dégradation des transistors HV PMOS lors d'un stress positif.....	106
4.2.	Dégradation des transistors HV NMOS lors d'un stress négatif	108
5.	Conclusion.....	111
Chapitre III: Procédés de fabrication pour composants basse consommation		113
1.	Introduction à la consommation des circuits digitaux CMOS.....	116
2.	Contrainte mécanique de la couche d'arrêt de gravure des contacts (CESL) et orientation cristalline.....	120
2.1.	Etat de l'art	120
2.1.1.	Effet de la couche d'arrêt de gravure des contacts (CESL)	120
2.1.2.	Effet de l'orientation cristalline	121
2.1.3.	Récapitulatif.....	122
2.2.	Résultats sur la mobilité des porteurs dans le canal d'une nouvelle orientation cristalline et d'une nouvelle contrainte mécanique du CESL	123
2.3.	Impact sur la fiabilité du transistor MOS	126
2.4.	Résumé sur l'effet d'une contrainte mécanique en tension du CESL et d'une direction <100> des porteurs dans le canal	128

3.	Procédé de nitruration	129
3.1.	Etat de l'art.....	129
3.1.1.	Pourquoi nitrurer l'oxyde de grille ?	129
3.1.2.	Fabrication des oxydes nitrurés	130
3.2.	Impact de la DPN sur la fuite de grille et la fiabilité du transistor MOS	130
3.3.	Résumé sur l'effet d'une nitruration plasma de l'oxyde de grille.....	133
4.	Influence de la DPN sur d'autres dispositifs MOS.....	134
4.1.	Mise en évidence d'une charge fixe selon les paramètres de nitruration.....	134
4.2.	Conséquences de la charge supplémentaire sur la fiabilité de l'oxyde de grille et du transistor MOS	137
5.	Procédés de fabrication retenus	141
5.1.	Caractérisation électrique.....	141
5.2.	Fiabilité de l'oxyde de grille	142
6.	Conclusion	145

Chapitre IV: Nouvelles architectures MOS pour applications digitales et analogiques.....147

1.	Introduction : Intérêts des nouvelles architectures.....	150
2.	Nouvelles architectures afin de supprimer l'effet « hump »	151
2.1.	Qu'est-ce que l'effet « hump » ?	151
2.1.1.	Définition et conséquences de l'effet « hump ».....	151
2.1.2.	Méthode de caractérisation	153
2.2.	Etude des transistors « papillons »	154
2.3.	Etude des transistors « en forme de 8 »	158
2.4.	Etude des transistors « octogonaux » et « circulaires »	161
2.5.	Résumé sur les nouvelles architectures étudiées afin de supprimer l'effet « hump »	164
3.	Nouvelles architectures afin de diminuer l'aire totale du CMOS	166
3.1.	Contexte de l'étude : contact de grille sur l'aire d'active	166
3.2.	Impact des contacts de grille sur l'aire d'active sur les performances électriques	167
3.3.	Impact des contacts de grille sur l'aire d'active sur la fiabilité	172
4.	Conclusion	176

Conclusion générale

177

Références bibliographiques

181

Références de l'auteur

201

Liste des symboles et des abréviations

Paramètre	Unité	Description
AHI	—	« Anode Hole Injection » (Injection de trous à l'anode)
AHR	—	« Anode Hydrogène Release » (Libération d'hydrogène à l'anode)
BL	—	« Bit Line » (Ligne de bit)
BTI	—	« Bias Temperature Instability »
CCS	—	« Constant Current Stress » (Stress à courant constant)
CESL	—	« Contact Etch Stop Layer » (couche d'arrêt de la gravure des contacts)
CHC	—	« Channel Hot Carrier »
CMOS	—	« Complementary Metal-Oxide-Semiconductor »
C_{OX}	$F.m^{-2}$	Capacité surfacique de l'oxyde de grille
C_{PP}	F	Capacité de l'oxyde inter-polysilicium entre la grille flottante et la grille de contrôle
C-V	—	Capacité-Tension
CVS	—	« Constant Voltage Stress » (Stress à tension constant)
DAHC	—	« Drain Avalanche Hot Carrier »
D_{IT}	$cm^{-2}.eV^{-1}$	Densité d'états d'interface
D_{OX}	$cm^{-2}.eV^{-1}$	Densité de charges d'oxyde rapporté à l'interface
DPN	—	« Decoupled Plasma Nitridation »
DRAM	—	« Dynamic Random Access Memory »
E_A	eV	Energie d'activation en température
E_C	J	Energie du niveau le plus bas de la bande de conduction du silicium
EEPROM	—	« Electrically Erasable and Programmable Read Only Memory »
E_F	J	Énergie du niveau de Fermi dans le silicium
E_i	J	Niveau d'énergie intrinsèque du silicium loin de l'interface
eNVM	—	« Embedded Non-Volatile Memory » (Mémoire non volatile embarquée)
E_{OX}	$V.m^{-1}$	Champ électrique aux bornes de l'oxyde
ERCS	—	« Exponential Ramp Current Stress »
E_V	J	Energie du niveau le plus haut de la bande de valence du silicium
FN	—	« Fowler-Nordheim »

GC	–	Grille de contrôle (« Control Gate ») d'une cellule mémoire
GF	–	Grille flottante (« Floating Gate ») d'une cellule mémoire
g_m	$A.V^{-1}$	Gain de transconductance
g_{mmax}	$A.V^{-1}$	Valeur maximale du gain de transconductance
GST	–	Ge ₂ Sb ₂ Te ₅ (matériau chalcogénure)
HCI	–	« Hot Carrier Injection » (Injection de porteurs chauds)
HV	–	« High Voltage » (Haute tension)
I_B	A	Courant de substrat
I_{Bmax}	A	Valeur maximale du courant de substrat
I_C	A	Courant de commutation
I_{CC}	A	Courant de court-circuit
I_{CP}	A	Courant de pompage de charges
I_{CPmax}	A	Valeur maximale du courant de pompage de charges
I_D	A	Courant de drain
I_{Dlin}	A	Courant de drain en régime linéaire
I_{Dsat}	A	Courant de drain en régime saturé
I_G	A	Courant de grille
I_{GIDL}	A	Courant de fuite du drain induit par la grille (« Gate induced drain leakage »)
I_{OFF}	A	Courant de fuite côté drain
I_{ON}	A	Courant nominal de fonctionnement
I_{REV}	A	Courant de fuite de la diode drain/substrat (jonction PN) polarisée en inverse
k_B	$J.K^{-1}$	Constante de Boltzmann (= $1.38 \cdot 10^{-23} J.K^{-1}$)
L	m	Longueur du canal du transistor
LDD	–	« Lightly Doped Drain »
LRVS	–	« Linear Ramp Voltage Stress »
m	Kg	Masse de l'électron (= $9.109 \cdot 10^{-31} Kg$)
m_{eff}	Kg	Masse effective des porteurs injectés dans un matériau
MIM	–	Métal-Isolant-Métal
MOS	–	« Metal-Oxide-Semiconductor »
MOSFET	–	« Metal-Oxide-Semiconductor Field Effect Transistor »
m_{OX}	–	Coefficient de la masse effective des électrons dans l'isolant
MRAM	–	« Magnetic Random Access Memory »
N_G	m^{-3}	Dopage de grille
n_i	m^{-3}	Concentration intrinsèque d'électrons dans le semi-conducteur
N_{IT}	m^{-2}	Nombre effectif de charges à l'interface Si/SiO ₂ par unité de

		surface
N_{OX}	m^{-2}	Nombre effectif de charges dans le volume de l'oxyde de grille par unité de surface
N_{SUB}	m^{-3}	Dopage du substrat
NVM		« Non-Volatile Memory » (Mémoire non volatile)
ONO	—	« Oxide-Nitride-Oxide » (Oxyde-Nitride-Oxyde)
OTF	—	« On-The-Fly »
PCM	—	« Phase Change Memory » (Mémoire à changement de phase)
P_{DYN}	V.A	Puissance dynamique
PNA	—	« Post Nitridation Anneal » (Recuit après nitruration)
q	C	Valeur absolue de la charge de l'électron ($= 1.6 \cdot 10^{-19}$ C)
Q_{FG}	C	Charge sur la grille flottante
Q_{INJ}	$C.m^{-2}$	Charge injectée durant un stress électrique en unité de surface
Q_{IT}	C	Charge due aux états d'interface
Q_{OX}	C	Charge piégée dans le volume de l'oxyde de grille
ReRAM	—	« Resistive RAM » (Mémoire résistive)
RTN	—	« Rapid Thermal Nitridation »
SGHC	—	« Secondary Generated Hot Carrier »
SHC	—	« Substrate Hot Carrier »
SIMS	—	« Secondary Ion Mass Spectrometry » (Spectrométrie de masse à ionisation secondaire)
SRAM	—	« Static Random Access Memory »
STI	—	« Shallow Trench Isolation » (Isolation par tranchée profonde)
T	K	Température absolue
t_{BD}	s	Temps de claquage
TCAD	—	« Technology Computer Assisted Design »
TD	—	« Tunnel-Direct »
TDDDB	—	« Time Dependent Dielectric Breakdown »
TEM	—	« Transmission Electron Microscopy » (Microscopie électronique à transmission)
T_{OX}	m	Epaisseur d'oxyde de grille
t_{relax}	s	Temps de relaxation
t_{stress}	s	Temps de stress
TTF	—	« Time-To-Failure » (Temps de défaillance)
V_B	V	Tension de substrat
V_{BD}	V	Tension de claquage
V_D	V	Tension de drain

V_{DD}	V	Tension nominale de fonctionnement
V_{FB}	V	Tension de bandes plates
V_{FG}	V	Tension de la grille flottante
V_G	V	Tension de grille
V_{MG}	V	Tension de Mid-Gap
V_{OX}	V	Tension aux bornes de l'oxyde de grille
V_S	V	Tension de source
V_{TH}	V	Tension de seuil
W	m	Largeur du canal du transistor
WL	—	« Word Line » (Ligne de mot)
ΔV_{IT}	V	Dégradation en tension due à la génération d'états d'interface après l'application d'un stress électrique
ΔV_{OT}	V	Dégradation en tension due au piégeage de charges dans l'oxyde de grille après l'application d'un stress électrique
ϵ_0	$F.m^{-1}$	Permittivité diélectrique du vide ($=8.85 \cdot 10^{-12} F.m^{-1}$)
ϵ_{OX}	—	Permittivité diélectrique relative de l'oxyde ($= 3.9$)
ϵ_{Si}	—	Permittivité diélectrique relative du silicium ($= 11.9$)
ϕ_B	eV	Hauteur de barrière
ϕ_F	V	Potentiel de volume du semi-conducteur
μ_{eff}	$cm^2.V^{-1}.s^{-1}$	Mobilité des porteurs dans le canal
τ	s	Durée de vie
Ψ	V	Courbure de bande dans le semi-conducteur
Ψ_S	V	Potentiel de surface du substrat
$\hbar$	$J.s$	Constante de Planck réduite ($=1.055 \cdot 10^{-34} J.s$)

Introduction générale

L'industrie de la microélectronique connaît depuis ses origines un développement extraordinaire tant les possibilités d'applications qu'elle ouvre sont nombreuses et prometteuses. Cependant, la fabrication de circuits intégrés toujours plus complexe d'une génération à l'autre n'est possible que grâce à des innovations incessantes autorisant leur faisabilité. D'un point de vue technologique, c'est avant tout par la réduction des dimensions critiques des dispositifs élémentaires utilisés dans la microélectronique (notamment la longueur de grille et l'épaisseur d'oxyde dans les transistors MOS, Métal–Oxyde–Semiconducteur) et par l'abaissement des tensions d'alimentation que les technologies actuelles et futures permettent et permettront d'atteindre des performances élevées autant en termes de rapidité de commutation qu'en termes de densité d'intégration. La miniaturisation croissante des circuits intégrés entraîne une augmentation de la complexité des procédés de fabrication où chaque nouvelle étape peut influencer la fiabilité des composants. La fiabilité des systèmes électroniques constitue un enjeu économique majeur dans le contexte de l'essor actuel du développement des applications microélectroniques. Aussi, la qualification de nouvelles technologies par les fabricants de semi-conducteurs impose de garantir une durée de vie à l'échelle du transistor élémentaire comme première étape de caractérisation de la fiabilité du circuit complet.

Cette thèse a été réalisée dans le cadre d'une convention CIFRE entre le laboratoire de caractérisation électrique de la société STMicroelectronics localisé à Rousset (RCCAL, Bouches du Rhône) et l'Institut de Matériau, Microélectronique Nanosciences de Provence (IM2NP, Marseille-Toulon). Comme la plus grande partie des sites de productions européens de semi-conducteurs, le site de STMicroelectronics Rousset est une unité de fabrication sur plaque 8 pouces. Ce site a pour vocation de produire des technologies CMOS avec mémoires non-volatiles embarquées limitées autour du nœud technologique de 90nm. Par conséquent, l'amélioration des performances des MOSFETs sur la technologie CMOS 90nm est essentielle dans le développement de nouveaux produits sur ce nœud.

Dans ce contexte, ce travail de thèse traite des différents phénomènes de dégradation que peuvent subir les transistors MOS suivant leurs applications sur les technologies CMOS avec mémoires non-volatiles embarquées. En effet, suivant les applications visées, des mécanismes de dégradation spécifiques peuvent apparaître. Notamment, l'utilisation de la haute tension pour les mémoires non volatiles à stockage de charge, peut impacter la fiabilité du transistor MOS. De plus, des modifications de procédés de fabrication ou d'architectures, peuvent être utilisées afin d'améliorer les performances des MOSFETs et/ou augmenter leur densité d'intégration. Ces variations peuvent avoir un impact sur les mécanismes de dégradation de l'oxyde de grille et du transistor MOS.

Pour présenter mes travaux, le manuscrit s'articule en quatre chapitres.

Dans le premier chapitre, après avoir rappelé le fonctionnement du transistor MOS, les trois principaux phénomènes de dégradation seront détaillés, à savoir : le claquage d'oxyde, la dégradation par stress de grille et la dégradation par injection de porteurs chauds.

Dans le second chapitre, le stress de grille à fort champ électrique sera étudié sur les transistors « haute tension », utilisés dans le but de délivrer la haute tension lors des étapes de programmation et d'effacement des mémoires non volatiles à stockage de charge, comme la mémoire Flash. L'utilisation de la haute tension engendre des mécanismes de dégradation spécifiques, liés au phénomène de conduction tunnel Fowler-Nordheim.

Concernant les transistors pour applications digitales, le troisième chapitre traitera de l'amélioration de la mobilité des porteurs dans le canal de ces dispositifs ainsi que sur la diminution de la fuite de courant de grille et de l'impact sur la fiabilité. Plusieurs modifications du procédé de fabrication seront étudiées dans ce chapitre, notamment l'orientation du substrat, la contrainte mécanique de la couche d'arrêt de la gravure des contacts (CESL) et la nitruration de l'oxyde de grille en chambre plasma (DPN).

Dans le dernier chapitre, une étude sur l'architecture des transistors MOS sera réalisée dans le but d'améliorer les performances des transistors pour applications analogiques et digitales. Une première étude porte sur l'effet « hump » où plusieurs nouvelles architectures MOS seront réalisées dans le but de supprimer cet effet. Une deuxième étude se focalise sur la position des contacts de grille dans le but de diminuer l'aire totale de l'architecture CMOS.

Enfin, nous terminerons par les conclusions et perspectives de ce travail de thèse.

Chapitre I: Introduction au transistor MOS et sa fiabilité

Résumé

Ce premier chapitre a pour but de rappeler le fonctionnement du dispositif élémentaire de la structure MOS (Métal-Oxyde-Semiconducteur), de définir les paramètres et les dépendances qui serviront au cours de nos études et d'introduire les notions de fiabilité de ce dispositif.

Ainsi, la première partie de ce chapitre s'efforcera de présenter le transistor MOS à effet de champ, appelé MOSFET, dans ses différents régimes de fonctionnement. Tout d'abord sera défini ce qu'est un transistor MOS d'un point de vue technologique, puis seront posées les équations de base régissant son fonctionnement électrique et cela, selon les polarisations appliquées à sa structure. De plus, nous nous concentrerons sur les défauts présents et/ou générés lors de l'application d'un stress électrique, dans l'oxyde de grille et à l'interface silicium/oxyde.

Dans la seconde partie de ce premier chapitre, nous allons mettre en place les bases essentielles à la compréhension des différents modes de dégradation auxquels les composants MOS peuvent être soumis. Tout d'abord, une présentation du mécanisme de dégradation appelé « Time Dependent Dielectric Breakdown (TDDB) » sera réalisée. Ensuite, la fiabilité des transistors MOSFETs soumis aux phénomènes de dégradation communément appelés stress de grille et injection de porteurs chauds (HCI) sera introduite. L'objectif est de présenter ici, les modèles physiques, les dégradations induites sur les transistors, ainsi que les méthodes de caractérisation de ces mécanismes de défaillance.

Sommaire

1.	Le transistor MOS.....	25
1.1.	Architecture et fonctionnement d'un transistor MOS	25
1.1.1.	La structure MOS et ses régimes de fonctionnement	25
1.1.2.	Caractéristiques courant-tension et les principaux paramètres du transistor MOS.....	27
1.1.2.1.	Le régime linéaire.....	27
1.1.2.2.	Le régime saturé.....	29
1.1.2.3.	Le régime sous le seuil	30
1.1.2.4.	Notion de mobilité des porteurs minoritaires	30
1.1.2.5.	Notion de champ électrique à travers l'oxyde de grille	31
1.2.	Propriétés du diélectrique SiO ₂	32
1.2.1.	Propriétés physiques du système Si/SiO ₂	32
1.2.2.	Les mécanismes de conduction à travers l'oxyde : effet tunnel	32
1.2.2.1.	Courant tunnel Fowler-Nordheim.....	33
1.2.2.2.	Courant tunnel direct.....	34
1.2.3.	Les défauts dans le système Si/SiO ₂	35
1.2.3.1.	Classification des défauts.....	35
1.2.3.2.	Méthode de mesures des défauts	37
2.	Fiabilité des transistors MOS	43
2.1.	Claquage des oxydes.....	43
2.1.1.	Claquage et mécanismes de dégradation de l'oxyde de grille	43
2.1.1.1.	Méthode de claquage	43
2.1.1.2.	Nature statistique du claquage	45
2.1.1.3.	Mécanisme de dégradation	47
2.1.2.	Modélisation du temps au claquage	48
2.1.2.1.	Modèle pour les oxydes épais ($T_{ox} > 60\text{\AA}$)	49
2.1.2.2.	Modèle pour les oxydes fins ($T_{ox} < 60\text{\AA}$).....	50
2.2.	Dégradation par stress de grille.....	52
2.2.1.	Dégradation par stress de grille à haute température : phénomène de « Bias Temperature Instability »	52
2.2.1.1.	La dégradation BTI et ses conséquences sur les MOSFETs	52
2.2.1.2.	Modélisation de la dégradation BTI	56

2.2.2. Dégradation par stress de grille à fort champ : stress Fowler-Nordheim.....	57
2.2.2.1. La dégradation par stress Fowler-Nordheim et ses conséquences sur les MOSFETs	57
2.2.2.2. Modélisation de la dégradation par courant Fowler-Nordheim	59
2.3. Dégradation par injection de « porteurs chauds »	59
2.3.1. La dégradation par HCl et ses conséquences sur les MOSFETs	59
2.3.1.1. Définition des « porteurs chauds »	60
2.3.1.2. Mode d'injection des « porteurs chauds ».....	61
2.3.1.3. Conséquences de la dégradation par HCl.....	62
2.3.2. Modélisation	63
2.3.2.1. Modèle de Takeda	63
2.3.2.2. Modèle de l'électron chanceux	64
2.3.2.3. Modèle de recombinaison électron/trou.....	64
3. Conclusion	66

1. Le transistor MOS

1.1. Architecture et fonctionnement d'un transistor MOS

1.1.1. La structure MOS et ses régimes de fonctionnement

La structure MOS (Métal-Oxyde-Semiconducteur) est composée de trois couches : un semi-conducteur (silicium cristallin dopé), un isolant (oxyde de silicium SiO_2) obtenu par oxydation thermique du substrat en silicium et un conducteur (grille métallique), il s'agit habituellement d'un semi-conducteur sous forme poly-cristalline dopé à dégénérescence, dont les propriétés électriques sont proches de celles d'un métal. Il existe principalement deux types de capacité MOS faisant intervenir deux types de porteurs différents : la capacité MOS à canal d'électrons, appelée NMOS, est composée d'un semi-conducteur dopé P et d'une grille dopée N, alors que la capacité à canal de trous, appelée PMOS, est composée d'un semi-conducteur dopé N et d'une grille dopée P. Le diagramme de bande d'énergie d'une capacité à canal d'électrons est représenté sur la Figure I.1.1. On définit le potentiel de volume du semi-conducteur :

$$\phi_F = \frac{K_B * T}{q} * \ln\left(\frac{N_A}{n_i}\right) = \frac{E_i - E_F}{q} \quad (\text{I.1})$$

Avec q la charge de l'électron, K_B la constante de Boltzmann, T la température, E_F le niveau de Fermi, E_i le niveau intrinsèque du silicium (non dopé) situé à mi-distance entre la bande de valence (E_V) et la bande de conduction (E_C), N_A la concentration de dopants accepteurs dans le cas d'un NMOS (dans le cas d'un PMOS on note N_D la concentration de dopants donneurs), et n_i la concentration intrinsèque de silicium. $\psi(y)$ est la courbure des bandes à la profondeur y dans le substrat. ψ_s est le potentiel de surface, c'est-à-dire le potentiel à $y=0$. Pour $y=+\infty$, la courbure est nulle. Suivant le sens et la valeur de la tension appliquée aux bornes de la capacité MOS, quatre modes de fonctionnement peuvent se produire (à noter que les signes des tensions appliquées sont opposés entre une capacité NMOS et PMOS – Explications données dans le cas d'une capacité à canal d'électrons) :

- L'accumulation (Figure I.1.1.a) : Une tension négative par rapport au substrat est appliquée sur la grille, il y a accumulation de porteurs majoritaires à l'interface Si/SiO_2 , le potentiel de surface est négatif ;
- Le bande-plate : Le champ électrique est nul à l'interface Si/SiO_2 , ce qui donne le diagramme de bande pour lequel le potentiel de surface ψ_s est nul (Figure I.1.1.b). La polarisation de grille tel que le substrat est en situation de bandes plates, est appelée V_{FB} (« flat band ») ;

- La désertion : La tension de grille appliquée est légèrement supérieure à V_{FB} (tension positive), le potentiel de surface devient légèrement positif. Il se forme une zone désertée (de largeur W) de porteurs majoritaires à l'interface semi-conducteur/isolant ;
- L'inversion (Figure I.1.1.c) : ψ_s augmente avec le potentiel de grille. Le système atteint le régime d'inversion faible lorsque $\psi_s = \phi_F$, une couche de porteurs minoritaires est alors générée près de l'interface. La polarisation de grille avec un substrat en situation de d'inversion faible est appelée V_{MG} (« mid-gap »). A partir de $\psi_s > 2\phi_F$ nous définissons le régime d'inversion forte, c'est-à-dire qu'une couche à forte densité de porteurs minoritaires est formée à l'interface et engendre un changement du type du semi-conducteur : couche d'électrons dans le cas des NMOS et couche de trous dans le cas des PMOS.

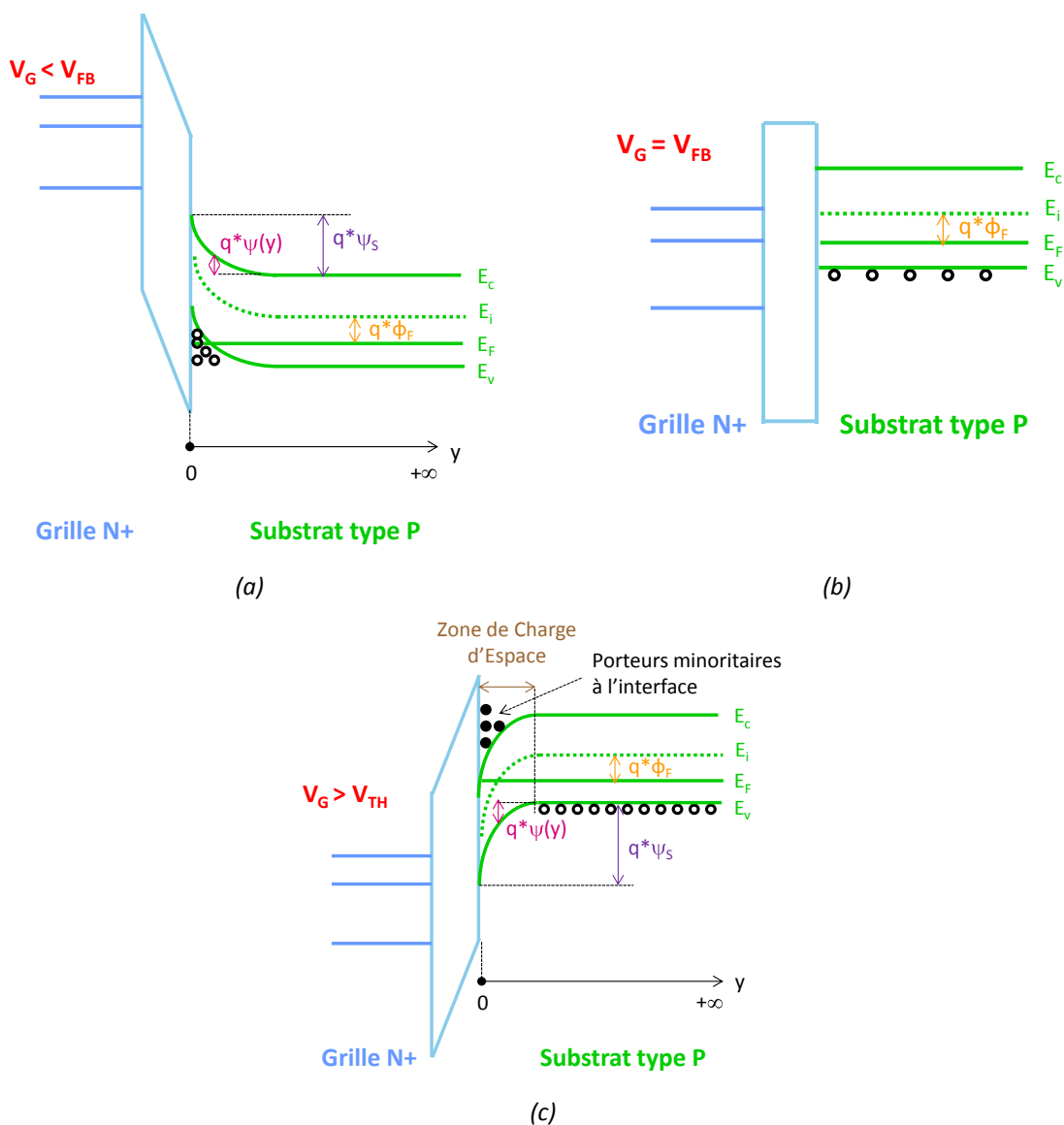


Figure I. 1.1 : Diagramme de bandes d'une capacité NMOS en régime d'accumulation (a), de bande-plate (b) et d'inversion forte (c)

Un transistor MOS est constitué d'une capacité MOS à laquelle nous ajoutons sur deux côtés opposés de la grille, des zones de silicium très fortement dopées (à dégénérescence dans les technologies actuelles) qui font office de réservoirs de porteurs, comme illustré sur la Figure I.1.2. Leur dopage est de signe opposé à celui du substrat. Nous parlons des jonctions de source (électrode la moins polarisée par rapport au substrat) et de drain (électrode la plus polarisée par rapport au substrat). La tension de grille, par effet du champ électrique vertical, contrôle à travers l'oxyde de grille, la densité de porteurs dans le canal du dispositif. Le flux de porteurs est lui, contrôlé par la tension de drain qui crée un champ latéral.

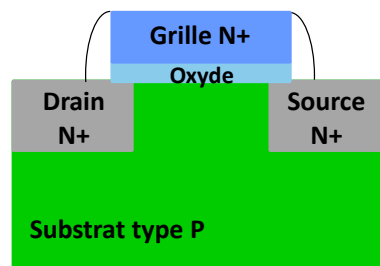


Figure I. 1.2 : Représentation schématique d'un transistor NMOS

1.1.2. Caractéristiques courant-tension et les principaux paramètres du transistor MOS

1.1.2.1. Le régime linéaire

Le régime linéaire est obtenu lorsque la différence de potentiel entre le drain et la source est très faible. Dans ce cas, la variation de potentiel de surface est linéaire le long du canal. La polarisation positive du drain (dans le cas d'un transistor à canal d'électron), et donc la différence de potentiel positive entre le drain et la source, permet la circulation d'un courant d'électrons lorsque la tension de grille est suffisante :

$$I_D = \mu_{\text{eff}} * C_{\text{OX}} * \frac{W}{L} * \left(V_G - V_{\text{TH}} - \frac{V_D}{2} \right) * V_D \quad (1.2)$$

Où μ_{eff} est la mobilité des porteurs dans le canal, C_{OX} est la capacité de l'oxyde de grille, W et L sont respectivement la largeur et la longueur du canal, V_G et V_D sont respectivement la tension de grille et de drain et V_{TH} est la tension de seuil, tension pour laquelle la couche d'inversion forte existe c'est-à-dire pour $\psi_S = 2\phi_F$.

C_{OX} est définie par unité de surface en fonction de la permittivité du vide ϵ_0 et de la constante diélectrique relative de l'oxyde ϵ_{OX} ainsi que l'épaisseur de l'oxyde T_{OX} :

$$C_{OX} = \frac{\epsilon_{OX} * \epsilon_0}{T_{OX}} \quad (1.3)$$

L'expression de la tension de seuil des transistors de type NMOS est donnée par l'Equation 1.4.

$$V_{TH} = 2 * \phi_F + V_{FB} + \frac{\sqrt{4 * q * N_A * \epsilon_{Si} * \epsilon_0 * \phi_F}}{C_{OX}} \quad (1.4)$$

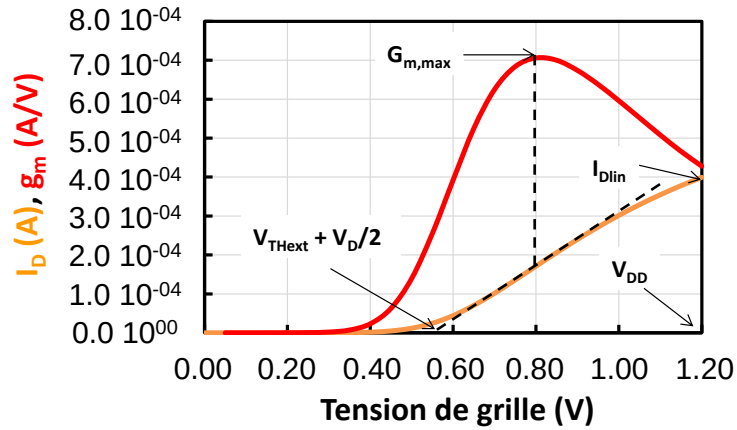
Où ϵ_{Si} est la constante diélectrique relative du substrat de silicium.

Expérimentalement, il existe plusieurs méthodes pour déterminer la tension de seuil [Ortiz02]. Les méthodes les plus courantes sont la méthode d'extrapolation en régime linéaire (V_{THext}) et la méthode à courant fixe ($V_{TH@I_D}$). Pour déterminer V_{THext} , nous devons tout d'abord définir la transconductance notée g_m comme étant la dérivée du courant de drain par rapport à la tension de grille :

$$g_m = \frac{dI_D}{dV_G} \quad (1.5)$$

La méthode consiste alors à tracer la tangente de la courbe I_D-V_G au maximum de la transconductance. L'intersection de l'axe des abscisses avec la tangente correspond à V_{THext} plus un facteur correctif de $V_D/2$. $V_{TH@I_D}$, dit V_{TH} à courant donné, est la valeur de la tension de grille pour un courant de drain fixé. Un exemple d'extraction de la tension de seuil avec ces deux méthodes est représenté sur la Figure 1.1.3.

En régime linéaire, la courbe la plus représentative du transistor MOS est la caractéristique I_D-V_G , courant de drain en fonction de la tension de grille, pour V_D faible, représentée sur la Figure 1.1.3. Nous définissons sur la courbe I_D-V_G en échelle linéaire le courant de drain en régime linéaire I_{Dlin} comme étant le courant pour une tension de grille égal à la tension nominale de fonctionnement du dispositif noté V_{DD} .

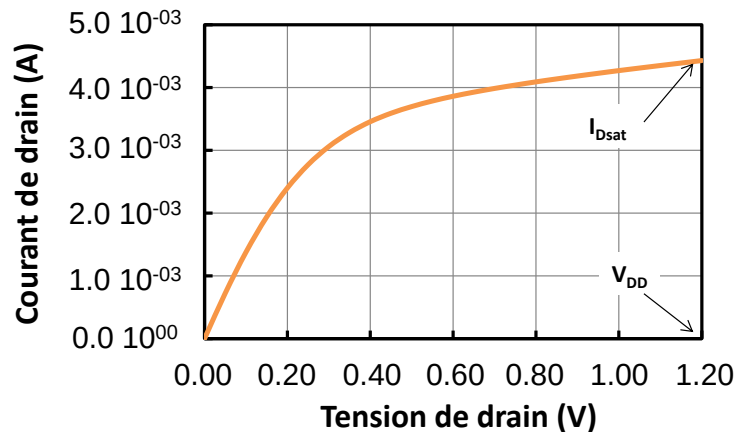
Figure I. 1.3: Caractéristique I_D - V_G en régime linéaire

1.1.2.2. Le régime saturé

Lorsque la tension du drain augmente, la différence de potentiel entre le drain et la grille diminue. A partir d'une certaine valeur de V_D appelée tension de saturation V_{Dsat} , le courant de drain sature. Cette saturation est principalement due à l'apparition d'un effet de pincement dans le canal près du drain. Lorsque la polarisation de drain devient supérieure à V_{Dsat} , le point de pincement se déplace le long du canal vers la source. La saturation arrive pour une tension de drain $V_{Dsat} > V_G - V_{TH}$, et un courant selon l'expression :

$$I_{Dsat} = \mu_{eff} * C_{OX} * \frac{W}{L} * \frac{(V_G - V_{TH})^2}{2} \quad (I.6)$$

Le paramètre important en régime de saturation est le courant de saturation I_{Dsat} , défini à $V_G = V_D = V_{DD}$, comme illustré sur la caractéristique I_D - V_D de la Figure I.1.4. Ce courant peut être également nommé I_{ON} , car il s'agit du courant de fonctionnement des dispositifs MOS.

Figure I. 1.4 : Caractéristique I_D - V_D montrant le régime saturé

1.1.2.3. Le régime sous le seuil

Le courant noté I_{OFF} sur la courbe I_D - V_G en échelle logarithmique (Figure I.1.5) est défini comme étant le courant de drain pour une tension de grille nulle et une tension de drain $V_D = V_{DD}$, correspondant au courant de fuite. Sur cette courbe, nous pouvons également définir la pente sous le seuil noté S qui s'exprime typiquement en millivolt par décade.

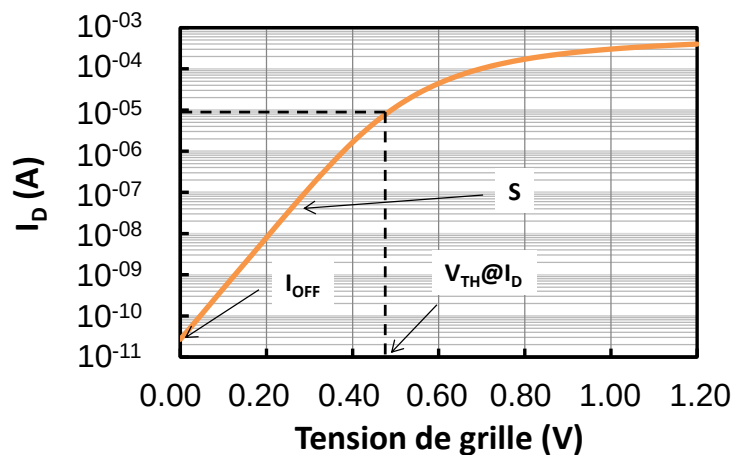


Figure I. 1.5: Caractéristique I_D - V_G en échelle logarithmique avec les principaux paramètres du transistor MOSFET en régime saturé

1.1.2.4. Notion de mobilité des porteurs minoritaires

La mobilité traduit la vitesse des porteurs dans un matériau soumis à un champ électrique. Dans le cas d'un canal d'un transistor MOS, la mobilité traduit l'aptitude des porteurs minoritaires à se déplacer dans la couche d'inversion sous l'effet d'un champ électrique. C'est un paramètre clé des transistors MOS car c'est lui qui gouverne le niveau du courant de drain à polarisation fixe. Une technologie donnant une bonne mobilité permet d'obtenir un bon niveau de courant ce qui est crucial pour des transistors MOS. Elle dépend de nombreux paramètres : le champ électrique, l'orientation du cristal, le dopage du substrat et son profil, la température, les contraintes mécaniques dans le silicium...

Les différents mécanismes de collision qui détériorent la mobilité des porteurs dans la couche d'inversion sont entre autres :

- Les collisions sur les phonons acoustiques (pour une température T inférieure à 100K) ou optiques ($100K \leq T \leq 370K$) qui résultent des vibrations du réseau ;

- Les collisions Coulombiennes dues aux sites chargés près du canal, se manifestent pour de très basses températures. Les charges sont généralement localisées proche de l'interface Si/SiO₂ ;
- Les collisions sur la rugosité de surface générée par les défauts à l'interface Si/SiO₂. Ces collisions sont indépendantes de la température et dominantes pour les forts champs électriques ;
- Les collisions porteurs-porteurs ;
- Les collisions sur les impuretés neutres.

L'influence de ces mécanismes sur la mobilité dépend fortement des conditions intrinsèques (maille du cristal...) et extérieures (dopage, température, ...). Les trois mécanismes de collisions dominants sont les collisions sur les phonons, coulombiennes et sur les rugosités de surface [Jeon89].

Nous définissons la mobilité effective en fonction de la tension de grille en régime linéaire ainsi :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta_1 * (V_G - V_{\text{TH}}) + \theta_2 * (V_G - V_{\text{TH}})^2} \quad (1.7)$$

Où μ_0 est la mobilité sous champ électrique faible, θ_1 est le facteur intrinsèque de réduction de la mobilité due à l'interaction entre les porteurs du canal d'inversion et les phonons du réseau cristallin appelé « premier facteur d'atténuation de mobilité » et θ_2 qui tient compte de la rugosité de surface à l'interface Si/SiO₂ est appelé « second facteur d'atténuation de mobilité ».

1.1.2.5. Notion de champ électrique à travers l'oxyde de grille

La polarisation de la grille du transistor induit un champ électrique à travers l'oxyde ayant pour expression dans le cas d'une polarisation en régime d'inversion :

$$E_{\text{ox}} = \frac{V_{\text{ox}}}{T_{\text{ox}}} = \frac{V_G - V_{\text{FB}} - \Psi_s}{T_{\text{ox}}} \quad (1.8)$$

Où V_{ox} est le potentiel aux bornes de l'oxyde de grille, T_{ox} est l'épaisseur de l'oxyde de grille, V_G est le potentiel électrique appliqué sur la grille du transistor, V_{FB} est la tension à appliquer sur la grille afin d'être en situation de bande plate et Ψ_s est le potentiel de surface du substrat.

La variation de ce champ électrique dans l'oxyde de grille implique un changement de la mobilité des porteurs dans le canal. Le paramètre le plus influent est bien sûr l'épaisseur d'oxyde. E_{ox} est un paramètre important lors de l'étude de la fiabilité des transistors MOS.

1.2. Propriétés du diélectrique SiO₂

1.2.1. Propriétés physiques du système Si/SiO₂

La propriété la plus remarquable de l'empilement Si/SiO₂ est le désalignement de leur bande interdite. En effet, le dioxyde de silicium possède une bande interdite estimée à 9 eV (séparée du niveau du vide de 1 eV) tandis que celle du silicium, beaucoup plus faible, est évaluée à 1.12 eV à température ambiante [Mathieu98]. Ces deux caractéristiques permettent de donner au diélectrique SiO₂, la propriété de bon isolant vis à vis du silicium. Le désalignement des bandes de conduction entre le dioxyde de silicium et le silicium est estimé à $q^*\phi_{B,e} = 3.1$ eV. Celui des bandes de valence entre le dioxyde de silicium et le silicium est estimé à $q^*\phi_{B,h} = 4.8$ eV. Ces deux barrières d'énergie caractérisent l'énergie nécessaire pour que les électrons de la bande de conduction du silicium ou les trous de la bande de valence du silicium soient injectés à travers le dioxyde de silicium.

Par ailleurs, le paramètre de maille du SiO₂ est 40% plus grand que celui du silicium. Cette différence de maille ne permet pas une obtention directe du SiO₂ à l'interface avec le silicium, un gradient d'oxygène est nécessaire. Il existe donc une couche transitoire sous-stœchiométrique, c'est-à-dire un composé SiO_x plus dense que nous appelons couche inter-faciale [Stoneham87]. Plusieurs mesures [Nohira98] [Demkov99] ont montré que la couche de transition s'effectue sur une épaisseur de 4 à 5 Å. Le système Si/SiO₂ n'est donc pas parfait. Il existe des défauts à l'interface ainsi que dans le volume de l'oxyde. Dans le but de supprimer les défauts situés à l'interface, un recuit sous atmosphère hydrogène à 450°C, communément appelé « passivation des liaisons pendantes » [Cartier95] est réalisé après oxydation. Cette passivation donne naissance à des liaisons Si-H à l'interface Si/SiO₂.

1.2.2. Les mécanismes de conduction à travers l'oxyde : effet tunnel

Si les porteurs (électrons ou trous) sont accumulés aux interfaces de l'oxyde, ils peuvent aussi, selon les principes de la mécanique quantique traverser l'oxyde par « effet tunnel ». Dans ce paragraphe sont succinctement décrits le principe de l'effet tunnel ainsi que les régimes et expressions des densités de courant Fowler-Nordheim et Tunnel-Direct. Ce paragraphe a surtout pour but de faire le point sur l'origine des courants dans la structure MOS.

L'effet tunnel est un mécanisme quantique qui permet à un électron de traverser une barrière énergétique notée ϕ_B . Dans le cas des oxydes de grille, la barrière peut être différente selon la polarisation V_{OX} de l'oxyde, son épaisseur T_{OX} et la position énergétique du porteur vis-à-vis de celle-ci, comme illustré sur la Figure I.1.6.

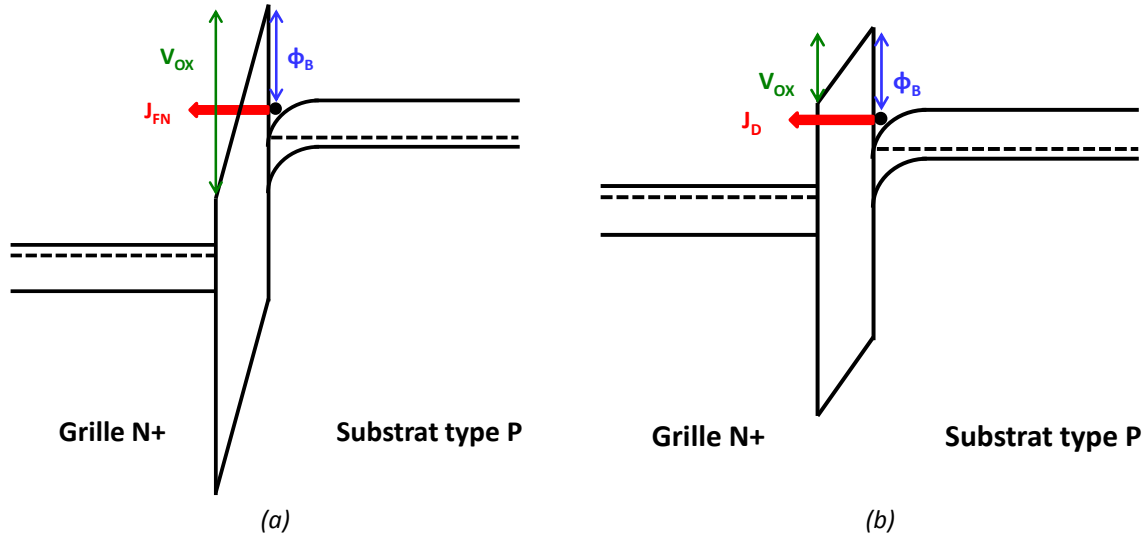


Figure I. 1.6: Diagramme de bandes d'une structure MOS avec un substrat p en régime d'inversion dans le cas d'un courant tunnel Fowler-Nordheim (a) ou d'un courant tunnel direct (b)

1.2.2.1. Courant tunnel Fowler-Nordheim

Le mécanisme de conduction Fowler-Nordheim (FN) a été expliqué pour la première fois par Fowler et Nordheim en 1928 [Fowler-Nordheim28]. La barrière énergétique vue par les électrons est de forme triangulaire et quelle que soit l'épaisseur de l'oxyde de grille T_{OX} , l'épaisseur de la barrière ne dépend principalement que du champ E_{OX} et de la hauteur de barrière ϕ_B . Cette conduction apparaît pour des structures soumises à de forts champs électriques ($\phi_B < V_{OX}$).

En régime Fowler-Nordheim, la forme analytique de la densité de courant est à l'unanimité dans la littérature celle de l'Equation I.9 [Lenzlinger69] [Chanana00] [Chiou01] [Frammelsberger05] :

$$\left\{ \begin{array}{l} J(E_{OX}) = A * E_{OX}^2 * \exp\left(-\frac{B}{E_{OX}}\right) \\ A = \frac{q^3 * m}{10 * \pi^2 * \hbar * m_{OX} * \phi_B} = 1.54 * 10^{-6} * \frac{m}{m_{OX} * \phi_B} (A * V^{-2}) \\ B = \frac{4 * \sqrt{2 * m_{OX}}}{3 * q * \hbar} * \phi_B^{3/2} = 6.83 * 10^7 * \sqrt{\frac{m_{OX}}{m}} * \phi_B^{3/2} (V * cm^{-1}) \end{array} \right. \quad (I.9)$$

Où q est la charge de l'électron, $\hbar$ est la constante de Planck réduite, m est la masse de l'électron, m_{ox} est la masse effective des électrons dans l'isolant, ϕ_B est la hauteur de barrière à l'interface Si/SiO₂ et E_{ox} est le champ électrique à travers l'oxyde de grille.

Ce courant est indépendant de l'épaisseur lorsqu'il est tracé en fonction du champ dans l'oxyde. Par ailleurs, constatant que $\ln(J/E_{ox}^2)$ est une droite de pente B en fonction de $1/E_{ox}$, nous définissons ainsi une représentation dite de « Fowler-Nordheim » qui permet d'identifier la conduction en cas de linéarité et d'extraire la hauteur de barrière ϕ_B grâce à la détermination de la pente (Figure I.1.7).

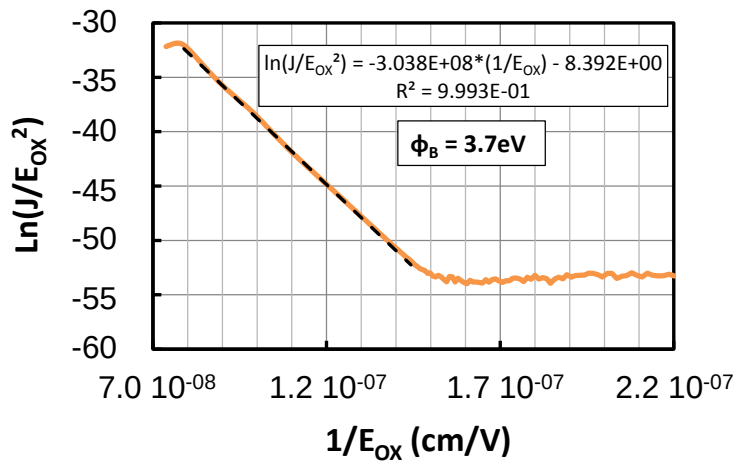


Figure I. 1.7 : Représentation Fowler-Nordheim d'un transistor PMOS

1.2.2.2. Courant tunnel direct

Si ϕ_B est supérieur à V_{ox} alors la barrière est trapézoïdale (Figure I.1.6.b), la conduction est dite Tunnel Direct, les porteurs traversent une barrière d'épaisseur T_{ox} .

Selon les approches, il existe plusieurs approximations de la formule analytique de la densité de courant tunnel direct. Celle de l'Equation I.10 est assez courante [Frammelsberger05] [Ranuarez06] et se rapproche de celle de l'Equation I.9 dont elle partage les constantes A et B.

$$J(E_{ox}, T_{ox}) = \frac{A}{\left(1 - \frac{q * E_{ox} * T_{ox}}{\phi_B}\right)^2} * E_{ox}^2 * \exp\left(-\frac{B}{E_{ox}} * \left[1 - \left(1 - \frac{q * E_{ox} * T_{ox}}{\phi_B}\right)^{3/2}\right]\right) \quad (I.10)$$

Le courant ne dépend plus aussi simplement du champ. L'épaisseur d'oxyde intervient et brise la corrélation entre densité de courant et champ dans l'oxyde.

Le cas d'un trou est tout à fait similaire à celui des électrons, il faut néanmoins avoir conscience que l'ensemble des références énergétiques et donc les hauteurs de barrière sont prises par rapport à la bande de valence alors que celles des électrons sont prises par rapport à la bande de conduction.

1.2.3. Les défauts dans le système Si/SiO₂

Les défauts de matériaux présents dans le SiO₂ introduisent dans la bande interdite des pièges à un niveau énergétique noté E_t . Ils peuvent émettre et capturer des porteurs libres selon les taux de capture et d'émission U_c et U_e accompagnés des indices n et p pour les électrons et les trous (Figure I.1.8). Le modèle de Shockley-Read-Hall (SRH) [Shockley52] permet d'exprimer chacun de ces taux.

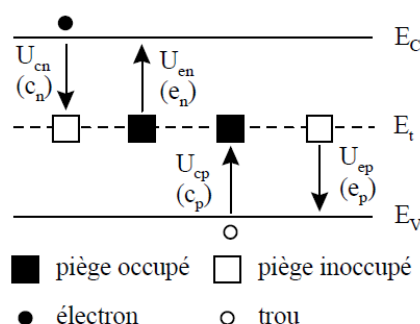


Figure I. 1.8 : Diagramme de bandes du semi-conducteur faisant apparaître des pièges au niveau d'énergie E_t ainsi que les taux de capture et d'émission des porteurs libres

1.2.3.1. Classification des défauts

Les défauts ont été classés en fonction de leur profondeur physique dans l'oxyde en 1979, par un comité établi par l' « Electronics Division of the Electrochemical Society » et l' « IEEE Semiconductor Interface Specialists Conference » [Deal80], selon quatre appellations :

- Les charges mobiles ioniques : ces charges se situent dans tout l'oxyde car elles peuvent migrer sous l'effet de la température. Elles sont dues à la contamination de l'oxyde par des impuretés ioniques (telles que les métaux alcalins Li^+ , Na^+ , K^+ ...);
- Les charges d'oxyde : elles se trouvent dans les pièges de l'oxyde après injection de porteurs énergétiques du canal par exemple, et peuvent être positives ou négatives. Le phénomène est facilement réversible sous l'effet de la température ou l'action d'un champ électrique. Nous parlons ainsi de piégeage/dé-piégeage mais les charges ne sont pas en contact direct avec le substrat. La densité des défauts d'oxyde est rapportée à l'interface et nommée N_{ox} (cm^{-2}) ou D_{ox} ($cm^{-2}.eV^{-1}$);

- Les charges fixes : ce sont des charges positives localisées près de l'interface. Elles ont pour origine les défauts intrinsèques du silicium induits par oxydation. Elles dépendent donc des paramètres du procédé d'oxydation et de l'orientation du silicium ;
- Les charges d'interface : ce sont les charges les plus proches du silicium. Le piège d'interface est de type donneur si son énergie est située dans la moitié inférieure de la bande interdite et de type accepteur dans le cas contraire (Figure I.1.9). La densité des défauts d'interface est exprimée en N_{IT} (cm^{-2}) ou D_{IT} ($\text{cm}^{-2} \cdot \text{eV}^{-1}$).

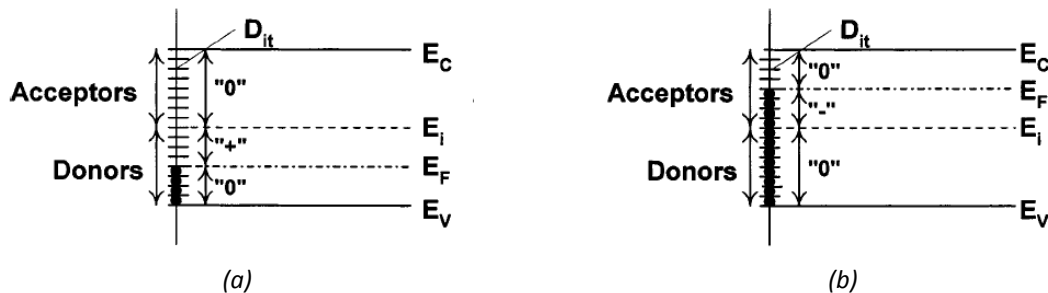


Figure I. 1.9 : Représentation des états d'interfaces pour un substrat de type p (a) et de type n (b)

Les pièges peuvent être classés en deux catégories selon leur état de charge ou leur état d'occupation par un électron :

- Pièges de type accepteur : chargés négativement si occupés et neutres si inoccupés ;
- Pièges de type donneur : neutres si occupés et chargés positivement si inoccupés.

Ces quatre types de défauts sont représentés Figure I.1.10. Par ailleurs, Fleetwood [Fleetwood92] a apporté une modification à cette classification en proposant d'appeler « border traps » tous les défauts d'oxyde qui sont en contact avec le substrat tandis que les autres défauts d'oxyde seront considérés comme des « oxyde traps ».

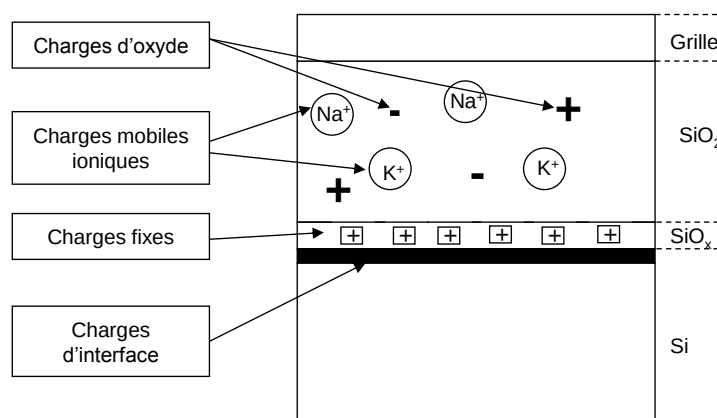


Figure I. 1.10 : Représentation des défauts dans l'oxyde de grille et à l'interface Si/SiO₂

1.2.3.2. Méthode de mesures des défauts

Il existe plusieurs méthodes permettant de caractériser le comportement des états d'interface et des charges dans l'oxyde. L'utilisation de plusieurs techniques complémentaires est utile pour s'assurer de la validité des comportements, des calculs ou des extrapolations obtenus par les modèles à partir de données expérimentales.

La caractéristique Capacité-Tension

La variation de charge dans l'oxyde ou à l'interface Si/SiO₂ peut être déterminée par la courbe Capacité-Tension (C-V) d'une capacité MOS. Cette courbe peut être obtenue par deux principes de mesure :

- Mesure « En Fréquence » : Le principe de cette mesure consiste à envoyer une tension sinusoïdale dont on connaît l'amplitude et la fréquence d'oscillation autour d'une composante continue. Ainsi par l'analyse de l'amplitude et de la phase du courant reçu, nous pouvons calculer la valeur de l'impédance puis de la capacité associée.
- Mesure « Quasi-Statique » : Le principe de cette mesure consiste à appliquer une rampe linéaire de tension et à mesurer le courant de déplacement qu'elle induit. Ce courant de déplacement est proportionnel à la variation de charge dans la structure étudiée. Ainsi, grâce à l'Equation I.11, nous pouvons connaître la valeur de la capacité associée. Avec une telle méthode, la mesure capacitive est obtenue pour une fréquence de mesure proche de 1Hz, qui se paramètre avec la vitesse de balayage dV/dt . Ceci permet aux états lents de répondre [Paulsen92]. Les états lents sont situés dans l'isolant et ont des temps de capture et d'émission longs. Les porteurs minoritaires et les états d'interface sont des états lents.

$$I = C * \frac{dV}{dt} \quad (I.11)$$

Ainsi, le décalage des tensions de seuil, de mid-gap, et de bandes plates (Figure I.1.11), soit entre les courbes C-V expérimental et théorique soit entre avant et après l'application d'un stress électrique, permet l'extraction de N_{ox} et de N_{it} suivant les équations suivantes :

$$N_{ox} = \frac{q}{C_{ox}} * \Delta V_{MG} \quad (I.12)$$

$$N_{itD} = \frac{q}{C_{ox}} * (\Delta V_{MG} - \Delta V_{FB}) \quad (I.13)$$

$$N_{itA} = \frac{q}{C_{ox}} * (\Delta V_{TH} - \Delta V_{MG}) \quad (I.14)$$

En effet, pour une tension V_{MG} uniquement l'influence des charges piégées dans le volume de l'oxyde est observée. Pour la tension V_{FB} et la tension V_{TH} , l'influence des charges piégées dans l'oxyde est cumulée à celle des états accepteurs ou donneurs selon le type de substrat (Equation I.13 et I.14 pour un substrat p).

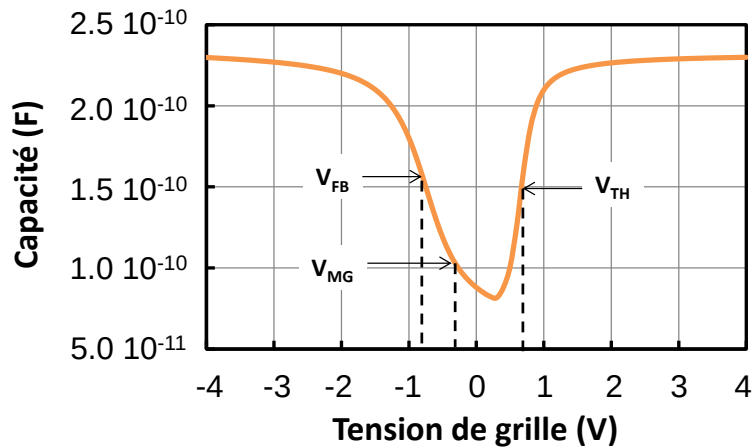


Figure I. 1.11 : Caractéristique Capacité-Tension d'un transistor NMOS

Le pompage de charge

Dans la méthode de pompage de charge, initialement proposée en 1969 [Brugler69] dans le but de caractériser les états d'interface, la structure de test utilisée est un transistor MOS de petite géométrie, non protégé par diode et isolé (grille, source, drain non partagés avec un autre transistor). La source et le drain du MOSFET sont attachés ensemble et mis à la masse. Un signal est appliqué sur la grille permettant de faire basculer périodiquement le transistor du régime d'accumulation au régime d'inversion (Figure I.1.12).

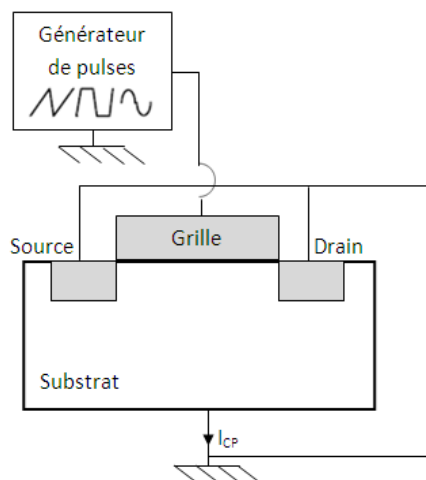


Figure I. 1.12 : Principe de mesure du pompage de charge des transistors MOS

Lors du passage du MOSFET dans les trois régimes (accumulation, désertion, inversion), les états d'interface capturent et émettent des électrons du canal pour rester en équilibre avec le niveau de Fermi (Figure I.1.13). Sur la Figure I.1.13, les pièges occupés par des électrons sont représentés en gris. Ce mécanisme donne naissance durant chaque période du signal de grille à quatre courants :

- I_{cn} courant de capture d'électrons ;
- I_{en} courant d'émission d'électrons ;
- I_{cp} courant de capture de trous ;
- I_{ep} courant d'émission de trous.

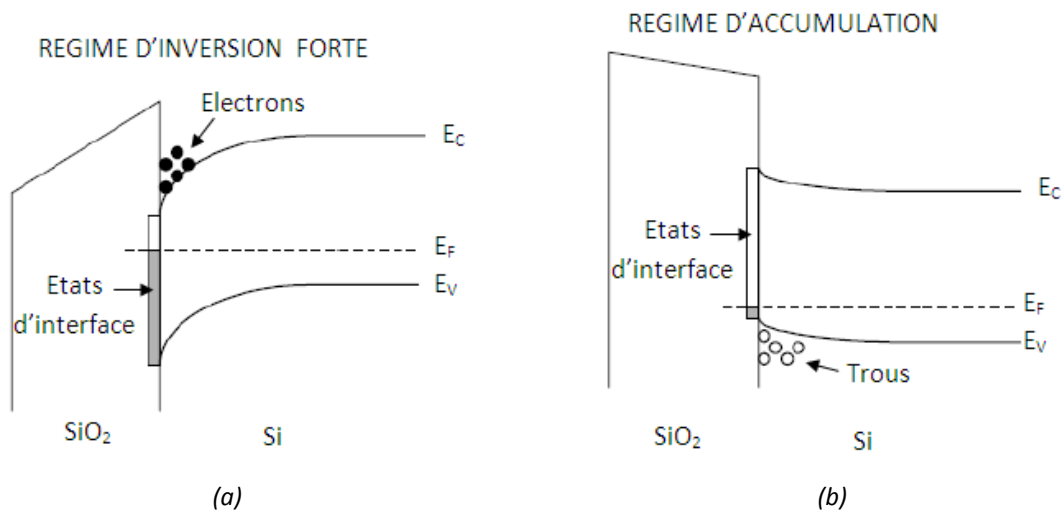


Figure I. 1.13 : Evolution du remplissage des états d'interface en fonction de la polarisation du MOS pour un substrat p [Maneglia98]

La mesure du courant appelé « courant pompé » au niveau du substrat, $I_{CP} = I_{ep} + I_{cp}$, permet de déterminer la densité d'états d'interface D_{IT} ainsi que la section de capture σ de ces états [Autran98]. Plusieurs techniques de pompage de charge existent, nous allons ici décrire seulement le pompage de charge à deux niveaux à ΔV_{GB} constant qui est la technique la plus utilisée car elle permet une meilleure détection du courant I_{CPmax} . Cette technique sera utilisée par la suite dans nos travaux.

Le signal de la tension de grille peut être de différentes formes. Les premiers travaux utilisaient des ondes carrées. Plus tard, des formes trapézoïdales [Groeseneken89] et sinusoïdales [Autran96] ont été utilisées afin d'obtenir une courbe d' I_{CP} plus précise. Le passage de l'accumulation à l'inversion s'effectue en faisant varier la tension de base du signal (V_{GBI}) et en gardant son amplitude constante, comme illustré sur la Figure I.1.14.a. La courbe I_{CP} en fonction de V_{GBI} ainsi obtenue est en forme de « cloche » (Figure I.1.14.b) dont les premières illustrations ont été publiées par Elliot [Elliot76].

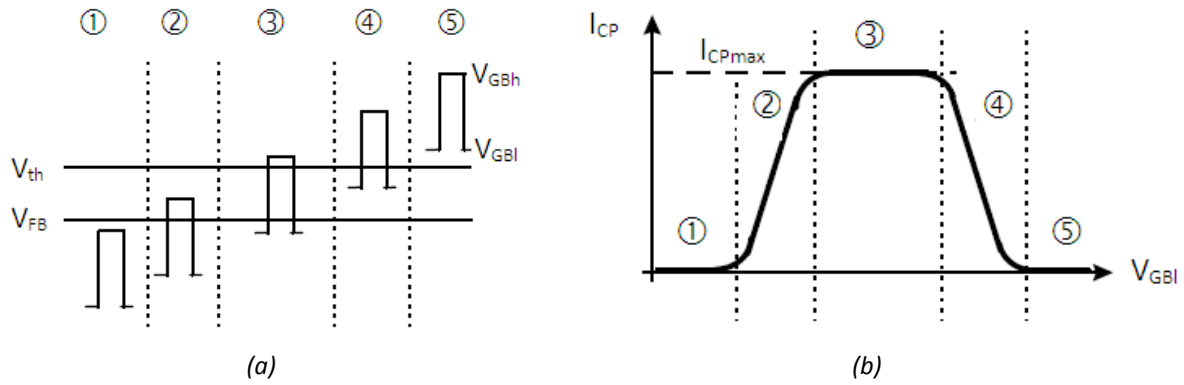


Figure 1.14 : (a) Positions du signal de grille par rapport aux tensions V_{FB} et V_{TH} ; (b) Représentation schématique d'une caractéristique $I_{CP}(V_{GBI})$ théorique en pompage de charge à deux niveaux à ΔV_{GB} constant

Cette courbe se divise en cinq zones :

- Zone ① : La surface du semi-conducteur reste en accumulation pendant tout le cycle puisque V_{GBh} est inférieur à V_{FB} . Le vidage et le remplissage des pièges se font donc respectivement par capture et émission de trous sans jamais faire intervenir les électrons, rendant ainsi impossible tout phénomène de recombinaison. Les amplitudes des courants d'émission et de capture de trous sont identiques et donc s'annulent ;
- Zones ② et ④ : L'excursion du niveau de Fermi permet à la fois l'émission et la capture de trous et d'électrons. Une portion plus restreinte de la bande interdite est balayée, ce qui limite l'efficacité du phénomène de pompage de charge. Le courant pompé est compris entre 0 et sa valeur maximale obtenue en position ③ ;
- Zone ③ : Durant un cycle, le semi-conducteur passe de l'accumulation à l'inversion, et retourne ensuite à l'accumulation. La contribution des pièges au courant pompé est alors maximale ;
- Zone ⑤ : Situation similaire à celle de la zone ① à la différence près que le semiconducteur est en permanence en régime d'inversion forte. Le changement d'état des pièges d'interface se fait alors uniquement par émission et capture d'électrons sans faire intervenir les trous. Il n'y a donc pas de courant pompé.

La valeur maximale de la courbe en cloche (I_{CPmax}) permet d'estimer la densité moyenne des états d'interface dans une partie de la bande interdite (D_{IT}) ainsi que leur section de capture moyenne (σ) [Masson99]. Dans le cas d'un signal trapézoïdal appliqué sur la grille, le courant I_{CPmax} s'écrit :

$$I_{CPmax} = 2 * q * K_B * T * A * F * D_{IT} * \ln \left(\frac{\sqrt{\sigma_n * \sigma_p} * v_{th} * n_i}{\ln(2)} * \frac{V_{FB} - V_{TH}}{V_{GBh} - V_{GBI}} * \sqrt{t_m * t_d} \right) \quad (I.15)$$

Où q est la charge de l'électron, K_B est la constante de Boltzmann, T est la température, A est l'aire du canal, F est la fréquence du signal appliqué sur la grille du transistor, v_{th} est la vitesse thermique des porteurs, t_m et t_d sont les temps de montée et de descente du signal respectivement.

Dans le cas d'un signal sinusoïdal appliqué sur la grille, le courant I_{CPmax} s'écrit :

$$I_{CPmax} = 2 * q * K_B * T * A * F * D_{IT} * \ln \left(\frac{\sqrt{\sigma_n * \sigma_p} * v_{th} * n_i * Z}{2 * \ln(2) * \pi * F} \right) \quad (I.16)$$

Avec :

$$Z = \sin^{-1} \left(\frac{2 * |V_{FB} - V_0|}{V_{GBh} - V_{GBl}} \right) + \sin^{-1} \left(\frac{2 * |V_0 - V_{TH}|}{V_{GBh} - V_{GBl}} \right) \quad (I.17)$$

Où V_0 représente la valeur moyenne du signal sinusoïdal.

En posant σ_{np} comme étant la moyenne géométrique des sections de capture, soit $\sqrt{(\sigma_n * \sigma_p)}$, l'Equation I.16 permet d'exprimer la charge pompée :

$$Q_{CP} = \frac{I_{CPmax}}{F} = 2 * q * K_B * T * A * D_{IT} * \ln \left(\frac{\sigma_{np} * v_{th} * n_i * Z}{2 * \ln(2) * \pi * F} \right) \quad (I.18)$$

Cette équation peut aussi s'écrire sous la forme :

$$-Q_{CP} = 2 * q * K_B * T * A * D_{IT} * \left(\ln(10) * \log(F) - \ln \left(\frac{\sigma_{np} * v_{th} * n_i * Z}{2 * \ln(2) * \pi} \right) \right) \quad (I.19)$$

Par conséquent, si l'on trace $-Q_{CP}$ en fonction du logarithme de la fréquence du signal (F), on obtient théoriquement une droite (Figure I.1.15) dont la pente permet d'accéder à la densité moyenne des états d'interface :

$$\text{Pente} = 2 * \ln(10) * q * K_B * T * A * D_{IT} \quad (I.20)$$

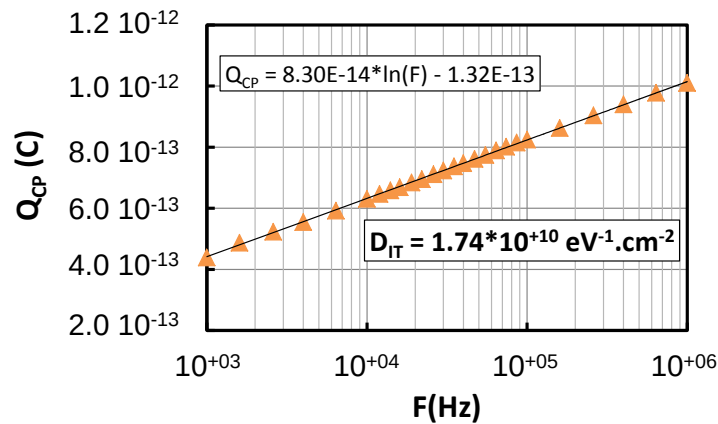


Figure I. 1.15 : Extraction de D_{IT} à partir d'une caractéristique $Q_{CP}(F)$ en pompage de charge à deux niveaux et ΔV_{GB} constant avec un signal sinusoïdal

La mesure des paramètres du transistor MOS

Cette méthode permet uniquement de suivre une création de défauts. En effet, une création d'états d'interface et/ou de charges dans l'oxyde va se traduire par une variation des principaux paramètres du transistor MOS telle qu'une diminution du courant de drain linéaire.

La pente sous le seuil (S) peut être également impactée par l'application d'un stress électrique. En effet, la dérive de celle-ci (ΔS) est liée à la génération d'état d'interface [Tan94]. Cependant, en raison de la difficulté à mesurer ce paramètre, ΔS n'est généralement pas examinée.

Par contre, l'évolution de la tension de seuil (ΔV_{TH}) est souvent étudiée car elle est directement liée au nombre de pièges à l'interface Si/SiO₂ et dans l'oxyde [Shiono91] :

$$\Delta V_{TH} = - \frac{\Delta Q_{IT} + \Delta Q_{OT}}{C_{OX}} \quad (I.21)$$

Où ΔQ_{IT} et ΔQ_{OT} sont respectivement les variations de charge au niveau de l'interface et de l'oxyde, et C_{OX} la capacité de l'oxyde.

2. Fiabilité des transistors MOS

Nous venons de rappeler les éléments fondamentaux de la structure MOS et du transistor MOS en général. Les propriétés d'isolation de l'oxyde sont un point nécessaire au bon fonctionnement du transistor. Cependant, un transistor est soumis à des contraintes électriques lors de son utilisation qui peuvent altérer son fonctionnement. En effet, il a été montré expérimentalement par plusieurs équipes indépendantes que lors d'un fonctionnement normal ou accéléré, le dispositif voit une dégradation à la fois de l'oxyde et de l'interface Si/SiO₂ [Warren87a] [Warren87b] [Lenahan02]. De plus, le paragraphe précédent nous a permis de définir les types de défauts créés ainsi que les moyens de caractérisation les plus généraux qui leurs sont associés. Lors du développement et de la mise en production d'un nouveau composant, il est nécessaire d'évaluer la fiabilité de la technologie pour garantir un bon fonctionnement de celle-ci. Ce type d'étude se fait sur les composants élémentaires représentatifs de ceux utilisés dans les circuits intégrés.

Cette seconde partie est donc dédiée à la définition des notions de fiabilité des oxydes de grille et des transistors MOS qui seront utilisés dans la suite de nos travaux. Tout d'abord, le phénomène de « claquage d'oxyde » sera abordé en définissant les différentes méthodes de claquage, les mécanismes physiques et électriques mis en jeu et les moyens de modélisation utilisés. Ensuite, les deux modes de dégradation principaux du transistor MOS seront introduits, à savoir le stress de grille et le stress par HCI pour « Hot Carrier Injection ». Nous présentons d'un point de vue global, les méthodes de caractérisation, la compréhension des mécanismes physiques et la modélisation de ces deux modes de dégradation.

2.1. Claquage des oxydes

2.1.1. Claquage et mécanismes de dégradation de l'oxyde de grille

2.1.1.1. Méthode de claquage

Quatre méthodes de claquage peuvent être utilisées selon que l'on souhaite étudier la fiabilité extrinsèque ou intrinsèque de l'oxyde. Dans les deux cas, ces études doivent être réalisées de manière statistique pour qu'elles soient significatives et efficaces.

Généralement, la rampe exponentielle de courant ou « Exponential Ramp Current Stress (ERCS) » et la rampe linéaire de tension ou « Linear Ramp Voltage Stress (LRVS) » sont utilisées pour mettre en évidence une défaillance extrinsèque. Lors de l'application de la rampe en courant (de l'ordre de

0.25 décade/s), nous mesurons la tension associée, jusqu'à atteindre le claquage provoquant une chute brutale de la tension (Figure I.2.1.a). Lors de l'application de la rampe en tension (de l'ordre de 0.2 V/s), nous mesurons le courant associé, jusqu'à atteindre le claquage provoquant une augmentation brutale du courant (Figure I.2.1.b). Un oxyde ayant une faiblesse se manifestera par un claquage prématuré lors de l'application de l'une de ces deux rampes. Pour les oxydes minces, la méthode « LRVS » est privilégiée depuis qu'il a été montré que la dégradation dépendait uniquement de la tension [Nicollian00].

Pour étudier la fiabilité intrinsèque de l'oxyde, nous préférons utiliser la contrainte électrique à courant constant ou « Constant Current Stress (CCS) » (Figure I.2.1.c) qui présente l'avantage d'avoir un champ électrique E_{ox} constant à travers l'oxyde, quels que soient l'épaisseur et le piégeage de charges dans le volume, ou la contrainte électrique à tension constante ou « Constant Voltage Stress (CVS) » (Figure I.2.1.d) qui est mieux adaptée pour les oxydes minces. Afin de calculer la durée de vie du composant, il est nécessaire de réaliser des tests accélérés avec l'une de ces deux méthodes, puis d'extrapoler les résultats obtenus pour les conditions nominales de fonctionnement. Nous définissons ainsi le temps au claquage t_{BD} ou « Time Dependent Dielectric Breakdown (TDDB) ».

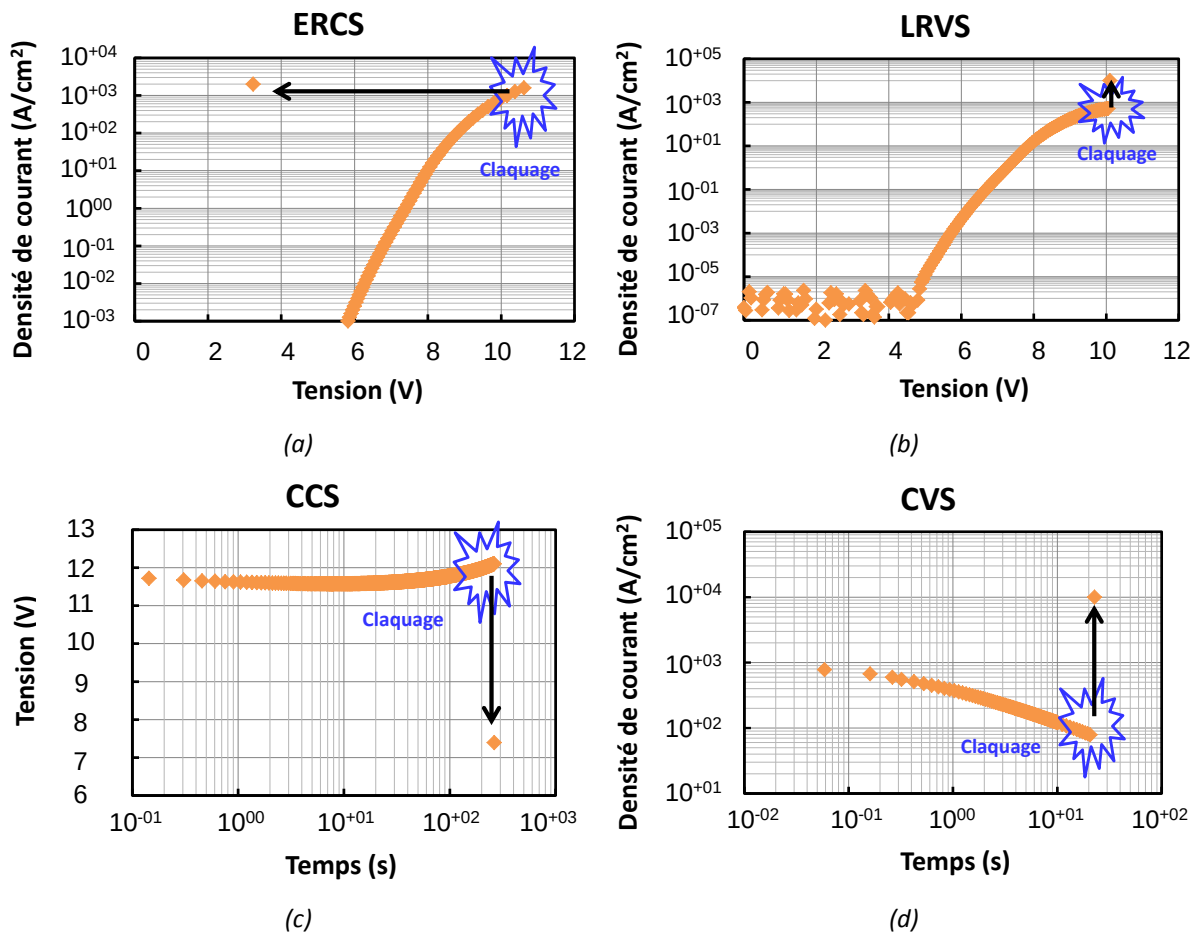


Figure I. 2.1 : Caractéristiques lors d'un stress ERCS (a), LRVS (b), CCS (c) et CVS (d)

2.1.1.2. Nature statistique du claquage

Modèle de percolation

Le claquage se manifeste par la formation d'un chemin de conduction favorable connectant les deux électrodes de l'oxyde. En 1990, partant de l'idée que ce chemin est constitué de défauts, Suñé [Suñé90] tente de décrire sa construction en utilisant un modèle de percolation à deux dimensions. Il postule que les défauts sont générés de manière aléatoire dans l'oxyde et utilise une approche entièrement analytique et combinatoire. Le résultat complexe n'eut pas une répercussion à la hauteur de sa pertinence. C'est en 1995 [Degraeve95] puis en 1998 [Degraeve98] que Degraeve popularise ce modèle en utilisant une approche plus spectaculaire et visuelle grâce à des simulations à trois dimensions du mécanisme de percolation. Les défauts générés aléatoirement dans le volume de l'oxyde sont caractérisés par un diamètre d'action « a_0 ». La juxtaposition de deux zones d'action permet aux deux défauts mis en connexion d'échanger des porteurs. Le claquage est alors défini comme la création d'un chemin de défauts permettant à un porteur de passer d'une électrode à l'autre (Figure I.2.2). En 1999, Stathis [Stathis99] a une approche similaire en considérant l'oxyde comme une matrice de sites potentiels pour la génération de défauts. Ici le site est un cube, dont l'arête, notée aussi « a_0 », est le paramètre de la simulation. Il confirme les résultats de Degraeve validant définitivement cette approche.

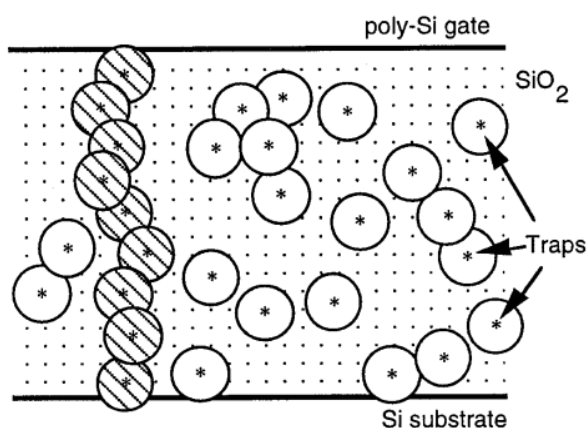


Figure I. 2.2 : Illustration du modèle de percolation [Degraeve95]

Statistique de Weibull

L'aspect aléatoire de la génération des défauts dans le volume, permet d'appréhender l'aspect statistique du temps au claquage. La statistique de Weibull est la plus représentative pour le temps au claquage des oxydes de grille [Yamabe85] [Shiono93] [Wu01]. De plus, l'évolution de la pente de

Weibull du temps au claquage avec l'épaisseur d'oxyde, permet d'affirmer que la pente de Weibull est le reflet du nombre de défauts critiques à générer dans l'oxyde pour déclencher le claquage.

La statistique de Weibull est décrite par la fonction de densité de défaillance au cours du temps $f(t)$ donnée dans l'expression suivante :

$$f(t) = \frac{\beta}{\eta} * \left(\frac{t}{\eta}\right)^{\beta-1} * \exp\left(-\left(\frac{t}{\eta}\right)^\beta\right) \quad (I.22)$$

Où β est un paramètre de forme, η est un paramètre de position et t est le temps.

La fonction cumulée de défaillance $F(t)$ de cette distribution possède une forme analytique qui s'exprime selon l'équation :

$$F(t) = 1 - \exp\left(-\left(\frac{t}{\eta}\right)^\beta\right) \quad (I.23)$$

Cette statistique est centrée sur la valeur $t_{63\%} = \ln(\eta)$. La représentation de la fonction cumulée de défaillance se fait en traçant $\ln(-\ln(1-F(t)))$ en fonction de t ou t_{BD} en échelle logarithmique, comme illustré sur la Figure I.2.3. Cette représentation se nomme « échelle de Weibull » et permet d'avoir une droite de pente β et d'ordonnée à l'origine $t_{63\%}$.

L'Equation I.24 traduit la dépendance en surface, permettant d'effectuer des normalisations pour différentes surfaces lorsque celle-ci est parfaitement vérifiée.

$$t_{s1} = t_{s2} * \left(\frac{S_2}{S_1}\right)^{1/\beta} \quad (I.24)$$

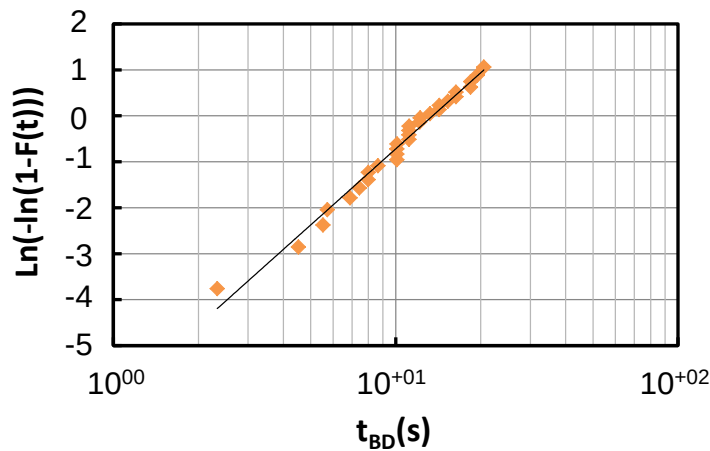


Figure I. 2.3 : Echelle de Weibull

2.1.1.3. Mécanisme de dégradation

Piégeage de charge

Les défauts créés sont la conséquence du piégeage de charges négatives et/ou positives dans l'oxyde de grille. Le piégeage de charges négatives est seulement dû au piégeage d'électrons. C'est le mécanisme dominant dans les oxydes épais. Son influence est visible et détectable électriquement. Le piégeage de charges positives est principalement dû au piégeage de trous. Électriquement, ce piégeage peut être observé dans les oxydes épais au début de l'application de la contrainte dans certaines configurations de test. La Figure I.2.4 illustre différents types de courbes pouvant être obtenues selon la contrainte appliquée sur la grille et le type de dopage du substrat.

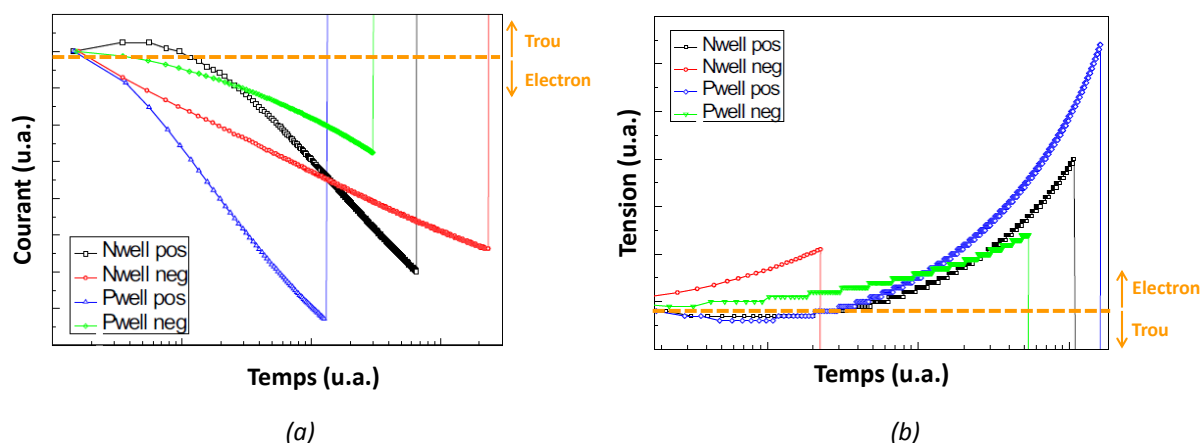


Figure I. 2.4 : Piégeage de charge pour une contrainte de type CVS(a) et CCS (b) [Pic07]

Claquage franc, quasi-claquage et claquage progressif

Pour les oxydes supérieurs à $60\text{\AA}$, le claquage est franc et se manifeste par une forte variation de la valeur du courant mesurée pour une contrainte de type CVS, ou de la tension pour une contrainte de type CCS (Figure I.2.5.a). Cette détection doit être confirmée par un contrôle de l'intégrité de la capacité lors du déclenchement [Lai04]. Ce type de claquage correspond à la création d'un chemin de percolation, qui induit un emballement thermique provoquant la perte totale des propriétés isolantes de l'oxyde [Suehle05]. En anglais, on qualifie ce claquage de « Hard Breakdown ».

Dans les oxydes minces inférieurs à $60\text{\AA}$, un nouveau phénomène apparaît, le « quasi-claquage » où les premières études sont apparues en 1996 [Depas96]. Il se manifeste sous la forme de claquage dit « léger », caractérisé par une augmentation du courant, ou une diminution de la tension, limitée en amplitude, comme illustré sur la Figure I.2.5.b. En anglais, on qualifie ce claquage de « Soft Breakdown ».

La localisation spatiale dans l'oxyde de grille de ces deux phénomènes (« hard » et « soft » claquage) est différente. Ceci montre ainsi que ces deux types de claquage ne sont pas liés [Roy98]. Une étude similaire [Monsieur02] a montré l'évolution d'un claquage « progressif » qui concerne une unique localisation spatiale. Ce type de claquage correspond à un claquage graduel associé à un chemin de percolation instable (Figure I.2.5.c). En anglais, on qualifie ce claquage de « Progressive Breakdown ».

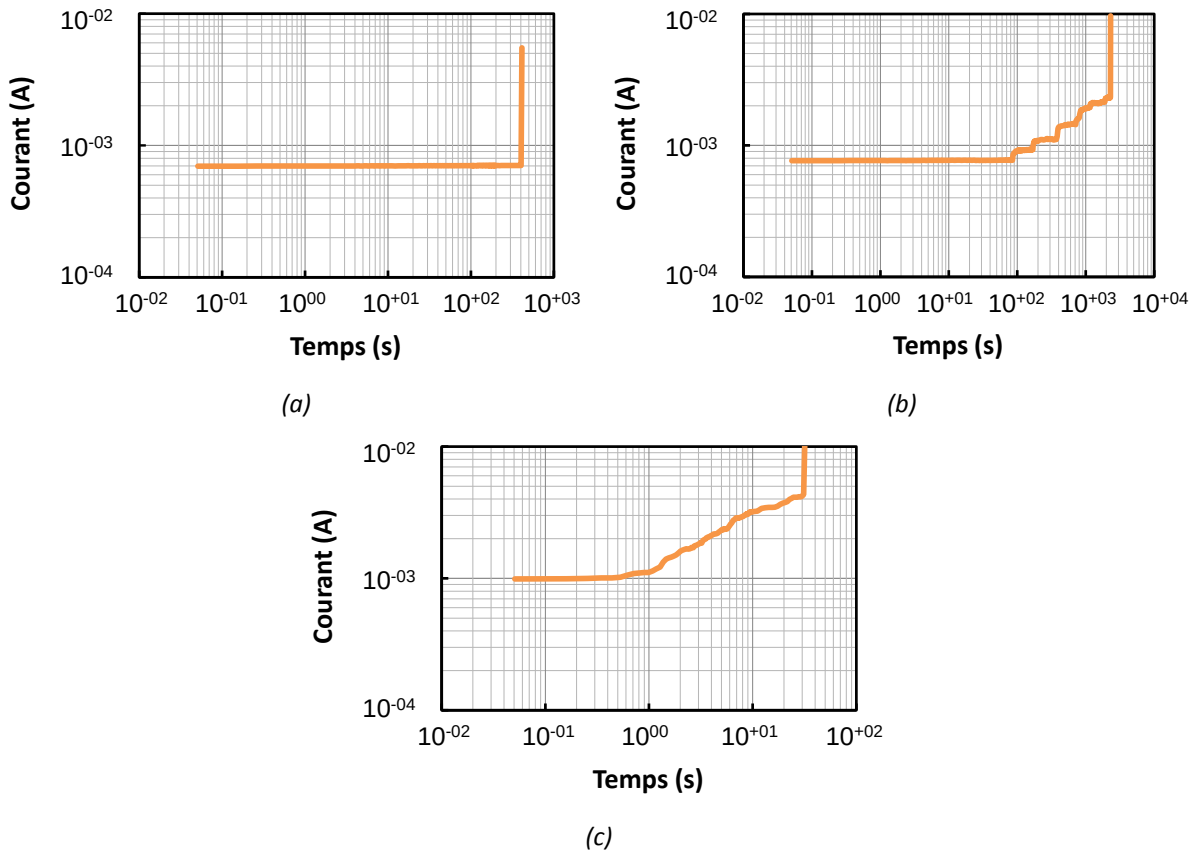


Figure I. 2.5 : Claquage franc (a), quasi-claquage (b) et claquage progressif (c) lors d'un stress de type CVS

2.1.2. Modélisation du temps au claquage

Le mécanisme physique à l'origine du claquage n'est pas établi. Il existe principalement trois mécanismes physiques permettant de modéliser la dégradation de l'oxyde. Chacun d'eux vise à caractériser et décrire le comportement du défaut prédominant afin de prédire la dégradation. Nous allons décrire dans cette partie les principaux modèles rencontrés dans la littérature ainsi que leur mécanisme physique associé.

2.1.2.1. Modèle pour les oxydes épais ($T_{OX} > 60\text{\AA}$)

Modèle en E

Le modèle thermochimique a été développé par McPherson au début des années 1980 [McPherson85]. Ce modèle a subi de nombreux raffinements depuis cette époque [McPherson98a] [McPherson98b] [McPherson98c] [McPherson00a] [McPherson00b], néanmoins, la trame de fond est toujours la même : le claquage de l'oxyde est produit après un certain nombre critique de ruptures des liaisons Si-O. Ces ruptures sont assistées par champ électrique et sont considérées comme des réactions chimiques irréversibles. Ce modèle prévoit une dépendance en champ électrique E_{OX} du temps au claquage :

$$t_{BD} = t_0 * \exp(-\gamma * E_{OX}) \quad (I.25)$$

Où t_{BD} est le temps au claquage, γ est le facteur d'accélération, E_{OX} est le champ dans l'oxyde et t_0 est une constante dépendant notamment de la température.

Ce modèle a pour avantage de prendre en compte la forte dépendance en température généralement associée au claquage d'oxyde [McPherson12]. De plus, le facteur d'accélération en champ augmente avec la constante diélectrique de l'oxyde de grille, comme déjà observé [McPherson03]. Cependant, ce modèle ne permet pas d'expliquer la dépendance en fonction de la polarité.

Modèle en $1/E$

Le mécanisme d'injection de trous à l'anode communément appelé « Anode Hole Injection (AHI) », explique le claquage d'oxyde par le courant à travers le diélectrique en conduction Fowler-Nordheim [Chen85] [Schuegraf93]. Pour un oxyde polarisé par un fort champ électrique, une fraction des électrons du courant tunnel atteignant l'anode, est capable de transférer une partie suffisante de son énergie cinétique à un électron de la bande de valence, pour créer une nouvelle paire d'électron-trou. Ainsi, un trou « chaud » va être créé à l'anode et va pouvoir être injecté à son tour dans l'oxyde par mécanisme tunnel, comme illustré sur la Figure I.2.6 [Chen86] [Chen87] [Schuegraf94a] [Schuegraf94b] [Quddus01]. Ce modèle prévoit une dépendance en champ électrique en $1/E_{OX}$ du temps au claquage :

$$t_{BD} = t_0 * \exp\left(\frac{G}{E_{OX}}\right) \quad (I.26)$$

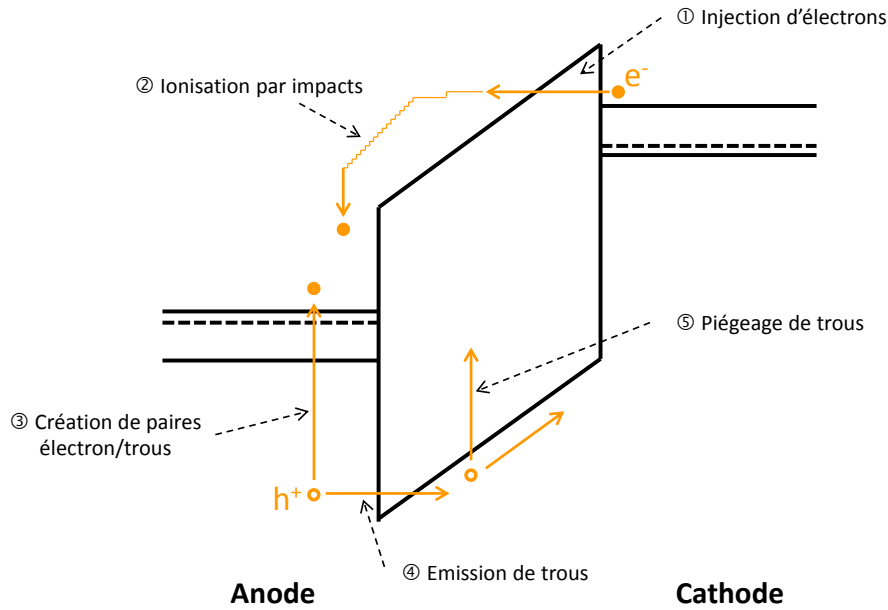


Figure I. 2.6 : Schéma d'un diagramme de bandes montrant le mécanisme d'« Anode Hole Injection »

L'inconvénient majeur de ce modèle est le faible taux de piégeage de trous à faible champ. De plus, ce modèle ne prend pas en compte la forte énergie d'activation obtenu lors d'une étude de claquage d'oxyde de grille.

Unification des modèles en E et en 1/E

Afin de prendre en compte toute la gamme de champ électrique, les modèles en E (faible champ) et en 1/E (fort champ) ont été unifiés dans un seul et même modèle [Hu99]. L'expression du temps au claquage est alors :

$$t_{BD} = \frac{t_{BD,E-mod} * t_{BD,1/E-mod}}{t_{BD,E-mod} + t_{BD,1/E-mod}} \quad (I.27)$$

Où $t_{BD,E-mod}$ et $t_{BD,1/E-mod}$ sont les temps au claquage obtenu avec les modèles en E et en 1/E respectivement.

Cette méthode élimine la sévère restriction de devoir choisir entre deux extrêmes : soit le modèle le plus optimiste (modèle en 1/E), soit le modèle le plus conservateur (modèle en E).

2.1.2.2. Modèle pour les oxydes fins ($T_{OX} < 60\text{\AA}$)

Pour les oxydes minces, on s'est aperçu, grâce à des données expérimentales, que les modèles en « E » et « 1/E » comportent des faiblesses. De plus, le mode de dégradation prédominant change du

fait de la diminution des tensions de contrainte. De nouvelles études ont donc été menées et il a été montré que la dégradation dépend seulement de la tension, indépendamment des dopages du substrat et de la grille. Il est donc communément admis que dans les oxydes minces, les modèles en « E » et « 1/E » sont remplacés par les modèles en « V_G » et « $1/V_G$ » [Nicollian00] [Wu00] [Hiraiwa03].

Modèle en V_G^{-n}

Une loi en puissance de V_G avec un facteur d'accélération (n) proche de 44 décrit parfaitement l'accélération en tension du claquage des oxydes minces :

$$t_{BD} = t_0 * V_G^{-n} \quad (I.28)$$

Ce modèle fut établi de façon empirique en 2002 par E. Y. Wu [Wu02]. Dans le but de trouver une explication physique à cette dépendance, plusieurs auteurs ont proposé leur théorie [McMahon03] [Haggag05] [Ribes05a] [Suñé05]. Chaque modèle considère que dans les oxydes minces, la rupture des liaisons Si-H à l'interface est le phénomène limitant qui permet de décrire le claquage. En effet la modélisation du temps au claquage avec une loi en puissance de la tension de grille, est dirigé par le phénomène « Anode Hydrogen Release (AHR) ». Ce phénomène est la libération d'un atome d'hydrogène due à l'énergie des électrons du courant tunnel atteignant l'anode (Figure I.2.7). L'hydrogène diffuse ensuite à travers l'oxyde engendrant des pièges et des états d'interface.

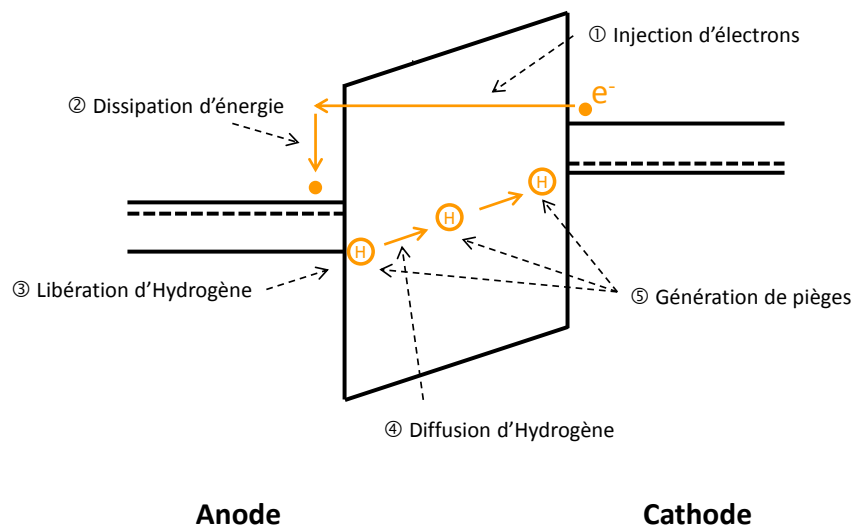


Figure I. 2.7 : Schéma d'un diagramme de bandes montrant le mécanisme d'« Anode Hydrogen Release »

La principale faiblesse de ce modèle est qu'il n'explique pas la forte dépendance en température associée au temps de claquage et les raisons pour lesquelles l'énergie d'activation est réduite avec le champ électrique.

2.2. Dégradation par stress de grille

Le stress de grille est un phénomène de dégradation dans les MOSFETs observé quand le transistor est stressé sous une tension de grille pendant que la source, le drain et le substrat sont connectés à la masse. Il peut présenter plusieurs mécanismes de dégradation selon différents paramètres (haute ou faible température, fort ou faible champ électrique...) mais tous sont connus comme un facteur limitant dans les technologies CMOS à l'origine d'un important problème de fiabilité, dû à une sévère dégradation des principaux paramètres du MOSFET.

Nous allons étudier plus particulièrement dans un premier temps le stress de grille à haute température communément appelé BTI pour « Bias Temperature Instability », puis dans un second temps, le stress de grille à fort champ communément appelé stress Fowler-Nordheim.

2.2.1. Dégradation par stress de grille à haute température : phénomène de « Bias Temperature Instability »

2.2.1.1. La dégradation BTI et ses conséquences sur les MOSFETs

Le stress BTI pour « Bias Temperature Instability », correspond à l'application d'un potentiel électrique appliqué sur la grille du transistor dans un milieu à haute température. Ce type de stress est connu depuis la fin des années 60 pour l'instabilité de la dégradation [Miura66] [Deal67]. En effet, comme illustré sur la Figure I.2.8, la dégradation de la tension de seuil « guérit » lors d'une phase dite de relaxation où l'on interrompt le stress.

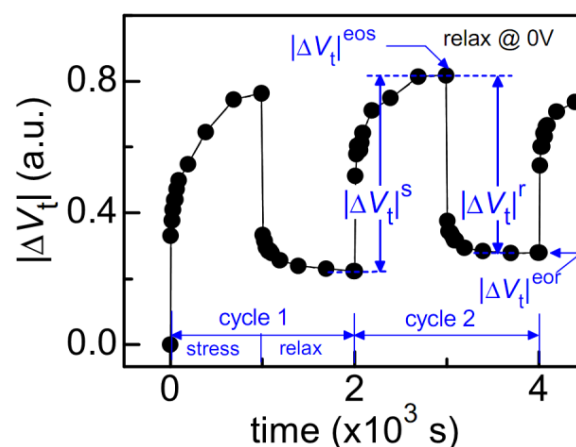


Figure I. 2.8 : Mise en évidence de la guérison des dégradations provoquées par le NBTI quand le stress est interrompu [Teo11]

Le mécanisme de dégradation est attribué à la rupture des liaisons Si-H à l'interface Si/SiO₂ due à une combinaison du champ électrique, de la température, et des trous. Cette rupture entraîne des liaisons pendantes ou des pièges à l'interface Si/SiO₂, désigné comme D_{IT}, et des charges d'oxyde positifs, N_{ox}, qui peuvent être dues soit aux ions H⁺ soit aux trous piégés.

La température de test doit rester un paramètre accélérant le mécanisme de dégradation et ne doit pas dénaturer la chimie et/ou la structure du dispositif. Une température supérieure à 250-300°C provoquerait des modifications qui n'entreraient plus dans le cadre de cette étude. D'autre part, les composants CMOS fortement intégrés ont une tendance à produire toujours plus de chaleur en cours de fonctionnement dynamique, ce qui favorise le BTI.

Pire cas de dégradation

Le stress BTI a été étudié intensivement sur les transistors MOS pour applications digitales opérant à relativement faible tension dans le but de comprendre l'origine et les moyens de contrôler cet effet [Shiono82] [Uwasawa95] [Pobegen11]. Il est communément admis qu'une tension de stress négative appliquée sur la grille des PMOS représente le cas le plus dégradant [Makabe00] [Huard05] par rapport à un stress négatif sur les NMOS ou encore par rapport à un stress positif sur les PMOS ou les NMOS. Cependant, avec l'introduction ces dernières années des diélectriques « high-k » [Zafar05], la dégradation des transistors NMOS lors d'un stress positif, n'est plus négligeable [Shanware03] [Ribes05b]. Plusieurs auteurs ont tenté d'expliquer la différence entre PMOS et NMOS :

- Sinha et al. [Sinha78] soutiennent que la différence est due au signe opposé entre les états d'interface de type accepteur, générés durant un stress en inversion sur les NMOS et les états d'interface de type donneur, générés durant un stress en inversion sur les PMOS ;
- La différence de tension de grille entre NMOS et PMOS pour un champ électrique donné peut être également la cause des différences observées entre NMOS et PMOS selon Alam et al. [Alam05] ;
- Une autre étude [Tsetseris05] affirme qu'elle est due à la facilité ou la difficulté de casser des liaisons Phosphore-Hydrogène et Bore-Hydrogène dans le substrat de silicium.

Conséquences de la dégradation BTI

Lors de l'application d'un stress négatif sur les PMOS, appelé NBTI, nous observons sur la caractéristique I_D-V_G (Figure I.2.9.a), l'augmentation de la tension de seuil V_{TH} et la diminution du courant linéaire. Sur une échelle logarithmique (Figure I.2.9.b), il apparaît que le courant I_{OFF} est réduit. Sur le graphe de la transconductance en fonction de V_G (Figure I.2.9.c), il apparaît une diminution de g_{mmax} et un décalage de la caractéristique vers la droite, dû à l'augmentation de V_{TH}.

La diminution de g_{mmax} implique une diminution de la mobilité des trous à l'interface. Cette dernière observation suggère qu' I_{Dlin} est globalement diminué par l'augmentation du V_{TH} mais également par une diminution de la mobilité. De la même manière qu'en mode linéaire, le courant I_{Dsat} , le V_{TH} et la transconductance dérivent en mode saturé. L'ensemble des caractéristiques électriques du transistor ne correspond plus aux critères de performances initiales, ce qui peut entraîner une défaillance au niveau du circuit.

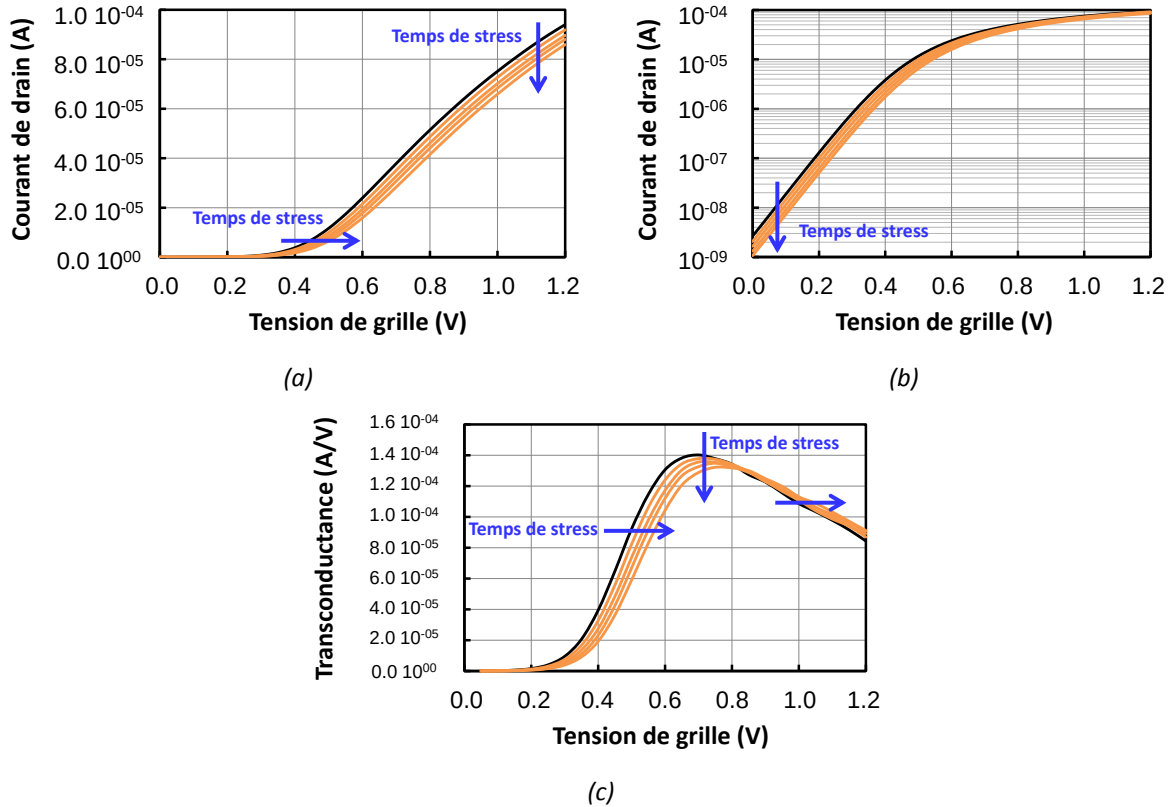


Figure 1. 2.9 : Evolution des caractéristiques I_D - V_G sur une échelle linéaire (a) et sur une échelle logarithmique (b), et de la transconductance en fonction V_G (c) lors d'un stress BTI

Les dégradations relatives des paramètres g_m et I_D ($\Delta g_m/g_m$, $\Delta I_D/I_D$ exprimée en %) ainsi que la dérive absolue de V_{TH} (ΔV_{TH} exprimée en volt) suivent des cinétiques temporelles en loi de puissance du type :

$$\Delta V_{TH} \text{ ou } \frac{\Delta P}{P_0} = A * t^n \quad (1.29)$$

Où t est le temps de stress, n est le paramètre de cinétique de dégradation et A un paramètre qui dépend de la technologie.

Influence de divers paramètres de stress

Comme nous l'avons dit précédemment, la température est un paramètre accélérant le mécanisme de dégradation. Nous observons donc une augmentation de la dégradation de tous les paramètres lorsque le dispositif est sous un environnement à plus haute température (Figure I.2.10.a) avec une énergie d'activation de l'ordre de 0.1-0.3eV [Mitani02] [Aono04]. D'autres paramètres peuvent également jouer sur le niveau de dégradation, comme la valeur de la tension de grille. En effet, plus nous appliquons une tension élevée, plus la dérive des paramètres est importante. L'épaisseur de l'oxyde de grille [Wan10] et par conséquent le champ électrique dans l'oxyde de grille E_{ox} [Denais04a] (Figure I.2.10.b) ont une influence sur la dégradation BTI.

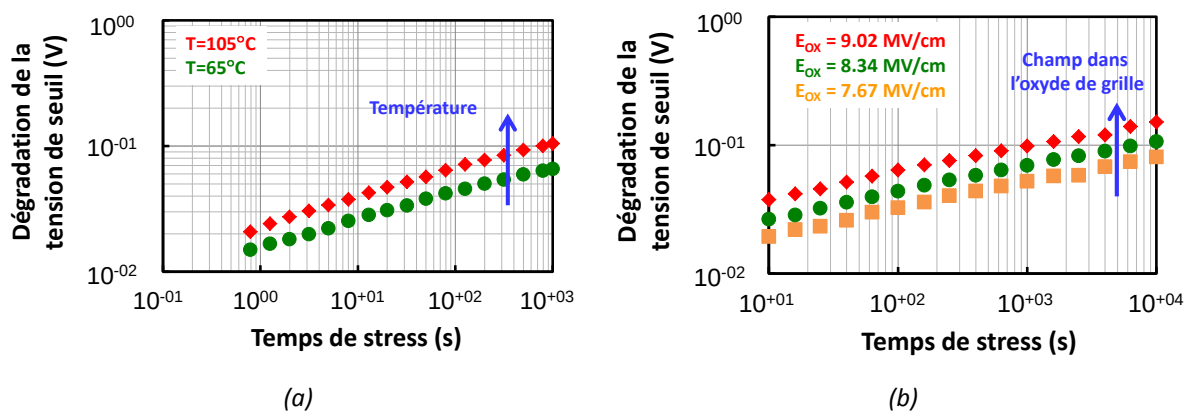


Figure I. 2.10 : Evolution de la tension de seuil V_{th} en fonction du temps de stress pour différentes températures (a) et différents champs électriques dans l'oxyde de grille E_{ox} (b) lors d'un stress BTI

De plus, des méthodes de caractérisation sont étudiées dans le but de réduire le temps de mesure des paramètres électriques comme la tension de seuil ou le courant de drain, afin de minimiser leur impact sur les résultats. En effet, la dégradation BTI est une combinaison de deux composantes indépendantes : la composante permanente et la composante de relaxation, comme vu sur la Figure I.2.6. Ces composantes présentent des facteurs d'accélération en tension et en température différents [Huard10]. La composante de relaxation, également appelée composante « récupérable » est généralement attribuée aux piégeages et dé-piégeages de charges dans l'oxyde de grille alors que la composante permanente est due aux états d'interface [Huard06].

Par conséquent, le rapport temps de stress sur temps de relaxation est un paramètre clé pour la caractérisation du BTI [Rangan03].

2.2.1.2. Modélisation de la dégradation BTI

Le paramètre le plus couramment utilisé pour définir le niveau de dégradation dû au BTI est la variation de la tension de seuil V_{TH} . Une des raisons principales vient du fait qu'elle est directement liée au nombre de pièges dans l'oxyde :

$$\Delta V_{TH} = - \frac{\Delta Q_{IT} + \Delta Q_{OT}}{C_{OX}} \quad (I.30)$$

Où ΔQ_{IT} et ΔQ_{OT} sont respectivement les variations de charge au niveau de l'interface et de l'oxyde, et C_{OX} la capacité de l'oxyde.

L'ensemble des publications sur la modélisation du phénomène BTI, ont pour point commun de détailler des études menées à hautes températures (100 à 175 °C). Les différents travaux diffèrent principalement sur la méthode de stress électrique appliquée. La mise en évidence des processus de guérison se produisant dès que le stress est arrêté, pose le problème du temps de latence entre cet arrêt et le début de la caractérisation électrique du composant. Différentes techniques ont été mises au point pour prendre en compte cette difficulté de mesure.

Méthode « Fast V_{TH} »

La méthode de mesure dite « fast V_{TH} » dédiée au NBTI, a été publiée par Hans Reisinger en 2006 [Reisinger06]. Cette technique propose une mesure directe après l'arrêt du stress, des variations de la tension de seuil dans des conditions de polarisation adaptées au fonctionnement normal du circuit. Grâce à un dispositif particulier, notamment avec l'utilisation d'amplificateur opérationnel, V_{TH} est obtenue en environ 500ns. Cependant, le dispositif présente des capacités parasites importantes. De plus, cette méthode ne peut pas être implémentée sur les appareils de mesures conventionnels, et elle ne permet pas de s'affranchir des processus de guérison précédant la mesure.

Méthode « Fast I_D »

Tout comme dans le cas précédent, la mesure s'effectue après l'arrêt du stress. Dans ce cas, c'est le courant de drain qui est mesuré pour une tension de drain et de grille fixée [Reisinger07]. La tension de seuil est ensuite extrapolée en utilisant la pente autour de V_{TH} sur une courbe I_D - V_G vierge. La mesure peut être réalisée en 1 μ s. Toutefois, le temps de changement entre les tensions de stress et les tensions de caractérisation est bien plus long, de l'ordre de la milliseconde.

Méthode « On The Fly » (OTF)

La méthode « On The Fly » a été introduite par Denais et al. [Denais04b] afin de saisir la dégradation des paramètres avant que la relaxation opère. Lors d'une caractérisation « classique », la contrainte est momentanément arrêtée, alors que la technique OTF permet de caractériser la dégradation sans arrêter la contrainte. En effet, le courant de drain I_{Dlin} est mesuré pour trois tensions de grille proches du potentiel appliqué lors du stress, les effets de relaxation pendant la caractérisation sont donc fortement réduits, voire annulés. L'inconvénient majeur de cette méthode est que la mesure du courant se fait donc avec tous les défauts, dont ceux qui sont instables prêts à relaxer dès qu'une tension de grille plus faible est appliquée. Une forte instabilité de la mesure d' I_{Dlin} autour de la tension de stress est alors observée.

Méthode « Stress AC + On The Fly »

La méthode « Stress AC + OTF » a été mise en place dans le but de contrer le problème de piégeage et dé-piégeage de la méthode OTF. La méthode consiste à effectuer un premier stress AC où l'on caractérise la dégradation de façon « classique », c'est-à-dire, en interrompant la contrainte, puis un second stress est effectué sur un autre transistor caractérisé avec la méthode OTF. La méthode OTF, permet d'avoir un minimum de relaxation alors que l'objectif du stress AC, est d'obtenir une relaxation totale. Suite au stress AC, les coefficients de corrélation entre I_{Dlin} et V_{TH} sont déterminés. Puis, à l'aide de ces coefficients et d' I_{Dlin} mesuré avec la méthode OTF, la dégradation de la tension de seuil est déterminée sans les effets de relaxation. La méthode « Stress AC + OTF » présente les avantages de la méthode OTF simple, caractérisation de la dégradation de la tension de seuil sans effets de relaxation, sans en avoir les inconvénients des défauts instables à forte tension.

2.2.2. Dégradation par stress de grille à fort champ : stress Fowler-Nordheim

2.2.2.1. La dégradation par stress Fowler-Nordheim et ses conséquences sur les MOSFETs

Mécanisme de dégradation en Fowler-Nordheim

Dans le Chapitre I.1.2.2 nous avons introduit la conduction tunnel Fowler-Nordheim en précisant qu'elle est obtenue lorsque le champ électrique appliqué est fort et que l'énergie de l'électron reste inférieure à la hauteur de barrière du système Si/SiO₂. Les électrons traversant ainsi l'oxyde de grille, peuvent engendrer des défauts. Le stress par courant Fowler-Nordheim a été étudié depuis le début des années 80, principalement sur les transistors à canal n [Kojima81].

Le courant tunnel Fowler-Nordheim engendre du piégeage de charges dans l'oxyde ainsi qu'une génération d'états d'interface lors d'un stress positif ou négatif [Liang84]. En début de stress, des charges positives sont détectées très proches de l'anode, puis lorsque le temps de stress augmente, les charges deviennent négatives et elles sont situées légèrement plus loin de l'interface [Liang82]. Ce phénomène a été mis en évidence grâce à la technique de pompage de charge [Heremans89]. Les charges positives en début de stress, sont généralement attribuées au piégeage de trous par le phénomène d' « Anode Hole Injection (AHI) » [Kobayashi99] [Esseni02]. Les charges négatives quant à elles, peuvent être dues soit au piégeage d'électrons soit à la génération d'états d'interface de type accepteur chargés négativement.

Conséquences de la dégradation par stress Fowler-Nordheim

La principale conséquence d'un stress par courant Fowler-Nordheim est la diminution de la tension de seuil au début du stress due au piégeage de charges positives, puis l'augmentation de V_{TH} due aux charges négatives. Ce phénomène appelé « turn-around » pour effet de retournement, est illustré sur la Figure I.2.11. Le temps critique de retournement dépend de la tension de grille V_G appliquée lors du stress. Les autres conséquences d'un stress par courant Fowler-Nordheim peuvent être une diminution du courant de drain en régime linéaire et en régime saturé.

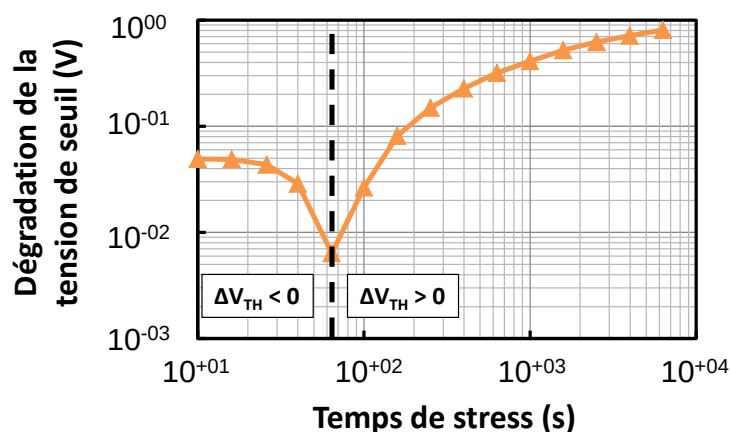


Figure I. 2.11 : Effet de retournement du V_{TH} lors d'un stress par courant Fowler-Nordheim

Influence de divers paramètres de stress

Comme pour la dégradation BTI, de nombreux paramètres peuvent influencer le niveau de dégradation. Des études ont été menées concernant l'effet en longueur et en largeur du canal ainsi que sur l'épaisseur de l'oxyde de grille [Kang11]. En effet, il a été montré que le piégeage de charges ainsi que la génération d'états d'interface sont plus forts proches des régions de source et de drain et

moins forts le long des bords d'isolation [Wu91], d'où une dégradation différente selon la géométrie du transistor.

D'autres travaux ont porté sur les effets d'une nitruration de l'oxyde de grille sur la dégradation par courant Fowler-Nordheim [Degraeve96] [Krause06]. En effet, la nitruration introduit une dépendance de la dégradation en fonction de la polarité.

L'effet de relaxation avec du dé-piégeage de charges a également été étudié [Liang86] [Papadas93]. Il a été observé que la génération d'états d'interface est la même pour un stress DC ou AC alors que le piégeage de charges est différent entre ces deux types de stress [Park10]. Une étude sur la relaxation des charges positives générées au début du stress a été réalisée [Chang98], montrant notamment une dépendance logarithmique de la dégradation avec le temps de relaxation.

Enfin, il a été démontré que la dégradation était seulement dépendante de la charge injectée pendant un stress par courant Fowler-Nordheim appliqué sur les NMOS, quelle que soit la tension de grille appliquée, la température ou la nature AC ou DC du stress [Fishbein90].

2.2.2.2. Modélisation de la dégradation par courant Fowler-Nordheim

La modélisation de la durée de vie des principaux paramètres du MOSFET après l'application d'un stress par courant Fowler-Nordheim, n'est pas très étudiée dans la littérature. En effet, ce type de stress n'est généralement pas évalué lors du développement d'une technologie CMOS. Par contre, dans le cadre d'une technologie Flash avancée, cette étude devient majeure.

2.3. Dégradation par injection de « porteurs chauds »

2.3.1. La dégradation par HCI et ses conséquences sur les MOSFETs

L'objectif de ce chapitre est de donner les bases nécessaires à l'étude de la dégradation par injection de porteurs chauds, appelée HCI pour « Hot Carrier Injection », des transistors MOS. Pour cela, quelques définitions seront tout d'abord exposées. Ensuite, une synthèse bibliographique sera présentée concernant les différents modes d'injection des porteurs chauds vers l'oxyde de grille, les conséquences de ces injections sur les principaux paramètres du MOSFET et les cinétiques de dégradation de ces paramètres.

2.3.1.1. Définition des « porteurs chauds »

La dégradation par HCI (Figure I.2.12.a) se produit essentiellement lorsque le MOS est en régime saturé. La forte chute de potentiel entre le point de pincement et le drain entraîne la présence d'un champ électrique latéral intense à l'approche du drain. Les porteurs qui traversent ce champ acquièrent une forte énergie cinétique d'où leur appellation de porteurs « chauds ». Les porteurs chauds qui ont une énergie suffisante et une direction propice vont être injectés vers l'oxyde. Les conséquences peuvent être la création de défauts d'interface ou de défauts dans le volume de l'oxyde ou encore des pièges plus proches de l'interface référencés comme *border traps*. Comme le champ latéral et donc l'énergie augmentent au voisinage du drain, la dégradation n'est pas homogène le long du canal.

Le principal moyen pour les porteurs d'acquérir une énergie suffisante et une direction propice, est l'ionisation par impact (Figure I.2.12.b). L'ionisation par impact se produit lorsqu'un électron entre en collision avec le réseau cristallin du silicium, créant une paire électron-trou, le trou est attiré par le substrat (pour les transistors à canal n) alors que l'électron libéré peut générer des défauts dans l'oxyde. Le courant I_B est utilisé comme indicateur du nombre de paires électron-trou créées. A faible V_G , le nombre de porteurs augmente avec V_G tandis que l'énergie des porteurs est forte. Cela entraîne une augmentation du nombre de paires électron-trou créées et donc d' I_B . Cependant, à fort V_G , l'énergie des porteurs diminue avec le champ électrique latéral, ce qui entraîne une diminution d' I_B malgré l'augmentation du nombre de porteurs. Ce phénomène a été proposé afin d'expliquer la forme en cloche des courbes I_B - V_G montrée sur la Figure I.2.13 [Schroder06].

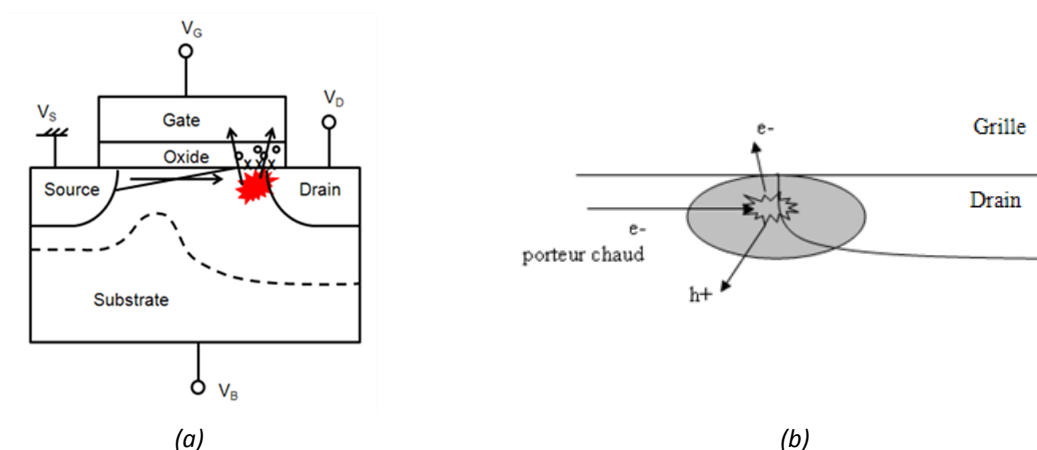


Figure I. 2.12 : Représentation schématique de l'injection par porteurs chauds dans l'oxyde de grille (a) et de l'ionisation par impact dans un canal n (b)

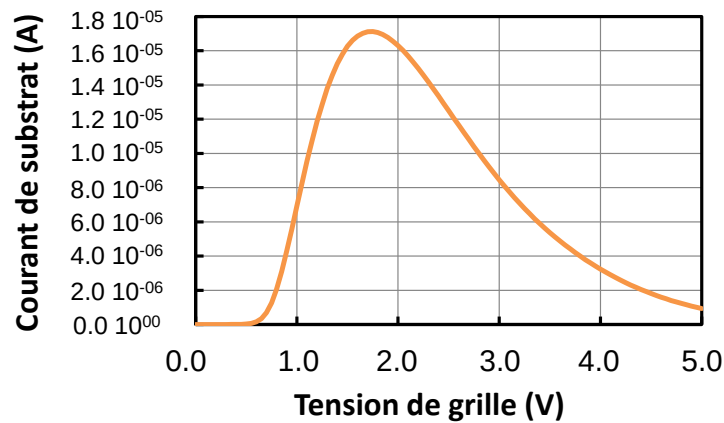


Figure I. 2.13 : Caractéristique I_B - V_G en forme de cloche

2.3.1.2. Mode d'injection des « porteurs chauds »

Une étude de la dégradation par injection de porteurs chauds en fonction des différentes polarisations du transistor a mis en évidence quatre modes d'injections [Takeda83a] [Takeda83b] [Sanchez91] :

- L'injection de porteurs chauds du canal (*Channel Hot Carrier* CHC). Elle a lieu autour de la condition $V_G = V_D$ pour que le champ vertical soit favorable à l'injection des porteurs du canal. Cette condition correspond au courant de grille I_G maximum. Elle est composée d'« électrons chanceux » (*Lucky Electrons*), c'est-à-dire de porteurs assez énergétiques pour passer la barrière Si/SiO₂. Cette notion a été introduite pour les porteurs chauds par Hu en 1979 [Hu79] ;
- L'injection de porteurs chauds en mode d'avalanche au drain (*Drain Avalanche Hot Carrier* DAHC). Elle a lieu pour $V_G < V_D$. Elle est due à l'ionisation par impact des porteurs du canal qui engendre des paires électron-trou. L'injection des deux types de porteurs est mesurée au niveau de I_G : à $V_G \ll V_D$, le champ est favorable à l'injection des trous tandis que l'injection d'électrons prend le dessus quand V_G augmente mais reste inférieur à V_D [Takeda84] ;
- L'injection de porteurs chauds du substrat (*Substrate Hot Carrier* SHC). Elle est dominante pour $V_D = 0V$, $V_G > 0$ et $V_B < 0$. Dans ces conditions le MOS n'est pas en régime saturé. La source de ces porteurs est un courant de fuite. Certains électrons créés dans le substrat sont injectés quasi-perpendiculairement à l'interface et gagnent suffisamment d'énergie dans la zone de déplétion pour passer la barrière Si/SiO₂ [Ning79] ;
- L'injection de porteurs chauds secondaires (*Secondary Generated Hot Carrier* SGHC). L'origine de ces porteurs secondaires est attribuée à deux procédés. L'ionisation peut être :

- ✓ assistée par des photons [Mihnea02] ;
- ✓ engendrée par des trous issus de la première ionisation qui peuvent à leur tour acquérir assez d'énergie pour recréer des paires électron-trou [Bravaix01].

Cette injection est accrue quand un $V_B < 0$ est appliqué sur un NMOS ou quand un $V_B > 0$ est appliqué sur un PMOS.

2.3.1.3. Conséquences de la dégradation par HCI

Les conséquences de la dégradation par HCI sont une augmentation de la tension de seuil V_{TH} , et une diminution de la transconductance g_m . Cela a pour conséquence une diminution de la mobilité et donc du courant de drain en inversion, comme illustré sur la Figure I.2.14. Ces phénomènes sont principalement dus aux piégeages d'une charge dans l'oxyde ou sur des états d'interface créés par le stress. Les dégradations relatives des paramètres g_m et I_D ($\Delta g_m/g_m$, $\Delta I_D/I_D$ exprimées en %) ainsi que la dérive absolue de V_{TH} (ΔV_{TH} exprimée en volt) suivent des cinétiques temporelles en loi de puissance du type :

$$\Delta V_{TH} \text{ ou } \frac{\Delta P}{P_0} = A * t^n \quad (I.31)$$

Où t est le temps de stress et A un paramètre qui dépend de V_D et de la technologie.

Dans certains cas, les dégradations peuvent suivre des cinétiques temporelles en loi logarithmique :

$$\Delta V_{TH} \text{ ou } \frac{\Delta P}{P_0} = A * \log(t) \quad (I.32)$$

Ceci est le cas notamment pour les dégradations des transistors PMOS [Wang91] pour une condition de tension de grille correspondant au pic du courant de grille ($V_G @ I_{Gmax}$).

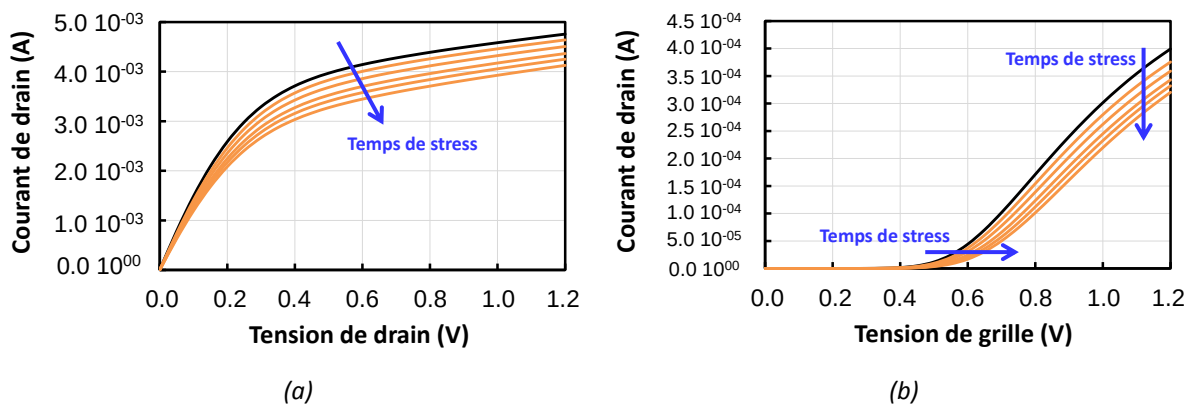


Figure I. 2.14: Evolution des caractéristiques I_D - V_D (a) et I_D - V_G (b) pendant un stress par injection de porteurs chauds

La dégradation des principaux paramètres du transistor MOS est influencée par de nombreux paramètres. En effet, par exemple, l'impact de la diminution de la longueur du canal est une augmentation de la dégradation par HCI [Mistry89] alors que pour un même nombre de charges injectées, la diminution de l'épaisseur d'oxyde a montré une diminution de la dégradation [Chung91]. Une saturation de la dégradation a été observée sur les technologies présentant des structures LDD (Lightly Doped Drain) [Ogura80] [Hsu84] [Cham87], ces structures présentent des jonctions source/drain avec des zones moins dopées sous la grille.

Concernant l'effet de la température, les auteurs ne sont pas en accord. Historiquement, le pire cas de dégradation était vérifié pour des faibles températures [Takeda85] [Tzou85], cependant dans les technologies les plus avancées, il semblerait que le pire cas de dégradation concerne un stress à forte température [Heremans90] [Esseni94] [Fischetti95]. Des études ont également été menées en fonction de la tension de drain appliquée, montrant un inversement de l'effet de la température lorsque V_D varie [Aminzadeh98]. Enfin, certains auteurs ont montré qu'à haute température le pire cas de dégradation ne correspond plus à I_{Bmax} [Chen05] [Li00].

Il apparait donc nécessaire pour chaque nouveau composant développé, d'établir différentes caractérisations HCI pour définir les pires cas de dégradation.

2.3.2. Modélisation

La dégradation par porteurs chauds a fait l'objet de nombreuses études et différents modèles ont été proposés. Chacun de ces modèles cherche à déterminer le type de défauts associés à la dégradation par HCI et une technique d'extrapolation pour l'estimation de la durée de vie des principaux paramètres du transistor MOS. L'objectif de ce paragraphe est donc de parcourir les modèles prédominants dans la littérature.

2.3.2.1. Modèle de Takeda

Le modèle de Takeda est basé sur l'étude du pire cas de dégradation. Cette condition est atteinte pour V_G correspondant à I_{Bmax} ($V_G@I_{Bmax}$) sur les NMOS et pour V_G correspondant à I_{Gmax} ($V_G@I_{Gmax}$) sur les PMOS [Takeda83c]. D'après Takeda [Takeda83c], la dégradation est associée à la création de défauts d'interface due à l'injection de trous chauds sur NMOS et PMOS.

La durée de vie, τ , des principaux paramètres du transistor est donnée par la relation suivante [Takeda83a] :

$$\tau = C * \exp\left(\frac{1}{V_D}\right) \quad (I.33)$$

Avec C différent pour chaque technologie.

2.3.2.2. Modèle de l'électron chanceux

Pour Hu et al. [Hu85], le pire cas de dégradation est atteint pour une tension de grille correspondant à un courant de substrat maximal ($V_G@I_{Bmax}$) pour NMOS et PMOS. La dégradation des NMOS est dominée par la génération d'états d'interface de type accepteur qui sont localisés près du drain et qui réduit localement la mobilité et la densité des porteurs. Les états d'interface sont générés par les électrons chauds ayant une énergie supérieure à 3.7eV [Hu79] (énergie de barrière=3.2eV [Deal66] + lien Si-H). Cette énergie est potentiellement atteinte par les porteurs parcourant une longue distance sans avoir de collisions et donc sans perte d'énergie.

La durée de vie prend en compte plus de phénomènes que celle de Takeda avec notamment la prise en compte de l'énergie nécessaire à la création d'un défaut d'interface ($\phi_{it} = 3.7\text{eV}$) et de l'énergie minimum pour créer une ionisation par impact (ϕ_{ii}) :

$$\tau * \frac{I_D}{W} = C * \left(\frac{I_B}{I_D}\right)^{-\phi_{it}/\phi_{ii}} \quad (I.34)$$

2.3.2.3. Modèle de recombinaison électron/trou

Pour un NMOS (Figure I.2.15) : Au bord du drain, dans la couche de déplétion du drain, le champ électrique d'oxyde (E_{ox}) attire les trous chauds et augmente leur injection dans l'oxyde de grille. Il en est de même pour les électrons chauds dans la zone du canal la plus proche du drain. Dans la région entre le bord du drain et le canal, les deux types de porteurs sont injectés et la recombinaison prend place [Koike04]. Même phénomène pour un PMOS.

Ce modèle est valable à la condition de dégradation maximale $V_G@I_{Bmax}$. La durée de vie des principaux paramètres du transistor est donnée par la relation suivante :

$$\tau * \left(\frac{I_D}{W}\right)^2 = C * \left(\frac{I_B}{I_D}\right)^{-m,n} \quad (I.35)$$

Avec :

$$m,n = 1 + \frac{\left(\frac{\phi_e}{\lambda_e}\right) + \left(\frac{\phi_h}{\lambda_h}\right)}{\frac{\phi_{ei}, \phi_{hi}}{\lambda_e, \lambda_h}} \quad (I.36)$$

Où ϕ_e, ϕ_h sont les énergies critiques, respectivement, de l'électron et du trou pour créer des dommages et ϕ_{ei}, ϕ_{hi} sont les énergies nécessaires, respectivement, à un électron et à un trou pour créer une ionisation par impact.

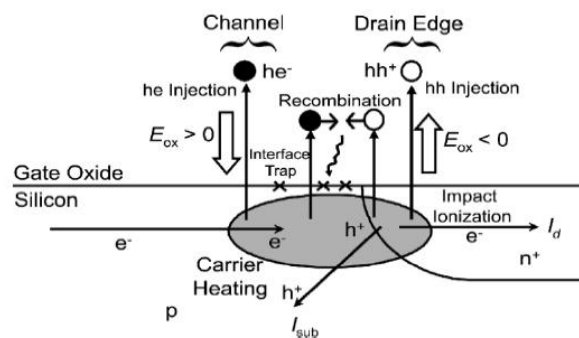


Figure I. 2.15 : Représentation schématique du modèle de recombinaison électron/trou [Koike04]

3. Conclusion

Ce premier chapitre a présenté le dispositif qui fait l'objet de notre étude : le transistor MOS à effet de champ. Le principe de fonctionnement de ce transistor consiste à modifier le nombre de porteurs minoritaires du canal par la tension de grille V_G et le flux de porteurs entre la source et le drain par la tension de drain V_D . Les équations du courant de drain ont été décrites en fonction des principaux régimes de fonctionnement du transistor. De même, la définition d'un certain nombre de paramètres électriques clés régissant les caractéristiques électriques d'un transistor MOS ont été donnés.

Nous avons ensuite mis en évidence que l'oxyde de grille est au centre du transistor MOS et que les performances du dispositif dépendent de sa qualité intrinsèque et de son interface avec le substrat de silicium. Pour cela, nous avons tout d'abord rappelé les différentes classifications des défauts du système Si/SiO₂. En fonctionnement, une dégradation de l'oxyde se manifeste par la création d'états d'interface (N_{IT}) et de pièges dans le volume (N_{OT}). Ces deux types de défauts influencent les performances électriques en créant un décalage des tensions de référence et/ou des courants avec la mobilité des porteurs. Nous avons donc décrit plusieurs méthodes de mesures de défauts et plus particulièrement la mesure Capacité-Tension et le pompage de charge.

Dans une seconde partie de ce chapitre, suite à la génération de défauts dans l'oxyde de grille lors de contraintes électriques, nous avons détaillé quatre phénomènes de dégradation, à savoir : le claquage d'oxyde, la dégradation par stress de grille à haute température et à fort champ électrique et la dégradation par injection de porteurs chauds. Les mécanismes de dégradation ainsi que les conséquences de ces dégradations sur les principaux paramètres du MOSFET ont été expliqués pour chacune de ces dégradations. L'influence que peuvent avoir divers paramètres comme l'épaisseur de l'oxyde de grille ou la température sur la dérive des paramètres du transistor a également été abordée.

Afin d'estimer la durée de vie d'une technologie de transistor, la méthode généralement utilisée pour tous les mécanismes de dégradation consiste à faire vieillir des composants dans des conditions d'utilisation qui accélèrent le vieillissement par rapport à des conditions normales d'utilisation. Nous caractérisons les transistors de façon à suivre l'évolution des principaux paramètres décrivant le comportement du composant au cours de ces vieillissements. Nous définissons alors la durée de vie du transistor comme le temps au bout duquel un paramètre du transistor varie au-delà d'une valeur critique (conventionnellement 10%). Dans ce contexte, les modélisations des deux types de dégradation présentes dans la littérature afin d'estimer cette durée de vie (dégradation par injection de porteurs chauds et dégradation lors de stress BTI), ont été décrites.

Chapitre II: Etude des oxydes
« High Voltage (HV) » pour
application aux mémoires non
volatiles (NVM)

Résumé

Dans ce chapitre, le stress de grille à fort champ électrique va être étudié sur les transistors « haute tension », appelés transistors HV pour « High Voltage ». Ces transistors sont utilisés dans le but de délivrer la haute tension lors des étapes de programmation et d'effacement des mémoires non volatiles à stockage de charge comme la mémoire Flash. L'utilisation de la haute tension jusqu'à parfois 10V génère un fort champ électrique d'environ 7MV/cm dans l'oxyde de grille qui introduit une importante dégradation des performances du dispositif. Cette dégradation des transistors HV peut impacter le temps de programmation et d'effacement ou induire des défaillances de travail. En conséquence, dans le but d'augmenter les performances en cyclage des circuits à mémoire non volatile embarquée (eNVM), il est important de bien comprendre le comportement des transistors HV lors d'un stress de grille.

Tout d'abord, les technologies à mémoires non volatiles vont être introduites avec la classification des mémoires, l'architecture et le fonctionnement des mémoires de type « Flash » et enfin la description des transistors HV. Puis, nous étudierons la dégradation des transistors HV lors de stress de grille à haute tension en régime d'inversion. Pour cela, nous allons évaluer la dépendance en temps, le facteur d'accélération en tension, l'énergie d'activation ainsi que l'effet de relaxation pour les transistors de type p puis de type n. Puis, en raison des différences de dégradation observées entre PMOS et NMOS, nous allons analyser la quantité d'états d'interface et de charges générés durant un stress de grille en régime d'inversion et en régime d'accumulation. Après avoir observé des similitudes entre le mécanisme de dégradation des HV PMOS et HV NMOS, l'évaluation des différentes dépendances étudiées précédemment sera réalisée en régime d'accumulation.

Sommaire

1.	Introduction aux technologies à mémoires non volatiles	71
1.1.	Mémoires embarquées.....	71
1.2.	Classification des mémoires	71
1.2.1.	Les mémoires volatiles	72
1.2.2.	Les mémoires non volatiles	72
1.3.	Architecture et fonctionnement des mémoires « Flash »	75
1.3.1.	Cellule Flash unitaire	75
1.3.2.	Organisation du plan mémoire	76
1.3.2.1.	Description d'un plan mémoire	76
1.3.2.2.	Architecture NOR et NAND	77
1.4.	Transistor « haute tension » ou HV utilisé dans la technologie embarquée Flash 90nm étudiée	79
2.	Dégradation de la tension de seuil des transistors HV lors d'un stress de grille en régime d'inversion	81
2.1.	Phénomène de dégradation des transistors HV PMOS	81
2.1.1.	Dépendances en temps, en tension et en température	81
2.1.2.	Effet de relaxation	84
2.2.	Phénomène de dégradation des transistors HV NMOS.....	85
2.2.1.	Dépendance en temps, en tension et en température	85
2.2.2.	Effet de relaxation	90
2.3.	Différence de dégradation entre les transistors HV PMOS et HV NMOS	91
2.3.1.	Cinétique de dégradation	91
2.3.2.	Durée de vie.....	93
3.	Génération d'états d'interface et piégeage de charges lors d'un stress de grille en régime d'inversion et d'accumulation sur les transistors HV	95
3.1.	Phénomène de dégradation des transistors HV PMOS	97
3.1.1.	Stress de grille en régime d'inversion.....	97
3.1.2.	Stress en régime d'accumulation	98
3.2.	Phénomène de dégradation des transistors HV NMOS.....	100
3.2.1.	Stress de grille en régime d'inversion.....	100

3.2.2. Stress en régime d'accumulation.....	101
3.3. Différences et similitudes de dégradation entre les transistors HV PMOS et HV NMOS	102
4. Dégradation de la tension de seuil des transistors HV lors d'un stress de grille en régime d'accumulation.....	106
4.1. Dégradation des transistors HV PMOS lors d'un stress positif	106
4.2. Dégradation des transistors HV NMOS lors d'un stress négatif	108
5. Conclusion	111

1. Introduction aux technologies à mémoires non volatiles

Les transistors haute tension, appelés transistor HV pour « high voltage », étudiés dans ce chapitre sont utilisés dans les mémoires Flash de type NOR de la technologie 90 nm CMOS embarquée fabriquée par STMicroelectronics. Avant de développer les études réalisées dans ce chapitre, un éclaircissement sur le contexte de celles-ci est nécessaire. Pour cela, nous allons partir de la classification des mémoires à semi-conducteur, en passant par le fonctionnement de la mémoire Flash, pour arriver jusqu'à l'utilisation de transistors HV dans les circuits mémoires.

1.1. Mémoires embarquées

Le développement initial et les applications des mémoires ont été consacrés aux mémoires dites « stand-alone » où les matrices mémoires sont indépendantes des éléments logiques. La forte densité de cette architecture est sa principale caractéristique. Dans l'architecture « embedded », la mémoire est embarquée avec de la logique CMOS et doit répondre aux exigences en termes de performances et de fonctionnalités, du dispositif logique d'accueil. Les technologies avec mémoires embarquées sont plus complexes mais sont plus avantageuses en terme de coût de revient par rapport aux mémoires « stand-alone ».

1.2. Classification des mémoires

Les mémoires à semi-conducteurs sont regroupées en deux grandes familles : les mémoires volatiles et non volatiles, comme illustré sur la Figure II.1.1.

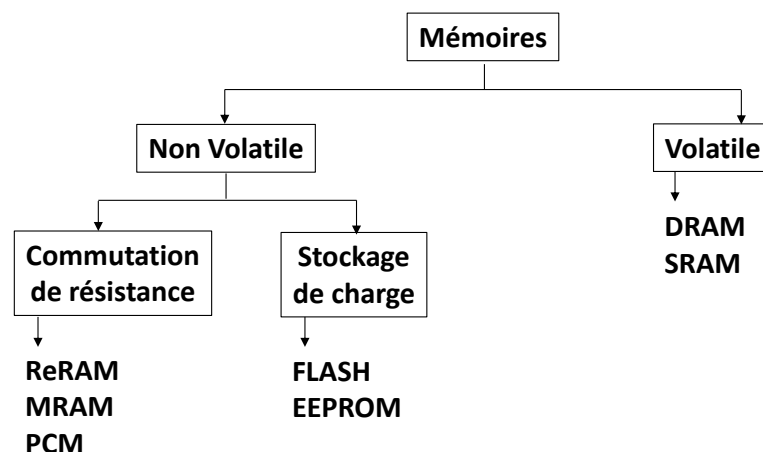


Figure II. 1.1: Arborescence des mémoires à semi-conducteur

1.2.1. Les mémoires volatiles

Les mémoires volatiles sont caractérisées par la rapidité de leur fonctionnement (de l'ordre de quelques nanosecondes) et par le fait que l'information qu'elles contiennent est perdue en absence d'alimentation. Les mémoires les plus représentatives sont les DRAM (« Dynamic Random Access Memory ») et les SRAM (« Static Random Access Memory »).

La cellule SRAM la plus utilisée est une cellule à 6 transistors (on parle alors de 6T-SRAM). Le point mémoire consiste en deux inverseurs montés tête-bêche et de deux transistors d'accès, comme illustré sur la Figure II.1.2.a. Cette architecture, qui s'intègre dans un procédé CMOS standard, permet de maintenir un état stable sans intervention extérieure. Elle fait intervenir de faibles tensions (tension digitale) et est de faible densité.

Les mémoires dites « dynamiques » sont basées sur l'utilisation d'un condensateur qui maintient entre ses électrodes une tension électrique de 1.2V (tension digitale) ou de 0V équivalent aux états 1 et 0 (Figure II.1.2.b). Cependant, le condensateur se décharge et il faut procéder à un rafraîchissement périodique, c'est-à-dire à une lecture puis à la réécriture de la mémoire. Il faut donc une intervention externe régulière pour maintenir l'état d'une mémoire dynamique. Malgré une forte densité d'intégration, cette architecture nécessite un procédé de fabrication spécifique et les performances en temps d'accès sont généralement plus faibles que ceux de la SRAM.

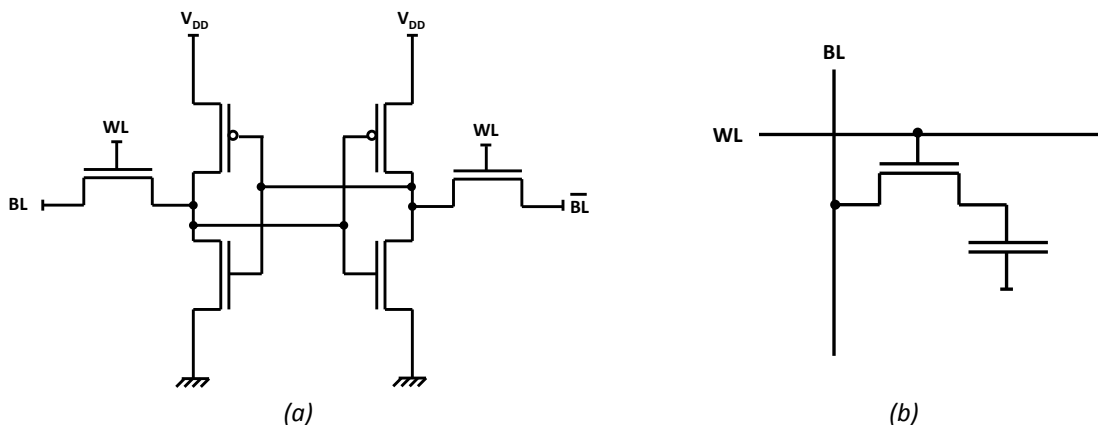


Figure II. 1.2 : Schéma électrique d'une cellule unitaire 6T-SRAM (a) et DRAM 1T1C (b)

1.2.2. Les mémoires non volatiles

Les mémoires non volatiles permettent de maintenir l'information stockée même en absence d'alimentation. Elles peuvent être différenciées selon la forme sous laquelle les données binaires sont stockées. On distingue les dispositifs mémoires utilisant un stockage de charges de ceux basés

sur un changement de matériaux créant une variation de résistance. Historiquement, les mémoires non-volatiles utilisent un stockage de charges, comme c'est le cas des mémoires EEPROM (« Electrically Erasable and Programmable Read Only Memory ») qui ont vu le jour au début des années 80 [Giebel80] [Hagiwara80] et les mémoires Flash qui ont vu le jour à la fin des années 80 [Kynett89]. Les mémoires à variations de résistance sont principalement les mémoires dites « émergentes », avec notamment les mémoires MRAM (« Magnetic Random Access Memory »), PCM (« Phase-Change Memory ») et ReRAM (« Resistive Random Access Memory »).

La mémoire EEPROM possède deux transistors : un transistor à grille flottante, appelé transistor d'état, où l'on va stocker l'information, et un transistor de sélection qui va permettre d'accéder individuellement à chacune des cellules du plan mémoire. La programmation et l'effacement de ces cellules se fait par injection et éjection d'électrons dans la grille flottante, par courant tunnel Fowler-Nordheim. La Figure II.1.3.a représente schématiquement une cellule EEPROM avec ses deux transistors et sa zone tunnel. La zone tunnel est la zone du transistor d'état où l'oxyde, séparant le canal de la grille flottante, est le plus fin. C'est à travers cet oxyde, appelé « oxyde tunnel » que vont être injectés et éjectés les électrons dans la grille flottante. En réalité, cet oxyde est situé au-dessus d'un caisson dopé N+, appelé « implant capa », situé dans le substrat P. L'implant capa sert de réservoir de charges pour programmer et effacer la cellule. Les tensions utilisées sont d'environ 13 à 16V et les temps de programmation ou d'effacement sont de l'ordre de 1 milliseconde.

Dans la technologie MRAM [Engel05], le stockage de l'information n'est plus assuré par des charges électriques comme dans les mémoires conventionnelles mais par un changement de résistance d'une nanostructure magnétique, composé de deux couches ferromagnétiques isolées par un oxyde « tunnel » (Figure II.1.3.b). La direction d'aimantation de l'une des deux couches (appelée couche de référence) est fixe, tandis que la seconde, agissant comme la couche de stockage, peut basculer, sous l'effet d'un champ magnétique, de la configuration parallèle (résistance faible, état 0) à antiparallèle (résistance forte, état 1) par rapport à la couche de référence. La variation de la résistance de la jonction dépend directement de la nature de la barrière isolante et des couches ferromagnétiques. Chaque cellule mémoire est constituée d'une jonction magnétique tunnel et d'un transistor MOS. Les tensions utilisées sont d'environ 1.5V et les temps de programmation ou d'effacement sont de l'ordre de 10 nanosecondes.

Le fonctionnement des mémoires PCM [Servalli09] repose sur le changement de phase réversible d'un matériau chalcogénure (matériau composé d'éléments chalcogènes tels que le soufre, le sélénium ou le tellure). L'élément mémoire est constitué d'une électrode traversée par un courant (appelé « heater ») permettant de chauffer localement un volume programmable du matériau chalcogénure ou GST (Figure II.1.3.c). La commutation rapide et réversible de ce matériau entre une phase amorphe (résistance forte, état 1) et une phase cristalline (résistance faible, état 0) permet d'effectuer les opérations d'écriture ou d'effacement. Comme pour les mémoires MRAM, la lecture de la cellule se fait en mesurant la résistance de l'élément mémoire, celle-ci pouvant varier de plusieurs ordres de grandeur (contrairement à quelques centaines de pourcents pour la mémoire MRAM). Les tensions utilisées sont d'environ 3V et les temps de programmation ou d'effacement sont de l'ordre de 100 nanosecondes [ITRS12].

Enfin, dans les mémoires ReRAM les données binaires 0 ou 1 sont stockées dans une structure Métal/Isolant/Métal (MIM) sous la forme de deux états de résistance distincts. La résistance de la couche isolante peut basculer de manière réversible d'un état de faible résistance, à un état de forte résistance, en appliquant une tension ou un courant approprié. Le comportement de commutation diffère selon le matériau utilisé [Sawa08] [Waser07]. En effet, les mécanismes envisageables pour expliquer la commutation de structure MIM reposent sur des effets physiques et/ou chimiques différents. Les mécanismes peuvent ainsi être classés selon la contribution dominante basée sur un effet thermique, électronique, ionique ou encore mécanique.

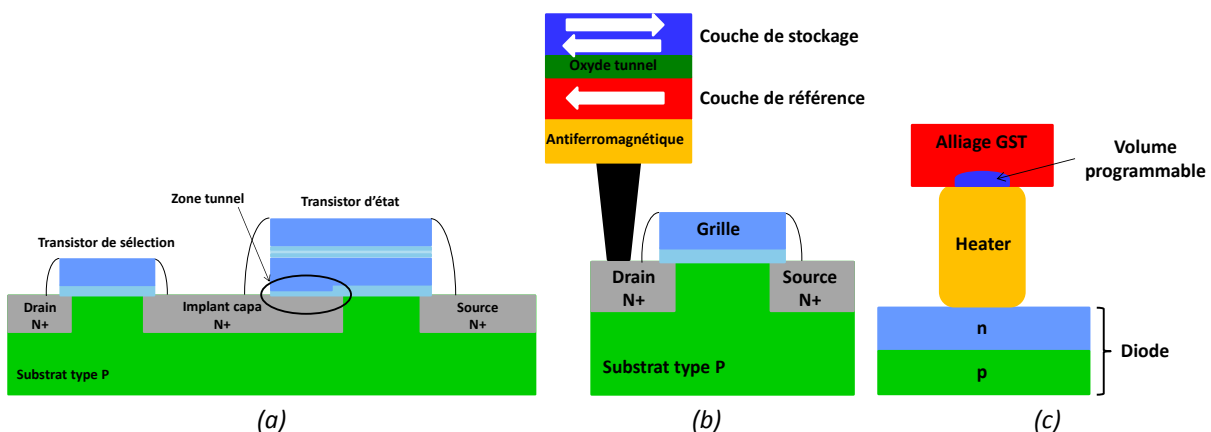


Figure II. 1.3: Architecture d'une cellule unitaire EEPROM (a), MRAM (b) et PCM (c)

De manière générale, une cellule unitaire d'une mémoire volatile ou non-volatile est composée d'un transistor de sélection et d'un point mémoire. La mémoire Flash ne respecte cette règle, comme nous allons le voir dans la suite de ce chapitre.

1.3. Architecture et fonctionnement des mémoires « Flash »

La technologie des mémoires non volatiles à stockage de charges est dominée actuellement par les mémoires Flash, puisqu'en 2012 elle en représente plus de 95% du marché [De Charentenay13]. Lors de la mise en matrice de ces mémoires, deux types d'architectures peuvent être différenciés, les mémoires Flash NAND et les mémoires Flash NOR. Dans cette partie, après avoir expliqué le fonctionnement d'une cellule Flash unitaire, nous citerons les principaux avantages et inconvénients de ces deux types d'architectures.

1.3.1. Cellule Flash unitaire

La cellule mémoire unitaire de type Flash est constituée d'un transistor à grille flottante, comme nous pouvons le voir sur la Figure II.1.4. La grille supérieure, appelée grille de contrôle est polarisée lors du fonctionnement de la mémoire. L'électrode supplémentaire, communément appelé grille flottante, sert au stockage de charges. Elle est isolée électriquement, d'une part par l'oxyde tunnel, et d'autre part par l'isolant épais appelé ONO pour Oxyde-Nitride-Oxyde.

La variation de la charge ΔQ_{FG} sur la grille flottante va déclencher un décalage de la tension de seuil du transistor, ΔV_{TH} , suivant la relation suivante :

$$\Delta V_{TH} = - \frac{\Delta Q_{FG}}{C_{pp}} \quad (II.1)$$

Où C_{pp} est la capacité du diélectrique de contrôle.

Une charge positive diminue la tension de seuil du transistor, tandis qu'une charge négative l'augmente. Cela permet de définir deux états de part et d'autre de la tension de seuil initiale : un état programmé au niveau haut correspondant au niveau «0 » logique et un état effacé au niveau bas correspondant au « 1 » logique.

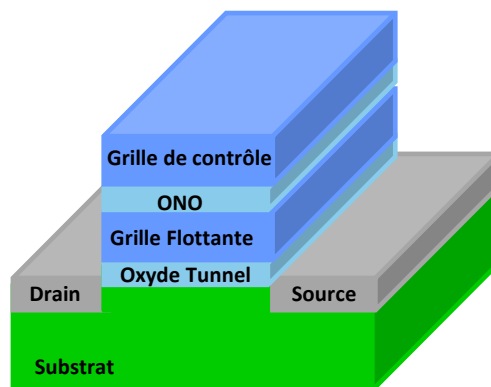


Figure II. 1.4: Architecture d'une cellule Flash unitaire

Différentes méthodes peuvent être choisies afin de modifier la quantité de charges stockée dans la grille flottante, notamment deux mécanismes de conduction : l'injection de porteurs chauds, HCI, et l'injection Fowler-Nordheim, FN. L'injection de porteurs chauds peut être utilisée pour ajouter des électrons dans la grille flottante (c'est-à-dire lors de l'étape de programmation). L'injection Fowler-Nordheim peut être utilisée pour supprimer ou ajouter des électrons dans la grille flottante (c'est à dire, lors des étapes d'effacement ou de programmation). Les dispositifs de type NOR utilisent généralement l'injection de porteurs chauds afin de programmer la cellule et l'injection Fowler-Nordheim pour effacer la cellule. Les dispositifs de type NAND utilisent l'injection Fowler-Nordheim à la fois lors de la programmation et lors de l'effacement.

Pour lire la mémoire, il faut se placer à une tension de grille (V_G) située entre les deux tensions de seuil (V_{TH}) correspondant aux deux états et mesurer le courant. Comme indiqué sur la Figure II.1.5 si des électrons sont présents sur la grille flottante, le courant de lecture est presque nul. Au contraire, si la grille flottante présente un déficit d'électrons, le courant lu est supérieur à zéro.

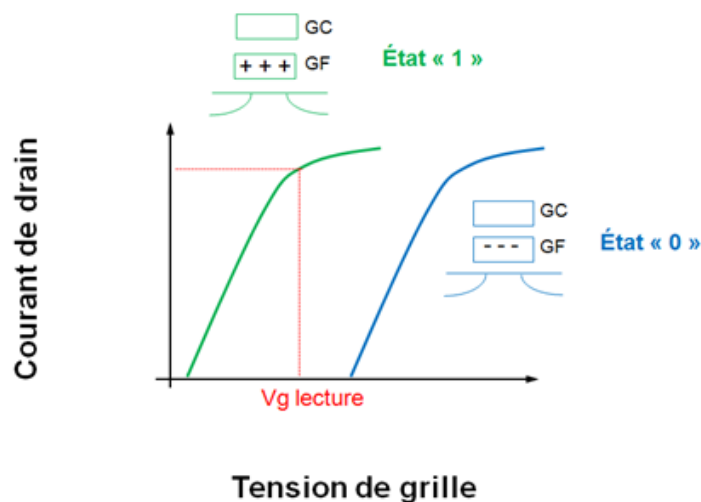


Figure II. 1.5 : Caractéristique I_D - V_G d'une cellule Flash

1.3.2. Organisation du plan mémoire

1.3.2.1. Description d'un plan mémoire

Afin de stocker un grand nombre d'informations, les cellules mémoires Flash sont organisées en matrice mémoire. Autour de cette dernière, on retrouve les circuits de décodage d'adresses par ligne et par colonne, le circuit logique et le circuit analogique (Figure II.1.6).

Le circuit logique est le contrôleur interne de la puce principale. Il décode les commandes émises par les processeurs et exécute l'algorithme de programmation et d'effacement. Il commande également le circuit analogique par l'activation et la désactivation des générateurs de tension pour la programmation et l'effacement et par la détermination de la durée des impulsions. En effet, les tensions analogiques nécessaires au fonctionnement de la matrice de mémoire sont générées sur la puce par un circuit dédié. Le bloc analogique comprend toutes les fonctions analogiques nécessaires pour lire, écrire, et effacer des emplacements de mémoire. Plus précisément, il comprend des multiplicateurs de tension afin de générer la haute tension interne, appelés « pompe de charges », mais également un bloc « oscillateur » qui génère tous les signaux d'horloge de la puce.

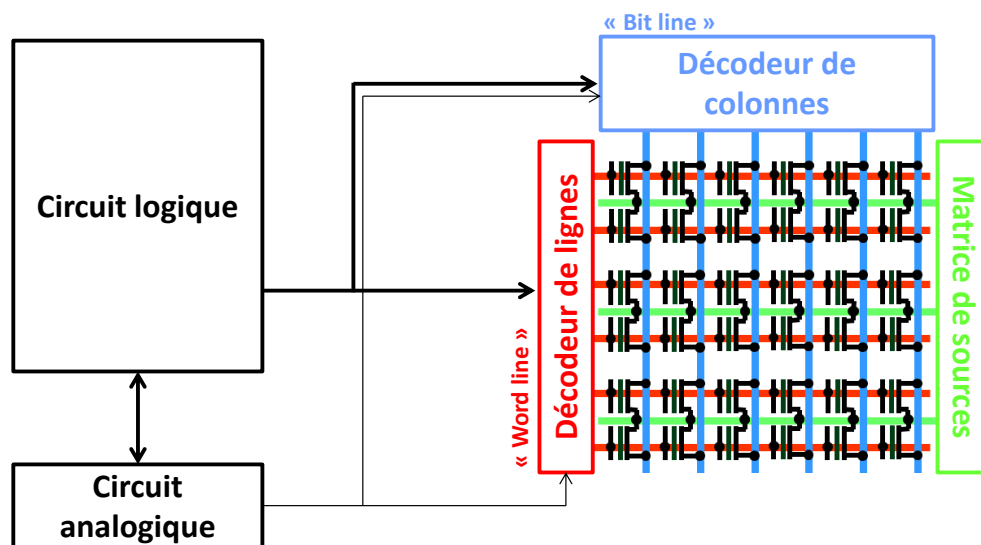


Figure II. 1.6: Schéma d'un plan mémoire

1.3.2.2. Architecture NOR et NAND

On distingue deux architectures de mémoires Flash, les mémoires Flash de type NOR, qui servent plutôt au stockage rapide de codes, et les mémoires Flash de type NAND, qui servent plus généralement au stockage de masse de données. Le Tableau II.1 synthétise les principales différences entre ces deux architectures.

Tableau II.1 : Comparaison des architectures NAND et NOR

Architecture NAND	Architecture NOR
Tension maximale : de 18 à 20 V	Tension maximale : de 8 à 12 V
V_{TH} négatif en effacement	V_{TH} positif en effacement
V_{TH} positif en programmation	V_{TH} positif en programmation
Effacement et programmation avec injection FN	Mode de programmation et d'effacement respectivement par HCI et injection FN
Transistor mémoire en série avec transistor de sélection (surface du plan mémoire plus faible)	Transistor mémoire en parallèle sans transistor de sélection
Durée de l'impulsion : programmation 300 μ s et effacement 2ms	Durée de l'impulsion : programmation 1 μ s et effacement 100ms
Courant consommé : négligeable en programmation et en effacement	Courant consommé : de 10 à 100 μ A en programmation et négligeable en effacement
Courant de lecture : de 300 à 500 nA	Courant de lecture : de 20 à 40 μ A
Temps d'accès moyen : de 10 à 30 μ s	Temps d'accès moyen : de 70 à 100 ns
Débit en lecture série : de 10 à 30Mo/s	Débit en lecture série : 50Mo/s

Architecture NOR

L'architecture d'une mémoire Flash NOR est montrée sur la Figure II.1.7.a. Les grilles de contrôle de toutes les cellules d'une même ligne sont connectées par une ligne commune, qui est appelée « ligne de mot » (ou « word line »). Les cellules d'une même colonne sont connectées deux à deux de manière à avoir la source en commun et le drain adressable sur une même ligne appelée « ligne de bit » (ou « bit line »). Dans cette configuration, les cellules se retrouvent connectées en parallèle et peuvent être adressées individuellement. Le point fort de cette architecture est sa rapidité de lecture ou le temps d'accès. Comme énoncé précédemment, l'écriture de la mémoire Flash NOR se fait par injection de porteurs chauds en polarisant avec une rampe positive jusqu'à +9V la grille de contrôle (création d'une composante transverse du champ électrique) et en appliquant +4V sur le drain (apparition d'une composante longitudinale du champ électrique). Le mode de conduction de type Fowler-Nordheim est utilisé dans le but d'évacuer les charges négatives de la grille flottante et donc d'effacer la cellule. Pour cela, une tension de -9V est appliquée sur la grille de contrôle et une rampe positive jusqu'à effacement du plan mémoire est appliquée sur la source. La rampe est interrompue de façon périodique afin de mesurer la tension de seuil et vérifier l'état des cellules. Il est à noter qu'après un certain nombre de cycles de programmation/effacement où les cellules s'effacent plus difficilement en raison de la dégradation de l'oxyde tunnel, la tension appliquée sur la source devient de plus en plus importante et le temps d'effacement augmente [Modelli04].

Architecture NAND

Dans l'architecture de type NAND (Figure II.1.7.b), les cellules d'une même colonne sont connectées en série et regroupées par paquets entre la ligne de bit et la ligne de source. L'accès à une sous-matrice se fait grâce à une ligne supplémentaire appelée « ligne de sélection » (ou « select line ») mettant en jeu un transistor de sélection placé en série de chaque colonne de cellule. Les points forts de cette architecture sont la rapidité d'écriture et la haute densité. Le principal point faible est une mauvaise performance d'accès en lecture mais permet un accès aux données de façon séquentielle. L'architecture Flash NAND est donc fortement adaptée aux applications de données seules telles que le stockage audio, vidéo, ou l'enregistrement de données.

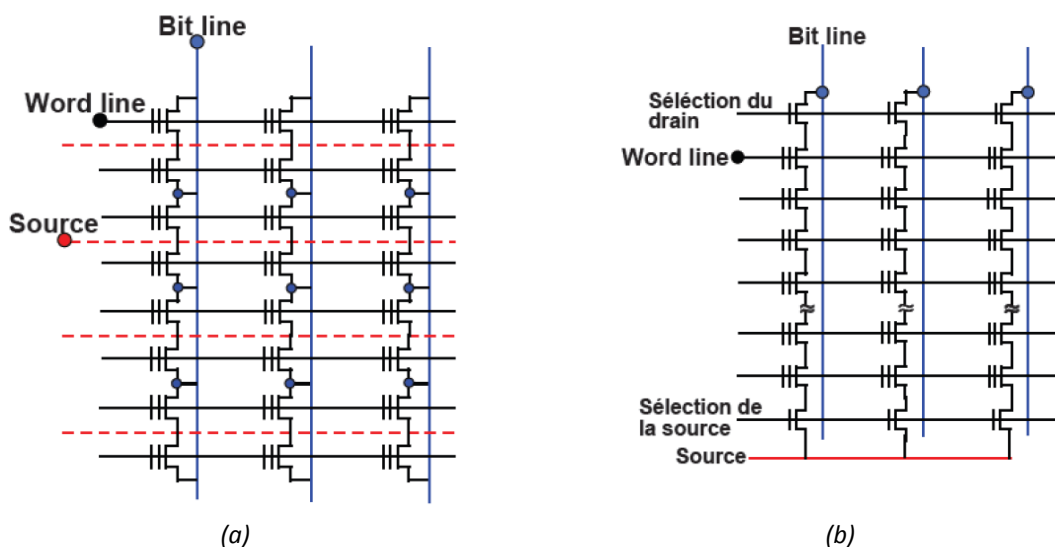


Figure II. 1.7 : Schéma du plan mémoire en architecture NOR (a) et NAND (b)

1.4. Transistor « haute tension » ou HV utilisé dans la technologie embarquée Flash 90nm étudiée

Une coupe TEM (« Transmission Electron Microscopy ») d'un transistor « haute tension » appelé transistor HV pour « High Voltage », est représentée sur la Figure II.1.8. Ces transistors ont une électrode simple grille, une structure LDD (« Lightly Doped Drain »), un oxyde de grille nitruré d'environ 15nm et une tension nominale (V_{DD}) de 5V.

Les transistors avec une structure LDD présentent des jonctions source/drain avec des zones moins dopées sous la grille permettant une réduction du problème des porteurs chauds, grâce à la diminution du champ maximal [Yoshida87].

La nitruration de l'oxyde de grille permet de limiter la diffusion du bore et de diminuer la fuite de grille dans les oxydes minces ($T_{ox} < 50\text{\AA}$) [Ito82]. Cependant, en raison de l'épaisseur d'oxyde importante des transistors HV, la nitruration n'est pas nécessaire. En réalité, la nitruration de cet oxyde vient du fait que l'oxyde HV est constitué de deux croissances d'oxyde : le HV proprement dit et le tunnel utilisé dans les mémoires. L'oxyde tunnel est nitruré afin d'améliorer ses qualités en termes de piégeage de charges [Lai98]. En effet, l'endurance de la mémoire Flash augmente avec la concentration d'azote dans l'oxyde tunnel [Kim97] [Ushiyama95].

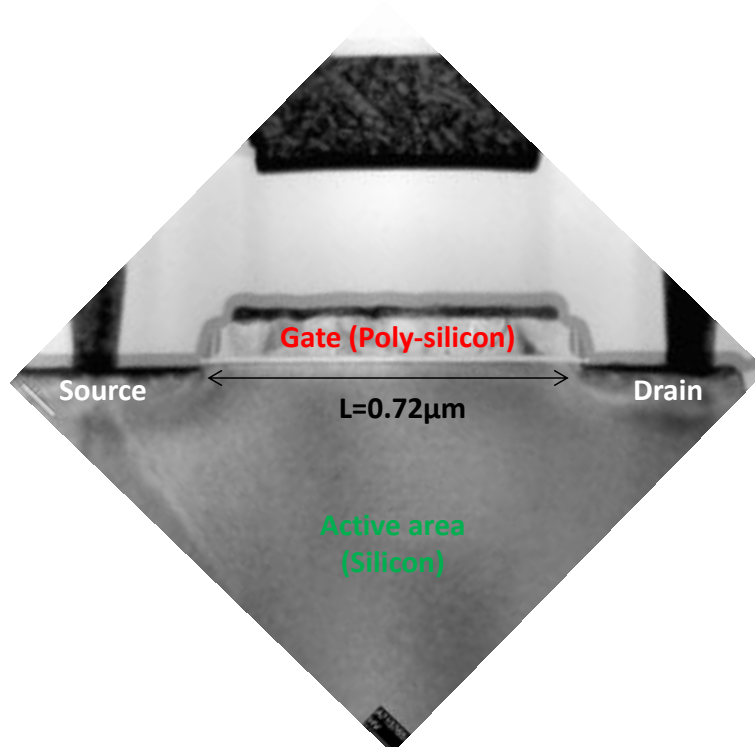


Figure II. 1.8 : Coupe TEM d'un transistor « haute tension »

Ces transistors HV sont utilisés dans le but de délivrer la haute tension lors des étapes de programmation et d'effacement des mémoires Flash. Ces transistors sont localisés dans les pompes de charges et/ou les matrices de décodeurs, d'où une longueur et une largeur minimales requises. L'utilisation de la haute tension, jusqu'à parfois 10V, génère un fort champ électrique d'environ 7MV/cm dans l'oxyde de grille. Ce fort champ introduit une importante dégradation des performances du dispositif qui peut impacter le temps de programmation et d'effacement ou induire des défaillances de travail. En conséquence et dans le but d'augmenter le nombre maximal de cycles de programmation/effacement, il est important de bien comprendre le comportement des transistors HV lors d'un stress de grille.

2. Dégradation de la tension de seuil des transistors HV lors d'un stress de grille en régime d'inversion

Dans ce paragraphe, nous allons voir le comportement du transistor HV pendant un stress de grille à haute tension en régime d'inversion. Pour cela, nous évaluerons dans un premier temps la dépendance en temps, le facteur d'accélération en tension, l'énergie d'activation et l'effet de relaxation sur les transistors à canal p puis à canal n. Ensuite, nous analyserons les différences entre les transistors HV PMOS et HV NMOS, en termes de cinétique de dégradation et de durée de vie.

2.1. Phénomène de dégradation des transistors HV PMOS

2.1.1. Dépendances en temps, en tension et en température

Dans le but d'étudier le stress de grille le plus proche possible des conditions du produit, un stress AC négatif avec un rapport cyclique de 50% est appliqué sur la grille à haute température (105°C). Le stress est périodiquement stoppé pour déterminer la tension de seuil avec la méthode d'extrapolation en régime linéaire. Nous traçons tout d'abord la cinétique de dégradation de la tension de seuil, c'est-à-dire, la dégradation de la tension de seuil en fonction du temps de stress (Figure II.2.1). Nous observons une dépendance en temps avec une loi en puissance du type :

$$\Delta V_{TH} = A * t^n \quad (II.2)$$

Où ΔV_{TH} est la dérive de la tension de seuil, n est la pente de dégradation, t est le temps de stress et A est une constante.

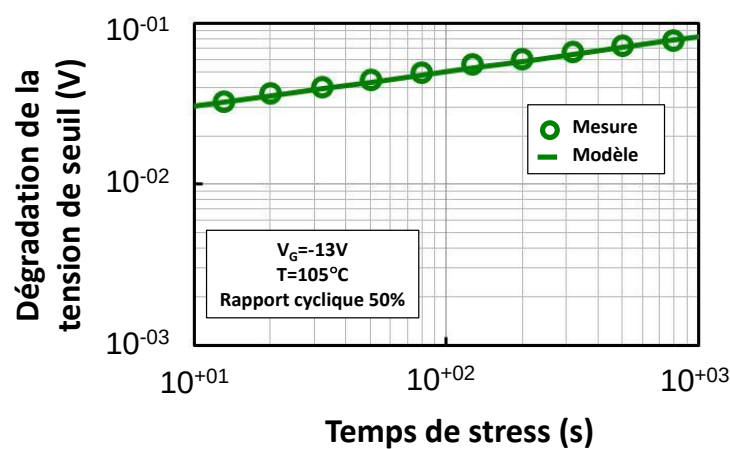


Figure II. 2.1 : Cinétique de dégradation de la tension de seuil des transistors HV PMOS sous stress de grille en régime d'inversion

Ce modèle est celui qui est le plus souvent rencontré à partir de stress ayant pour but le vieillissement du transistor MOS comme lors d'un stress par injection de porteurs chauds ou lors d'un stress de type BTI. En effet, dans les deux cas un modèle en puissance du temps de stress est utilisé pour modéliser la cinétique de dégradation. A noter également que lors d'un stress de grille tel qu'étudié ici, le stress appliqué est réparti tout le long du canal, de même que lors d'un stress de type BTI.

Dans le but d'évaluer le facteur d'accélération en tension, nous traçons le temps de défaillance TTF (« Time-To-Failure ») en fonction de la tension de grille (Figure II.2.2). Pour cela, trois transistors ont été stressés dans les mêmes conditions que précédemment (stress AC négatif avec un rapport cyclique de 50% et à une température de 105°C) à trois tensions de stress différentes (-11V, -12V et -13V). Nous observons un modèle en puissance de la tension de grille du type :

$$\text{TTF} = A * V_G^{-u} \quad (\text{II.3})$$

Où TTF est le temps de défaillance pour un critère de dégradation donné, u est le facteur d'accélération en tension, V_G est la tension de grille et A est une constante. Nous avons choisi par rapport à l'application, un critère de dégradation de 500mV de variation sur la tension de seuil.

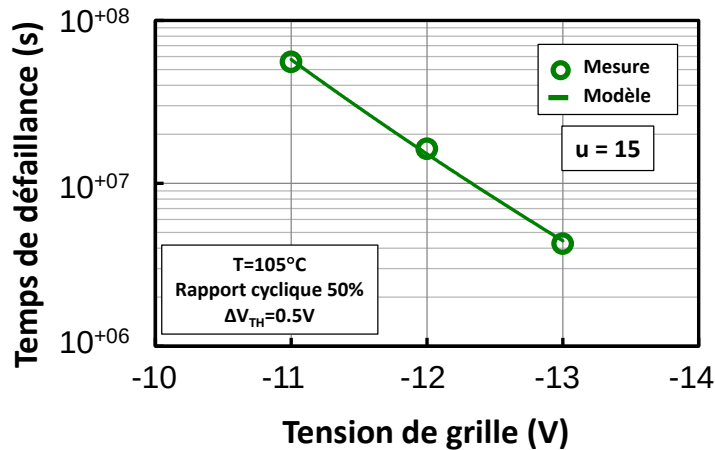


Figure II. 2.2: Temps de défaillance en fonction de la tension de grille appliquée sur des transistors HV PMOS en régime d'inversion

Nous pouvons noter que ce modèle est le même que celui utilisé lors d'un stress NBTI [Chen00]. Le stress NBTI a été également reconnu pour être dépendant du champ dans l'oxyde de grille E_{ox} [Aono04]. Dans le but de confirmer cette dépendance, nous avons effectué des mesures sur des transistors HV PMOS ayant comme épaisseur d'oxyde électrique 15nm et 16nm.

Les résultats après 500mV de dégradation de la tension de seuil sous différentes tensions de stress sont montrés sur la Figure II.2.3. Nous observons une dépendance en champs avec une loi en puissance du type :

$$TTF = A * E_{OX}^{-\nu} \quad (II.4)$$

Où TTF est le temps de défaillance pour un critère de dégradation donné, ν est le facteur d'accélération en champ, E_{OX} est le champ de l'oxyde de grille et A est une constante.

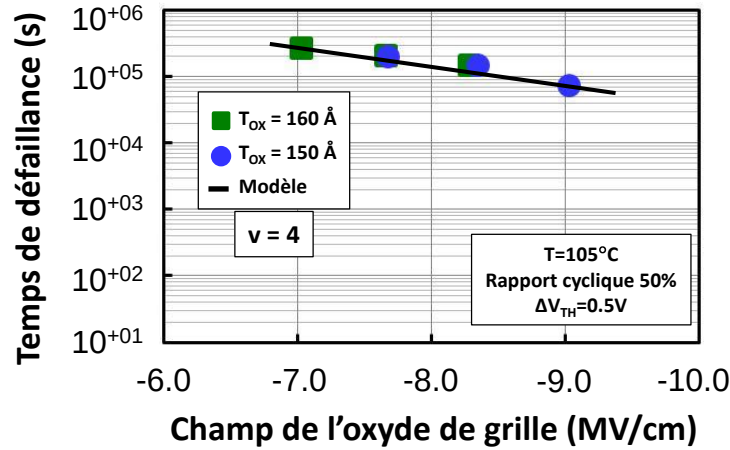


Figure II. 2.3: Temps de défaillance en fonction du champ de l'oxyde de grille lors d'un stress de grille appliqué sur des transistors HV PMOS en régime d'inversion

L'énergie d'activation est extraite à partir du graphe du temps de défaillance en fonction de l'inverse de la température, comme illustré sur la Figure II.2.4, on parle de loi d'Arrhenius. Nous observons un modèle en exponentielle du type :

$$TTF = C * \exp\left(E_A * \frac{q}{K_B * T}\right) \quad (II.5)$$

Où TTF est le temps de défaillance pour un critère de dégradation donné, E_A est l'énergie d'activation, q est la charge de l'électron, K_B est la constante de Boltzmann, T est la température et A est une constante. Le même critère de dégradation que pour l'extraction de ν a été choisi.

L'énergie d'activation ainsi obtenue est de 780meV. Cette haute énergie d'activation est typiquement vue avec un stress NBTI [Chen00].

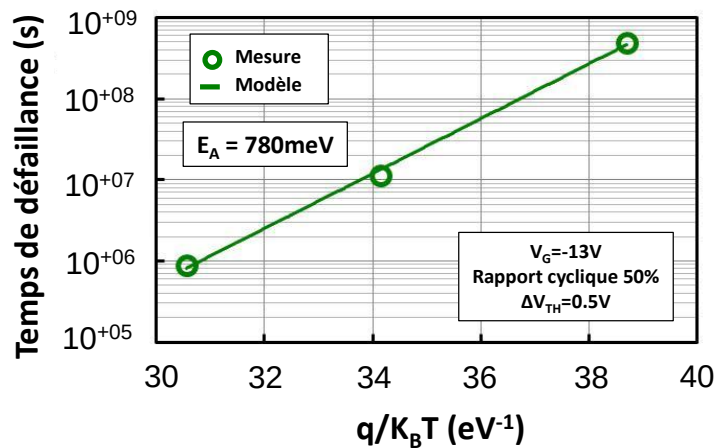


Figure II. 2.4: Temps de défaillance en fonction de l'inverse de la température lors d'un stress de grille appliqué sur des transistors HV PMOS en régime d'inversion

2.1.2. Effet de relaxation

Nous allons maintenant étudier l'effet de relaxation. Pour cela, nous traçons la dégradation de la tension de seuil en fonction du rapport cyclique du signal de grille (Figure II.2.5). Le rapport cyclique correspond en réalité au rapport temps de stress sur temps de relaxation : quand le rapport cyclique diminue, le temps de relaxation augmente.

Les transistors sont stressés à haute température (105°C) durant le même temps de stress effectif. Nous observons une diminution de la dégradation lorsque le rapport cyclique diminue. Cela implique qu'un effet de relaxation est présent lors d'un stress de grille à haute tension en régime d'inversion sur les transistors HV à canal p.

L'effet de relaxation a été largement étudié pendant un stress de type NBTI sur les transistors à canal p pour des applications digitales. En effet, il a été montré que la dégradation NBTI est faite de deux composantes présentant des facteurs d'accélération en tension et en température différents [Huard10] : une composante « récupérable » généralement due aux piégeage et dé-piégeage de charges dans l'oxyde de grille et une composante « permanente », due aux états d'interface [Huard06].

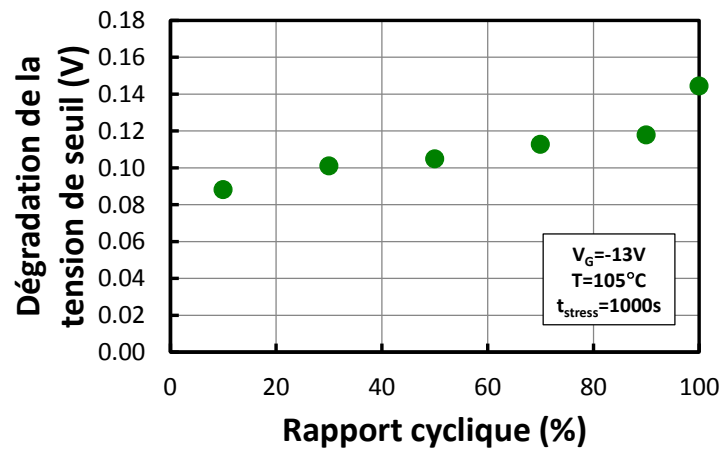


Figure II. 2.5: Dégradation de la tension de seuil en fonction du rapport cyclique du signal de grille appliqué sur les transistors HV PMOS en régime d'inversion

Pour conclure sur la dégradation des transistors HV PMOS pendant un stress de grille en régime d'inversion, on peut dire que cette dégradation est dominée par le mécanisme de stress NBTI.

2.2. Phénomène de dégradation des transistors HV NMOS

2.2.1. Dépendance en temps, en tension et en température

Le même type de stress que celui appliqué sur les transistors HV PMOS, est utilisé sur les transistors HV NMOS, dans le but d'étudier le stress de grille le plus proche possible des conditions du produit : stress AC en régime d'inversion (tension positive) avec un rapport cyclique de 50% à haute température (105°C). Le stress est périodiquement stoppé pour déterminer la tension de seuil avec la méthode d'extrapolation en régime linéaire.

Nous traçons tout d'abord la cinétique de dégradation de la tension de seuil (Figure II.2.6) ainsi que le modèle en loi de puissance du temps de stress trouvé précédemment sur les transistors HV de type p. Nous observons que ce modèle n'est pas pertinent pour les transistors HV de type n. Nous allons donc utiliser un nouveau modèle empirique.

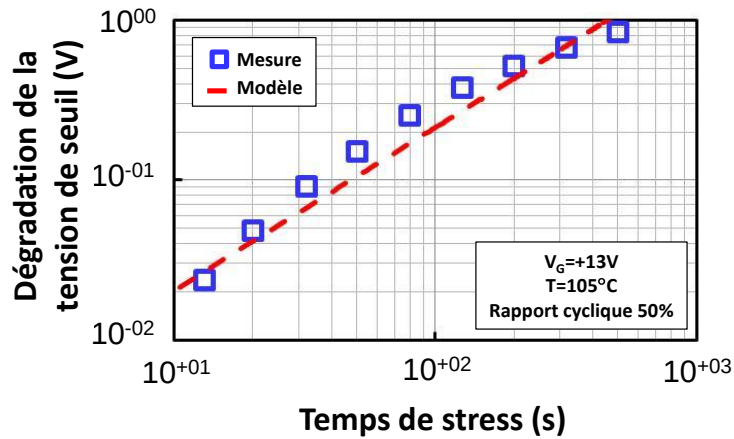


Figure II. 2.6: Cinétique de dégradation de la tension de seuil des transistors HV NMOS sous stress de grille en régime d'inversion et le modèle en loi de puissance trouvé lors d'un stress équivalent appliqué sur les transistors HV PMOS

La dégradation de la tension de seuil d'un transistor HV NMOS sous stress de grille en régime d'inversion est modélisée avec l'équation suivante :

$$\Delta V_{TH} = A * \left[\ln \left(\frac{t}{\tau_0} \right) \right]^{\frac{1}{m}} \quad (II.6)$$

Où ΔV_{TH} est la dérive de la tension de seuil, m est la pente de dégradation, t est le temps de stress et A et τ_0 sont des constantes.

Les détails des paramètres d'extraction du modèle sont montrés sur la Figure II.2.7, et la bonne corrélation avec les données expérimentales est montrée sur la Figure II.2.8. Ce modèle a déjà été développé lors de différents travaux, notamment lors de l'étude de la dégradation par HCI dans le but de modéliser la saturation observée après un temps de stress assez long [Szlag99].

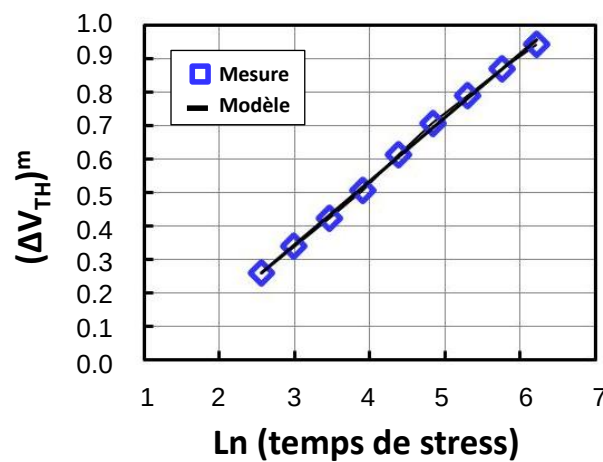


Figure II. 2.7: Détails des paramètres d'extraction du modèle pour les transistors HV NMOS lors d'un stress de grille en régime d'inversion

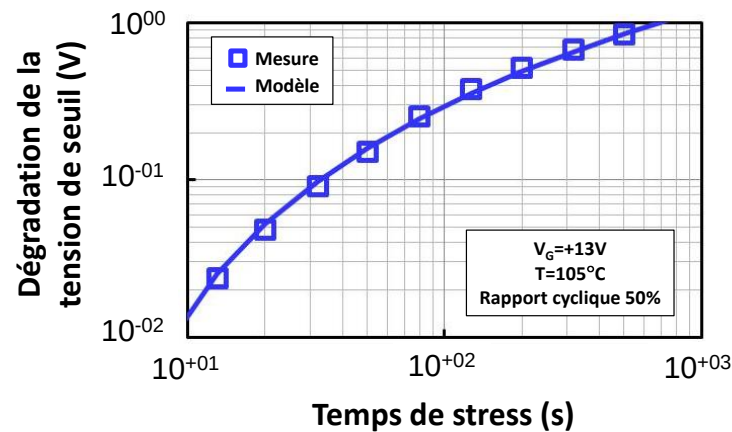


Figure II. 2.8 : Cinétique de dégradation de la tension de seuil des transistors HV NMOS sous stress de grille en régime d'inversion et le modèle empirique en logarithme du temps

Dans le but d'évaluer le facteur d'accélération en tension, nous traçons le temps de défaillance, avec un critère de dégradation de 500mV de variation sur la tension de seuil, en fonction de la tension de grille (Figure II.2.9). Pour cela, trois tensions de grille ont été choisies : +11V, +12V et +13V. Le même modèle en puissance de la tension de grille que celui utilisé pour les transistors HV PMOS est observé (Equation II.3). Nous observons également sur la Figure II.2.10, une dépendance en champ en loi de puissance (Equation II.4).

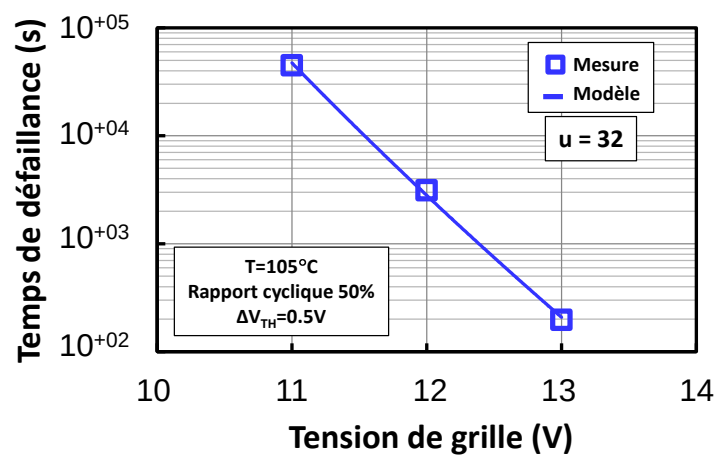


Figure II. 2.9 : Temps de défaillance en fonction de la tension de grille appliquée sur des transistors HV NMOS en régime d'inversion

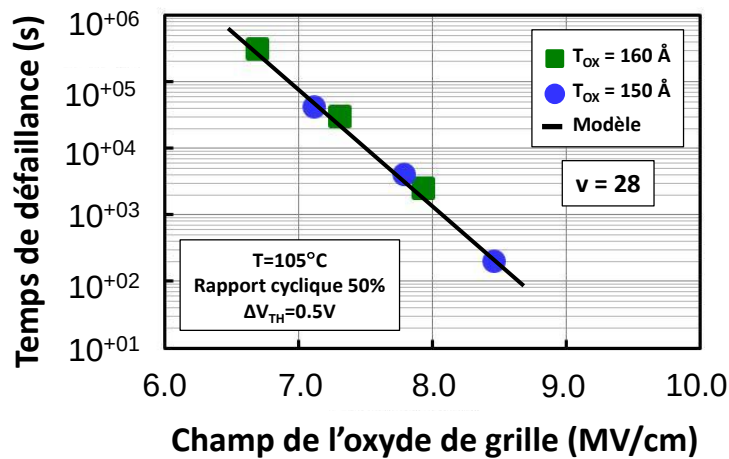


Figure II. 2.10: Temps de défaillance en fonction du champ de l'oxyde de grille lors d'un stress de grille appliqué sur des transistors HV NMOS en régime d'inversion

L'énergie d'activation est extraite à partir du graphe du temps de défaillance en fonction de l'inverse de la température, comme illustré sur la Figure II.2.11. Le même modèle en exponentielle que celui utilisé pour les transistors HV PMOS est observé (Equation II.5).

L'énergie d'activation ainsi obtenue est de 52meV. Dans le but d'expliquer cette faible valeur, nous traçons la dégradation de la tension de seuil en fonction de la charge injectée pendant le stress pour plusieurs tensions de grille et plusieurs températures de stress (Figure II.2.12).

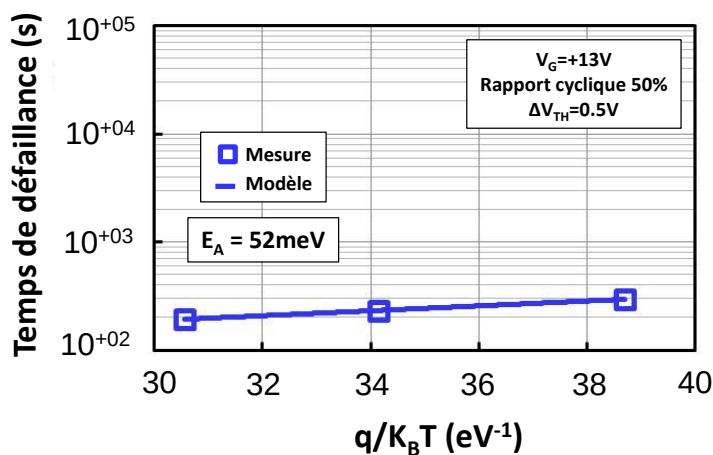


Figure II. 2.11 : Temps de défaillance en fonction de l'inverse de la température lors d'un stress de grille appliqué sur les transistors HV NMOS en régime d'inversion

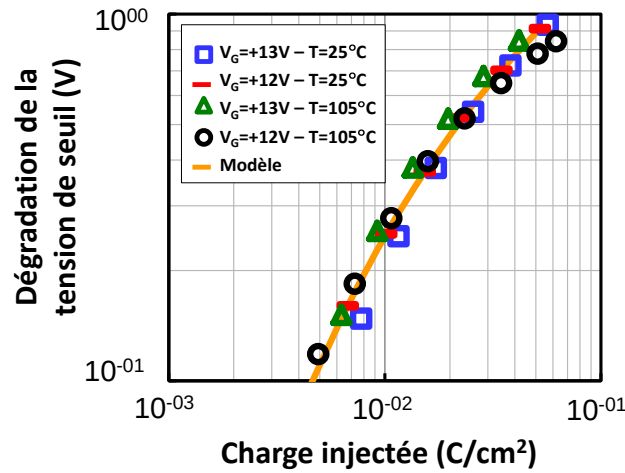


Figure II. 2.12: Dégradation de la tension de seuil en fonction de la charge injectée lors d'un stress de grille appliqué sur les transistors HV NMOS en régime d'inversion

La charge injectée a été obtenue en suivant l'évolution du courant de grille pendant un stress de type CVS sur des capacités HV de type n, puis en appliquant l'équation suivante :

$$Q_{inj} = \int J(t) * dt \quad (II.7)$$

Où t est le temps de stress et J est la densité de courant de grille.

On observe distinctement sur la Figure II.2.12 que la dégradation de la tension de seuil montre une fonction universelle de la charge injectée, indépendamment de la tension de stress ou de la température de stress. Nous avons donc modélisé cette dépendance et avons obtenu l'équation suivante :

$$\Delta V_{TH} = A * \left[\ln \left(\frac{Q_{inj}}{Q_0} \right) \right]^{1/m} \quad (II.8)$$

Où ΔV_{TH} est la dérive de la tension de seuil, m est la pente de dégradation, Q_{inj} est la charge injectée et A et Q_0 sont des constantes.

Cette dépendance de la dégradation uniquement en fonction de la charge injectée avait déjà été observée pendant un stress de type Fowler-Nordheim [Fishbein90]. De plus, Fishbein et al., ont montré que lors d'un stress Fowler-Nordheim l'énergie d'activation est très faible. Ce phénomène est confirmé sur nos transistors HV NMOS grâce aux caractéristiques du courant de grille en fonction de la tension de grille en régime d'inversion à température élevée et à température ambiante où le niveau de courant Fowler-Nordheim est très proche entre les deux températures (Figure II.2.13).

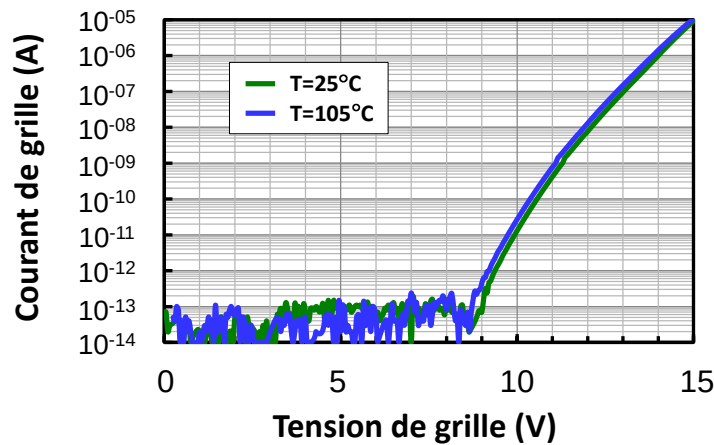


Figure II. 2.13 : Caractéristique du courant de grille en fonction de la tension de grille en régime d'inversion des transistors HV NMOS pour deux températures

2.2.2. Effet de relaxation

Dans le but d'étudier l'effet de relaxation, nous traçons la dégradation de la tension de seuil en fonction du rapport cyclique du signal de grille (Figure II.2.14). Les transistors sont stressés à haute température (105°C) durant le même temps de stress effectif. Nous observons une diminution de la dégradation lorsque le rapport cyclique diminue. Cela implique qu'un effet de relaxation est présent lors d'un stress de grille à haute tension en régime d'inversion sur les transistors HV à canal n. A noter que l'effet de relaxation a déjà été observé pendant un stress de type Fowler-Nordheim sur les transistors à canal n [Papadas93].

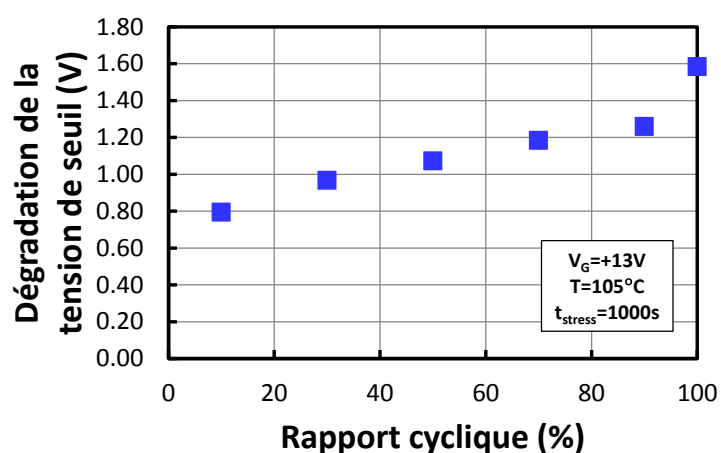


Figure II. 2.14 : Dégradation de la tension de seuil en fonction du rapport cyclique du signal de grille appliqué sur des transistors HV NMOS en régime d'inversion

Pour conclure sur la dégradation des transistors HV NMOS pendant un stress de grille en régime d'inversion, on peut dire que cette dégradation est dominée par le mécanisme de stress Fowler-Nordheim.

2.3. Différence de dégradation entre les transistors HV PMOS et HV NMOS

Après avoir étudié le comportement des transistors HV à canal p puis à canal n pendant un stress de grille à haute tension, l'objectif ici est de comparer la cinétique de dégradation de la tension de seuil ainsi que la durée de vie des transistors HV NMOS et HV PMOS en régime d'inversion.

2.3.1. Cinétique de dégradation

Pour rappel, dans les chapitres précédents deux modèles empiriques ont été utilisés afin de modéliser la dépendance en temps pour les transistors de type n et p. Sur la Figure II.2.15, nous pouvons observer une plus forte dégradation des transistors NMOS par rapport à celle des transistors PMOS pour un même type de stress, c'est-à-dire même température et même tension de grille en régime d'inversion. Dans le but d'expliquer cette différence de dégradation, nous traçons sur la Figure II.2.16 la densité de courant de grille en fonction de la tension de grille en régime d'inversion. Une plus forte densité de courant est observée sur les transistors à canal n, d'environ trois décades, par rapport à celle des transistors à canal p.

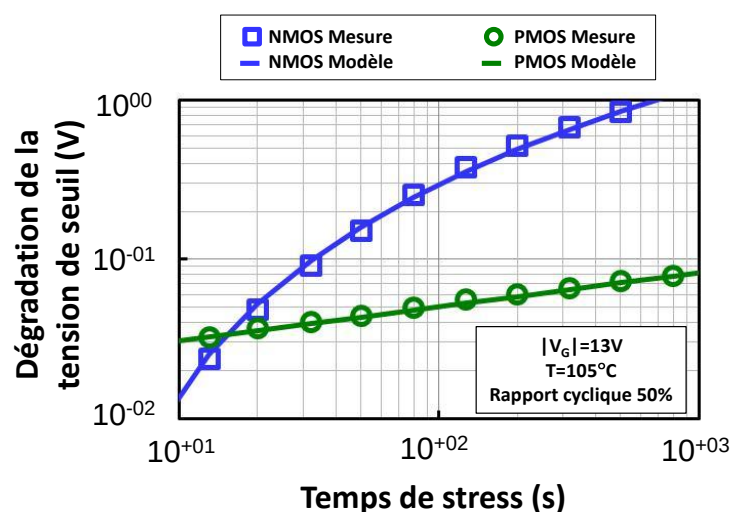


Figure II. 2.15: Cinétique de dégradation pendant un stress de grille en régime d'inversion des transistors HV NMOS et HV PMOS

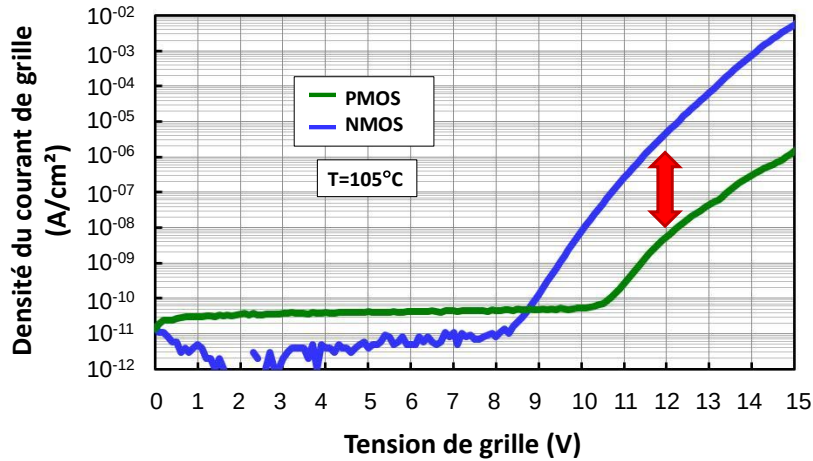


Figure II. 2.16: Densité du courant de grille en fonction de la tension de grille pour un transistor HV NMOS et HV PMOS en régime d'inversion

Ce phénomène a déjà été observé en régime Fowler-Nordheim [Ogier96] et a été expliqué par une différence de hauteur de barrière entre les transistors à canal n et p. Cette différence est observée sur la Figure II.2.17, où la hauteur de barrière ϕ_B est extraite à partir de l'équation du courant Fowler-Nordheim (Equation I.9). Ce phénomène est dû au fait que dans le cas d'un transistor HV NMOS, les électrons sont injectés du substrat vers la grille à partir de la bande de conduction (Figure II.2.18.a) alors que pour les transistors HV PMOS, les électrons sont injectés à partir de la bande de valence de la grille vers le substrat (Figure II.2.18.b).

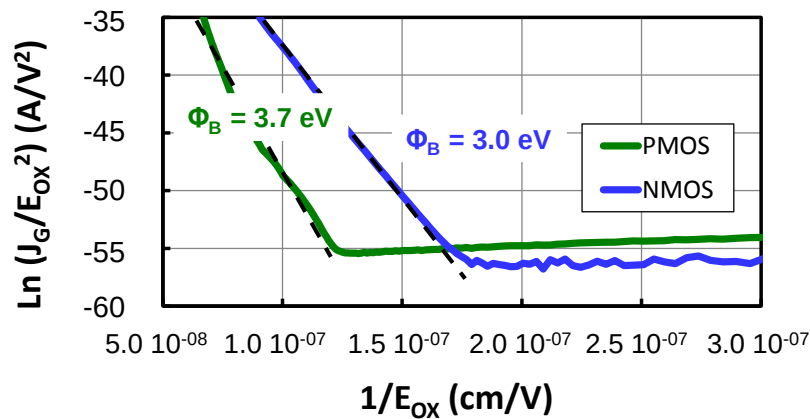


Figure II. 2.17: Caractéristique Fowler-Nordheim pour des transistors HV NMOS et HV PMOS en régime d'inversion

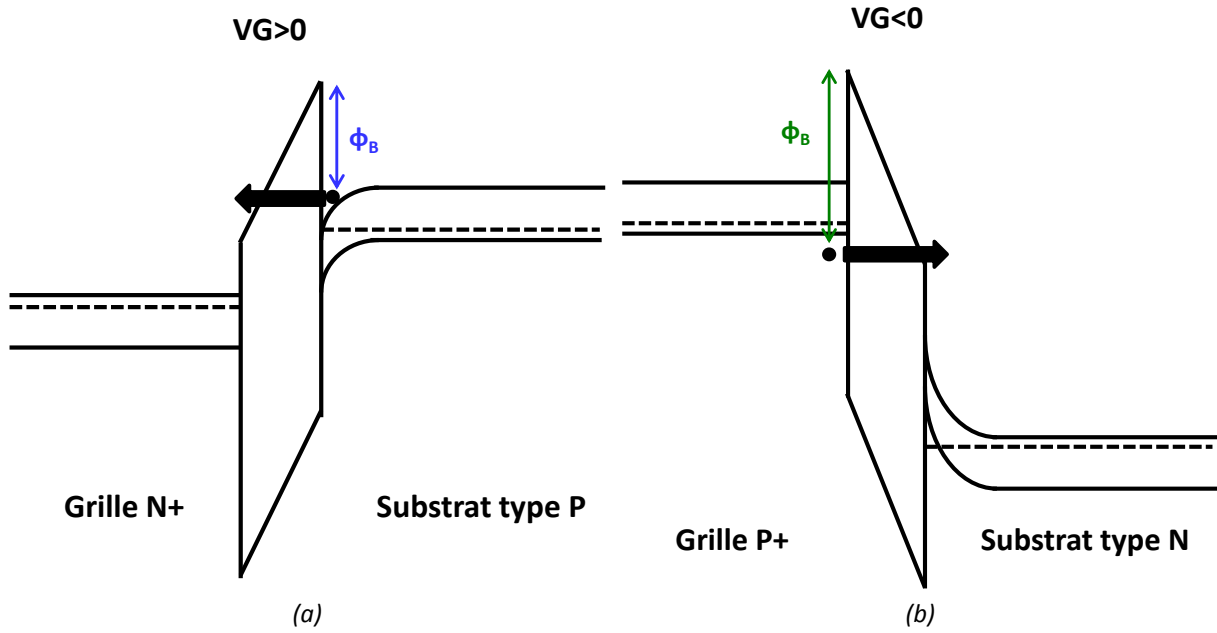


Figure II. 2.18 : Diagramme de bandes d'un transistor HV NMOS (a) et HV PMOS (b) lors de l'application d'une tension en régime d'inversion sur la grille

2.3.2. Durée de vie

Nous allons maintenant étudier la durée de vie de ces transistors HV à l'aide de l'équation suivante :

$$\tau = C * V_G^{-u} * \exp\left(E_A * \frac{q}{K_B * T}\right) \quad (II.9)$$

Où τ est la durée de vie, V_G est la tension de grille, u le facteur d'accélération en tension, E_A est l'énergie d'activation, q est la charge de l'électron, K_B est la constante de Boltzmann, T est la température et C est une constante.

A noter que la tension de grille V_G peut être remplacée par le champ électrique dans l'oxyde E_{ox} . Cependant, ici l'épaisseur d'oxyde T_{ox} et les dopages étant les mêmes entre les différents transistors étudiés, nous utilisons V_G comme indicateur. Le facteur d'accélération en tension ainsi que l'énergie d'activation ont été trouvés dans les chapitres précédents.

La Figure II.2.19 montre la durée de vie en fonction de la tension de grille des transistors HV NMOS et HV PMOS en régime d'inversion pour deux températures (25°C et 150°C). Nous observons tout d'abord que le pire cas pour une tension nominale (V_{DD}) est le transistor HV PMOS, cela correspond bien aux résultats existants dans la littérature [Makabe00] [Schroder07].

Cependant, la durée de vie des NMOS est plus faible que celle des PMOS pour les deux températures à haute tension, c'est-à-dire pour une utilisation dans les matrices des mémoires non volatiles comme les mémoires Flash.

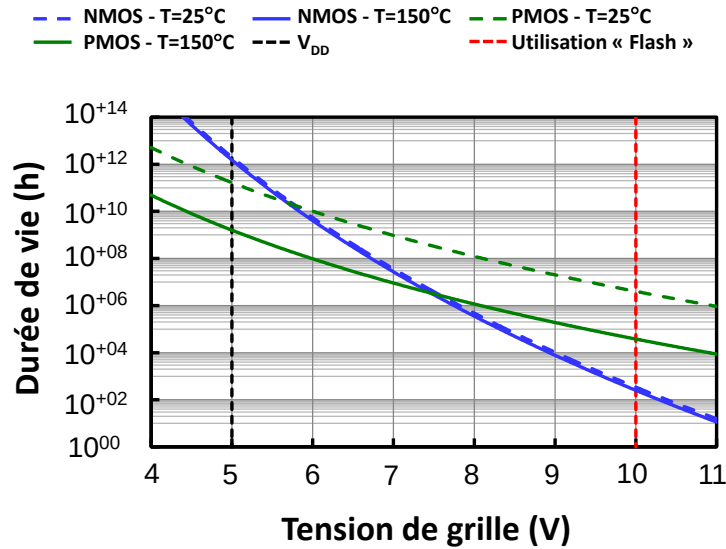


Figure II. 2.19 : Durée de vie en fonction de la tension de grille pour les transistors HV NMOS et HV PMOS en régime d'inversion

En conséquence, la dégradation des transistors HV de type n due au stress de grille, pourrait être un facteur limitant pour augmenter le nombre de cycles de programmation/effacement des mémoires non volatiles à stockage de charge.

3. Génération d'états d'interface et piégeage de charges lors d'un stress de grille en régime d'inversion et d'accumulation sur les transistors HV

Dans cette partie, pour tenter d'expliquer les différences entre les transistors HV PMOS et HV NMOS énumérées précédemment, nous allons caractériser la dégradation en termes d'états d'interface et de charges dans le volume de l'oxyde de grille. Cela permettra de comprendre les différents mécanismes de dégradation mis en jeu lors d'un stress de grille en régime d'inversion et en régime d'accumulation appliqué sur les transistors HV.

Un stress en tension continue est appliqué (durant 10 000s) sur des capacités isolées et sans diode de protection à température ambiante afin de minimiser les effets de relaxation observés en général lors de températures élevées ($>70^{\circ}\text{C}$) [Mielke04]. La tension de grille est choisie dans le but d'obtenir la même densité de courant de grille entre les transistors à canal n et p. Afin d'obtenir cette même densité de courant, une plus forte tension est appliquée sur les HV PMOS comme vu dans la partie précédente. La Figure II.3.1 montre les quatre tensions de grille appliquées sur HV NMOS et HV PMOS, en régime d'inversion et en régime d'accumulation.

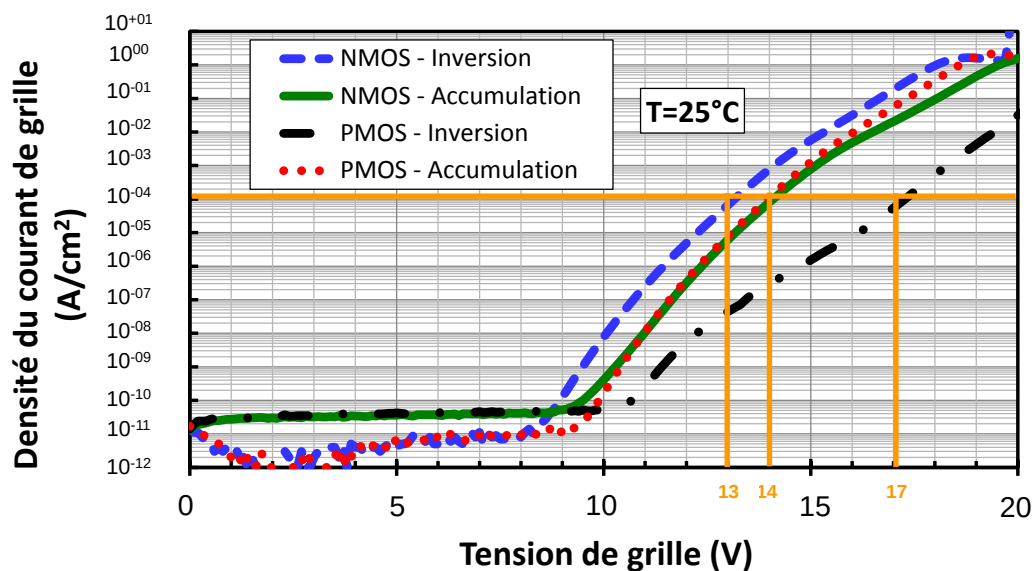


Figure II. 3.1: Densité de courant de grille en fonction de la tension de grille des transistors HV PMOS et HV NMOS en régime d'inversion et en régime d'accumulation

Le stress est périodiquement stoppé pour déterminer :

- la tension de seuil V_{TH} et la tension de bandes plates V_{FB} à partir de la caractéristique Capacité-Tension ;
- les états d'interface avec la méthode de pompage de charges à deux niveaux ;
- la dégradation en tension due aux états d'interface générés à partir de l'Equation II.10 ;
- la dégradation en tension due aux charges piégées dans l'oxyde de grille à partir de l'Equation II.11.

La mesure de pompage de charges permet de quantifier les états d'interface et les charges observés sur les caractéristiques Capacité-Tension.

$$\Delta V_{IT} = \frac{q}{C_{OX}} * \Delta D_{IT} * \Phi_F \quad (II.10)$$

$$\Delta V_{OX} = \frac{\Delta V_{TH} + \Delta V_{FB} - \Delta V_{IT}}{2} \quad (II.11)$$

Afin de mieux comprendre les mécanismes de dégradation mis en jeu, nous rappelons sur la Figure II.3.2 que la dégradation des transistors de type p sous un stress de grille en régime d'inversion est principalement due aux charges piégées dans l'oxyde ainsi que les états d'interface de type donneur chargés positivement. Sous stress de grille en régime d'accumulation, la dégradation est principalement due aux charges piégées ainsi que les états d'interface de type accepteur chargés négativement [Shroder07].

Concernant la dégradation des transistors à canal n en régime d'inversion, elle fait intervenir les charges piégées dans l'oxyde et les états d'interface de type accepteur alors qu'en régime d'accumulation, elle fait intervenir les charges piégées et les états d'interface de type donneur chargés positivement [Shroder07].

De plus, une augmentation de la tension de seuil due à un stress de grille positif ou négatif est généralement attribuée à un piégeage de charges négatives pour les NMOS et positives pour les PMOS [Liang82].

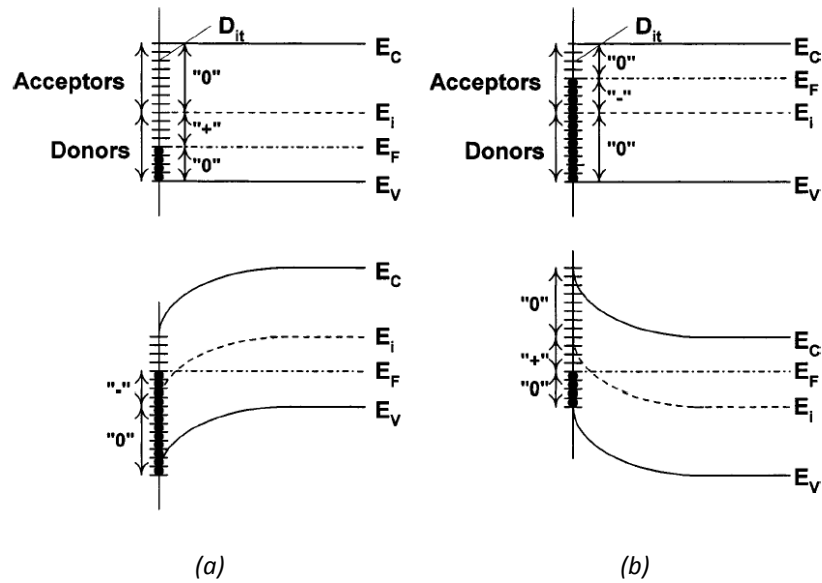


Figure II. 3.2 : Diagramme de bandes du substrat de silicium de type p pour les NMOS (a) et de type n pour les PMOS (b) montrant l'occupation des états d'interface en régime de bande plate et en régime d'inversion [Shroder07].

3.1. Phénomène de dégradation des transistors HV PMOS

3.1.1. Stress de grille en régime d'inversion

La Figure II.3.3 montre la dégradation de la caractéristique Capacité-Tension pendant un stress de grille en régime d'inversion sur un HV PMOS. Nous observons sur cette figure principalement un décalage en tension après stress dû aux charges positives piégées dans l'oxyde de grille. Ce dernier est confirmé sur la Figure II.3.4, où l'on peut voir une plus faible dégradation de la tension due aux états d'interface générés par rapport à la dégradation de la tension due aux charges piégées.

Ce phénomène a déjà été observé par Mahapatra [Mahapatra02] qui montre que la dégradation des PMOS pendant un stress NBTI à haute tension est dominé par du piégeage de charges positives pour un temps de stress long.

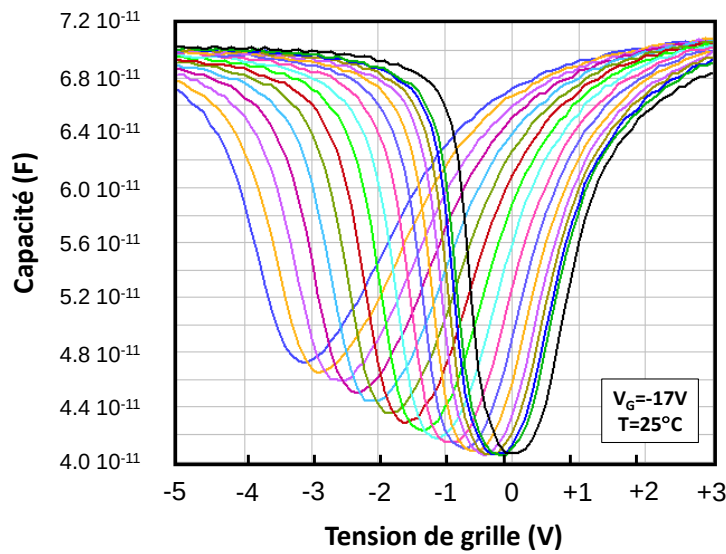


Figure II. 3.3: Dégradation de la caractéristique Capacité-Tension pendant un stress de grille en régime d'inversion sur un transistor HV PMOS

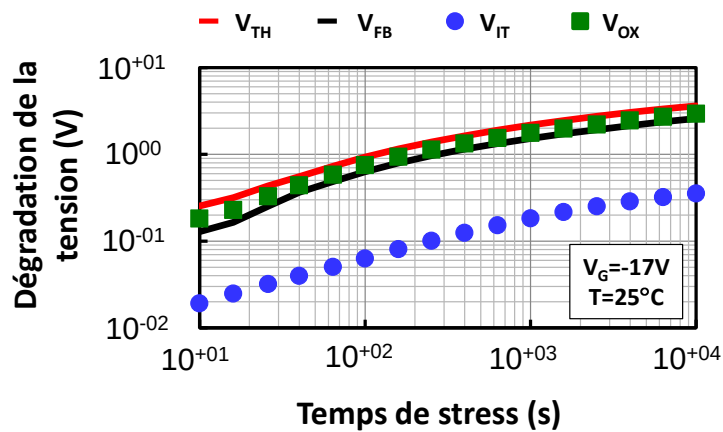


Figure II. 3.4: Dégradation de la tension de seuil, de bande plate, due aux états d'interface générés et due aux charges piégées pendant un stress de grille en régime d'inversion sur un transistor HV PMOS

3.1.2. Stress en régime d'accumulation

Dans le but d'étudier la dégradation des transistors HV PMOS pendant un stress de grille en régime d'accumulation, on trace sur la Figure II.3.5 l'évolution de la caractéristique Capacité-Tension durant un stress positif. Nous observons un décalage de la courbe vers des tensions plus faibles pour un temps de stress court, dû aux charges positives piégées dans l'oxyde de grille et un effet de retournement de la tension de bande plate dû à un changement de type de charge, positive puis négative, pour des temps de stress plus long.

Les charges négatives sont en réalité les états d'interface de type accepteur chargés négativement. En effet, nous observons également une dégradation de la partie basse de la courbe C-V due à la génération d'états d'interface. De plus, la Figure II.3.6 montre une plus forte dégradation de la tension due aux états d'interface après un certain temps de stress.

A noter que la tension de seuil continue de diminuer même pour un temps de stress long car elle fait intervenir les états d'interface de type donneur chargés positivement, s'ajoutant donc aux charges positives piégées.

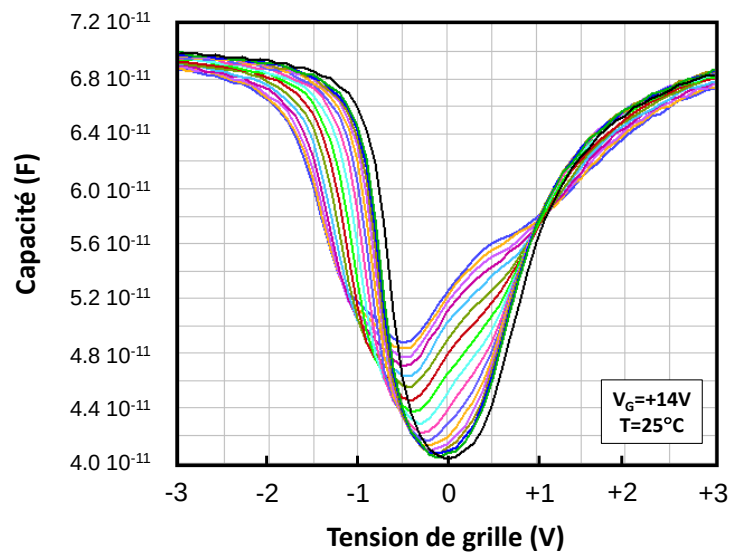


Figure II. 3.5: Dégradation de la caractéristique Capacité-Tension pendant un stress en régime d'accumulation sur un transistor HV PMOS

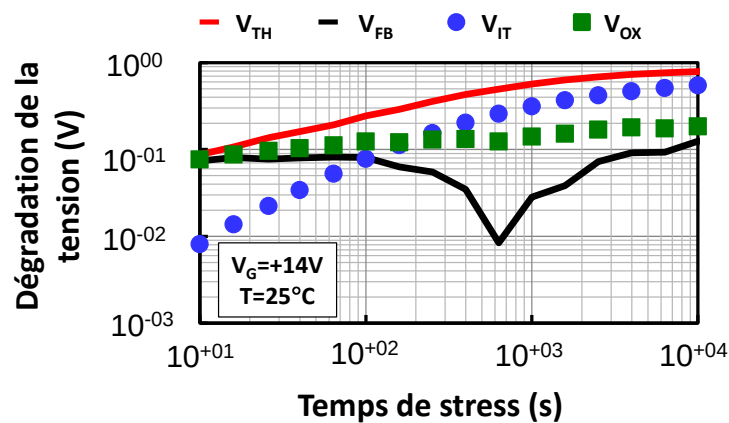


Figure II. 3.6: Dégradation de la tension de seuil, de bande plate, due aux états d'interface générés et due aux charges piégées pendant un stress de grille en régime d'accumulation sur un transistor HV PMOS

3.2. Phénomène de dégradation des transistors HV NMOS

3.2.1. Stress de grille en régime d'inversion

La dégradation de la caractéristique Capacité-Tension pendant un stress de grille en régime d'inversion sur un transistor HV NMOS (Figure II.3.7) montre, pour des temps de stress assez court, un décalage en tension après stress dû aux charges positives piégées dans l'oxyde de grille, puis pour des temps de stress plus long, un effet de retournement de la tension de seuil. Ce retournement est dû à un changement de type de charge : charges positives piégées dans le volume de l'oxyde puis états d'interface de type accepteur chargés négativement. A noter que la tension de bande plate continue de diminuer car elle fait intervenir les états d'interface de type donneur chargés positivement. De plus, la Figure II.3.8 montre que la dégradation en tension pour des temps de stress court est la même pour la tension de seuil, la tension de bande plate ainsi que pour la tension due aux charges dans le volume de l'oxyde. Puis, pour des temps de stress plus longs, les dégradations de la tension de seuil et de la tension due aux états d'interface sont prédominantes.

Ce phénomène a été déjà observé par Heremans et al. [Heremans89] qui montrent un effet de retournement pendant un stress de type Fowler-Nordheim sur les transistors à canal n. De plus, Liang et al. [Liang84] montrent que la dégradation des NMOS pendant un stress Fowler-Nordheim est dominée par du piégeage de charges positives et également la génération d'états d'interface.

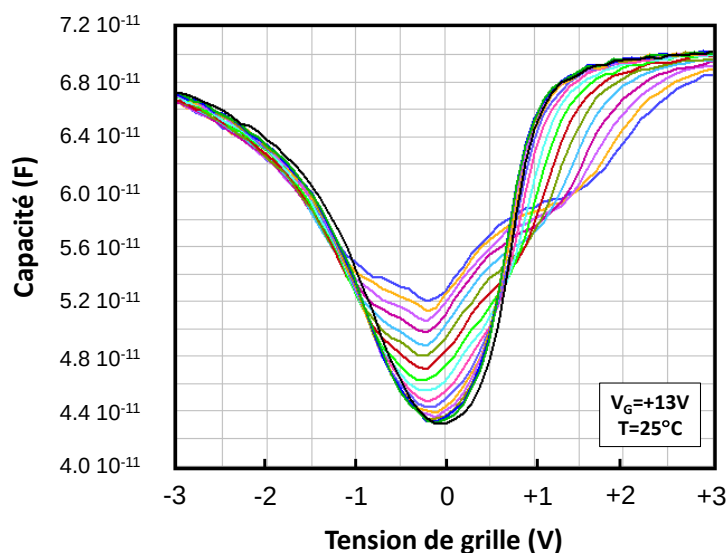


Figure II. 3.7: Dégradation de la caractéristique Capacité-Tension pendant un stress de grille en régime d'inversion sur un transistor HV NMOS

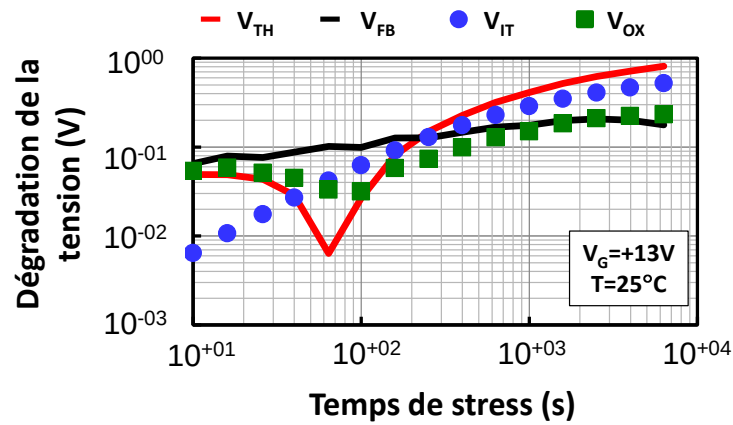


Figure II. 3.8: Dégradation de la tension de seuil, de bande plate, due aux états d'interface générés et due aux charges piégées pendant un stress de grille en régime d'inversion sur un transistor HV NMOS

3.2.2. Stress en régime d'accumulation

Nous traçons sur la Figure II.3.9 l'évolution de la caractéristique Capacité-Tension durant un stress négatif appliqué sur les HV NMOS. Nous observons principalement une diminution de la tension due aux charges positives piégées dans l'oxyde de grille. La génération d'états d'interface est présente mais négligeable par rapport aux charges dans le volume, comme on peut le voir sur la Figure II.3.10.

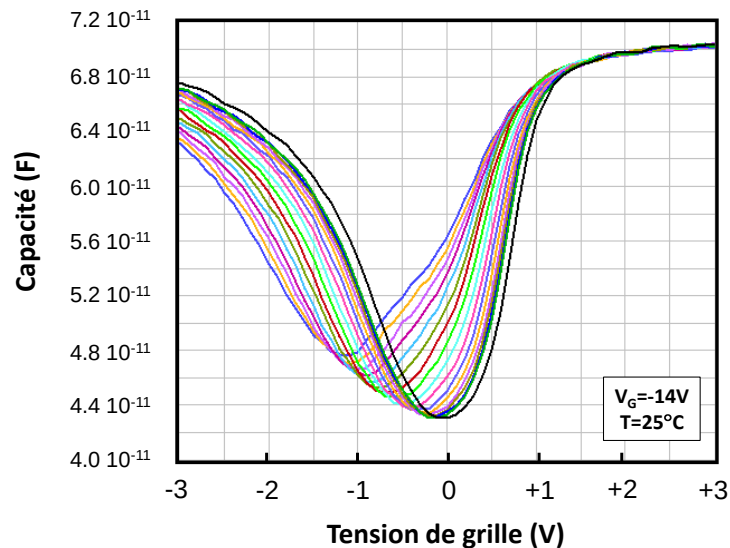


Figure II. 3.9: Dégradation de la caractéristique Capacité-Tension pendant un stress de grille en régime d'accumulation sur un transistor HV NMOS

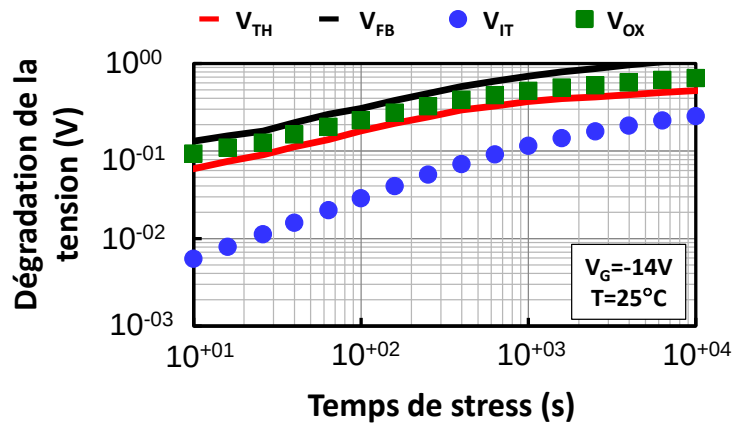


Figure II. 3.10: Dégradation de la tension de seuil, de bande plate, due aux états d'interface générés et due aux charges piégées pendant un stress de grille en régime d'accumulation sur un transistor HV NMOS

3.3. Différences et similitudes de dégradation entre les transistors HV PMOS et HV NMOS

Nous rappelons sur la Figure II.3.11 l'évolution de la caractéristique Capacité-Tension pour les quatre stress étudiés précédemment, à savoir : stress en régime d'inversion sur les HV PMOS soit un stress négatif (a), stress en régime d'accumulation sur les HV PMOS soit un stress positif (b), stress en régime d'accumulation sur les HV NMOS soit un stress négatif (c) et stress en régime d'inversion sur les HV NMOS soit un stress positif (d).

Il apparait clairement une relation entre la dégradation et le type de stress appliqué (positif ou négatif) quel que soit le type de transistor (HV NMOS ou HV PMOS). En effet, nous montrons ici, que pour un stress négatif, la dégradation du transistor MOS est principalement due au piégeage de charges positives alors que pour un stress positif, la dégradation du MOS est principalement due à la génération d'états d'interface pour des temps de stress suffisamment longs. D'où lors d'un stress positif, les électrons sont injectés à partir du substrat vers la grille et peuvent potentiellement engendrer des états d'interface. Par contre, lors d'un stress négatif, les électrons sont injectés à partir de la grille vers le substrat, n'engendrant pas d'états d'interface. Nous illustrons également que pour des temps de stress assez courts, la dégradation est due au piégeage de charges positives et ce pour un stress positif ou négatif et pour un transistor de type n ou p.

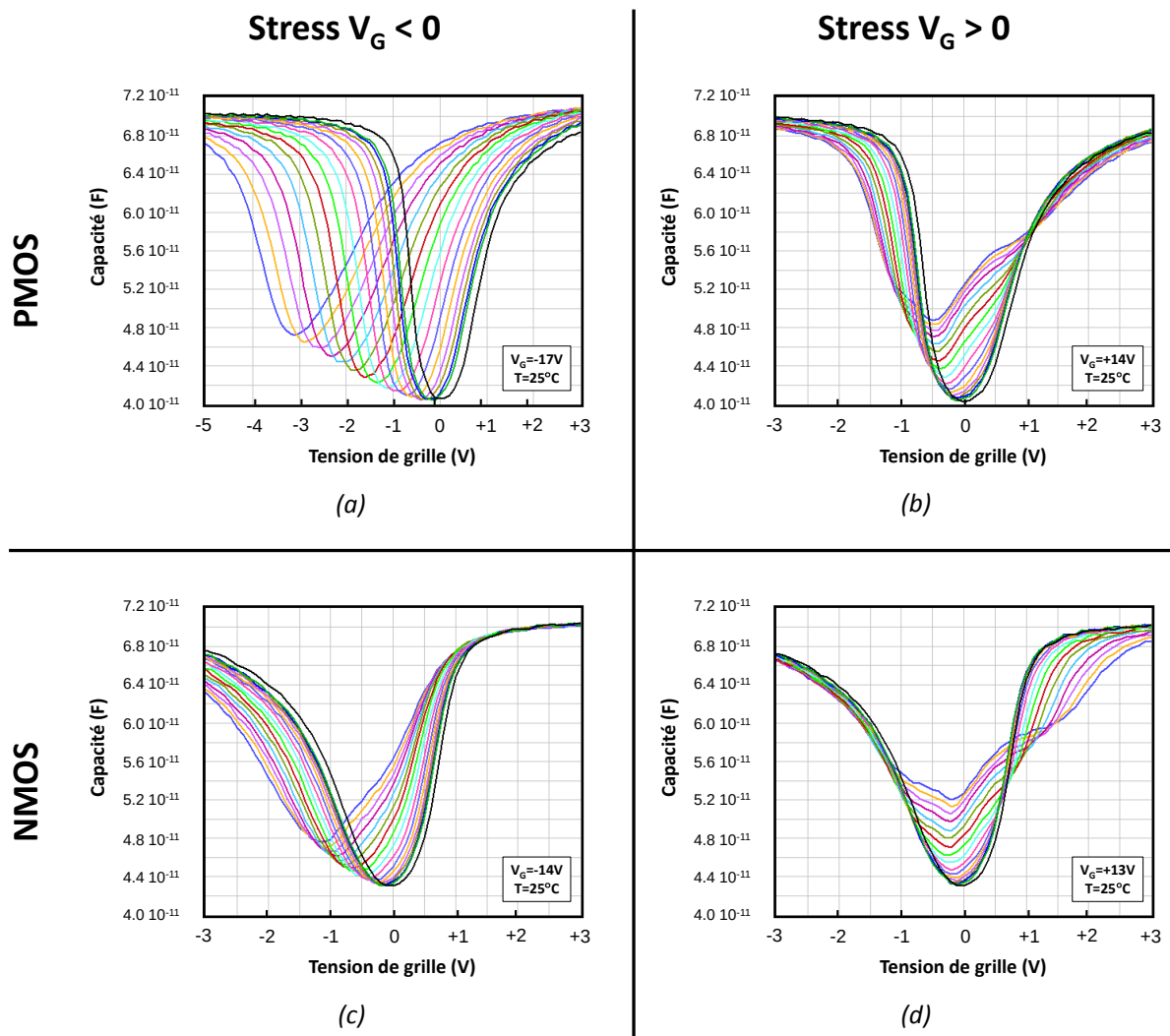


Figure II. 3.11: Evolution des caractéristiques Capacité-Tension pour différent stress de grille appliqués sur les transistors HV

Ces charges positives peuvent provenir de différents mécanismes. Généralement, elles sont attribuées soit à l'hydrogène libéré à l'anode, on parle alors d'« Anode Hydrogen Release (AHR) » [DiMaria89], soit aux trous injectés à l'anode, on parle alors d'« Anode Hole Injection (AHI) » [Fischetti86].

Le phénomène AHR est illustré sur la Figure II.3.12. Tout d'abord, les électrons sont injectés à partir de la cathode. Puis les électrons arrivant à l'anode, perdent de l'énergie progressivement. Cette dissipation peut engendrer la libération d'un atome d'hydrogène. L'hydrogène diffuse alors dans l'oxyde jusqu'à l'interface de la cathode. Ce phénomène a pour conséquence, la génération de pièges et d'états d'interface.

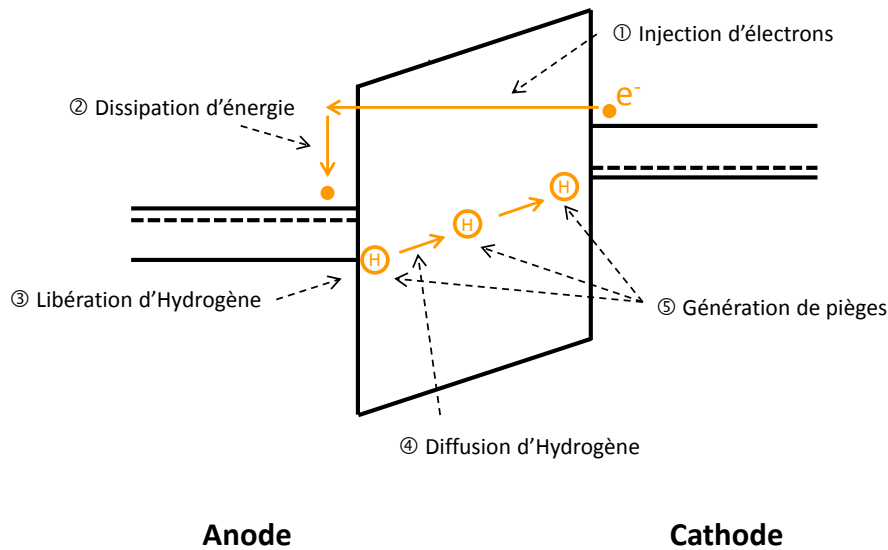


Figure II. 3.12: Schéma d'un diagramme de bandes montrant le mécanisme d'« Anode Hydrogen Release »

Le mécanisme illustré sur la Figure II.3.13 est le phénomène AHI. Tout d'abord, les électrons sont injectés à partir de la cathode. Etant donné que le champ électrique est très élevé, l'énergie acquise par les électrons qui entrent dans l'anode, est en partie convertie pour créer des paires électron-trous par ionisation par impact. Les trous qui sont générés avec assez d'énergie seront émis dans la bande de valence de SiO_2 . Une petite fraction de ces trous peut être piégée à proximité de l'interface Si/SiO_2 .

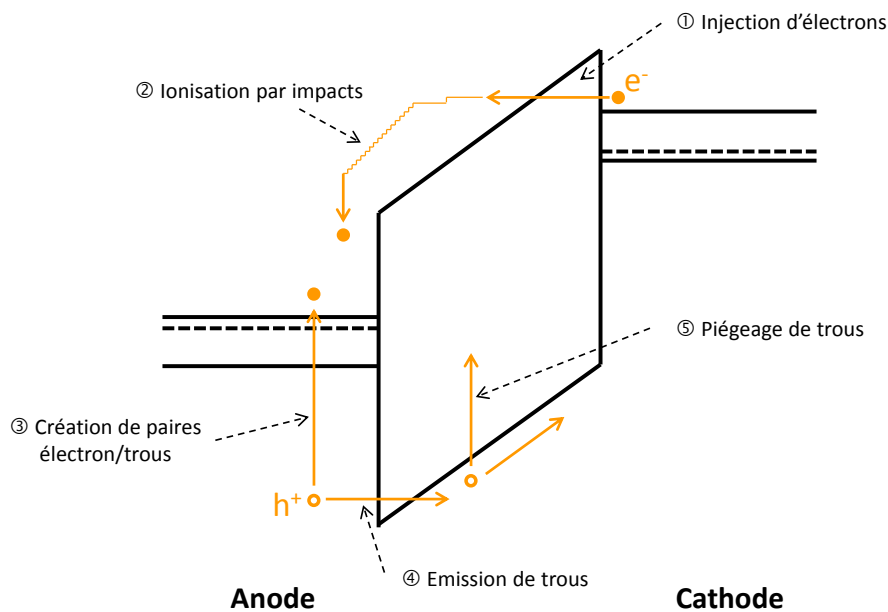


Figure II. 3.13: Schéma d'un diagramme de bandes montrant le mécanisme d'« Anode Hole Injection »

Le phénomène AHR serait en accord avec la dépendance du mécanisme de dégradation en fonction de la polarité : génération d'états d'interface principalement lorsque les électrons sont injectés à partir du substrat. Cependant, compte tenu des tensions appliquées et donc des énergies acquises par les électrons, le phénomène AHI est le plus probable. En effet, l'énergie nécessaire au phénomène AHR est comprise entre 2.5eV et 7eV, alors que le phénomène AHI peut avoir lieu à partir d'environ 6eV [Chang85].

Dans le cas d'un piégeage de trous par le phénomène d'« Anode Hole Injection », la dépendance du mécanisme de dégradation en fonction de la polarité peut être expliquée par le champ électrique. En effet, ce dernier attire les charges positives injectées dans l'oxyde par AHI jusqu'à l'interface Si/SiO₂ dans le cas d'un stress positif, alors qu'il les repousse jusqu'à l'interface poly/SiO₂ dans le cas d'un stress négatif.

Ces résultats démontrent qu'en premier lieu, la dégradation est dirigée par l'oxyde lui-même, indépendamment des dopages substrat et grille et indépendamment d'où les électrons sont injectés, et qu'ensuite elle dépend principalement de la polarité du stress.

4. Dégradation de la tension de seuil des transistors HV lors d'un stress de grille en régime d'accumulation

Dans cette partie, du fait de la corrélation démontrée précédemment entre le mécanisme de dégradation et la polarisation, une étude complémentaire sur le stress de grille en régime d'accumulation est nécessaire dans le but de confirmer ou pas ce lien sur les dépendances de dégradation de la tension de seuil, comme le facteur d'accélération en tension, le facteur d'accélération en température (énergie d'activation), la dépendance avec la charge injectée...

4.1. Dégradation des transistors HV PMOS lors d'un stress positif

La dégradation des transistors HV PMOS en régime d'accumulation va être analysée et comparée à celle des transistors HV NMOS en régime d'inversion étudiée précédemment. Pour rappel, les principales caractéristiques de la dégradation des HV NMOS lors d'un stress positif sont :

- Cinétique de dégradation en loi de puissance du logarithme du temps ;
- Forte accélération en tension en loi de puissance ;
- Dépendance avec le champ dans l'oxyde de grille E_{ox} en loi de puissance ;
- Faible énergie d'activation (loi en exponentielle) ;
- Dépendance avec la charge injectée durant le stress Q_{inj} .

Tout d'abord, la dégradation de la tension seuil en fonction du temps de stress est modélisée avec une loi en puissance du logarithme du temps de stress (Equation II.6), comme illustré sur la Figure II.4.1.a. Les détails des paramètres d'extraction du modèle sont montrés sur la Figure II.4.1.b.

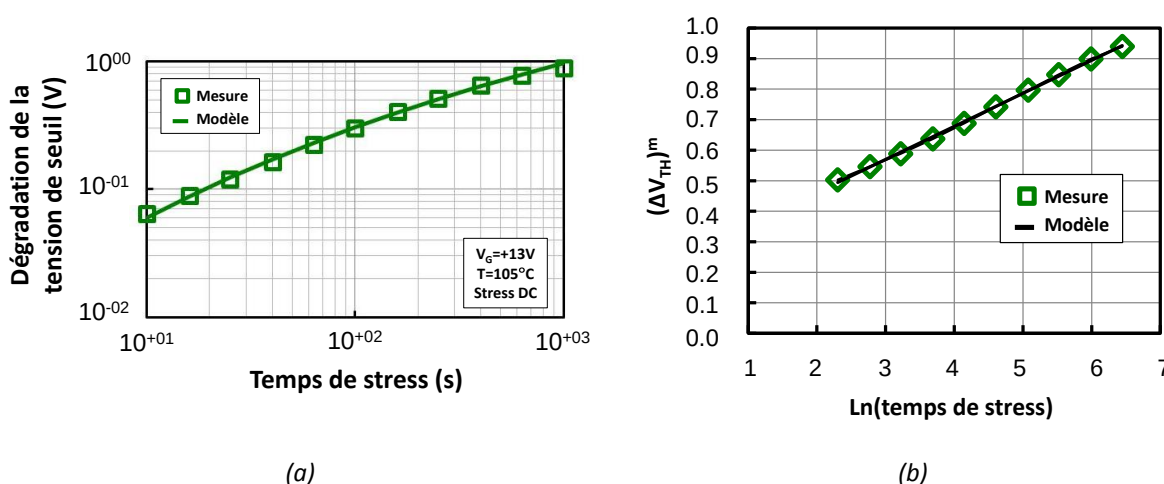


Figure II. 4.1: Cinétique de dégradation de la tension de seuil des transistors HV PMOS sous stress de grille en régime d'accumulation (a) et détails des paramètres d'extraction du modèle (b)

L'accélération en tension obtenue à partir de la Figure II.4.2.a sur les transistors HV PMOS, avec la même loi en puissance (Equation II.3) que celle utilisée sur les transistors HV en régime d'inversion, est similaire à celle trouvée lors d'un stress positif sur un transistor HV NMOS ($u=35$ pour PMOS et $u=32$ pour NMOS). La Figure II.4.2.b montre la même dépendance en champ en loi de puissance (Equation II.4) que lors de stress en régime d'inversion. De plus, l'énergie d'activation des transistors HV de type p lors d'un stress positif (Figure II.4.3.a) est du même ordre de grandeur que celle des transistors HV de type n lors d'un stress positif ($E_A=99\text{meV}$ pour PMOS et $E_A=52\text{meV}$ pour NMOS). Enfin, la dépendance avec la charge injectée des transistors HV PMOS lors d'un stress positif est montrée sur la Figure II.4.3.b pour différentes tensions et températures de stress. Nous observons que la dégradation est très proche quelle que soit la tension appliquée ou la température de stress, de même que les transistors HV de type n lors d'un stress en régime d'inversion.

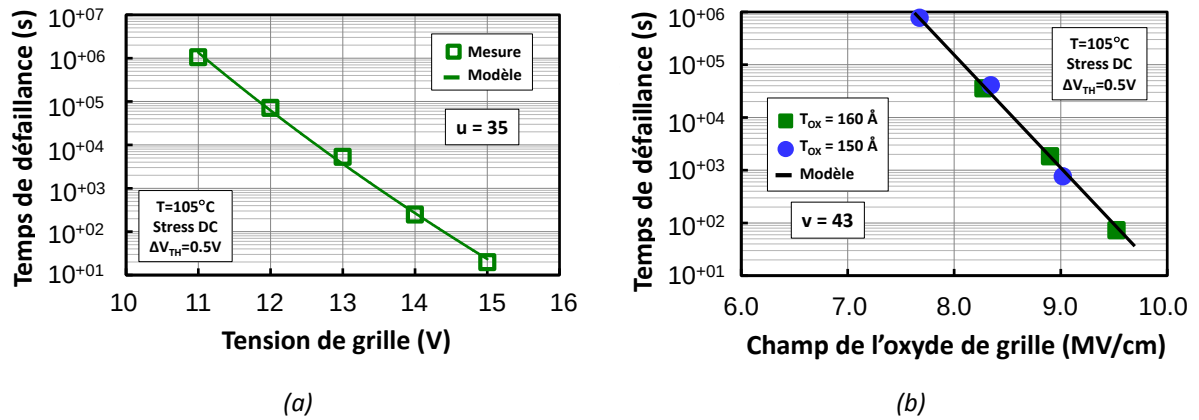


Figure II. 4.2: Temps de défaillance en fonction de la tension de grille (a) et en fonction du champ dans l'oxyde de grille (b) lors d'un stress de grille appliqué sur des transistors HV PMOS en régime d'accumulation

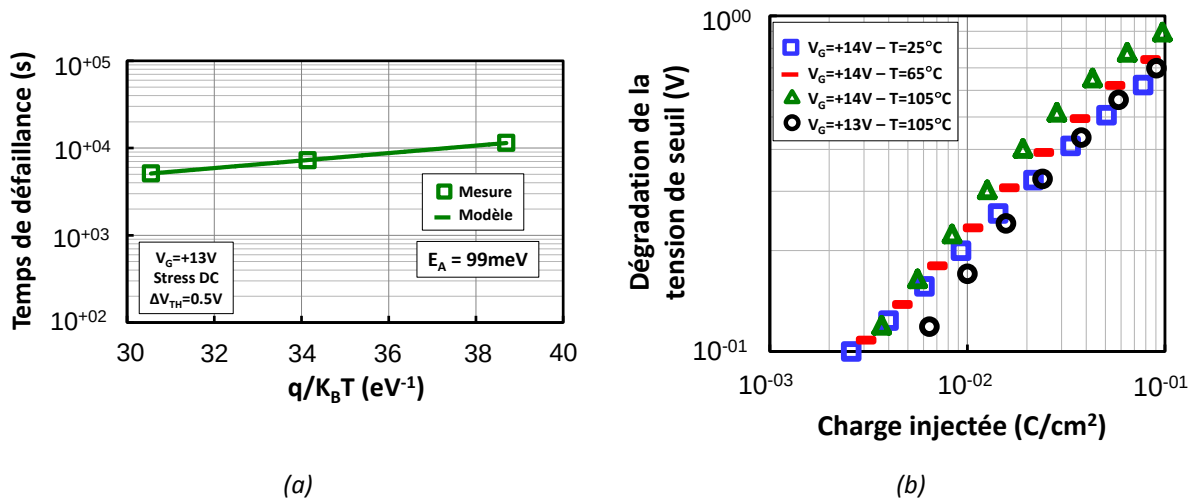


Figure II. 4.3: Temps de défaillance en fonction de l'inverse de la température (a) et dégradation de la tension de seuil en fonction de la charge injectée (b) lors d'un stress de grille appliqué sur des transistors HV PMOS en régime d'accumulation

Tous ces résultats montrent que la dégradation lors d'un stress positif des transistors HV PMOS et HV NMOS est similaire. De plus, nous avons vu dans le chapitre précédent que le mécanisme prédominant de dégradation est la génération d'états d'interface lors d'un stress positif suffisamment long, nous pouvons donc conclure que la génération d'états d'interface n'est presque pas activée en température mais qu'elle est accélérée en tension (ou en champ). Il apparaîtrait également qu'elle soit principalement dépendante de la charge injectée lors du stress, comme illustré sur la Figure II.4.4.

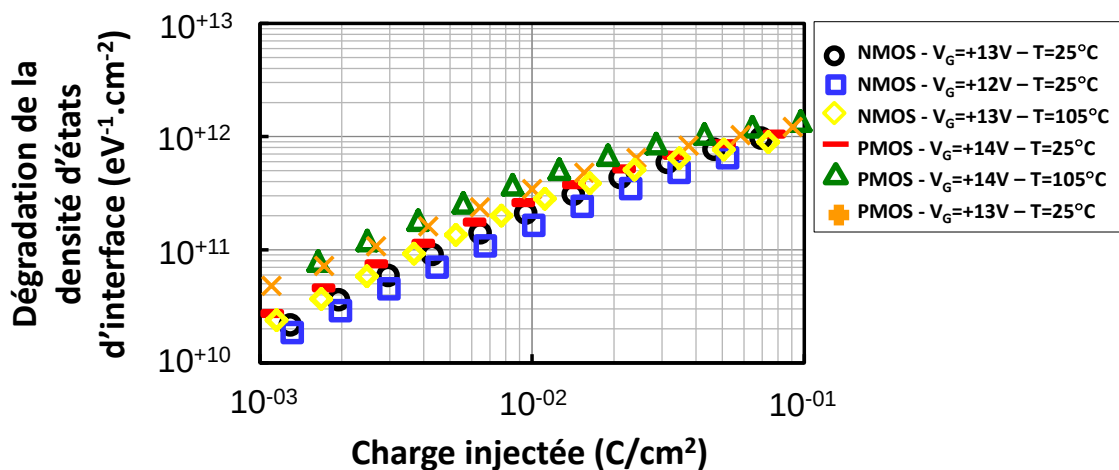


Figure II. 4.4: Densité d'états d'interface en fonction de la charge injectée lors d'un stress de grille positif

4.2. Dégradation des transistors HV NMOS lors d'un stress négatif

La dégradation des transistors HV NMOS en régime d'accumulation va être analysée et comparée à celle des transistors HV PMOS en régime d'inversion étudiée précédemment. Pour rappel, les principales caractéristiques de la dégradation des HV PMOS lors d'un stress négatif sont :

- Cinétique de dégradation en loi de puissance du temps ;
- Faible accélération en tension en loi de puissance ;
- Dépendance avec le champ dans l'oxyde de grille E_{ox} en loi de puissance ;
- Forte énergie d'activation (loi en exponentielle).

Tout d'abord, la dégradation de la tension de seuil en fonction du temps de stress est modélisée avec une loi en puissance du temps de stress (Equation II.2), comme illustré sur la Figure II.4.5.

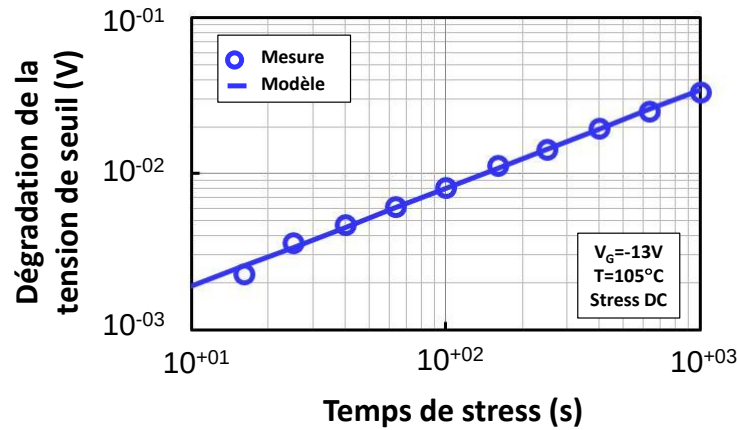


Figure II. 4.5: Cinétique de dégradation de la tension de seuil des transistors HV NMOS sous stress de grille en régime d'accumulation

Le temps de défaillance en fonction de la tension de grille suit une loi en puissance (Figure II.4.6.a) comme lors d'un stress en régime d'inversion. Le facteur d'accélération en tension extrait est très fort ($u=50$), contrairement à la faible valeur trouvée sur les transistors HV PMOS lors d'un stress négatif ($u=15$). De plus, la Figure II.4.6.b montre la même dépendance en champ en loi de puissance (Equation II.4) que lors de stress en régime d'inversion mais avec un facteur d'accélération beaucoup plus important ($v=4$ pour HV PMOS et $v=44$ pour HV NMOS).

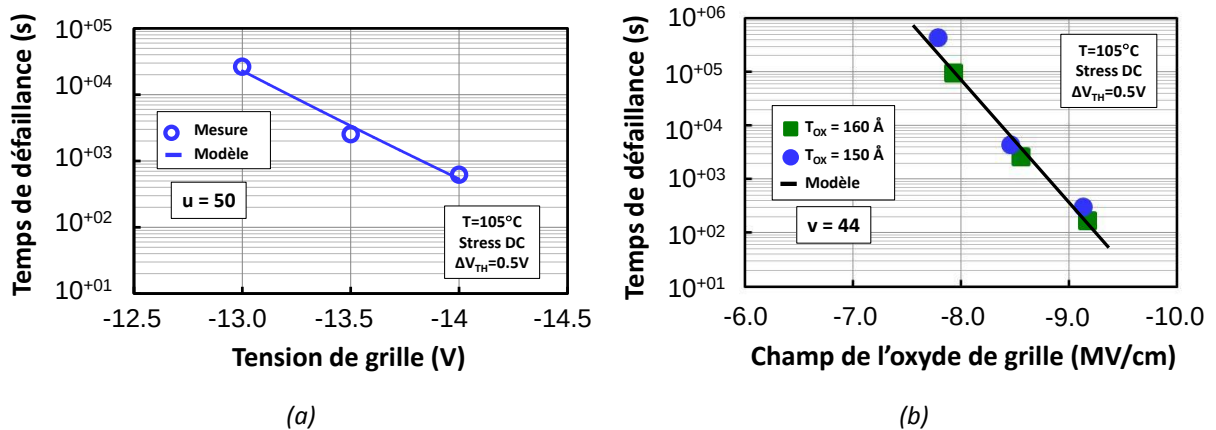


Figure II. 4.6: Temps de défaillance en fonction de la tension de grille (a) et en fonction du champ dans l'oxyde de grille (b) lors d'un stress de grille appliqué sur des transistors HV NMOS en régime d'accumulation

Cette différence est certainement due à la génération d'états d'interface qui commence à être conséquente pour de très long temps de stress sur les transistors à canal n (voir Figure II.3.10) alors qu'elle reste toujours négligeable par rapport aux piégeage de charges positives sur les transistors à canal p (voir Figure II.3.4). Ce phénomène peut être expliqué par les niveaux de courant ou l'énergie

des porteurs arrivant à l'anode. En effet, la Figure II.4.7 montre un niveau de courant et donc une énergie des électrons plus élevée sur les transistors HV à canal n (Figure II.4.7.a) par rapport à celle des transistors HV à canal p (Figure II.4.7.b). De plus, il a été démontré que la génération d'états d'interface augmente avec l'énergie lors d'injection de trous chauds [Ng99] [Varghese05].

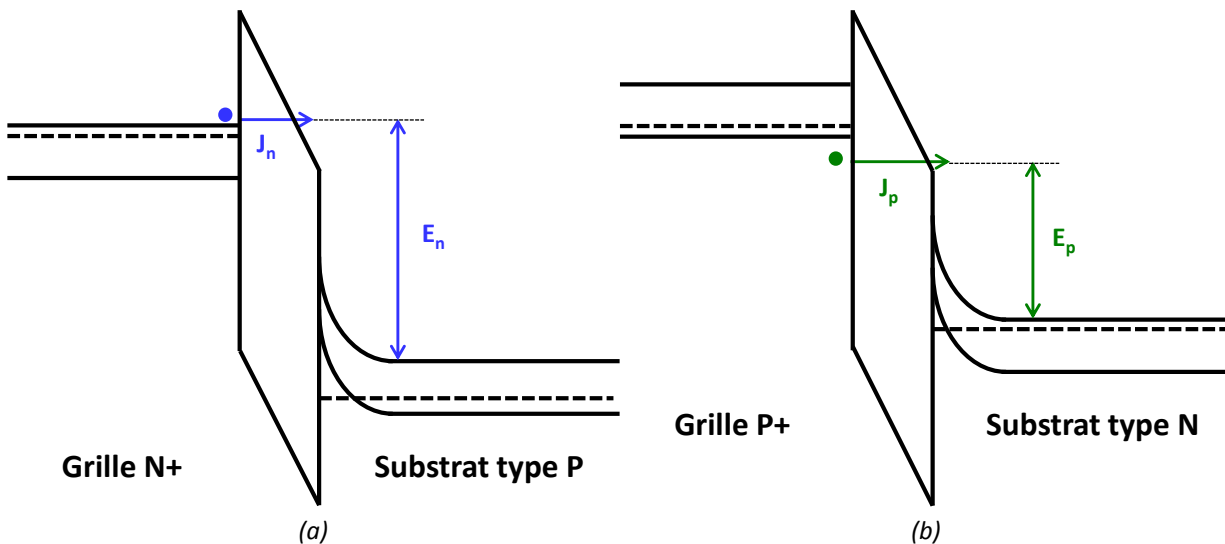


Figure II. 4.7: Diagramme de bandes d'un transistor HV à canal n (a) et à canal p (b) lors de l'application d'une tension négative sur la grille en régime Fowler-Nordheim

Avec le même raisonnement, l'énergie d'activation est plus faible sur les HV NMOS en régime d'accumulation que celle des HV PMOS en régime d'inversion, comme illustré sur le graphe d'Arrhenius montré Figure II.4.8. L'énergie d'activation extraite est d'environ 381meV sur les transistors à canal n.

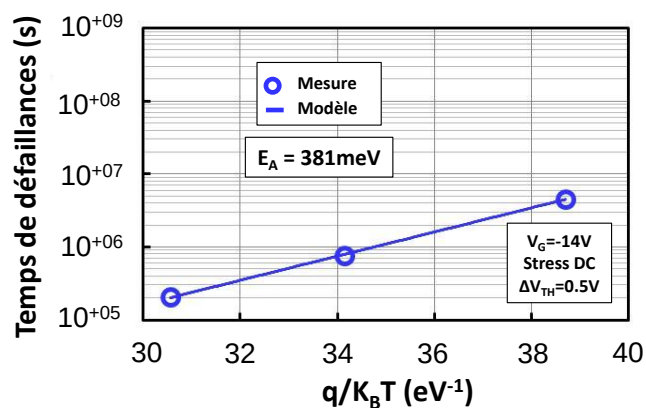


Figure II. 4.8: Durée de vie en fonction de l'inverse de la température lors d'un stress de grille appliqué sur des transistors HV NMOS en régime d'accumulation

5. Conclusion

Dans ce chapitre, le stress de grille à fort champ électrique a été étudié sur les transistors « haute tension », ou HV, utilisés dans le but de délivrer des potentiels supérieurs à 10V lors des étapes de programmation et d'effacement des mémoires non volatiles, comme la mémoire Flash.

Pour cela, nous avons évalué dans un premier temps la dépendance en temps, le facteur d'accélération en tension, l'énergie d'activation et l'effet de relaxation lors d'un stress de grille en régime d'inversion, pour les transistors à canal p puis à canal n. Nous avons ainsi démontré que la dégradation des transistors HV PMOS pendant un stress de grille en régime d'inversion est dominée par le mécanisme de stress NBTI et que la dégradation des transistors HV NMOS est dominée par le mécanisme de stress Fowler-Nordheim. Nous avons ensuite comparé les transistors HV de type n et de type p, en termes de cinétique de dégradation et de durée de vie. Une plus forte dégradation de la tension de seuil des transistors HV NMOS par rapport à celle des HV PMOS a été observée et a été expliquée par une différence de hauteur de barrière vue par les porteurs. De plus, une plus faible durée de vie a été trouvée sur les transistors HV NMOS par rapport à celle des HV PMOS, montrant une limitation potentielle concernant l'augmentation du nombre de cycles de programmation/effacement des mémoires non volatile à stockage de charge.

Dans le but de mieux comprendre ces différences entre les transistors HV NMOS et HV PMOS, une étude sur la génération d'états d'interface et le piégeage de charges pendant un stress de grille en régime d'inversion et en régime d'accumulation a été réalisée dans un second temps. Cette étude nous a permis de mettre en évidence qu'en premier lieu la dégradation est dirigée par le piégeage de charges positives à travers le phénomène d' « Anode Hole Injection » et qu'ensuite elle dépend de la polarisation du stress. Si l'on injecte les électrons à partir du substrat, c'est-à-dire lors d'un stress positif, alors une forte génération d'états d'interface est créée. A l'inverse, si l'on injecte les électrons à partir de la grille, c'est-à-dire lors d'un stress négatif, alors nous obtenons un piégeage de charges positives important.

Du fait de cette dépendance seulement en fonction de la polarisation, une étude complémentaire sur le stress de grille en régime d'accumulation a été effectuée dans un troisième temps sur les transistors HV NMOS et HV PMOS. Nous avons évalué la dépendance en temps, le facteur d'accélération en tension et l'énergie d'activation. Les résultats ont montré tout d'abord que la dégradation lors d'un stress positif des transistors HV PMOS et HV NMOS est similaire, confirmant

que la génération d'états d'interface n'est presque pas activée en température mais qu'elle est accélérée en tension (ou en champ) et qu'elle est principalement dépendante de la charge injectée lors du stress.

Ensuite, l'étude des transistors HV NMOS lors d'un stress négatif, a montré quelques différences de comportement avec le transistor HV PMOS, notamment au niveau des facteurs d'accélération. En effet, un courant d'électrons et donc une énergie plus forte sont présents dans le cas d'un transistor à canal n par rapport à celle d'un transistor à canal p. De plus, la génération d'états d'interface augmente avec l'énergie des porteurs lors de l'injection de trous chauds. Ce phénomène est la cause d'une augmentation du facteur d'accélération en tension et de la diminution de l'énergie d'activation des transistors HV NMOS par rapport aux facteurs d'accélération des transistors HV PMOS lors d'un stress négatif.

Chapitre III: Procédés de
fabrication pour composants basse
consommation

Résumé

Il existe plusieurs solutions de conception pour diminuer la consommation des circuits. Toutefois, elles nécessitent souvent des blocs supplémentaires, plus de traitements analogiques, d'aire de silicium et donc un coût plus élevé. Différents processus de fabrications spécifiques, comme les techniques d'amélioration de la mobilité (y compris l'orientation des porteurs dans le canal et les techniques de silicium contraint) améliorent les performances des dispositifs. Ces techniques sont aujourd'hui largement utilisées dans les technologies avancées CMOS sans l'option eNVM (mémoire non volatile embarquée) et sont généralement utilisées au début du développement de la technologie pour améliorer la performance du circuit. Dans ce chapitre, l'activité a consisté à appliquer ces améliorateurs de mobilité à une technologie eNVM CMOS 90 nm.

Nous allons modifier certaines étapes du procédé de fabrication des transistors avec une épaisseur d'oxyde de 21Å et une longueur de grille nominale de 0.1µm. Ces transistors, sont destinés à une application digitale. Les différentes modifications du procédé doivent permettre à la fois d'augmenter la mobilité des porteurs dans le canal mais aussi de diminuer la fuite de grille. Ces modifications prennent en compte :

- Contrainte mécanique en tension de la couche d'arrêt de gravure des contacts ;
- Direction <100> des porteurs dans le canal ;
- Procédé de nitruration plasma de l'oxyde de grille.

Ces changements de procédés peuvent avoir un impact sur les mécanismes de dégradation des oxydes de grille et des transistors MOS. Une étude de fiabilité sera donc réalisée, incluant des tests d'injection de porteurs chauds, BTI et claquage d'oxyde.

Nous allons également étudier l'influence que peuvent avoir les modifications du procédé de fabrication dédiées à un composant spécifique (transistor digital), sur d'autres dispositifs MOS, notamment les transistors HV (« High Voltage »). En effet, la nitruration plasma nécessite un recuit à très haute température de l'ordre de 1000°C après incorporation d'azote afin de stabiliser l'oxyde nitruré, ce recuit peut donc impacter les composants déjà présents lors de cette étape.

Sommaire

1.	Introduction à la consommation des circuits digitaux CMOS.....	116
2.	Contrainte mécanique de la couche d'arrêt de gravure des contacts (CESL) et orientation cristalline.....	120
2.1.	Etat de l'art	120
2.1.1.	Effet de la couche d'arrêt de gravure des contacts (CESL).....	120
2.1.2.	Effet de l'orientation cristalline	121
2.1.3.	Récapitulatif.....	122
2.2.	Résultats sur la mobilité des porteurs dans le canal d'une nouvelle orientation cristalline et d'une nouvelle contrainte mécanique du CESL	123
2.3.	Impact sur la fiabilité du transistor MOS.....	126
2.4.	Résumé sur l'effet d'une contrainte mécanique en tension du CESL et d'une direction <100> des porteurs dans le canal	128
3.	Procédé de nitruration.....	129
3.1.	Etat de l'art	129
3.1.1.	Pourquoi nitrurer l'oxyde de grille ?.....	129
3.1.2.	Fabrication des oxydes nitrurés.....	130
3.2.	Impact de la DPN sur la fuite de grille et la fiabilité du transistor MOS.....	130
3.3.	Résumé sur l'effet d'une nitruration plasma de l'oxyde de grille	133
4.	Influence de la DPN sur d'autres dispositifs MOS.....	134
4.1.	Mise en évidence d'une charge fixe selon les paramètres de nitruration	134
4.2.	Conséquences de la charge supplémentaire sur la fiabilité de l'oxyde de grille et du transistor MOS.....	137
5.	Procédés de fabrication retenus.....	141
5.1.	Caractérisation électrique	141
5.2.	Fiabilité de l'oxyde de grille	142
6.	Conclusion.....	145

1. Introduction à la consommation des circuits digitaux CMOS

Il existe deux types de consommation : la consommation de courant et la consommation d'énergie. La consommation de courant, appelée également puissance, est la consommation instantanée du dispositif, alors que la consommation d'énergie, est l'intégrale de la consommation de courant en fonction du temps. Nous allons nous intéresser dans ce chapitre principalement à la consommation de courant des circuits digitaux CMOS. Celle-ci est constituée de la consommation dynamique et de la consommation statique. La consommation dynamique est celle consommée lorsque le circuit réalise des opérations, c'est-à-dire lorsque les signaux changent d'état. La consommation statique est celle consommée lorsque le dispositif est sous tension mais qu'aucun signal interne ne change de valeur.

Il y a quatre principales sources de courants de fuite dans un transistor MOS responsables de sa consommation statique (Figure III.1.1) [Roy03] [Keating07] [Chang08] :

- Fuite sous le seuil (I_{OFF}): le courant qui circule entre le drain et la source d'un transistor fonctionnant dans la région de faible inversion ;
- Fuite de grille (I_G): le courant qui circule de la grille vers le substrat (ou inversement) à travers l'oxyde, par effet tunnel ou par injection de porteurs chauds ;
- Fuite du drain induit par la grille (« Gate induced drain leakage ») (I_{GIDL}): le courant qui circule entre le drain et le substrat dû à un fort effet de champ proche du drain causée par la tension entre le drain et la grille ;
- Fuite de la diode drain/substrat (jonction PN) polarisée en inverse (I_{REV}): causée par la dérive des porteurs minoritaires et la génération des paires électrons/trous dans les régions d'appauvrissement.

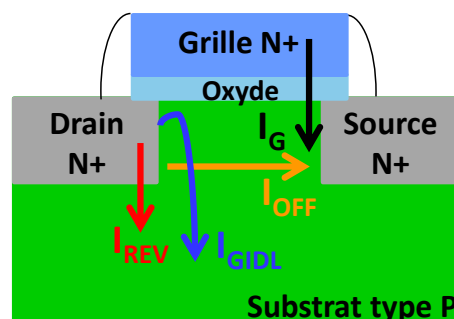


Figure III. 1.1 : Courants de fuite dans un inverseur CMOS

Dans le but d'améliorer la consommation statique (somme de tous les courants de fuite) nous pouvons donc jouer sur la pente sous le seuil des caractéristiques I_D - V_G afin de diminuer I_{OFF} (Figure III.1.2.a) et/ou optimiser les caractéristiques de l'oxyde de grille afin de diminuer I_G pour une épaisseur d'oxyde T_{OX} donnée (Figure III.1.2.b).

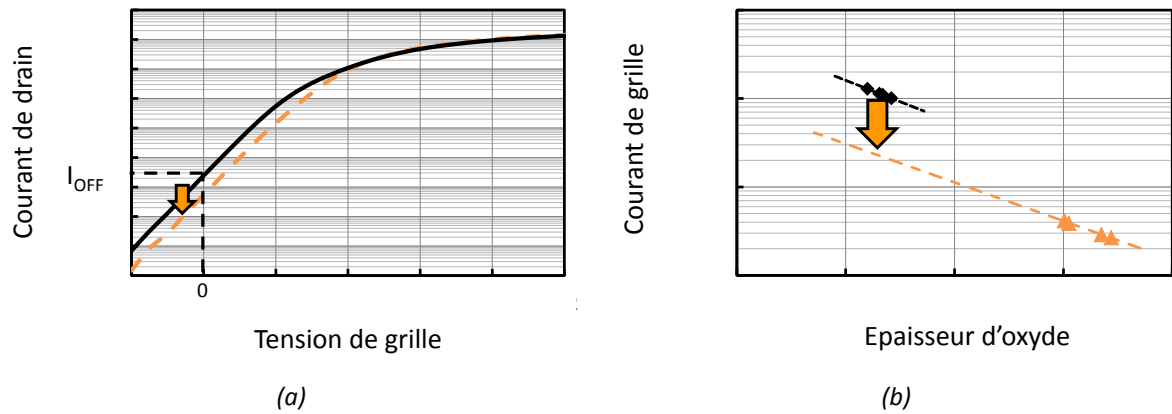


Figure III. 1.2 : Caractéristique I_D - V_G (a) et I_G - T_{OX} (b)

La première source de consommation dynamique des circuits CMOS est le courant de commutation (I_C) requis afin de charger et décharger la capacité de sortie, pendant les transitions de l'état bas vers l'état haut et de l'état haut vers l'état bas, sur une porte logique [Rabaey99] [Piguet06] [Keating07]. La deuxième source de consommation dynamique est le courant de court-circuit (I_{CC}) qui apparaît lorsque les deux transistors NMOS et PMOS sont conducteurs et qu'un chemin direct de la tension d'alimentation (V_{DD}) à la masse, est créé [Turgis97]. La consommation dynamique totale d'un inverseur est la somme des courants dynamiques ($I_C + I_{CC}$) consommés au cours des transitions de l'état bas vers l'état haut et de l'état haut vers l'état bas, comme représenté sur la Figure III.1.3

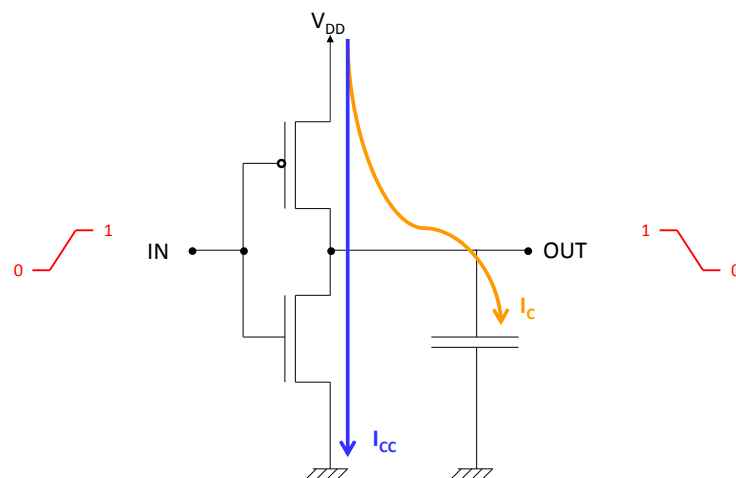


Figure III. 1.3 : Courants dynamiques d'un inverseur CMOS pendant la transition de l'état haut vers l'état bas

La puissance dynamique consommée est alors donnée par l'équation suivante :

$$P_{\text{DYN}} = (I_{\text{C}} + I_{\text{CC}}) * V_{\text{DD}} = \alpha * C_{\text{L}} * V_{\text{DD}}^2 * F \quad (\text{III.1})$$

Où V_{DD} est la tension d'alimentation, α est un facteur d'activité, C_{L} est la charge capacitive et F est la fréquence d'horloge.

Le moyen le plus efficace pour réduire la puissance dynamique est donc de réduire la tension d'alimentation. Au cours des quinze dernières années, la technologie des semi-conducteurs a subi de nombreuses mises à l'échelle, V_{DD} a été réduit de 5 V à 3,3 V puis à 2,5 V enfin à 1,2 V. Le problème avec l'abaissement de la tension V_{DD} est qu'elle tend à réduire le courant de saturation I_{DSat} , le courant de fonctionnement du transistor également noté I_{ON} . L'expression d' I_{ON} est rappelée ci-dessous :

$$I_{\text{ON}} = \mu_{\text{eff}} * C_{\text{OX}} * \frac{W}{L} * \frac{(V_{\text{G}} - V_{\text{TH}})^2}{2} \quad (\text{III.2})$$

Où μ_{eff} est la mobilité des porteurs dans le canal, C_{OX} est la capacité de l'oxyde de grille, W et L sont respectivement la largeur et la longueur du transistor et V_{TH} est la tension de seuil.

En effet, la vitesse de commutation d'un inverseur dépend directement du niveau de courant I_{ON} : plus I_{ON} est élevé plus la commutation est rapide. De plus, si le changement d'état se fait de manière trop lente, les courants I_{C} et I_{CC} seront importants et le circuit aura une forte consommation dynamique. Afin de réduire cette consommation, nous devons donc limiter le temps de commutation entre l'état bas et l'état haut (ou inversement) en augmentant le courant de fonctionnement des MOSFETs, I_{ON} (Figure III.1.4.a).

A partir de l'Equation III.2, il apparait clairement trois solutions afin d'améliorer les performances du transistor (c'est-à-dire augmenter le niveau de courant I_{ON}) : réduire la tension de seuil V_{TH} , augmenter la capacité de l'oxyde de grille C_{OX} en réduisant son épaisseur T_{OX} ou augmenter la mobilité des porteurs dans le canal μ_{eff} . Cependant, l'abaissement de V_{TH} a pour résultat une augmentation exponentielle du courant de fuite sous le seuil I_{OFF} , courant principal responsable de la consommation statique. De plus, la réduction de T_{OX} , engendre des courants de fuite de grille I_{G} plus importants, courants également responsables de la consommation statique et peut même engendrer des claquages d'oxydes prématurés. Il existe donc un conflit entre les deux types de consommation, dynamique et statique.

La meilleure solution afin d'augmenter I_{ON} , et donc de réduire la consommation dynamique sans impacter la consommation statique, est l'amélioration de la mobilité des porteurs dans le canal μ_{eff} . Ce paramètre μ_{eff} peut être difficile à mesurer. Cependant, nous pouvons tracer le courant de fuite sous le seuil I_{OFF} en fonction du courant de fonctionnement I_{ON} , comme illustré sur la Figure III.1.4.b. En effet, pour une même tension de seuil, une augmentation de la mobilité des porteurs dans le canal, se traduit par une augmentation du rapport I_{ON}/I_{OFF} .

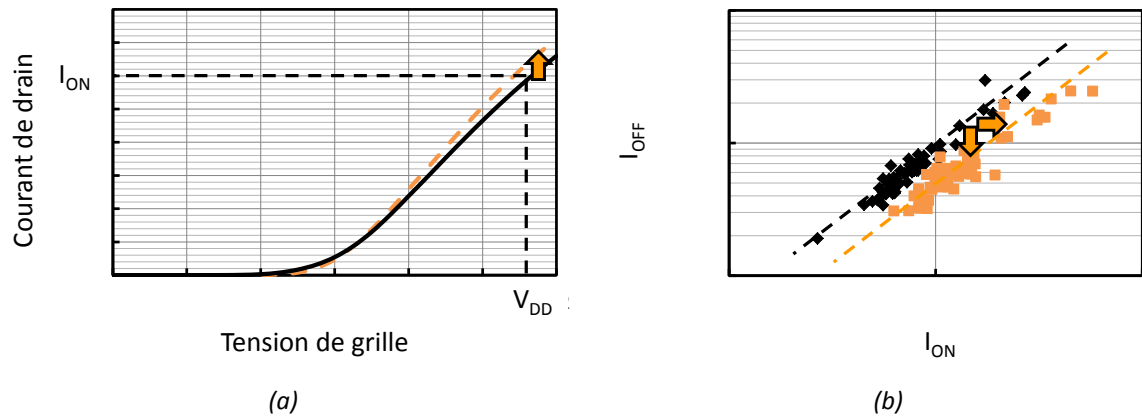


Figure III. 1.4 : Caractéristiques I_D-V_G (a) et $I_{OFF}-I_{ON}$ (b)

2. Contrainte mécanique de la couche d'arrêt de gravure des contacts (CESL) et orientation cristalline

Dans cette partie, deux phénomènes permettant l'évolution des performances d'un MOSFET sont dans un premier temps décrits, à savoir : une contrainte mécanique dans le canal et la direction des porteurs dans le canal. Puis, nous montrerons leurs impacts sur la mobilité des porteurs ainsi que leurs effets sur la fiabilité du transistor MOS.

2.1. Etat de l'art

2.1.1. Effet de la couche d'arrêt de gravure des contacts (CESL)

Un film de nitrure de silicium (SiN) déposé sur le transistor est utilisé pour tous les transistors des technologies CMOS 90nm et en deçà (Figure III.2.1). Cette couche appelée CESL (« Contact Etch Stop Layer »), joue le rôle de couche d'arrêt lors de la gravure des contacts. Cette couche permet d'éviter la formation de court-circuit causé par d'éventuels désalignements au cours de l'étape de photolithographie. En effet, les contacts de source, drain, ou de grille sont réalisés grâce à un dépôt métallique de tungstène. Or, si les motifs lithographiques sont décalés, la gravure n'attaque pas uniquement la région souhaitée mais peut se prolonger dans le STI par exemple. C'est pour éviter de telles sur-gravures que le CESL a été introduit. De plus, cette couche permet de limiter la diffusion des contaminants en provenance des interconnexions vers le transistor. En effet, du fait de la faible affinité du SiN envers les autres espèces ioniques, elle constitue une couche barrière et protège les zones actives du dispositif.

La couche SiN a montré son utilité d'un point de vue technologique, ainsi par la suite, les propriétés mécaniques de cette couche ont été exploitées pour améliorer les performances des transistors. En effet, nous allons nous intéresser ici à ses propriétés à produire un transfert de contrainte mécanique jusqu'au canal qui a pour effet de modifier la mobilité des porteurs [Ito00]. L'introduction de contraintes par le CESL est relativement simple et peu coûteuse puisqu'elle ne nécessite pas de modifier l'intégration. Suivant les conditions de dépôt, cette couche possède une contrainte intrinsèque en compression ou en tension qui est transférée à travers la grille jusqu'au canal.

Dans la littérature, ce sont d'abord les couches en tension qui ont été étudiées [Shimizu01] puis utilisées en production par Intel pour la technologie 90 nm [Thompson02] afin d'améliorer les performances des transistors à canal n sur silicium massif. Le CESL en tension permet d'appliquer une tension uni-axiale dans le canal des transistors. En effet, comme il a été montré par Payet et al.

[Payet08], des poches de contraintes en tension se forment au bord du canal, ce qui est intéressant pour les NMOS. On distingue deux régimes en fonction de la longueur de grille : pour $L > 100$ nm l'influence du CESL en tension est négligeable. Dans cette gamme de longueur de grille, le transport est fortement influencé par le STI ; Pour $L < 100$ nm, le CESL en tension améliore la mobilité des électrons par rapport à un CESL neutre.

La mobilité des trous peut être améliorée grâce au CESL compressif [Yang10]. Celle-ci atteint un maximum pour une grille de 100 nm avant de diminuer pour les transistors courts.

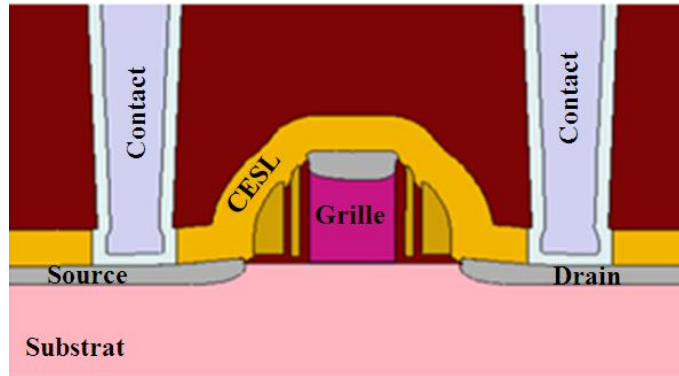


Figure III. 2.1 : Simulation d'un transistor MOS avec une couche de nitrure (CESL)

Selon la contrainte appliquée, une déformation de la structure de bande du silicium est observée [Spessot09]. La variation d'énergie ainsi produite modifie la masse effective des porteurs m_{eff} selon l'équation suivante :

$$\frac{1}{m_{\text{eff}}} = \frac{1}{\hbar^2} * \frac{d^2 E}{dk^2} \quad (\text{III.3})$$

Où $\hbar$ est la constante de Planck réduite, k est le vecteur d'onde et E est l'énergie.

Cette modification de la masse effective des porteurs engendre à son tour une modification de leur mobilité μ selon l'équation suivante :

$$\mu_{\text{eff}} = \frac{q * \tau}{m_{\text{eff}}} \quad (\text{III.4})$$

Où q est la charge élémentaire et τ est le temps moyen entre deux collisions.

2.1.2. Effet de l'orientation cristalline

Au même titre que la contrainte mécanique du CESL, l'orientation cristalline du canal joue un rôle important sur la mobilité des porteurs. En effet, le vecteur d'onde k (Equation III.3) varie selon la

direction des porteurs dans le canal [Sze81], engendrant une modification de leur mobilité. Nous ne traiterons ici que les cas du transport des porteurs dans la direction $\langle 110 \rangle$ (Figure III.2.2.a) et $\langle 100 \rangle$ (Figure III.2.2.b). A noter que le plan du substrat est le même pour les deux directions : (100). En effet, le substrat utilisé est le même dans les deux cas, il est seulement tourné à 45° pour la direction $\langle 100 \rangle$ par rapport à la direction $\langle 110 \rangle$. Cela permet une croissance dans une nouvelle direction à moindre coût, des différentes couches définissant les transistors MOS.

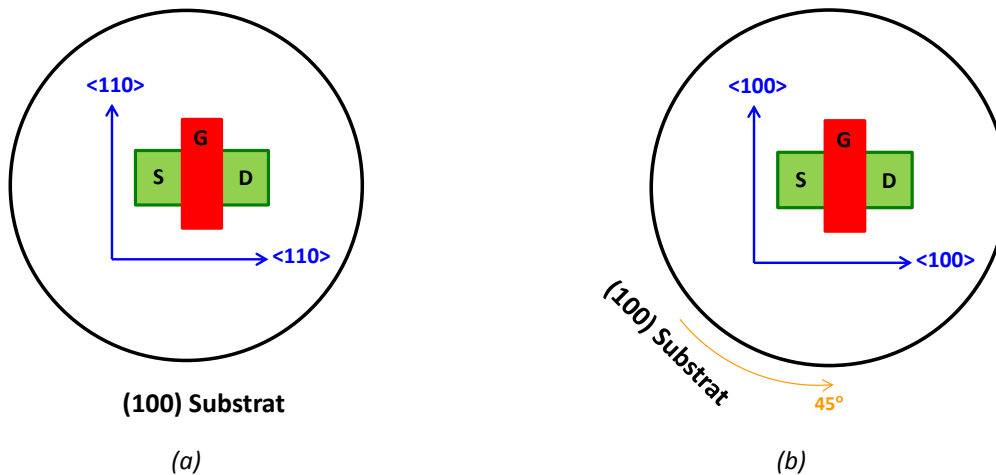


Figure III. 2.2 : Direction $\langle 110 \rangle$ (a) et $\langle 100 \rangle$ (b) des porteurs dans le canal

La principale problématique est la compatibilité entre NMOS et PMOS des différentes orientations cristallines. Depuis la démonstration de gains importants en I_{ON} sur des transistors PMOS selon la direction $\langle 100 \rangle$ par rapport à la direction $\langle 110 \rangle$ [Sayama99] [Yang04], [Shang05], [Hwang04], [Sheraw05], la simplicité de mise en œuvre de cette option technologique (simple rotation du substrat de 45°) l'a rendue attrayante [Komoda04] [Boeuf05]. Malheureusement cette direction $\langle 100 \rangle$ est fortement défavorable au transport des électrons [Yang03] [Chang04]. L'orientation du substrat classique (100) avec une direction $\langle 110 \rangle$ des porteurs dans le canal est déjà la meilleure pour les électrons. Le transport des électrons ne peut donc pas être augmenté par l'ingénierie de l'orientation du substrat.

2.1.3. Récapitulatif

Nous venons de voir deux solutions proposées dans la littérature afin de modifier la mobilité des porteurs dans le canal. Le Tableau III.1 résume ces différentes solutions en précisant si elles sont bénéfiques (+) ou pas (-) pour les électrons (NMOS) et pour les trous (PMOS).

Tableau III. 1 : Récapitulatif des solutions proposées afin de modifier la mobilité des porteurs dans le canal

	Contrainte mécanique du CESL		Direction des porteurs dans le canal	
	En compression	En tension	<110>	<100>
NMOS	-	+	+	-
PMOS	+	-	-	+

Nous remarquons que l'effet est contraire entre un transistor à canal n et à canal p, compliquant ainsi la décision. Cependant, Huet et al. [Huet08] ont démontré que les transistors de type p sont très peu sensibles aux contraintes mécaniques avec une direction <100>. Ainsi, en choisissant une direction <100> des porteurs dans le canal, favorisant la mobilité des trous, nous pouvons appliquer une contrainte mécanique du CESL en tension, afin de favoriser également celle des électrons sans trop dégrader celle des trous. Cette solution sera étudiée dans la suite de ce chapitre sur les transistors pour applications digitales.

2.2. Résultats sur la mobilité des porteurs dans le canal d'une nouvelle orientation cristalline et d'une nouvelle contrainte mécanique du CESL

Lors de nos travaux, dans le but de mettre en évidence une variation de la mobilité des porteurs dans le canal, nous allons tracer le courant de fuite I_{OFF} en fonction du courant de fonctionnement I_{ON} . En effet, pour une même tension de seuil (V_{TH}), une augmentation de la mobilité des porteurs, se traduit par une augmentation du rapport I_{ON}/I_{OFF} .

Ce type de graphe sera réalisé pour des transistors fabriqués avec les procédés dits « standard » et pour des transistors fabriqués avec de nouveaux procédés. Les modifications de procédés apportées sont résumées dans le Tableau III.2.

Tableau III. 2 : Récapitulatif des nouveaux procédés de fabrication

	Procédés Standard	Nouveaux Procédés
Contrainte mécanique du CESL	En compression	En tension
Direction des porteurs dans le canal	<110>	<100>

Ces nouveaux procédés devraient permettre une amélioration de la mobilité des électrons ainsi que celle des trous. Plusieurs plaques ont été fabriquées dans le but de mettre en évidence chaque phénomène mis en jeux.

La Figure III.2.3 représente les courbes I_{OFF} - I_{ON} des essais sur la contrainte mécanique du CESL pour les NMOS (a) et PMOS (b), la direction $\langle 110 \rangle$ des porteurs dans le canal étant fixée. Nous confirmons que la mobilité des électrons est améliorée mais que celle des trous est dégradée avec une contrainte mécanique en tension. Nous observons également que, plus la contrainte mécanique en tension est importante plus les effets sur la mobilité sont importants, tant pour les NMOS que pour les PMOS. Cependant, grâce à la nouvelle orientation cristalline où les PMOS sont très peu sensibles aux contraintes mécaniques, nous pouvons nous permettre de dégrader fortement la mobilité des trous afin de favoriser nettement celle des électrons, en conservant la plus grande contrainte mécanique en tension.

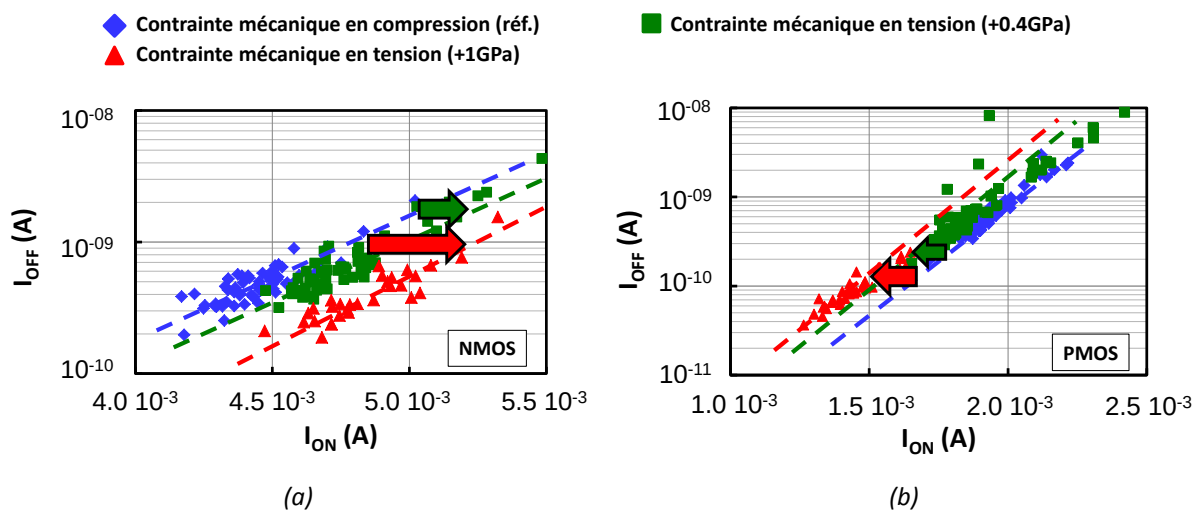


Figure III. 2.3 : Caractéristiques I_{OFF} - I_{ON} des transistors digitaux NMOS (a) et PMOS (b) avec une contrainte mécanique du CESL en compression (référence) et en tension (nouveau procédé)

La mobilité des trous sur les PMOS est améliorée avec la rotation du substrat de 45° (Figure III.2.4.b). Par contre, celle des électrons ne varie pas (Figure III.2.4.a).

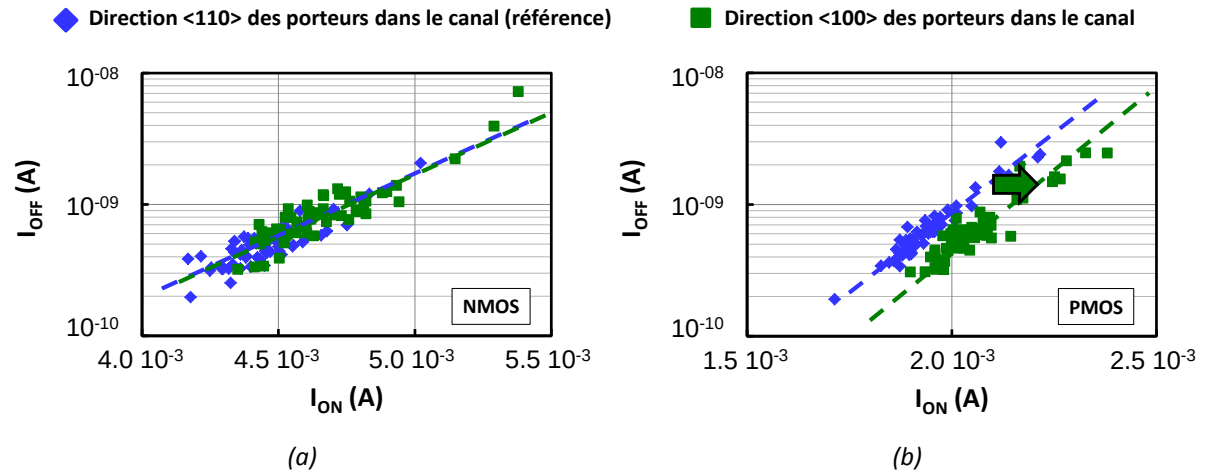


Figure III. 2.4 : Caractéristiques I_{OFF} - I_{ON} des transistors digitaux NMOS (a) et PMOS (b) avec une direction des porteurs dans le canal $\langle 110 \rangle$ (référence) et $\langle 100 \rangle$ (nouveau procédé)

Les résultats en mobilité, sur une plaque où la rotation du substrat à 45° et la contrainte mécanique en tension ont été réalisées, sont présentés sur la Figure III.2.5. Ces courbes montrent une amélioration de la mobilité des électrons d'environ 4%, due à la contrainte mécanique en tension du CESL à +0.4GPa et une amélioration de la mobilité des trous d'environ 8%, due à la rotation du substrat de 45° .

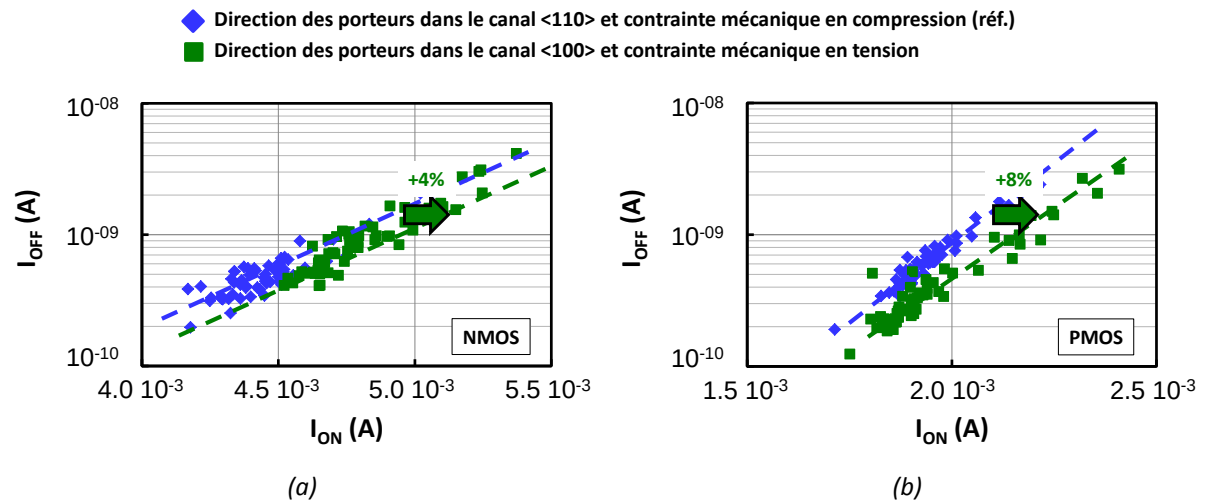


Figure III. 2.5 : Caractéristiques I_{OFF} - I_{ON} des transistors digitaux NMOS (a) et PMOS (b) avec une direction $\langle 110 \rangle$ des porteurs dans le canal et une contrainte mécanique en compression (référence) et avec une direction $\langle 100 \rangle$ des porteurs dans le canal et une contrainte mécanique en tension (nouveaux procédés)

2.3. Impact sur la fiabilité du transistor MOS

Dans le but de valider les performances en fiabilité des transistors fabriqués avec les nouveaux procédés, des études sur la dégradation par injection de porteurs chauds et la dégradation BTI sont réalisées. Une étude complémentaire sur le claquage d'oxyde pourra être vue dans le Chapitre III.4.2.

Dans un premier temps, nous allons étudier la dégradation des MOSFETs après un stress par injection de porteurs chauds. La méthode consiste à effectuer alternativement mesure paramétrique et stress continu. Les conditions de stress sont celles utilisées lors de la qualification de la technologie pour des applications automobiles. Les conditions de pire cas sont à 25°C et $V_G = V_D$ pour les NMOS et sont à 130°C et $V_G = V_D$ pour les PMOS. Trois conditions de stress ont été choisies. Le courant de drain en saturation (I_{Dsat}) est mesuré à $|V_G| = |V_D| = V_{DD} = 1.2$ V.

Les variations relatives en pourcentage d' I_{Dsat} en fonction du temps de stress des différents transistors étudiés sont comparées à celles d'un transistor « standard ». Pour rappel, un transistor « standard » a une direction <110> du canal et une contrainte mécanique en compression du CESL.

La Figure III.2.6.a montre des modifications de la cinétique de dégradation des NMOS avec une contrainte du CESL en tension. Concernant les dégradations des transistors PMOS (Figure III.2.6.b), elles restent inchangées. Ce phénomène sur NMOS est expliqué par une augmentation des états d'interface due au mécanisme d'ionisation par impact, plus favorable dans le cas d'une contrainte en compression [Teo09]. Cela implique la nécessité de calculer la durée de vie de ces transistors dans le but de vérifier s'ils passent les critères de validation.

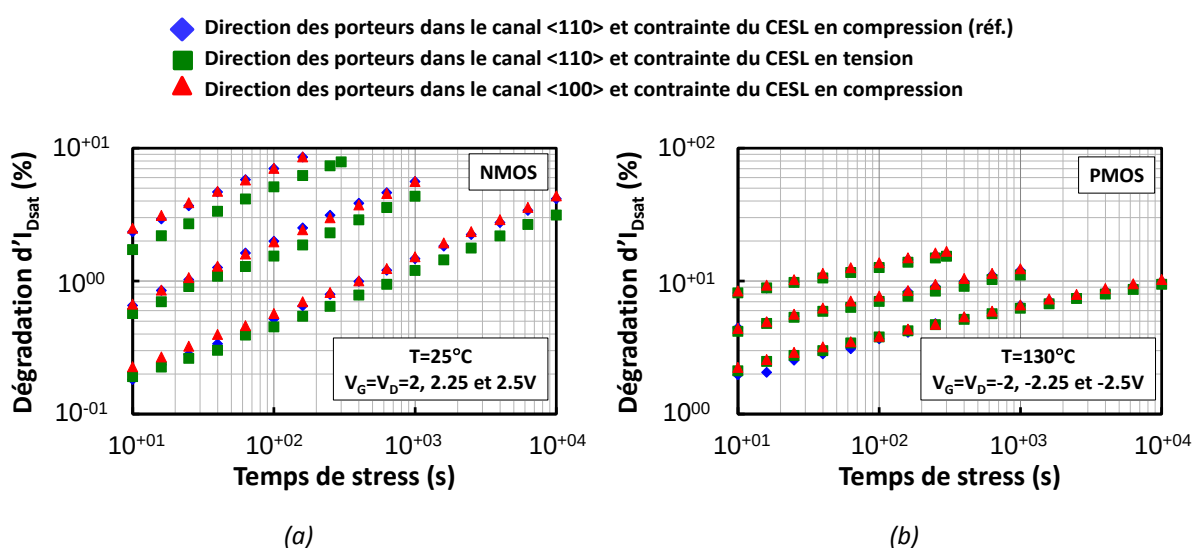


Figure III. 2.6 : Dégradation de I_{Dsat} en fonction du temps de stress des transistors digitaux NMOS (a) et PMOS (b) pendant un stress par injection de porteurs chauds

Pour cela, nous utilisons le modèle en « $1/V_D$ » illustré sur la Figure III.2.7. La durée de vie est calculée pour une dégradation de 10% du courant de drain en saturation. Le critère de validation de 10 ans de durée de vie pour une tension à $V_{DD} + 10\%$ est validé.

Donc, malgré une plus forte détérioration sur les NMOS, la contrainte mécanique en tension du CESL, de même que la direction $\langle 100 \rangle$ des porteurs dans le canal, ne montrent aucun inconvénient en termes de dégradation par injection de porteurs chauds.

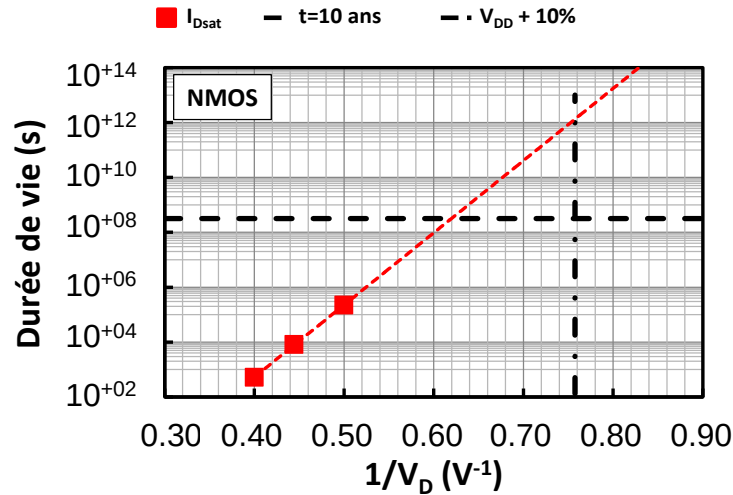


Figure III. 2.7 : Extrapolation de la durée de vie d' I_{Dsat} des transistors digitaux de type n avec une contrainte mécanique en tension du CESL

Dans un deuxième temps, nous allons étudier la dégradation des MOSFETs après un stress du type « BTI » en régime d'inversion. La méthode est la même que pour un stress par injection de porteurs chauds : mesure paramétrique et stress continu alternativement. Pour rappel, le stress est appliqué à haute température (ici 130°C) sur la grille pendant que la source, le drain et le substrat sont mis à la masse – Deux conditions de stress ont été choisies pour les PMOS. Les NMOS ne sont pas étudiés ici, car ils présentent très peu de dégradation lors d'un stress BTI positif, comme on peut le voir sur la Figure III.2.8.a lors d'un stress sur des transistors de type n standard.

La tension de seuil (V_{TH}) est mesurée grâce à la méthode d'extrapolation en régime linéaire [Ortiz02]. Les variations absolues en Volt de V_{TH} , pour un temps de stress de 10 000s en fonction du champ dans l'oxyde (E_{ox}) des différents transistors PMOS étudiés, sont comparées à celles d'un transistor « standard » : direction du canal $\langle 110 \rangle$ et contrainte mécanique en compression du CESL. La Figure III.2.8.b montre une amélioration de la dégradation, soit avec la rotation du substrat à 45° , soit avec une contrainte mécanique en tension.

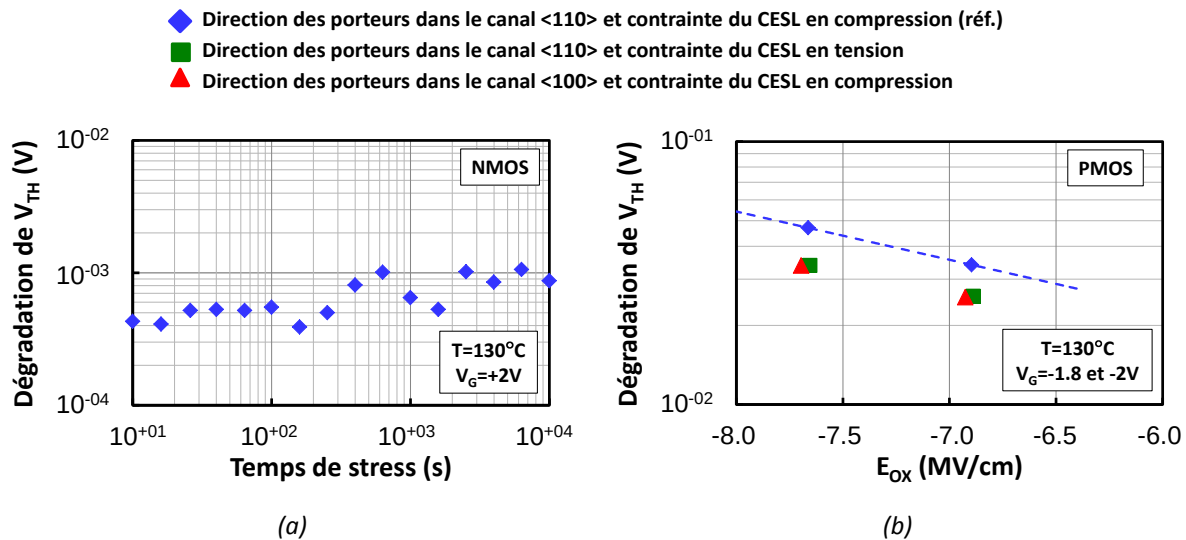


Figure III. 2.8 : Dégradation de V_{TH} des transistors digitaux NMOS (a) et PMOS (b) pendant un stress de type « BTI » en régime d'inversion

Cependant, cette amélioration n'a pas été observée en stress par HCI à 130°C . En effet, lors d'un stress par injection de porteurs chauds à haute température, nous sommes susceptibles de générer également du stress BTI. Cela peut signifier que lors d'un stress par HCI à température ambiante, une augmentation de la dégradation avec la contrainte mécanique en tension ou la rotation du substrat à 45° , sera obtenue.

2.4. Résumé sur l'effet d'une contrainte mécanique en tension du CESL et d'une direction $\langle 100 \rangle$ des porteurs dans le canal

Nous avons modifié certaines étapes du procédé de fabrication des transistors pour applications digitales. Nous avons pu mettre en évidence l'amélioration de la mobilité des trous dans le canal grâce à la rotation du substrat à 45° et l'amélioration de la mobilité des électrons grâce à une contrainte mécanique en tension du CESL.

Une étude de fiabilité a été réalisée sur des transistors présentant ces nouveaux procédés de fabrication, incluant des tests d'injection de porteurs chauds et BTI. Ces transistors n'ont montré aucun inconvénient en termes de fiabilité des transistors MOS.

3. Procédé de nitruration

Dans cette partie, dans un premier temps un procédé de nitruration de l'oxyde de grille est décrit, puis nous montrerons son impact sur la fuite de grille ainsi que son effet sur la fiabilité du transistor MOS pour applications digitales. Enfin, nous étudierons son influence sur d'autres dispositifs MOS.

3.1. Etat de l'art

3.1.1. Pourquoi nitrurer l'oxyde de grille ?

La diminution de l'épaisseur de l'oxyde entraîne la disparition de certaines propriétés physico-chimiques de l'oxyde de silicium, comme la protection contre la diffusion des impuretés, l'homogénéité de la couche, la résistance à l'injection de porteurs. Il en résulte une augmentation du nombre de défauts qui affecte les caractéristiques électriques des composants.

Dans les années 1980 [Ito82], les recherches sur le remplacement de cet isolant pour les transistors MOS ont abouti, entre autre, à l'étude du nitrure de silicium et de l'oxyde de silicium nitruré. Le nitrure de Silicium (Si_3N_4) a une constante diélectrique plus élevée ($\epsilon_{\text{OX}} = 7.5$) que l'oxyde de silicium ($\epsilon_{\text{OX}} = 3.8$) et sa structure est beaucoup plus dense. Il présente également une plus grande barrière à la diffusion des impuretés. Cependant, la croissance thermique d'un tel isolant est autolimitée ce qui ne permet pas d'obtenir des épaisseurs supérieures à 4.5 nm. De plus, l'interface $\text{Si}/\text{Si}_3\text{N}_4$ est très médiocre ce qui en interdit l'utilisation comme isolant de grille sauf en interposant une couche de SiO_2 entre le substrat et le film de nitrure.

Compte tenu des avantages et des inconvénients du SiO_2 et du Si_3N_4 , la solution envisagée actuellement est d'utiliser des matériaux à stœchiométrie intermédiaire, c'est-à-dire des oxynitrures ou oxydes nitrurés. La distinction entre l'oxynitrure et l'oxyde nitruré vient de l'approche utilisée pour l'obtention de l'oxyde de silicium contenant de l'azote. La première consiste à introduire l'azote dans l'oxyde déjà formé, par un procédé de recuit. Cet isolant est dénommé oxyde nitruré. Pour la deuxième méthode, l'azote est incorporé en même temps que le dépôt ou la croissance de l'oxyde. Cet isolant est appelé oxynitrure.

La présence d'azote dans l'oxyde de silicium et à l'interface isolant/substrat modifie de manière complexe les propriétés physiques et électriques de ce matériau. Il en résulte une amélioration ou une dégradation des propriétés électriques et des effets de contraintes électriques de l'isolant [Balland98].

3.1.2. Fabrication des oxydes nitrurés

Cette nitruration peut être réalisée par différents procédés, notamment par l'utilisation d'une chambre RTP (« Rapid Thermal Process »). On parle alors de RTN pour « Rapid Thermal Nitridation », ou par l'utilisation d'une chambre DPN (« Decoupled Plasma Nitridation ») pour les nœuds technologiques les plus avancés. Ce dernier type de procédé nécessite un recuit à très haute température de l'ordre de 1 000°C après incorporation d'azote, afin de guérir les éventuels défauts créés durant l'étape de plasma et ainsi stabiliser l'oxyde nitruré.

Une forte concentration en azote dans l'oxyde de grille augmente la constante diélectrique du matériau ainsi que son épaisseur équivalente et permet donc de réduire la fuite de grille. Cependant, il a été démontré qu'une forte concentration d'azote à l'interface Si/SiO₂ engendre des problèmes de fiabilité [Shih89]. Le profil de concentration en azote pour une nitruration RTN et DPN obtenu en SIMS (« Secondary Ion Mass Spectrometry » [Vickerman09]) est montré sur la Figure III.3.1. Nous observons clairement une plus forte quantité d'azote à l'interface poly/SiO₂ avec une nitruration plasma. Ce procédé permet donc une réduction de la fuite de grille sans produire des problèmes de fiabilité [Tavel03].

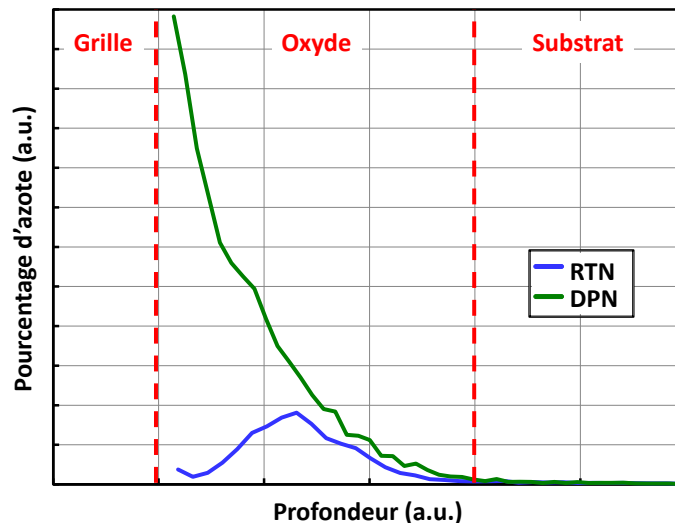


Figure III. 3.1 : Profil de concentration en azote obtenu en SIMS dans le cas d'une nitruration RTN et DPN

3.2. Impact de la DPN sur la fuite de grille et la fiabilité du transistor MOS

Plusieurs essais ont été réalisés afin d'optimiser les paramètres de nitruration. Trois températures de recuit après nitruration sont utilisées : 1100°C, 1050°C et 950°C.

La comparaison du courant de grille entre une nitruration RTN et DPN, se réalise pour une tension de grille nominale ($|V_{DD}| = 1.2V$) et pour une même épaisseur électrique équivalente d'oxyde, comme illustré sur la Figure III.3.2. On observe un gain sur la fuite de grille avec une nitruration DPN sur les transistors de type n et p. Des disparités des gains en fonction des différents essais DPN sont également observées. Cependant aucune tendance en fonction de la température n'est constatée.

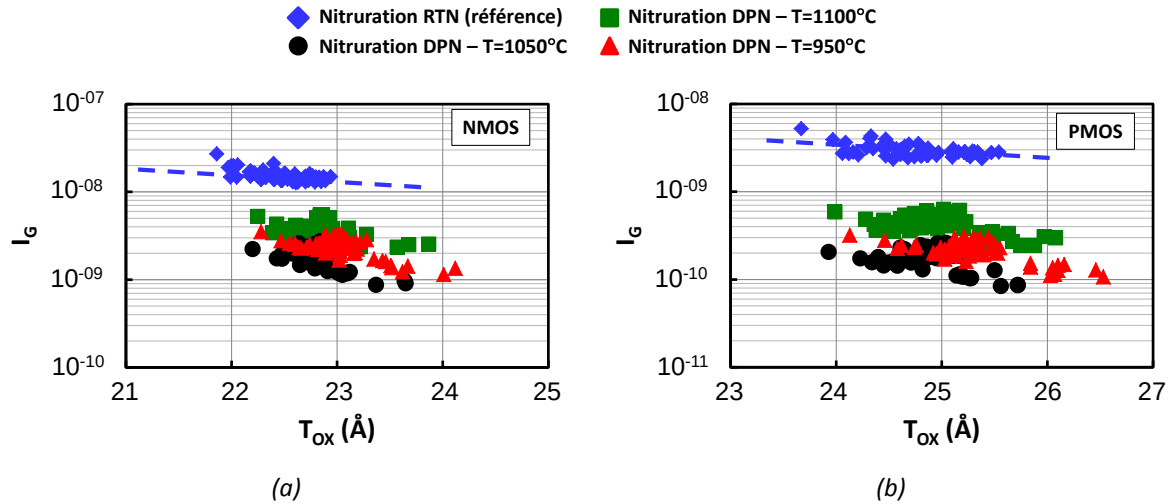


Figure III. 3.2 : Caractéristiques I_G - T_{Ox} des transistors digitaux NMOS (a) et PMOS (b) avec différents procédés de nitruration de l'oxyde de grille

De la même manière que pour les nouveaux procédés étudiés précédemment afin d'améliorer la mobilité des porteurs, nous validons les performances en fiabilité des transistors MOS fabriqués avec les nouveaux procédés de nitruration. Pour cela, des études sur la dégradation par injection de porteurs chauds et la dégradation BTI, sont réalisées avec les mêmes conditions de stress que précédemment. Une étude complémentaire sur le claquage d'oxyde pourra être vue dans le Chapitre III.4.2.

La Figure III.3.3 montre l'évolution d' I_{Dsat} en fonction du temps de stress sur NMOS (a) et PMOS (b) pendant un stress par injection de porteurs chauds. Les paramètres de nitruration DPN n'ont pas d'impacts majeurs sur la dégradation d' I_{Dsat} , quel que soit le type de transistor. Cependant, on observe une augmentation de la dégradation sur les transistors de type n fabriqués avec une nitruration DPN par rapport à une nitruration RTN. Cela implique la nécessité de calculer la durée de vie de ces transistors, dans le but de vérifier s'ils passent les critères de validation.

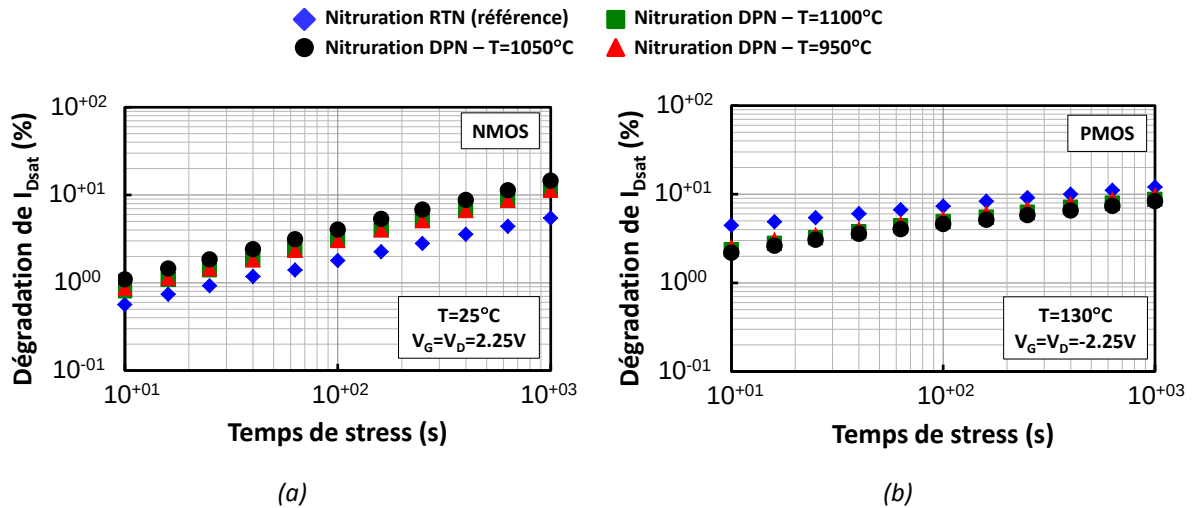


Figure III. 3.3 : Dégradation de I_{Dsat} en fonction du temps de stress des transistors digitaux NMOS (a) et PMOS (b) avec différents procédés de nitration de l'oxyde pendant un stress par injection de porteurs chauds

Pour cela, nous effectuons des mesures avec d'autres conditions de stress afin d'utiliser le modèle en « $1/V_D$ » illustré sur la Figure III.3.4. Un seul essai DPN est étudié ici (température de recuit : 950°C). Le critère de validation de 10 ans de durée de vie pour une tension à $V_{DD} + 10\%$ est validé. Donc malgré une plus forte détérioration sur les NMOS, la nitration DPN ne montre aucun inconvénient en termes de dégradation par injection de porteurs chauds.

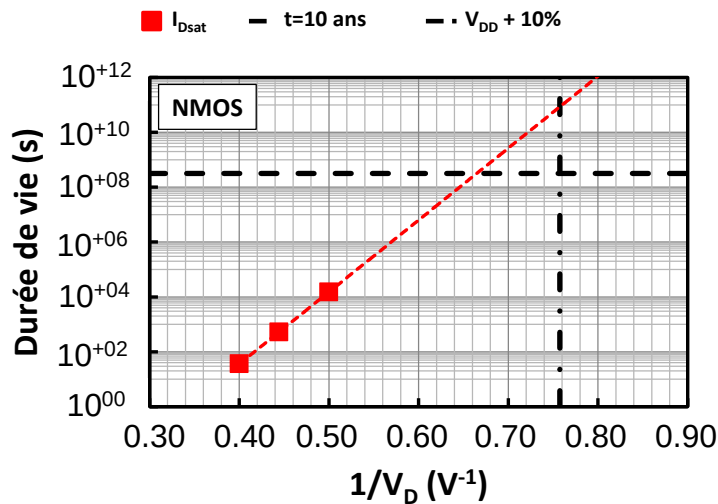


Figure III. 3.4 : Extrapolation de la durée de vie d' I_{Dsat} des transistors digitaux de type n avec une nitration DPN

La Figure III.3.5 montre l'évolution de V_{TH} pour un temps de stress de 10 000s en fonction du champ dans l'oxyde (E_{ox}) sur PMOS pendant un stress de type « BTI » en régime d'inversion. La nitration DPN permet une réduction de la dégradation. Une diminution du nombre de charges piégées dans

l'oxyde avec une nitruration DPN a été expliquée par le fait que les pièges dus à l'azote sont plus ou moins proches selon le type de nitruration [Maheta08]. En effet, avec une nitruration RTN l'azote est incorporé proche de l'interface Si/SiO₂, alors qu'avec une nitruration DPN l'azote est incorporé dans les premiers nanomètres de l'oxyde proche de l'interface poly/SiO₂, les pièges se situant donc moins proches du canal.

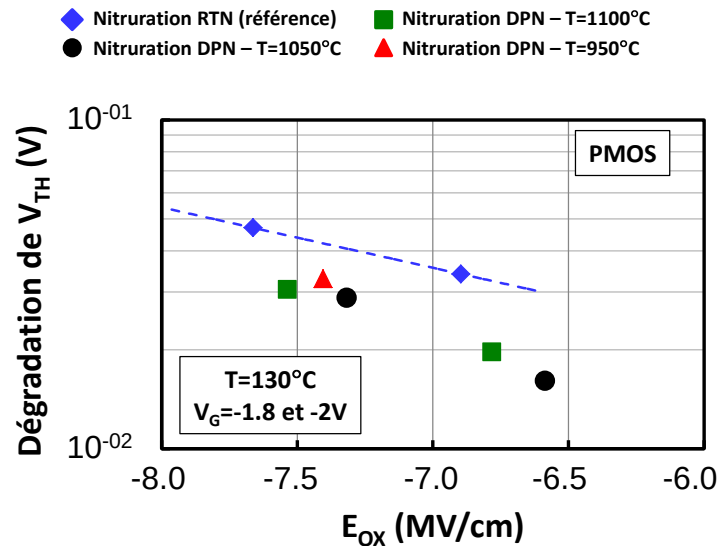


Figure III. 3.5 : Dégradation de V_{TH} des transistors digitaux avec différents procédés de nitruration de l'oxyde pendant un stress de type « BTI » en régime d'inversion

Ces résultats en HCI et en BTI sur les PMOS sont cohérents. En effet, la faible diminution de la dégradation lors d'un stress par HCI avec la DPN sur les PMOS est certainement due à l'effet BTI car le stress est effectué à une température de 130°C. Cela signifie qu'après un stress par HCI à température ambiante sur des transistors à canal p, la dégradation des transistors fabriqués avec une nitruration DPN pourrait être plus importante que celle des transistors fabriqués avec une nitruration RTN.

3.3. Résumé sur l'effet d'une nitruration plasma de l'oxyde de grille

Nous avons utilisé une nouvelle technique de nitruration de l'oxyde de grille des transistors pour applications digitales. Nous avons ainsi démontré la diminution de la fuite de grille grâce à une nitruration par plasma (DPN). Ce nouveau procédé n'a montré aucun inconvénient en termes de fiabilité des transistors MOS.

4. Influence de la DPN sur d'autres dispositifs MOS

Dans ce paragraphe, nous allons étudier l'influence que peut avoir un nouveau procédé de fabrication dédié à un composant spécifique, sur d'autres dispositifs MOS. En effet, une modification d'une ou plusieurs étapes sur un type de composant particulier peut avoir une conséquence sur les composants déjà présents lors de cette étape. Nous allons voir notamment l'impact que peut générer la nitruration DPN des transistors digitaux sur les transistors HV (« High Voltage »). L'état des transistors HV lors de l'étape de nitruration de l'oxyde de grille des transistors pour applications digitales, est montré sur la Figure III.4.1. On peut voir que lors de cette étape, les oxydes HV peuvent être directement impactés, notamment par le bilan thermique du recuit (PNA) nécessaire après l'incorporation de l'azote en chambre plasma.

Nous allons donc dans un premier temps observer l'effet de la température sur les caractéristiques électriques des MOSFET HV puis, dans un second temps nous examinerons les conséquences de ces effets en termes de fiabilité.

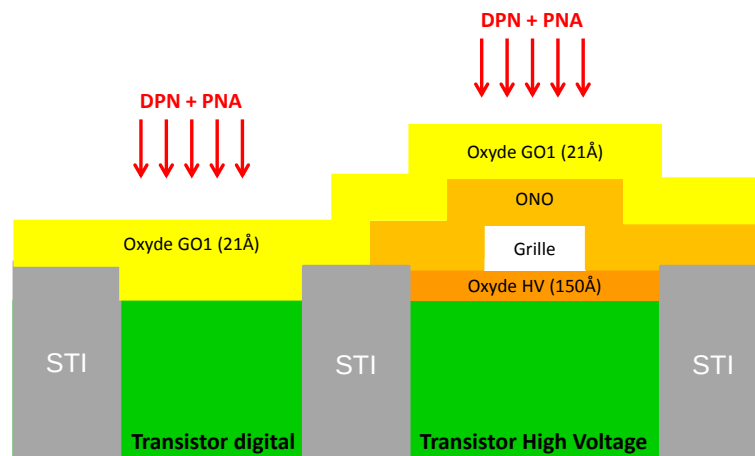


Figure III. 4.1 : Schéma d'un transistor HV et digital lors de l'étape de nitruration des transistors digitaux

4.1. Mise en évidence d'une charge fixe selon les paramètres de nitruration

Dans le but d'étudier l'effet de la température du recuit sur les transistors HV, les essais en fonction de la température du recuit après nitruration plasma des transistors digitaux sont considérés, à savoir : $T=1100^{\circ}\text{C}$, $T=1050^{\circ}\text{C}$ et $T=950^{\circ}\text{C}$. A noter que lors d'un procédé « standard », la température ne dépasse pas les 950°C .

Les caractéristiques C-V des transistors de type n et p sont montrées sur la Figure III.4.3. Le schéma de ces deux types de transistors avec les différents dopages est rappelé Figure III.4.2. Nous n'observons aucune différence sur les NMOS en fonction de la température. Par contre, un décalage de la courbe est observé sur les PMOS avec une température de recuit de 1100°C. Ce décalage est généralement attribué à des charges négatives supplémentaires dans l'oxyde de grille [Liang82]. De plus, nous confirmons que la densité d'états d'interfaces, obtenue par pompage de charge, ne varie pas de manière significative entre les trois dispositifs étudiés (Tableau III.3).

Ces charges supplémentaires peuvent être attribuées à l'activation de la diffusion des charges telles que O_2^- et B^- , avec l'augmentation de la température [Cao98] [Aoyama02]. En effet, nous rappelons que les dopages de type P s'effectuent avec des atomes de Bore alors que les dopages de type N s'effectuent avec des atomes d'Arsenic. Il s'ensuit que, dans le cas des transistors HV PMOS, les charges O_2^- peuvent provenir de l'isolant ONO présent au moment du recuit et les charges B^- peuvent provenir de la grille en poly-silicium dopée P.

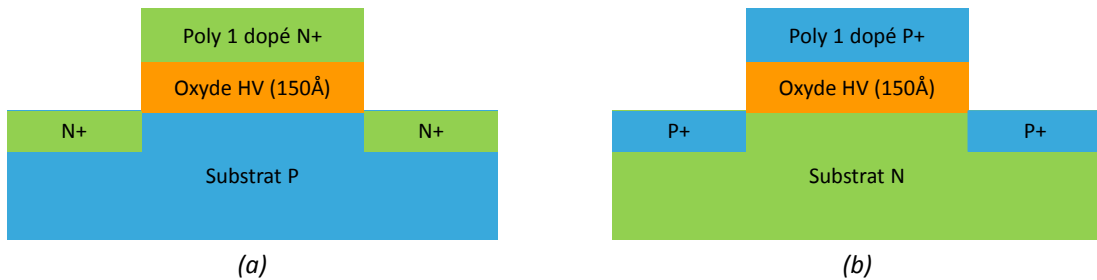


Figure III. 4.2 : Schéma d'un transistor NMOS (a) et PMOS (b)

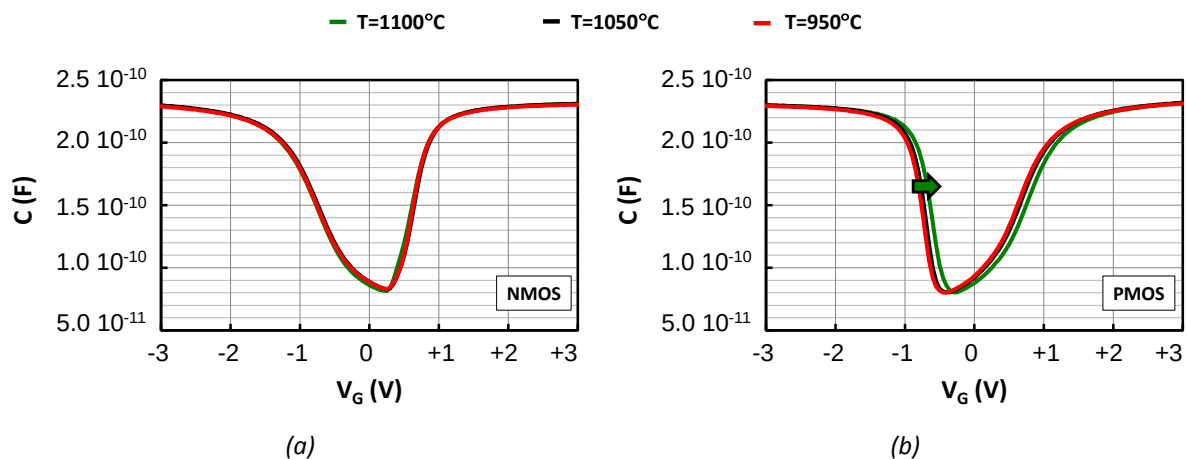


Figure III. 4.3 : Caractéristiques C-V des transistors HV NMOS (a) et PMOS (b) avec plusieurs températures de recuit (PNA)

Tableau III. 3 : Densité d'état d'interface des transistors HV obtenue par pompage de charge

	NMOS	PMOS
T=1100°C	$1.54 \cdot 10^{+10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	$2.84 \cdot 10^{+10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$
T=1050°C	$1.49 \cdot 10^{+10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	$2.94 \cdot 10^{+10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$
T=950°C	$1.74 \cdot 10^{+10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	$3.34 \cdot 10^{+10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$

Dans le but de mieux comprendre pourquoi ces charges sont présentes sur les PMOS et pas sur les NMOS, d'autres types de structures ont été testées : les capacités CTEP (Figure III.4.4.a) et les capacités CTEN (Figure III.4.4.b). Les CTEN ont la particularité d'avoir un substrat et une grille (poly 1 ou poly 2) dopée du même type (n). Les CTEP ont le substrat et le poly 2 du même type (p) mais le poly 1 du type opposé (n). Nous avons réalisé des mesures C-V à partir du poly 1 de ces structures (Figure III.4.5). En comparant avec les résultats précédents sur les transistors NMOS et PMOS, cela devrait donc nous permettre, de distinguer les effets dus au substrat et dus à la grille. A noter que le poly 1 de ces structures est « pré-dopé », dans le but de limiter la déplétion de grille et ainsi régler le travail de sortie du poly-silicium afin d'obtenir une tension de seuil acceptable.

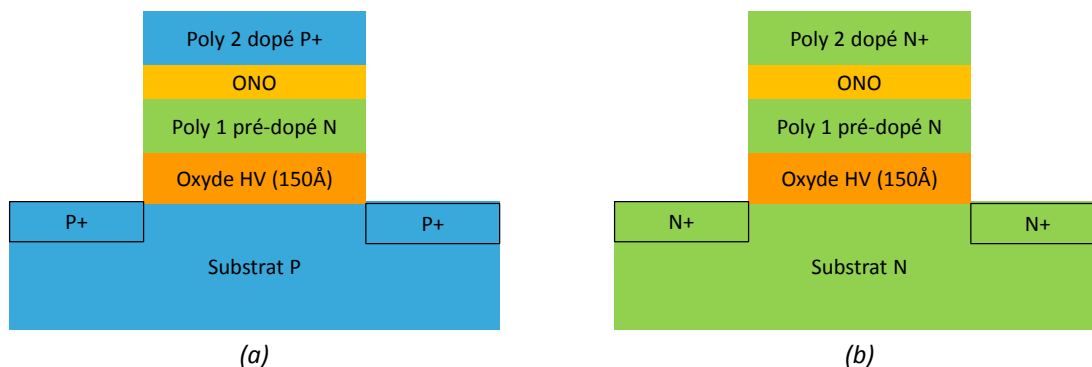


Figure III. 4.4 : Schéma d'une capacité CTEP (a) et CTEN (b)

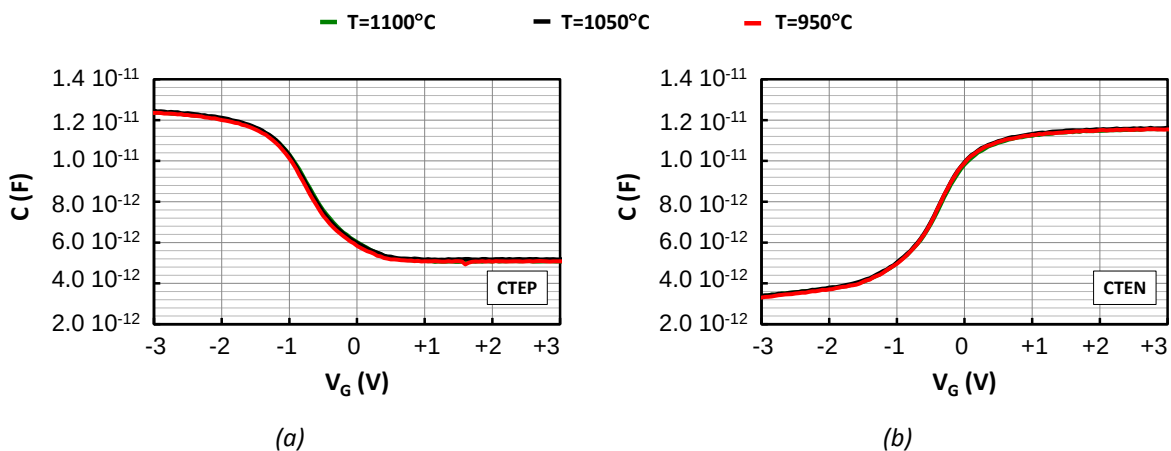


Figure III. 4.5 : Caractéristiques C-V des capacités HV CTEP (a) et CTEN (b) avec plusieurs températures de recuit

Nous n'observons aucune différence en fonction de la température sur ces nouvelles structures. En examinant l'état des différentes structures lors du recuit (Figure III.4.6), nous nous apercevons que la seule différence sur les PMOS par rapport à toutes les autres structures, est l'état de la grille qui n'est pas dopée alors que toutes les autres sont pré-dopées n. Cela signifie que les charge diffuseraient du poly-silicium vers le substrat lorsque le poly est non dopé au moment du recuit à très haute température (ici 1100°C). L'hypothèse, quant à l'identification de ces charges négatives, est qu'il s'agit de charges du type O_2^- provenant de l'isolant ONO.

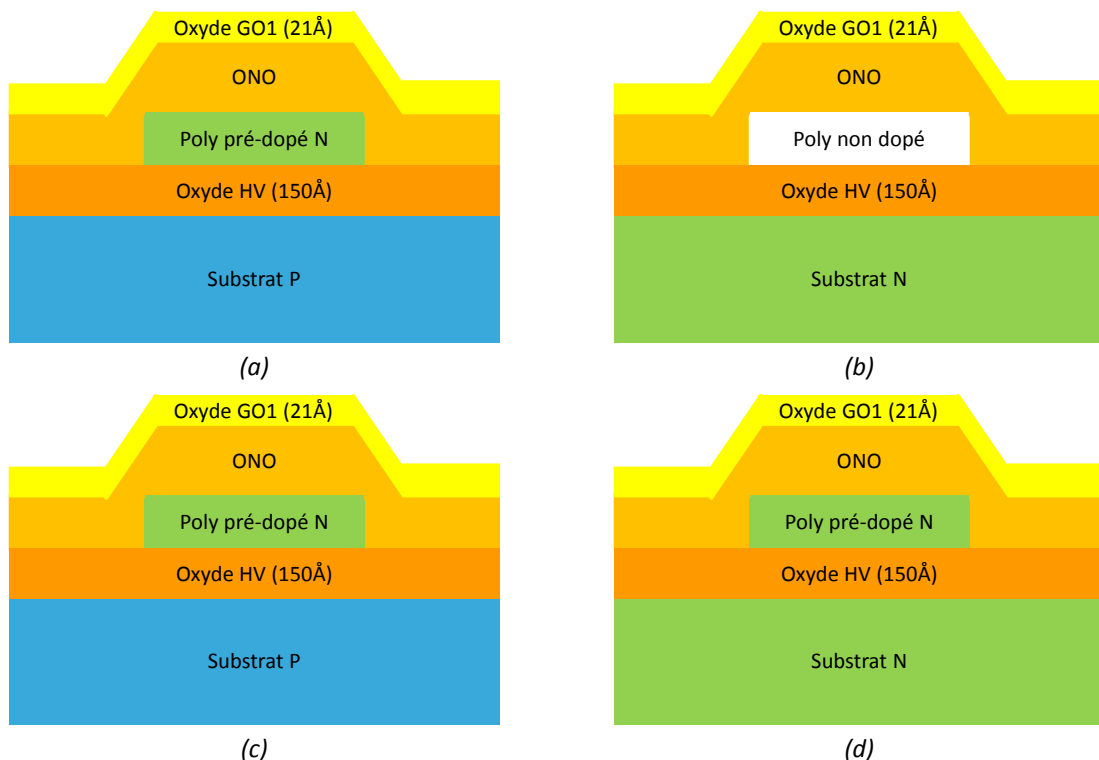


Figure III. 4.6 : Schéma des transistors HV NMOS (a), et HV PMOS (b), et des capacités CTEP (c) et CTEN (d) lors de l'étape de nitruration des transistors digitaux

4.2. Conséquences de la charge supplémentaire sur la fiabilité de l'oxyde de grille et du transistor MOS

Cette charge négative peut impacter les mécanismes de dégradation de l'oxyde de grille, il est donc nécessaire de faire une étude complète sur les performances en fiabilité.

Dans un premier temps, nous allons étudier la dégradation des MOSFETs HV après un stress par injection de porteurs chauds. Les conditions de stress ont été choisies afin d'obtenir une tension de grille correspondant à un courant de substrat maximal pour les NMOS et correspondant à un courant de grille maximal pour les PMOS, ces conditions étant les pire cas de dégradation.

La Figure III.4.7 montre les variations relatives en pourcentage d' I_{Dsat} en fonction du temps de stress des transistors avec les différents essais en température du recuit pour NMOS (a) et PMOS (b). Aucune différence sur les NMOS en fonction de la température n'est observée, par contre, les transistors PMOS avec un recuit à 1100°C montrent moins de dégradation que les transistors avec les autres températures (1050°C et 950°C).

Les transistors de type p avec un recuit à 1100°C, correspondent aux transistors où l'on a démontré la présence de charges négatives supplémentaires avant stress. Cette différence de dégradation peut donc s'expliquer simplement par les niveaux de courants car la dégradation par injection de porteurs chauds est directement proportionnelle au champ dans l'oxyde. En effet, du fait de la présence de charges négatives, les courants de drain et de grille sont différents et on obtient un champ électrique aux bornes de l'oxyde de grille moins fort, d'où moins de dégradation. Cependant, cette différence peut également venir du fait que le stress électrique a été réalisé à 130°C, d'où l'activation potentielle de la dégradation BTI.

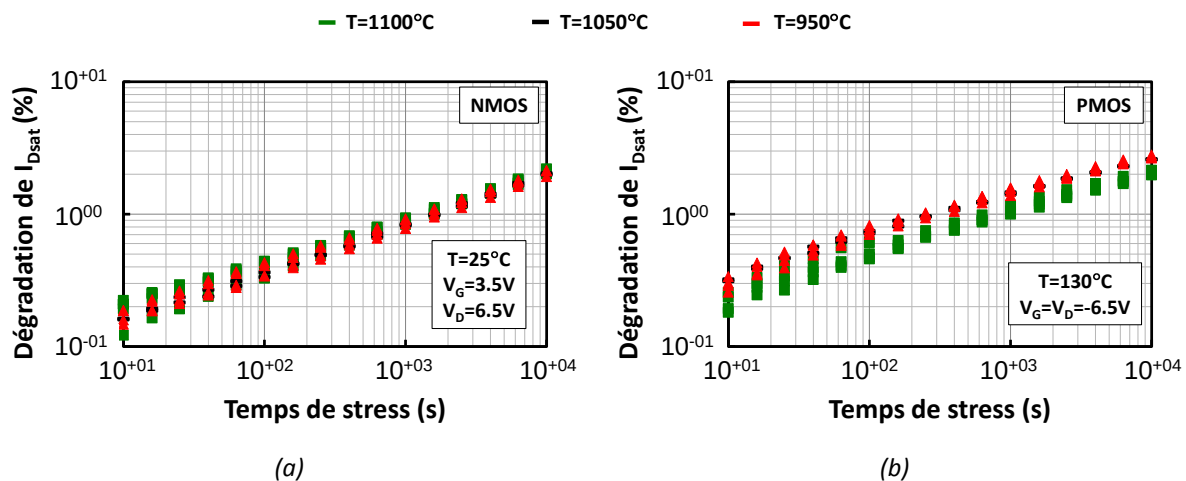


Figure III. 4.7 : Dégradation de I_{Dsat} en fonction du temps de stress des transistors HV NMOS (a) et PMOS (b) pendant un stress par injection de porteurs chauds

Dans un deuxième temps, nous allons étudier la dégradation des MOSFETs après un stress du type « BTI » en régime d'inversion. La Figure III.4.8 montre les variations absolues en Volt de V_{TH} en fonction du temps de stress des différents essais en température du recuit pour les transistors NMOS (a) et PMOS (b). Aucune différence sur les NMOS en fonction de la température n'est observée. Martin [Martin96] avait conclu, suite à son étude sur le pré-stress des transistors, qu'un fort taux de charges positives initial dégrade l'oxyde plus sévèrement qu'à faible taux. Ce phénomène est en accord avec nos résultats sur les PMOS où l'on observe une amélioration de la dégradation sur les transistors PMOS pour lesquels on a démontré la présence de charges négatives supplémentaire avant stress.

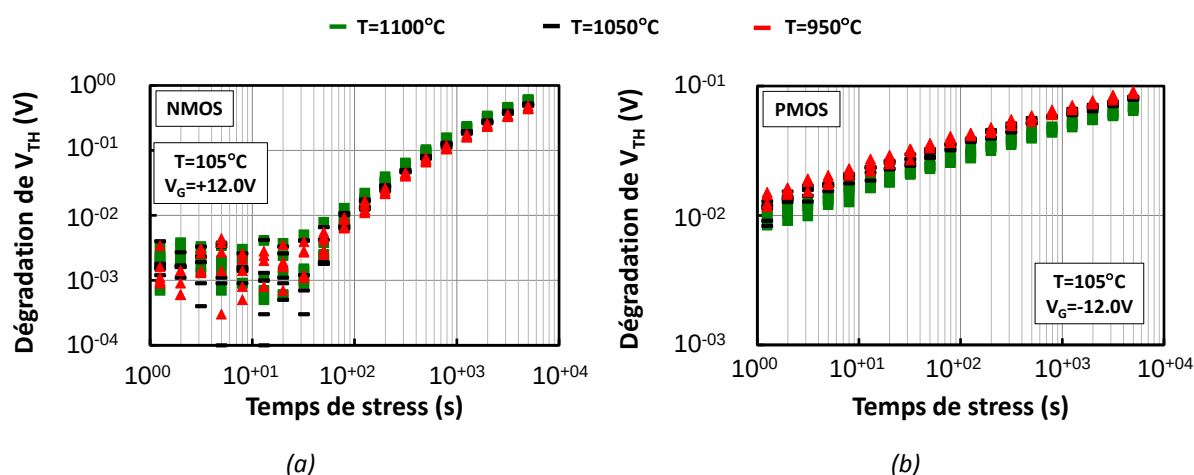


Figure III. 4.8 : Dégradation de V_{TH} des transistors HV NMOS (a) et HV PMOS (b) pendant un stress de type « BTI » en régime d'inversion

Nous allons maintenant étudier la dégradation des MOSFETs après un stress de type « CVS » en régime d'inversion. La méthode consiste à appliquer un stress en tension continue sur la grille jusqu'au claquage, tout en mesurant le courant de grille (I_G).

La Figure III.4.9 compare l'évolution du courant de grille I_G en fonction du temps de stress appliqué sur HV NMOS (a) et HV PMOS (b) entre les trois essais DPN effectués sur les transistors pour applications digitales. Il apparait que le même nombre de charges est piégé dans les trois oxydes de grille des transistors NMOS. Nous observons quelques différences sur les transistors à canal p. Initialement, les niveaux de courants sont différents entre un transistor PMOS réalisé avec un recuit à 1100°C et les deux autres transistors, puis convergent progressivement jusqu'au claquage. De plus, une légère augmentation du courant sur les transistors HV PMOS réalisés avec un recuit à 1100°C est observée, indiquant une accumulation de charges positives dans l'oxyde de grille.

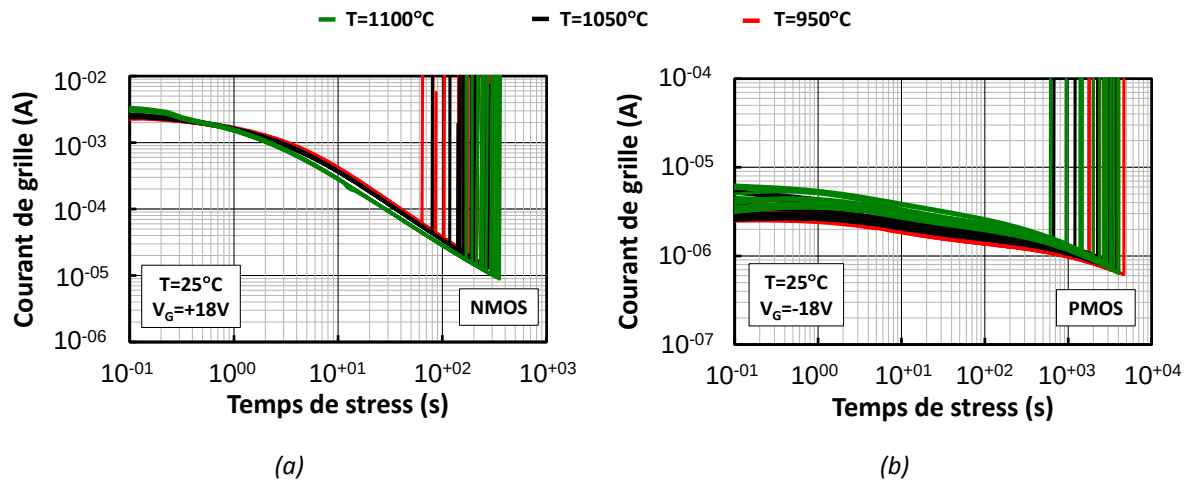


Figure III. 4.9 : Dégradation du courant de grille des transistors HV NMOS (a) et HV PMOS (b) pendant un stress de type « CVS » en régime d'inversion pour trois températures de recuit

En conclusion à cette étude sur les transistors HV, nous pouvons clairement annoncer que l'étape de nitruration des oxydes pour applications digitales, notamment la température du recuit, peut jouer un rôle important quant aux performances électriques et aux performances en fiabilité des transistors HV. Les paramètres retenus pour cette étape de procédés de fabrication doivent donc prendre en compte ces phénomènes.

5. Procédés de fabrication retenus

Dans cette partie, nous allons nous intéresser aux trois nouveaux procédés de fabrication expliqués précédemment, pour les transistors dédiés à des applications digitales, à savoir : contrainte mécanique en tension du CESL, direction $\langle 100 \rangle$ des porteurs dans le canal et procédé de nitruration plasma de l'oxyde de grille. Le dépôt de la couche de SiN (CESL) est réalisé à +1.4GPa et la température du recuit après nitruration est de 950°C afin de ne pas engendrer des modifications sur les oxydes HV.

Dans un premier temps, nous allons vérifier les objectifs initiaux : amélioration de la mobilité des électrons et des trous dans le canal ainsi que la diminution de la fuite de grille des transistors digitaux. Puis dans un second temps, nous évaluerons leur impact sur la fiabilité de l'oxyde de grille.

5.1. Caractérisation électrique

La Figure III.5.1 représente les courbes $I_{OFF}-I_{ON}$ pour les transistors digitaux NMOS (a) et PMOS (b) avec les nouveaux procédés de fabrication. Les caractéristiques des procédés « standards » sont également représentées en tant que références. Ces courbes montrent une amélioration de la mobilité des électrons due à la contrainte mécanique en tension du CESL d'environ 11% et une amélioration de la mobilité des trous due à la rotation du substrat de 45° d'environ 18%.

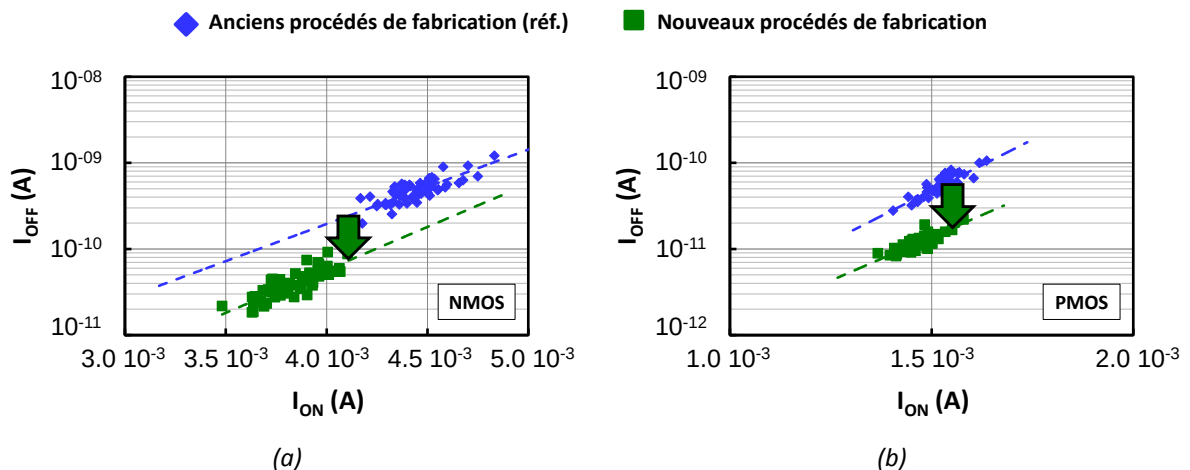


Figure III. 5.1 : Caractéristiques $I_{OFF}-I_{ON}$ des transistors digitaux NMOS (a) et PMOS (b) avec les anciens et les nouveaux procédés de fabrication

La Figure III.5.2 représente les courbes I_G-T_{OX} pour les NMOS (a) et PMOS (b) avec les anciens et les nouveaux procédés de fabrication. Le courant de grille est obtenu pour une tension de grille

nominale ($|V_{DD}|=1.2V$). Sur les deux types de transistors, la fuite de grille est diminuée, due à la nitruration par plasma.

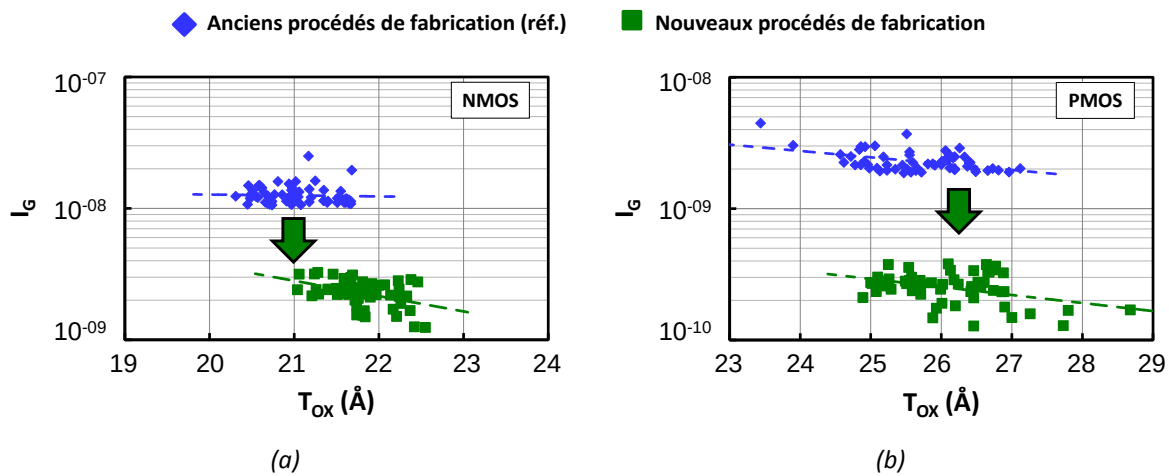


Figure III. 5.2 : Caractéristiques I_G - T_{ox} des transistors digitaux NMOS (a) et PMOS (b) avec les anciens et les nouveaux procédés de fabrication

5.2. Fiabilité de l'oxyde de grille

Nous allons étudier la dégradation des MOSFETs après un stress de type « CVS » en régime d'inversion. La Figure III.5.3 montre l'évolution du courant de grille I_G en fonction du temps de stress sur NMOS (a) et PMOS (b). Ces mesures ont été réalisées sur des matrices de transistors de surfaces limitées (10^{-5} cm^2) afin de réduire les problèmes de détection du claquage dus aux phénomènes de quasi-claquage et/ou claquage progressif (voir Chapitre I.2.1.1).

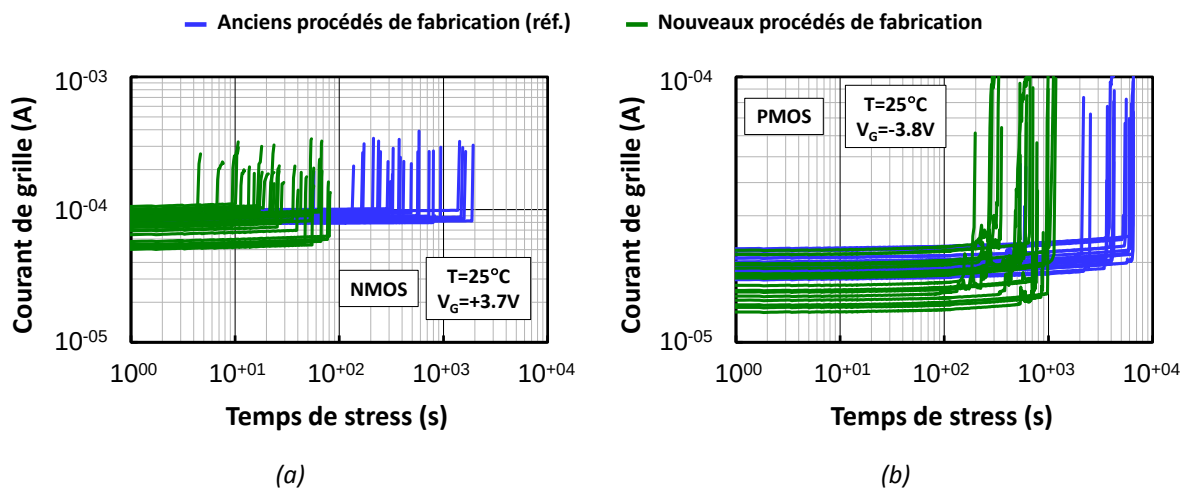


Figure III. 5.3 : Dégradation d' I_G pendant un stress « CVS » en régime d'inversion des transistors digitaux NMOS (a) et PMOS (b) avec les anciens et les nouveaux procédés de fabrication

Nous observons une diminution du temps au claquage avec les nouveaux procédés ainsi qu'une augmentation de la dispersion sur le courant due à la dispersion sur l'épaisseur d'oxyde. La diminution du temps au claquage vient probablement du fait que le courant de grille des nouveaux procédés de fabrication devient plus important à forte tension par rapport au niveau de courant des anciens procédés, comme illustré sur la Figure III.5.4.

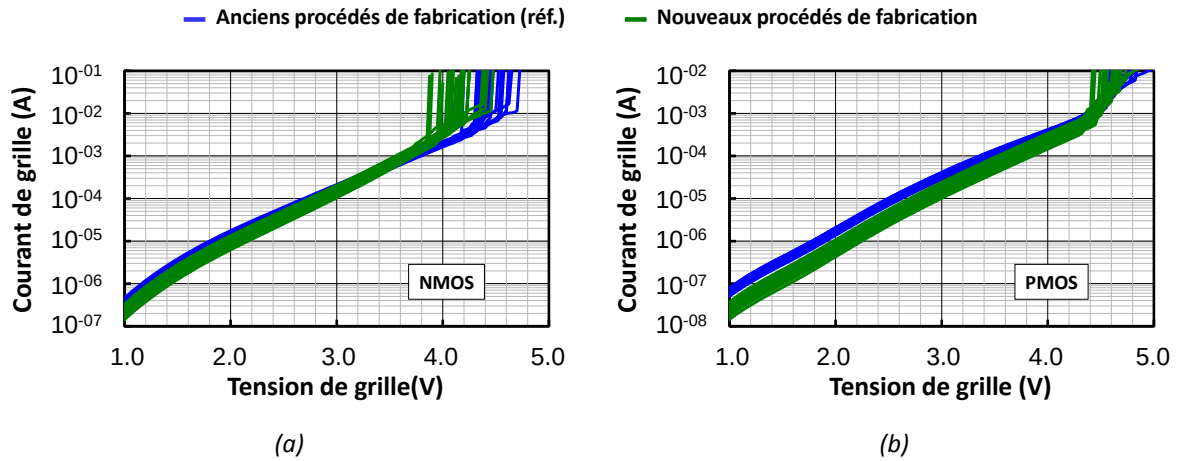


Figure III. 5.4 : Caractéristiques I_G - V_G en régime d'inversion des transistors digitaux NMOS (a) et PMOS (b) avec les anciens et les nouveaux procédés de fabrication

Dans le but de valider les performances en fiabilité des oxydes de grille avec les nouveaux procédés, il est donc nécessaire de calculer la durée de vie de ces derniers et de la comparer aux critères de validation. Pour cela, de nouveaux tests de type « CVS » ont été réalisés à plusieurs températures et différentes tensions afin de déterminer le facteur d'accélération en tension (n) et l'énergie d'activation (E_A). La durée de vie se calcule à l'aide de l'équation suivante :

$$TDDb = t_0 * V_{op}^{-n} * \exp\left(\frac{q * E_A}{K_B} * \left[\frac{1}{T_{op}} - \frac{1}{T_0}\right]\right) * \left(\frac{A_{op}}{A_0}\right)^{\frac{1}{\beta}} * \exp\left(\frac{\ln(-\ln(1-F))}{\beta}\right) \quad (III.3)$$

Où V_{op} , T_{op} et A_{op} sont respectivement la tension, la température et l'aire du dispositif lors de l'utilisation du produit, T_0 et A_0 sont respectivement la température et l'aire du dispositif lors des tests de mesures, β est la pente de Weibull, $\ln(-\ln(1-F))$ est la fonction cumulée de défaillance qui permet de donner un critère sur le niveau de défaillance et t_0 est une constante.

Les durées de vie des transistors NMOS et PMOS ont été déterminées pour la condition de pire cas lors de l'utilisation ($V_{op}=1.47V$, $T_{op}=150^\circ C$ et $A_{op}=5.0*10^{-2}cm^2$) et pour quatre niveaux de défaillance :

63%, 100ppm, 10ppm et 1ppm. La Figure III.5.5 montre la durée de vie en fonction du niveau de défaillance pour les transistors à canal n (a) et à canal p (b).

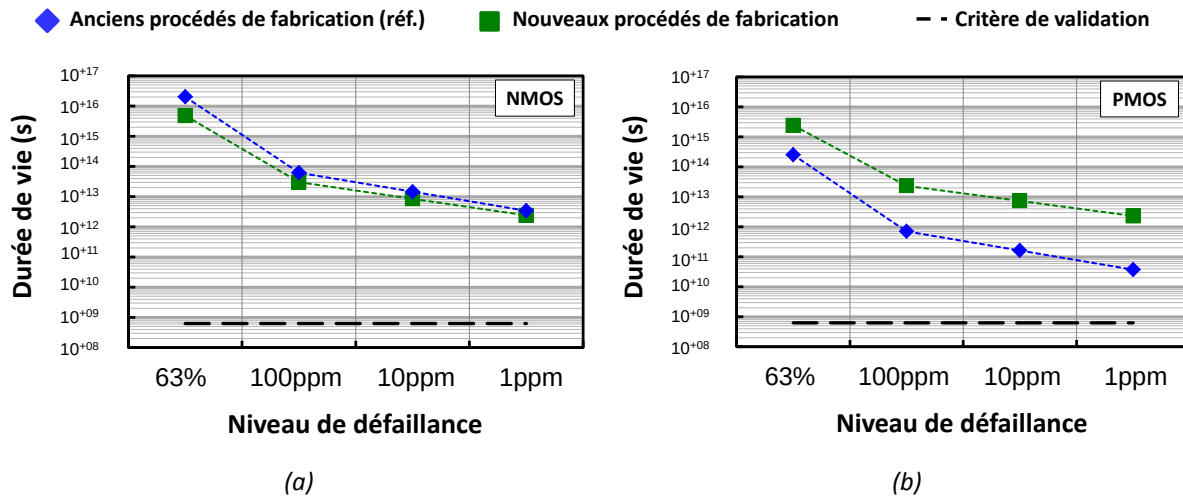


Figure III. 5.5 : Durée de vie pour quatre niveaux de défaillance après un stress du type « CVS » des transistors digitaux NMOS (a) et PMOS (b) avec les anciens et les nouveaux procédés de fabrication

Le critère de validation de 20 ans de durée de vie pour les trois conditions d'utilisation et pour les quatre niveaux de défaillance est validé pour NMOS et PMOS. Donc, malgré un temps au claquage plus faible, les nouveaux procédés de fabrication permettant une amélioration de la mobilité des porteurs dans le canal ainsi qu'une diminution de la fuite de grille, ne montrent aucun inconvénient en terme de performances en fiabilité.

6. Conclusion

Plusieurs solutions d'amélioration des performances des transistors pour applications digitales présents dans les nœuds technologiques les plus avancés ont été intégrées dans la technologie eNVM CMOS 90nm.

Nous avons pu mettre en évidence la réduction de la fuite de grille sur les NMOS et PMOS grâce la nitruration par plasma (DPN). De plus, la rotation du substrat à 45° et une contrainte mécanique du CESL en tension, ont permis l'augmentation de la mobilité des trous et des électrons. En supplément, ces différents procédés n'ont montré aucun inconvénient en termes de fiabilité.

Nous avons également étudié l'influence que peut avoir un nouveau procédé de nitruration en chambre plasma, dédié à un composant spécifique (transistor pour applications digitales), sur d'autres dispositifs MOS, notamment sur les transistors « High Voltage » ou HV. Nous avons démontré la présence de charges négatives dans l'oxyde de grille des transistors HV lorsque le polysilicium n'est pas dopé au moment du recuit à très haute température (ici 1100°C) – recuit nécessaire après nitruration de l'oxyde dans une chambre plasma. Ces charges ont un impact sur la fiabilité du transistor. En effet, la dérive des paramètres est moindre sur les transistors ayant des charges négatives supplémentaires avant un stress électrique. Ce phénomène a été observé lors d'un stress par injection de porteurs chauds et lors d'un stress de type BTI. De plus, une modification de la cinétique de dégradation lors d'un stress « CVS » a été observée.

L'étude sur les transistors HV a permis d'identifier un problème lié à une modification de procédé de fabrication dédié à un composant spécifique sur d'autres dispositifs MOS. Ainsi, nous avons pu clarifier les paramètres choisis sur la nitruration des oxydes pour applications digitales dans le but de limiter les variations sur les performances électriques et les performances en fiabilité des composants déjà présents lors de cette étape.

Chapitre IV: Nouvelles architectures MOS pour applications digitales et analogiques

Résumé

Dans ce chapitre, deux études distinctes sur l'architecture des transistors MOS seront réalisées.

Tout d'abord, une étude sur l'effet « hump ». L'effet « hump » a été largement étudié mais il est encore présent dans les technologies CMOS. Il résulte d'une variation de la pente sous le seuil et dans le courant de fuite associé. Nous proposons de nouvelles architectures MOS pour applications analogiques permettant la suppression de l'effet « hump ». L'effet « hump » sera caractérisé à l'aide d'une méthode statistique de mesures paramétriques. Afin de compléter ces résultats de mesures paramétriques, des simulations TCAD (Technology Computer-Aided Design) à trois dimensions seront réalisées sur les transistors « standard » et « en forme de 8 » dans le but de comprendre comment l'effet « hump » est supprimé. De plus, toutes ces nouvelles architectures seront caractérisées en termes de fiabilité. Des mesures par HCI et LRVS seront réalisées.

Une deuxième étude sur le déplacement des contacts de grille sur l'aire d'active sera réalisée dans le but de diminuer l'aire totale de l'architecture CMOS. Des transistors « faibles tensions » pour applications analogiques et digitales ayant des contacts de grille sur le STI (architecture de référence) ou sur l'aire d'active (architecture innovante) seront étudiés. En utilisant des mesures de paramètres électriques, LRVS et HCI, nous évaluerons les performances électriques et la fiabilité des dispositifs étudiés avec différentes dimensions.

Sommaire

1.	Introduction : Intérêts des nouvelles architectures.....	150
2.	Nouvelles architectures afin de supprimer l'effet « hump »	151
2.1.	Qu'est-ce que l'effet « hump » ?	151
2.1.1.	Définition et conséquences de l'effet « hump »	151
2.1.2.	Méthode de caractérisation	153
2.2.	Etude des transistors « papillons »	154
2.3.	Etude des transistors « en forme de 8 »	158
2.4.	Etude des transistors « octogonaux » et « circulaires »	161
2.5.	Résumé sur les nouvelles architectures étudiées afin de supprimer l'effet « hump »	164
3.	Nouvelles architectures afin de diminuer l'aire totale du CMOS	166
3.1.	Contexte de l'étude : contact de grille sur l'aire d'active	166
3.2.	Impact des contacts de grille sur l'aire d'active sur les performances électriques.....	167
3.3.	Impact des contacts de grille sur l'aire d'active sur la fiabilité.....	172
4.	Conclusion.....	176

1. Introduction : Intérêts des nouvelles architectures

L'architecture conventionnelle du MOSFET atteint certaines limites. Nous allons en décrire deux variations que nous allons ensuite étudier.

Tout d'abord, dans le cas des technologies à mémoires CMOS actuelles, le procédé de fabrication utilise la méthode de Tranchée Isolante peu Profonde (STI) pour augmenter les performances et la densité d'intégration des transistors grâce à une séparation abrupte entre la tranchée d'isolation et la zone d'active. Cette séparation abrupte entre STI et la zone d'active recouverte de poly-silicium peut être responsable de la création de transistors parasites étroits situés de part et d'autre du transistor principal. Plusieurs études ont été réalisées dans le but de comprendre l'effet « hump » généré par ces transistors de bord, cependant il reste toujours présent sur certaines technologies CMOS. Par rapport à l'architecture conventionnelle du transistor MOS, d'autres architectures, comme les transistors « circulaires » [De Lima09], permettent la suppression de l'effet « hump ». Dans ce contexte, nous allons voir quatre nouvelles architectures qui seront caractérisées en termes d'effet « hump » et de performance en fiabilité.

Par la suite, nous allons modifier l'architecture du MOSFET afin de miniaturiser les transistors CMOS. La loi de Moore [Moore65] s'est imposée comme un modèle économique décrivant l'évolution technologique des circuits intégrés. Elle prévoit une multiplication par 2 tous les 18 mois du nombre de transistors par puce. La réduction de la surface des circuits passe par la diminution de la longueur (L) et la largeur (W) du canal des transistors MOS, imposant une réduction de l'épaisseur d'oxyde de grille (T_{ox}) et des tensions d'alimentation (V_{DD}). L'objectif ici est de diminuer la surface effective du transistor sans réduire la surface de son canal. Dans l'architecture conventionnelle du MOSFET, le contact de grille est généralement placé sur le STI. Cependant, déplacer le contact de grille sur l'aire d'active pourrait réduire l'aire des dispositifs CMOS sans modifier la longueur et la largeur effectives des transistors. Cette nouvelle architecture sera donc étudiée en termes de performances électriques et de fiabilité.

2. Nouvelles architectures afin de supprimer l'effet « hump »

Dans cette partie, plusieurs modifications d'architecture des MOSFETs vont être étudiées dans le but de supprimer l'effet « hump ». Dans un premier temps nous allons rappeler ce qu'est l'effet « hump », ses conséquences sur les caractéristiques des transistors MOS et la méthode de caractérisation de cet effet. Ensuite, nous étudierons les transistors « papillons », « en forme de 8 », « octogonaux » et « circulaires ». Nous verrons dans quel cas et pourquoi ils permettent la suppression de l'effet « hump » ainsi que leurs impacts sur la fiabilité des oxyde de grille et du transistor MOS.

2.1. Qu'est-ce que l'effet « hump » ?

2.1.1. Définition et conséquences de l'effet « hump »

Du fait de l'évolution des technologies submicroniques, les transitions entre l'aire d'active et l'isolation deviennent de plus en plus abruptes ce qui permet d'augmenter la densité d'intégration et les performances des dispositifs MOS [Bryant94]. Dans le cas des technologies à mémoires non volatiles embarquées, l'effet « hump » peut être exacerbé sur les MOSFETs, notamment pour des applications analogiques. De nombreux travaux ont été menés afin de comprendre l'effet « hump » [Fuse87] [Park08]. L'effet « hump » se matérialise comme une « bosse » sur les caractéristiques I_D - V_G . Sur la Figure IV.2.1 nous observons qu'à $V_B = 0$, l'effet « hump » est légèrement visible et qu'il est accentué significativement par l'application d'une tension de substrat ($V_B = -V_{DD}$). L'effet « hump » est dû à la présence de transistors parasites en bord d'active, présentant une tension de seuil plus faible que celle du transistor intrinsèque. Ainsi, le schéma électrique d'un transistor présentant de l'effet « hump » correspond à trois transistors connectés en parallèle : 1 transistor principal (intrinsèque) et 2 transistors parasites. Ces transistors parasites de bord présentent une faible tension de seuil V_{TH} , une largeur W plus petite et une diminution de leur sensibilité à la polarisation du substrat [Sallagoity96].

La faible tension de seuil des transistors parasites peut provenir de plusieurs facteurs :

- Capacité de l'oxyde C_{OX} plus forte ;
- Dopage du substrat N_{sub} plus faible.

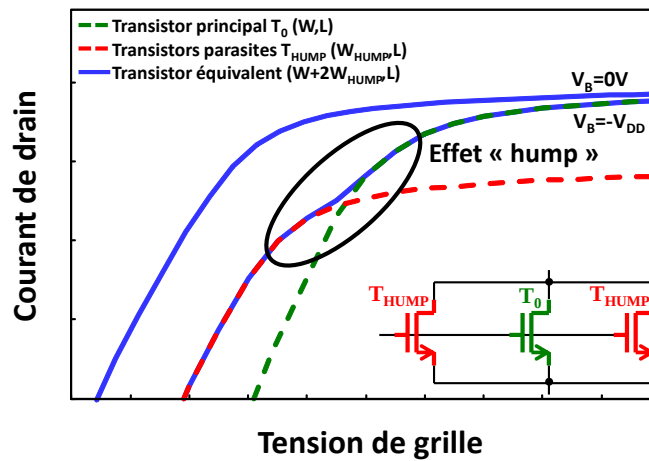


Figure IV. 2.1 : I_D - V_G avec apparition de l'effet « hump »

La géométrie en forme de « cuvette » de l'aire d'active peut induire une légère diminution de l'épaisseur d'oxyde aux bords. Cette géométrie est visible avec une coupe TEM (« Transmission Electron Microscopy ») dans la direction de la largeur, comme présentée sur la Figure IV.2.2. La différence entre la longueur du bord d'active (R_1) et la longueur du bord du poly-silicium (R_2), entraîne une variation de la capacité de l'oxyde dépendant du côté de la forme en « cuvette ».

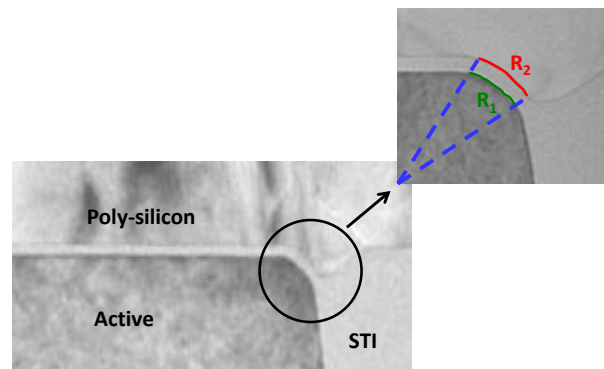


Figure IV. 2.2 : Coupe TEM dans la direction de la largeur d'un transistor MOS

La diminution de la tension de seuil peut être expliquée par la différence de dopage entre le centre et le bord des transistors due à la ségrégation des dopants [Nouri00]. De plus, une ségrégation plus prononcée des atomes de Bore (dopants dans le canal des transistors NMOS) que celle des atomes de Phosphore des transistors PMOS, permet d'expliquer la différence observée entre un transistor à canal n et à canal p [Joly11b]. En effet, généralement l'effet « hump » n'est presque pas visible sur les caractéristiques I_D - V_G des transistors PMOS alors que celui-ci est nettement appréciable sur les I_D - V_G des transistors NMOS.

Outre la différence entre NMOS et PMOS, l'effet « hump » peut dépendre également des dimensionnels du transistor. En effet, il a été démontré que l'impact des transistors de bord est d'autant plus important que le transistor principal est large, et que l'impact de la longueur du transistor sur l'effet « hump » n'est pas significatif [Sallagoity96].

Dans ce travail nous étudions les transistors pour applications analogiques à canal n qui ont une épaisseur d'oxyde de 65 Å travaillant à $V_{DD} = 3.3$ V et qui ont une grande largeur ($W = 10$ μm) et différentes longueurs. Toutes ces caractéristiques permettent de voir clairement l'effet « hump ». A noter que pour de faibles longueurs du canal, la dispersion entre dispositifs est importante.

2.1.2. Méthode de caractérisation

Une méthode statistique de mesures paramétriques basée sur celle de Schwantes [Schwantes05] est implémentée dans le but de quantifier l'effet « hump ». Dans cette méthode, un paramètre nommé N_{HUMP} est calculé à partir des résultats classiques I_D - V_G , comme illustré sur la Figure IV.2.3.

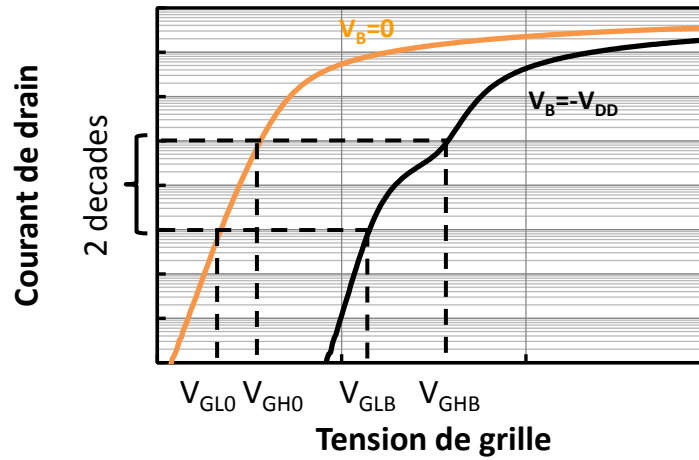


Figure IV. 2.3 : I_D - V_G avec mesures des tensions pour le paramètre N_{HUMP}

Quatre tensions de grille sont mesurées à courant de drain fixe (Tableau IV.1), pour un courant fort et faible (deux décades plus petites) avec et sans effet substrat (V_B). La tension du substrat utilisée est $-V_{DD}$ et la tension de drain est 100 mV. N_{HUMP} est calculé comme suit :

$$\Delta V_0 = V_{GH0} - V_{GL0} \quad (IV.1)$$

$$\Delta V_H = V_{GHB} - V_{GLB} \quad (IV.2)$$

$$N_{HUMP} = \Delta V_H - \Delta V_0 \quad (IV.3)$$

Tableau IV.1 : Récapitulatif des tensions mesurées pour N_{HUMP}

	V_{GH0}	V_{GHB}	V_{GL0}	V_{GLB}
Tension de substrat V_b	0	-3.3V	0	-3.3V
Courant de drain I_D	100 nA * W/L		1 nA * W/L	

Sachant que lorsqu'une tension de substrat négative est appliquée sur un NMOS sans effet « hump » la pente sous le seuil devient plus faible (en mV/dec) [Brews79], le signe du paramètre N_{HUMP} nous informe sur la présence (N_{HUMP} positif) ou pas (N_{HUMP} négatif) de l'effet « hump ».

2.2. Etude des transistors « papillons »

Le premier dispositif étudié, appelé « papillon », présente un élargissement des bords du poly-silicium (ΔW et ΔL) avec des angles à 45°, comme illustré sur la Figure IV.2.4. Cette élargissement est réalisé dans le but d'augmenter la longueur du transistor dans ces régions et par conséquent de diminuer le courant du canal des transistors parasites.

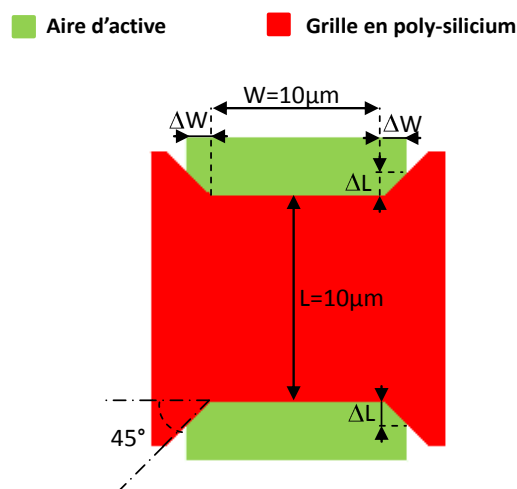


Figure IV. 2.4 : Schéma d'un transistor « papillon »

La caractérisation de l'effet « hump » avec la méthode décrite précédemment est faite sur les transistors « papillons » pour des canaux longs ($L = 10\mu\text{m}$) et courts ($L = 0.38\mu\text{m}$). Les transistors « standards » sont également caractérisés en tant que référence. 58 dispositifs sont étudiés dans le but d'extraire le paramètre N_{HUMP} avec une statistique satisfaisante. La Figure IV.2.5 présente les résultats. L'effet « hump » est visible sur les transistors « standards » pour toutes les dimensions.

Concernant les transistors « papillons », l'effet « hump » est présent dans le cas du canal long alors qu'il est complètement supprimé dans le cas du canal court.

Ces résultats sur les transistors « papillons » sont cohérents par rapport à l'effet de longueur et l'effet canaux courts. En effet, tout d'abord, l'augmentation de la longueur des transistors parasites, $2\Delta L$, est plus élevée sur les transistors courts. Si ΔL est petit comparé à la longueur du transistor L , le courant aux bords ne pourra pas être suffisamment diminué, alors que sur les dispositifs courts, le courant des transistors parasites pourra être en grande partie réduit grâce à l'augmentation de leur longueur. De plus, la variation en V_{TH} est plus importante lors d'une modification en L sur des transistors courts que sur des transistors longs, due aux effets canaux courts [Ballay81] [Liu93] [Yu97]. Nous avons donc une réduction importante du courant et la suppression de l'effet « hump » sur les transistors « papillons » à canaux courts.

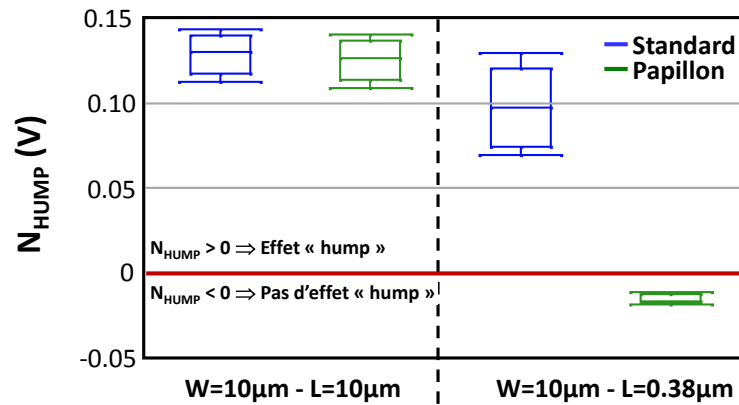


Figure IV. 2.5 : N_{HUMP} pour des transistors analogiques « standards » et « papillons » à canal long et court

Dans le but de valider la fiabilité des transistors fabriqués avec la nouvelle architecture MOS, des études sur la dégradation par HCI et sur le claquage d'oxyde sont réalisées.

Dans un premier temps, nous avons étudié la dégradation des MOSFETs après injection de porteurs chauds. La méthode consiste à effectuer alternativement mesure paramétrique et stress continu. Les conditions de stress ont été choisies afin d'obtenir une tension de grille correspondant à un courant de substrat maximal, condition de pire cas de dégradation. Le courant de drain en saturation (I_{Dsat}) est mesuré à $V_G = V_D = V_{DD} = 3.3$ V et la tension de seuil (V_{TH}) est déterminée avec la méthode d'extrapolation en régime linéaire. Les variations relatives d' I_{Dsat} et les variations effectives de V_{TH} en fonction du temps de stress des transistors « papillons » sont comparées à celles d'un transistor

« standard ». La Figure IV.2.6 montre que la dégradation des transistors « papillons » est moins importante que celle des transistors « standards ».

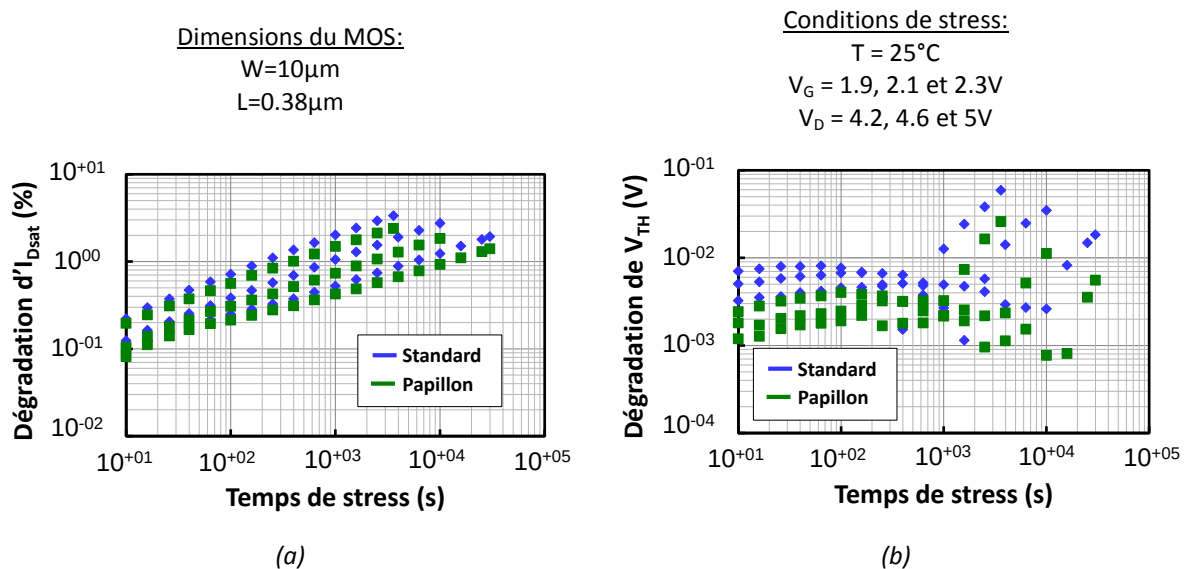


Figure IV. 2.6 : Dégradation de I_{Dsat} (a) et V_{TH} (b) en fonction du temps de stress des transistors analogiques « standards » et « papillons » pendant un stress par injection de porteurs chauds

Ce phénomène est cohérent avec l'effet en longueur généralement observé lors d'un stress par injection de porteurs chauds : augmentation de la dégradation avec la réduction de la longueur du canal [Chung91]. La nouvelle architecture du transistor « papillon » ne pose donc aucun inconvénient en terme de dégradation par HCI.

La grille en poly-silicium du transistor « papillon » est dessinée avec des angles à 45° sur l'aire d'active ; cette particularité n'est pas présente sur les transistors « standards ». Pour cette raison, des mesures sur la fiabilité de l'oxyde sont nécessaires. Des mesures LRVS sont donc réalisées sur deux types de dispositifs : capacité avec des « doigts » de poly-silicium linéaires (Figure IV.2.7.a) et capacité avec des « doigts » de poly-silicium avec des angles à 45° (Figure IV.2.7.b). La structure en « doigt » de poly-silicium peut être considérée comme « standard » car il s'agit de plusieurs transistors MOS montés en parallèle. De plus, cette structure permet d'augmenter l'effet dû aux angles à 45°. L'aire de ces dispositifs est de 50 000 μm^2 et la largeur des « doigts » de poly-silicium est de 1 μm . Le nombre de capacités testées est 150 par type de capacité, afin de pouvoir obtenir des résultats avec une statistique satisfaisante.

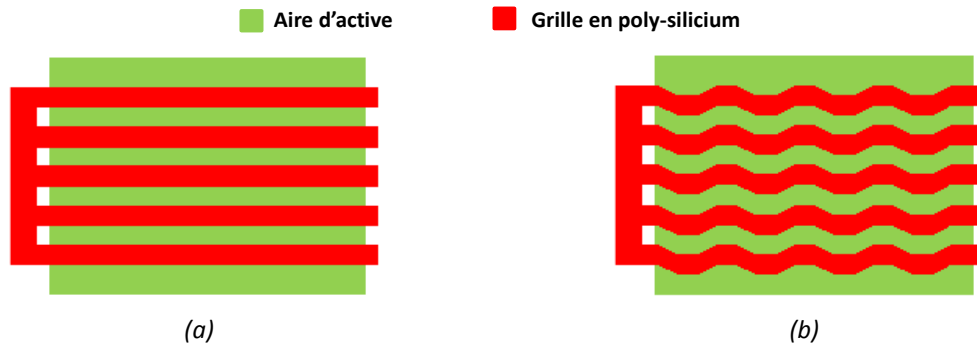


Figure IV. 2.7 : Schéma d'un transistor avec des « doigts » de poly-silicium linéaires (a) et avec des « doigts » de poly-silicium ayant des angles à 45° (b)

La Figure IV.2.8 montre la distribution cumulée de Weibull des tensions de claquage V_{BD} des capacités avec des « doigts » de poly-silicium linéaires et avec des angles à 45°. Nous pouvons noter que V_{BD} est identique pour ces deux dispositifs et que leur distribution statistique ne présente pas de données extrinsèques (pas de queue de distribution). En conséquence, la géométrie de la grille en poly-silicium avec des angles à 45° sur l'aire d'active ne modifie pas la fiabilité de l'oxyde de grille. Ce résultat montre que la tension de claquage ne dépend pas de l'architecture de l'oxyde mais seulement de son épaisseur et de l'aire totale du dispositif (pour une même rampe de stress) [Monsieur01] [Rosenbaum96].

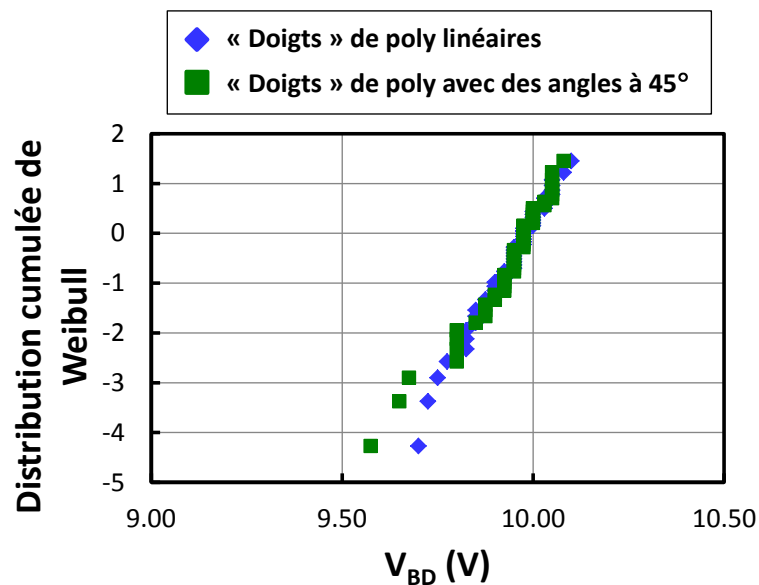


Figure IV. 2.8 : Distribution cumulée de Weibull de la tension de claquage des capacités analogiques avec des « doigts » de poly-silicium linéaires et avec des angles à 45°

2.3. Etude des transistors « en forme de 8 »

Le second dispositif étudié, appelé « en forme de 8 », présente une réduction des aires de source et de drain par rapport à la largeur d'active (W_0), comme illustré sur la Figure IV.2.9. Cette réduction est réalisée dans le but que le courant du canal ne passe pas sur les bords d'active.

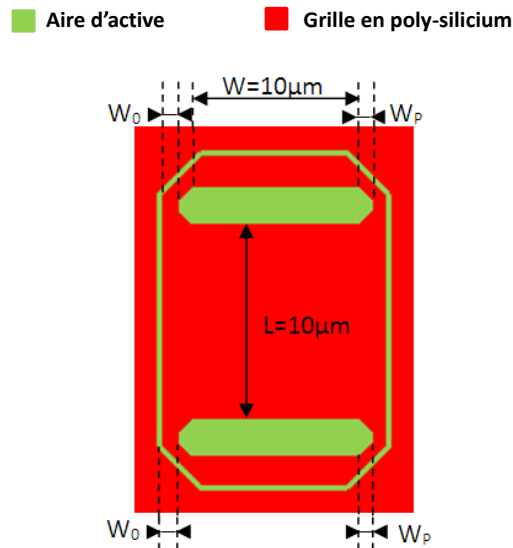


Figure IV. 2.9 : Schéma d'un transistor « en forme de 8 »

La Figure IV.2.10 présente la caractérisation de l'effet « hump » avec la méthode décrite précédemment effectuée sur les transistors « standard » et « en forme de 8 » avec $W_0 = 0.3\mu\text{m}$, pour des longueurs de canal longue ($L = 10\mu\text{m}$) et courte ($L = 0.38\mu\text{m}$). L'effet « hump » est présent dans le cas des transistors « en forme de 8 » à canal long et complètement supprimé dans le cas des transistors « en forme de 8 » à canal court.

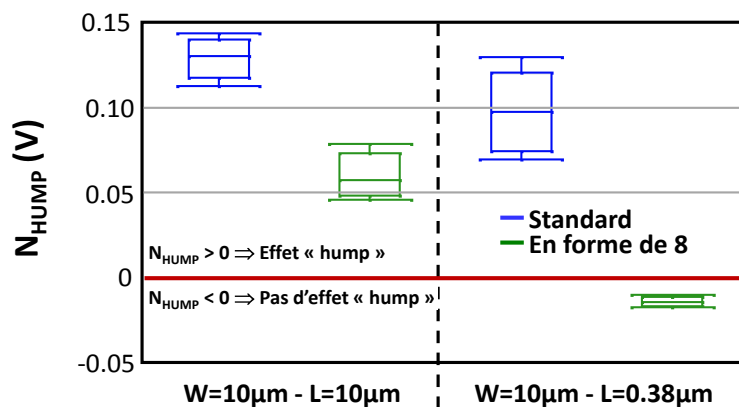


Figure IV. 2.10 : N_{HUMP} pour des transistors analogiques « standard » et « en forme de 8 » à canal long et à canal court

L'effet de longueur est plus complexe que sur le transistor « papillon » vu précédemment et peut être démontré par simulation TCAD (« Technology Computer-Aided Desig ») à trois dimensions. Tout d'abord, avec la TCAD à trois dimensions, nous avons pu mettre en évidence l'effet « hump » sur des MOSFETs standards en utilisant la technologie présentée, notamment avec la forme en « cuvette » de l'aire d'active ainsi que la ségrégation des dopants. La Figure IV.2.11 présente les résultats des caractéristiques I_D - V_G pour une tension de substrat de -3V des transistors courts ($L = 0.38 \mu\text{m}$) « standard » et « en forme de 8 ». Trois dimensions de W_0 (distance entre le bord d'active et l'aire de source ou de drain) sont utilisées.

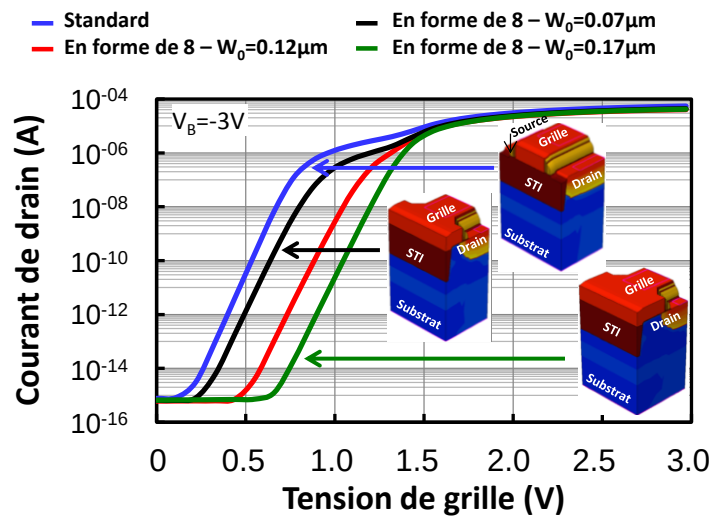


Figure IV. 2.11 : Simulation TCAD des caractéristiques I_D - V_G pour des transistors analogiques « standard » et « en forme de 8 » avec plusieurs dimensions de W_0

En accord avec nos mesures, l'effet « hump » est visible sur les transistors « standard » et « en forme de 8 » avec un W_0 petit et moyen ($0.07 \mu\text{m}$ et de $0.12 \mu\text{m}$ respectivement) mais pas sur les transistors « en forme de 8 » avec un large W_0 ($W_0 = 0.17 \mu\text{m}$). Dans le but d'expliquer l'effet en W_0 , des simulations des lignes de courant le long du canal sont montrées sur la Figure IV.2.12. Nous observons sur ces Figures un demi-transistor avec la direction des lignes de courants ainsi que l'intensité du courant. Le transistor « standard » présente une forte intensité de courant aux bords d'active comme illustré sur la Figure IV.2.12.a (zone en rouge). Concernant les transistors « en forme de 8 », pour les W_0 petit et moyen, du fait de la courbure des lignes de courants le long du canal (Figure IV.2.12.b et IV.2.12.c respectivement), le courant du canal passe sur les bords d'active qui ont une faible tension de seuil et l'effet « hump » est réduit (cela est dû à la réduction de l'intensité du courant dans cette zone) mais pas supprimé. Pour les large W_0 , le courant du canal ne passe pas sur les bords d'active, comme illustré sur la Figure IV.2.12.d, et par conséquent l'effet « hump » est supprimé.

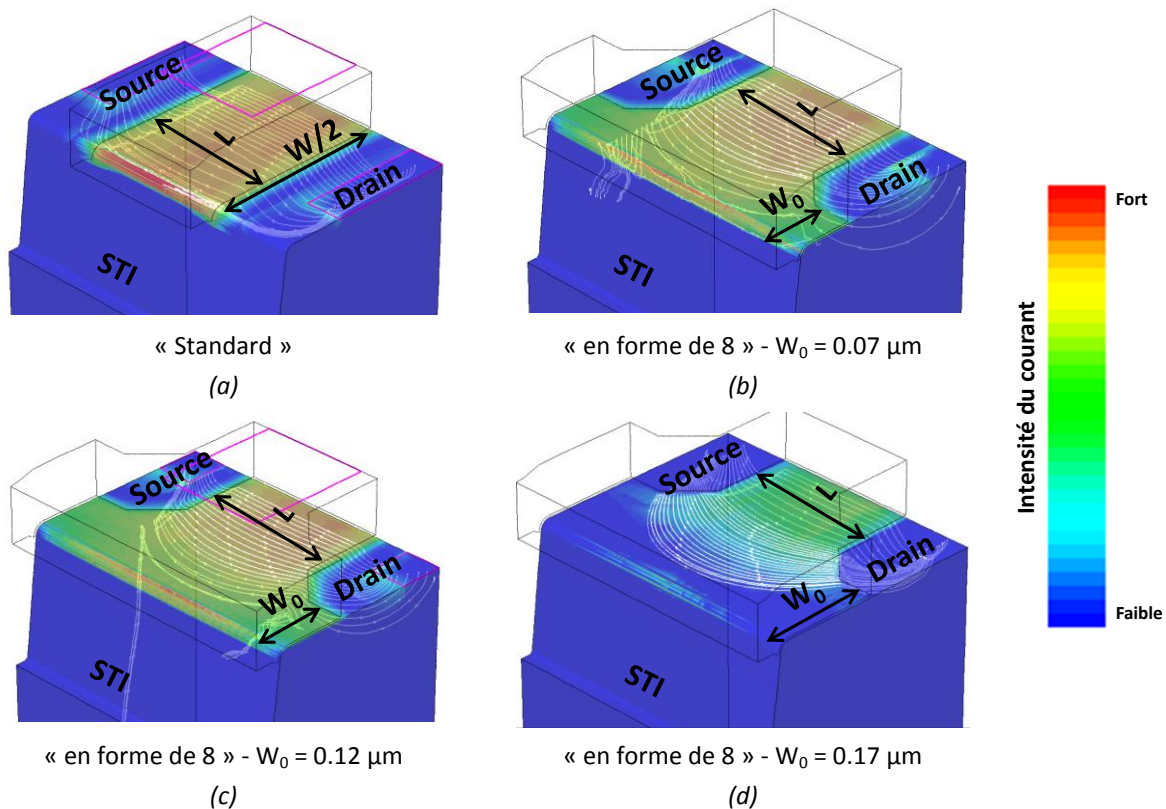


Figure IV. 2.12 : Simulation des lignes de courants pour des transistors analogiques « standard » et « en forme de 8 » courts avec plusieurs dimensions de W_0

Par conséquent, le transistor « en forme de 8 » à canal court permet la suppression de l'effet de « hump » en modifiant les courbures des lignes de courants entre la source et le drain afin que le courant du canal ne passe pas sur les bords d'active. Ce phénomène est concevable qu'à partir d'une certaine distance entre le bord d'active et l'aire de source ou de drain (W_0) – Ici $W_0 = 0.17 \mu\text{m}$. Cette distance (W_0) doit être beaucoup plus importante afin de supprimer l'effet « hump » sur les transistors longs. En effet, la variation des courbures des lignes de courants pour un même W_0 , est relativement plus faible sur des canaux longs. Cependant, cette hypothèse reste à être confirmée par simulation TCAD.

Dans le but de valider les performances en fiabilité des transistors « en forme de 8 », des études sur la dégradation par HCI sont réalisées avec les mêmes conditions de stress que précédemment sur les transistors « papillons ». Le transistor « en forme de 8 » présente une grille en poly-silicium dessinée avec des angles à 45° sur l'aire d'active, comme pour le transistor « papillon ». Cependant, cette particularité n'a montré aucun inconvénient en terme de tension de claquage dans le paragraphe précédent et ne sera donc pas caractérisée de nouveau.

La Figure IV.2.13 montre l'évolution de I_{Dsat} (a) et de V_{TH} (b) en fonction du temps pendant un stress par injection de porteurs chauds sur des transistors « standards » et « en forme de 8 » avec $W_0 = 0.3 \mu m$. Moins de dégradation est observée sur les transistors « en forme de 8 ». Cet effet peut être attribué aux transistors de bord se dégradant plus vite que le transistor principal. En effet, il a été observé qu'au cours du stress, la dégradation est d'autant plus importante que W est petit [Nishigohri96] [Math08]. Cela implique qu'une amélioration de la fiabilité des circuits peut être obtenue avec l'utilisation de transistors sans effet « hump ». De plus, l'effet « hump » devrait augmenter avec le temps de stress sur les transistors « standards ». Cette architecture ne présente donc pas d'inconvénient en terme de performances en fiabilité.

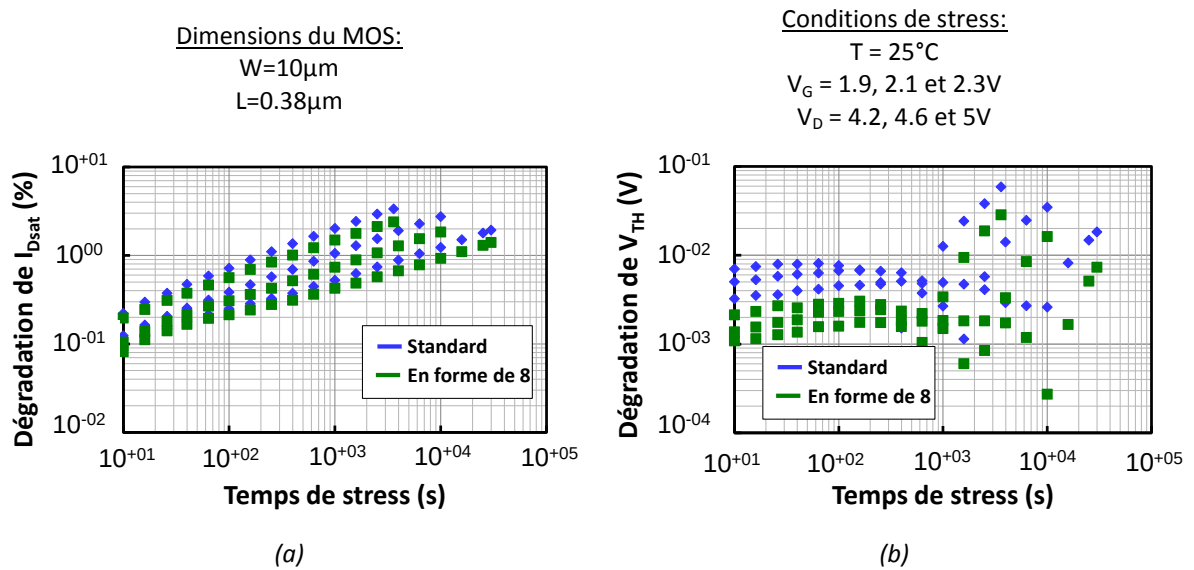


Figure IV. 2.13 : Dégradation de I_{Dsat} (a) et V_{TH} (b) en fonction du temps de stress des transistors analogiques « standards » et « en forme de 8 » pendant un stress par injection de porteurs chauds

2.4. Etude des transistors « octogonaux » et « circulaires »

Les troisième et quatrième dispositifs étudiés, appelés « octogonal » et « circulaire » respectivement, présentent une grille en poly-silicium de forme octogonale ou circulaire, comme leur nom l'indique et comme illustré sur la Figure IV.2.14. Arbitrairement, le drain est situé à l'intérieur de la grille en poly-silicium alors que la source est située à l'extérieur. Ces formes particulières ne présentent pas d'interface active/STI recouverte par du poly-silicium et donc n'ont pas de transistors de bord responsables de l'effet « hump ».

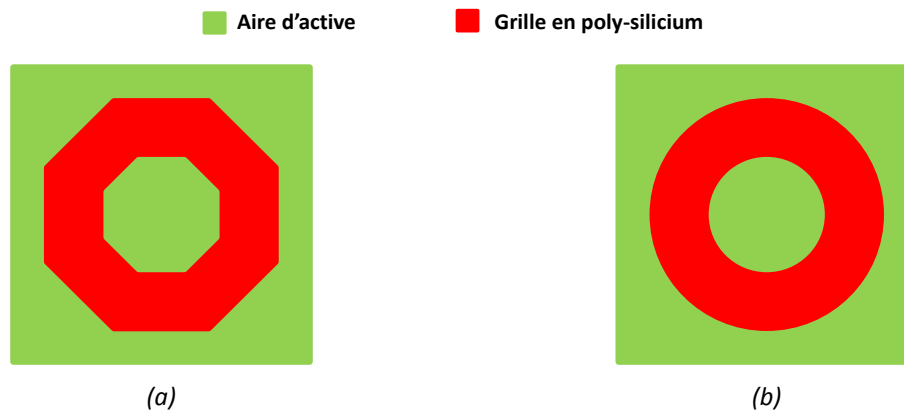


Figure IV. 2.14 : Schéma d'un transistor « octogonal » (a) et « circulaire » (b)

La Figure IV.2.15 présente la caractérisation de l'effet « hump » avec la méthode décrite précédemment effectuée sur les transistors « standards », « octogonaux » et « circulaires » pour des longueurs de canal moyen ($L = 2 \mu\text{m}$) et court ($L = 0.38 \mu\text{m}$). L'effet « hump » est complètement supprimé avec les nouvelles architectures quelle que soit la longueur du canal.

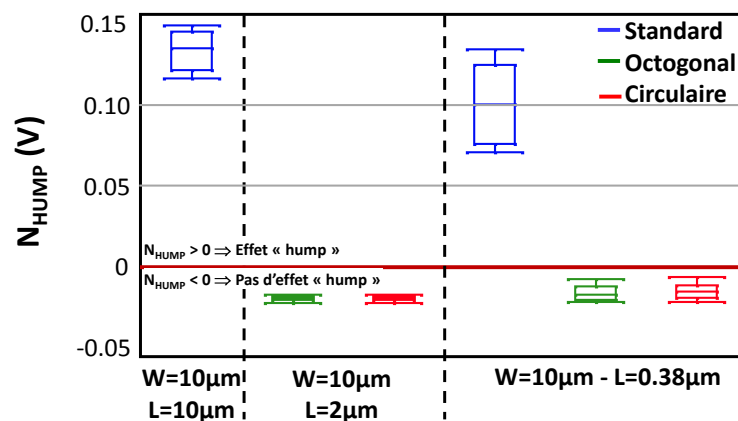


Figure IV. 2.15 : N_{HUMP} pour des transistors analogiques « standards », « octogonaux » et « circulaires » à différentes longueurs de canal

Des études sur la dégradation par injection de porteurs chauds sont réalisées avec les mêmes conditions de stress que précédemment sur les transistors « papillons » et « en forme de 8 ». La Figure IV.2.16 montre l'évolution du courant de drain en saturation (a) et l'évolution de la tension de seuil (b) en cours de stress, des transistors « standards », « octogonaux » et « circulaires ». Nous observons une diminution de la dégradation de V_{TH} sur les dispositifs « octogonaux » et « circulaires » par rapport à celle du dispositif « standard », certainement due à l'absence des transistors parasites avec un W petit, comme vu précédemment.

Cependant, la dégradation d' I_{Dsat} est similaire entre les trois dispositifs. Cela peut s'expliquer par le fait que le courant en saturation est moins impacté par la présence des transistors de bord [Brut99]. En conséquence, ces résultats ne montrent aucun inconvénient en terme de dégradation par HCl pour ces nouvelles architectures.

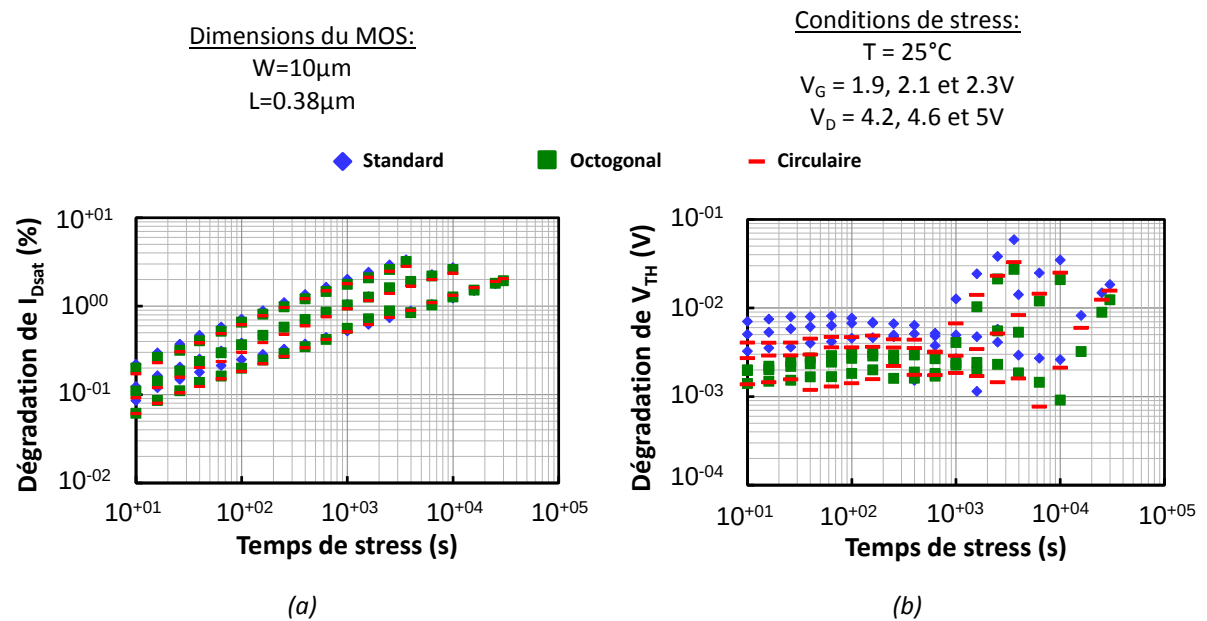


Figure IV. 2.16 : Dégradation de I_{Dsat} (a) et V_{TH} (b) en fonction du temps de stress des transistors analogiques « standards », « octogonaux » et « circulaires » pendant un stress par injection de porteurs chauds

L'architecture de ces transistors nécessite une étude complémentaire sur la qualité de l'oxyde de grille. En effet, premièrement, leurs géométries imposent l'utilisation de contact de grille par-dessus l'aire d'active (au lieu du STI dans l'architecture conventionnelle du MOSFET), non permise dans les règles de dessins. Deuxièmement, la surface fermée du poly-silicium peut causer des problèmes, notamment des résidus peuvent être présents aux bords de la zone en poly-silicium après nettoyage.

Une étude LRVS est donc réalisée sur 58 capacités, dans le but que cette étude soit statistiquement significative. Chaque capacité est composée d'une matrice de 1 000 transistors montés en parallèle et ayant une largeur de 10 μm et une longueur de 0.1 μm . La Figure IV.2.17 présente la distribution cumulée de Weibull des tensions de claquage V_{BD} des capacités « standards », « octogonales » et « circulaires ».

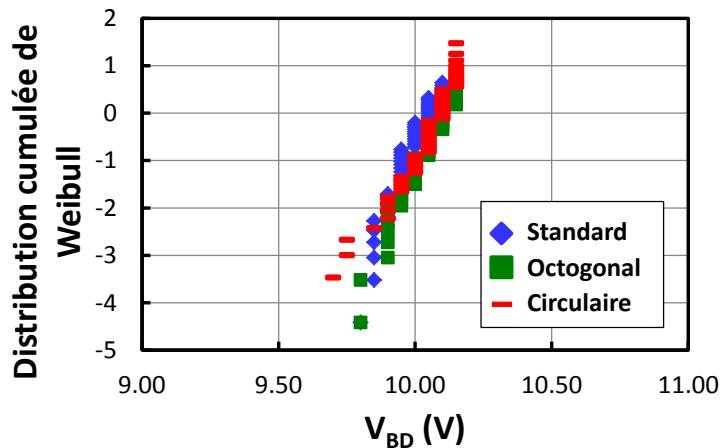


Figure IV. 2.17 : Distribution cumulée de Weibull de la tension de claquage des capacités analogiques « standards », « octogonales » et « circulaires »

Nous pouvons noter que ces trois dispositifs présentent des distributions de V_{BD} similaires, sans données extrinsèques (pas de queue de distribution). Par conséquent, la géométrie de la grille en poly-silicium en forme octogonale ou circulaire ne modifie pas la fiabilité de l'oxyde de grille.

Pour conclure sur les architectures octogonales et circulaires, il est important de noter que ces dernières présentent trois inconvénients majeurs, à savoir :

- La limitation du rapport W/L (impossibilité de fabriquer des transistors « octogonaux » ou « circulaires » avec une largeur de $10\mu\text{m}$ et une longueur de $10\mu\text{m}$) ;
- La surface totale du transistor est plus importante que celle des transistors « standards » pour un même W et même L ;
- La nécessité de placer le contact de grille par-dessus l'aire d'active.

2.5. Résumé sur les nouvelles architectures étudiées afin de supprimer l'effet « hump »

Nous avons utilisé une méthode statistique de mesures paramétriques afin de quantifier l'effet « hump » sur les transistors « papillons », « en forme de 8 », « octogonaux » et « circulaires ».

Nous avons ainsi révélé la suppression de l'effet « hump » sur les transistors courts « papillons » et « en forme de 8 ». En effet, le transistor « papillon », présentant un élargissement des bords du poly-silicium (ΔW et ΔL), permet la diminution du courant du canal des transistors parasites en fonction

du rapport : $\Delta L/L$. Dans ce cas, l'effet « hump » ne peut être supprimé à partir d'une certaine valeur de ce rapport $\Delta L/L$.

Concernant le transistor « en forme de 8 », qui présente une réduction des aires de source et de drain par rapport à la largeur d'active (W_0), il permet la modification des courbures des lignes de courants en fonction du rapport W_0/L . Dans ce cas, à partir d'une certaine valeur de ce rapport W_0/L , le courant ne passe pas sur les bords d'active et l'effet « hump » est supprimé.

Les transistors « octogonaux » et « circulaires » permettent la suppression de l'effet « hump » car ils ne présentent pas d'interface active/STI recouverte par du poly-silicium et donc n'ont pas de transistors de bord responsables de l'effet « hump ». Ceci est vrai quel que soit le rapport W/L . Cependant, ce rapport W/L est limité avec de telles architectures.

En complément, nous avons démontré que ces nouvelles architectures ne montrent pas d'inconvénient en termes de performances en fiabilité.

3. Nouvelles architectures afin de diminuer l'aire totale du CMOS

3.1. Contexte de l'étude : contact de grille sur l'aire d'active

Dans l'architecture conventionnelle de MOSFET, le contact de grille est généralement placé sur le STI. Cependant, déplacer le contact de grille sur l'aire d'active pourrait réduire l'aire des dispositifs CMOS dans le but d'augmenter leur densité d'intégration et de diminuer le coût d'une technologie donnée. En effet, plusieurs améliorations d'architecture, comme l'optimisation de l'espacement du polysilicium, la distance active-poly et distance contact-poly, ont été proposées dans la littérature afin de réduire la taille des puces [Tsuni07] [Morifuji09].

De plus, les transistors « octogonaux » et « circulaires » étudiés précédemment sont apparus dans la littérature depuis les années 90 [Ker96], dans le but de supprimer l'effet « hump » (voir chapitre IV.2.4) et d'améliorer l'appariement pour les applications faibles puissances [Joly11a] ou pour des applications faibles bruits [Chiu11]. Du fait de leur géométrie, ces transistors utilisent des contacts de grille sur l'aire d'active. Toutefois, à notre connaissance, aucun travail n'a été fait dans le but d'étudier les performances et la fiabilité des MOSFETs linéaires ayant les contacts de grille sur l'aire d'active.

Dans la seconde partie de ce chapitre, les performances et la fiabilité des transistors « faible tension » avec les contacts de grille sur l'aire d'active sont étudiées et comparées à celles des transistors « faible tension » de référence ayant les contacts de grille sur STI. De plus, dans le but de démontrer la versatilité de la solution proposée ici, les transistors « faible tension » ciblant des applications analogiques et digitales sont étudiés. Pour rappel, les dispositifs pour applications analogiques ont une épaisseur d'oxyde de grille de 6.5 nm et peuvent être utilisés jusqu'à 3.3 V, alors que les dispositifs pour applications digitales ont une épaisseur d'oxyde de grille de 2.1nm et peuvent être utilisés jusqu'à 1.2 V.

La Figure IV.3.1 montre une vue en coupe TEM (« Transmission Electron Microscopy ») d'un MOSFET digital ayant le contact de grille sur l'aire d'active. Nous pouvons observer que le contact est bien aligné avec la grille et qu'il n'induit aucune dégradation morphologique du transistor.

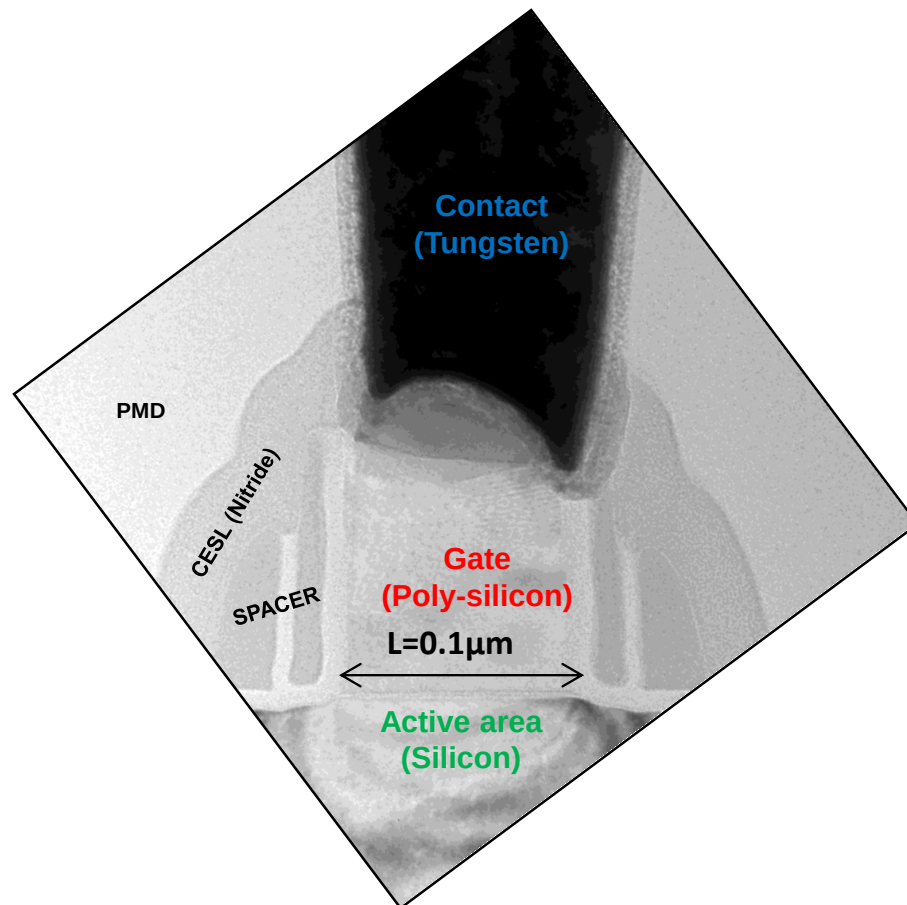


Figure IV.3.1 : Vue en coupe TEM d'un MOSFET ayant le contact de grille sur l'aire d'active

3.2. Impact des contacts de grille sur l'aire d'active sur les performances électriques

La Figure IV.3.2 représente l'architecture schématique des transistors MOS étudiés soulignant la position des contacts de grille : sur STI dans le cas des transistors de référence (a) et sur l'aire d'active dans le cas de la solution proposée (b). De plus, dans le but d'augmenter l'effet des contacts de grille, les transistors ayant une forte densité de contact de grille sur l'aire d'active sont également étudiés (c). Afin de comparer les performances électriques de ces trois types de transistors à canal n et p, les paramètres électriques suivants sont mesurés : tension de seuil (V_{TH}) déterminée en utilisant la méthode d'extrapolation en régime linéaire et le courant de drain en régime linéaire (I_{Dlin}) pour une tension de drain $V_D = 100$ mV pour les applications analogiques et $V_D = 25$ mV pour les applications digitales.

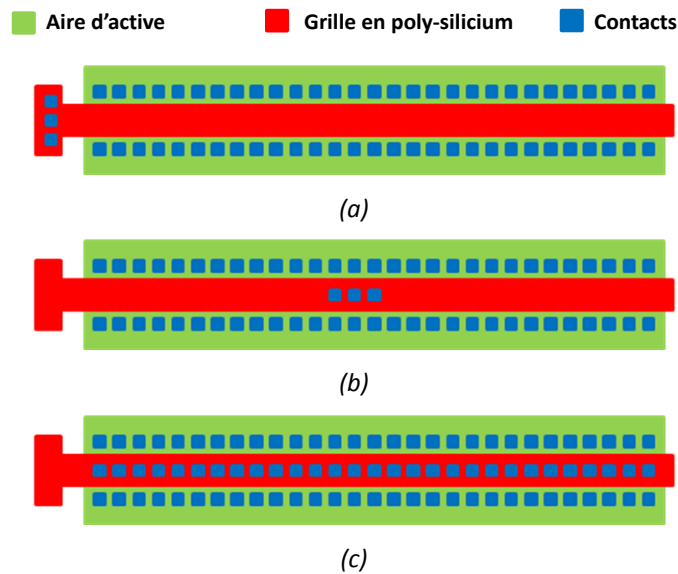


Figure IV.3.2 : Schéma des transistors ayant les contacts de grille sur STI (a), sur l'aire d'active (b) et ayant une forte densité de contacts sur l'aire d'active (c). Le même nombre de contact est utilisé sur les dispositifs (a) et (b)

La Figure IV.3.3 montre I_{Dlin} en fonction de V_{TH} pour les transistors analogiques NMOS (a) et PMOS (b) de dimensions $10 \times 0.38 \mu m^2$. Le nombre de transistors testés est de 58 par type de dispositif afin d'avoir une étude statistique. Nous observons que les transistors ayant une forte densité de contact de grille sur l'aire d'active, montre un plus fort courant de drain d'environ 3% pour les PMOS et un plus faible courant de drain d'environ -3% pour les NMOS. Cet effet sur I_{Dlin} sur les NMOS et PMOS est certainement dû à un plus fort stress mécanique compressif du canal. En effet, il a été démontré que quand le canal est compressé, le courant de drain augmente dans le cas des transistors à canal p alors qu'il diminue dans le cas des transistors à canal n [Ito00].

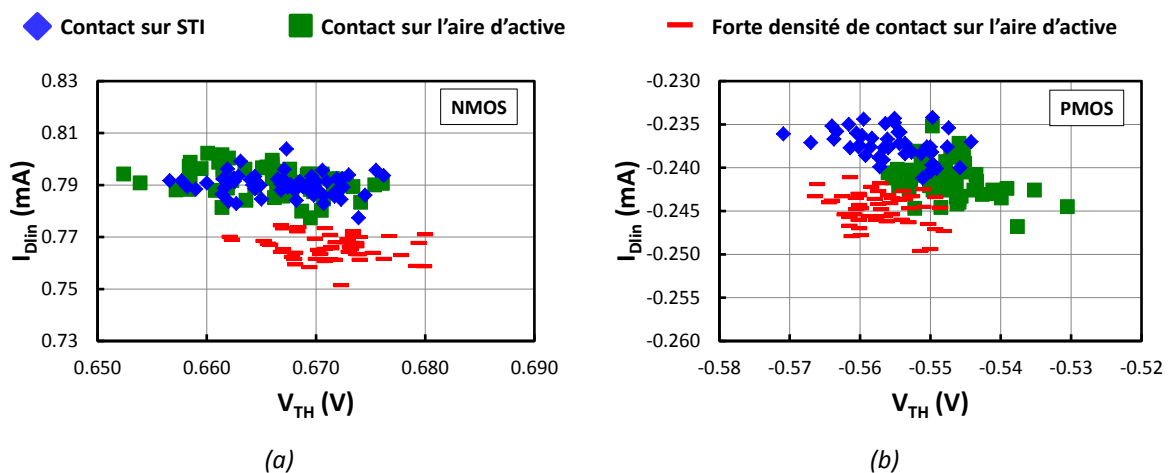


Figure IV.3.3 : I_{Dlin} en fonction de V_{TH} pour des transistors analogiques NMOS (a) et PMOS (b) ayant les contacts de grille sur STI ou sur l'aire d'active et ayant une forte densité de contact sur l'aire d'active

Deux phénomènes peuvent être la cause d'un stress mécanique supplémentaire dans le canal, à savoir : stress dû au contact de la grille en tungstène et stress dû à la gravure de la couche du CESL (voir Chapitre III.2). Nous pensons que cette augmentation du stress compressif est induite par le stress résiduel en tension du contact de grille en tungstène qui compense la relaxation du stress compressif due à l'interruption, créée au cours de la gravure, de la couche de CESL.

Nous pouvons noter qu'avec un nombre « standard » de contacts de grille, ce stress mécanique compressif est plus faible sur les transistors à canal p et n'est pas présent sur les transistors à canal n. Cette différence entre les PMOS et les NMOS résulte probablement de la différence de masse effective entre les électrons et les trous qui contribuent à la déviation des caractéristiques des dispositifs [Sze81].

La Figure IV.3.4 montre I_{Dlin} en fonction de V_{TH} pour les transistors digitaux NMOS (a) et PMOS (b) de dimensions $10 \times 0.1 \mu m^2$. Le nombre de transistors testés est de 58 par type de dispositif afin d'avoir une étude statistique. Nous observons que les paramètres sont identiques entre les transistors ayant les contacts de grille sur STI et sur l'aire d'active. Ces résultats sont en accords avec ceux trouvés précédemment, où le stress mécanique en compression est très faible pour des petites densités de contacts de grille.

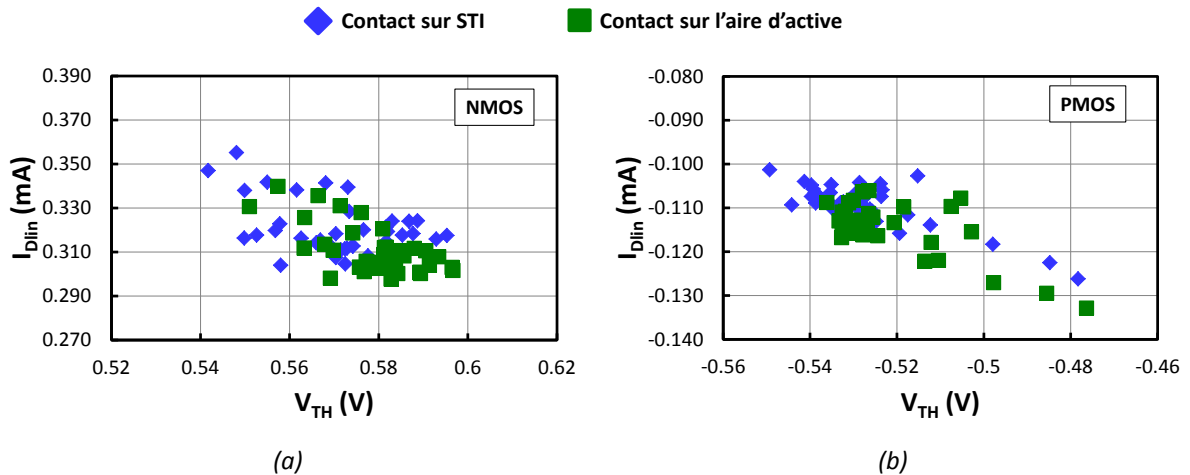


Figure IV.3.4: I_{Dlin} en fonction de V_{TH} pour des transistors digitaux NMOS (a) et PMOS (b) ayant les contacts de grille sur STI ou sur l'aire d'active

A noter également que le courant de fuite du drain I_{OFF} mesuré à $V_D = V_{DD}$ et $V_G = 0$ est inchangé lorsque le contact de grille est déplacé sur l'aire d'active sur les transistors analogiques et digitaux, comme illustré sur la Figure IV.3.5.

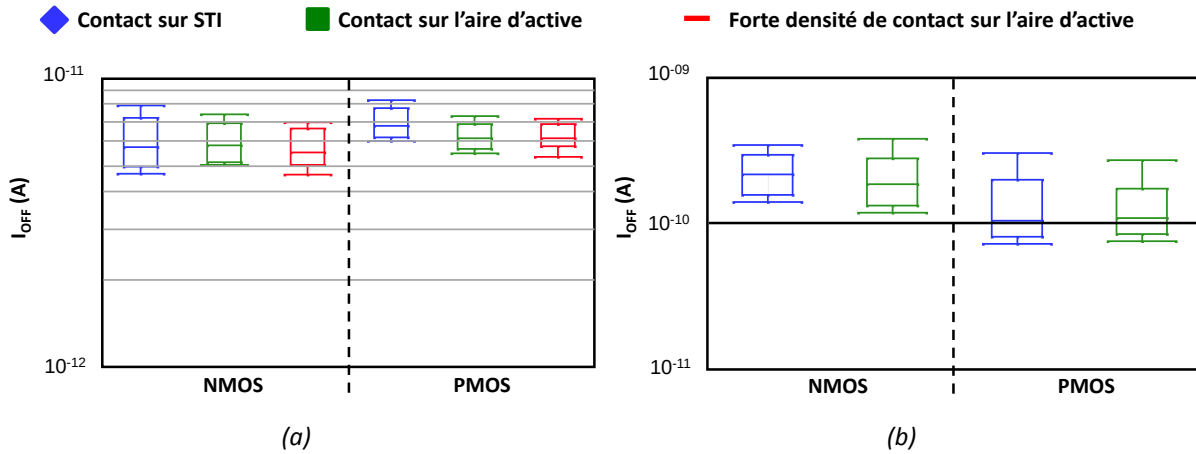


Figure IV. 3.5: I_{OFF} des transistors analogiques (a) et digitaux (b) ayant les contacts de grille sur STI ou sur l'aire d'active

Dans le but de caractériser la qualité de l'oxyde de grille, le courant de fuite de grille (I_G) est mesuré à $V_G = V_{DD}$ utilisant les capacités suivantes : pour application analogique, capacité « standard » de dimension 10^{-4} cm^2 (Figure IV.3.6) et capacité ayant une forte densité de contacts de grille de dimension 10^{-2} cm^2 (Figure IV.3.7) qui permet d'augmenter l'effet des contacts, et pour application digitale, des capacités avec des « doigts » de poly-silicium de dimension $200 \text{ } \mu\text{m}^2$ (Figure IV.3.8).

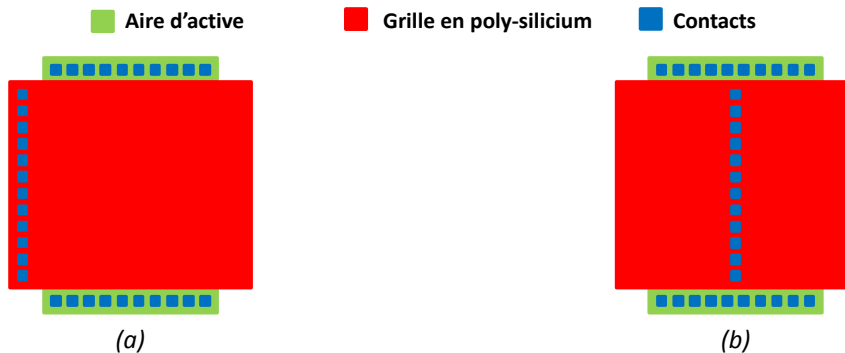


Figure IV. 3.6: Schéma des capacités ayant les contacts de grille sur STI (a) et sur l'aire d'active (b) ; Le même nombre de contacts est utilisé sur les deux dispositifs.

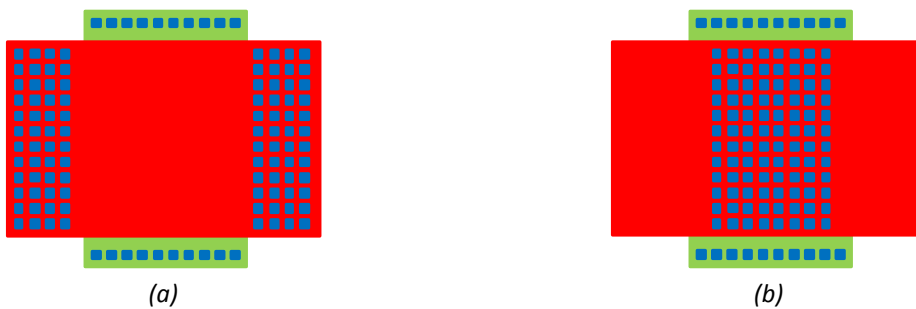


Figure IV. 3.7: Schéma des capacités ayant une forte densité de contact de grille sur STI (a) et sur l'aire d'active (b) ; Le même nombre de contacts est utilisé sur les deux dispositifs.

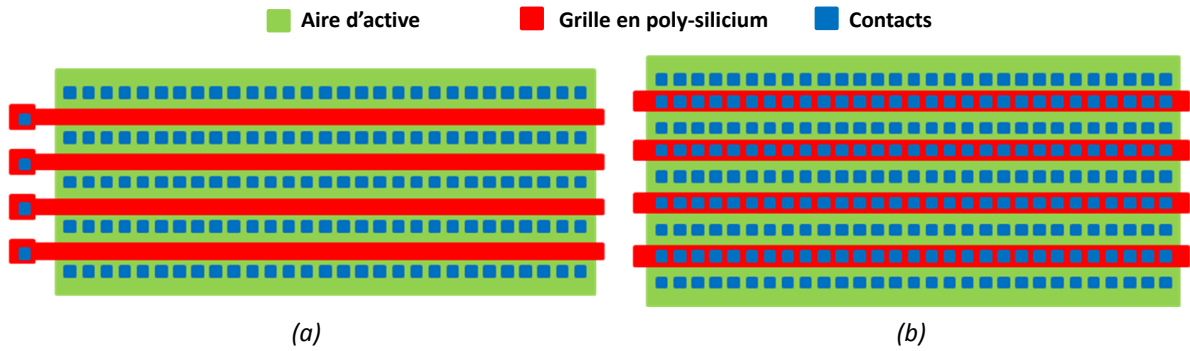


Figure IV. 3.8: Schéma des capacités avec des « doigts » de poly-silicium et ayant des contacts de grille sur STI (a) et sur l'aire d'active (b)

Comme illustré sur la Figure IV.3.9, le déplacement des contacts de grille sur l'aire d'active au lieu du STI, n'induit pas d'augmentation significative du courant de grille I_G quel que soit l'épaisseur d'oxyde : 6.5 nm ou 2.1 nm. De plus, la forte densité de contact sur l'aire d'active présente sur les transistors analogiques, n'induit pas de forte variation du courant dû au stress mécanique supplémentaire. En effet, le stress mécanique compressif considéré précédemment est trop faible pour observer un changement sur le courant tunnel [Lee11] [Hsieh07].

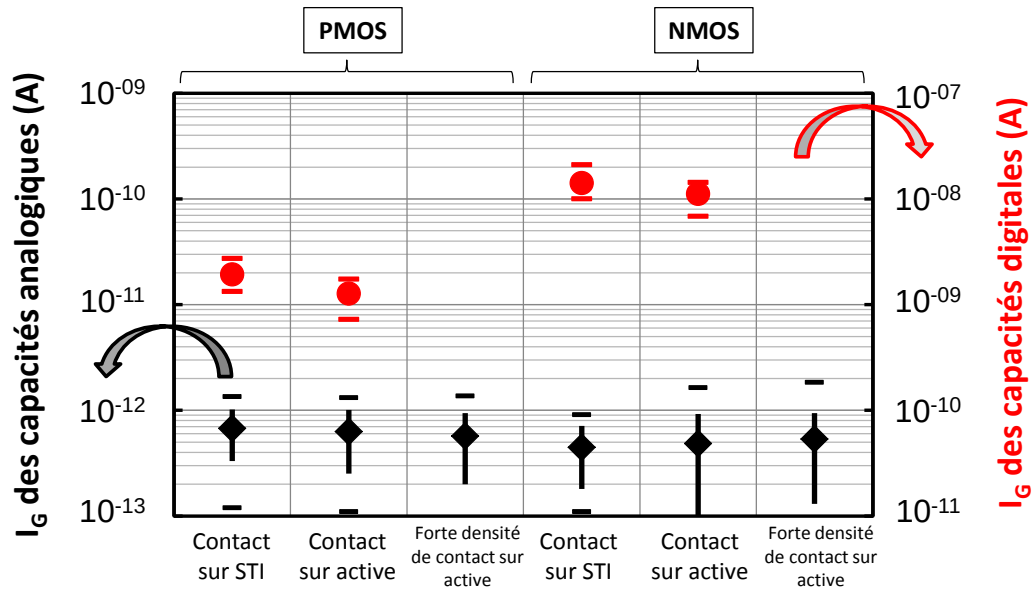


Figure IV. 3.9 : I_G des capacités analogiques et digitales à canal n et p ayant les contacts de grille sur STI ou sur l'aire d'active et ayant une forte densité de contact sur l'aire d'active

Dans ce paragraphe, nous avons démontré que les principaux paramètres du transistor MOS ne changent pas quand le contact de grille est placé sur l'aire d'active à la place du STI.

3.3. Impact des contacts de grille sur l'aire d'active sur la fiabilité

Cette nouvelle architecture (avec les contacts de grille sur l'aire d'active) peut impacter les performances en fiabilité des transistors et capacités MOS. Nous allons donc réaliser des mesures du type HCI et LRVS.

Dans un premier temps la fiabilité des transistors est évaluée en utilisant le stress par HCI dans le but de suivre l'évolution des paramètres suivants : V_{TH} et I_{Dlin} . Les conditions de stress sont définies afin d'obtenir un courant de substrat maximal, conditions correspondant au pire cas de dégradation. Les Figures IV.3.10 et IV.3.11 présentent les résultats sur les transistors pour applications analogiques NMOS et PMOS respectivement. Nous n'observons aucune différence entre les trois types de MOS : contact sur STI, contact sur l'aire d'active et forte densité de contact sur l'aire d'active.

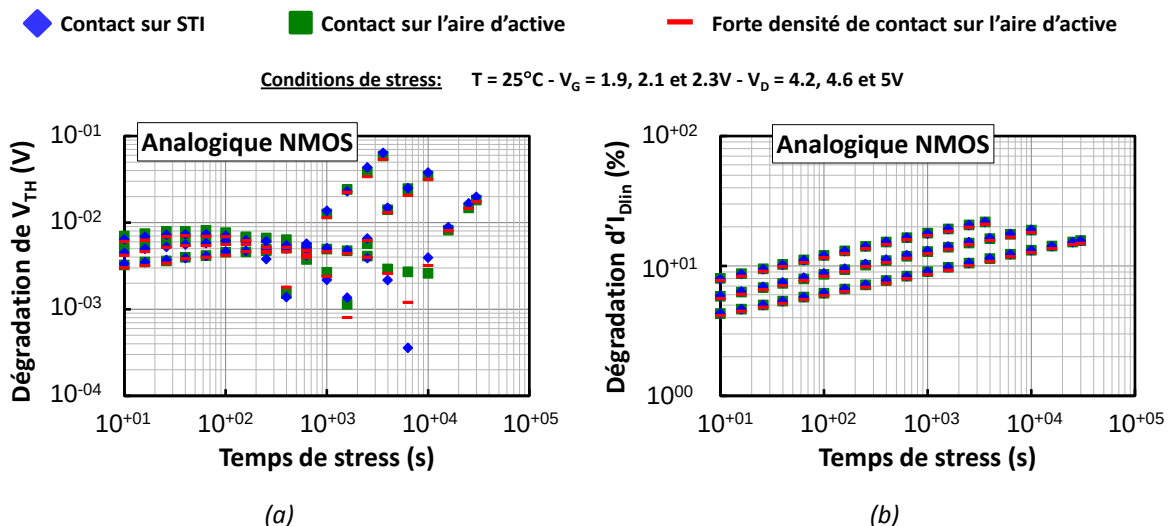


Figure IV. 3.10 : Dégradation de V_{TH} (a) et I_{Dlin} (b) en fonction du temps de stress sur des transistors analogiques NMOS pendant un stress par injection de porteurs chauds

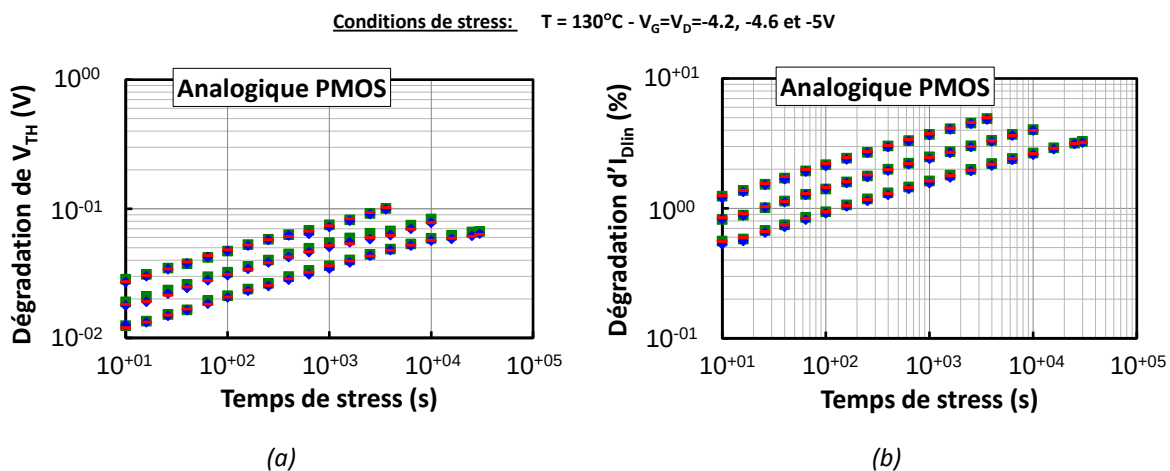


Figure IV. 3.11 : Dégradation de V_{TH} (a) et I_{Dlin} (b) en fonction du temps de stress sur des transistors analogiques PMOS pendant un stress par injection porteurs chauds

Les Figures IV.3.12 et IV.3.13 présentent les résultats sur les transistors pour applications digitales NMOS et PMOS respectivement. Aucune différence entre les transistors ayant les contacts de grille sur STI et les transistors ayant les contacts de grille sur l'aire d'active, n'est observée.

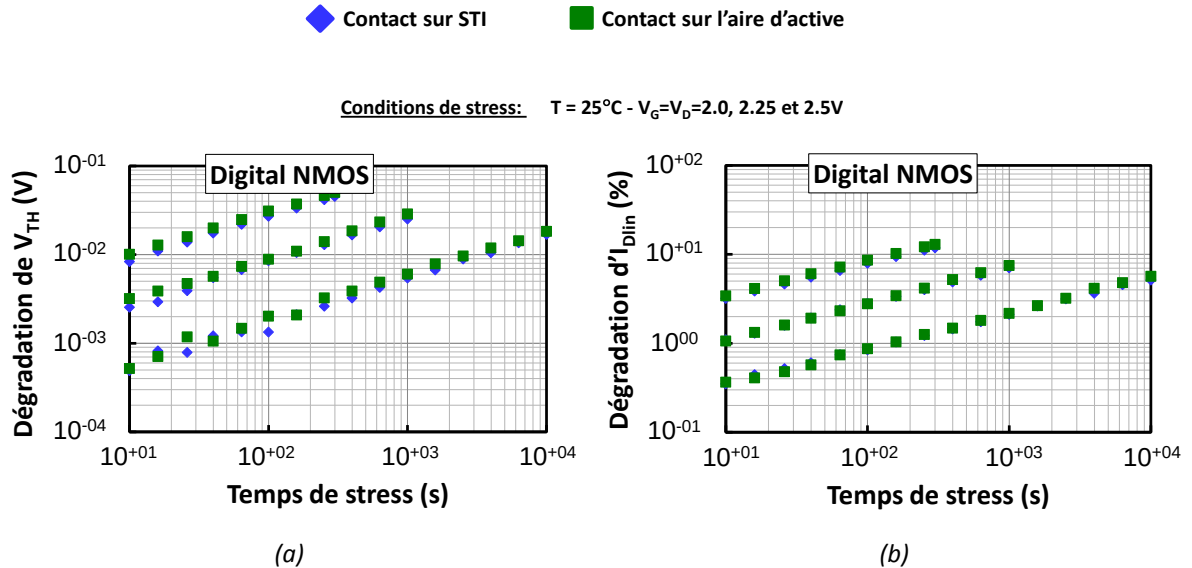


Figure IV. 3.12 : Dégradation de V_{TH} (a) et I_{Dlin} (b) en fonction du temps de stress sur des transistors digitaux NMOS pendant un stress par injection de porteurs chauds

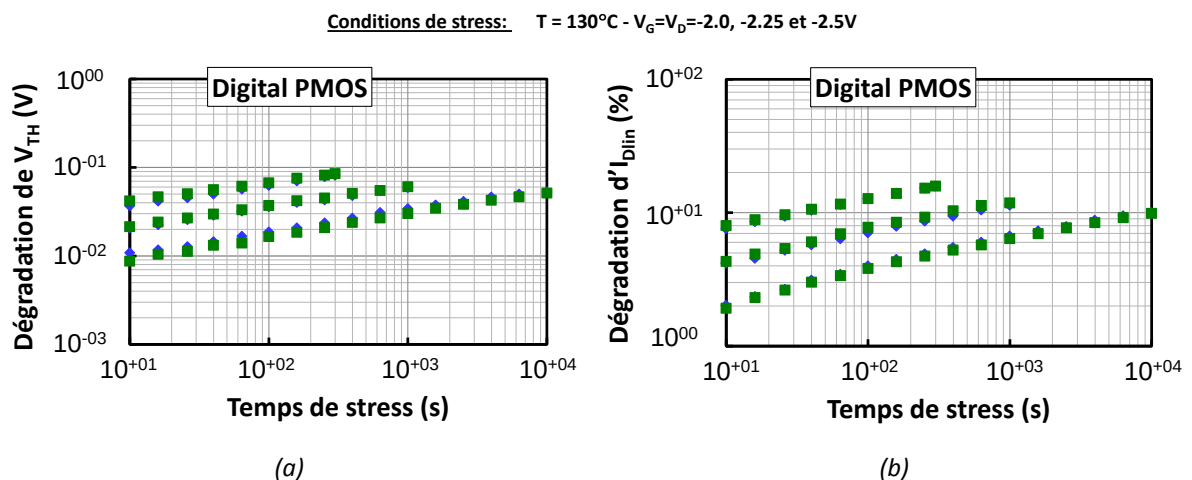
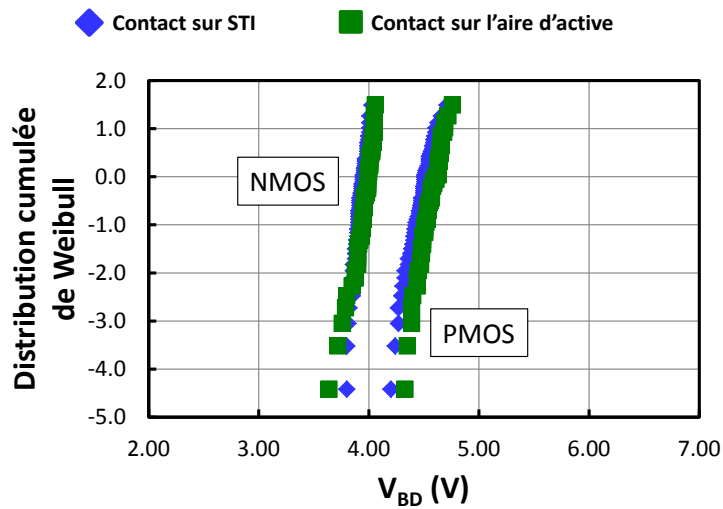
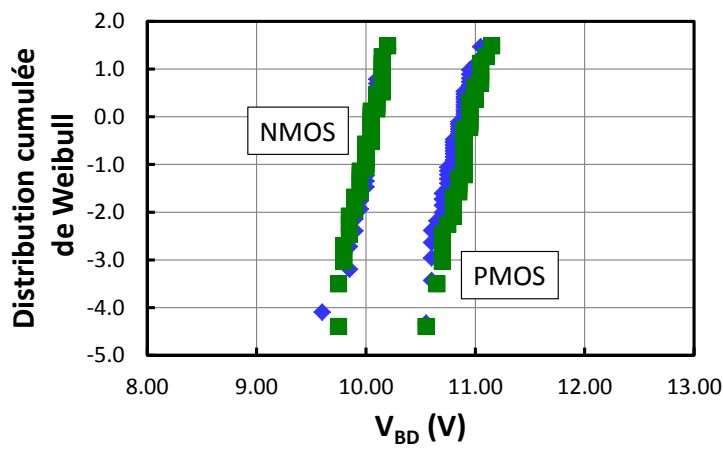


Figure IV. 3.13 : Dégradation de V_{TH} (a) et I_{Dlin} (b) en fonction du temps de stress sur des transistors digitaux PMOS pendant un stress par injection de porteurs chauds

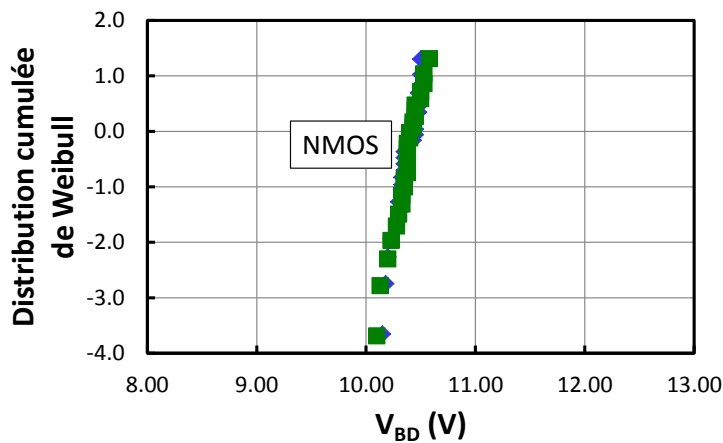
Dans un deuxième temps, nous allons étudier la dégradation des MOSFETs après un stress de type LRVs en régime d'accumulation. La Figure IV.3.14 montre la distribution cumulée de Weibull de la tension de claquage V_{BD} des capacités avec des « doigts » de poly-silicium pour les applications digitales (a), des capacités « standard » (b) et ayant une forte densité de contacts de grille (c) pour les applications analogiques.



(a)



(b)



(c)

Figure IV. 3.14 : Distribution cumulée de Weibull de la tension de claquage (V_{BD}) des capacités avec des « doigts » de poly-silicium pour les applications digitales (a), des capacités « standard » (b) et ayant une forte densité de contact de grille (c) pour les applications analogiques

Nous pouvons noter que la tension de claquage est similaire entre les capacités ayant les contacts de grille sur STI et sur l'aire d'active et ne présentent aucune distribution extrinsèque.

Dans ce paragraphe, nous avons démontré que la dégradation des principaux paramètres du transistor MOS due à l'injection de « porteurs chauds » ainsi que la qualité de l'oxyde en terme de claquage, ne varient pas quand le contact de grille est placé sur l'aire d'active à la place du STI.

4. Conclusion

Dans ce chapitre, deux études sur l'architecture des transistors MOS ont été menées. Une première étude sur l'effet « hump » où plusieurs nouvelles architectures MOS ont été réalisées dans le but de supprimer cet effet et une deuxième étude sur le déplacement des contacts de grille sur l'aire d'active à la place du STI dans le but de diminuer l'aire totale de l'architecture CMOS.

L'effet « hump » a été largement étudié mais il est encore présent dans certaines technologies CMOS. Plusieurs modifications d'architecture des MOSFETs pour applications analogiques ont été étudiées dans le but de supprimer l'effet « hump ». Nous avons utilisé une méthode statistique de mesures paramétriques afin de révéler la suppression de l'effet « hump » sur les transistors courts de différentes architectures. Afin d'expliquer les résultats obtenus sur les transistors « en forme de 8 », des simulations TCAD à trois dimensions ont été réalisées et ont démontré que l'effet « hump » peut être supprimé suite à la modification des courbures des lignes de courants le long du canal. De plus, nous avons démontré que les performances en fiabilité ne sont pas impactées par ces architectures. Tous ces résultats aident à la compréhension de l'effet « hump », néanmoins, des études doivent être encore réalisées dans le but de trouver une architecture permettant la suppression de l'effet « hump » quel que soit les dimensions du transistor.

Les transistors « faible tension » pour applications analogiques et digitales ayant le contact de grille sur STI (architecture de référence) ou sur l'aire d'active (architecture innovante) ont été étudiés dans le but d'augmenter la densité d'intégration des transistors MOS et de diminuer le coût d'une technologie donnée. Les performances et la fiabilité ont été évaluées en utilisant des mesures de paramètres électriques, LRVS et stress HCI. Nous avons ainsi démontré que les principaux paramètres du transistor MOS et leurs dégradations dues à l'injection de porteurs chauds, restent inchangés quand le contact de grille est placé sur l'aire d'active à la place du STI. De plus, nous avons vérifié que la qualité de l'oxyde de grille reste la même avec les contacts de grille sur l'aire d'active quels que soient le nombre de contacts, la dimension du dispositif ou l'épaisseur d'oxyde (jusqu'à 2.1nm).

Ces résultats prouvent que, déplacer le contact de grille sur l'aire d'active pourrait être une solution pertinente dans le but de réduire l'aire totale des MOSFETs « faible tension » pour applications analogiques et digitales. De plus, nous pensons que cette solution pourrait être également pertinente pour améliorer la compétitivité des technologies de mémoires résistives émergentes (comme les mémoires PCM ou RRAM) en réduisant l'aire des transistors utilisés comme élément de sélection et donc, en contribuant à réduire l'aire de la cellule mémoire.

Conclusion générale

Ce manuscrit présente un travail de thèse sur les phénomènes de dégradation que peut subir les transistors MOS suivant leurs applications sur les technologies CMOS avec mémoires non volatiles embarquées.

Le Chapitre I a permis de mettre en place les bases essentielles à la compréhension des mécanismes de dégradation. Tout d'abord la capacité MOS, structure de base de notre étude, a été introduite. Pour cela la structure microscopique du système Si/SiO₂, sa structure de bande, ses défauts ponctuels et les méthodes de caractérisation des défauts ont été présentés. Puis les mécanismes de dégradation, communément appelés stress de grille, injection de porteurs chauds et claquage d'oxyde, les conséquences de ces dégradations sur les principaux paramètres du MOSFET ainsi que les modélisations permettant d'estimer leur durée de vie, ont été expliqués.

Le Chapitre II a traité des transistors haute tension, appelés HV, utilisés dans le but de délivrer des potentiels supérieurs à 10V lors des étapes de programmation et d'effacement des mémoires non volatiles à stockage de charge. L'utilisation de la haute tension engendre des mécanismes de dégradation spécifiques, liés au phénomène de conduction tunnel Fowler-Nordheim. Nous avons tout d'abord démontré que les transistors HV NMOS et PMOS pendant un stress de grille en régime d'inversion ont des comportements différents en termes de cinétique de dégradation, d'énergie d'activation et de facteur d'accélération en tension. De plus, une plus faible durée de vie a été trouvée sur les transistors HV NMOS par rapport à celle des HV PMOS montrant une limitation potentielle concernant l'augmentation du nombre de cycles de programmation/effacement des mémoires non volatiles étudiées.

Ensuite, une étude sur la génération d'états d'interface et le piégeage de charges pendant un stress de grille en régime d'inversion et en régime d'accumulation nous a permis de mettre en évidence que la dégradation est d'abord dirigée par le piégeage de charges positives à travers le phénomène d'« Anode Hole Injection » et qu'ensuite, elle dépend de la polarité du stress. En effet, si l'on injecte les électrons à partir du substrat, c'est-à-dire lors d'un stress positif, alors il y a une forte génération d'états d'interface. Si l'on injecte les électrons à partir de la grille, c'est-à-dire lors d'un stress négatif, alors il y a un piégeage de charges positives important.

Enfin, les résultats sur le comportement des transistors HV pendant un stress de grille en régime d'accumulation, ont montré tout d'abord que la dégradation lors d'un stress positif des transistors HV PMOS et HV NMOS est similaire. Ainsi, la génération d'états d'interface n'est presque pas activée en température mais elle est accélérée en champ électrique et elle dépend fortement de la charge injectée lors du stress. Ensuite, une hypothèse a été émise afin d'expliquer l'augmentation du facteur

d'accélération en tension et la diminution de l'énergie d'activation des transistors HV NMOS par rapport aux facteurs d'accélération des transistors HV PMOS lors d'un stress négatif. En effet, une énergie des porteurs plus élevée dans le substrat p des NMOS par rapport à celle des porteurs dans le substrat n des PMOS, peut engendrer une génération d'états d'interface plus importante.

Le Chapitre III concerne les transistors pour applications digitales. Des nouveaux procédés de fabrication ont été intégrés sur ces dispositifs d'une technologie CMOS avec mémoires non-volatiles embarquées dans le but de réduire leur consommation de courant. On a pu mettre en évidence la réduction de la fuite de grille sur les NMOS et PMOS grâce la nitruration par plasma (DPN). De plus, la rotation du substrat à 45° et une contrainte mécanique en tension du CESL, ont permis l'augmentation de la mobilité des trous et des électrons. En supplément, ces différents procédés n'ont montré aucun inconvénient en termes de fiabilité.

Nous avons également étudié l'influence que peut avoir un nouveau procédé de nitruration plasma, dédié à un type de composant (transistor pour applications digitales), sur un autre dispositif MOS (transistors HV) présent sur cette même technologie. Nous avons de ce fait démontré la présence d'une charge supplémentaire dans l'oxyde de grille d'un transistor dont la grille n'est pas dopée au moment du recuit à très haute température. Ainsi, nous avons pu clarifier les paramètres choisis sur la nitruration des oxydes pour applications digitales dans le but de limiter les variations sur les performances électriques et les performances en fiabilité des composants déjà présents lors de cette étape de fabrication.

Les perspectives de cette étude sont l'application sur des circuits. Innocenti et al. [Innocenti14] ont démontrés la réduction de la consommation dynamique d'un oscillateur en anneau dont les transistors PMOS et NMOS présentent une contrainte mécanique en tension du CESL, une direction $\langle 100 \rangle$ des porteurs dans le canal et une nitruration plasma de l'oxyde de grille. Ces nouveaux procédés de fabrication peuvent donc être introduits dans un nouveau produit CMOS.

Le Chapitre IV a fait l'objet de deux études. Une première étude sur l'effet « hump » où plusieurs nouvelles architectures MOS pour applications analogiques ont été réalisées dans le but de supprimer cet effet et une deuxième étude sur le déplacement des contacts de grille sur l'aire d'active à la place du STI dans le but de diminuer l'aire totale de l'architecture CMOS pour applications digitales et analogiques.

Lors de la première étude, nous avons utilisé une méthode statistique de mesure paramétrique afin de caractériser l'effet « hump » sur les transistors analogiques de différentes architectures. La suppression de l'effet « hump » a été révélée sur les transistors courts mais pas sur les transistors

longs de certaines architectures, notamment les transistors « papillons » et « en forme de 8 ». Des simulations TCAD (« Technology Computer Assisted Design ») à trois dimension ont été réalisées sur les transistors courts « en forme de 8 » et ont illustré que l'effet « hump » peut être supprimé suite à la modification des courbures des lignes de courant le long du canal. D'autre architectures, comme les transistors « octogonaux » et « circulaires », ont également permis de supprimer l'effet « hump » pour différentes longueurs de grille. Cependant, le rapport W/L est limité avec de telles architectures. En complément, nous avons démontré que les performances en fiabilité ne sont pas impactées par ces nouvelles architectures. Tous ces résultats aident à la compréhension de l'effet « hump ». Néanmoins, des études supplémentaires sont nécessaires dans le but de trouver une architecture permettant la suppression de l'effet « hump » quelles que soient les dimensions du transistor.

Lors de la seconde étude, les transistors analogiques et digitaux présentant les contacts de grille au-dessus de la zone active, ont été caractérisés. Nous avons démontré que les principaux paramètres du transistor MOS ainsi que la fuite de courant de grille restent inchangés quand le contact de grille est placé sur l'aire d'active à la place du STI. De plus, nous avons vérifié que la dérive de ces paramètres lors d'un stress électrique ainsi que qualité de l'oxyde de grille, restent les mêmes avec les contacts de grille sur l'aire d'active quel que soit le nombre de contact, la dimension du dispositif ou l'épaisseur d'oxyde (jusqu'à 2.1 nm). Ces résultats prouvent que placer le contact de grille sur l'aire d'active pourrait être une solution pertinente dans le but de réduire l'aire totale des MOSFETs « faible tension » pour applications analogiques et digitales. De plus, cette solution pourrait être aussi pertinente pour d'autres applications comme les mémoires résistives émergentes, en réduisant l'aire des transistors utilisés comme élément de sélection et donc, en contribuant à réduire l'aire de la cellule mémoire.

Références bibliographiques

- [Alam05]** M. A. Alam, S. Mahapatra, "A comprehensive model of PMOS NBTI degradation", *Microelectronics Reliability*, Vol. 45, p. 71-81, 2005
- [Aminzadeh98]** P. Aminzadeh, M. Alavi, D. Scharfetter, "Temperature dependence of substrate current and hot carrier-induced degradation at low drain bias", *Symposium on VLSI Technology Digest of Technical Papers*, p. 178-179, 1998
- [Aono04]** H. Aono, E. Murakami, K. Okuyama, A. Nishida, M. Minami, Y. Ooji, K. Kubota, "Modeling of NBTI degradation and its impact on electric field dependence of the lifetime", *IEEE International Reliability Physics Symposium (IRPS)*, p. 23-27, 2004
- [Aoyama02]** T. Aoyama, K. Suzuki, H. Tashiro, Y. Tada, H. Arimoto, K. Horiuchi, "Flatband voltage shift in PMOS devices caused by carrier activation in p+-polycrystalline silicon and by boron penetration", *IEEE Transactions on Electron Devices*, Vol. 49, No. 3, p. 473-480, 2002
- [Autran96]** J.-L. Autran, C. Chabrerie, "Use of the Charge Pumping technique with a sinusoidal gate waveform", *Solid-State Electron*, Vol. 39, p. 1394-1395, 1996
- [Autran98]** J.-L. Autran, B. Balland, G. Barbottin, "Charge pumping techniques: the methods and their applications". In *Instabilities in Silicon Devices*, G. Barbottin and A. Vapaille (eds.), North-Holland: Elsevier Science Publishers B.V., 1998
- [Balland98]** B. Balland, A. Glachant, "Silica, Silicon nitride and oxynitride thin films". *Instabilities in Silicon Devices*, G. Barbottin and A. Vapaille (eds.), North-Holland: Elsevier Science Publishers B.V., 1998
- [Ballay81]** N. Ballay, B. Baylac, "Analytical modelling of depletion-mode MOSFET with short- and narrow-channel effects", *IEE Proceeding Solid-State and Electron Devices*, Vol. 128, No. 6, p. 225-238, 1981
- [Boeuf05]** F. Boeuf, F. Arnaud, C. Boccaccio, F. Salvetti, J. Todeschini, L. Pain, M. Jurdit, S. Manakli, B. Icard, N. Planes, N. Gierczynski, S. Denorme, B. Borot, C. Ortolland, B. Duriez, B. Tavel, P. Gouraud, M. Broekaart, V. DeJonghe, P. Brun, F. Guyader, P. Morin, C. Reddy, M. Aminpur, C. Laviron, S. Smith, J.-P. Jacquemin, M. Mellier, F. Andre, N. Bicaïs-Lepinay, S. Jullian, J. Bustos, T. Skotnicki, "0.248 μm^2 and 0.334 μm^2 Conventional Bulk 6T-SRAM bit-cells for 45nm node Low Cost - General Purpose Applications", *Symposium on VLSI Technology, Digest of Technical Papers*, p. 130-131, 2005
- [Bravaix01]** A. Bravaix, D. Goguenheim, N. Revil, E. Vincent, "Hot-carrier reliability study of second and first impact ionization degradation in 0.15- μm channel-length NMOSFETS", *Microelectronics Engineering*, Vol. 59, p. 101-108, 2001
- [Brews79]** J. R. Brews, "Subthreshold behavior of uniformly and non-uniformly doped long-channel MOSFET", *IEEE Transaction on Electron Devices*, Vol. 26, No. 9, p. 1282-1291, 1979

- [Brugler69]** J. S. Brugler, P. G. A. Jespers, "Charge pumping in MOS devices", IEEE Transaction on Electron Devices, Vol. 16, No. 3, p. 297-302, 1969
- [Brut99]** H. Brut, R. M.D.A. Velghe, "Contribution to the characterization of the Hump effect in MOSFET submicronic technologies", IEEE International Conference on Microelectronic Test Structures (ICMTS), Vol. 12, p. 188-193, 1999
- [Bryant94]** A. Bryant, W. Haensch, T. Mii, "Characteristics of CMOS device isolation for the ULSI age", IEEE International Electron Devices Meeting (IEDM), 1994
- [Cao98]** M. Cao, P. Vande Voorde, M. Cox, W. Greene, "Boron diffusion and penetration in ultrathin oxide with poly-Si gate", IEEE Electron Device Letters, Vol. 19, No. 8, p. 291-293, 1998
- [Cartier95]** E. Cartier, D. A. Buchanan, J. H. Stathis, D. J. DiMaria, "Atomic hydrogen-induced degradation of thin SiO_2 gate oxides", Journal of Non-Crystalline Solids, Vol. 187, p. 244-247, 1995
- [Cham87]** K. M. Cham, J. Hui, P. V. Voorde, H. S. Fu, "Self-limiting behavior of hot carrier degradation and its implication on the validity of lifetime extraction by accelerated stress", IEEE International Reliability Physics Symposium (IRPS), p. 191-194, 1987
- [Chanana00]** R.K. Chanana, K.McDonald, M. Di Ventra, S.T. Pantelides, L. C. Feldman, "Fowler-Nordheim hole tunnelling in p-SiC/ SiO_2 structures", Applied Physics Letters, Vol. 77, No. 16, p. 2560-2562, 2000
- [Chang85]** C. Chang, C. Hu, R. W. Brodersen, "Quantum yield of electron impact ionization in silicon", Journal of Applied Physics, Vol. 57, No. 2, p. 302-309, 1985
- [Chang98]** K.-M. Chang, C.-H. Li, S.-W. Wang, T.-H. Yeh, J.-Y. Yang, T.-C. Lee, "The relaxation phenomena of positive charges in thin gate oxide during Fowler-Nordheim tunneling stress", IEEE Transactions on Electron Devices, Vol. 45, No. 8, p. 1684-1689, 1998
- [Chang04]** L. Chang, M. leong, M. Yang, "CMOS circuit performance enhancement by surface orientation optimization", IEEE Transaction on Electron Devices, Vol. 51, p 1621-1627, 2004
- [Chang08]** M. Chang, C. Chang, "Transistor-and circuit-design optimization for low-power CMOS," IEEE Transaction on Electron Devices, Vol. 55, No. 1, p. 84-95, 2008
- [Chen85]** I. C. Chen, S. Holland, C. Hut, "A quantitative physical model for time-dependent breakdown in SiO_2 ", IEEE International Reliability Physics Symposium (IRPS), p. 24-31, 1985
- [Chen86]** I. C. Chen, S. Holland, C. Hu, "Hole trapping and breakdown in thin SiO_2 ", IEEE Electron Device Letters, Vol. 7, No. 3, p. 164-167, 1986
- [Chen87]** I. C. Chen, C. Hu, "Accelerated testing of time-dependent breakdown of SiO_2 ", IEEE Electron Device Letters, Vol. 8, No. 4, p. 140-142, 1987

- [Chen00]** Y. F. Chen, M. H. Lin, C. H. Chou, W. C. Chang, S. C. Huang, Y. J. Chang, K. Y. Fu, M. T. Lee, C. H. Liu, S. K. Fan, "Negative Bias Temperature Instability (NBTI) in deep sub-micron p+-gate pMOSFETs", IEEE International Integrated Reliability Workshop (IIRW), p. 98-101, 2000
- [Chen05]** S. Y. Chen, J. C. Lin, H. W. Chen, Z. W. Jhoul, H. C. Lin, S. Chou, J. Ko, T. F. Lei, H. S. Haung, "An investigation on substrate current and hot carrier degradation at elevated temperatures for nMOSFETs of 0.13 Ftm technology", IEEE International Integrated Reliability Workshop (IIRW), 2005
- [Chiou01]** Y. L. Chiou, J. P. Gambino, M. Mohammad, "Determination of the Fowler-Nordheim tunneling parameters from the Fowler-Nordheim plot", Solid-State Electronics, Vol. 45, p. 1787-1791, 2001
- [Chiu11]** T.-J. Chiu, J. Gong, Y.-C. King, C. C. Lu, H. Chen, "An octagonal dual-gate transistor with enhanced and adaptable low-frequency noise", IEEE Electron Device Letters, Vol. 32, No. 1, p. 9-11, 2011
- [Chung91]** J. E. Chung, P.-K. KO, C. Hu, "A model for hot-electron-induced MOSFET linear-current degradation based on mobility reduction due to interface-state generation", IEEE Transactions on Electron Devices, Vol. 38, No. 6, p. 1362-1370, 1991
- [De Charentenay13]** Y. De Charentenay, "Emerging NVM enter niche memory markets: expected to reach \$ 2B by 2018. Will NVM eventually replace DRAM and NAND?," LETI Memory Workshop, 2013
- [De Lima09]** J. A. De Lima, S. P. Gimenez, "A novel Overlapping Circular-Gate Transistor (O-CGT) and its application to analog design", Argentine School of Micro-Nanoelectronics, Technology and Applications (EAMTA), p. 11-16, 2009
- [Deal66]** B. E. Deal, E. H. Snow, "Barrier energies in metal silicon dioxide-silicon structures", Journal of Physics and Chemistry of Solids, Vol. 27, p. 1873-1879, 1966
- [Deal67]** B. E. Deal, M. Sklar, A. S. Grove, E. H. Snow, "Characteristics of the surface-state charge (Q_{ss}) of thermally oxidized silicon", Journal of The Electrochemical Society, Vol. 114, p. 266-274, 1967
- [Deal80]** B.E. Deal, "Standardized terminology for oxide charge associated with thermally oxidized silicon", IEEE Transaction on Electron Devices, Vol. 27, No. 3, p. 606-608, 1980
- [Degraeve95]** R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, H. E. Maes, "A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides", IEEE International Electron Devices Meeting (IEDM), p. 863-866, 1995
- [Degraeve96]** R. Degraeve, J. De Blauwe, J.-L. Ogier, P. Roussel, G. Groeseneken, H. E. Maes, "A new polarity dependence of the reduced trap generation during high-field degradation of nitrided oxides", IEEE International Electron Devices Meeting (IEDM), p. 327-330, 1996

- [Degraeve98]** R. Degraeve, G. Groeseneken, R. Bellens, J.-L. Ogier, M. Depas, P. J. Roussel, H. E. Maes, "New insights in the relation between electron trap generation and the statistical properties of oxide breakdown", *IEEE Transaction on Electron Devices*, Vol. 45, No. 4, p. 904-911, 1998
- [Demkov99]** A. A. Demkov, O. F. Sankey, "Growth study and theoretical investigation of the ultrathin oxide SiO₂ – Si heterojunction", *Physical Review Letter*, Vol. 83, p. 2038, 1999
- [Denais04a]** M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, A. Bravaix, "Oxide field dependence of interface trap generation during negative bias temperatures instability in PMOS", *IEEE International Integrated Reliability Workshop (IIRW)*, p. 109-112, 2004
- [Denais04b]** M. Denais, A. Bravaix, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, Y. Rey-Tauriac, N. Revil, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's", *IEEE International Electron Devices Meeting (IEDM)*, p. 109-112, 2004
- [Denais05]** M. Denais, "Etude des phénomènes de dégradation de type negative bias temperature instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées", *Thèse*, 2005
- [Depas96]** M. Depas, T. Nigam, M. M. Heyns, "Soft breakdown of ultra-thin gate oxide layers", *IEEE Transactions on Electron Devices*, Vol. 43, No. 9, p. 1499-1504, 1996
- [DiMaria89]** D. J. DiMaria, J. W. Stasiak, "Trap creation in silicon dioxide produced by hot electrons", *Journal of Applied Physics*, Vol. 65, No. 6, p. 2342-2356, 1989
- [Elliot76]** A. B. M Elliot, "The use of charge pumping currents to measure surface state densities in MOS transistors", *Solid-State Electronics*, Vol. 19, No. 3, p. 241-247, 1976
- [Engel05]** B. N. Engel, J. Åkerman, B. Butcher, R. W. Dave, M. DeHerrera, M. Durlam, G. Grynkewich, J. Janesky, S. V. Pietambaram, N. D. Rizzo, J. M. Slaughter, K. Smith, J. J. Sun, S. Tehrani, "A 4-Mb Toggle MRAM based on a novel bit and switching method", *IEEE Transactions on Magnetics*, Vol. 41, No. 1, p. 132-136, 2005
- [Esseni94]** D. Esseni, L. Selmi, R. Bez, E. Sangiorgi, B. Ricco, "Bias and temperature dependence of gate and substrate currents in n-MOSFETs at low drain voltage", *IEEE International Electron Devices Meeting (IEDM)*, p. 307-310, 1994
- [Esseni02]** D. Esseni, J. D. Bude, L. Selmi, "On interface and oxide degradation in VLSI MOSFETs—part II: Fowler–Nordheim stress regime", *IEEE Transactions on Electron Devices*, Vol. 49, No. 2, p. 252-263, 2002
- [Fishbein90]** B. J. Fishbein, D. B. Jackson, "Performance degradation of n-channel MOS transistor during DC and pulsed Fowler-Nordheim stress", *IEEE International Reliability Physics Symposium (IRPS)*, p. 159-163, 1990

- [Fischetti86]** M. V. Fischetti, "High field electron transport in SiO₂ and generation of positive charge at the Si-SiO₂ interface", *INSulating Films On Semiconductors (INFOS)*, J. J. Simonne and J. Buxo (editors), Elsevier Science Publishers B.V., p. 181-189, 1986
- [Fischetti95]** M. V. Fischetti, S. E. Laux, "Monte Carlo study of sub-band-gap impact ionization in small silicon field-effect transistors", *IEEE International Electron Device Meeting (IEDM)*, p. 305-308, 1995
- [Fleetwood92]** D. M. Fleetwood, "'Border trap' in MOS devices", *IEEE Transaction on Nuclear Science*, Vol. 39, No. 2, p. 269-271, 1992
- [Fowler-Nordheim28]** R.H Fowler, L. Nordheim, "Electron emission in intense electric field", *Proceedings of the Royal Society of London, Series A, Containing Papers of a Mathematical and Physical Character*, Vol. 119, p.173-181, 1928
- [Frammelsberger05]** W. Frammelsberger, G. Benstetter, R. Stamp, J. Kiely, T. Schweinboeck, "Simplified tunnelling current calculation for MOS structures with ultra-thin oxides for conductive atomic force microscopy investigations", *Materials Science and Engineering B*, Vol. 116, p. 168-174, 2005
- [Fuse87]** G. Fuse, M. Fukumoto, A. Shinohara, S. Odanaka, M. Sasago, T. Ohzone, "A new isolation method with boron-implanted sidewalls for controlling narrow-width effect", *IEEE Transactions on Electron Devices*, Vol. 34, No. 2, p. 356-360, 1987
- [Giebel80]** B. Giebel, "An 8K EEPROM using the SIMOS storage cell", *IEEE Journal of Solid-State Circuits*, Vol. 15, No. 3, p. 311-315, 1980
- [Groeseneken89]** G. Groeseneken, H. E. Maes, N. Beltran, R. F. De Keersmaecker, "A reliable approach to Charge-Pumping measurements in MOS Transistors," *IEEE Transaction on Electron Devices*, Vol. 31, p.42-53, 1984
- [Haggag05]** A. Haggag, N. Liu, D. Menke, M. Moosa, "Physical model for the power-law voltage and current acceleration of TDDb", *Microelectronics Reliability*, Vol. 45, p. 1855-1860, 2005
- [Hagiwara80]** T. Hagiwara, Y. Yatsuda, R. Kondo, S.-I. Minami, T. Aoto, Y. Itoh, "A 16 kbit Electrically Erasable PROM using n-channel Si-Gate MNOS technology", *IEEE Journal of Solid-State Circuits*, Vol. 15, No. 3, p. 346-353, 1980
- [Heremans89]** P. Heremans, J. Witters, G. Groeseneken, H. E. Maes, "Analysis of the Charge Pumping technique and its application for the evaluation of MOSFET degradation", *IEEE Transactions on Electron Devices*, Vol. 36, No. 7, p. 1318-1335, 1989
- [Heremans90]** P. Heremans, G. Van Den Bosch, R. Bellens, G. Groeseneken, H. E. Maes, "Temperature dependence of the channel hot-carrier degradation of n-channel MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 37, No 4, p. 980-993, 1990

- [Hiraiwa03] A. Hiraiwa, S. Sakai, D. Ishikawa, "Voltage-driven distribution of gate oxide breakdown", IEEE International Reliability Physics Symposium (IRPS), p. 582-583, 2003
- [Hsieh07] C.-Y. Hsieh, M.-J. Chen, "Measurement of channel stress using gate direct tunneling current in uniaxially stressed nMOSFETs", IEEE Electron Device Letters, Vol. 28, No. 9, p. 818-820, 2007
- [Hsu84] F.-C. Hsu, H. R. Grinolds, "Structure-enhanced MOSFET degradation due to hot-electron injection", IEEE Electron Device Letters, Vol. 5, No. 3, p. 71-74, 1984
- [Hu79] C. Hu, "Lucky-electron model of channel hot electron emission", IEEE International Electron Devices Meeting (IEDM), p. 22-25, 1979
- [Hu85] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T. Y. Chan, K. W. Terrill, "Hot-electron-induced MOSFET degradation model, monitor and improvement", IEEE Transactions on Electron Devices, Vol. 32, No. 2, p. 375-385, 1985
- [Hu99] C. Hu, Q. Lu, "A unified gate oxide reliability model", IEEE International Reliability Physics Symposium (IRPS), p. 47-51, 1999
- [Huard05] V. Huard, M. Denais, F. Perrier, N. Revil, C. Parthasarathy, A. Bravaix, E. Vincent, "A thorough investigation of MOSFETs NBTI degradation", Microelectronics Reliability, Vol. 45, p. 83-98, 2005
- [Huard06] V. Huard, M. Denais, C. Parthasarathy, "NBTI degradation: From physical mechanisms to modelling", Microelectronics Reliability, Vol. 46, p 1-23, 2006
- [Huard10] V. Huard, "Two independent components modeling for Negative Bias Temperature Instability", IEEE International Reliability Physics Symposium (IRPS), p. 33-42, 2010
- [Huet08] K. Huet, M. Feraille, D. Rideau, R. Delamare, V. Aubry-Fortuna, M. Kasbari, S. Blayac, C. Rivero, A. Bournel, C. Tavernier, P. Dollfus, H. Jaouen, "Experimental and theoretical analysis of hole transport in uniaxially strained pMOSFETs", Solid-State Device Research Conference, p 234-237, 2008
- [Hwang04] J. R. Hwang, J. H. Ho, Y. C. Liu, J. J. Shen, W. J. Chen, D. F. Chen, W. S. Liao, Y. S. Hsieh, W. M. Lin, C. H. Hsu, H. S. Lin, M. F. Lu, A. Kuo, S. Huang-Lu, H. Tang, D. Chen, W. T. Shiau, K. Y. Liao, S. W. Sun, "Symmetrical 45nm PMOS on (110) Substrate with Excellent S/D Extension Distribution and Mobility Enhancement", Symposium on VLSI Technology, Digest of Technical Papers, p. 90-91, 2004
- [Innocenti14] J. Innocenti, L. Welter, F. Julien, L. Lopez, J. Sonzogni, S. Niel, A. Regnier, E. Paire, K. Labory, E. Denis, J.-M. Portal, P. Masson, "Dynamic power reduction through process and design optimizations on CMOS 80 nm embedded non-volatile memories technology", IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), p. 897-900, 2014
- [Ito82] T. Ito, T. Nakamura, H. Ishikawa, "Advantages of thermal nitride and nitroxide gate films in VLSI process", IEEE Transactions on Electron Devices, Vol. 29, No. 4, p 498-502, 1982

- [Ito00]** S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, T. Horiuchi, "Mechanical stress effect of Etch-Stop Nitride and its impact on deep submicron transistor design", IEEE International Electron Devices Meeting (IEDM), p 247-250, 2000
- [ITRS12]** "Emerging Research Devices," International Technology Roadmap for Semiconductors, 2012
- [Jeon89]** D. Jeon, D.Burk, "MOSFET electron inversion layer mobilities - A physically based semi-empirical model for a wide temperature range", IEEE Transactions on Electron Devices, Vol. 36, No. 8, p. 1456-1463, 1989
- [Joly11a]** Y. Joly, L. Lopez, J. Portal, H. Aziza, P. Masson, J.-L. Ogier, Y. Bert, F. Julien, P. Fornara, "Octagonal MOSFET: reliable device for low power analog applications", European Solid-State Device Research Conference (ESSDERC), p. 295-298, 2011
- [Joly11b]** Y. Joly, « Étude des fluctuations locales des transistors MOS destinés aux applications analogiques », Thèse, 2011
- [Kang11]** Y. H. Kang, C. W. Lee, H. U. Kim, Y. K. Ryu, H. S. Kim, T. S. Jung, "Impact of gate length and gate oxide thickness on the relationship of FN-stress induced degradation parameters", IEEE International Integrated Reliability Workshop (IIRW), p. 115-116, 2011
- [Keating07]** M. Keating, D. Flynn, R. Aitken, A. Gibbons, K. Shi, "Low power methodology manual: for system-on-chip design", Springer Edition, p. 2-10, 2007
- [Ker96]** M.-D. Ker, T.-S. Wu, "Novel octagonal device structure for output transistors", IEEE International Electron Device Meeting (IEDM), p.889-892, 1996
- [Kim97]** J. Kim, Jung Dal Choi, Wang Chul Shin, Dong Jun Kim, Hong Soo Kim, Kyong Moo Mang, Sung Tae Ahn, Oh Hyun Kwon, "Scaling down of tunnel oxynitride in NAND flash memory: oxynitride selection and reliabilities", IEEE International Reliability Physics Symposium (IRPS), p. 12-16, 1997
- [Kobayashi99]** K. Kobayashi, A. Teramoto, H. Miyoshi, "Origin of positive charge generated in thin SiO₂ films during high-field electrical stress", IEEE Transactions on Electron Devices, Vol. 46, No. 5, p. 947-953, 1999
- [Koike04]** N. Koike, K. Tatsuuma, "A drain avalanche hot-carrier lifetime model for n- and p-channel MOSFET's", IEEE Transaction on Device and Materials Reliability, Vol. 4, No. 3, p. 457-466, 2004
- [Kojima81]** Y. Kojima, M. Kamiya, K. Tanaka, K. Nagai, Y. Hayashi, "New instability in thin gate oxide MOSFET's", IEEE International Electron Devices Meeting (IEDM), p. 392-395, 1981
- [Komoda04]** T. Komoda, A. Oishi, T. Sanuki, K. Kasai, H. Yoshimura, K. Ohno, M. Iwai, M. Saito, F; Matsuoka, N. Nagashima, T. Noguchi, "Mobility improvement for 45nm node by combination of optimized stress control and channel orientation design", IEEE International Electron Devices Meeting (IEDM), p. 217-220, 2004

- [Krause06] G. Krause, M. Florian Beug, R. Ferretti, S. Prasad, K. R. Hofmann, "High-field degradation of poly-Si gate p-MOS and n-MOS devices with nitrided oxides", IEEE Transactions on Device and Materials Reliability, Vol. 6, No. 3, p. 473-478, 2006
- [Kynett89] V. N. Kynett, M. L. Fandrich, J. Anderson, P. Dix, O. Jungroth, J. A. Kreifels, R. A. Lodenquai, B. Vajdic, S. Wells, M. D. Winston, L. Yang, "A 90-ns one-million erase/program cycle 1-Mbit Flash Memory", IEEE Journal of Solid-State Circuits, Vol. 24, No. 5, p. 1259-1264, 1989
- [Lai98] S. Lai, "Tunnel oxide and ETOX flash scaling limitation", IEEE Nonvolatile Memory Technology Conference, p. 6-7, 1998
- [Lai04] W. Lai, E. Wu, J. Suñé, "Critical evaluation of hard-breakdown based reliability methodologies for ultrathin gate oxides", Microelectronic Engineering, Vol. 72, p. 16-23, 2004
- [Lee11] W.-H. Lee, M.-J. Chen, "Gate direct tunneling current in uniaxially compressive strained nMOSFETs: A sensitive measure of electron piezo effective mass", IEEE Transactions on Electron Devices, Vol. 58, No. 1, p. 39-45, 2011
- [Lenahan02] P. M. Lenahan, "Atomic Scale Defects Involved in MOS Reliability Problems", IEEE International Reliability Physic Symposium (IRPS), p. 1, 2002
- [Lenzlinger69] M. Lenzlinger, E.H. Snow, "Fowler-Nordheim tunnelling into thermally grown SiO₂", Journal of Applied Physics, Vol. 40, No. 1, p. 278-283, 1969
- [Li00] E. Li, E. Rosenbaum, L. F. Register, J. Tao, P. Fang, "Hot carrier induced degradation in deep submicron MOSFETs at 100°C", IEEE International Reliability Physics Symposium (IRPS), p. 103-107, 2000
- [Liang82] M. S. Liang, Y. T. Yeow, C. Chang, C. Hu, R. W. Brodersen, "MOSFET degradation due to stressing of thin oxide", IEEE International Electron Devices Meeting (IEDM), p. 50-53, 1982
- [Liang84] M.-S. Liang, C. Chang, Y. T. Yeow, C. Hu, "MOSFET degradation due to stressing of thin oxide", IEEE Transaction on Electron Devices, Vol. 31, p. 1238-1244, 1984
- [Liang86] M.-S. Liang, S. Haddad, W. Cox, S. Cagnina, "Degradation of very thin gate oxide MOS devices under dynamic high field current stress", IEEE International Electron Devices Meeting (IEDM), p. 394-398, 1986
- [Liu93] Z.-H. Liu, C. Hu, J.-H. Huang, T.-Y. Chan, M.-C. Jeng, P. K. KO, Y. C. Cheng, "Threshold voltage model for deep-submicrometer MOSFET's", IEEE Transactions on Electron Devices, Vol. 40, No. 1, p. 86-95, 1993
- [Mahapatra02] S. Mahapatra, M. A. Alam, "A predictive reliability model for PMOS Bias Temperature degradation", IEEE International Electron Device Meeting (IEDM), p. 505-508, 2002

- [Mahapatra13]** S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. E. Islam, M. A. Alam, “A comparative study of different physics-based NBTI models”, IEEE Transactions on Electron Devices, Vol. 60, No. 3, p. 901-916, 2013
- [Maheta08]** V. D. Maheta, C. Olsen, K. Ahmed, S. Mahapatra, “The impact of nitrogen engineering in silicon oxynitride gate dielectric on Negative-Bias Temperature Instability of p-MOSFETs: A Study by ultrafast On-The-Fly technique”, IEEE Transactions on Electron Devices, Vol. 55, No. 7, p. 1630-1638, 2008
- [Makabe00]** M. Makabe, T. Kubota, T. Kitano, “Bias-temperature degradation of pMOSFETs: mechanism and suppression”, IEEE International Reliability Physics Symposium (IRPS), p. 205-209, 2000
- [Maneglia98]** Y. Maneglia, « Analyse en profondeur des défauts de l'interface si-sio₂ par la technique du pompage de charges », Thèse, 1998
- [Martin96]** A. Martin, J. S. Suehle, P. Chaparala, P. O'Sullivan, A. Mathewson, “A new oxide degradation mechanism for stresses in the Fowler-Nordheim tunneling regime”, IEEE International Reliability Physics Symposium (IRPS), p.67-76, 1996
- [Masson99]** P. Masson, « Etude par pompage de charge et par mesure de bruit basse fréquence de transistors MOS à oxynitrures de grille ultra-minces », Thèse, 1999
- [Math08]** G. Math, C. Benard, J. L. Ogier, D. Goguenheim, “Geometry effects on the NBTI degradation of PMOS transistors”, IEEE International Integrated Reliability Workshop (IIRW), p. 60-63, 2008
- [Mathieu98]** H. Mathieu. Physique des Semiconducteurs et des composants électroniques. 1998.
- [McMahon03]** W. McMahon, A. Haggag, K. Hess, “Reliability scaling issues for nanoscale devices”, IEEE Transactions on Nanotechnology, Vol. 2, No. 1, p. 33-38, 2003
- [McPherson85]** J. W. McPherson, D. A. Baglee, “Acceleration factors for thin gate oxide stressing”, IEEE International Reliability Physics Symposium (IRPS), p. 1-5, 1985
- [McPherson98a]** J. W. McPherson, H. C. Mogul, “Disturbed bonding states in SiO₂ thin-films and their impact on time dependent dielectric breakdown”, IEEE International Reliability Physics Symposium (IRPS), p. 47-56, 1998
- [McPherson98b]** J. W. McPherson, V. Reddy, K. Banerjee, H. Le, “Comparison of E and 1/E TDDB Models for SiO₂ under long-term/low-field test conditions”, IEEE International Electron Devices Meeting (IEDM), p. 171-174, 1998
- [McPherson98c]** J. W. McPherson, H. C. Mogul, “Underlying physics of the thermochemical E model in describing low-field time-dependent breakdown in SiO₂ thin films”, Journal of Applied Physics, Vol. 84, p. 1513-1523, 1998

- [McPherson00a] J. W. McPherson, R. B. Khamankar, "Molecular model for intrinsic time-dependent dielectric breakdown in SiO₂ dielectrics and the reliability implications for hyper-thin gate oxide", *Semiconductor Science and Technology*, Vol. 15, No. 5, p. 462-470, 2000
- [McPherson00b] J. W. McPherson, R. B. Khamankar, A. Shanware, "A complementary molecular model (including field and current) for TDDDB in SiO₂ dielectrics", *Microelectronics Reliability*, Vol. 40, p. 1591-1597, 2000
- [McPherson03] J. W. McPherson, Jinyoung Kim, A. Shanware, H. Mogul, J. Rodriguez, "Trends in the ultimate breakdown strength of high dielectric-constant materials", *IEEE Transactions on Electron Devices*, Vol. 50, No. 8, p. 1771-1778, 2003
- [McPherson12] J. W. McPherson, "Time dependent dielectric breakdown physics – Models revisited", *Microelectronics Reliability*, Vol. 52, p. 1753-1760, 2012
- [Mielke04] N. Mielke, H. Belgal, Member, I. Kalastirsky, P. Kalavade, A. Kurtz, Q. Meng, N. Righos, J. Wu, "Flash EEPROM threshold instabilities due to charge trapping during program/erase cycling", *IEEE Transactions on Device and Materials Reliability*, Vol. 4, No. 3, p. 335-344, 2004
- [Mihnea02] A. Mihnea, P. J. Rudeck, C. Chen, K. D. Prall, R. Ghodsi, "Direct observation of secondary ionization current in n-channel MOSFETs", *IEEE Transaction on Electron Devices*, Vol. 49, No. 12, p. 2301-2307, 2002
- [Mistry89] K. Mistry, B. Doyle, "An empirical model for the Leff dependence of hot-carrier lifetimes of n-channel MOSFET's", *IEEE Electron Device Letters*, Vol. 10, No. 11, p. 500-502, 1989
- [Mitani02] Y. Mitani, M. Nagamine, H. Satake, Toriumi Akira, "NBTI mechanism in ultra-thin gate dielectric - nitrogen-originated mechanism in SiON", *IEEE International Electron Devices Meeting, (IEDM)*, p. 509-512, 2002
- [Miura66] Y. Miura, Y. Matukura, "Investigation of silicon–silicon dioxide interface using MOS structure", *Journal of Applied Physics*, Vol. 5, p.180, 1966
- [Modelli04] A. Modelli, A. Visconti, R. Bez, "Advanced Flash memory reliability", *IEEE International Conference on Integrated Circuit Design and Technology (ICICDT)*, p. 211-218, 2004
- [Monsieur01] F. Monsieur, E. Vincent, D. Roy, S. Bruyère, G. Pananakakis, G. Ghibaudo, "Time to Breakdown and Voltage to Breakdown modeling for ultra-thin oxides (Tox<32Å)", *IEEE International Integrated Reliability Workshop (IIRW)*, p. 20-25, 2001
- [Monsieur02] F. Monsieur, E. Vincent, D. Roy, S. Bruyere, J. C. Vilveuil, G. Pananakakis, G. Ghibaudo, "A thorough investigation of progressive breakdown in ultra-thin oxides. Physical understanding and application for industrial reliability assessment", *IEEE International Reliability Physics Symposium (IRPS)*, p. 45-54, 2002

- [Moore65]** G. E. Moore, "Cramming more components onto integrated circuits", *Electronics*, Vol. 38, No. 8, p. 114-117, 1965
- [Morifuji09]** E. Morifuji, H. Aikawa, H. Yoshimura, A. Sakata, M. Ohta, M. Iwai, F. Matsuoka, "Layout dependence modeling for 45-nm CMOS with stress-enhanced technique", *IEEE Transactions on Electron Devices*, Vol. 56, No. 9, p. 1991-1998, 2009
- [Ng99]** K. H. Ng, B. B. Jie, Y. D. He, W. K. Chim, M. F. Li, K. F. Lo, "A comparison of interface trap generation by Fowler-Nordheim electron injection and hot-hole injection using the DCIV method", *International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, p. 140-144, 1999
- [Nicollian00]** P. E. Nicollian, W. R. Hunter, J. C. Hu, "Experimental evidence for voltage driven breakdown models in ultrathin gate oxides", *IEEE International Reliability Physics Symposium (IRPS)*, p. 7-15, 2000
- [Ning79]** T. H. Ning, P. W. Cooe, R. H. Dennard, C. M. Osbrun, S. E. Schuster, H.-N. Yu, "1 pm MOSFET VLSI technology: Part IV - hot-electron design constraints", *IEEE Transaction on Electron Devices*, Vol. 26, No. 4, p. 346-353, 1979
- [Nishigohri96]** M. Nishigohri, K. Ishimaru, M. Takahashi, Y. Unno, Y. Okayama, F. Matsuoka, M. Kinugawa, "Anomalous hot-carrier induced degradation in very narrow channel nMOSFETs with STI structure", *IEEE International Electron Devices Meeting (IEDM)*, p. 881-884, 1996
- [Nohira98]** H. Nohira, A. Omura, M. Katayama, T. Hattori, "Valence band edge of ultrathin silicon oxide near the interface", *Applied Surface Science*, Vol. 123-124, p. 546-549, 1998
- [Nouri00]** F. Nouri, G. Scott, M. Rubin, M. Manley, P. Stolk, "Narrow device issues in deep-submicron technologies-the influence of stress, TED and segregation on device performance", *European Solid-State Device Research Conference (ESSDERC)*, p. 112-115, 2000
- [Ogier96]** J.-L. Ogier, R. Degraeve, G. Groeseneken, H.E. Maes, "On the polarity dependence of oxide breakdown in MOS-devices with n+ and p+ polysilicon gate", *European Solid-State Device Research Conference (ESSDERC)*, p. 763-766, 1996
- [Ogura80]** S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, J. F. Shepard, "Design and characteristics of the lightly doped drain-source (LDD) insulated gate field-effect transistor", *IEEE Transaction on Electron Devices*, Vol. 27, No. 8, p. 1359-1367, 1980
- [Ortiz02]** A. Ortiz-Conde, F. J. Garcia Sanchez, J. J. Liou, A. Cerdeira, M. Estrada, Y. Yue, "A review of recent MOSFET threshold voltage extraction methods", *Microelectronics Reliability*, Vol. 42, p. 583-596, 2002

- [Papadas93]** C. Papadas, N. Revil, G. Ghibaudo, P. Mortini, G. Pananakakis, "A comprehensive analysis of the relaxation phenomena in MOSFET's after uniform Fowler-Nordheim injection", European Solid-State Device Research Conference (ESSDERC), p. 543-546, 1993
- [Paulsen92]** R. E. Paulsen, R. R. Siergiej, M. L. French, M. H. White, "Observation of Near-Interface Oxide Traps with the Charge-Pumping Technique", IEEE Electron Device Letters, Vol. 13, No. 12, p. 627-629, 1992
- [Park08]** B.-C. Park, S. Y. Lee, D.-R. Chang, K.-I. Bang, S.-J. Kim, S.-B. Yi, E.-S. Jung, "A novel Fermi level controlled high voltage transistor preventing sub-threshold hump", IEEE International Semiconductor Conference, p. 313-316, 2008
- [Park10]** S. Park, J. Lee, Y. Ryu, J. Kang, B. So, D. Baek, "Gate oxide trap characterization under DC and pulse stress", IEEE International Conference on Electronics, Circuits, and Systems (ICECS), p. 289-292, 2010
- [Payet08]** F. Payet, F. Boeuf, C. Ortolland, T. Skotnicki, "Non-uniform mobility enhancement techniques and their impact on device performance", IEEE Transactions on Electron Devices; Vol. 55, No. 4, p. 1050-1057, 2008
- [Pic07]** D. Pic, « Etude de la fiabilité de l'oxyde SiO₂ dans les dispositifs CMOS avancés et les mémoires non-volatiles », Thèse, 2007
- [Piguet06]** C. Piguet, "Low-power CMOS circuits: technology, logic design and CAD tools", CRC Press Taylor & Francis Group, p. 10, 2006
- [Pobegen11]** G. Pobegen, T. Aichinger, T. Grasser, M. Nelhiebel, "Impact of gate poly doping and oxide thickness on the N- and PBTI in MOSFETs", Microelectronics Reliability, Vol. 51, p. 1530-1534, 2011
- [Quddus01]** M. T. Quddus, T. A. Demassa, D. K. Schroder, J. J. Sanchez, "Modeling of time dependence of hole current and prediction of Qbd and Tbd for thin gate devices based up on anode hole injection", Solid-State Electronics, Vol. 45, p. 1773-1785, 2001
- [Rabaey99]** J. M. Rabaey, A. Chandrakasan, B. Nikolic, "Digital integrated circuits. A design perspective", 2nd Edition, 1999
- [Rangan03]** S. Rangan, N. Mielke, E. C.C. Yeh, "Universal Recovery Behavior of Negative Bias Temperature Instability", IEEE International Electron Devices Meeting (IEDM), Vol. 3, p. 341-344, 2003
- [Ranuaez06]** J. C. Ranuaez, M. J. Deen, C.-H. Chen, "A review of gate tunneling current in MOS devices", Microelectronics Reliability, Vol. 46, p. 1939-1956, 2006

- [Reisinger06]** H. Reisinger, O. Blank, W. Heirings, A. Mühlhoff, W. Gustin, C. Schlünder, "Analysis of NBTI degradation and recovery-behavior based on ultra fast Vt-Measurements", IEEE International Reliability Physics Symposium (IRPS), p. 448-453, 2006
- [Reisinger07]** H. Reisinger, O. Blank, W. Heirings, W. Gustin, C. Schlünder, "A comparison of very fast to very slow components in degradation and recovery due to NBTI and Bulk Hole Trapping to Existing Physical Model", IEEE Transaction on Device and Materials Reliability, Vol. 7, No. 1, p. 119-129, 2007
- [Ribes05a]** G. Ribes, S. bruyere, M. Denais, F. Monsieur, V. Huard, D. Roy, G. Ghibaudo, "Multi-vibrational hydrogen release : Physical origin of Tbd, Qbd power law voltage dependence of oxide breakdown in ultra-thin gate oxides", Microelectronics Reliability, Vol. 45, p. 1842-1854, 2005
- [Ribes05b]** G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, G. Ghibaudo, "Review on High-k Dielectrics Reliability Issues", IEEE Transactions on Device and Materials Reliability, Vol. 5, p. 5-19, 2005
- [Rosenbaum96]** E. Rosenbaum, J. C. King, C. Hu, "Accelerated testing of SiO₂ reliability", IEEE Transactions on Electron Devices, Vol. 43, No. 1, p. 70-80, 1996
- [Roy98]** D. Roy, S. Bruyere, E. Vincent, G. Ghibaudo, "Electric field and temperature acceleration of quasi-breakdown phenomena in ultrathin oxides", IEEE International Integrated Reliability Workshop (IIRW), 1998
- [Roy03]** K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," Proceeding of the IEEE, Vol. 91, No. 2, p. 305-327, 2003
- [Sallagoity96]** P. Sallagoity, M. Ada-Hanifi, M. Paoli, M. Haond, "Analysis of width edge effects in advanced isolation schemes for deep sub-micron CMOS technologies", IEEE Transactions on Electron Devices, Vol. 43, No. 11, p. 1900-1906, 1996
- [Sanchez91]** J. J. Sanchez, T. A. DeMassa, "Review of carrier injection in the silicon/silicon-dioxide system", IEE Proceedings-G, Semiconductor device and materials, Vol. 138, No. 3, p. 377-389, 1991
- [Sawa08]** A. Sawa, "Resistive switching in transition metal oxides", Materials Today, Vol. 11, No. 6, p. 28, 2008
- [Sayama99]** H. Sayama, Y. Nishida, H. Oda, T. Oishi, S. Shimizu, T. Kunikiyo, K. Sonoda, Y. Inoue, M. Inuishi, "Effect of <100> channel direction for high performance SCE immune pMOSFET with less than 0.15µm gate length", IEEE International Electron Devices Meeting (IEDM), p. 657-660, 1999
- [Schroder07]** D. K. Schroder, "Negative Bias Temperature Instability: What do we understand", Microelectronics Reliability, Vol. 47, p. 841-852, 2007
- [Schroder06]** D. K. Schroder, "Semiconductor material and device characterization", 3rd Edition, 2006

- [Schuegraf93]** K. F. Schuegraf, C. Hu, "Hole injection oxide breakdown model for very low voltage lifetime extrapolation", IEEE International Reliability Physics Symposium (IRPS), p. 7-12, 1993
- [Schuegraf94a]** K. F. Schuegraf, C. Hu, "Hole injection sio2 breakdown model for very low voltage lifetime extrapolation", IEEE Transactions on Electron Devices, Vol. 41, No. 7, p. 1227-1232, 1994
- [Schuegraf94b]** K. F. Schuegraf, C. Hu, "Effects of temperature and defects on breakdown lifetime of thin sio2 at very low voltage", IEEE Transactions on Electron Devices, Vol. 41, No. 5, p. 761-766, 1994
- [Schwantes05]** S. Schwantes, J. Fuerthaler, T. Stephan, M. Graf, V. Dudek, T. Barry, G. Miller, J. Shen, "Characterization of a new hump-free device structure for smart power and embedded memories technologies", Microelectronic Engineering, Vol. 81, p. 132-139, 2005
- [Servalli09]** G. Servalli, "A 45nm generation Phase Change Memory technology", IEEE International Electron Devices Meeting (IEDM), p. 113-116, 2009
- [Shang05]** H. Shang, J. Rubino, B. Doris, A. Topol, J. Sleight, J. Cai, L. Chang, J. A. Ott, J. Kedzierski, K. Chan, L. Shi, K. Babich, J. Newbury, E. Sikorski, B. N. To, Y. Zhang, K. W. Guarini, M. leong, "Mobility and CMOS Devices/Circuits on sub-10nm (110) Ultra Thin Body SOI", Symposium on VLSI Technology, Digest of Technical Papers, p. 78-79, 2005
- [Shanware03]** A. Shanware, M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, H. Bu, M. J. Bevan, R. Khamankar, S. Aur, P. E. Nicollian, J. McPerson, L. Colombo, "Evaluation of the positive bias temperature stress stability in HfSiON gate dielectrics," IEEE International Reliability Physics Symposium (IRPS), p. 208-213, 2003
- [Sheraw05]** C. D. Sheraw, M. Yang, D. M. Fried, G. Costrini, T. Kanarsky, W.-H. Lee, V. Chan, M. V. Fischetti, J. Holt, L. Black, M. Naeem, S. Panda, L. Economikos, J. Groschopf, A. Kapur, Y. Li, R. T. Mo, A. Bonnoit, D. Degraw, S. Luning, D. Chidambarao, X. Wang, A. Bryant, D. Brown, C. Y. Sung, P. Agnello, M. leong, S. F. Huang, X. Chen, M. Khare, "Dual Stress Liner Enhancement in Hybrid Orientation Technology", Symposium on VLSI Technology, Digest of Technical Papers, p. 12-13, 2005
- [Shih89]** D. K. Shih, G. Q. Lo, W. Ting, D. L. Kwong, "Performance and reliability of short-channel MOSFETs with superior oxynitride gate dielectrics fabricated using multiple rapid thermal processing", International Symposium on Technology Systems and Applications, p 197-201, 1989
- [Shimizu01]** A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, F. Ootsuka, "Local Mechanical-Stress Control (LMC):A new technique for CMOS performance enhancement", IEEE International Electron Devices Meeting (IEDM), p. 433-436, 2001
- [Shiono82]** N. Shiono, C. Hashimoto, "Threshold-voltage instability of n-channel MOSFET's under bias-temperature aging", IEEE Transactions on Electron Devices, Vol. 29, No. 3, p. 361-368, 1982
- [Shiono91]** N. Shiono, C. Hashimoto, "Threshold-Voltage Instability of n-Channel MOSFET's under Bias-Temperature Aging", IEEE Electron Device Letters, Vol. 12, No. 10, p. 539-541, 1991

- [Shiono93]** N. Shiono, M. Itsumi, "A lifetime projection method using series model and acceleration factors for TDDDB failures of thin gate oxides", IEEE International Reliability Physics Symposium (IRPS), p. 1-6, 1993
- [Shockley52]** W. Shockley, W. T. Read, "Statistics of the recombination of holes and electrons", Physical Review, Vol. 87, p. 835, 1952
- [Sinha78]** A. K. Sinha, T. E. Smith, "Kinetics of the slow-trapping instability at the Si/SiO₂ interface", Journal of the Electrochemical Society, Vol. 125, No. 5, p. 743-746, 1978
- [Spessot09]** A. Spessot, A. Colombi, G. P. Carnevale, P. Fantini, "Characterization and modeling of mechanical stress in silicon-based devices", International Conference on Microelectronic Test Structures, p 143-147, 2009
- [Staneham87]** A. M. Stoneham, C. R. M. Grovenor, A. Cerezo, "Oxidation and the structure of the silicon/oxide interface", Philosophical Magazine Part B, Vol. 55, No. 2, p. 201-210, 1987
- [Stathis99]** J. H. Stathis, "Percolation model for gate oxide breakdown", Journal of Applied Physics, Vol. 86, No. 10, p. 5757-5766, 1999
- [Suehle05]** J. S. Suehle, B. Zhu, Y. Chen, J. B. Bernstein, "Detailed study and projection of hard breakdown evolution in ultra-thin gate oxides", Microelectronics Reliability, Vol. 45, p. 419-426, 2005
- [Suñé90]** J. Suñé, I. Placencia, N. Barniol, E. Farrés, F. Martín, X. Aymerich, "On the breakdown statistics of very thin SiO₂ films," Thin Solid Films, Vol. 185, p. 347-362, 1990
- [Suñé05]** J. Suñé, E. Y. Wu, "Mechanisms of hydrogen release in the breakdown of sio₂-based gate oxides", IEEE International Electron Device Meeting (IEDM), p. 388-391, 2005
- [Sze81]** S. M. Sze, "Physics of Semiconductor Devices", 2nd edition, 1981
- [Szelag99]** B. Szeiag, S. Kubicek, K. De Meyer, F. Balestra, "Time-dependent degradation law for reliable lifetime prediction in sub-0.25 μ m bulk silicon N-MOSFETs", Electronics Letters, Vol. 35, No. 16, p. 1385-1386, 1999
- [Takeda83a]** E. Takeda, N. Suzuki, T. Hagiwara, "Device performance degradation due to Hot Carrier Injection at energies below the Si-SiO₂ energy barrier", IEEE International Electron Devices Meeting (IEDM), p. 396-399, 1983
- [Takeda83b]** E. Takeda, Y. Nakagome, H. Kume, S. Asai, "New hot-carrier injection and device degradation in submicron MOSFETs", IEE Proceeding I, Vol. 130, No. 3, p. 144-150, 1983
- [Takeda83c]** E. Takeda, N. Suzuki, T. Hagiwara, "Role of hot-hole injection in hot-carrier effects and the small degraded channel region in MOSFET's", IEEE Electron Device Letters, Vol. 4, No. 9, p. 329-331, 1983
- [Takeda83d]** E. Takeda, N. Suzuki, "An empirical model for device degradation due to hot-carrier injection", IEEE Electron Device Letters, Vol. 4, No. 4, p. 111-113, 1983

- [Takeda84]** E. Takeda, "Hot-carrier effects in submicrometer MOS VLSIs", IEE Proceeding, Vol. 131, No. 5, p. 153-162, 1984
- [Takede85]** E. Takeda, "Hot-carrier and wear-out phenomena in submicron VLSI's", Symposium on VLSI Technology Digest of Technical Papers, p. 2-5, 1985
- [Tan94]** C.Tan, M. Xu, Y. Wang, "Application of the difference subthreshold swing analysis to study generation interface trap in MOS structures due to Fowler-Nordheim aging", IEEE Electron Device Letters, Vol. 15, No. 7, p. 257-259, 1994
- [Tavel03]** B. Tavel, M. Bidaud, N. Emonet, D. Barge, N. Planes, H. Brut, D. Roy, J. C. Vildeuil, R. Difrenza, K. Rochereau, M. Denais, V. Huard, P. Llinares, S. Bruyère, C. Parthasarthy, N. Revi, R. Pantel, F. Guyader, L. Vishnubotla, K. Barla, F. Amaud, P. Stolk, M. Woo, "Thin oxynitride solution for digital and mixed-signal 65nm CMOS platform", IEEE International Electron Devices Meeting (IEDM), p. 643-646, 2003
- [Teo09]** Z. Q. Teo, D. S. Ang, K. S. See, P. Z. Yang, "Effect of mechanical strain on the NBTI of short-channel p-MOSFETs: role of impact ionization", IEEE International Reliability Physics Symposium (IRPS), p. 1019-1022, 2009
- [Teo11]** Z. Q. Teo, A. A. Boo, D. S. Ang, K. C. Leong, "On the cyclic threshold voltage shift of dynamic negative-bias temperature instability", IEEE International Reliability Physics Symposium (IRPS), p. 943-947, 2011
- [Thompson02]** S. Thompson, N. Anand, M. Armstrong, C. Auth, B. Arcot, M. Alavi, P. Bai, I. Bielefeld, R. Bigwood, 1. Brandenburg, M. Buehler, S. Cea, V.Chikarmane, C. Choi, R. Frankovic, T. Ghani, G. Glass, W. Han, T. Hoffmann, M. Hussein, P. Jacob, A. Iain. C. Jan, S. Joshi, C. Kenyon, I.Klaus, S Klopccic, I. Luce, Z. Ma, B. McIntyre, K .Misty, A. Munhy, P. Nguyen. H. Pearson, T. Sandford, R. Schweinfunh, R. Shah, S.Sivakumar, M. Taylor, B. Tufts, C. Wallace, P. Wang, C. Weber, M. Bohr, "A 90 nm logic technology featuring 50nm strained silicon channel transistors, 7 layers of Cu interconnects, Low k ILD, and 1 μm^2 SRAM Cell", IEEE International Electron Devices Meeting (IEDM), p. 61-64, 2002
- [Tsetseris05]** L. Tsetseris, X. J. Zhou, D. M. Fleetwood, R. D. Schrimpf, S. T. Pantelides, "Physical mechanism of negative-bias temperature instability", Applied Physics Letter, Vol. 86, No. 14, 2005
- [Tsunio7]** H. Tsuni, K. Anzai, M. Matsumura, S. Minami, A. Honjo, H. Koike, Y. Hiura, A. Takeo, W. Fu, Y. Fukuzaki, M. Kanno, H. Ansai, N. Nagashima, "Advanced analysis and modeling of MOSFET characteristic fluctuation caused by layout variation", Symposium on VLSI Technology Digest of Technical Papers, p. 204-205, 2007
- [Turgis97]** S. Turgis, J. M. Daga, J. M. Portal, D. Auvergne, "Internal power modelling and minimization in CMOS inverters", European Design and Test Conference, p. 603-608, 1997

- [Tzou85]** J. J. Tzou, C. C. Yao, R. Cheung, H. Chan, "Hot-electron-induced MOSFET degradation at low temperatures", IEEE Electron Device Letters, Vol. 6, No. 9, p. 450-452, 1985
- [Ushiyama95]** M. Ushiyama, Hideo Miura, H. Yashima, T. Adachi, T. Nishimoto, K. Komori, Y. Kamigaki, M. Kato, H. Kume, Y. Ohji, "Improving program/erase endurance by controlling the inter-poly process in flash memory", IEEE International Reliability Physics Symposium (IRPS), p. 18-23, 1995
- [Uwasawa95]** K. Uwasawa, T. Yamamoto, T. Mogami, "A new degradation mode of scaled p+ polysilicon gate pMOSFETs induced by bias temperature (BT) instability", IEEE International Electron Devices Meeting (IEDM), p. 871-874, 1995
- [Varghese05]** D. Varghese, S. Mahapatra, M. A. Alam, "Hole energy dependent interface trap generation in MOSFET Si/SiO₂ interface", IEEE Electron Device Letters, Vol. 26, No. 8, p. 572-574, 2005
- [Vickerman09]** J. C. Vickerman, I.S. Gilmore, "Surface Analysis. The principal techniques", 2nd Edition, 2009
- [Wan10]** S. F. Wan Muhamad Hatta, N. Soin, J. F. Zhang, "The effect of gate oxide thickness and drain bias on NBTI degradation in 45nm PMOS", IEEE International Conference On Semiconductor Electronics, p. 210-213, 2010
- [Wang91]** Q. Wang, M. Brox, W. H. Krautschneider, W. Weber, "Explanation and model for the logarithmic time dependence of p-MOSFET degradation", IEEE Electron Device Letters, Vol. 12, No. 5, p. 218-220, 1991
- [Warren87a]** W. L. Warren, P. M. Lenahan, "Fundamental differences between thick and thin oxides subjected to high electric fields", Journal of Applied Physics, Vol. 62, No. 10, p. 4305-4308, 1987
- [Warren87b]** W. L. Warren, P. M. Lenahan, "A comparison of positive charge generation in high field stressing and ionizing radiation on MOS structures", IEEE Transactions on Nuclear Science, Vol. 34, No. 6, p. 1355-1358, 1987
- [Waser07]** R. Waser, M. Aono, "Nanoionics-based resistive switching memories", Nature Materials, Vol. 6, p. 833, 2007
- [Wu91]** K. Wu, S. Pan, D. Chin, J. Shaw, "Channel length and width effects on NMOS transistor degradation under constant positive gate-voltage stressing", IEEE International Electron Devices Meeting (IEDM), p. 735-738, 1991
- [Wu00]** E. Y. Wu, J. Aitken, E. Nowak, A. Vayshenker, P. Varekamp, G. Hueckel, J. Mckenna, D. Harmon, L.-K. Han, C. Montrose, R. Dufresne, "Voltage-dependent voltage-acceleration of oxide breakdown for ultra-thin oxides", IEEE International Electron Device Meeting (IEDM), p. 541-544, 2000

- [Wu01] E. Y. Wu, J. Suñé, E. Nowak, W. Lai, J. McKenna, "Weibull slopes, critical defect density, and the validity of Stress-Induced-Leakage Current (SILC) measurements", IEEE International Electron Device Meeting (IEDM), p. 125-128, 2001
- [Wu02] E. Y. Wu, A. Vayshenker, E. Nowak, J. Suñé, R.-P. Vollertsen, W. Lai, D. Harmon, "Experimental evidence of tbd power-law for voltage dependence of oxide breakdown in ultrathin gate oxides", IEEE Transactions on Electron Devices, Vol. 49, No. 12, p. 2244-2253, 2002
- [Yamabe85] K. Yamabe, K. Taniguchi, "Time-Dependent Dielectric Breakdown of thin thermally grown SiO₂ Films", IEEE Transactions on Electron Devices, Vol. 32, No. 2, p. 423-428, 1985
- [Yang03] M. Yang, E.P. Gusev, M. leong, O. Gluschenkov, D. C. Boyd, K. K. Chan, P. M. Kozlowski, C. P. D'Emic, R. M. Sicina, P. C. Jamison, A. I. Chou, "Performance dependence of CMOS on silicon substrate orientation for ultrathin oxynitride and HfO₂ gate dielectrics", IEEE Electron Device Letters, Vol. 24, No. 5, p. 339-341, 2003
- [Yang04] M. Yang, V. Chan, S. H. Ku, M. leong, L. Shi, K. K. Chan, C. S. Murthy, R. T. Mo, H. S. Yang, E. A. Lehner, Y. Surpris, F. F. Jamin, P. Oldiges, Y. Zhang, Y. B. N. To, J. R. Holt, S. E. Steen, M. P. Chudzik, D. M. Fried, K. Bernstein, H. Zhu, C. Y. Sung, J. A. Ott, D. C. Boyd, N. Rovedo, "On the integration of CMOS with hybrid crystal orientations", Symposium on VLSI Technology, Digest of Technical Papers, p. 160-161, 2004
- [Yang10] P. Yang, W. S. Lau, S. W. Lai, V. L. Lo, L. F. Toh, Jacob Wang, S. Y. Siah, L. Chan, "Mechanism for improvement of n-channel metal-oxide-semiconductor transistors by tensile stress", Journal of Applied Physics, Vol. 108, No. 3, 2010
- [Yoshida87] A. Yoshida, Y. Ushiku, "Hot Carrier Induced degradation mode depending on the LDD structure in nMOSFETs", IEEE International Electron Device Meeting (IEDM), p. 42-45, 1987
- [Yu97] B. Yu, C. H. J. Wann, E. D. Nowak, K. Noda, C. Hu, "Short-channel effect improved by lateral channel-engineering in deep-submicronmeter MOSFET's", IEEE Transactions on Electron Devices, Vol. 44, No. 4, p. 627-634, 1997
- [Zafar05] S. Zafar, A. Kumar, E. Gusev, E. Cartier, "Threshold voltage instabilities in high- κ gate dielectric stacks", IEEE Transactions on Device and Materials Reliability, Vol. 5, No. 1, p 45-64, 2005
- [Zhigang09] Zhigang Ji, Jian Fu Zhang, Mo Huai Chang, B. Kaczer, G. Groeseneken, "An analysis of the NBTI-induced threshold voltage shift evaluated by different techniques", IEEE Transactions on Electron Devices, Vol. 56, No. 5, p. 1086-1093, 2009

Références de l'auteur

Présentations en conférences :

[Carmona13a] M. Carmona, « Amélioration des performances des MOSFETs », Journées Nationales du Réseau Doctoral en Micro-nanoélectronique (JNRDM), Grenoble, France, Juin 2013

[Carmona13b] M. Carmona, B. Rebuffat, J. Delalleau, O. Gagliano, L. Lopez, J.-L. Ogier, D. Goguenheim, "MOSFET layout modifications for hump effect removal", Insulating Films on Semiconductors (INFOS), Cracovie, Pologne, Juin 2013

[Carmona14a] M. Carmona, L. Lopez, J.-L. Ogier, D. Goguenheim, "Gate stress study on High Voltage MOSFET for Non-Volatile Memory applications", IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC), Chengdu, Chine, Juin 2014

[Carmona14b] M. Carmona, Q. Hubert, L. Lopez, F. Julien, J.-L. Ogier, D. Goguenheim, L. Beauvisage, "Study of gate contact over active area", Symposium on Microelectronics Technology and Devices (SBMicro), Aracaju, Brésil, Septembre 2014

[Carmona14c] M. Carmona, L. Lopez, J.-L. Ogier, D. Goguenheim, "Degradation mechanism during gate stress at high electrical field on High Voltage MOSFET for Non-Volatile Memory applications", IEEE International Integrated Reliability Workshop (IIRW), Fallen Leaf Lake, CA, USA, Octobre 2014

Publications :

[Carmona13b] M. Carmona, B. Rebuffat, J. Delalleau, O. Gagliano, L. Lopez, J.-L. Ogier, D. Goguenheim, "MOSFET layout modifications for hump effect removal", Microelectronic Engineering, Vol. 109, p. 168-171, 2013, [doi:10.1016/j.mee.2013.03.109](https://doi.org/10.1016/j.mee.2013.03.109)

[Carmona14a] M. Carmona, L. Lopez, J.-L. Ogier, D. Goguenheim, "Gate stress study on High Voltage MOSFET for Non-Volatile Memory applications", IEEE International Conference of Electron Devices and Solid-state Circuits (EDSSC), 2014, [10.1109/EDSSC.2014.7061255](https://doi.org/10.1109/EDSSC.2014.7061255)

[Carmona14b] M. Carmona, Q. Hubert, L. Lopez, F. Julien, J.-L. Ogier, D. Goguenheim, L. Beauvisage, "Study of gate contact over active area", Symposium on Microelectronics Technology and Devices (SBMicro), 2014, [10.1109/SBMicro.2014.6940082](https://doi.org/10.1109/SBMicro.2014.6940082)

[Carmona14c] M. Carmona, L. Lopez, J.-L. Ogier, D. Goguenheim, "Degradation mechanism during gate stress at high electrical field on High Voltage MOSFET for Non-Volatile Memory applications", IEEE International Integrated Reliability Workshop Final Report (IIRW Final Report), p. 147-150, 2014, [10.1109/IIRW.2014.7049532](https://doi.org/10.1109/IIRW.2014.7049532)

Fiabilité des transistors MOS des technologies à mémoires non volatiles embarquées

Ce travail de thèse traite des différents phénomènes de dégradation que peuvent subir les transistors MOS suivant leurs applications sur les technologies CMOS avec mémoires non-volatiles embarquées. Les transistors MOS pour application aux mémoires non volatiles à stockage de charge qui sont enclins à des mécanismes de dégradation spécifiques liés à l'utilisation de la haute tension, ont été étudiés. De plus, des variations de procédés de fabrication ou d'architectures, peuvent avoir un impact sur les mécanismes de dégradation des transistors MOS. En effet, plusieurs modifications des étapes de fabrication peuvent être apportées dans le but d'améliorer les performances des MOSFETs. Le cas des transistors digitaux pour application faible consommation a été considéré ici avec comme objectif principal d'augmenter la mobilité des porteurs dans le canal des transistors MOS. Aussi, suite à certaines limites de l'architecture conventionnelle des transistors MOS, des études ont été menées sur les transistors analogiques et digitaux présentant de nouvelles architectures ayant pour but la suppression de l'effet « hump » ou la réduction de l'aire totale du transistor en déplaçant le contact de grille au-dessus de la zone active.

Mots clés : *Transistor MOS, fiabilité, mobilité, nitruration d'oxyde, architecture MOS*

Reliability of MOS transistors for embedded non-volatile memories technologies

This thesis focuses on various degradation phenomena that can impact MOS transistors according to their applications on CMOS technologies with embedded non-volatile memories. The transistors used in order to apply potentials greater than 10V in programming and erasing steps of charge storage non-volatile memories have been studied. These transistors are impacted by specific degradation mechanisms due to the use of high voltage. Moreover, manufacturing processes can be modified in order to improve MOSFETs performances, and thus, these variations may have an impact on the degradation mechanisms of MOS transistors. Therefore, several process steps of digital transistor for low power application were changed in order to increase carrier mobility. Furthermore, due to limitations of MOS transistors conventional architecture, new architectures have been proposed for analog and digital transistors in order to remove the "hump" effect or reduce the total area of transistor by moving the gate contact over active area.

Keywords: *MOS transistor, reliability, mobility, oxide nitridation, MOS architecture*