Université de Toulouse

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :
Institut National des Sciences Appliquées de Toulouse (INSA Toulouse)

Discipline ou spécialité :

Micro-Nano Systèmes

Présentée et soutenue par :
Emilie Pomès Jansingh

le : 20 décembre 2012

Titre :

Amélioration et suivi de la robustesse et de la qualité de MOSFETs de puissance dédiés à des applications automobiles micro-hybrides

---

JURY
Président :
M. Alain Claverie, Directeur de recherche CNRS, Directeur du CEMES, Toulouse
Examinateurs :
M. Gaël Blondel, Ingénieur électronique expert électronique de puissance, Valeo, Créteil.
M. Gérard Filloux, Ingénieur qualité expert ASICs, Coordinateur projet MOS iStARS.

Ecole doctorale :
Génie Electrique, Electronique et Télécommunications (GEET)

Unité de recherche :
LAAS CNRS

Directeur(s) de Thèse :

MM. Jean-Marie Dorkel, Patrick Tounsi et Jean-Michel Reynès.

Rapporteurs :
M. Bruno Allard, Professeur, INSA de Lyon.
M. Eric Woirgard, Professeur, IMS Bordeaux.

A Tibo
A ma famille

Remerciements

Les travaux de recherche présentés dans ce mémoire ont été réalisés au sein du groupe d'Intégration de Systèmes de Gestion de l'Énergie (ISGE) au Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du Centre National de la Recherche Scientifique (CNRS). De plus, ce projet a fait l'objet d'un partenariat étroit avec la société Freescale Semiconductor basée à Toulouse dans le cadre de l'ANR MOS iStARS.

Je souhaite remercier les directeurs successifs du LAAS, Monsieur Raja Chatila, Monsieur Jean-Louis Sanchez et Monsieur Jean Arlat, pour la confiance qu'ils m'ont accordée. Je tiens aussi à remercier Madame Marise Bafleur en charge de la thématique Energie du LAAS, ainsi que Monsieur Jean-Marie Dilhac, responsable du groupe Energie et Systèmes Embarqués. Mes remerciements se tournent également vers la société Freescale Semiconductor et plus particulièrement vers Monsieur Alain Deram qui m'a accueilli au sein de l'équipe RTG et a permis de donner une vision industrielle à mes travaux de recherche.

Ce mémoire n'aurait jamais vu le jour sans l'encadrement de mes directeurs de thèse, Messieurs Jean-Michel Reynès, Patrick Tounsi et Jean-Marie Dorkel. Vous avez tous les trois contribué à la réussite scientifique de ce projet et je vous en suis reconnaissante.

- Jean-Michel, tu as porté ce projet pendant trois ans au cours desquels tu as toujours cru en moi. Si aujourd'hui les MOSFETs de puissance n'ont plus de secret pour moi c'est grâce à la transmission de tes connaissances (ta mémoire m'impressionnera toujours). Merci de m'avoir accordé ta confiance et permis de mûrir professionnellement. Ces trois années ont été une expérience enrichissante et passionnante.

- Patrick, nous avons finalement pu tirer le meilleur parti de ces travaux qui étaient trop industriels à ton goût ! Ta bonne humeur et ton soutien lors de la phase de rédaction ainsi que ton aide lors de la préparation de la soutenance ont été primordiaux dans la réussite de cette thèse. Encore merci pour ces trois années à tes côtés.

- Jean-Marie, une connaissance presque infinie qui m'impressionne encore. Vous avez su être présent dans la dernière ligne droite et vos conseils toujours perspicaces m'ont permis de tirer le meilleur de ces travaux de recherches. Un remerciement spécial pour votre aide dans la compréhension du phénomène d'avalanche. Sans vos explications avisées je ne pense pas que je l'aurais totalement compris.

Je tiens également à remercier Messieurs Bruno Allard (Professeur des universités à l'INSA de Lyon) et Eric Woirgard (Professeur des universités à l'IMS de Bordeaux) pour avoir accepté d'être les rapporteurs de mes travaux de thèse. Je remercie aussi Messieurs Alain Claverie (Directeur de recherche CNRS, Directeur du CEMES de Toulouse), Gérard Filloux (Ingénieur qualité expert ASICs, Coordinateur projet MOS iStARS) et Gaël Blondel (Ingénieur électronique expert électronique de puissance – Valeo) d'avoir accepté d'être membres du jury.

Une petite pensée maintenant pour mes collègues de Freescale. Je souhaite remercier, en premier lieu, Pierre Jalbaud pour son aide dans la réalisation des différentes mesures électriques et la patience dont il a su faire preuve pendant ces trois années (c'est enfin fini !) ; Evgueniy Stefanov pour ses conseils en physique et pour nos discussions sur l'avenir, vaste sujet… Je pense également à Béatrice Bernoux alias Béa pour son soutien et ses longues discussions : entre femmes thésardes, on se comprend ! Je n'oublie pas non plus les personnes qui ont contribué à la réussite de ce projet :

- Le personnel de Toulouse Fab' : Bertrand Forgerit, Philippe Many, Armand Liuto, Philippe Serano, Guy Serres, Adel Benmansour.
- Le QA avec Adeline Feybesse et Pierre Soufflet.
- Les ingénieurs product et plus particulièrement Thierry Redon.
- L'équipe d'assemblage, Franck Babou et Jean-Paul Caillaba, et leur responsable Michel Clot.
- Le personnel du laboratoire d'analyse de défaillance : Yann Weber, Thomas Zirili, Marie Castignolles.

Je souhaite également remercier Gérard Sarrabayrouse pour ses connaissances sur l'oxyde de grille qui ont été très utiles. Je remercie aussi Claude Laffore pour sa gentillesse et son aide dans l'organisation des missions.

Je pense également à mes parents sans qui je n'aurais jamais décroché ce titre de docteur mais je vous promets que mes études sont bel et bien TERMINEES… Une pensée spéciale pour ma sœur, Chloé, qui va réfléchir avant d'entreprendre une thèse, je pense ! Je remercie aussi mes beaux-parents ainsi que Marike et Jo pour leur présence lors de la soutenance, leur soutien et leur énergie positive.

Enfin, je souhaite remercier celui qui m'a soutenue pendant ces trois années dans les périodes de doute comme dans les moments d'euphorie (l'obtention de résultats, la participation aux conférences…) et qui a vécu cette thèse par procuration : Tibo, mon époux. Il a su faire preuve d'une patience sans limite et d'une compréhension totale.

Liste des symboles

BV_{DSS}	Tension de claquage Drain Source du MOSFET (V)
C_{DS}	Capacité Drain Source (F)
C_{GD}	Capacité Grille Drain (F)
C_{GS}	Capacité Grille Source (F)
C_{ISS}	Capacité d'entrée (F)
C_{OSS}	Capacité de sortie (F)
C_{OX}	Capacité de l'oxyde de grille (F)
C_{RSS}	Capacité de contre-réaction (F)
d_{SUB}	Epaisseur du substrat (cm)
E	Energie (J)
E_{BD}	Champ de claquage du MOSFET ($V.cm^{-1}$)
E_G	Energie de gap du silicium (eV)
E_{OX}	Champ à travers l'oxyde de grille ($V.cm^{-1}$)
E_{SUB}	Epaisseur du substrat (cm)
h	Profondeur de jonction (cm)
H	Epaisseur de la couche épitaxiée (cm)
I_{AV}	Courant d'avalanche (A)
I_B	Courant de base (A)
I_{BD}	Courant de claquage (A)
I_C	Courant de collecteur (A)
I_{C0}	Courant de fuite intrinsèque de la jonction collecteur-base polarisée en inverse (A)
I_D	Courant de drain du MOSFET (A)
I_{DS}	Courant entre le drain et la source du MOSFET (A)
I_{DSS}	Courant de fuite entre le drain et la source du MOSFET (A)
I_E	Courant d'émetteur (A)
I_{GS}	Courant entre la grille et la source du MOSFET (A)
I_{GSS}	Courant de fuite entre la grille et la source du MOSFET (A)
k	Constante de Boltzmann ($k== 1{,}381\times10^{-23}J.K^{-1}$)
l	Largeur du caisson P (cm)
L	Inductance (H)
L_C	Longueur géométrique du canal (µm)
M	Facteur de multiplication par avalanche résultant de l'ionisation par impact dans la zone de charge d'espace collecteur-base.
N_A	Concentration en atomes accepteurs (cm^{-3})
N_D	Concentration en atomes donneur (cm^{-3})
n_i	Concentration intrinsèque à l'équilibre thermodynamique (cm^{-3})
N_{SUB}	Dopage du substrat

P	Puissance (W)
P_0	Puissance maximale pendant l'avalanche (W)
q	Charge de l'électron ($q= 1{,}602\times10^{-19}$C)
Q_{BD}	Charge supportée par l'oxyde de grille jusqu'à son claquage (C)
Q_{SS}	Charges fixes présentes dans l'oxyde et à l'interface oxyde/semiconducteur (C)
R	Résistance (Ω)
R_A	Résistance d'accès (Ω)
R_B	Résistance effective de la jonction base-émetteur du transistor bipolaire parasite du MOSFET (Ω)
R_{CH}	Résistance minimale effective du canal d'inversion (Ω)
$R_{connect}$	Résistance liée à la connectique (Ω)
R_D	Résistance de drift (Ω)
R_{DSon}	Résistance à l'état passant entre le drain et la source su MOSFET (Ω)
R_{JFET}	Résistance créée par le JFET parasite (Ω)
R_{N+}	Résistance de source (Ω)
R_{SUB}	Résistance effective de substrat (Ω)
S_{SUB}	Surface du substrat (cm²)
T	Température (°C ou K)
V_{BD}	Tension de claquage (V)
V_{CE}	Tension collecteur-émetteur (V)
V_{CE0sus}	Tension d'avalanche dite de maintien lorsque le circuit de base est ouvert (V)
V_{CEr}	Tension de claquage du transistor bipolaire (V)
V_{DD}	Tension d'alimentation du drain (V)
V_{DS}	Tension entre le drain et la source du MOSFET (V)
V_{DSBr}	Tension de claquage de la diode interne du MOSFET (V)
V_{FB}	Tension de band plate (V)
V_{GS}	Tension entre la grille et la source du MOSFET (V)
V_{TH}	Tension de seuil (V)
Z_C	Largeur du canal (µm)
Ψ	Potentiel de réduction de mobilité transversale (V)
α	Gain en courant du transistor
ε_{SI}	Permittivité du silicium ($F.m^{-1}$)
μ_0	Mobilité des porteurs à champ nul ($cm^2.V^{-1}.s^{-1}$)
μ_n	Mobilité des électrons ($cm^2.V^{-1}.s^{-1}$)
ρ	Résistivité (Ω.cm)
φ_F	Potentiel de Fermi (V)
φ_{ms}	Travail de sortie métal/semiconducteur (V)

Lexique

BPI	Acronyme de « Boron Protection blanket Implant »
BV_{CEO}	Tenue en tension entre émetteur et collecteur (la base étant ouverte)
DNS	Acronyme de « Dai Nippon Screen » (*nom de la société fournissant les équipements*)
DUT	Acronyme de « Device Under Test »
FIB	Acronyme de « Focused Ion Beam »
FIT	Acronyme de « Failure In Time » (*défaillance dans le temps imparti*)
FN	Acronyme de « Fowler-Nordheim »
FSI	Nom des équipements portant le nom de la société dont ils proviennent
GTO	Acronyme de « Gate Turn-Off » thyristor
HTGB	Acronyme de « High Temperature Gate Bias »
HTRB	Acronyme de « High Temperature Reverse Bias »
IEGT	Acronyme de « Injection Enhanced Gate Transistor »
IGBT	Acronyme de « Insulated Gate Bipolar Transistor »
ILD	Acronyme de « Inter Layer Dielectric »
IOL	Acronyme de « Intermittent Operating Life »
KGD	Acronyme de « Known Good Die »
LPCVD	Acronyme de « Low Pressure Chemical Vapor Deposition » (*dépôt en phase vapeur chimique à basse pression*)
N^-	Zone de type N faiblement dopée
N^+	Zone de type N fortement dopée
ONO	Acronyme de « Oxyde-Nitrure-Oxyde »
PECVD	Acronyme de « Plasma Enhanced Chemical Vapor Deposition » (*dépôt chimique en phase vapeur assisté par plasma*)
PGI	Acronyme de « Post Gate Implantation »
PHV	Dénomination pour la diffusion P, acronyme de « P_{body} High Voltage »
PPM	Acronyme de « Partie Par Million »
PSD	Implantation de type P^+
RIE	Acronyme de « Reaction Ionic Etching » (*gravure ionique reactive*)
SAT	Acronyme de « Semitool's Spray Acid Tools »
SEM	Acronyme de « Scanning Electronic Microscope »
TC	Acronyme de « Temperature Cycling »
TLP	Acronyme de « Transmission Line Pulse»
UIS	Acronyme de « Unclamped Inductive Switching »
ZCE	Acronyme de « Zone de Charge d'Espace »

Table des matières

Introduction générale 17

Chapitre I. Contexte de l'étude et état de l'art 21

I. Introduction 21

II. L'hybridation des véhicules 22
II.1. Les différents niveaux d'hybridation automobile 22
II.1.1. L'hybride léger ou « micro-hybrid » 22
II.1.2. Le semi-hybride ou « mild-hybrid » 23
II.1.3. L'hybride intégral ou « full-hybrid » 24
II.1.4. Conclusion 24
II.2. La gestion de l'énergie dans le système iStARS 25
II.3. L'onduleur triphasé 26
II.3.1. Principe de fonctionnement 26
II.3.2. Le module de puissance 27

III. Les technologies de puissance basse tension de la microélectronique 29
III.1. Le transistor MOSFET de puissance 29
III.1.1. Généralités 29
III.1.2. Avantages et inconvénients des MOSFETs de puissance 30
III.1.3. Principe de fonctionnement 30
III.2. Les technologies disponibles 31
III.2.1. Le transistor VMOS 31
III.2.2. Le transistor LDMOS 32
III.2.3. Le transistor DMOS 33
III.2.4. Le choix technologique du HDTMOS 35

IV. Comportement statique et dynamique des MOSFETs de puissance 37
IV.1. Caractéristiques statiques 37
IV.1.1. Tension de seuil V_{TH} 37
IV.1.2. Conduction du canal 37
IV.1.3. Résistance à l'état passant R_{DSon} 38
IV.1.4. Tension de blocage B_{Vdss} 42
IV.2. Caractéristiques dynamiques 42

V. Le mode de fonctionnement en avalanche 44
V.1. L'avalanche en électronique automobile 44
V.2. Principe physique du phénomène d'avalanche 44
V.3. La tenue en avalanche des MOSFETs de puissance 45

VI. Contraintes liées au domaine automobile 49
VI.1. Quelques définitions 49
VI.1.1. Robustesse 49

VI.1.2. Fiabilité 49
VI.1.3. Mécanismes et modes de défaillance 50
VI.2. La fiabilité en électronique de puissance 50
VI.2.1. Evaluation de la fiabilité au niveau du silicium 51
VI.2.2. Impact de la température sur les paramètres électriques 52
VI.3. Mécanismes de défaillance au niveau silicium 53
VI.3.1. Défectivité 53
VI.3.2. Oxyde de grille 53
VI.3.3. Métallisation de source 54

VII. Conclusion 54

Chapitre II. Robustesse en mode d'avalanche des MOSFETs de puissance 57

I. Introduction 57

II. Caractéristiques structurelles du MOSFET de puissance dédié a l'application iStARS 57
II.1. Cahier des charges 57
II.2. La tenue en avalanche 58
II.2.1. Capacité de tenue en avalanche 58
II.2.2. Les enjeux du fonctionnement en avalanche 58
II.2.3. Spécificités générales des MOSFETs dédiés au fonctionnement en avalanche 59
II.3. Technologie développée 60
II.3.1. La technologie HDTMOSTM 60
II.3.2. Procédé de fabrication 63
II.4. Caractérisation électrique des principaux paramètres 65
II.4.1. Véhicule de test 65
II.4.2. Appareils de mesure 66
II.4.3. Paramètres électriques statiques 68
II.4.4. Paramètres électriques dynamiques : capacités parasites 72

III. Paramètre en mode d'avalanche : la résistance dynamique d'avalanche 75
III.1. Introduction 75
III.2. Définition de la résistance dynamique d'avalanche 75
III.3. Intérêt de la résistance dynamique d'avalanche 76
III.4. Caractérisation de la résistance dynamique d'avalanche 76
III.4.1. Contexte et motivations 76
III.4.2. Principe de la mesure 77
III.4.3. Utilisation d'un MOSFET en parallèle qui subit la mise à l'état « ON » 78
III.4.4. Réalisation de la mesure et résultats 80

IV. Conclusion 84

Chapitre III. Eléments de maîtrise de la fiabilité de MOSFETs de puissance..... 87

I. Introduction 87

II. Démarche classique pour évaluer la fiabilité d'un MOSFET de puissance 87
II.1. Véhicule de test 87
II.2. Essais de fiabilité 88
II.2.1. Principe 88
II.2.2. Déroulement d'une campagne classique 88
II.2.3. Détail du test de durée de vie en température de type HTGB 89

III. Démarche innovante pour évaluer la fiabilité d'un MOSFET de puissance 91
III.1. Motivations 91
III.2. Test de Q_{BD} standard 91
III.2.1. Présentation 91
III.2.2. Type de structures testées 92
III.2.3. Méthodes de caractérisation 92
III.2.4. Claquage diélectrique 93
III.3. Test Q_{BD} développé 95
III.3.1. Motivations 95
III.3.2. Réalisation du test 95
III.4. Différentiel entre les tests Q_{BD} et HTGB 103

IV. Analyse de données « post-processing » 103
IV.1. Test paramétrique au niveau de la puce : « Gate stress » 104
IV.1.1. Principe 104
IV.1.2. Stress en tension 104
IV.2. Evaluation de l'impact du «gate stress» sur la fiabilité des MOSFETs 104
IV.2.1. Injection tunnel de type Fowler-Nordheim 105
IV.2.2. Conclusion 109
IV.3. Méthode d'analyse de données 109
IV.3.1. Méthode développée avec Streetwise EngineeringTM 109
IV.3.2. Des données au niveau de la puce 110
IV.3.3. La traçabilité du module de puissance à la puce 114

V. Conclusion 119

Chapitre IV. Optimisation du procédé de fabrication pour améliorer la fiabilité des MOSFETs de puissance 123

I. Introduction 123

II. Etapes critiques du procédé à l'origine de rejets de fiabilité 123
II.1. Rejets de fiabilité 123
II.2. Identification des étapes critiques 124
II.2.1. Espaceur 124

II.2.2. Oxyde de grille ... *125*
II.2.3. Intérêt du QBD dans la phase de caractérisation ... *126*

III. Optimisation du procédé : mise en place de traitements de surface adaptés ... **126**
III.1. Etape de gravure de l'espaceur ... 126
III.1.1. Analyse du procédé initial ... *126*
III.1.2. Action corrective mise en place ... *126*
III.1.3. Détail du plan d'expérience ... *127*
III.1.4. Caractérisation des MOSFETs avec le test de QBD ... *127*
III.1.5. Cause de la défaillance ... *129*
III.1.6. Validation avec les essais de fiabilité ... *130*
III.1.7. Conclusion ... *130*
III.2. Oxyde de grille ... 130
III.2.1. Introduction ... *130*
III.2.2. Analyse du procédé initial ... *130*
III.2.3. Action corrective proposée ... *131*
III.2.4. Détail du plan d'expérience ... *131*
III.2.5. Impact des traitements de surface sur la fiabilité de l'oxyde ... *132*
III.2.6. Compréhension du mécanisme de défaillance ... *136*
III.2.7. Impact des traitements de surface sur les MOSFETs de puissance ... *141*
III.2.8. Impact sur les paramètres électriques du MOSFET ... *144*
III.2.9. Conclusion ... *145*

IV. Optimisation du procédé : modification d'étape ... **146**
IV.1. Introduction ... 146
IV.2. Ratio du dépôt de nitrure ... 146
IV.2.1. Introduction ... *146*
IV.2.2. Contexte ... *146*
IV.2.3. Choix du ratio des gaz ... *147*
IV.2.4. Caractérisation des MOSFETs ... *148*
IV.2.5. Analyse des résultats ... *149*
IV.3. Profil de dopage du polysilicium ... 151
IV.3.1. Introduction ... *151*
IV.3.2. Détail du procédé et objectifs ... *151*
IV.3.3. Choix des conditions de recuit ... *152*

V. Conclusion ... **157**

Conclusion générale ... **159**

Références bibliographiques ... **163**

Annexes ... **173**

Introduction générale

Les préoccupations environnementales actuelles, la diminution des réserves mondiales de pétrole ainsi que la hausse importante des coûts des carburants semblent remettre en question la légitimité du moteur thermique présent depuis plus de 120 ans dans nos automobiles. S'ajoutent à ces considérations économiques des traités tels que le protocole de Kyoto, ratifié en 1997, dont le principal objectif était de tirer la sonnette d'alarmes quant aux prévisions établies au sujet des émissions de gaz à effet de serre. Les perspectives affichées et l'implication de 191 états signataires ont permis aux problématiques environnementales de jouir d'une considération politique dans le début des années 2000 et de contribuer à la mutation de l'industrie automobile.

Dans ce contexte, les constructeurs et équipementiers ont été dans l'obligation de proposer des solutions permettant de limiter les émissions des gaz à effet de serre des véhicules afin de répondre aux normes exigées par l'Europe, dès 2012. Le véhicule électrique n'a pas été la solution plébiscitée par la majorité des marques d'automobiles et l'hybridation des véhicules a donc été choisie comme solution à court terme. En effet, une migration vers des systèmes électriques s'est opérée car au-delà du gain environnemental, ils ont permis de réduire les coûts ainsi que le volume du bloc moteur. Cette migration vers l'électronique de puissance qui avait vu le jour avec les vitres électriques et la climatisation et plus récemment avec la gestion de la direction assistée, des fonctions d'ABS ou de limitateur/régulateur de vitesse est, aujourd'hui, devenue incontournable dans nos automobiles. Les modules de puissance impliqués dans ces applications nécessitent des composants de puissance à semiconducteur issus de la microélectronique toujours plus performants et fiables pour garantir le confort et la sécurité des passagers. Ainsi, des normes de plus en plus strictes ont vu le jour pour garantir la fiabilité et la qualité des composants utilisés afin de prévenir de tout dysfonctionnement. Les enjeux représentés par la fiabilité sont donc bien réels du fait des contraintes mécaniques, de la puissance mise en jeu mais également des contraintes environnementales telles que des températures extrêmes ou l'humidité. Par conséquent, la maîtrise du développement technologique des composants est obligatoire ainsi que le recourt à de nouvelles méthodes d'analyse statistiques de données pour garantir une qualité optimale.

Les travaux de recherche présentés dans ce mémoire se sont déroulés au LAAS-CNRS dans le cadre d'un partenariat étroit avec la société Freescale Semiconductor basée à Toulouse au sein du projet « MOS iStARS » de 2009 à 2012. L'objectif principal est de contribuer à l'amélioration de la robustesse et de la qualité de composants MOSFETs de puissance développées par Freescale Semiconductor Toulouse et dédiés exclusivement au système alterno-démarreur iStARS développé par Valeo ; cette application doit équiper des véhicules de type micro-hybride. La problématique essentielle réside dans le fonctionnement en avalanche qui requiert des innovations au niveau du procédé de fabrication. En outre, les exigences imposées par les normes de fiabilité automobiles, ont nécessité une optimisation importante du procédé de fabrication pour s'approcher au plus près du composant dit « zéro-défaut ».

Ce mémoire s'articule autour de quatre chapitres. Le premier chapitre introduit le contexte des travaux effectués et présente un état de l'art sur les technologies MOSFETs de puissance. Il s'attache également à présenter le phénomène d'avalanche qui est un mode de fonctionnement à part entière du MOSFET étudié dans ce mémoire. En outre, il décrit les principaux tests de fiabilité utilisés pour les composants électroniques dédiés à des applications automobiles.

Le second chapitre détaille la technologie MOSFET développée par Freescale Semiconductor Toulouse qui fait l'objet d'un nombre d'innovations important essentiellement pour répondre au mode de fonctionnement en avalanche. Ensuite, la caractérisation du composant est présentée avec la mesure des principaux paramètres statiques et dynamiques. L'objectif de ce chapitre est de présenter en détail la technologie étudiée afin de fixer les lignes principales des travaux de recherche effectués.

Le troisième chapitre porte sur les éléments de maîtrise de la fiabilité de MOSFETs de puissance. Une première partie aborde les tests de fiabilité utilisés pour évaluer la robustesse des composants. Le développement et la mise en place d'un test supplémentaire réalisé directement sur la puce avant découpage et assemblage, lors de la phase d'optimisation technologique, a été primordial dans l'évaluation de la qualité des composants. Une seconde partie concerne une nouvelle méthode d'analyse statistique, toujours dans la démarche de l'amélioration de la qualité des composants, dont l'objectif est d'identifier des composants atypiques dans la distribution d'un paramètre donné. L'objectif de cette méthode est de mettre en évidence des phénomènes ponctuels pouvant mettre en péril la qualité de la technologie et d'être en mesure de mener les actions correctives qui pourraient s'avérer nécessaires.

Le dernier chapitre décrit les optimisations de procédé proposées dans l'objectif de l'amélioration de la qualité des MOSFETs. Il est important de considérer que les défauts responsables de défaillances ne sont pas toujours visibles, ce qui ne contribue pas à faciliter la compréhension des mécanismes de défaillance. Les analyses de défaillance issues exclusivement de rejets provenant du test HTGB, ont permis d'identifier deux étapes critiques dans le procédé de fabrication qui ont donc fait l'objet d'une étude précise et de propositions d'amélioration pour résoudre les problèmes rencontrés et permettre la qualification du composant pour l'application.

Chapitre I. Contexte de l'étude et état de l'art

I. INTRODUCTION

Actuellement, le réchauffement climatique et ses conséquences sur les générations futures représentent un enjeu aussi bien sur le plan économique que politique. Il est essentiel de comprendre que l'effet de serre est un phénomène naturel qui permet de maintenir une température de l'ordre de 15°C au niveau de la basse atmosphère. Sans son existence, la température moyenne ne dépasserait pas les -18°C à la surface de la Terre. Toutefois, ce processus est amplifié par les activités humaines et les rejets toujours plus importants des gaz à effet de serre, ce qui menace l'écosystème planétaire.

Dans le cadre du protocole de Kyoto ratifié en 1997, l'Union Européenne des 15 s'est engagée à réduire de 8% les émissions de six gaz à effet de serre dont le dioxyde de carbone (CO_2), entre 2008 et 2012, par rapport au niveau de l'année référence 1990. Diverses études ont démontré l'impact des véhicules particuliers sur les émissions de CO_2 comme présenté sur la figure I-1.

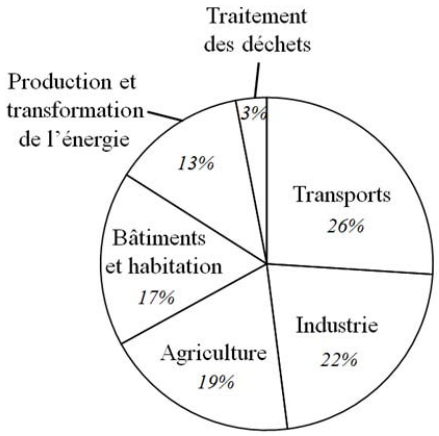


Figure I-1: Principales sources des émissions de gaz à effet de serre en France (2004).

Le parc automobile dit particulier fonctionne essentiellement grâce aux énergies fossiles qui engendrent une pollution importante contribuant au réchauffement de la planète. Les équipementiers automobiles ont décidé de mettre au point de nouvelles technologies permettant de développer des véhicules plus propres. Leur objectif est de diminuer la consommation en énergie fossile mais aussi de limiter les émissions de gaz polluants afin de satisfaire la nouvelle législation européenne visant à diminuer de 160g à 120g de CO_2 par kilomètre, les rejets des véhicules particuliers produits à partir de 2012.

Pour satisfaire ces exigences, le secteur de l'automobile doit procéder à une totale mutation en développant de nouvelles technologies telles que l'hybridation, le tout électrique ou le moteur à hydrogène. Finalement, de nombreux équipementiers ont décidé de se diriger vers le véhicule hybride.

Dans ce contexte, le projet MOS iStARS (pour « integrated Starter Alternator Reversible System ») a vu le jour soutenu par l'Agence de l'Environnement et de la Maîtrise de l'Energie (ADEME) ainsi que

l'Agence Nationale de la Recherche (ANR) dans le cadre du programme « Véhicules pour les transports terrestres ». Pour ce faire, les compétences françaises d'industriels tels que Valeo, Freescale Semiconductor, HIREX et CEITECS mais également des laboratoires de recherche tels que le LAAS-CNRS et IFSTTAR ont été sollicités afin de participer au développement d'une solution de type micro-hybride : un alterno-démarreur équipé de la fonction « Stop-Start ».

Dans un premier temps, ce chapitre présente les différents niveaux d'hybridation existant à ce jour pour les véhicules particuliers. La seconde partie sera focalisée sur les MOSFETs de puissance et les exigences imposées par le domaine automobile auquel l'application est exclusivement dédiée. Ensuite, les différents modes de fonctionnement des transistors seront évoqués. Enfin, une dernière partie présentera les contraintes imposées par les applications automobiles et l'intérêt de la fiabilité dans ce domaine exigeant.

II. L'HYBRIDATION DES VEHICULES

II.1. Les différents niveaux d'hybridation automobile

L'objectif des constructeurs automobiles est de trouver des alternatives afin de produire des véhicules plus propres et moins gourmands en énergie fossile. Le développement de véhicules hybrides s'est donc intensifié au cours des dix dernières années avec par exemple, la célèbre Toyota Prius. Un véhicule hybride est défini comme un véhicule associant deux modes de génération de l'énergie. La solution la plus répandue a consisté à associer un moteur électrique au moteur thermique. Au début de l'ère hybride, on distinguait deux types d'hybridation : hybridation série ou hybridation parallèle.

Dans le cas de l'hybridation série, le moteur de traction est électrique. Il est alimenté par une batterie rechargée par un moteur thermique couplé à un alternateur. Le moteur thermique ne participe donc pas à la traction de la voiture hybride afin de limiter la consommation de carburant. Au contraire, l'hybridation parallèle consiste à assister le moteur thermique en superposant un moteur électrique plus ou moins puissant (généralement, quelques dizaines de kW) alimenté par une batterie de traction rechargée lors des phases de décélération, par exemple. Les deux moteurs indépendants peuvent alors participer à la traction du véhicule.

Actuellement, le classement des véhicules hybrides a évolué. En effet, il s'effectue selon leur niveau d'hybridation représenté par le degré d'électrisation de la puissance totale [BERE10], c'est-à-dire en fonction de l'importance du système électrique permettant la traction du véhicule.

II.1.1. L'hybride léger ou « micro-hybrid »

Les véhicules correspondant à un niveau d'hybridation qualifié de léger présentent un moteur thermique dont certaines fonctionnalités de base sont assurées par la batterie. Il s'agit du niveau d'hybridation le plus économique et le plus simple à implanter. Dans le cas de cette technologie, la partie électrique est inférieure à 10 % de la puissance totale.

La puissance électrique de ces systèmes est comprise entre 2 et 3kW. La réduction des émissions de CO_2 est estimée entre 8 et 15% en cycle urbain soit une réduction moyenne de ces rejets de l'ordre de 5 grammes par kilomètre.

II.1.1.1. L'alterno-démarreur

Les véhicules équipés de cette technologie ne possèdent plus un démarreur et un alternateur distinct mais un alterno-démarreur présenté sur la figure I-2. Celui-ci est en mesure de démarrer le moteur thermique d'une voiture et permet de ce fait la fonction « Stop-Start ». En d'autres termes, l'alternateur réversible démarre le moteur par sa courroie d'entraînement.

Cette fonction offre un intérêt particulier pour des trajets de type urbain. En effet, l'alterno-démarreur permet l'arrêt du moteur lorsque le véhicule est immobilisé pour une courte durée (embouteillages ou feu de signalisation, par exemple), puis de le redémarrer lorsque le conducteur débraye ou relâche la pédale de frein [CHAU07]. En d'autres termes, le système permet de démarrer le moteur thermique en mode moteur alors qu'il recharge la batterie en mode alternateur [RICH07].

Ce système réversible limite donc la consommation de carburant ainsi que les émissions de gaz polluants notamment pour les trajets urbains. Le gain en CO_2 provient tout simplement de la baisse de consommation résultant de l'arrêt du moteur ainsi qu'à la limitation de la pollution urbaine lorsque le véhicule est immobile.

Figure I-2: Alterno-démarreur développé par Valeo pour le système « Stop-Start » (Courtoisie de Valeo).

II.1.1.2. L'hybridation douce avec récupération de l'énergie au freinage

Il s'agit d'un autre aspect de l'hybridation de niveau léger qui consiste à récupérer l'énergie de freinage. Dans la continuité du projet MOS iStARS, le projet MHYGALE (« Mild HYbrid GénérALisablE ») a pour objectif d'offrir les fonctions de « Stop-Start », de freinage par récupération et d'assistance de couple (assistance électrique du moteur thermique à bas régime). Le principe de cette technologie est fondé sur le freinage électromagnétique qui va générer un courant électrique par induction et transformer l'énergie cinétique en énergie électrique et ainsi permettre le rechargement de la batterie.

II.1.2. Le semi-hybride ou « mild-hybrid »

Les véhicules de type semi-hybride sont équipés d'un moteur thermique ainsi que d'un moteur électrique. Toutefois, le moteur électrique d'une puissance de 10kW permet d'assister le moteur

thermique en cas de besoin, sans jamais tracter le véhicule seul. Les batteries sont, de ce fait, plus petites que dans le cas d'un véhicule hybride intégral et leur volume est limité. En outre, cette technologie permet d'utiliser un moteur thermique de plus faible cylindrée limitant la consommation et les émissions de gaz à effet de serre tout en préservant une certaine puissance grâce au moteur électrique. Pour cette technologie, la partie électrique est comprise entre 10 et 30% de la puissance totale.

La Honda Civic IMA qui est de type « mild-hybrid » présente un taux d'émission de $C0_2$ de 109g par kilomètre. Ceci correspondrait à un gain de 20% par rapport à un véhicule classique de puissance équivalente.

II.1.3. L'hybride intégral ou « full-hybrid »

La technologie hybride intégral correspond au plus haut niveau d'hybridation. Dans ce cas, le véhicule est équipé d'un moteur thermique et d'un moteur électrique. Mais à la différence de la technologie semi-hybride, le moteur électrique participe totalement à la traction du véhicule à vitesse réduite. Le moteur thermique ne prend le relais que dans le cas d'une sollicitation plus importante. Le volume des batteries est alors relativement important ce qui peut réduire l'habitabilité du véhicule.

Pour cette technologie, la partie électrique est supérieure à 30 % de la puissance totale. Ce système présente l'avantage de diminuer de manière significative la consommation de carburant ainsi que les émissions de CO_2 de l'ordre de 25%. En effet, ce sont les chiffres annoncés pour une berline de luxe de type Lexus LS 600h. Un autre constructeur, annonce des rejets de CO_2 inférieurs à 100g par kilomètre dans le cas de la Toyota Auris HSD. Ces véhicules présentent des moteurs essences et Peugeot a donc décider de développer un véhicule doté d'un moteur diesel : le Crossover 3008 HYbrid4 avec un taux de rejet de CO_2 annoncé de 99g par kilomètre.

II.1.4. Conclusion

Ces avancées technologiques représentent désormais une volonté commune des constructeurs automobiles. En effet, le véhicule tout électrique serait une solution mais les automobilistes ne sont peut-être pas encore prêts pour franchir cette étape, notamment en raison de la faible autonomie. Néanmoins, Renault a dévoilé en Novembre 2011 la berline Fluence ZE qui a été suivie par la Twizy et la fin de l'année 2012 verra la sortie de la Renault Zoe.

La sortie de modèles tout électrique est donc encore assez récente dans la gamme accessible au plus grand nombre et à l'heure actuelle, les solutions hybrides équipent donc la majorité des nouveaux véhicules produits, du fait des faibles surcoûts de l'équipement. Les principaux intérêts de l'hybridation des véhicules sont résumés dans le schéma présenté en figure I-3.

L'objectif de cette étude est de se concentrer sur la technologie micro-hybride et plus précisément sur l'alterno-démarreur intégrant la fonction « Stop-Start ». Dans ce cas, les batteries utilisées sont des batteries standard de 12V. L'avantage de ce système est sa facilité d'intégration sans une modification importante de l'encombrement du bloc moteur ainsi qu'une architecture relativement simple, de son faible coût et du rapport gain CO_2/coût très pertinent qu'il procure.

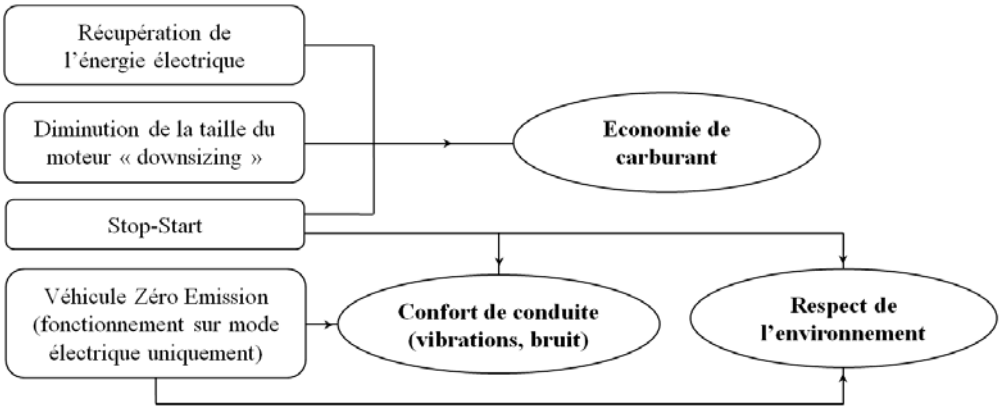


Figure I-3: Résumé des fonctions écologiques remplies par les systèmes micro-hybrides.

Le point commun de ces véhicules quel que soit le niveau d'hybridation est l'utilisation de dispositifs à électronique de puissance et plus précisément de modules de puissance [MOOK05]. Leur objectif principal sera d'assurer la conversion et le contrôle de la puissance électrique pour un nombre important d'applications automobiles. En effet, la demande d'amélioration du confort et de la qualité des véhicules tout en satisfaisant les nouvelles normes de consommation des véhicules a permis le développement de l'électronique de puissance.

II.2. La gestion de l'énergie dans le système iStARS

L'alternateur classique n'est capable d'assurer la nouvelle fonction de démarrage que si certaines modifications sont opérées. L'alterno-démarreur à la base du système iStARS est une machine de type synchrone avec rotor à griffes fonctionnant en courant triphasé. La conversion en continu sous 12V est réalisée par un convertisseur électronique.

L'alterno-démarreur fonctionne selon deux modes différents. Le mode démarreur, au cours duquel il convertit l'énergie électrique continue issue de la batterie en courant alternatif afin qu'elle puisse être utilisée par l'alterno-démarreur et permettre le redémarrage du moteur thermique. Le mode alternateur, quant à lui, permet le rechargement de la batterie : le convertisseur redresse alors les tensions de l'alternateur.

Le convertisseur représente un élément clé de l'application. Il est constitué de composants à semiconducteur. Leur choix est gouverné par différents paramètres tels que le mode de commande, la tension de blocage, le courant à conduire et la fréquence de commutation [LETU99]. Il est alors indispensable de trouver un compromis entre la puissance commutée qui est le produit de la tension de blocage par le courant admissible à l'état passant et la fréquence d'utilisation. La figure I-4 représente les principaux composants de puissance dans le plan puissance-fréquence. Dans le cas de l'application iStARS qui est définie comme basse tension (<100V), ce seront les MOSFETs de puissance qui seront utilisés. En effet, les IGBTs sont généralement utilisés pour des tensions supérieures à 600V.

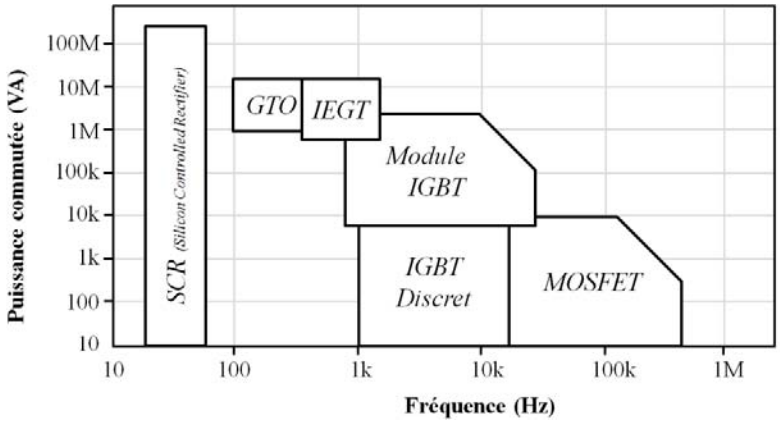


Figure I-4: Performance des interrupteurs de puissance Silicium en 2005 [NAKA07].

II.3. L'onduleur triphasé

II.3.1. Principe de fonctionnement

Le raccordement de la machine alternative triphasée à la batterie se fait classiquement via un redresseur triphasé. Alors qu'un pont de diodes suffisait dans le cas de cet alternateur classique, dans le cas de l'alterno-démarreur le recours à des interrupteurs commandés s'avère indispensable et le convertisseur électronique utilisé est un onduleur triphasé constitué de transistors MOS à effet de champ (figure I-5).

Parmi les composants de puissance, le MOSFET s'est avéré le meilleur candidat. En effet, il est simple à piloter du fait de sa commande en tension et est adapté dans le cas des applications dites basse tension. De plus, il permet de travailler à des fréquences relativement rapides de l'ordre de 10 kHz à 100 kHz. En outre, le MOSFET étant un dispositif à porteurs majoritaires, il fonctionne plus rapidement car la dynamique des charges n'est pas tributaire des mécanismes de recombinaison ou d'évacuation de charges bipolaires. Les performances de commutation en puissance des transistors sont évaluées par la résistance à l'état passant, R_{DSon}. Sa valeur doit être la plus faible possible afin de limiter les pertes lors de la commutation ainsi que l'échauffement des transistors.

L'onduleur triphasé est composé de trois bras de pont, chacun correspondant à une cellule élémentaire constituée de deux transistors de puissance montés en série. Lorsque le premier est ouvert le second est fermé et réciproquement, ceci afin d'éviter un court-circuit. Toutefois, le circuit de charge étant fortement inductif, il est nécessaire d'avoir recours à des diodes de récupération assurant la continuité du courant lors de la phase de commutation. Les diodes structurelles des MOSFETs actuels (appelées également « diode body ») étant suffisamment performantes, celles-ci sont donc utilisées à cet effet (figure I-5). Au départ la diode structurelle des MOSFET était considérée comme un produit accidentel dont les caractéristiques étaient peu contrôlées [GRAN89]. Dans le cas de l'application étudiée, les performances dynamiques de la diode structurelle sont primordiales au même titre que les autres paramètres électriques du composant.

En mode démarreur, l'onduleur triphasé est un convertisseur électronique fournissant trois courants identiques déphasés de 120°. Son intérêt réside dans le fait qu'il peut délivrer un courant de plusieurs

centaines d'ampères générant un couple élevé indispensable à l'entraînement immédiat du moteur thermique. Par conséquent, le redémarrage s'effectue en moins de 250ms afin de permettre le confort de conduite (pas de vibrations générées). En mode alternateur, le convertisseur a pour objectif de recharger la batterie grâce à l'énergie mécanique issue du moteur et transformée en énergie alternative. Cette énergie alternative est ensuite redressée par le convertisseur fonctionnant en redresseur synchrone [DUBU04].

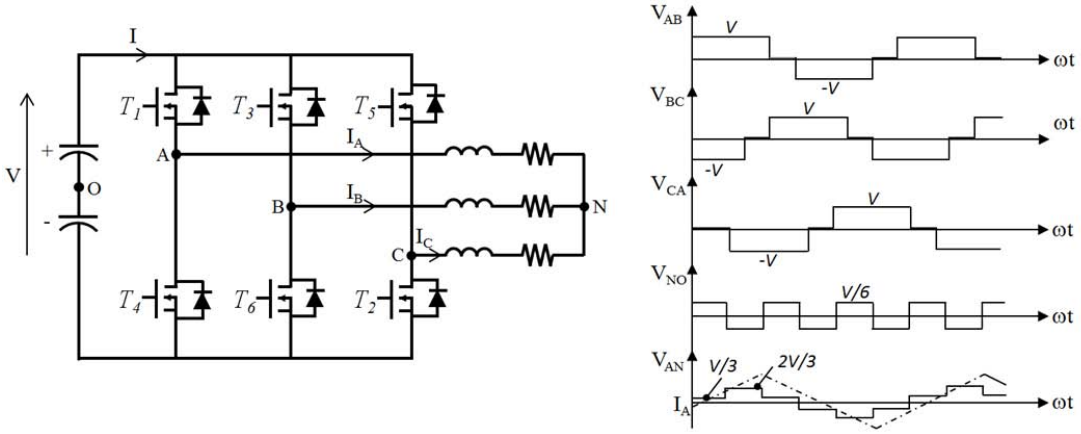


Figure I-5: Circuit d'un onduleur triphasé et son chronogramme.

II.3.2. Le module de puissance

II.3.2.1. Généralités

Le système complet iStARS est présenté sur la figure I-2. Il est toutefois intéressant de détailler les modules de puissance qui constituent les trois branches de l'onduleur triphasé. Chaque module de puissance est constitué de quatre MOSFETs de puissance en parallèle deux à deux : on distingue le « low-side » (LSA et LSB) du « high-side » (HSA et HSB) comme détaillé sur la figure I-6. Les électrodes de source et de drain sont donc communes deux à deux tandis que les commandes de grilles sont propres à chaque composant.

Figure I-6 : Module de puissance utilisé pour l'application iStARS et positionnement des MOSFETs[i].

[i] Les modules de puissance présentés ne comportent pas la partie électronique gérant leur commande.

II.3.2.2. Brasage du composant

Le composant MOSFET est reporté dans le module de puissance par soudage laser. Le gradient thermique a été ajusté lors de leur brasage afin de limiter les effets de dilatation différentielle entre les différents constituants.

II.3.2.3. Assemblage du composant

Chaque composant MOSFET est assemblé avec 8 fils de source présentant un diamètre de 20 mils[i] dont chacun contacte la source en deux points distincts ; on parle de « stitch ». L'intérêt de cet assemblage dans le cadre du cyclage en avalanche a été démontré par B. Bernoux car il permet d'augmenter les surfaces de contact, de diminuer la densité de courant au niveau d'un contact et de limiter l'élévation de la température dans le composant [BERN10] ; la densité de courant est donc homogénéisée à la surface du MOSFET. Quant à l'électrode de grille, elle ne présente qu'un seul point de contact avec un fil d'un diamètre de 8 mils (figure I-7).

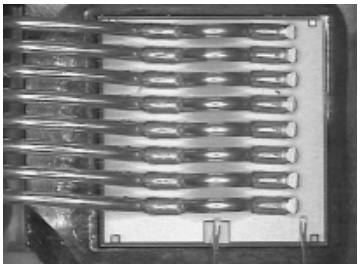


Figure I-7 : Détails de l'assemblage d'une puce dans un module de puissance dédié à l'application iStARS (courtoisie de Valeo).

II.3.2.4. Appariement des MOSFETs

Dans l'application, on constate donc que les MOSFETs de puissance sont en parallèles deux à eux : on parle, dans ce cas, d'appariemment de composants. Ce choix technologique a été fait afin de limiter la taille des puces dans les dispositifs de puissance [ALOI01].

En raison de cette mise en parallèle, la valeur des BV_{DSS} de chacun des MOSFET devient un point essentiel car elle doit être la plus proche possible pour garantir un bon équilibrage des intensités de courant véhiculées par les différents composants, ce qui garantit l'équilibre thermique lors du passage de l'état passant à l'état bloqué [CHEN04]. L'objectif est de ne pas engendrer l'apparition d'une défaillance prématurée de l'un des deux composants.

[i] 1 mil = 25,4µm.

III. LES TECHNOLOGIES DE PUISSANCE BASSE TENSION DE LA MICROELECTRONIQUE

III.1. Le transistor MOSFET de puissance

III.1.1. Généralités

Parmi les composants les plus répandus en électronique de puissance pour l'automobile, il existe le MOSFET (pour « Metal Oxide Semiconductor Field Effect Transistor » ou Transistor Métal Oxyde Semiconducteur à Effet de Champ) qui est un transistor MOS à effet de champ. Ces composants sont des dispositifs permettant la conversion de l'énergie électrique. Le transistor MOS à effet de champ fonctionne donc en tant qu'interrupteur ce qui lui permet de basculer entre deux états : l'état passant et l'état bloqué. La commande s'effectue en tension à partir de l'électrode de grille qui est isolée du semiconducteur par une couche d'oxyde de silicium (SiO_2).

Le MOSFET est considéré comme un composant unipolaire car la conduction du courant est assurée par un seul type de porteurs de charge. De plus, aucun mécanisme de forte injection ne viendra moduler la résistivité de la couche N^- à l'état passant. Dans le cas des transistors dits de type N (ou à canal N appelés NMOS), ce sont les électrons qui sont les porteurs majoritaires et qui assurent la conduction. Ce mémoire sera exclusivement consacré à ce type de transistors.

Ces composants sont constitués d'une électrode de source et d'une électrode de drain de type N séparée par une zone dopée de type P. Dans le cas des MOSFETs de puissance, les électrodes de source et de drain se trouvent généralement sur des faces opposées de la plaquette de silicium, ce qui permet d'augmenter les surfaces de contact de ces deux connexions et de réduire la distance qui les sépare. Le drain est constitué du substrat N^+ sur lequel est épitaxiée une couche de type N^- qui conditionne la tenue en tension du composant de par son dopage et son épaisseur. Les MOSFETs sont caractérisés par une diode structurelle constituée par la jonction PN^-. En outre, Un transistor NPN parasite composé des zones N^+_{source}-P_{body}-N^-_{drain} est présent mais la connexion entre la source et le substrat permet de court-circuiter l'émetteur et la base de ce transistor qui résulte de la structure du dispositif.

Le fonctionnement d'un MOSFET de puissance à canal N consiste à forcer l'inversion d'une zone de type P à devenir localement N grâce à un champ électrique qui attirera les porteurs minoritaires (les électrons) et repoussera les porteurs majoritaires (les trous). Le canal d'électrons formé par cette zone d'inversion permettra la circulation du courant entre source et drain. Le canal qui se forme est horizontal tout comme dans le cas des MOSFET latéraux mais l'ajout d'une couche dopée N^- permet dans ce cas de supporter une grande partie de la tension drain-source en régime bloqué. L'ouverture du canal et le niveau de courant sont contrôlés par la polarisation de l'électrode de grille constituée de polysilicium fortement dopé et isolée de la surface du silicium par une couche d'oxyde. La totalité de la surface de la puce est ensuite recouverte par une métallisation de source généralement composée d'aluminium reliant les puits N^+ de chaque cellule et permettant aussi de réaliser le contact des zones P^+ afin de les polariser par rapport à la grille dans le but de pouvoir commander le dispositif. Cette métallisation de source présente de nombreux avantages : une conductivité électrique et thermique importante, une bonne adhérence à l'oxyde et une résistance à la corrosion.

III.1.2. Avantages et inconvénients des MOSFETs de puissance

Une des exigences des composants à semiconducteur dédiés aux applications de puissance est leur vitesse d'exécution. Les composants MOSFET de type unipolaire sont relativement rapides car le temps de stockage lié à la recombinaison des porteurs minoritaires est inexistante : ils présentent donc l'avantage de faibles pertes en commutation et la possibilité de fonctionner à haute fréquence. En outre, la commande en tension de ce dispositif est d'un intérêt majeur par sa simplicité et cela sans consommation de courant en régime statique.

Toutefois, cette technologie présente des inconvénients. En effet, les performances des MOSFETs de puissance peuvent être affectées par des phénomènes physiques. Tout d'abord, en régime bloqué, la tension de drain est intimement liée à la tension de claquage de la diode structurelle drain-substrat. Ensuite, en régime de conduction, l'intensité maximale du courant est limitée en raison de la géométrie du canal. En effet, le passage d'un courant important est assujetti à un canal de forte conductance c'est-à-dire court (L_C petit) et large (Z_C grand), conduisant à la réalisation d'un défi technologique [MATH90]. Enfin, dans le cas des MOSFETs de puissance, la résistance à l'état passant augmente avec la tenue en tension recherchée.

III.1.3. Principe de fonctionnement

III.1.3.1. L'état passant

L'état passant (appelé aussi état de conduction ou état fermé) est établi si une tension positive est appliquée entre la grille et la source et que cette tension est supérieure à la tension de seuil du composant. Ce régime permet la création d'une zone d'inversion de quelques dizaines de nanomètres d'épaisseur dans la région P sous l'oxyde de grille, en raison de la présence assez importante d'électrons. Un canal se forme donc entre les régions N^+ et N^-, ce qui permet le passage des électrons et le passage d'un courant de drain.

Le MOSFET est alors caractérisé par la résistance à l'état passant R_{DSon}. A l'état passant, le transistor se comporte donc comme une résistance qui impose une chute de tension aux bornes du composant. L'objectif principal est de minimiser la valeur de cette résistance afin de limiter les pertes en conduction.

III.1.3.2. L'état bloqué

On parle d'état bloqué lorsque la tension de grille reste inférieure à la tension de seuil, le canal d'inversion n'étant pas formé, seul un courant de fuite négligeable, en pratique, peut circuler entre les électrodes de drain et de source. La tension appliquée sur le composant est alors supportée par la jonction drain-source du transistor. Le niveau de tension blocable requis implique la présence d'une zone profonde et faiblement dopée appelée zone de drift dans laquelle pourra s'étendre la zone de charge d'espace. A l'état bloqué, le MOSFET est caractérisé par la valeur de la tension de claquage BV_{dss}.

III.2. Les technologies disponibles

III.2.1. Le transistor VMOS

Cette génération de transistor de puissance porte le nom de VMOS car possédant un sillon présentant une forme en « V » comme présenté sur la figure I-8. Cette technologie a été mise sur le marché en 1975 par Siliconix avec des performances intéressantes. En effet, le Siliconix VMP1 était un composant de 60V pouvant conduire jusqu'à 2A [GROSS05].

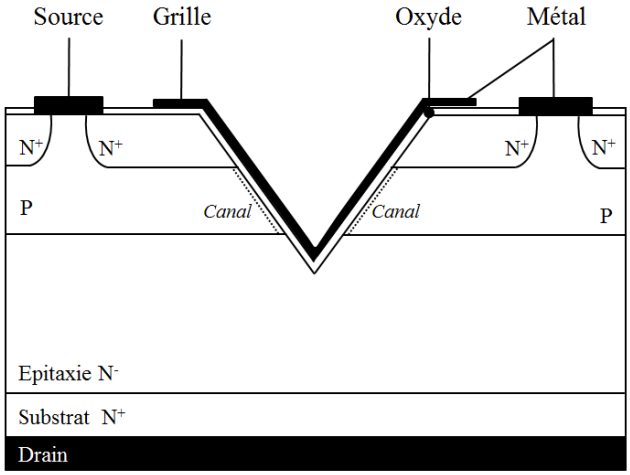


Figure I-8: Coupe schématique d'un transistor VMOS de puissance.

Sa caractéristique géométrique résultant de la gravure chimique du silicium de direction cristallographique <100> à travers la source, permet la formation du canal le long des pans du sillon entraînant un cheminement du courant quasiment vertical. La zone active fait un angle de 54° avec la surface. En outre, deux canaux sont obtenus pour chaque gravure ce qui augmente la densité de courant tout en limitant la surface utile de la puce.

Cependant, le VMOS présente quelques inconvénients. Tout d'abord, au niveau des étapes de fabrication, il existe une difficulté dans le contrôle du procédé de gravure permettant la formation du sillon. Ensuite, la fiabilité de ces composants est souvent limitée par un claquage prématuré provenant de l'apparition d'un fort champ électrique à la "pointe" du sillon en « V ». Enfin, cette technologie sous-entend des électrodes de grille et de source obligatoirement inter-digitées.

Une technologie dérivée du VMOS et portant le nom d'UMOS a aussi vu le jour avec l'objectif d'éviter les inconvénients de la gravure en « V » (figure I-9). Ce transistor de puissance présente une réalisation technologique différente permettant de réaliser un sillon à fond plat en stoppant l'attaque anisotrope avant la formation de la pointe.

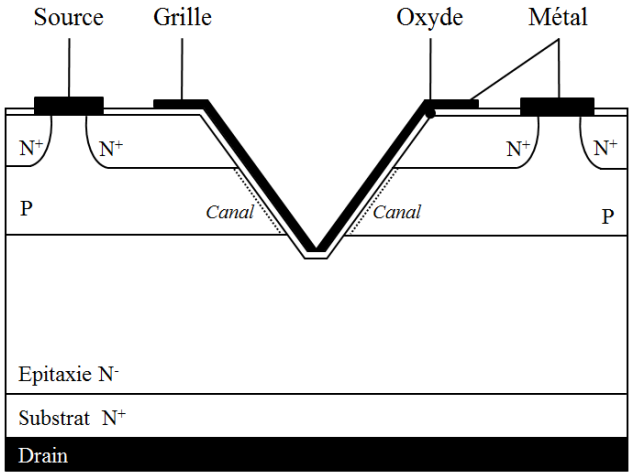


Figure I-9: Coupe schématique d'un transistor UMOS de puissance.

III.2.2. Le transistor LDMOS

Le transistor LDMOS (pour « Lateral Double Diffused MOS ») présente une particularité car constitué d'électrodes coplanaires avec une géométrie interdigitée : la source, la grille et le drain sont situés sur la même face du cristal de silicium (figure I-10). De ce fait, le passage de courant s'effectue latéralement.

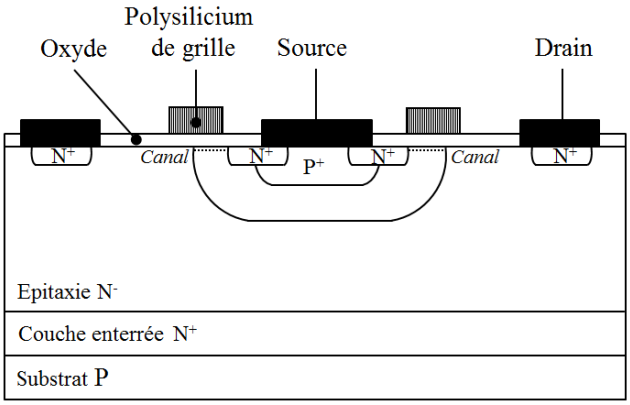


Figure I-10: Coupe schématique d'un transistor LDMOS de puissance.

La structure d'un LDMOS à canal N est caractérisée par un substrat de type P^+, par une couche enterrée de type N^+ et par une région de drift N^- faiblement dopée qui est située entre la fin du canal d'inversion et le drain N^+.

La tenue en tension de ce dispositif est limitée par le claquage par avalanche qui peut se produire au niveau de la jonction cylindrique P/N^- ou en surface du silicium à la fin de l'électrode de grille [MORA96]. En outre, il est généralement utilisé pour des applications de type faible puissance.

III.2.3.Le transistor DMOS

III.2.3.1. Le transistor VDMOS

Cette technologie est particulièrement répandue depuis plusieurs années pour les applications de puissance fort courant, notamment dédiées au secteur de l'électronique automobile et exigeant un temps de commutation court (figure I-11). La structure est bien connue et stabilisée à quelques détails près comme la géométrie des cellules. Il est intéressant de lister les avantages de cette technologie et de son intérêt dans les applications de puissance basse tension fort courant.

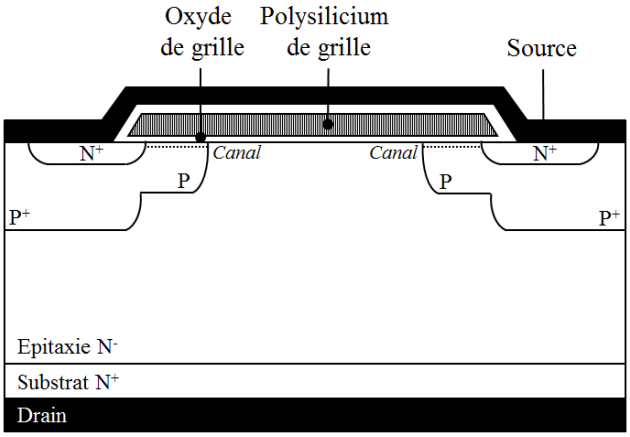


Figure I-11: Coupe schématique d'un transistor VDMOS de puissance.

Tout d'abord, la circulation du courant drain-source est verticale sur la majeure partie de son trajet, c'est-à-dire perpendiculaire au plan de la plaquette. Cette configuration présente l'intérêt d'une réduction de la surface des électrodes qui amènent le courant. De plus, la tenue en tension de la structure est indépendante du canal, ce qui permet de diminuer le périmètre de la zone épitaxiée par rapport au périmètre du canal. La contrepartie consiste à soigner les deux côtés actifs de la plaquette de silicium lors du procédé de fabrication. En outre, la volonté de réduire la résistance à l'état passant entraîne une diminution de l'épaisseur de la plaquette qui est alors plus fragile.

Un autre paramètre important concerne le canal. Le canal diffusé voit sa longueur contrôlée par la différence des avancées latérales des diffusions P et N^+. Par conséquent, la surface est plane et la reproductibilité excellente.

La grille en polysilicium (silicium polycristallin) est un élément primordial dans la structure du composant. En effet, elle permet l'auto-alignement de zones diffusées P et N^+, et peut supporter des températures de l'ordre de 1000°C lors des étapes de fabrication.

Le nom du transistor VDMOS qui signifie transistor vertical MOS à double diffusion est issu de la réalisation des diffusions P et N^+ à travers la même fenêtre de masquage qui est délimitée par le polysilicium de grille. Cette méthode d'auto-alignement permet de contrôler la longueur du canal à des dimensions submicroniques.

La taille des cellules est réduite grâce à la superposition des électrodes de source et de grille permettant un gain de place important. Néanmoins, l'électrode de grille en polysilicium présente un inconvénient majeur en régime transitoire en raison d'une faible conductivité malgré son dopage.

En régime statique, le transistor VDMOS ne présente pas d'effet de focalisation de courant, quelle que soit la tension de polarisation appliquée, car le mécanisme de contrôle du courant est fonction du champ électrique et de la mobilité des porteurs. Cela entraîne une distribution homogène de la température et du courant sur toute la puce. La taille du transistor dépend du nombre de cellules mises en parallèle. Par conséquent, le calibre en courant souhaité peut être obtenu par une mise en parallèle du nombre de cellules élémentaires nécessaires. Le courant total est alors égal à la somme des courants des transistors MOS élémentaires pris séparément. Par ailleurs, la configuration du drain de type N^-N^+ permet d'assurer un certain calibre en tension. La tenue en tension dépend essentiellement du dopage et de l'épaisseur de la couche épitaxiée.

Une technologie alternative a été proposée par Ueda *et al.* en réalisant des transistors VDMOS à double niveau d'oxyde [UEDA84a], c'est-à-dire un oxyde mince au-dessus du canal afin de ne pas trop augmenter la résistance associée lorsque le composant est en régime de conduction, et un oxyde épais, au-dessus de la zone d'accès qui est situé entre les deux caissons P (figure I-12). L'objectif principal était de diminuer la valeur de la capacité parasite entre l'électrode de grille et l'électrode de drain en régime de commutation.

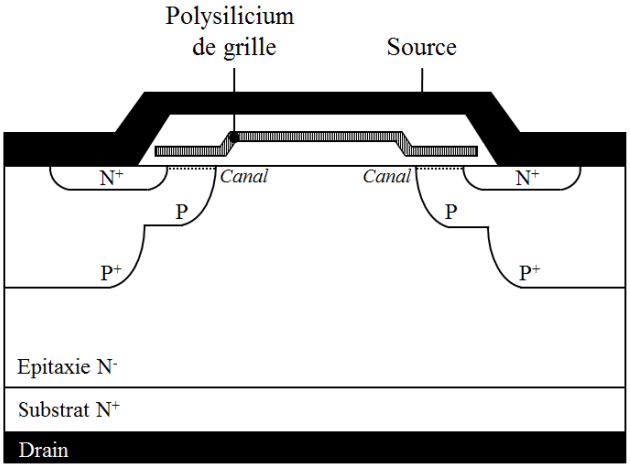


Figure I-12: Coupe schématique d'un transistor VDMOS de puissance à double niveau d'oxyde.

Toutefois, une limitation fondamentale existe à l'augmentation simultanée des calibres en tension et courant et un compromis doit être trouvé. En effet, il est nécessaire de concilier une faible valeur de résistance à l'état passant (qui augmente avec la taille de la puce et donc avec le nombre de cellules) et la tenue en tension fixée pour une surface de silicium donnée. De plus, la densité d'intégration ne pourra pas atteindre des niveaux infinis en raison d'un obstacle. Celui-ci provient du goulot d'étranglement que forment les zones de charges d'espace (ZCE) qui s'étendent à partir des zones P de deux cellules adjacentes. Ce pincement parasite, appelé également pincement "JFET", résulte de la chute de tension interne et devient de plus en plus important au fur et à mesure que la densité d'intégration augmente.

III.2.3.2. Le transistor DMOS à tranchées

L'augmentation de l'intégration des dispositifs VDMOS de puissance est limitée par l'effet résistif de pincement JFET. Une solution apportée par Ueda *et al.* est une nouvelle génération de MOSFETs de puissance à tranchées verticales permettant de diminuer significativement la valeur de la résistance à l'état passant [UEDA84b]. Cette technologie présentée sur la figure I-13 présente deux avantages intéressants en comparaison au VDMOS. Tout d'abord, la résistance à l'état passant est réduite avec l'élimination de l'effet de pincement et donc de la composante de résistance R_{JFET}. De plus, une légère amélioration de la densité d'intégration est atteinte grâce à une grille enterrée qui occupe moins de place.

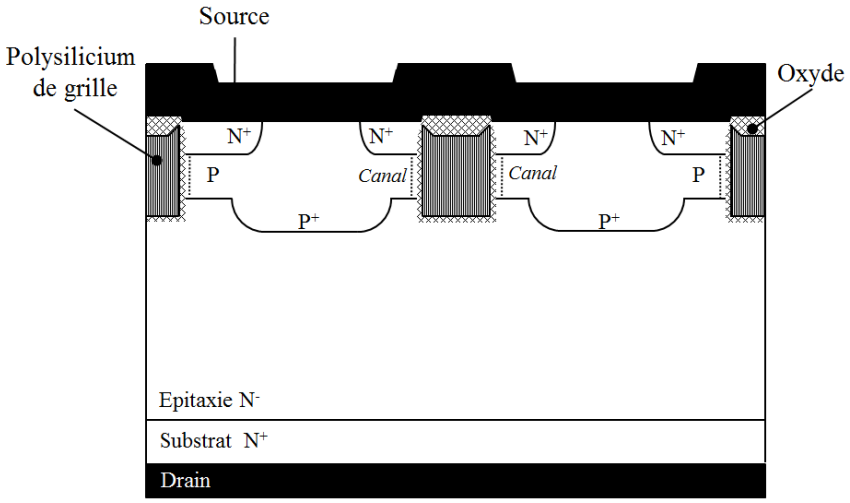


Figure I-13: Coupe schématique d'un transistor DMOS à tranchées.

La structure d'un MOSFET à tranchées est caractérisée par une configuration verticale, c'est-à-dire que le courant circule du drain (situé sur la face arrière de la plaquette), jusqu'aux électrodes de grille et de source (situé sur la face supérieure de la plaquette). Son nom provient de l'utilisation d'une tranchée en forme de « U » enterrée sous la métallisation de source dans la zone active du canal. Cette tranchée est remplie de polysilicium et joue le rôle d'électrode de grille.

Par conséquent, la résistance à l'état passant est constituée de trois composantes. La première correspond à la résistance de canal (représentant la couche d'inversion qui apparaît verticalement le long de la tranchée). La seconde est la résistance d'accès traduisant l'apparition d'une zone d'accumulation le long de la grille. La dernière composante correspond à la résistance de drift qui représente la zone peu dopée et qui supporte la quasi-totalité du potentiel appliqué entre source et drain à l'état bloqué.

Comme les autres DMOS, les MOSFET à tranchées sont constitués par la mise en parallèle de cellules élémentaires identiques.

III.2.4. Le choix technologique du HDTMOS

Les transistors MOS de puissance discrets sont actuellement basés sur les technologies de type VDMOS. Ils sont constitués d'un nombre important de cellules élémentaires qui sont mises en parallèle afin de réduire la résistance à l'état passant et limiter la taille des puces. Freescale Semiconductor

Toulouse a développé une technologie MOSFET verticale de type HDTMOS (« High Density Transistor MOS ») exclusivement dédiée à l'application automobile iStARS (Figure I-14). Une description plus détaillée de la technologie sera réalisée dans le chapitre II.

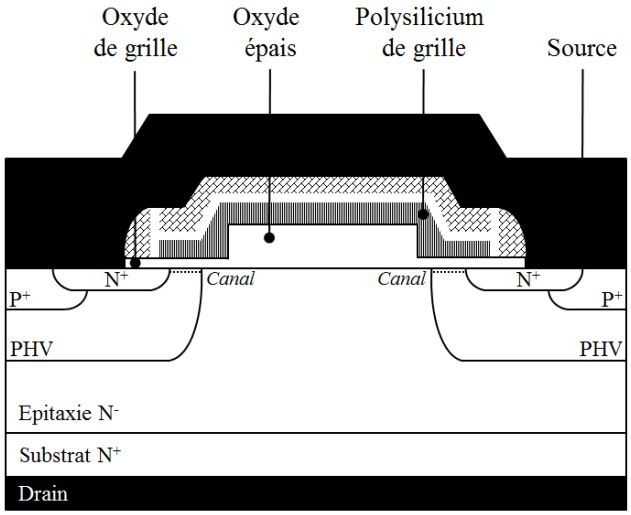


Figure I-14: Coupe schématique et simplifiée d'un composant HDTMOS.

L'exemple présenté sur la figure I-15 permet d'illustrer la différence qui existe entre la densité de transistors élémentaires par unité de surface qui est beaucoup plus importante pour un HDTMOS que pour un MOSFET standard.

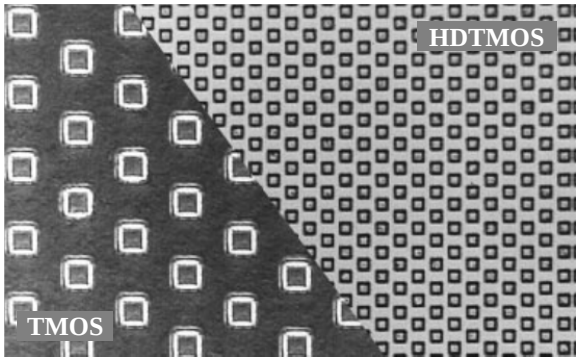


Figure I-15 : Comparaison de la densité de cellules entre un MOSFET standard et un HDTMOS [GAUE02].

L'étude présentée dans ce mémoire est exclusivement basée sur les composants HDTMOS de Freescale Semiconductor Toulouse. Celle-ci ne présente pas le même type de cellules élémentaires que celles présentées sur la figure précédente. Nous reviendrons sur ce point dans le chapitre suivant.

IV. COMPORTEMENT STATIQUE ET DYNAMIQUE DES MOSFETs DE PUISSANCE

Dans ce paragraphe, ce sont seulement les composants de type VDMOSFETs qui sont considérés. En effet, l'étude menée dans ce mémoire ne portera que sur cette famille de MOSFETs de puissance faible tension.

IV.1. Caractéristiques statiques

IV.1.1. Tension de seuil V_{TH}

La tension de seuil est le paramètre clé permettant la mise en conduction d'un MOSFET. Elle est définie comme la tension de polarisation minimale qu'il est nécessaire d'appliquer entre la grille et la source pour que le transistor commence à conduire par inversion du canal. On peut détailler ce phénomène de conduction du courant de drain à travers le canal. Lorsque la tension drain-source est positive et que la grille est polarisée positivement, le champ électrique présent à travers la couche d'oxyde attire les électrons minoritaires du caisson P. Pour une certaine valeur de V_{GS}, les électrons présents seront assez nombreux pour créer une zone d'inversion de type N, permettant la circulation du courant de drain. Cette valeur particulière de V_{GS} correspond à la tension de seuil. L'ouverture du canal est donc dépendante de la tension V_{GS} appliquée et le niveau de courant dans le canal sera contrôlé par la tension V_{DS}. La tension de seuil V_{TH} peut s'exprimer selon l'équation I-1 [SZE81] :

$$V_{TH} = V_{FB} + 2\varphi_F + \frac{\sqrt{2\varepsilon_{Si} q N_A (2\varphi_F)}}{C_{ox}} \qquad \text{I-1}$$

La valeur de V_{TH} dépend de la tension de bande plate V_{FB} définie telle $V_{FB} = -\frac{Q_{SS}}{C_{OX}} + \varphi_{ms}$ avec Q_{SS} les charges fixes dans l'oxyde et à l'interface oxyde/silicium, C_{OX} la capacité de l'oxyde de grille par unité de surface et ϕ_{ms} le travail de sortie métal/semiconducteur qui s'exprime par $\varphi_{ms} = \frac{kT}{q}\, ln\left(\frac{N_{poly}}{n_i^2}\right)$. Elle dépend également du potentiel de Fermi défini par $\varphi_F = \frac{kT}{q}\, ln\left(\frac{N_A}{n_i}\right)$ avec kT l'énergie d'activation.

La valeur de V_{TH} est un compromis. En effet, si celle-ci est trop importante cela posera des problèmes pour piloter la grille du MOSFET. En outre, dans le cas d'une tension de seuil trop faible, le MOSFET peut être mis en conduction simplement par le bruit du signal appliqué sur la grille ou bien par la tension appliquée sur la grille pendant la commutation. Les MOSFETs de puissance sont en général conçus pour présenter des tensions de seuil de l'ordre de 2 à 3V.

IV.1.2. Conduction du canal

Le courant qui circule entre la source et le drain est contrôlé par la charge des électrons disponibles au niveau de la zone d'inversion de la zone dopée P ainsi que de la mobilité de surface de ces électrons [BALI87]. Lorsque le courant de drain I_{DS} augmente, on observe une augmentation significative de la tension entre drain et source, le long du canal. La polarisation positive du drain s'oppose à la polarisation de la grille et permet de réduire le potentiel de surface au niveau du canal.

Dans le cas d'une tension de drain faible telle que V_{DS} soit très inférieure à $(V_{GS} - V_{TH})$, le courant I_{DS} augmente linéairement avec la tension de drain selon la relation suivante [BALI87] :

$$I_{DS} \approx \mu_{ns}\, C_{OX}\, \frac{Z_C}{L_C}\, (V_{GS} - V_{TH})\, V_{DS} \qquad \textit{I-2}$$

Avec, μ_n, mobilité des électrons ; C_{OX}, capacité de l'oxyde de grille ; Z_C et L_C, respectivement largeur et longueur du canal.

Dans la zone saturée c'est-à-dire lorsque la tension de drain atteint la valeur de $(V_{GS} - V_{TH})$, le pincement du canal entraîne la saturation du courant de drain. Le courant de drain saturé est un paramètre important puisque il détermine le courant maximum que le canal supportera. Dans cette région, I_{DS} peut être exprimé selon l'équation I-3 [BALI87] qui tient compte de l'effet de modulation de canal court (L_C<<10µm d'après [CAQU80]), comparable à l'effet Early présent dans les transistors bipolaires [SZE98]. Dans le cas des MOSFET, cela se traduit par une légère pente de la caractéristique $I_{DS}(V_{DS})$ en régime de saturation, liée au facteur λ.

$$I_{DS\,sat} = \frac{\mu_{ns} C_{OX}}{2}\, \frac{Z_C}{L_C}\, (V_{GS} - V_{TH})^2\, (1 + \lambda\, V_{DS}) \qquad \textit{I-3}$$

Avec, μ_n, mobilité des électrons ; C_{OX}, capacité de l'oxyde de grille ; Z_C et L_C, respectivement largeur et longueur du canal ; λ, paramètre de modulation de la longueur du canal qui dépend de L_C.

IV.1.3. Résistance à l'état passant R_{DSon}

A l'état passant, dans la région linéaire, le MOSFET est considéré comme une résistance appelée R_{DSon}. Il s'agit de la résistance du composant entre le drain et la source dans le régime passant. Elle est définie comme l'inverse de la pente à l'origine des caractéristiques $I_D(V_{DS})$ obtenues à V_{GS} constant. La valeur de la résistance à l'état passant dépend de la tension appliquée sur la grille gouvernant l'ouverture du canal. Sa valeur est généralement mesurée pour des tensions de grille permettant l'ouverture complète du canal, typiquement de l'ordre de 10 à 15V.

La valeur de la résistance à l'état passant est un paramètre clé dans le développement technologique puisqu'elle détermine les pertes par dissipation dues à l'auto-échauffement du composant ainsi que la chute de tension aux bornes du MOSFET. L'objectif est donc de diminuer la valeur de cette résistance afin de limiter ces effets.

La structure du MOSFET est constituée de différentes couches du point de vue des dopages et des épaisseurs. La résistance à l'état passant est donc représentative des couches traversées par le courant de drain jusqu'à la source et peut s'exprimer selon l'équation I-4 [BALI10] (figure I-13):

$$R_{DSon} = R_{SUB} + R_D + R_A + R_{CH} + R_S \qquad \textit{I-4}$$

La résistance à l'état passant est donc constituée de cinq composantes principales en série. La contribution de chacune d'entre elles est différente, il est donc essentiel de présenter les expressions analytiques de celles-ci afin d'évaluer leur importance relative. On distingue des résistances qui

dépendent des paramètres géométriques, technologiques et de la polarisation V_{GS} ainsi que d'autres qui s'expriment plus simplement à partir de la formule de la résistance d'un barreau ($R = \rho.l/S$). Ces composantes peuvent être localisées comme le montre la figure I-16.

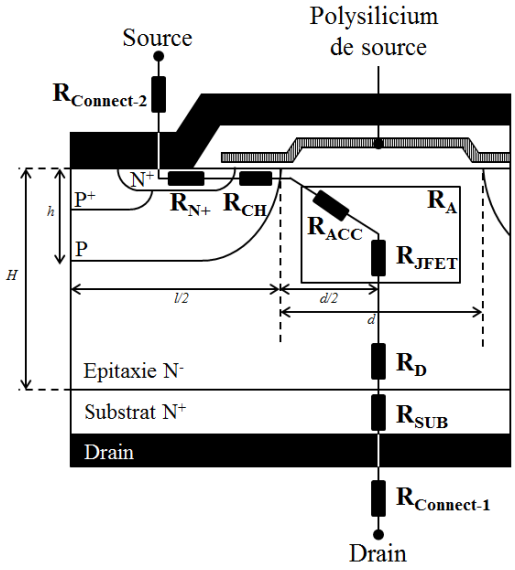


Figure I-16: Localisation des composantes de la résistance à l'état passant au niveau de la cellule élémentaire du MOSFET.

IV.1.3.1. La résistance de substrat R_{SUB}

Le substrat correspond à une zone très fortement dopée N^+ et d'épaisseur relativement importante, ce qui rend sa contribution non-négligeable. Sa valeur peut être assimilée à la formule suivante, si on considère que le substrat a une épaisseur d_{SUB}, un dopage constant N_{SUB} et une surface S_{SUB} :

$$R_{SUB} = \frac{d_{SUB}}{q.\mu_n.N_{SUB}.S_{SUB}} \qquad \text{I-5}$$

IV.1.3.2. La résistance de drift R_D

La résistance de drift représente la contribution de la couche épitaxiée et plus précisément de la zone faiblement dopée N^- du composant placée entre la couche accumulée située sous la grille et le drain N^+. Elle dépend essentiellement de la géométrie et de la résistivité de la couche N^-.

En première approximation, la couche épitaxiée peut être définie comme un barreau semiconducteur de résistivité $\rho = (q.\mu_n.N_D)^{-1}$, de longueur H (épaisseur de la couche), de section S (surface d'une cellule élémentaire) avec un dopage N_D constant. La relation établie est donc :

$$R_D = \frac{\rho \, . \, l}{S} = \frac{H}{q.\mu_n.N_D.S} \qquad \textit{I-6}$$

Avec, μ_n la mobilité des électrons dans la couche N^- et q la charge élémentaire de l'électron.

Toutefois, les effets de défocalisation des lignes de courant sous la zone diffusée P ne sont pas pris en compte dans l'expression approximée de l'équation I-6. Par conséquent, la résistance de drift peut être définie plus rigoureusement selon que l'épaisseur de la couche épitaxiée *(H-h)* est supérieure ou non à la demi-largeur *l/2* des caissons P :

$$\text{Si } (H\text{-}h) < l/2,\ R_D \approx \frac{1}{q\mu_n N_D Z}\ ln\left(1+\frac{2H}{d}\right). \qquad \textit{I-7}$$

$$\text{Si } (H\text{-}h) > l/2,\ R_D \approx \frac{1}{q\mu_n N_D Z}\left[ln\left(1+\frac{l}{d}\right)+\frac{2H-L}{d+l}\right]. \qquad \textit{I-8}$$

IV.1.3.3. La résistance d'accès R_A

Il s'agit de la résistance de la couche comprise entre deux cellules élémentaires du transistor qui correspond à la zone d'accès au canal. Elle est constituée de deux composantes. La première correspond à la résistance de la couche accumulée induite par la polarisation positive de la grille et située sous l'électrode de grille à la surface de la zone épitaxiée N^- et est appelée R_{ACC}. La seconde composante est liée à la résistance du volume de la zone N^- située au-dessous de cette couche accumulée entre deux caissons P de cellules adjacentes et est appelée R_{JFET}. La valeur de la résistance d'accès est donc dépendante de la résistivité de la couche épitaxiée N^- et peut s'exprimer telle que [SANC85]:

$$R_A = R_{ACC} + R_{JFET} = \frac{2h}{q.\mu_n\,.N_D.Z_C.l}\ \rho.\lambda \qquad \textit{I-9}$$

Avec, λ, un coefficient qui dépend du dopage, des dimensions géométriques, de la tension de grille et de la mobilité des porteurs dans la zone d'accès ; h, hauteur de la région intercellulaire c'est-à-dire profondeur de la jonction ; Z_C.l/2, section d'un barreau de semiconducteur avec Z_C le périmètre du canal et l la largeur de la région intercellulaire, μ_n, mobilité des porteurs dans le volume du semiconducteur de dopage N_D.

IV.1.3.4. La résistance de canal R_{CH}

Elle correspond à la résistance de la zone d'inversion qui se développe en surface de la couche P^+ sous l'électrode de grille. La valeur de la résistance de canal est essentiellement modulée par les paramètres géométriques du canal que sont la longueur L_c et sa largeur Z_c. D'après Rossel *et al.* [ROSS81], elle peut être exprimée telle que :

$$R_{CH} = \frac{L_c}{\mu_0 . Z_c . C_{OX} . \psi} \frac{V'_{GS} + \psi + 2\varphi_F}{V_{GS} - V_{TH}} \qquad \text{I-10}$$

Avec, μ_0, mobilité des porteurs à champ nul ; C_{OX}, capacité d'oxyde de grille par unité de surface ; ψ, potentiel de réduction de mobilité transversale ; V'_{GS}, tension de grille effective définie par $V'_{GS} = V_{GS} - V_{FB} = V_{GS} + \frac{Q_{SS}}{C_{OX}} - \varphi_{ms}$; φ_F, potentiel de Fermi de la zone P^+ ; V_{TH}, tension de seuil.

IV.1.3.5. La résistance de source R_S

La résistance R_S inclue la résistance de source ainsi que la résistance résultant de la connectique tel que $R_S = R_{N^+} + R_{Connect}$. Ainsi, la première contribution correspond à la résistance de la zone dopée du caisson de source N^+ notée R_{N+}. Cette région est fortement dopée et présente une épaisseur et une largeur faible, ce qui explique que sa contribution dans la valeur de la R_{DSon} est négligeable.

A cette contribution s'ajoute celle de la résistance $R_{Connect}$ qui tient compte de la présence d'une métallisation en face avant (métallisation de source) afin de permettre la soudure des fils de connexion ainsi qu'une métallisation en face arrière pour permettre le brasage du composant. La résistance de connectique correspond donc à la somme de $R_{Connect-1}$ (face avant) et $R_{Connect-2}$ (face arrière).

IV.1.3.6. Conclusion

La résistance à l'état passant R_{DSon} est constituée de cinq composantes différentes dont les contributions sont détaillées dans la figure I-17. Ces valeurs ont été évaluées pour une puce ST Microelectronics présentant une tension de claquage de 30V de type MOSFET conventionnel de puissance faible tension [BUTT04]. On note que les composantes dominantes sont la résistance de substrat R_{SUB} et la résistance liée à la connectique $R_{Connect}$. Les résistances de canal, d'épitaxie et la résistance liée à l'effet JFET prennent, quant à elles, une part quasi équivalente dans la valeur de la résistance à l'état passant.

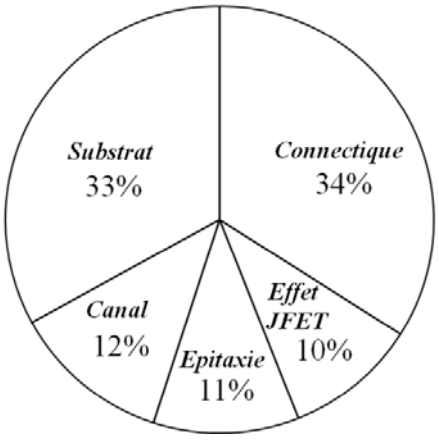


Figure I-17: Composantes de la résistance à l'état passant dans un MOSFET de puissance 30V (Source ST Microelectronics).

IV.1.4. Tension de blocage BV_{dss}

Lorsque le composant est en régime bloqué, il s'agit de la tension pour laquelle la diode structurelle polarisée en inverse claque. Ceci permet l'établissement du courant entre la source et le drain par le processus de multiplication par avalanche. Dans ce cas, la grille et le drain sont reliés au même potentiel.

Pour des tensions de drain en dessous de la valeur de BV_{dss} et sans polarisation de la grille, le canal ne se forme pas et la tension de drain est entièrement supportée par jonction PN^- de la diode structurelle polarisée en inverse.

Le procédé de fabrication conditionne étroitement la tension maximale qui pourra être bloquée par le transistor. En effet, cette valeur de BV_{dss} dépend du dopage et de l'épaisseur de la couche épitaxiée N^- dans laquelle s'étendra la zone de charge d'espace. La valeur de la tension de blocage du composant consiste donc en un compromis entre ces deux paramètres : plus la tension de blocage désirée est importante plus l'épaisseur et la résistivité de l'épitaxie augmente. De plus, la tension de claquage du transistor devra être proche de la tension d'utilisation afin de limiter la valeur de la résistance à l'état passant.

IV.2. Caractéristiques dynamiques

Pour les applications demandant une vitesse importante de commutation, les paramètres les plus importants correspondent aux capacités parasites du composant. En effet, le comportement dynamique du MOSFETs est assujetti par le temps de charge et de décharge de ces capacités qui va constituer le principal facteur ralentissant du transistor.

On peut distinguer deux types de capacités inter-électrodes. Les capacités qui dépendent de la géométrie du MOSFET à savoir la capacité grille-source ainsi que la capacité grille-drain et la capacité drain-source qui est la capacité de la diode structurelle du transistor bipolaire parasite. Les composantes des différentes capacités sont représentées sur la figure I-18.

La capacité grille-source C_{GS} est formée par le recouvrement de la source et de la région du canal par l'électrode de source. La valeur de C_{GS} dépend de la géométrie de ces régions et reste donc pratiquement constante c'est-à-dire linéaire quelle que soit la tension V_{GS} appliquée. La capacité grille-source est constituée de trois composantes en parallèle :

- C_{GS1}, capacité formée par le polysilicium de grille, l'oxyde de grille et la surface du silicium au-dessus de la zone de formation du canal.
- C_{GS2}, capacité identique à C_{GS1} mais formée au niveau du caisson de source N^+.
- C_{GS3}, capacité formée par la métallisation de source, l'oxyde épais et la surface le polysilicium de grille.

La capacité grille-drain C_{GD} résulte de deux effets. Le premier est le recouvrement de la région JFET et de l'électrode de grille qui s'additionne à la capacité de la zone de charge d'espace. La valeur de C_{GD} dépend donc de la tension V_{DS} appliquée et varie en inverse de $\sqrt{V_{DS}}$ [BALO01]. La capacité grille-drain est constituée de deux capacités en série qui correspondent à la capacité de transition des jonctions existant entre le caisson P^+ et l'épitaxie N^- faiblement dopée :

- C_{GD1}, capacité formée par le polysilicium de grille, l'oxyde de grille et la surface du silicium entre deux cellules élémentaires.
- C_{GD2}, capacité formée par la zone de déplétion sous la grille entre deux cellules élémentaires.

La capacité drain-source C_{DS} est formée par la jonction PN^- de la diode structurelle. La valeur de C_{DS} dépend donc de la tension V_{DS} appliquée et varie en inverse de $\sqrt{V_{DS}}$ [BALO01]. En effet, la valeur de V_{DS} influence la formation de la zone de charge d'espace.

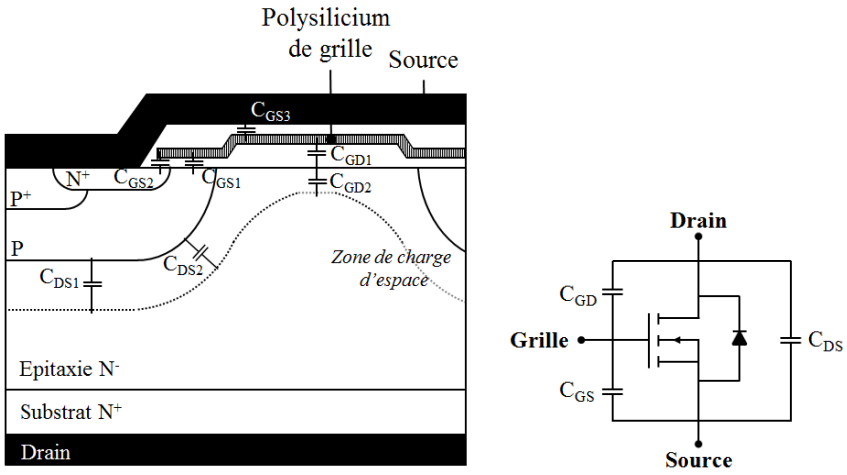


Figure I-18: Localisation des composantes des capacités parasites et schéma équivalent associé au MOSFET.

En général, les fabricants de composants semiconducteurs définissent indirectement les capacités détaillées précédemment. En effet, la mesure permet de déterminer les combinaisons suivantes :

- C_{ISS} qui correspond à la capacité d'entrée telle que $C_{ISS}=C_{GD}+C_{GS}$. Cette capacité définit la quantité de charges à injecter au niveau de l'électrode de grille pour atteindre une certaine valeur de V_{GS}.
- C_{RSS} qui correspond à la capacité de contre-réaction (ou capacité de Miller) telle que $C_{RSS}=C_{GD}$.
- C_{OSS} qui correspond à la capacité de sortie telle que $C_{OSS}=C_{DS}+C_{GD}$.

En outre, les capacités présentées dans le paragraphe précédent s'expriment donc telles que :

$$C_{GS} = C_{ISS} - C_{RSS} = C_{GS1} + C_{GS2} + C_{GS3} \quad \text{I-11}$$

$$C_{GD} = C_{RSS} = \frac{C_{GD1}\, C_{GD2}}{C_{GD1} + C_{GD2}} \quad \text{I-12}$$

$$C_{DS} = C_{OSS} - C_{RSS} = C_{DS1} + C_{DS2} \quad \text{I-13}$$

V. LE MODE DE FONCTIONNEMENT EN AVALANCHE

Dans l'électronique automobile, le mode d'avalanche n'est plus considéré comme accidentel mais correspond à un mode fonctionnel définissant de nouvelles exigences pour les composants. En effet, la capacité des MOSFETs à soutenir l'avalanche est devenue un paramètre central dans le développement technologique. L'industrie des composants à semiconducteur a qualifié de robuste (« ruggedness »), un composant capable de soutenir des courants d'avalanche lorsqu'il s'ouvre sur un circuit inductif non écrêté.

V.1. L'avalanche en électronique automobile

Dans l'application de l'alterno-démarreur, les MOSFETs constituant le convertisseur électronique peuvent fonctionner en avalanche dans des cas précis. Ce mode de fonctionnement résulte de la faible marge qui existe entre la tension d'opération de la batterie (12V) et la tension de claquage des MOSFETs (inférieure à 30V).

Le premier cas de fonctionnement en avalanche des transistors de puissance provient de la diminution des capacités de filtrage. Cette modification a pour objectif premier de limiter les coûts de production des convertisseurs. Par conséquent, à chaque phase de commutation, le comportement inductif des fils n'est plus filtré par ces capacités. Les MOSFETs sont donc soumis à des surtensions lors de leur mise à l'état bloqué (« off ») entraînant l'avalanche.

Le second cas de fonctionnement en avalanche des MOSFETs peut provenir de la déconnexion accidentelle de la batterie du circuit d'alimentation alors que l'alternateur génère un courant de charge vers la batterie (aussi appelé « load dump »). En effet, cette tension peut atteindre une soixantaine de volts et diminue généralement sur une durée de plusieurs millisecondes [EFLA90, MATH06]. Les MOSFETs utilisés en avalanche permettent d'abaisser ce pic de tension afin de protéger les appareils reliés à la batterie.

La dernière configuration qui implique le passage des MOSFETs en avalanche est le passage du mode démarreur de l'alterno-démarreur (après le démarrage du moteur thermique) en mode alternateur (pour recharger la batterie). Entre ces deux modes, les MOSFETs sont à l'état bloqué et leur passage en avalanche permet d'évacuer le fort courant inductif provenant du démarreur [BERN10].

V.2. Principe physique du phénomène d'avalanche

Pour un semiconducteur de puissance la tension de claquage est l'un des paramètres les plus importants. Dans ce type de composant, à l'état bloqué avec une grille non polarisée et une tension entre drain et source positive, la tension est supportée par la zone de déplétion formée au niveau de la jonction PN^- de la diode structurelle du MOSFET polarisée en inverse. Le champ électrique important au niveau de la zone de déplétion, qui augmente avec la tension appliquée, permet d'accélérer les porteurs de charge. Leur énergie est alors suffisante pour entrer en collision avec les atomes du réseau cristallin et permettre le passage d'un électron de la bande de valence vers la bande de conduction. Ce procédé de formation d'une paire électron-trou est appelé ionisation par impact. Dans la littérature, l'avalanche est définie comme la condition pour laquelle le phénomène d'ionisation par impact devient infini [BALI87] : il s'agit d'un phénomène multiplicatif en cascade. Lors du phénomène d'avalanche, le courant généré par

la multiplication des porteurs augmente de manière importante. Ces porteurs sont alors soumis au fort champ électrique présent au niveau de la jonction PN^- et participent au courant de conduction.

Le processus d'avalanche est représenté sur la figure I-19. La phase 1 correspond à la création thermique d'une paire électron-trou. Lors de la phase 2, le champ électrique important accélère l'électron qui se trouve de plus en plus haut dans la bande de conduction. Lorsque l'énergie cinétique de ce dernier est suffisante, il crée une nouvelle paire électron-trou par choc lors de la phase 3. Suite à ce choc, l'électron est au bas de la bande de conduction et permet la création d'une seconde paire électron-trou.

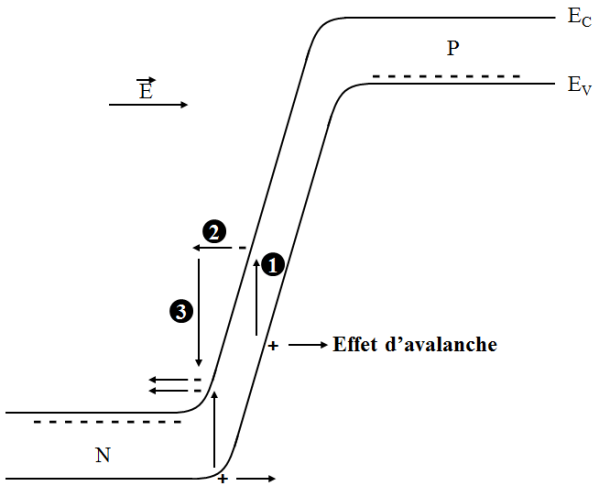


Figure I-19: Diagramme de bande d'une jonction PN en mode d'avalanche [MATH04].

V.3. La tenue en avalanche des MOSFETs de puissance

V.3.1. Mécanisme de défaillance en mode d'avalanche

Tous les semiconducteurs sont constitués d'éléments intrinsèques résultants de la réalisation technologique des composants. Dans le cas des MOSFETs de puissance, ces principaux éléments structurels, mises à part les capacités présentées dans le paragraphe IV.2, sont les résistances de couches, la diode structurelle et le transistor NPN parasite formé par l'ensemble source-substrat-drain (figure I-20).

Le mécanisme de défaillance résultant du passage en avalanche d'un MOSFET de puissance a fait l'objet de nombreuses études [BLACK88, DIER94, PAWE06]. Un composant MOSFET de puissance de génération actuelle se met en avalanche lorsque la tension V_{DS} devient plus importante que la tension de claquage V_{DSBr} de sa diode structurelle qui est conçue pour lui conférer une tenue en énergie garantie dans ce mode de claquage.

A l'état bloqué, la tension entre le drain et la source est exclusivement supportée par la jonction PN^- de la diode structurelle drain-source. La diffusion de source réalisée dans la région P de la diode structurelle se comporte comme l'émetteur d'un transistor bipolaire NPN dont la base est constituée par la région P du canal et le collecteur par la région N^- du drain. Dans un fonctionnement normal, ce transistor parasite est heureusement désactivé par la résistance répartie R_B (définie par $R_B = R_{B1}+R_{B2}$, cf. fig. I-20-a) qui court-circuite la base et l'émetteur. En régime d'avalanche la résistance R_B va être traversée par une intensité de courant résultant de la génération de trous dans la zone de charge d'espace établie entre le

drain et la région P du canal. Dans le cas d'un courant d'avalanche important, la jonction émetteur-base du transistor parasite sera progressivement polarisée en direct, ce qui provoquera la conduction du transistor bipolaire parasite lorsqu'un niveau critique de courant d'avalanche sera atteint.

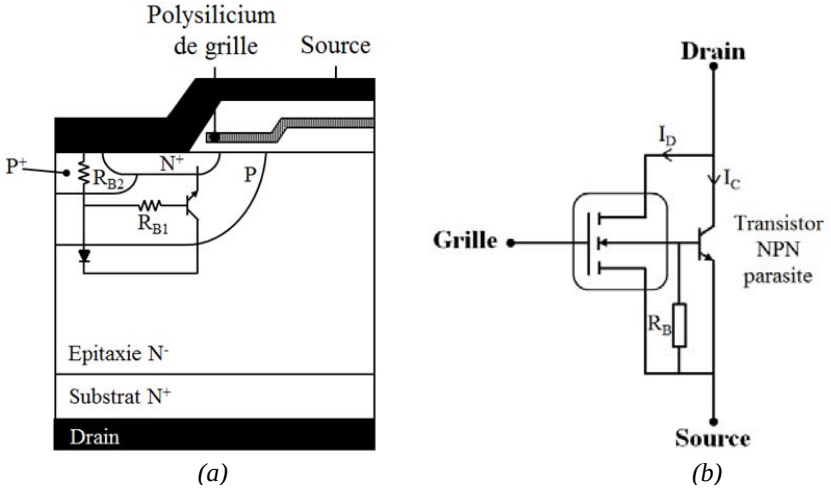


Figure I-20: Localisation du transistor bipolaire avec la résistance R_B (a) et détail de sa structure (b).

Pour bien comprendre le mécanisme de défaillance du MOSFET mis en jeu, il est important de revenir sur le mode de fonctionnement en avalanche d'un transistor bipolaire NPN. La figure I-21 détaille la caractéristique d'un transistor bipolaire NPN :

- Lorsque son circuit de base est ouvert (tout le courant de fuite de la jonction collecteur-base est forcé de traverser la jonction base-émetteur et subit une amplification, cas a).
- Lorsque la jonction base-émetteur est court-circuitée par la résistance R_B (le courant de fuite de la jonction collecteur-base est dérivé par la résistance R_B tant que la tension de polarisation de la jonction émetteur-base n'atteint pas le seuil des 0,5 V à température ambiante, cas b).

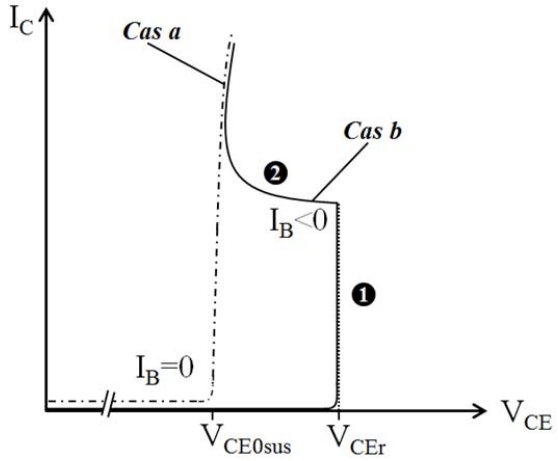


Figure I-21 : Allure des caractéristiques $I_C(V_{CE})$ en régime d'avalanche pour un transistor bipolaire NPN.

Dans le cas a) où le circuit de base est ouvert, la tension d'avalanche caractéristique de ce transistor bipolaire se situe à une valeur V_{CE0sus} (tension d'avalanche dite de maintien lorsque le circuit de base est ouvert) qui est inférieure à la valeur V_{CEr} (tension de claquage de la jonction collecteur-base).

Si on considère les équations de fonctionnement I-14 et I-15 [MORA07], on obtient la relation I-16, qui donne l'évolution du courant de collecteur en fonction du courant de base :

$$I_C = M(\alpha\, I_E + I_{C_0}) \text{ tel que } I_E = I_C + I_B \qquad \textit{I-14, I-15}$$

$$Donc, I_C = \frac{M}{1 - M\alpha}\,(\alpha\, I_B + I_{C_0}) \qquad \textit{I-16}$$

Avec, I_C, courant de collecteur ; I_B, courant de base ; I_E, courant d'émetteur ; M, facteur de multiplication par avalanche résultant de l'ionisation par impact dans la zone de charge d'espace collecteur-base ; I_{C0}, courant de fuite naturel de la jonction collecteur base polarisée en inverse (hors avalanche pour M=1) ; α, gain en courant en mode base commune du transistor (coefficient d'injection).

Dans le cas d'un courant de base nul (I_B=0), on constate que le courant de fuite naturel de la jonction collecteur-base subit une amplification correspondant à $M/(1 - M\alpha)$. Dans le cas d'un émetteur fortement dopé par rapport à la base, le coefficient α est naturellement très proche de 1. Par conséquent un facteur M proche de 1 (caractéristique des très faibles avalanches) est suffisant pour annuler le dénominateur de l'équation I-16, ce qui explique l'allure de la caractéristique I_{CE0}. Dans le cas d'un montage en base ouverte, le claquage du transistor intervient pour une tension VCE proche de la valeur V_{CE0sus}.

Dans le cas d'une jonction base-émetteur court-circuitée par une résistance R_B de valeur non nulle, le courant d'avalanche est tout d'abord dérivé à travers cette résistance et explique le fait que l'on ait un

courant de base négatif (I_B<0). Il se produit alors une chute de tension aux bornes de la résistance R_B qui est égale au produit $R_B I_B$.

La zone 1, représentée sur la caractéristique $I_C(V_{CE})$ de la figure I-21, correspond aux valeurs du courant de collecteur suffisamment faibles (tout en étant fortes par rapport à I_{C0}). Ceci entraîne des valeurs I_B et I_C très proches dans ce mode de fonctionnement. Le produit $M\alpha$ est alors caractérisé par des valeurs élevées (régime de forte avalanche) obtenues pour une tension V_{CE} proche de la tension de claquage V_{CEr}.

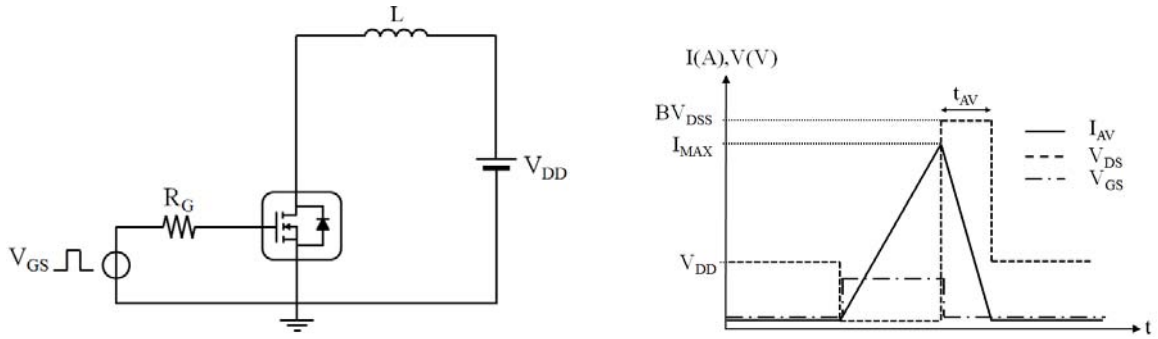
Lorsque cette tension devient proche de la tension de seuil de la jonction émetteur-base (comprise entre 0,5 et 0,7V), la jonction base-émetteur devient très passante ce qui explique une augmentation importante de la composante du courant I_C par rapport à celle qui est dérivée par R_B. Dans ces conditions, la tension V_{CE} supportée par le transistor bipolaire opère une commutation de V_{CEr} vers V_{CE0sus} ce qui se traduit par une décroissance progressive de $M\alpha$ vers la valeur 1 en raison d'une diminution du facteur de multiplication M (figure I-21, zone 2).

Ce phénomène de repliement brusque de la tension porte le nom de « snapback », il s'agit d'un évènement exclusivement électrique qui s'accompagne d'une dissipation de puissance importante lorsque les conditions de charge s'y prêtent (attaque en tension). Les MOSFETs étant des structures multicellulaires à forte densité, le phénomène de « snapback » n'impacte en général qu'un groupe restreint de cellules inhomogènes (maillon faible) par rapport au reste de la puce. Il se produit alors un échauffement localisé du composant MOSFET qui conduit au second claquage, phénomène de type thermique, entraînant sa défaillance.

En conséquence, l'activation du transistor bipolaire parasite n'est pas directement responsable de la défaillance ultime. En effet, cette dernière résulte de l'élévation de la température due à l'augmentation du courant dans les cellules qui ont effectuées la commutation. Si la température atteinte par les cellules ayant commuté, conduit à une génération excessive de porteurs intrinsèques, il se créée dans le dispositif un canal conducteur qui ne lui permet plus de supporter la tension extérieure qui lui est appliquée.

V.3.2. Le test UIS

La robustesse d'un composant en avalanche et plus précisément sa tenue impulsionnelle en avalanche peut être vérifiée avec le test UIS (« Unclamped Inductive Switch »). Le circuit utilisé reproduit le cas de l'ouverture du MOSFET sur une charge inductive. Le principe de cette mesure consiste à stocker une énergie E par l'intermédiaire d'une inductance L qui se décharge à l'ouverture du transistor (figure I-21). L'objectif est de déterminer la possibilité d'un MOSFET à supporter et à dissiper l'énergie en mode d'avalanche.



(a) *(b)*

Figure I-22: Circuit du test UIS (a) et forme d'onde de l'avalanche (b).

VI. CONTRAINTES LIEES AU DOMAINE AUTOMOBILE

Le domaine automobile dans lequel sont utilisés les MOSFETs de puissance est à l'origine de nombreuses contraintes notamment en termes de température et de vieillissement. De ce fait, les équipementiers ont défini des normes strictes basées sur des tests de fiabilité visant à accélérer les mécanismes de défaillances pouvant survenir lors de l'utilisation.

La température est un paramètre qui a une forte influence sur les propriétés des matériaux semiconducteurs. En effet, elle peut affecter le fonctionnement des composants en modifiant certaines caractéristiques. Il est donc primordial de s'intéresser à la fiabilité des composants soumis à de hautes températures pouvant être voisines de 175°C.

VI.1. Quelques définitions

Ce paragraphe a pour objectif de définir clairement mais succinctement les termes de robustesse et de fiabilité qui se substituent très régulièrement l'un à l'autre et de revenir également sur les notions de mécanismes et de modes de défaillance.

VI.1.1. Robustesse

La robustesse permet d'évaluer l'aptitude d'un composant à fonctionner de façon sûre dans des conditions particulières c'est-à-dire hors du spectre prévu. En effet, IEEE définit la robustesse comme le degré avec lequel un composant peut fonctionner correctement en présence de conditions environnementales très stressantes [IEEE90].

VI.1.2. Fiabilité

La fiabilité correspond à la probabilité qu'un composant remplisse la fonction pour laquelle il est prévu dans des conditions opérationnelles fixées par une spécification ou un cahier des charges et pour une période de temps définie. Si le produit perd sa fonctionnalité, dans un temps inférieur à celui défini, on parle de défaillance. La défaillance peut atteindre plusieurs degrés : soudain, graduel, partiel ou complet. La défaillance peut résulter d'une faiblesse inhérente et/ou d'une mauvaise utilisation.

En fiabilité et pour de nombreux composants, le graphe en baignoire dit de « bathtub » représente le taux de défaillance en fonction du temps (figure I-22). La vie d'un composant est constituée de trois périodes distinctes. Au début de la vie du composant, le taux de défaillance est important et correspond à la mortalité infantile. Cette population peut être isolée grâce à des tests de fiabilité permettant d'effectuer un déverminage. Pour la seconde période qui correspond à la vie du composant, les défaillances se produisent aléatoirement et la cause est difficilement attribuable. Le taux de défaillance reste constant mais dépend du niveau de stress imposé. Enfin, la dernière période qualifiée de période finale de défaillance résulte de l'usure des composants et de la perte de fonctionnalité.

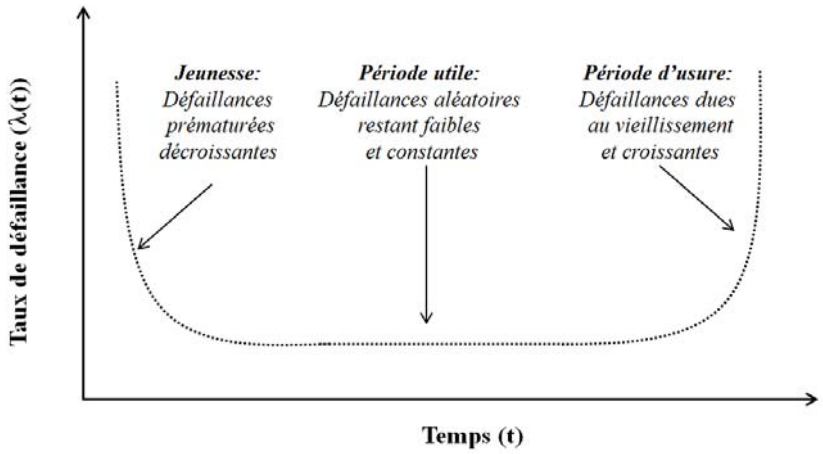


Figure I-23: Courbe de « bathtub ».

VI.1.3. Mécanismes et modes de défaillance

Il est nécessaire de distinguer trois aspects de la défaillance. Tout d'abord, la cause de la défaillance qui correspond aux circonstances liées à la conception, à la fabrication et/ou à l'utilisation et entraînant la défaillance du produit. En ce qui concerne le mode de défaillance, il se définit par la façon dont une défaillance se manifeste. Il est en général possible de le caractériser électriquement. Enfin, le mécanisme de défaillance est le processus qui aboutit à une défaillance et peut être mis en évidence par une analyse physique.

VI.2. La fiabilité en électronique de puissance

Les principales contraintes extérieures comme les vibrations mécaniques, les températures extrêmes ou l'humidité exercent un stress sur les systèmes de l'électronique de puissance présents dans l'automobile [YANG11]. De plus, les sollicitations électriques affectent de manière critique la fiabilité et la durée de vie des modules de puissance. En effet, les pertes par conduction et commutation des puces ajoutent une contrainte thermique s'additionnant à celle produite par la température ambiante au plus proche du moteur [SMET08].

Une étude sur la fiabilité des convertisseurs pour l'électronique de puissance menée par Yang *et al*. a déterminé la distribution des défaillances attribuées aux divers constituants du module (figure I-23) [YANG10]. Il est intéressant de noter la part de responsabilité non négligeable de 21% du composant à

semiconducteur dans la défaillance. L'amélioration de la qualité des composants constitue donc un axe primordial.

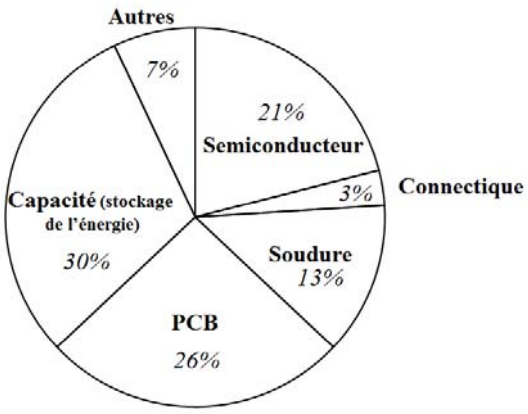


Figure I-24: Identification des défaillances dans les convertisseurs pour l'électronique de puissance – Extrait de [YANG10].

VI.2.1. Evaluation de la fiabilité au niveau du silicium

Les applications automobiles requièrent des composants toujours plus fiables et robustes. Pour ce faire, il existe des tests de fiabilité qui permettent de réaliser des essais de vieillissement accélérés dont l'objectif est de révéler en un temps relativement court (en comparaison à la durée de vie dans l'application) le potentiel des défauts de jeunesse des composants.

Ces tests doivent permettre d'accélérer les potentielles défaillances des composants et ne doivent donc en aucun cas induire de nouveaux défauts. Leur maîtrise est un aspect important pour évaluer la fiabilité des produits dans les conditions optimales. Dans ce paragraphe, ils seront présentés succinctement car décrits plus en détail dans le chapitre III.

VI.2.1.1. Tests environnementaux

VI.2.1.1.1. Cyclage en température (« Temperature cycling », TC)

L'objectif de ce test est de faire cycler le composant passif entre deux températures ambiantes extrêmes qui sont en général de -55°C et 150°C. Ce test permet de vérifier l'intégrité de l'adhésion des interfaces entre le boitier et la puce.

VI.2.1.1.2. Test de puissance cyclé (« Intermittent Operating Life », IOL)

Contrairement au test de cyclage en température, l'échauffement du composant est généré par le composant lui-même. Celui-ci est soumis à une puissance lui permettant d'atteindre la température de jonction (T_J) maximale. Ensuite, le composant est refroidi jusqu'à la température ambiante et ce cycle est répété 10000 fois. Ce test permet de déterminer l'intégrité de la puce et de la métallisation de source.

VI.2.1.2. Tests de durée de vie à haute température

VI.2.1.2.1. Polarisation inverse à haute température (« High Temperature Reverse Bias », HTRB)

Au cours du test dit HTRB, quatre-vingt pour-cent de la valeur de la tension de claquage est appliquée sur la diode structurelle du MOSFET, la source et la grille étant court-circuitées à la masse sous une contrainte thermique de 150°C pendant une durée de 1000h. L'objectif de ce test est de vérifier l'intégrité de la jonction PN, la présence de défauts cristallins ainsi que le niveau de contamination ionique. Ce test permet de tester essentiellement la fiabilité du substrat silicium.

VI.2.1.2.2. Polarisation de la grille à haute température (« High Temperature Gate Bias », HTGB)

Le test HTGB consiste à appliquer une polarisation sur l'électrode de grille dont la valeur est déterminée par la tension maximale autorisée par l'application entre la grille et la source. Ce test est réalisé à une température de 175°C et durant 1000h. Il permet de vérifier l'intégrité de l'oxyde de grille et le niveau de contamination ionique.

VI.2.2. Impact de la température sur les paramètres électriques

La température est un paramètre clé dans le secteur automobile. En effet, les composants constituants les systèmes électriques doivent être capables de fonctionner pour des températures extrêmes. La variation de la température ambiante peut engendrer des modifications sur les paramètres physiques des composants jusqu'à atteindre leur limite physique. En outre, les tests de durée de vie à haute température révèlent l'importance de la fiabilité dans ces conditions sévères. Les paramètres électriques les plus sensibles au gradient de température sont présentés dans le paragraphe suivant.

VI.2.2.1. Tension de seuil V_{TH}

L'expression de la tension de seuil est donnée par l'équation I-1 et détaillée dans le paragraphe IV.1.1. Les termes qui la constituent sont dépendants de la température T. En effet, le potentiel de Fermi ainsi que la tension de bande plate sont proportionnels à la température. Il est alors possible de définir une loi de variation de V_{TH} en fonction de la température T (

$$V_{TH}(T) = V_{TH}(T_0)[1 - \gamma\,(T - T_0)] \qquad \textit{I-17}$$

Avec, T_0, température de référence (souvent égale à 25°C) ; γ, coefficient considéré égal à $2{,}0.10^{-3}\ °C^{-1}$.

Typiquement, la valeur de V_{TH} est diminuée de 8 à 9 mV par degré Celsius [SPIR05, WOND99] dans le domaine usuel de température c'est-à-dire jusqu'à 150°C [DIA11].

VI.2.2.2. Résistance à l'état passant R_{DSon}

La valeur de la résistance à l'état passant va augmenter avec la température. En effet, le coefficient en température de ce paramètre est strictement positif en raison des porteurs majoritaires qui voient leur mobilité décroitre avec l'augmentation de la température [SZE81]. La forte dépendance entre la valeur de

R_{DSon} et la température explique les pertes en conduction (qui s'expriment en $I^2.R$) des composants lorsque la température augmente. La faible valeur de R_{DSon} est donc un paramètre essentiel lors du développement du composant.

Le coefficient en température positif du R_{DSon} est primordial lors de la mise en parallèle des MOSFETs dans l'application car assurant la stabilité thermique des composants, en limitant la formation de points chauds pouvant conduire à la défaillance [DODG06].

VI.2.2.3. Tension de claquage BV_{dss}

La valeur de la tension de claquage augmente avec la température. En effet, pour une température élevée le phénomène de claquage de la jonction PN survient pour un champ électrique plus fort qu'à faible température. Ce phénomène peut s'expliquer par le fait qu'à forte température, la probabilité de collision des porteurs avec le réseau cristallin diminue légèrement en raison de l'excitation des atomes du réseau.

VI.3. Mécanismes de défaillance au niveau silicium

Les rejets pour manque de fiabilité au niveau des transistors de puissance peuvent être associés à des mécanismes de défaillance différents liés à certaines étapes du procédé de fabrication ainsi que l'utilisation dans l'application.

VI.3.1. Défectivité

Les défauts en microélectronique peuvent affecter de façon irréversible les performances, le rendement et la fiabilité à long terme. Leur contrôle exige une maîtrise et une compréhension importante du procédé de fabrication.

Des méthodes de suivi ont été mise en place comme par H.H. Huston *et al.* [HUST92]. Elles consistent à effectuer une détection et une classification des défauts en fonction de leur taille en évaluant leur impact sur la fiabilité et le rendement.

Le contrôle des défauts en ligne est devenu un aspect important de l'amélioration de la qualité des produits de la microélectronique. Ainsi, Fan *et al*. [FAN98], ont proposé de mettre au point une méthode basée sur la détection par un balayage laser et constituée de trois étapes. La première consiste à détecter les défauts aux étapes considérées comme génératrices. Ensuite, une revue et une classification des défauts sont établies. La dernière étape consiste à analyser la tendance pour les différentes étapes du procédé afin d'améliorer le rendement.

VI.3.2. Oxyde de grille

Avec l'augmentation de l'utilisation de la technologie MOSFET pour la réalisation de composants de puissance discrets, l'intérêt pour des oxydes épais c'est-à-dire supérieur à 50nm s'est accru ; ceci a donc relancé le travail sur leur fiabilité [SCHW01]. En effet, la surface de diélectrique présente sur les puces de puissance est importante et la sollicitation sous de forts champs électriques peuvent contribuer à des défaillances prématurées du composant.

La défaillance d'un oxyde résulte de sa rupture diélectrique (ou claquage électronique) et qui se traduit par une perte de ses propriétés isolantes due à l'apparition d'un courant localisé générant un court-circuit. Ce claquage irréversible est à l'origine de la perte de la fonctionnalité du composant.

VI.3.3. Métallisation de source

Le cyclage à température élevée est un paramètre connu pour participer à la reconstruction de la métallisation en aluminium présente sur les composants en silicium. La reconstruction de l'aluminium proviendrait d'un stress compressif dépendant de la contrainte thermique. L'origine de ce stress a été attribuée à la différence existant entre les coefficients d'expansion thermique du silicium et du film d'aluminium [PHIL71]. L'état de surface de la couche d'aluminium se dégrade suite à cette reconstruction et peut entraîner le décollement des fils de connexion. Ce phénomène peut alors conduire à la perte de fonctionnalité du composant.

VII. CONCLUSION

Les composants de puissance dédiés aux applications automobiles sont en plein essor notamment avec l'arrivée sur le marché de nouveaux véhicules hybrides. Le développement de technologies toujours plus robustes et fiables est donc un nouveau challenge à relever.

La fiabilité des composants étudiés dans ce mémoire représente un aspect primordial de leur développement. De ce fait, il est important de se focaliser sur leur robustesse et leur qualité. La défaillance en électronique automobile représente un problème majeur pouvant entraîner jusqu'à l'immobilisation complète du véhicule.

En outre, les composants dédiés à des applications automobiles de type haute température doivent pouvoir résister à des contraintes thermiques élevées. Ils sont également confrontés à des phénomènes d'auto-échauffement lors du passage en avalanche. Cet aspect contribue également à développer des composants toujours plus fiables pour répondre aux sollicitations électriques pour lesquelles il a été développé.

L'objectif de ce travail de thèse est d'aborder les exigences de la fiabilité et de permettre l'amélioration de la qualité des composants aussi bien par le développement de tests évaluant leur robustesse ainsi que par l'optimisation d'étapes du procédé de fabrication. De plus, le mode de fonctionnement en avalanche définit de nouvelles contraintes technologiques.

Chapitre II. Robustesse en mode d'avalanche des MOSFETs de puissance

I. INTRODUCTION

La principale caractéristique des MOSFETs de puissance étudiés dans ce mémoire réside dans leur capacité à fonctionner selon un mode bien particulier : le mode en avalanche. Cette exigence a donc nécessité de développer des composants spécifiques à la fois robustes mais aussi fiables.

Une attention particulière a donc été portée lors du développement technologique pour limiter la variabilité entre les composants d'une part, mais également dans l'optimisation de certaines étapes du procédé ayant pu entraîner des dommages critiques, d'autre part.

Il est essentiel de comprendre que la technologie MOSFET étudiée dans ce mémoire est novatrice et l'objectif de ce chapitre est d'en présenter les points spécifiques.

II. CARACTERISTIQUES STRUCTURELLES DU MOSFET DE PUISSANCE DEDIE A L'APPLICATION iStARS

II.1. Cahier des charges

Le développement technologique du composant MOSFET de puissance a été réalisé en amont du projet ANR, par Valeo et Freescale, du fait des challenges technologiques à relever pour l'application iStARS. Ces travaux ont, ensuite, donné lieu à la mise en place du projet MOS iStARS impliquant de nouveaux partenaires, essentiellement pour répondre aux exigences de qualité et de robustesse imposées par l'application automobile elle-même. En effet, les composants électroniques utilisés dans les applications automobiles répondent à un cahier des charges strict aussi bien du point de vue des caractéristiques exigées que de la fiabilité.

En outre, il est important d'ajouter que lors de l'initiation de ce projet, aucune technologie MOSFET n'était suffisamment mature pour répondre aux besoins pointus des équipementiers et du marché automobile. Par conséquent, les exigences de qualité et de fiabilité ont imposé le développement d'une technologie extrêmement robuste. Afin de pouvoir satisfaire ces besoins en composants de puissance pour ces nouvelles générations de véhicules micro-hybrides, Freescale Semiconductor a initié un projet de recherche et de développement expérimental consistant à développer une nouvelle génération de transistors MOSFET et son procédé de fabrication. Le composant MOSFET pour l'application iStARS doit donc répondre au cahier des charges listé ci-après.

- Etre de type basse tension (de l'ordre de la vingtaine de volts) tout en pouvant supporter un fort courant (jusqu'à 500A).
- Etre caractérisé par une résistance à l'état passant inférieure à 0,8mΩ.
- Etre caractérisé par une résistance dynamique d'avalanche supérieure à 5mΩ.

- Pouvoir fonctionner à haute température avec une température de jonction de 175°C en mode continu et de 200°C en régime transitoire.
- Tenir 60 millions de cycles répétitifs en avalanche à 400A.
- Pouvoir fonctionner en parallèle ce qui sous-entend une dispersion faible des tensions de claquage sur cette technologie (appariement des tensions d'avalanche des transistors).
- Pouvoir être intégré dans un module de puissance mécatronique.

Les exigences qualité imposent que les MOSFETs utilisés dans l'application aient des résultats équivalents aux diodes actuelles avec moins de 1 ppm, en termes de rejets. Pour la fiabilité, une valeur inférieure à 0,3 FIT est exigée. Enfin, la traçabilité complète à la puce est requise, c'est-à-dire la capacité de connaître toutes les informations (paramètres électriques mesurés, numéro de lot, numéro de plaquette…) pour chaque composant présent dans un module lui-même utilisé dans un véhicule.

II.2. La tenue en avalanche

II.2.1. Capacité de tenue en avalanche

Le fonctionnement répétitif d'un MOSFET à fort courant et en mode d'avalanche n'est en général pas conseillé car il est reconnu qu'un tel régime peut affecter la fiabilité des composants. En effet, lorsqu'un MOSFET interrompt le courant d'une charge inductive, la réaction de l'inductance tend à faire croître la tension appliquée entre drain et source de manière à maintenir la continuité du courant dans le circuit. Cette augmentation de la tension drain-source est stoppée lorsque l'on atteint la tension d'avalanche du MOSFET, la vitesse de décroissance du courant de drain étant alors fixée, en première approximation, par la différence entre les tensions d'alimentation et d'avalanche et par la valeur du coefficient de self inductance de la charge.

Des modifications et des optimisations ont donc été apportées au MOSFETs de type verticaux pour leur permettre de fonctionner en avalanche. En général, la défaillance du composant résulte de deux mécanismes complémentaires. Dans un premier temps, l'augmentation du courant d'avalanche provoque localement le phénomène de retournement (« snapback ») du transistor bipolaire structurel contenu dans le MOSFET. Dans un second temps, les cellules affectées par ce phénomène de retournement vont opérer à des densités de courant bien supérieures à celles qui sont restées en mode de fonctionnement d'avalanche classique. De ce fait ces cellules vont rapidement subir un échauffement considérable induisant le phénomène de second claquage thermique destructif.

II.2.2. Les enjeux du fonctionnement en avalanche

Il est important de noter que le courant d'avalanche circule de l'électrode de drain vers l'électrode de source sans emprunter le canal conducteur du transistor MOS, ce courant est nappé. Ainsi, la résistance répartie du caisson P s'oppose au passage du courant d'avalanche qui, pour le composant complet, peut être de l'ordre de plusieurs centaine d'ampères. Cette situation va engendrer une différence de potentiel répartie entre les zones P et P^+. En outre, la source N^+ étant maintenue au même potentiel que la région P^+, il se développera une différence de potentiel répartie identique entre les zones N^+ et P (substrat).

Lorsque la différence de potentiel entre source et substrat atteint la valeur de la tension directe de la diode N^+/P qui est de l'ordre de 0,65V [TRAN84], l'activation du transistor bipolaire parasite $N^+/P/N_{Epi}$

est possible. Le déblocage du transistor bipolaire parasite entraîne, pour les cellules concernées, un basculement de la tension d'avalanche primaire supportée par le composant V_{DSbr} à la valeur de la tension BV_{CEO} du bipolaire qui est sensiblement plus faible. C'est le phénomène de repliement (aussi appelé « snapback ») qui sera à l'origine du second claquage thermique du MOSFET. Ce dernier phénomène est catastrophique car il conduit à la fusion localisée du silicium [LOCH88].

Il est donc primordial que les nouvelles générations des technologies développées pour fonctionner en avalanche sous de forts courants soient robustes ; ce qui demande d'apporter une attention particulière lors de leur développement.

II.2.3. Spécificités générales des MOSFETs dédiés au fonctionnement en avalanche

Dès le milieu des années 80, les structures MOSFETs de puissance ont été améliorées en vue d'éviter l'activation du transistor bipolaire parasite à haute température et/ou avec un fort courant d'avalanche. Diverses solutions ont été abordées.

Dans un premier temps, le procédé de croissance de la couche épitaxiée N^- doit être parfaitement contrôlé afin d'obtenir une couche la plus uniforme possible en limitant la présence de défauts cristallins et de contaminants [DIER94]. Ensuite, la résistance R_B se trouvant sous la diffusion N^+ peut être réduite en augmentant la concentration de porteurs dans la région P^- de la diffusion. Enfin, il est possible de diminuer la résistance R_B en optimisant la géométrie des cellules. Pour ce faire, K. Shenai a proposé la réalisation d'une zone fortement dopée P^+ auto-alignée peu profonde entre les caissons N^+ permettant de diminuer la taille des cellules élémentaires [SHEN92] d'une part et de réduire le gain du transistor parasite et de la résistance de base d'autre part (figure II-1).

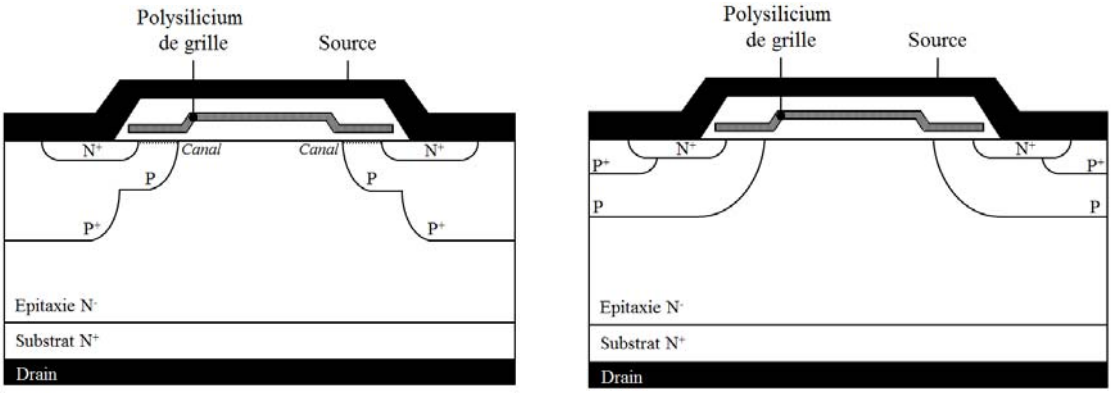


Figure II-1: Différence entre un VDMOSFET présentant une diffusion P^+ profonde (a) et une diffusion P^+ auto-alignée peu profonde (b).

Il est également possible de limiter la valeur de la résistance de base R_B en optimisant la conception des cellules. L'objectif est de faire diminuer, pour un courant d'avalanche déterminé, la chute de tension développée dans le substrat P^- et qui finira par polariser en direct le transistor parasite. Ce dernier se déclenchera donc pour un courant et une température plus importants.

En outre, une attention particulière doit être portée sur l'uniformité du procédé afin de ne pas créer des cellules présentant des faiblesses en particulier dans les terminaisons de la structure.

Un MOSFET robuste pouvant fonctionner en avalanche ne perdra sa fonctionnalité que lorsque la température excédera de manière significative la température de jonction maximale T_{Jmax} prévue par le fonctionnement et qui est en général de 150°C.

II.3. Technologie développée

II.3.1. La technologie HDTMOS™

Les transistors HDTMOS™ sont des transistors VDMOS de puissance développés par Freescale Semiconductor Toulouse. Ces transistors présentent une grande densité d'intégration de l'ordre de 1,5 millions de cellules par cm².

La coupe schématique de la cellule centrale de la figure II-2, présente la configuration verticale du transistor HDTMOS™. Il s'agit de composants à canal N. L'électrode de drain est située sur la face arrière de la plaquette, les électrodes de source et de grille sont, quant à elles, localisées sur la face avant. Les cellules de bord ne sont pas actives en tant que transistor et ne participent pas à la conduction du courant du fait de l'absence de l'implantation N. Leur rôle consiste à supporter la tension dans le cas d'une polarisation en inverse [WEBE08].

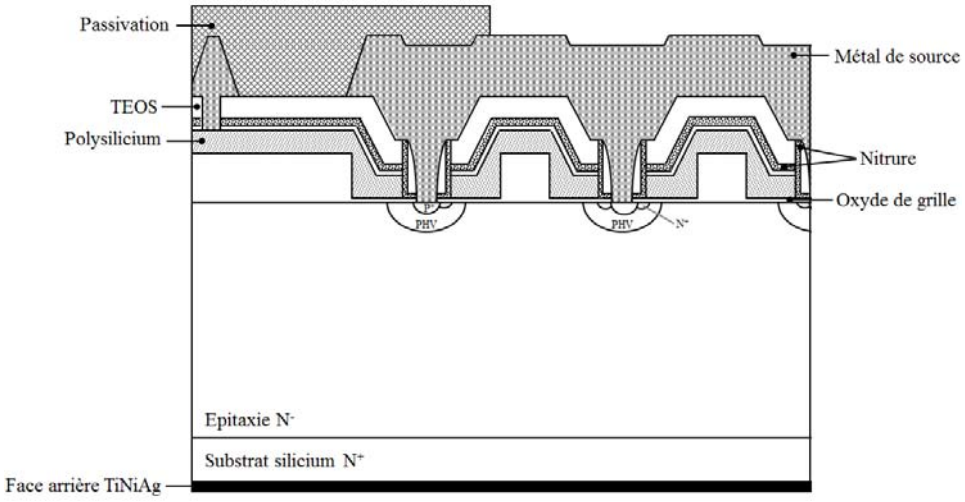


Figure II-2 : Coupe schématique d'un transistor HDTMOS™ développé par Freescale Semiconductor.

Les caractéristiques structurelles en coupe du HDTMOS™ sont équivalentes à celles d'un transistor VDMOSFET. En effet, l'électrode de grille en polysilicium est enterrée sous la métallisation de source. Il est ensuite constitué d'une zone active (le canal d'inversion), d'une zone d'accès au drain formée par une zone d'accumulation et une zone appelée "région JFET" en raison de l'effet résistif qui apparaît entre deux caissons P, ainsi que d'une région faiblement dopée destinée à supporter la quasi-totalité de la tension appliquée entre le drain et la source (région de drift) lorsque le transistor MOSFET est bloqué.

II.3.1.1. Le WELLFET

La cellule élémentaire de la technologie WELLFET est basée sur une géométrie particulière permettant d'optimiser les performances entre la résistance spécifique à l'état passant et la tenue en tension. Cette géométrie se caractérise par une croix dans laquelle le caisson P (appelé PHV car pouvant soutenir des hautes tensions) est implanté [REYN02]. La source N^+ est implantée par-dessus excepté dans le centre de la croix.

Les croix élémentaires sont alignées horizontalement et verticalement les unes par rapport aux autres. De ce fait, après diffusion, le PHV s'étend en bout de branche et rejoint donc l'implantation PHV de la cellule adjacente. Les cellules présentent donc une implantation PHV continue mais des sources différentes et donc multiples. Quant à l'électrode de grille, le polysilicium de grille est contacté sur un rail en périphérie de la puce dont le potentiel est fixé par le plot de connexion de grille. Pour la technologie HDTMOS qui fonctionne pour de faibles tensions, le type de terminaison utilisée est la terminaison planar en plaque de champ [LETU00].

La technologie WELLFET est schématisée plus précisément dans la figure II-3. La coupe A qui se situe entre deux branches de cellules élémentaires parallèles, permet de constater que les régions PHV sont séparées par la région d'épitaxie sous le polysilicium de grille. Quant à la coupe B située entre deux branches de croix colinéaires, les régions PHV se rejoignant sous le polysilicium de grille afin de ne former qu'un seul caisson PHV. Dans ce cas, la largeur de la grille de polysilicium a été optimisée afin de permettre aux deux régions PHV de se rejoindre par l'intermédiaire de leur diffusion latérale.

Ce phénomène se produit entre chaque branche de croix colinéaires, tandis que les régions PHV restent séparées entre chaque branche de croix parallèles. Un réseau de PHV unique est ainsi crée délimitant les cellules d'épitaxie.

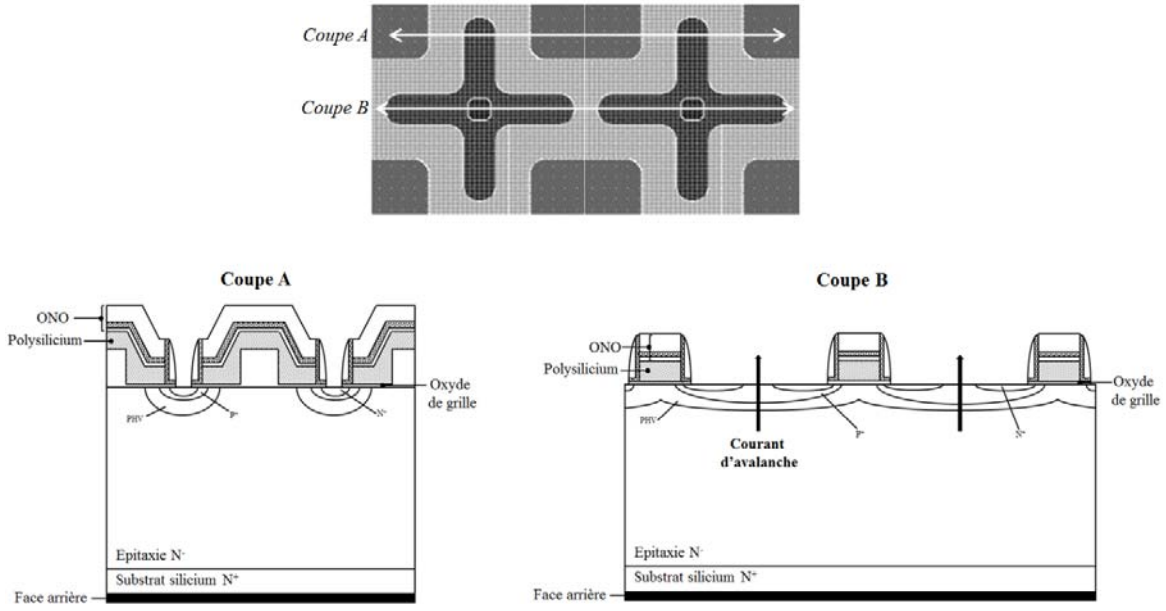


Figure II-3: Cellule élémentaire du WELLFET étudié dans ce mémoire (a) et intérêt de la structure dans la répartition du courant d'avalanche (b).

Le cahier des charges défini au début de ce chapitre stipule une tension de blocage relativement faible dont la valeur nominale est fixée à 25V. Toutefois, les générations précédentes de HDTMOS présentaient des tensions de blocage de l'ordre de la quarantaine de volts. Il est donc primordial d'adapter l'épitaxie aux exigences spécifiées en augmentant le dopage de cette zone pour réduire sa résistivité. La seconde exigence concerne le fonctionnement en mode d'avalanche sous plusieurs centaines d'ampères. Au cours de ce mode de fonctionnement, une forte densité de courant traversera les zones de PHV ainsi que la zone P^+ avant d'atteindre la source et donc la surface de la puce. Dans le cas de la technologie WELLFET, le courant ne peut circuler qu'à travers l'ouverture du P^+ au centre de la croix. De ce fait, ce type de cellule élémentaire n'est pas adapté à un fonctionnement en avalanche surtout sous plusieurs centaines d'ampères [BERN10]. Une nouvelle solution doit donc être apportée pour satisfaire le cahier des charges fixé.

II.3.1.2. La croix occitane

Dans un premier temps, lorsqu'on compare le WELLFET à la croix occitane (figure II-4), on constate que plusieurs modifications ont été apportées. La plus visible correspond au design avec un arrondissement des extrémités des branches de la cellule du WELLFET afin de permettre l'ajout des plots de PSD dans chaque extrémité de branche.

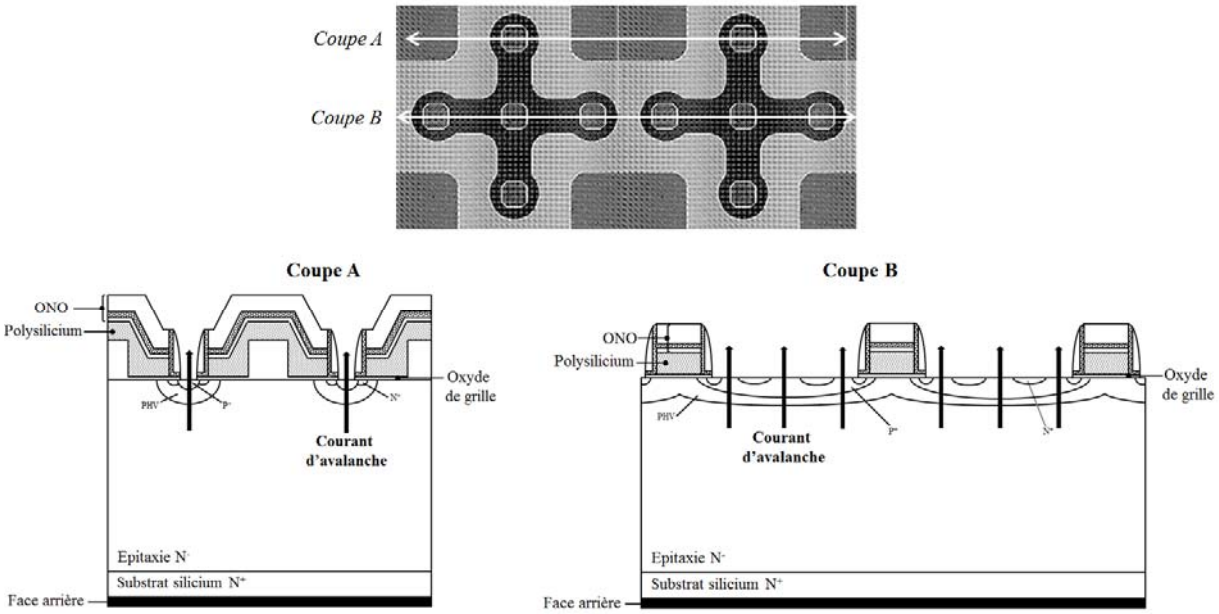


Figure II-4: Cellule élémentaire du composant MOSFET étudié dans ce mémoire (a) et intérêt de la structure dans la répartition du courant d'avalanche (b).

Un autre aspect important concerne l'augmentation du nombre de contacts PSD ; le contact central est complété par quatre autres contacts situés dans les extrémités de chacune des branches de la nouvelle cellule. Ainsi, la densité du courant d'avalanche peut être augmentée d'un facteur 5, ce qui contribue à l'amélioration de la robustesse des composants dans ce mode de fonctionnement. En effet, le courant d'avalanche doit traverser les zones PHV et PSD (P^+) avant d'atteindre la métallisation de source puis la

surface. Ainsi, il est aisé de comprendre que la mise en place de nouvelles ouverture P^+ ont été primordiales pour répondre aux exigences fixées en termes de tenue en courant d'avalanche.

Le cahier des charges exige également un composant basse tension qui sera finalement fixée à 25V. Pour ce faire, la zone épitaxiée voit son dopage augmenté par rapport aux composants de la génération WELLFET précédente qui fonctionnaient autour de 45V.

Au-delà de la tenue en avalanche, le procédé doit être optimisé afin de ne pas activer le transistor bipolaire parasite NPN. Pour ce faire deux étapes principales ont été modifiées, il s'agit des conditions des implantions BPI et PSD. En effet, leurs doses d'implantation ont été augmentées ce qui permet d'obtenir des zones implantées plus profondes et présentant une résistivité relativement faible. Cette optimisation permet de diminuer la résistance électrique de ces caissons lors du passage du courant d'avalanche mais également de contribuer à la désensibilisation du transistor bipolaire parasite. Ainsi, la densité de courant d'avalanche pouvant être supportée par la structure est augmentée de manière drastique.

II.3.2. Procédé de fabrication

Les composants MOSFETs étudiés dans ce mémoire sont exclusivement réalisés sur des substrats silicium de type <100> fortement dopés en Arsenic (As) sur lesquels sont réalisés une épitaxie de type N^-. Le couple dopage/épaisseur de l'épitaxie a été choisi afin d'obtenir le meilleur compromis entre la valeur de la tension de claquage BV_{DSS} et de la résistance à l'état passant R_{DSon}. Il est aussi primordial de tenir compte de la forte diffusivité de l'arsenic dans l'épitaxie. En outre, le fort dopage du substrat permet de limiter sa contribution à la résistance à l'étant passant. Dans le cas de la technologie 25V, l'épitaxie est caractérisée par une épaisseur de 2,55 µm et une résistivité de 0,13Ω.cm. Cette spécification permet d'obtenir une tension de blocage de 25V avec une technologie à 6 niveaux de masques.

La première étape consiste à faire croître un oxyde sur toute la plaquette pour définir ultérieurement la zone active. Son objectif est de supporter les forts champs électriques dans les terminaisons. Il s'agit d'un oxyde de champ d'une épaisseur de 600nm. Ensuite, l'ouverture de la région active est créée. Elle représente 85% de la surface totale du silicium (figure II-5-a). La gravure de la région active est suivie de la croissance thermique d'un oxyde de 60nm qui n'est autre que l'oxyde de grille. Cette épaisseur permet de limiter le temps de commutation du composant. Une implantation de phosphore est réalisée à travers l'oxyde de grille afin de limiter l'effet JFET à l'état passant (réduction de la composante R_{JFET} dans R_{DSon} total). Le polysilicium qui constitue l'électrode de grille est déposé puis dopé par implantation afin d'améliorer les performances de commutation. L'étape suivante consiste à isoler cette électrode de grille, dans ce but, un oxyde de polysilicium, un dépôt de nitrure et un oxyde de type PECVD sont utilisés. On parle de couche ONO pour Oxyde-Nitrure-Oxyde. Ces couches permettent donc d'isoler l'électrode de grille du métal de source mais également de réaliser une barrière aux contaminants (figure II-5-b).

L'étape suivante consiste à ouvrir la région de source avec une gravure de type RIE sur les couches d'ONO et de polysilicium. Une implantation de Bore constituant le PHV (diffusion P) est réalisée à travers l'oxyde de grille restant (figure II-5-c). Une redistribution de 1080°C pendant 80 minutes est effectuée pour réaliser la jonction PN. Suite à ce recuit, des blocs de résine permettant d'implanter les sources N^+ sont réalisés. Ces blocs limitent l'implantation de l'Arsenic afin de préserver une bonne qualité de contact sur le PHV. L'implantation N^+ n'est pas effectuée sur les cellules de bord. Suite à cette

implantation d'arsenic, les blocs de résine sont retirés et une implantation de Bore (dite BPI, figure II-5-d, [REYN07]) est effectuée à travers l'oxyde de grille, afin de surdoper la surface en bore autour des zones N^+. L'objectif est de combler un déficit de dopage pour améliorer la robustesse des cellules de base.

Ensuite, l'espaceur (spacer) est réalisé avec un dépôt de nitrure de 30nm d'épaisseur et un dépôt de TEOS de 600nm d'épaisseur. Une gravure anisotrope sans masque est ensuite effectuée afin d'assurer un bon contact ohmique sur le PSD. Les « espaceurs » sont dans un premier temps une barrière contre les contaminants mais participent également à l'amélioration de la robustesse du MOSFET (figure II-5-e). Enfin, une implantation de bore P^+ est effectuée avec une dose importante pour limiter l'impact du bipolaire parasite. Cette implantation P^+ permet d'assurer le contact ohmique entre le PSD et la source (figure II-5-f). De ce fait, il existe un court-circuit entre le métal de source et les zones N^+ et P^+. Le recuit qui suit est effectué simultanément pour les trois dernières implantations (BPI, N^+, P^+) afin de les activer.

L'étape suivante consiste à effectuer un dépôt de résine pleine plaque suivi d'une gravure pour réaliser le contact de grille sur la couche de polysilicium (figure II-5-g). Le métal de source (AlSi1%) de 10µm d'épaisseur est ensuite déposé, gravé et recuit pour limiter sa contribution à la résistance de contact. Le dépôt de passivation et l'attaque plasma sont les dernières étapes réalisées en face avant. Pour finir, la plaquette est amincie à 250µm d'épaisseur et un dépôt de métal (TiNiAg) est effectué pour réaliser le contact de drain du MOSFET vertical et permettre la soudure du composant dans le module de puissance (figure II-5-h).

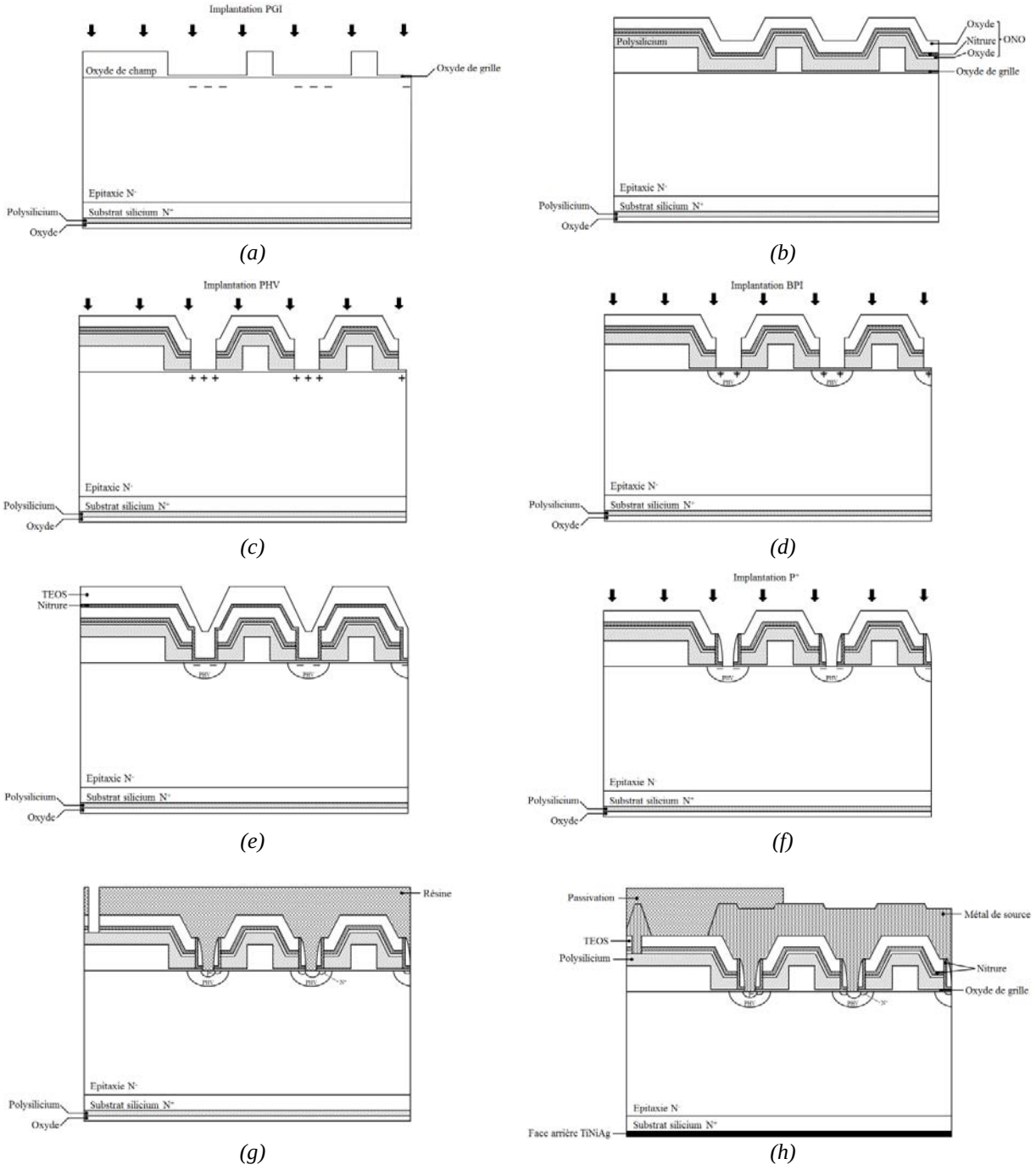


Figure II-5 : Principales étapes constituant le procédé du MOSFET étudié dans ce mémoire.

II.4. Caractérisation électrique des principaux paramètres

II.4.1. Véhicule de test

Les composants sont testés dans un boîtier de type TO3 Jumbo (TO3J) en acier constitué de six broches. La puce est brasée sur le boîtier avec une pâte de composition $Pb_{92.5}Sn_5Ag_{2.5}$. L'électrode de

grille est reliée à une broche avec un fil de diamètre 1,3mils. L'électrode de source quant à elle est reliée à trois broches différentes par des fils de diamètre 20mils soudés de telle sorte que chacun contacte la source en plusieurs points (on parle de « stitch »). L'intérêt de cet assemblage est présenté dans le cas du module de puissance dans le paragraphe II.3.2.3. du chapitre I. Le contact de drain est pris sur la face arrière de la puce. L'assemblage du MOSFET en TO3J est présenté sur la figure II-6.

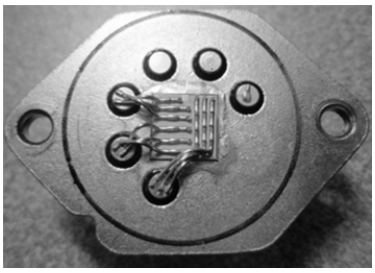


Figure II-6 : Assemblage du produit dans un boîtier TO3 Jumbo.

II.4.2. Appareils de mesure

II.4.2.1. HP4142B

Cet appareil de test présente de performances intéressantes en termes de gamme de mesure (10A, 100V), de résolution (20fA, 4µV), de rapidité de mesure (application et mesure de tension ou courant : 4ms) et de précision (0,05% en tension et 0,2% en courant) pour la caractérisation des composants à semiconducteur (figure II-7).

Figure II-7 : Testeur HP4142B.

II.4.2.2. HP4062

La caractérisation avec un testeur HP4062 est effectuée sur les plaquettes de silicium, directement sur les puces (capacités parasites, Q_{BD} qui sera abordé dans le chapitre III). Cet appareil est très répandu pour les tests de composants à semiconducteur [HEWL90] et plus précisément pour les mesures de courant, tension et capacités. Selon les ports, il permet de réaliser des mesures en courant de ±20fA jusqu'à ±1mA et de ±2pA jusqu'à ±1A, pour des mesures en tension de ±40µV jusqu'à ±200V. Des tensions de ±1mV jusqu'à ±40V peuvent être appliquées, pour des tensions mesurées comprises entre ±40µV et ±40V. Les mesures de capacités peuvent être effectuées à 1kHz, 10kHz, 100kHz ou 1MHz dans la gamme 1fF jusqu'à 100nF sous une tension maximale de ±40V. Le HP4062 ainsi que le capacimètre sont présentés sur la figure II-8.

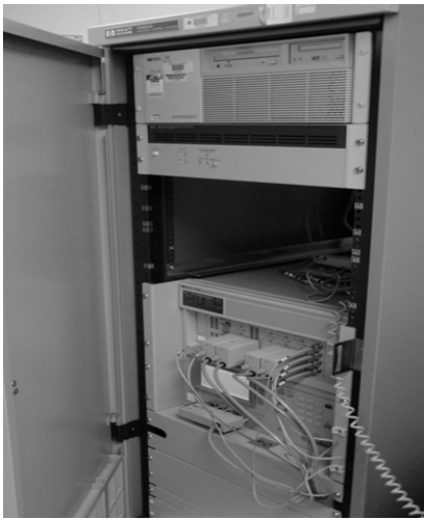


Figure II-8 : Testeur HP4062.

Une carte aiguille est placée sur la tête de mesure du HP4062 présentée sur la figure II-9. Cette carte est constituée d'une aiguille assurant le contact sur le plot de grille et de 22 aiguilles court-circuitées permettant le contact de source.

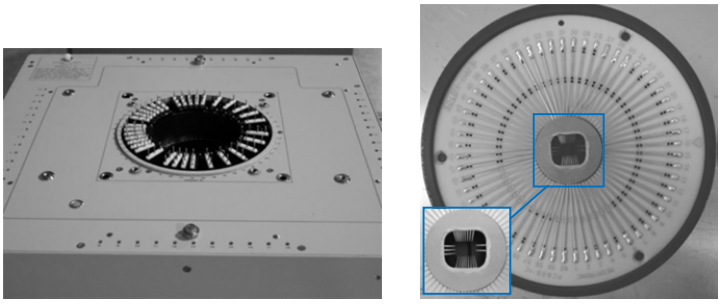


Figure II-9 : Tête de test (a) et carte aiguille utilisée pour la mesure (b).

Quant au contact de drain il est pris en face arrière de la plaquette de silicium avec le plateau de l'Electroglass 2001X qui est utilisé comme testeur (figure II-10).

Figure II-10 : Testeur utilisé pour la mesure du Q_{BD}.

II.4.2.3. Tektronix 371

Il est utilisé pour les mesures de type fort courant pouvant atteindre plusieurs centaines d'ampères. Il présente l'avantage de travailler en régime pulsé, ce qui permet de limiter l'auto-échauffement du composant testé. Il délivre une puissance maximale de l'ordre de 3000W et des impulsions d'une durée de 200µs (figure II-11).

Figure II-11 : Testeur Tektronix 371A.

II.4.3. Paramètres électriques statiques

II.4.3.1. Mesures à faible courant à température ambiante

II.4.3.1.1. La tension d'avalanche BV_{DSS}

La tension de claquage du MOSFET est mesurée en court-circuitant les électrodes de grille et de source afin d'obtenir V_{GS}=0V ; le composant est donc à l'état bloqué. Le claquage est obtenu en

augmentant la tension entre le drain et la source jusqu'à obtenir le coude d'avalanche. La valeur de BV_{DSS} est relevée pour une valeur précise d'I_{DS} qui est égale à 250µA. Dans le cas de l'exemple présenté sur la figure II-12, la tension de claquage est estimée à 25,35V et le courant I_{DS} est limité à 300µA. Les limites d'admissibilité pour ce test se situent entre 24V et 26V.

Une mesure de la valeur de BV_{DSS} est également évaluée à 25µA avec des limites de 23V et 27,8V. Dans le cas de l'exemple choisi, cette valeur est de 25,25V. Cette mesure est effectuée afin de permettre la mise en place d'un test évaluant le différentiel entre les deux valeurs obtenues et portant le nom de ΔBV_{DSS} et dont les limites sont comprises entre -200mV et +200mV. Ce dernier test a été mis en place pour assurer l'établissement franc du coude d'avalanche ; cet aspect sera discuté plus précisément dans le paragraphe IV.3.3.2. du chapitre III.

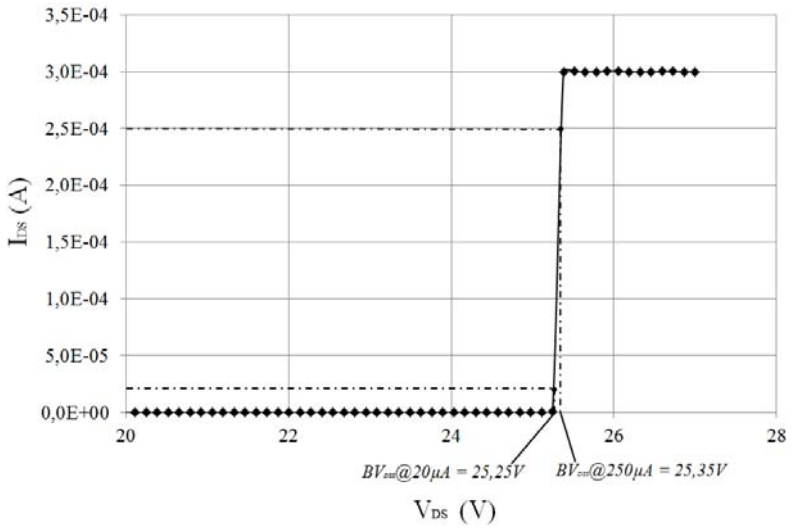


Figure II-12 : Mesure de BV_{DSS} pour le MOSFET de puissance assemblé en TO3J.

II.4.3.1.2. Le courant de fuite I_{DSS}

Les paramètres de connexion sont identiques à ceux utilisés pour la mesure de la tension de claquage. Cette mesure consiste à évaluer le faible courant de fuite qui circule entre les électrodes de drain et de source lorsque le MOSFET est à l'état bloqué. Ce courant I_{DSS} est mesuré pour V_{DS}= 0V. Dans le cas de l'exemple présenté sur la figure II-13, le courant de fuite est de l'ordre du nano-ampère. Les limites admises pour la fuite entre drain et source sont fixées à 0 et 10nA.

Une autre mesure de fuite entre drain et source est effectuée à la valeur particulière de BV_{DSS}-1V afin de s'assurer de l'établissement de l'avalanche. Les limites sont alors fixées à -10nA et +100nA.

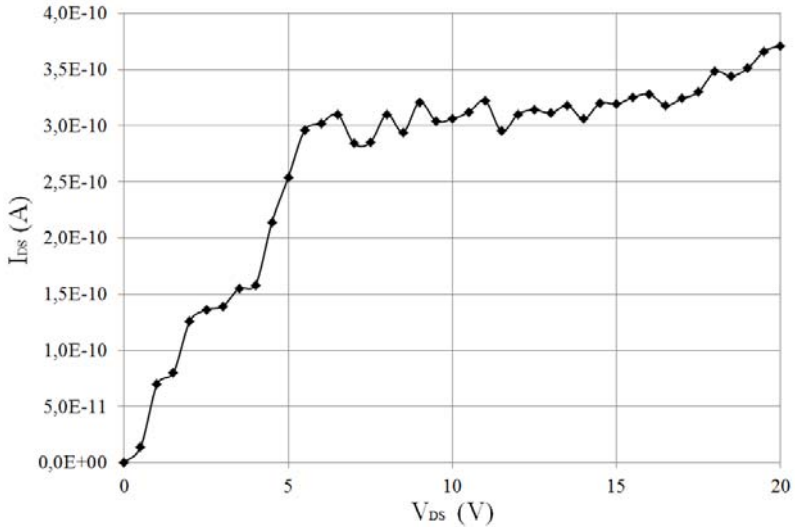


Figure II-13 : Mesure du paramètre I_{DSS} entre 0 et 20V pour le MOSFET de puissance assemblé en TO3J.

II.4.3.1.3. La tension de seuil V_{GSth}

La mesure de la tension de seuil du MOSFET est réalisée avec les électrodes de drain et de source court-circuitées afin de vérifier la condition $V_{GS}=V_{DS}$. Cette tension est évaluée pour une valeur de courant telle que $I_{GS}=250\mu A$. Dans le cas de l'exemple présenté sur la figure II-14, la tension de seuil du MOSFET présente une valeur de 3,82V. Les valeurs limites pour ce paramètre sont fixées à 2,9V et 4,2V.

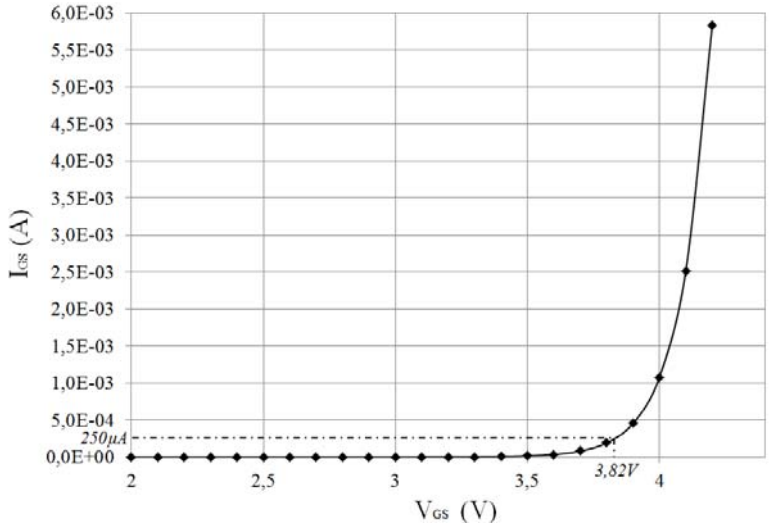


Figure II-14 : Mesure de V_{GSth} pour le MOSFET de puissance assemblé en TO3J.

II.4.3.1.4. Le courant de fuite de la grille I_{GSS}

La fuite de courant à travers la grille I_{GSS} est mesurée pour $V_{DS}=0V$. Dans le cas de l'exemple présenté sur la figure II-15 et étudiée entre 0 et 28V, ce courant de fuite est de l'ordre du femto-ampère.

Les limites d'admissibilité définies pour ce test sont de -10nA et 10nA. On constate que la fuite exigée de la grille est donc très faible.

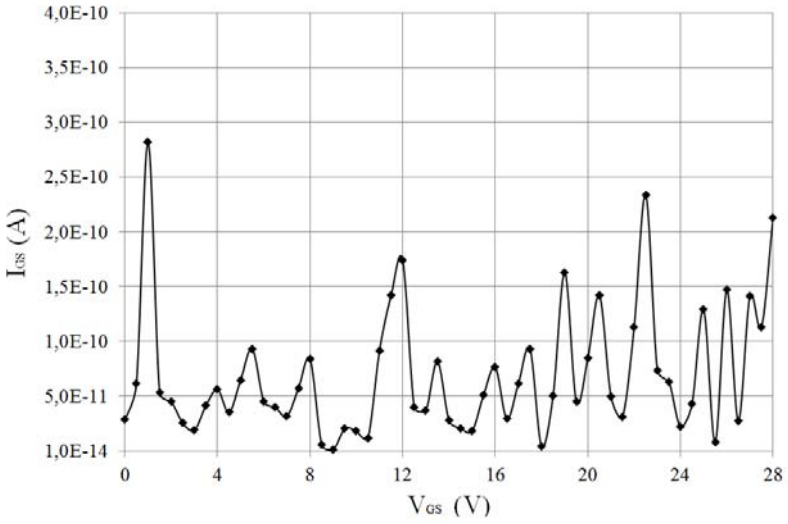


Figure II-15 : Mesure du paramètre I_{GSS} entre 0 et 28V pour le MOSFET de puissance assemblé en TO3J.

II.4.3.1.5. La chute de tension directe de la diode structurelle V_F

La tension de passage dans le sens direct de la diode structurelle du MOSFET à l'état bloqué est mesurée avec V_{GS}=0V pour un courant I_{SD} de 150mA. Dans le cas de l'exemple présenté sur la figure II-16, cette tension a une valeur de 629mV.

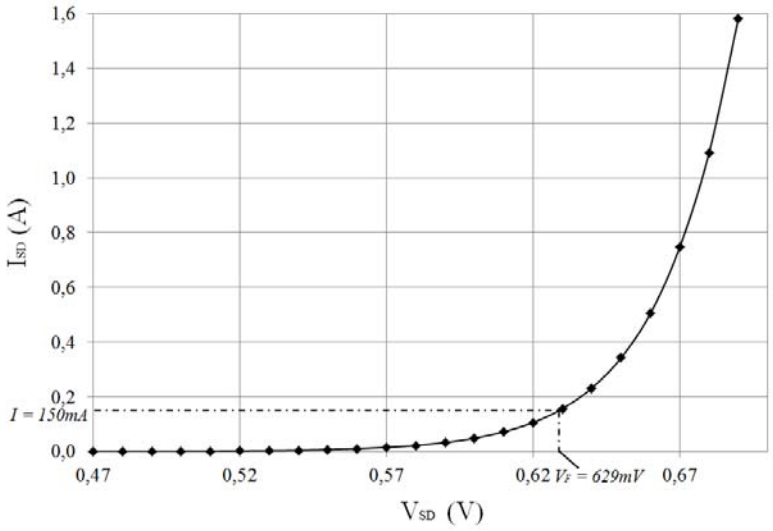


Figure II-16 : Mesure du V_F de la diode structurelle du MOSFET de puissance assemblé en TO3J.

II.4.3.2. Mesures à fort courant à température ambiante du R_{DSon}

II.4.3.2.1. Principe

La mesure de R_{DSon} dépend de la méthode utilisée. Toutefois, Freescale Semiconductor a fixé celle-ci dans le cas de la technologie étudiée dans ce mémoire [BERN10].

Les connexions sont donc établies comme présenté sur la figure II-17. Cette méthode de mesure est, toutefois liée intimement au boîtier dans lequel le composant est assemblé, aux plots qui le constituent mais aussi à l'assemblage (préforme et fils d'aluminium). L'idéal serait de réaliser cette caractérisation dans un module de puissance de l'application pour obtenir la valeur de R_{DSon} la plus proche de la réalité.

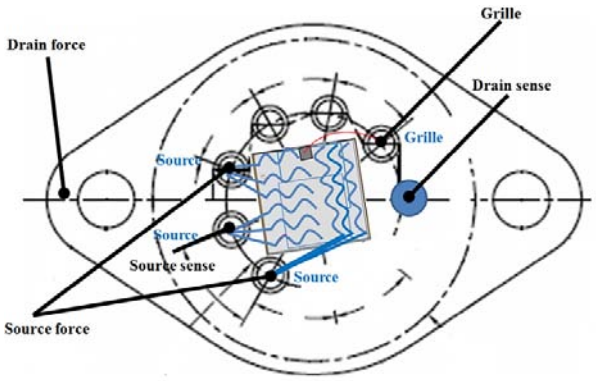


Figure II-17 : Méthode de mesure du R_{DSon} en TO3J.

II.4.3.2.2. Résultats

L'impact de la tension entre grille et source sur la valeur de R_{DSon} sont résumés dans le tableau suivant (tableau II-1). On constate que le cahier des charges défini avec une valeur maximale de 0,8mΩ est respecté.

I_{DS} = 400A	R_{DSon} (mΩ)
V_{GS} = 10V	0,685
V_{GS} = 15V	0,553

Tableau II-1 : Evaluation de R_{DSon} en TO3J en fonction de V_{GS} à 400A.

II.4.4. Paramètres électriques dynamiques : capacités parasites

II.4.4.1. Principe

Les mesures des capacités sont effectuées avec le testeur HP 4062 directement au niveau de la puce avec la carte aiguille présentée sur la figure II-9. En effet, le boîtier TO3J n'est pas des plus adapté pour réaliser la mesure précise de ces paramètres.

II.4.4.2. Résultats

Les capacités C_{GS}, C_{DS} et C_{GD} sont déterminées à partir des mesures des capacités inter-électrodes C_{ISS} (capacité d'entrée avec sortie en court-circuit), C_{RSS} (capacité de transfert) et C_{OSS} (capacité de sortie avec entrée en court-circuit) en fonction des tensions de polarisation V_{DS} et V_{DG}.

Le principe des différentes mesures est représenté sur la figure II-18. Le capacimètre du testeur HP4142 est utilisé et les valeurs des capacités sont déterminées en fonction de la tension entre drain et source V_{DS} ou entre drain et grille V_{DG}. La fréquence du générateur est fixée à 100kHz.

Ainsi, la capacité d'entrée C_{ISS} est mesurée alors que la sortie est en court-circuit (figure II-18-a). La capacité de sortie C_{OSS} est évaluée avec l'entrée court-circuitée (figure II-18-b). Enfin, la capacité de contre-réaction C_{RSS} correspond à la capacité de transfert entre grille et drain (figure II-18-c).

La mesure de la capacité C_{ISS} ne correspond pas à la caractérisation usuelle. En effet, cette méthode a été mise en place lors de travaux précédents, dans le but d'évaluer la tension de seuil du composant [FEYB02, FEYB03]. La courbe est caractéristique d'une mesure réalisée à faible fréquence et est composée de trois régimes, respectivement avec l'augmentation de V_{GS} et du fait qu'il s'agisse d'un composant de type N: inversion, déplétion et accumulation (du PHV) [SHIN06]. Le type de courbe typique attendue pour la capacité d'entrée C_{ISS} d'un MOSFET est illustré dans la référence [CORR11].

(a) V_{DG} varie de -15V à 15V

(b) V_{DS} varie de 0V à 20V

(c) V_{DS} varie de -15V à15V

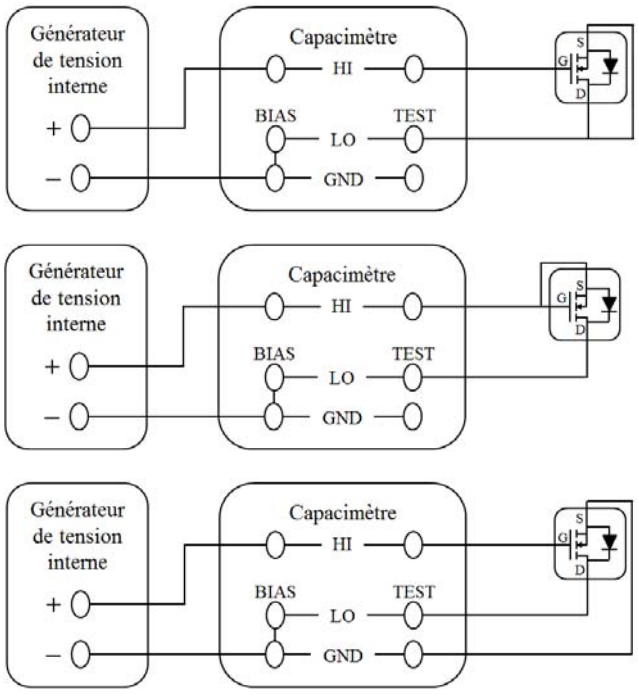


Figure II-18 : Principe de mesures des capacités C_{ISS} (a), C_{OSS} (b) et C_{RSS} (c).

Les montages présentés précédemment permettent l'extraction des capacités évoquées pour un V_{GS} nul et à 25°C. Les résultats de ces caractérisations sont présentés avec la figure II-19. Ainsi pour le

MOSFET étudiée, la valeur de C_{ISS} est de 18,8nF, celle de C_{OSS} de 22,7nF et enfin C_{RSS} a une valeur de 6,9nF, pour un V_{GS} de 0V.

(a)

(b)

(c)

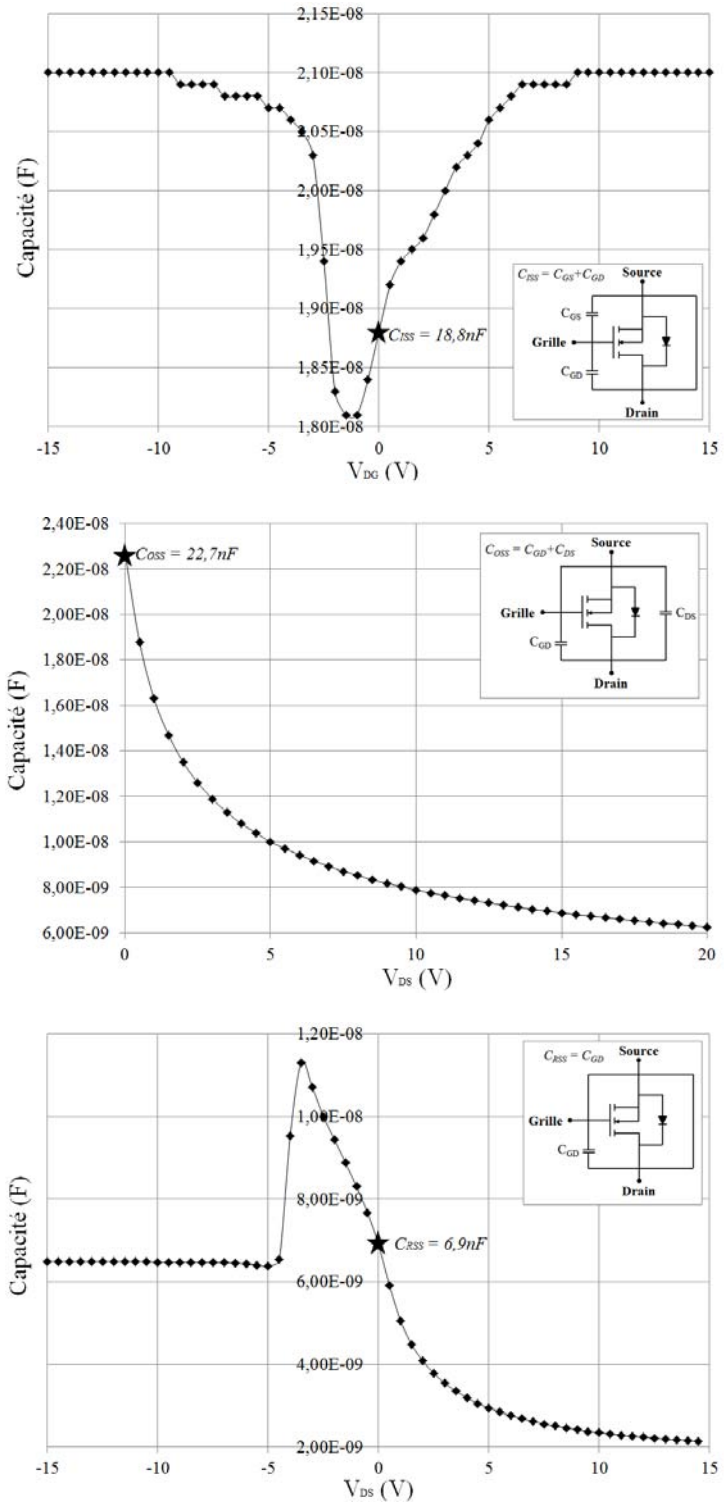


Figure II-19 : Résultats des mesures des capacités C_{ISS} (a), C_{OSS} (b) et C_{RSS} (c).

III. PARAMETRE EN MODE D'AVALANCHE : LA RESISTANCE DYNAMIQUE D'AVALANCHE

III.1. Introduction

L'avalanche est donc considérée comme un mode de fonctionnement à part entière du MOSFET étudié dans ce mémoire. Un paramètre important qui caractérise ce mode est la résistance dynamique durant l'avalanche et qui est notée R_{AV}.

En effet, ce paramètre primordial lors de la mise en avalanche des composants a été peu caractérisé et la manière dont il se répartit n'a pas fait l'objet d'études approfondies.

L'objectif de ce paragraphe est de présenter l'intérêt de posséder une résistance dynamique d'avalanche non nulle mais également une méthodologie de mesure qui permet d'éviter l'échauffement du composant lors de de sa caractérisation. En effet, ce dernier point est primordial afin d'assurer une mesure précise de ce paramètre.

III.2. Définition de la résistance dynamique d'avalanche

Il s'agit de la résistance dynamique d'avalanche de la jonction PN constituant une diode. Elle se définit comme la résistance interne que le composant présente vis-à-vis du circuit extérieur lors du fonctionnement en avalanche.

Le courant d'avalanche suit un chemin dit en « Y » dans le cas du MOSEFT étudié Il circule du substrat vers la diode structurelle pour rejoindre la source par les zones P^+ (dites PSD). Sur ce chemin une résistance s'oppose au passage du courant et correspond à la résistance dynamique durant l'avalanche. Du fait que le courant d'avalanche n'emprunte pas le chemin du canal MOS, on constate que la résistance dynamique en mode d'avalanche est différente de la résistance à l'état passant du composant, R_{DSon}, qui n'est pas obtenue dans les mêmes conditions de mesure.

En mode d'avalanche, le comportement électrothermique de la tension de claquage peut être décrit par l'équation II-1 [BUTT04]. On constate effectivement que la tension d'avalanche n'est pas une simple relation linéaire reliant le BV_{DSS} au courant d'avalanche.

$$BV_{DSS}(T, I_D) = BV_{DSS0} + \beta\,\Delta T + R_{AV}(T).I_{AV} \qquad \textit{II-1}$$

Avec, BV_{DSS0}, la tension entre drain et source à faible courant et à 25°C ; β, est le coefficient de température la tension d'avalanche à faible courant (il est évalué à 18mV/°C, pour la technologie étudiée).

De plus, une étude s'inspirant de cette équation a démontré que la valeur de la résistance dynamique d'avalanche était intimement liée à la valeur de la tension de claquage du composants, BV_{DSS}, et plus précisément au volume et à l'épaisseur de l'épitaxie [AGNO07]. Le paramètre β dépend, quant à lui, de la résistivité de l'épitaxie.

III.3. Intérêt de la résistance dynamique d'avalanche

La valeur de la résistance dynamique d'avalanche est primordiale dans le cadre de l'application. En effet, la mise en parallèle au sein d'un module commun de MOSFETs présentant des tensions de claquage différentes peut générer un déséquilibre sérieux des intensités propre à chaque composant lors de la mise en avalanche de ce module. Toutefois, un rééquilibrage du courant traversant les composants s'effectue grâce à l'augmentation du BV_{DSS} avec la température générée par leur auto-échauffement. De plus, une résistance d'avalanche non nulle va également contribuer à ce phénomène de meilleure répartition du courant à travers les puces de puissance (effet de ballast).

En effet, une résistance dynamique d'avalanche trop faible voire quasi-nulle aurait tendance à accentuer le phénomène de déséquilibre des intensités entre les puces montées en parallèle avec une densité de courant plus importante pour celles présentant la valeur de BV_{DSS} la plus faible. Le schéma représenté sur la figure II-20 permet de comprendre comment la résistance dynamique d'avalanche peut contribuer au phénomène explicité précédemment.

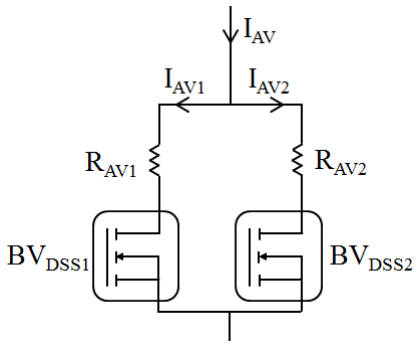


Figure II-20 : Schématisation de la résistance d'avalanche de deux MOSFETs en parallèle.

Il est ensuite intéressant de réaliser un calcul du courant s'établissant dans la branche 1 par rapport à deux paramètres : la différence entre $BV_{DSS,2}$ et $BV_{DSS,1}$ ainsi que la valeur de R_{AV}. On obtient alors l'équation II-2 en considérant que $BV_{DSS1} + R_{AV1}I_{AV1}$=$BV_{DSS2} + R_{AV2}I_{AV2}$ et $I_{AV1} + I_{AV2} = I_{AV}$.

$$I_{AV1} - I_{AV2} = 2 \times \frac{BV_{DSS1} - BV_{DSS2}}{R_{AV1} + R_{AV2}} + \frac{R_{AV2} - R_{AV1}}{R_{AV1} + R_{AV2}} \times I_{AV} \qquad \text{II-2}$$

Cette relation met en évidence l'importance de la différence des valeurs de tensions de claquage BV_{DSS} mais également l'intérêt de la résistance dynamique d'avalanche dans l'équilibre de la densité de courant dans les composants mis en parallèle. En effet, une résistance d'avalanche nulle donnerait un résultat physiquement improbable quant à la valeur du courant qui s'établit dans la branche 1.

III.4. Caractérisation de la résistance dynamique d'avalanche

III.4.1. Contexte et motivations

La détermination de la valeur de la résistance dynamique d'avalanche n'est pas une manipulation simple à réaliser. En effet, travailler en avalanche peut entraîner l'échauffement du transistor si la durée

de ce mode de fonctionnement n'est pas maîtrisée. La durée de l'impulsion permettant la mise en avalanche du composant est donc un paramètre clé.

Ce paramètre a déjà été évalué selon une méthode présentée par C. Buttay [BUTT04-a, BUTT04-b] et par A. Agnone *et al.* [AGNO07]. Son objectif consiste à faire opérer le composant en avalanche par l'intermédiaire d'une décharge d'inductance dans celui-ci. La difficulté de la méthode est de maîtriser la durée de l'avalanche afin de limiter l'auto-échauffement du composant et donc l'évolution des paramètres avec la température.

Dans ce contexte, deux méthodes vont être comparées pour l'évaluation du paramètre résistance dynamique d'avalanche. La première consiste à appliquer directement au MOSFET à tester une impulsion de courant de durée très limitée alors que la seconde consiste à faire supporter dans un circuit inductif la mise à l'état « ON » par un composant auxiliaire monté en parallèle avec le transistor à tester (DUT pour « Device Under Test »).

III.4.2. Principe de la mesure

III.4.2.1. Utilisation du TLP (« Transmission Line Pulse »)

L'objectif est d'utiliser la technique du TLP appliquée généralement pour évaluer les structures de protection aux décharges électrostatiques [SALA05] et qui est réutilisée pour mesurer une avalanche à moyen courant (20A) sans échauffement du silicium. En effet, ce dispositif génère une impulsion de courant quasi rectangulaire d'une durée de 100ns. Par conséquent, il est alors possible d'accéder à la résistance dynamique d'avalanche sans que le dispositif testé ne subisse un échauffement significatif.

Lors du test de TLP, des impulsions de fort courant sont appliquées sur le DUT à travers un câble coaxial de longueur connue. Les impulsions incidentes et réfléchies sont appliquées sur le DUT et permettent d'obtenir une caractéristique I(V). Le montage dont nous disposons permet d'obtenir des impulsions de courant de 24A au maximum et les résultats de mesure permettent d'accéder à l'évolution du BV_{DSS} en fonction de l'intensité du courant appliqué. Les impulsions de courant présentent un temps de montée de 1ns et une durée de 10ns. De plus, la ligne étant préchargée, il n'existe pas de courant capacitif. Le montage utilisé est schématisé sur la figure II-21.

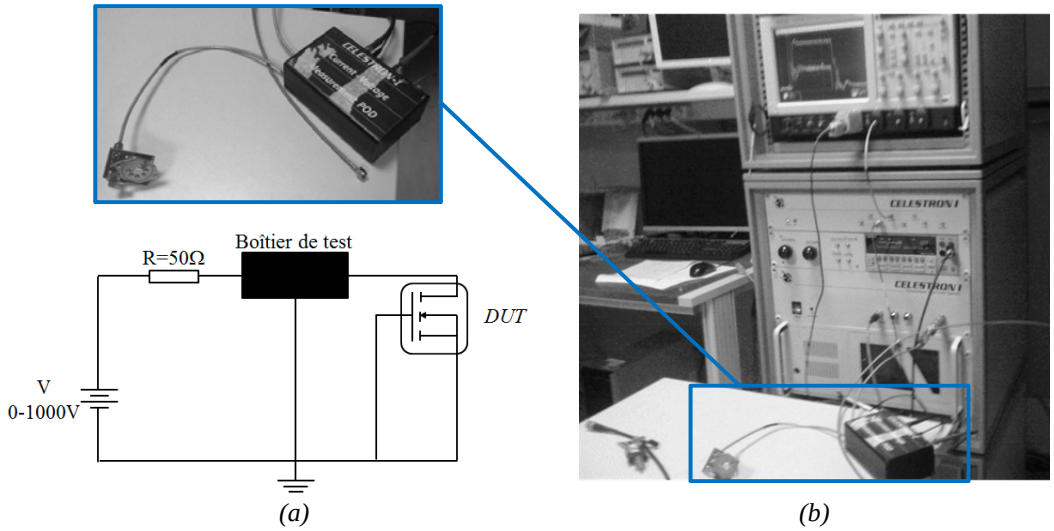


Figure II-21 : Schéma du circuit de mesures avec le TLP (a) et photographie (b).

III.4.3. Utilisation d'un MOSFET en parallèle qui subit la mise à l'état « ON »

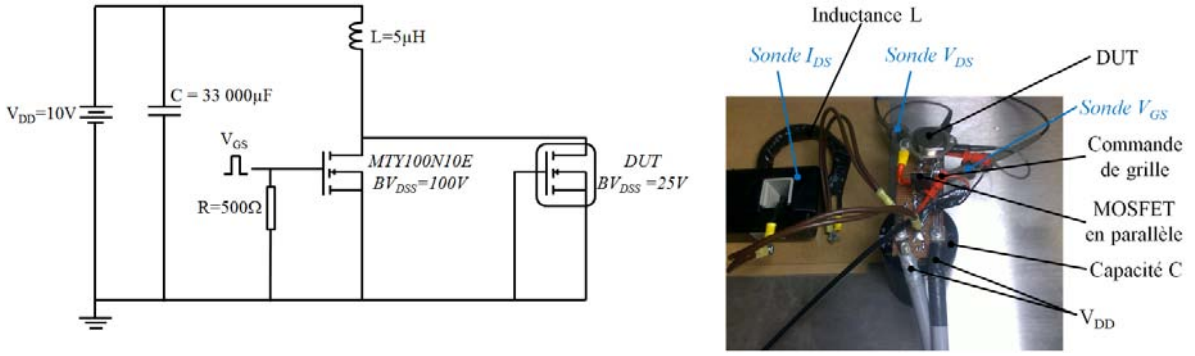
III.4.3.1. Détails

L'objectif du montage réalisé est basé sur l'utilisation de deux MOSFET montés en parallèle : un composant auxiliaire présentant un BV_{DSS} de l'ordre de 100V et le DUT ayant une tension de claquage de l'ordre de 25V. Cette mesure a été présentée par Agnone *et al.* sous le nom d'UID (pour « Unclamped Inductive Discharge »). Notre objectif est de s'en inspirer afin de déterminer une méthode d'évaluation de la résistance dynamique d'avalanche.

Cette technique permet de s'assurer que la montée en courant liée à la mise à l'état « ON » n'est pas supportée par le DUT mais par le composant situé en parallèle. En effet, le DUT du fait de son BV_{DSS} plus faible passera en avalanche le premier. Par conséquent, le DUT est soumis à un échauffement limité et le fait que la durée des impulsions de courant générées n'excède pas 100µs y contribue également.

La reproductibilité de la mesure doit, cependant, être validée avec le test de plusieurs composants issus de lots différents afin de garantir l'évaluation correcte de la résistance dynamique d'avalanche. Pour ce faire, le circuit présenté sur la figure II-22-a a été réalisé.

Il est important d'ajouter que les trois plots de source sont court-circuités entre eux, ce qui peut avoir un impact non négligeable sur la valeur de la résistance dynamique d'avalanche. En effet, B. Bernoux avait démontré cette variabilité liée aux positions des sondes « force » et « sense » (méthode de connexion décrite dans le manuel du HP4142B [HEWL92]), lors de la mesure de R_{DSon} [BERN10] même si ces paramètre représentent deux choses totalement différentes. De plus, la position des sondes de mesure a été fixée, au plus près du composant, afin de limiter toute variabilité. Pour éviter des boucles de masse, un point commun a été défini au plus près du DUT. Enfin, le circuit a été réalisé de telle sorte que les inductances parasites liées au fil soient limitées au minimum, le montage est donc relativement compact (figure 22-b).



(a) *(b)*

Figure II-22 : Schéma électrique (a) et photographie (b) du montage utilisé pour évaluer la valeur de la résistance dynamique d'avalanche.

III.4.3.2. Echauffement du composant

Pour des temps courts, la réponse thermique d'une couche de matériau a tendance à varier suivant une fonction proportionnelle à la racine carrée de la durée de l'impulsion ; l'échauffement de la surface active peut être évalué car il s'agit d'une réponse à une dissipation de puissance impulsionnelle de durée t_0 et de forme P(t) connue.

Dans notre cas, le composant MOSFET est soumis à une impulsion de courant de type triangulaire. Il est donc possible d'évaluer son échauffement. On considère une impulsion de type $P(t) = P_0(1 - \frac{t}{t_0})$ permettant de définir l'échauffement maximum que subit la surface active selon l'équation II-3 [DORK03].

$$\Delta T_{max} = \frac{1}{3} \frac{P_0 Z_0}{S_A} \sqrt{t_0} \qquad \text{II-3}$$

Avec, P_0, puissance dissipée (égale au produit de I_{AV} par le BV_{DSS} dans notre cas) ; S_A, surface active du composant ; t_0, le temps de l'impulsion et Z_0, donnée caractéristique du matériau (0,697 K.cm².W^{-1}dans le cas du silicium).

Dans notre cas, la mesure s'effectue sur une durée très limitée. En effet, la base de temps lors de l'acquisition est de 400ns et la mesure est moyennée sur 20 points. Il est donc possible d'évaluer l'échauffement du composant sur 1µs et pour un courant maximum de 100A. Par conséquent en appliquant la formule décrite dans l'équation II-3, on obtient un échauffement maximal du composant de l'ordre de 1°C ; ce qui reste tout à fait négligeable et acceptable.

III.4.4. Réalisation de la mesure et résultats

III.4.4.1. Utilisation du TLP

III.4.4.1.1. Description de la méthode

La caractérisation a été réalisée à 25°C. La mesure de la valeur de la résistance dynamique d'avalanche est déterminée pour différentes valeurs de courant I_{DS}, qui sont liées à la longueur de l'impulsion de commande de grille du MOSFET situé en parallèle du DUT.

III.4.4.1.2. Résultats

Afin de mesurer le plus précisément possible, il est nécessaire d'évaluer au préalable la résistance du montage en court-circuit (appelée résistance à vide) ; celle-ci est égale à 137,75mΩ. Ensuite, la mesure du MOSFET assemblé en TO3J est effectuée (figure II-23).

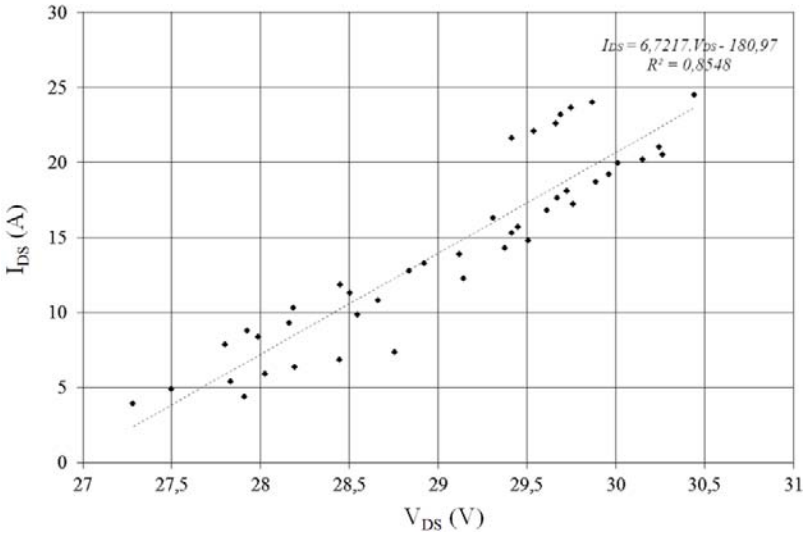


Figure II-23 : Caractéristique I(V) du MOSFET de puissance avec le TLP.

Ces mesures permettent d'évaluer la résistance dynamique d'avalanche (à condition de retrancher la résistance à vide du circuit) à 11 mΩ.

III.4.4.1.3. Interprétation

Cette mesure présente un inconvénient majeur : le fait qu'elle soit effectuée sous 50Ω. Ainsi, même si une mesure à vide du circuit est effectuée, elle ne permet pas de garantir une évaluation précise du paramètre résistance dynamique d'avalanche du fait qu'elle soit estimée à quelques milli ohms.

Cette méthode intéressante n'est, néanmoins, pas retenue comme la plus appropriée pour déterminer un paramètre présentant une valeur dans la gamme citée auparavant. De plus, le boîtier de type TO3J n'est pas des plus adapté dans ce cas, car générant un certain nombre de résistance parasites liées à ses plots et à sa taille.

Ceci a donc nécessité d'évaluer une nouvelle solution pour permettre la caractérisation de la résistance dynamique d'avalanche du MOSFET.

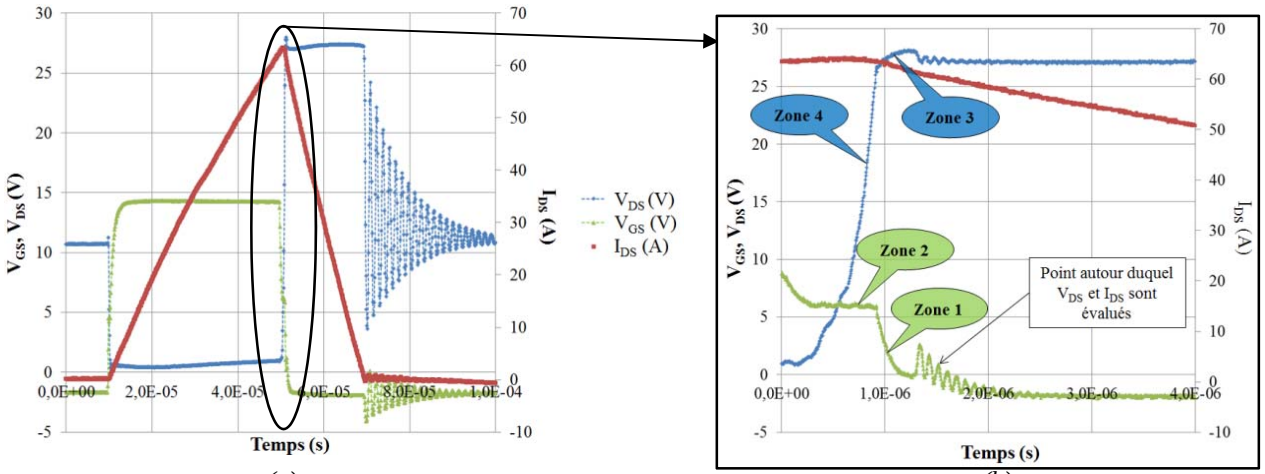
III.4.4.2. Utilisation d'un MOSFET en parallèle qui subit la mise à l'état « ON »

III.4.4.2.1. Description de la méthode

La caractérisation a été réalisée à 25°C. La mesure de la valeur de la résistance dynamique d'avalanche est réalisée pour différentes valeurs du courant I_{DS} qui sont liées à la durée de l'impulsion de commande de grille du MOSFET auxiliaire monté en parallèle avec le DUT.

La courbe caractéristique obtenue est présentée sur la figure II-24. La mesure est réalisée pour des impulsions comprises entre 10 et 90µs permettant de travailler sous des courants allant de 17 à 100A. La mesure des paramètres I_{DS} et V_{DS} est moyennée sur 20 points. Le point choisi comme repère correspond au troisième sursaut du signal de grille V_{GS} appliqué sur le composant en parallèle du DUT. En effet, cette valeur est proche de 0 ce qui garantit que le MOSFET auxiliaire ne conduit plus le courant. Cette méthode a été choisie afin d'assurer une certaine reproductibilité entre les différents composants évalués.

L'oscillogramme typique obtenu dans le cas d'une impulsion de 40µs de durée et d'une intensité maximale de 63A est présenté sur la figure II-24-a. Avec une telle base de temps, la précision de la mesure n'est pas possible, il est donc nécessaire de travailler avec une base de temps plus dilatée pour déterminer les paramètres le plus précisément possible (figure II-24-b).



(a) *(b)*

Figure II-24 : Oscillogramme des signaux V_{DS}, V_{GS} et I_{DS} du MOSFET lors de sa mise en avalanche dans le circuit décrit dans le paragraphe précédent selon la base de temps (20µs/ division pour (a) et 400ns/division pour (b)).

Le signal de grille pilotant le composant auxiliaire monté en parallèle avec le DUT révèle une coupure qui n'est pas immédiate résultant de plusieurs causes. La première concerne le générateur d'impulsion utilisé dont le signal de sortie lors de la coupure oscille jusqu'à atteindre la valeur de zéro et cela même à vide. La seconde explication est liée aux capacités parasites non-linéaires des composants actifs susceptibles de varier avec la tension appliquée entre les électrodes. Ces deux effets se superposent donc et sont repérés dans la zone 1 sur la figure II-24-b.

On constate également la présence d'un palier sur le signal de grille, il s'agit du moment où le MOSFET auxiliaire conduit encore seul pendant la remontée de la tension drain-source qui sera limitée par la tension d'avalanche du DUT (figure II-24-b, zone 2). Lorsque la tension d'avalanche du DUT est atteinte le transfert du courant se fait progressivement avec une vitesse qui est imposée par la décroissance de la tension de grille du transistor auxiliaire.

En ce qui concerne le signal V_{DS}, on remarque qu'il est également perturbé au départ. En effet, une légère surtension est présente résultant de la variation abrupte d'un régime de conduction dans un circuit inductif présentant des capacités parasites. En outre, il est possible que la répartition du courant au niveau de la puce ne soit pas totalement homogène lors du basculement en avalanche (figure II-24-b, zone 3).

Le temps de montée de la tension V_{DS} du DUT est gouverné par les valeurs des capacités de sorties des deux composants placés en parallèle (figure II-24-b, zone 4). La valeur de la tension V_{DS} résulte de deux effets : une chute de tension en raison de la résistance dynamique d'avalanche qui est compensée par l'échauffement du DUT dans ce mode de fonctionnement.

III.4.4.2.2. Résultats

Afin de valider l'intérêt de cette méthode de mesure, trois composants issus de lots différents sont mesurés dans les mêmes conditions et permettent d'aboutir aux caractéristiques suivantes (figure II-25).

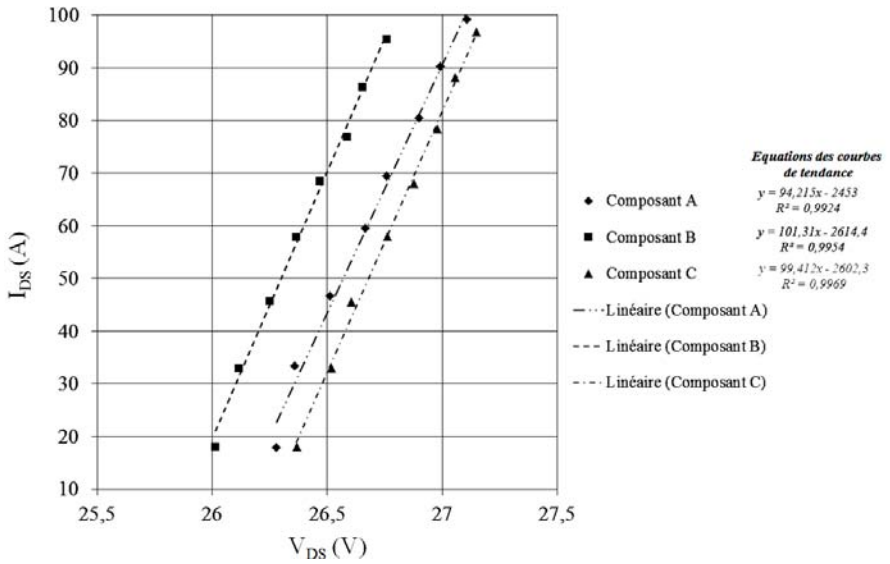


Figure II-25 : Détermination du R_{AV} pour trois composants MOSFETs.

A partir des mesures exploitées, il est possible de déterminer la résistance dynamique d'avalanche en calculant l'inverse de la pente extraite des courbes de tendance sur les caractéristiques $I_{DS}(V_{DS})$. Les valeurs calculées sont résumées dans le tableau II-2.

Composant	R_{AV} (mΩ)	BV_{DSS}@250µA (V)
A	10,6	25,6
B	9,86	25,2
C	10,1	25,5

Tableau II-2 : Evaluation du R_{AV} pour trois composants MOSFETs.

On peut donc évaluer la résistance dynamique d'avalanche moyenne à 10mΩ.

III.4.4.2.3. Interprétation

Dans le cas de cette mesure reproductible sur les trois composants évalués, il est nécessaire de rester critique quant aux résultats obtenus. En effet, la résistance dynamique d'avalanche est un paramètre délicat à évaluer. Il est donc déterminé dans des conditions particulières pour un circuit défini avec un placement des sondes de mesures fixés et pour des courants n'excédant pas 100A.

Toutefois, cette valeur de 10mΩ semble être élevée ce qui pourrait être effectivement lié au boîtier TO3J dans lequel le MOSFET de puissance est assemblé. En effet, un calcul simple de la résistivité attribuée aux trois plots de source court-circuités (acier, diamètre : 2mm) ainsi qu'aux neuf fils (aluminium, diamètre: 20 mils) de source permet d'évaluer leur résistance au maximum à 0,95mΩ (avec la formule $R = \rho L/S$). Cette valeur confirme que la valeur de 10mΩ pour la résistance dynamique d'avalanche est surévaluée.

Il serait donc plus juste de considérer une résistance dynamique d'avalanche de la puce seule de l'ordre de 9mΩ avec la méthode de mesure et le circuit défini dans les précédents paragraphes.

Cette valeur de résistance dynamique d'avalanche est largement supérieure à celle du R_{DSon} qui n'est évidemment pas lié au même phénomène physique et qui n'est pas caractérisé avec la même méthode. La valeur de la résistance dynamique d'avalanche serait, cependant, lié à l'épaisseur de l'épitaxie de type N^- qui introduirait une résistance non négligeable en série avec le drain lors de l'établissement du courant d'avalanche qui serait plus de 10 fois supérieure à la valeur du R_{DSon} (évaluée à 400A et avec V_{GS}=15V).

III.4.4.3. Conclusion

L'évaluation de la résistance dynamique d'avalanche dans le boîtier de test de type TO3J entache la mesure de ce paramètre d'une certaine erreur liée à la résistivité inhérente à cette méthode d'assemblage. Il serait préférable de caractériser cette résistance dynamique d'avalanche directement dans le module de puissance afin de limiter l'impact non négligeable de l'assemblage.

Toutefois, les méthodes présentées sont intéressantes car permettant de limiter l'auto-échauffement du composant lors de son passage en avalanche. La première ne semble, toutefois, pas la plus précise du fait que la mesure s'effectue sous 50Ω, à comparer à un paramètre à déterminer de quelques milli ohms. Pour ce qui est de la seconde méthode qui s'inspire d'une étude ayant fait l'objet d'une publication déjà présentée précédemment, l'objectif était de définir une méthode d'extraction reproductible du paramètre de résistance dynamique d'avalanche.

Il est nécessaire de retenir que la résistance dynamique d'avalanche est délicate à évaluer très précisément du fait de sa valeur limitée et de l'échauffement provoqué lors de la mise en avalanche du composant. Toutefois, sa présence et sa valeur non-nulle sont obligatoires dans le cadre de l'application mettant en jeu deux MOSFETs en parallèle. Les exigences de l'application demandent une résistance dynamique d'avalanche dont la valeur dépasse 5mΩ tout en restant dans cette gamme de valeur ; les résultats sont donc cohérents par rapport à ce qui était attendu.

IV. CONCLUSION

Ce chapitre permet de présenter les enjeux technologiques présentés par le MOSFET de puissance choisi dans le cadre de l'application iStARS développée par Valeo. Il revient sur le cahier des charges défini initialement et sur les choix technologiques clés qui en ont découlé.

Les principaux paramètres électroniques caractéristiques de cette technologie sont présentés afin de la décrire le plus précisément possible. Enfin, une méthode pour évaluer au mieux la valeur de la résistance dynamique d'avalanche a été testée. Toutefois, les résultats sont intimement liés à l'assemblage dans un boîtier en acier de type TO3J, au circuit inductif utilisé ainsi qu'à la méthode de mesure et d'extraction des valeurs de la résistance dynamique d'avalanche. Les résultats sont donc propres au circuit réalisé et permettent de donner un ordre d'idée quant à sa valeur.

Le composant MOSFET présenté en détail dans ce chapitre va faire l'objet d'une étude précise notamment en termes d'amélioration et de suivi de la robustesse. En effet, cette qualité est un aspect primordial pour l'application automobile micro-hybride dans laquelle il est intégré.

Chapitre III. Eléments de maîtrise de la fiabilité de MOSFETs de puissance

I. INTRODUCTION

Les applications électroniques dédiées à l'automobile exigent des composants fonctionnant pendant plusieurs années sous des contraintes thermiques importantes. Cela implique donc une attention supplémentaire lors du développement technologique des composants à semiconducteur. En effet, ce mode d'opération nécessite de considérer que la température ambiante élevée modifie leur fonctionnement jusqu'à réduire leur performances.

Dans ce contexte, des essais de fiabilité réalisés sur les puces de puissance permettent d'évaluer leur durée de vie à haute température. L'objectif de ces tests est de reproduire sur des durées relativement courtes le mode de fonctionnement des composants dans l'application selon des conditions d'accélération connues et maîtrisées. Il est alors possible d'évaluer la robustesse de la technologie dans des conditions données et de garantir sa fiabilité dans l'application pour laquelle elle a été initialement conçue.

L'objectif de ce chapitre est de présenter une démarche innovante, dans l'évaluation de la fiabilité et des MOSFETs de puissance, qui consiste dans le développement d'un test réalisé au niveau de la puce en amont des tests de fiabilité usuels. Cette caractérisation d'un nouveau type peut ensuite être complétée par une analyse statistique des données paramétriques et des données recueillies au cours du procédé de fabrication s'inscrivant dans une approche garantissant la qualité ainsi que l'amélioration de la fiabilité des puces produites.

II. DEMARCHE CLASSIQUE POUR EVALUER LA FIABILITE D'UN MOSFET DE PUISSANCE

Dans le chapitre I, la fiabilité des MOSFETs de puissance a été abordée. Dans ce chapitre seul le test de durée de vie de type polarisation de la grille constante à haute température sera explicité. En effet, ce test est le seul qui ait révélé des rejets au cours de la campagne de pré-qualification du composant, mettant en évidence les aspects à améliorer et l'intérêt du travail présenté dans ce mémoire.

II.1. Véhicule de test

Les composants sont testés dans un boîtier de type TO3 en acier constitué de huit broches. La puce est brasée sur le boitier avec une pâte de composition $Pb_{92.5}Sn_5Ag_{2.5}$. L'électrode de grille est reliée à une broche avec un fils de diamètre 1,3 mils. L'électrode de source est quant à elle reliée à cinq broches différentes par l'intermédiaire de 10 fils de diamètre 15 mils. Le contact de drain est pris en face arrière de la puce. L'assemblage du MOSFET en TO3 est présenté sur la figure III-1 est exclusivement dédié aux essais de fiabilité ; il diffère de celui présenté dans le chapitre II.

Cet assemblage et ce type de boitier sont uniquement réservés à la campagne d'essai de fiabilité afin de qualifier le composant.

Figure III-1 : Assemblage du produit dans un boitier TO3.

II.2. Essais de fiabilité

II.2.1. Principe

Les essais de fiabilité évaluent la qualité d'un composant à un instant t selon un certain nombre de critères. Cette méthode permet de qualifier le MOSFET et de valider sa robustesse dans des conditions de test plus sévères que dans l'application elle-même du point de vue des contraintes thermiques et de la durée de stress. Les essais de fiabilité sont des tests de vieillissement accélérés sous des conditions extrêmes afin de garantir la durée de vie du composant.

II.2.2. Déroulement d'une campagne classique

Une campagne visant à évaluer la fiabilité des MOSFETs de puissance est articulée autour de quatre tests principaux. Chaque test est caractérisé par sa durée, pas la contrainte électrique appliquée ainsi que par la taille de l'échantillon testé. Les caractéristiques des tests et leurs conditions sont résumées dans le tableau III-1. Il est important d'ajouter qu'un nouvel échantillon est utilisé pour chaque test décrit ci-dessous.

Seul le test de type HTGB a permis de révéler une dérive des composants testés qui s'est traduite par une fuite entre la grille et la source entraînant la défaillance du MOSFET. Il est primordial de comprendre cette défaillance en l'analysant, d'en établir la cause et d'amener l'action corrective afin d'améliorer la qualité des composants.

Chacun de ces tests est réalisé sur une population de puces mise en boitier TO3, n'ayant subi aucun essai de fiabilité auparavant. La qualification du composant est validée si aucun rejet ne survient au cours de la campagne.

Test	Nomenclature	Sigle	Conditions de test	Taille de l'échantillon testé
Cyclage en température	Temperature Cycling	TC	$T_{ambiant}$= [-40 : 150°C] Durée : 1000 cycles	77 sur 3 lots
Test de puissance cyclé	Intermittent Operating Life	IOL	t_{ON}= 5min ; t_{OFF}= 5min $T_{ambiant}$= 75°C $T_{Jonction=}$ [75:175°C] Durée : 6000 cycles	77 sur 3 lots
Polarisation inverse à haute température	High Temperature Reverse Bias	HTRB	V_{DS} = 20V **Etape 1** T=175°C Durée : 1000h **Etape 2** T=200°C Durée : 100h	77 sur 3 lots
Polarisation de la grille à haute température	High Temperature Gate Bias	HTGB	**HTGB 1** V_{GS}=16V T=175°C Durée : 1000h	77 sur 3 lots
			HTGB 2 V_{GS}= 16V T=200°C Durée : 100h	
			HTGB 3 V_{GS}=20V T=175°C Durée : 24h	
Décharge sur une charge inductive non écrêtée	Unclamped Inductive Switching	UIS	V_{GS}=15V $T_{Jonction}$=150°C I_{DS}= 400A Durée : 60 millions de cycles	1 sur 3 lots

Tableau III-1 : Description des tests de fiabilité réalisés sur le MOSFET étudié.

II.2.3. Détail du test de durée de vie en température de type HTGB

II.2.3.1. Profil de mission

Le MOSFET étudié est un composant discret, il doit donc répondre à la norme AECQ101 [AUTO05] au niveau du test HTGB, qui est une translation visant à tester le pire cas en termes de valeurs de stress en température et en tension de grille. Ce test est donc très contraignant pour les composants et garantit leur fiabilité pour l'application automobile iStARS à laquelle ils sont exclusivement dédiés.

Le profil de mission du test de fiabilité HTGB est caractérisé par un facteur d'accélération du vieillissement, AF, et qui tient compte des contraintes thermiques et électriques appliquées ; il est défini selon l'équation III-1.

$$AF = AF_T . AF_V \qquad \text{III-1}$$

Avec, AF_T, coefficient d'accélération en température et AF_V, coefficient d'accélération en tension.

Le coefficient d'accélération en température est issu de la loi d'Arrhenius et définit dans l'équation III-2. Quant au coefficient d'accélération en tension, il est détaillé dans l'équation III-3.

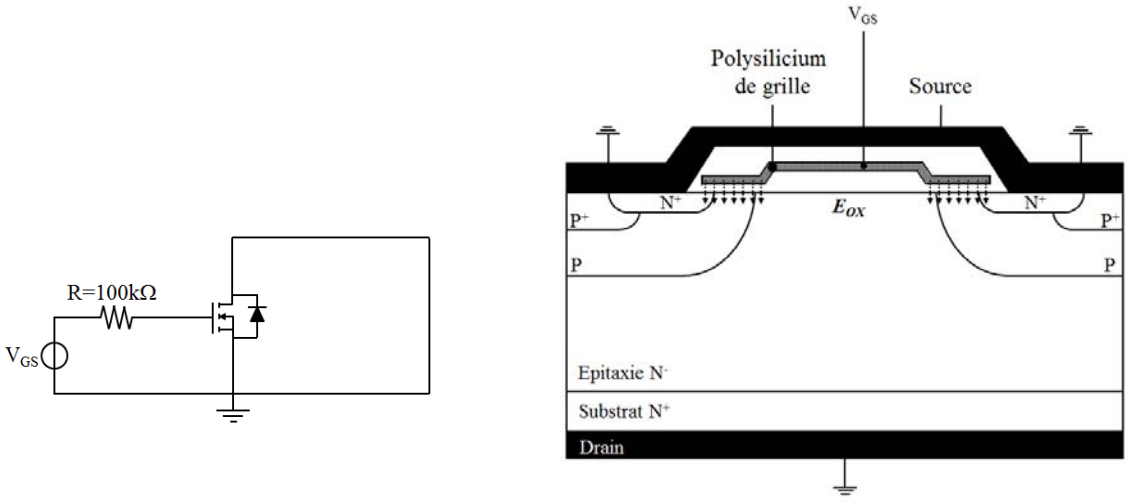
$$AF_T = exp(\frac{E_A}{k}\left(\frac{1}{T_{use}} - \frac{1}{T_{stress}}\right)) \quad \text{III-2}$$

$$AF_V = exp(\beta(V_S - V_0)) \quad \text{III-3}$$

Avec, E_A, énergie d'activation ; k, constante de Boltzmann ; T_{use}, température normale d'utilisation ; T_{stress}, température de stress ; β, constante déterminée expérimentalement ; V_S, tension de stress ; V_0, tension normale appliquée.

II.2.3.2. Test électrique

Le principe de ce test électrique est d'appliquer une tension constante sur l'électrode de grille reliée à une résistance de 100kΩ, qui permet de limiter le courant à 200µA en cas de court-circuit entre la grille et la masse. Les électrodes de drain et de source sont court-circuitées et reliées à la masse lors du test. Le facteur d'accélération est la température ambiante qui est fixée à 175°C ou 200°C suivant le type de test. La figure III-2 représente le circuit positionné dans l'étuve pour l'essai de fiabilité ainsi que le principe de polarisation du MOSFET de puissance.



(a) *(b)*

Figure III-2 : Circuit de test HTGB (a) et polarisation du MOSFET au niveau d'une cellule élémentaire (b).

II.2.3.3. Conclusion

Le passage avec succès des essais de fiabilité notamment pour les composants dédiés au domaine automobile est la condition sine qua non de leur qualification. En effet, ces tests sont la garantie de la qualité et de la robustesse des MOSFETs dans l'application à laquelle ils sont destinés.

Toutefois, ce type de campagne représente un coup important du fait du nombre d'échantillons testés pour assurer la représentativité statistique et demande également un certain temps pour obtenir le

résultat final (plusieurs semaines). En outre, les tests sont systématiquement réalisés sur des puces assemblées.

Par conséquent, la possibilité de réaliser un test à la puce pour évaluer sa robustesse a été abordée, celui-ci n'a pas la prétention de remplacer la campagne de fiabilité standard présentée précédemment. Son objectif est d'être implémenté en amont de ces essais afin d'évaluer précisément les avancées réalisées au niveau de la puce (optimisation de procédé par exemple). La campagne de fiabilité permettra alors de confirmer les résultats observés.

L'objectif est donc de développer un test réalisé sur plaquette directement sur la puce et permettant d'évaluer les modifications de procédé réalisées. Ce test doit être corrélé avec les résultats des essais de fiabilité afin que son intérêt soit validé. Toutefois, il ne s'y substituera pas, il permet de donner une tendance et de justifier la réalisation d'une campagne de fiabilité.

III. DEMARCHE INNOVANTE POUR EVALUER LA FIABILITE D'UN MOSFET DE PUISSANCE

III.1. Motivations

Les rejets mis en évidence au niveau du test HTGB ont démontré que les modes de sollicitation grille-source et grille-drain pouvaient révéler des faiblesses c'est-à-dire des défaillances de la technologie. L'hypothèse de départ a consisté à détourner le test de Q_{BD} (décri dans le paragraphe suivant) dont l'objectif est de déterminer la robustesse de l'oxyde de grille. Celui-ci s'est avéré être un candidat pertinent car permettant d'établir une corrélation avec les résultats du test HTGB en termes de signature de défaillance.

Cette nouvelle démarche s'inscrivant dans l'amélioration de la qualité des MOSFETs de puissance a donc été développée avec l'objectif de caractériser précisément l'optimisation des étapes du procédé de fabrication identifiées comme potentiellement critiques pour la fiabilité.

III.2. Test de Q_{BD} standard

III.2.1. Présentation

Le Q_{BD} correspond à la charge qu'un oxyde peut supporter avant sa défaillance c'est-à-dire avant son claquage (« charge-to-breakdown »). Il s'agit d'un test de fiabilité permettant d'évaluer la robustesse de l'oxyde. Celui-ci existe sous divers aspects (application d'un courant ou d'une tension, constant ou non) dont les quatre principaux sont détaillés dans le paragraphe suivant.

Le composant MOSFET qui fait l'objet de cette étude est constitué d'un oxyde de grille de 60nm d'épaisseur ce qui le classe parmi la catégorie des oxydes de grille épais. En effet, la littérature considère les oxydes épais pour des épaisseurs comprises entre 50 et 120nm [SCHW00, NAKA95]. L'épaisseur de l'oxyde contribue à définir ses propriétés et elle joue donc un rôle important sur les modes de défaillance. En effet, les mécanismes mis en jeu diffèrent selon le type d'oxyde présent.

III.2.2.Type de structures testées

Le test du Q_{BD} est très répandu en microélectronique pour vérifier l'intégrité de certaines étapes du procédé. Le test électrique est réalisé sur des structures de tests qui sont en général des capacités de type MOS (Métal Oxyde Semiconducteur) situées dans les lignes de découpes entre les composants, elles portent le nom de SGPC (pour « Scribe-Grid Process Control ») [COSW96]. Ce type de mesures est très utile pour effectuer des contrôles du procédé mais aussi sur l'aspect de réduction des coûts puisque les composants ne sont pas endommagés par les tests. Cependant, cette technique a démontré son intérêt dans le cas de composants qui présentent une surface active proche de la taille de ces structures [EVAN93].

En d'autres termes, ces structures sont moins pertinentes que le produit lui-même dans l'évaluation de la qualité des MOSFETs étudiés. En effet, leur taille limitée les rend moins sensibles à la défectivité et elles ne sont pas adaptées pour détecter des variations de procédé au niveau de la plaquette (uniformité des dépôts, par exemple). Toutefois, leur caractérisation se justifie pour déceler des dérives de procédé importantes. En effet, l'historique existant sur ces mesures confirme l'utilité de leur réalisation mais elles nécessitent d'être complétées par des caractérisations au niveau de la puce finie pour garantir la qualité des produits délivrés. Un exemple du type de structures testées pour le MOSFET étudié est illustré sur la figure III-3.

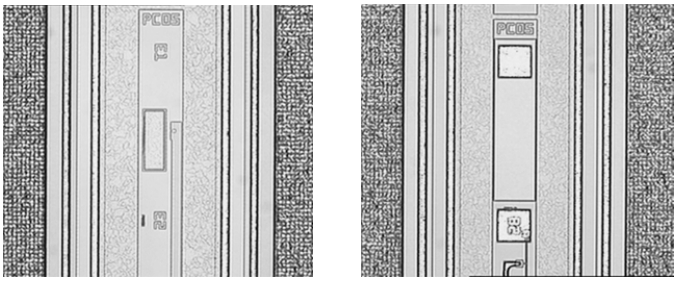


Figure III-3: Exemple de structures de tests au niveau des lignes de découpe du MOSFET étudié (Grossissement : 10X).

III.2.3.Méthodes de caractérisation

III.2.3.1. Stress constant

On distingue deux types de caractérisation utilisant la méthode de stress constant. La première méthode consiste à appliquer un stress constant en tension (« Constant Voltage Stress », CVS). Elle permet de mesurer le temps de claquage (t_{BD}) en fonction du champ électrique présent à travers l'oxyde de grille. Cette méthode nécessite de connaître le champ de claquage de l'oxyde testé, pour être efficace. Le claquage est caractérisé par une augmentation rapide et irréversible du courant de grille (I_{GS}).

Le même test existe également avec un stress constant en courant (« Constant Current Stress », CCS) et permet de déterminer, dans ce cas, la quantité de charges injectée dans l'oxyde de grille en Coulomb par cm² (Q_{BD}). Le claquage est alors caractérisé par une annulation de la tension de grille (V_{GS}). Cette méthode présente l'avantage de commander plus précisément la mesure de la charge au claquage car n'atteignant pas les tensions importantes impliquées par un stress en rampe [MART97].

III.2.3.2. Stress graduel

Il existe également deux méthodes se basant sur l'application d'un signal en rampe. On distingue la rampe en tension (« Ramped Voltage Stress », RVS) qui permet d'accéder au champ pour lequel le claquage se produit (E_{BD}) ainsi que la caractéristique courant-tension I(V). Cette technique est appliquée pour la caractérisation de défauts pour des champs électriques faibles [JEDE01].

La même catégorie de test se décline aussi selon une rampe de courant exponentielle (« Exponentially Ramped Current Stress », ERCS) permettant la mesure du Q_{BD}, du champ E_{BD}, de la densité de courant au claquage de l'oxyde (J_{BD}) mais aussi la caractéristique courant-tension I(V). Dans ce cas, la rampe en courant permet d'accéder à des données précises quelle que soit la valeur du champ électrique et la distinction entre les populations extrinsèque et intrinsèque est également facilitée avec cette méthode de mesure [MART98].

III.2.4.Claquage diélectrique

III.2.4.1. Cause d'origine

Le test du Q_{BD} présente l'inconvénient d'être destructif, c'est-à-dire, qu'il atteindra systématiquement le claquage de l'oxyde de grille. Les diélectriques sont utilisés en microélectronique pour leurs propriétés isolantes, ce qui se traduit par un faible courant qui les traverse lors de l'utilisation du composant.

Il est avéré que les claquages diélectriques résultent de la formation d'un chemin de conduction de faible résistance à travers la couche. Ce chemin compromet les propriétés isolantes du diélectrique et conduit à sa défaillance irréversible. Le claquage n'est pas un phénomène spontané et il existe donc plusieurs phases de transition avant la défaillance totale. En effet, le processus de claquage diélectrique résulte de l'accumulation de défauts ponctuels provenant du transport de charges à travers l'oxyde. Ces défauts sont en général des pièges au niveau de l'interface silicium-oxyde ou des défauts présents dans l'oxyde tel que des charges positives. La formation de ces défauts est attribuée à des mécanismes qui impliquent les électrons et les trous [LOMB05]. Il est alors possible de schématiser l'évolution graduelle de ce mécanisme [DEGR96, AZIZ03] (Figure III-4).

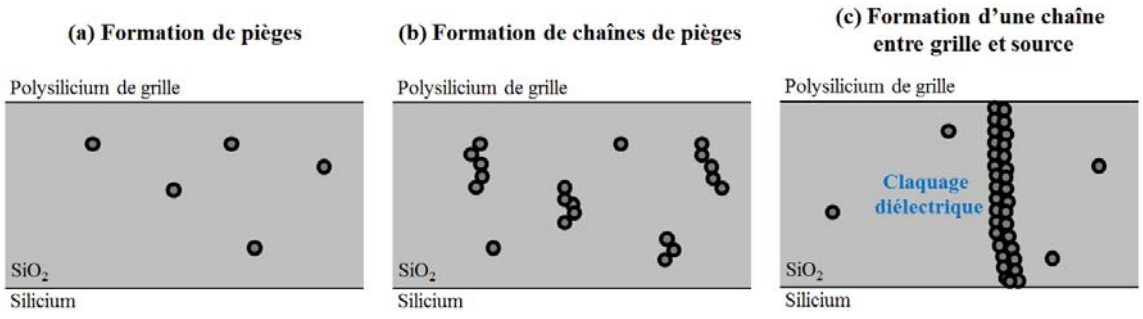


Figure III-4: Représentation schématique du claquage diélectrique d'un oxyde de grille.

Si on considère ce mécanisme plus précisément au niveau atomique, les pièges à électrons générés durant le stress de l'oxyde créent des niveaux d'énergie localement dans la bande interdite de l'oxyde facilitant le passage des électrons par effet tunnel à travers l'oxyde. Dans la littérature, ce phénomène

porte le nom de percolation et ceci explique les propriétés statistiques du claquage de l'oxyde [KUBO04]. Les qualités d'isolant de l'oxyde se dégradent alors en raison des défauts générés [REED01].

Plus précisément, le claquage des oxydes est lié aussi bien au stress électrique qu'ils subissent qu'au stress physique induit dans le film lors du procédé de fabrication. Le claquage du diélectrique se fait donc en deux étapes identifiées et présentées sur la figure III-5. La première est associée à la formation de liaisons Si-Si qui résultent de la rupture de liaisons Si-O-Si [YANG00]. La seconde correspond à la rupture de la liaison Si-Si induit essentiellement par la présence d'un fort champ électrique à travers l'oxyde [MCPH98].

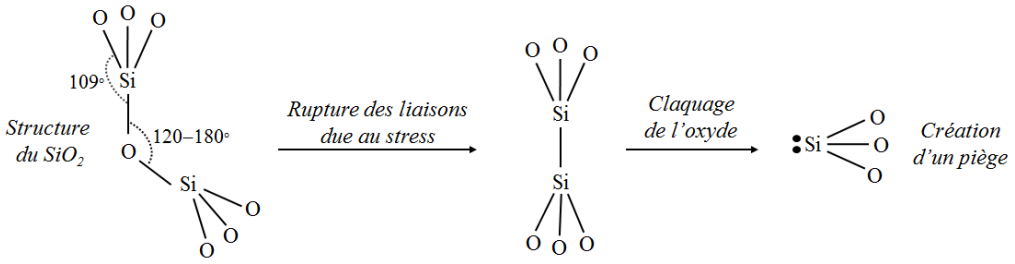


Figure III-5 : Evolution du mécanisme de claquage de l'oxyde de grille au niveau des liaisons chimiques.

Le claquage diélectrique génère deux types de populations distinctes [VERW96] : celle résultant du claquage intrinsèque à opposer à celle provenant du claquage extrinsèque.

III.2.4.2. Claquage de type intrinsèque

Le claquage dit intrinsèque car lié exclusivement aux propriétés de l'oxyde, survient lorsque les limites du diélectrique sont atteintes. Un oxyde thermique de bonne qualité est capable de soutenir un champ électrique de l'ordre de 10MV/cm. Toutefois dans ce mémoire, il sera considéré que le claquage intrinsèque survient au-delà de 8,3MV/cm correspondant à une tension V_{BD} de 50V.

Le claquage intrinsèque est associé aux défauts intrinsèques présents dans l'oxyde. Ils surviennent généralement d'un réarrangement ponctuel des atomes de silicium et d'oxygène qui peuvent générer des interstitiels, des substitutions ou des lacunes dans le réseau de l'oxyde [NGUY09, MANE98].

III.2.4.3. Claquage de type extrinsèque

Le claquage de type extrinsèque résulte généralement de défauts pouvant provenir de la contamination lors des étapes de fabrication mais aussi de stress mécanique dans le film d'oxyde. Ces défauts entraînent une défaillance anticipée de l'oxyde de grille qualifiée de claquage extrinsèque. On considère dans ce mémoire que le claquage extrinsèque survient pour des champs de l'ordre de 4,7 à 6,7MV/cm correspondant à une tension V_{BD} comprise entre 28V et 40V.

Il existe des défauts qualifiés d'extrinsèques qui sont liés à la présence d'atomes étrangers autre que le silicium et l'oxygène dans le réseau de l'oxyde.

III.3. Test Q_{BD} développé

III.3.1.Motivations

Le composant étudié dans ce mémoire présente une surface active importante de l'ordre de 50mm², ce qui lui confère une sensibilité accrue aux contaminants ainsi qu'aux défauts induits par le procédé de fabrication, pouvant dégrader sa qualité intrinsèque par la génération de défauts de type extrinsèques.

En outre, l'évaluation par le test de Q_{BD} des structures de test situées dans les lignes de découpe des MOSFETs étudiés n'ont pas révélé de défaillances ou de faiblesses particulières. Dans ce contexte, l'implémentation de la mesure du Q_{BD} directement au niveau de la puce nue a été la solution proposée pour évaluer la qualité intrinsèque du transistor de puissance. En effet, la différence de taille importante existant entre les SGPC et les composants (figure III-6) a motivé la mise en place de ce test destructif lors du développement technologique puis, dans le cadre de l'amélioration continue de la qualité des composants.

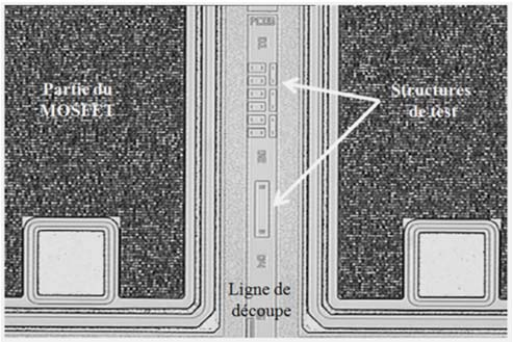


Figure III-6 : Comparaison de la taille du MOSFET de puissance et des structures de tests contenues dans les lignes de découpe (Grossissement : 10X).

L'intérêt premier de ce test est d'évaluer la qualité de l'oxyde de grille du MOSFET de puissance mais des analyses physiques au niveau des cellules ont démontré que la défaillance impliquée lors du test de Q_{BD} ne résultait pas systématiquement du claquage de l'oxyde de grille. En outre, il sera établi que ce test est adapté pour qualifier une étape du procédé de fabrication qui n'est pas directement liée à l'oxyde de grille.

L'objectif de ce test est donc d'être implémenté pour valider le développement technologique, dans un premier temps, puis pour valider des modifications de procédé justifiées dans la démarche d'amélioration continue du composant. Le test de Q_{BD} appliqué au niveau de la puce est donc réalisé en amont de la campagne de fiabilité détaillée dans le paragraphe II.2.2.

III.3.2.Réalisation du test

III.3.2.1. Description

Le test de Q_{BD} mis en place s'inspire de la méthode ERCS décrite précédemment. Elle est présentée dans la littérature comme simple à mettre en œuvre, rapide dans l'obtention des résultats, tout cela en fournissant une bonne sensibilité pour la détection des défaillances prématurées [GHEZ91]. En outre, la

méthode ERCS permet d'obtenir une caractérisation complète du diélectrique car fournissant des informations à la fois sur le claquage intrinsèque et sur le claquage extrinsèque [CAPP91]. De plus, le claquage de l'oxyde est aisément détecté, puisque caractérisé par une diminution brutale de la tension entre grille et source (V_{GS}) [STRO09]. Enfin, ce type de test utilisant une rampe en courant est conseillé dans le cas d'échantillons de taille importante [JEDE01].

Le choix d'une rampe de courant permet de mesurer précisément la tension de claquage du diélectrique ainsi que la valeur du Q_{BD}, du fait de l'évolution lente du courant. En outre, le facteur Q_{BD} est intéressant car étant très sensible même aux changements modérés apportés au niveau de l'oxyde de grille [SIMP05].

Le caractère innovant de ce test réside dans le fait qu'il est directement appliqué au niveau de la puce nue sur la plaquette même si le principe s'appuie sur le test standard utilisé au niveau des structures de test. En effet, les exemples de l'utilisation du Q_{BD} sur des structures de tests pour les technologies de type transistor MOS sont très répandues [EVAN93, SEAC00] mais la méthode de mesure décrite dans ce mémoire est novatrice dans le domaine de la microélectronique de puissance [POME11].

En effet, le MOSFET de puissance est caractérisé dans son ensemble permettant de tenir compte des interactions pouvant intervenir entre les différentes étapes du procédé de fabrication mais également en tenant compte de la structure complexe du transistor de puissance (géométrie des cellules, espaceurs, double niveau d'oxyde…). Cependant, ce test présente un désavantage du fait qu'il soit destructif et qu'il ne peut donc être utilisé que lors de l'étape de développement technologique.

III.3.2.2. Appareil de mesure

Les caractérisations sont effectuées exclusivement avec le HP4062 présenté dans le chapitre précédent.

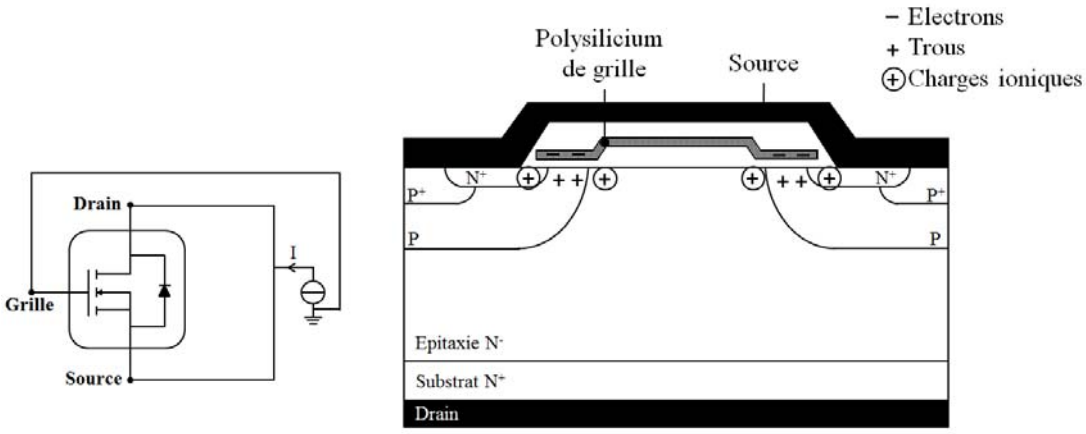
III.3.2.3. Technique

Le test de Q_{BD} est précédé d'une mesure permettant de déterminer la fuite entre grille et source (I_{GSS}) des composants et d'écarter de l'étude ceux qui présentent une défaillance à ce test. Toutefois, cette population ne doit pas représenter une proportion trop importante car pouvant révéler une faiblesse au niveau du procédé de fabrication et pouvant engendrer des pertes en rendement importante.

Le test de Q_{BD} consiste à forcer un courant sur la source qui est court-circuitée avec le drain alors que la grille est reliée à la masse, et cela sans maîtriser la valeur de V_{GS} qui est négative lors de la réalisation du test (figure III-7-a). Il s'agit donc de charger deux capacités C_{ISS} et C_{OSS} qui sont en parallèle.

Le transistor est donc en régime bloqué, c'est-à-dire que le canal ne se forme pas dans ces conditions. Le fait que le drain voit la rampe de courant explique un dépeuplement du substrat N^+, des caissons N^+ et de l'épitaxie N^- en raison de l'arrachage des électrons. Quant à la zone P, celle-ci est en accumulation dû à un excès de charge (en l'occurrence de trous) (figure III-7-b).

On considère donc que le MOSFET est en accumulation. Ceci permet de garantir que l'oxyde de grille situé au niveau de la zone où se forme le canal soit soumis à la totalité de la tension. En d'autres termes, le potentiel entre la grille et l'interface oxyde/semiconducteur augmente.



(a) *(b)*

Figure III-7 : Connexions mises en place pour le test du Q_{BD} sur le MOSFET (a) et détails des phénomènes au niveau d'une cellule du composant (b).

Le signal appliqué est détaillé sur la figure III-8. Il s'agit d'une rampe exponentielle débutant à 100nA et se terminant à 20mA. Cette rampe est composée de dix paliers de courant constant durant 300ms avec un temps de montée de 100ms entre chacun d'eux. La valeur du courant est multipliée par 4 entre chaque palier. La valeur de V_{GS} est mesurée à la fin de chaque pallier et comparée à la mesure précédente. Le claquage diélectrique est avéré si la valeur de V_{GS} diminue de plus de 5V entre deux mesures consécutives. Les paramètres caractéristiques de l'oxyde de grille évalués lors du test sont la charge supportée jusqu'au claquage (Q_{BD}), la tension V_{GS} au claquage (V_{BD}), le champ électrique au claquage (E_{BD}), le courant au claquage (I_{BD}).

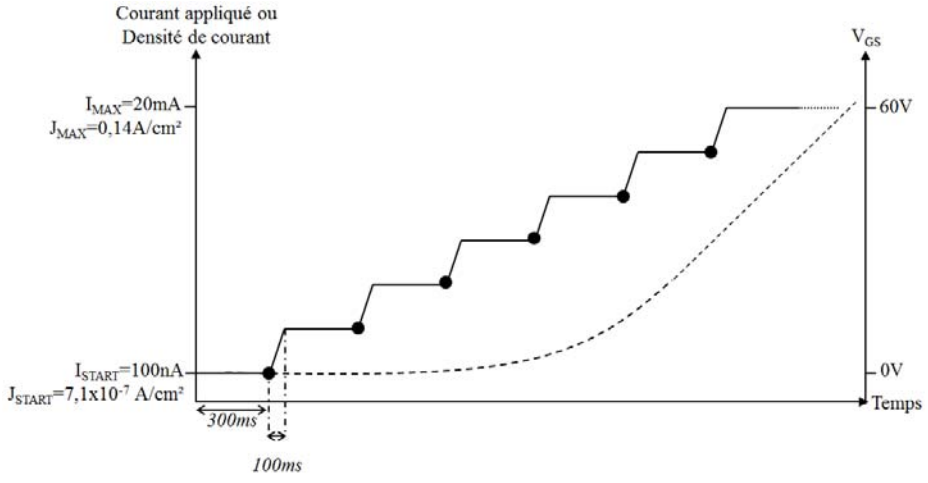


Figure III-8 : Rampe de courant appliquée sur le composant lors du test de Q_{BD} et évolution de V_{GS} au cours du temps.

III.3.2.4. Interprétations des résultats

Les résultats sont représentés selon une statistique de Weibull (Annexe A) permettant une analyse des populations obtenues avec le test de Q_{BD} (figure III-9). Ce graphe donne accès à la probabilité cumulée de défaillance en fonction de la valeur du Q_{BD}. Il met clairement en évidence différents paliers correspondant aux stress en courant appliqués successivement sur la puce. Les puces présentant une fuite entre grille et source sont également représentées même si cette population ne sera pas considérée lors du tracé des graphes de Weibull car n'étant pas fonctionnelle. Toutefois, il est important de considérer leur proportion qui est un indicateur primordial de la qualité du procédé de fabrication.

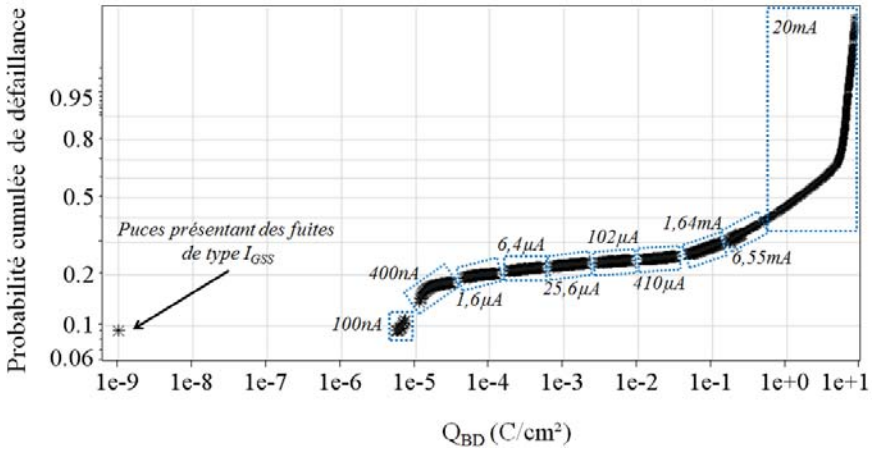


Figure III-9 : Distribution de Weibull du Q_{BD} sur le MOSFET étudié.

La statistique de Weibull est un indicateur clé quant à la qualité des MOSFETs de puissance. En outre, il est possible de distinguer les populations intrinsèques et extrinsèques sur ce type de caractéristiques. L'exemple présenté sur la figure III-10 issue de mesures de Q_{BD} réalisées sur des capacités MOS, permet de distinguer les défauts de jeunesse, les défauts prématurés ou extrinsèques et les défauts intrinsèques.

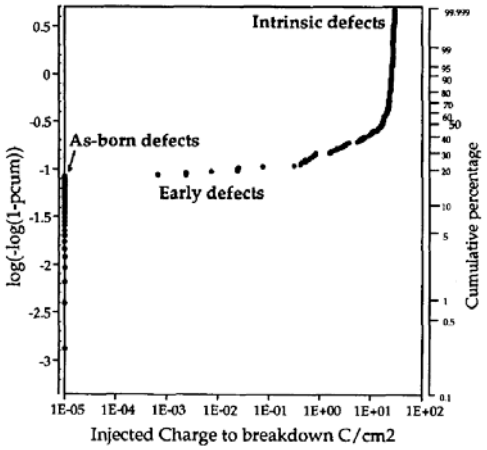


Figure III-10 : Distribution de Weibull du Q_{BD} pour des capacités de type MOS et principales populations [BRIE95].

Néanmoins, dans le cadre des MOSFETs de puissance testés, il n'est pas aussi aisé de distinguer les diverses populations. En effet, du fait de la taille du composant et de la méthodologie adoptée, le graphe représentant la population de Q_{BD} selon la statistique de Weibull n'est pas suffisant. Le traitement de données avec cette méthode permet de comparer et d'évaluer de façon rapide et claire des modifications dans le procédé de fabrication. La distinction des populations est réalisée en considérant le graphe représentant le Q_{BD} en échelle logarithmique en fonction de la tension au claquage (V_{BD}), tout en ne considérant pas les puces présentant des fuites entre grille et source pour une tension V_{GS} de 28V. On distingue ainsi trois populations :

- La population extrinsèque telle que V_{BD} soit compris entre 28[iii] et 40V (ou entre 4,7 et 6,7MV/cm).
- La population intermédiaire telle que V_{BD} soit compris entre 40 et 50V (ou entre 6,7 et 8,3MV/cm)
- La population intrinsèque telle que V_{BD} soit compris entre 50 et 60V (ou entre 8,3 et 10MV/cm)

On distingue également les différents paliers de courant caractéristiques de la rampe de courant appliquée ; ils sont repérés sur la figure III-11.

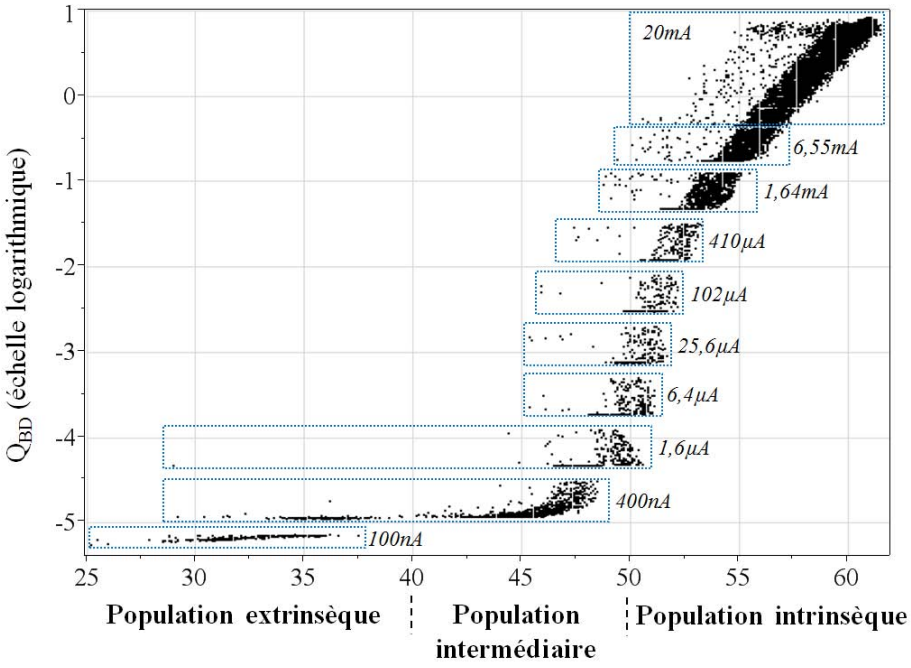


Figure III-11 : Identification des populations obtenues avec le test Q_{BD} au niveau du MOSFET de puissance.

[iii] Le critère de 28V a été choisi car il correspond à la tension de stress appliquée lors des tests électriques effectués au niveau de la plaquette. Ainsi, les puces qui présentent des tensions de claquage inférieures à 28V sont identifiées par le test I_{GSS}@28V et entrent donc dans la population des puces non fonctionnelles.

Contrairement à la littérature, les mesures effectuées avec le test Q_{BD} au niveau de la puce donnent lieu à quatre populations distinctes, dont une non-usuelle, qualifiée de population intermédiaire. Elle provient exclusivement du fait que ce ne sont pas des structures simples qui sont caractérisées et dont la défaillance résulte soit d'une non-fonctionnalité (puces présentant une fuite), soit d'un défaut (population extrinsèque) ou encore des limites de l'oxyde de grille (population intrinsèque). En effet, les composants MOSFETs étudiés présentent une surface active importante constituée d'un nombre conséquent de cellules élémentaires avec une certaine topologie contribuant à la survenue de défaillances qu'il n'est pas possible de classer selon les termes habituels, d'où la présence d'une population dite intermédiaire, dans notre cas spécifique de l'application du test de Q_{BD} au MOSFETs de puissance étudiés dans ce mémoire.

III.3.2.5. Analyse de défaillance

Des analyses de défaillance, dont la méthodologie est présentée dans l'annexe B, ont été réalisées sur les échantillons testés en Q_{BD}. Celles-ci sont essentielles pour mettre en évidence le type de défaillance engendrées lors du test de Q_{BD} afin d'identifier l'implication ou non d'étapes pouvant être qualifiées de critique, à ce stade de l'étude.

Il est essentiel de préciser que l'énergie mise en jeu lors du test de Q_{BD} est importante ce qui a tendance à dégrader la cellule incriminée. De ce fait, l'identification de la cause d'origine est souvent difficile et ce ne sont généralement que des hypothèses qui sont formulées quant au mécanisme de défaillance. En outre, les analyses présentées ne sont souvent que la résultante d'un défaut qui n'est plus visible. Revenons donc plus en détails sur les trois populations évoquées dans le paragraphe précédent.

III.3.2.5.1. Défaillances extrinsèques

Une puce caractérisée par une tension de claquage comprise entre 28 et 40V a été choisie pour illustrer ce type de défaillance. Les principaux paramètres électriques sont présentés dans le tableau III-3.

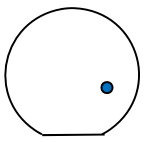
	Résultats à 25°C				***Q_{BD}***
Localisation sur la plaquette	I_{DSS}@20V (nA)	I_{GSS}@28V (nA)	BV_{DSS}@250µA (V)	V_{TH}@250µA (V)	Tension de claquage V_{BD} (V)
	1,34	-0,026	24,5	3,42	33,4

Tableau III-2 : Paramètres électriques des pièces choisies pour l'étude des défaillances extrinsèques en Q_{BD}.

Dans le cas de la figure III-12, la défaillance résulte d'un dépôt de polysilicium non-conforme provenant d'un défaut introduit lors d'une étape antérieure du procédé de fabrication. En effet, la pente de la couche de polysilicium n'est pas conforme sur le motif situé à gauche car inférieure à 90°.

Cet exemple d'analyse physique démontre l'impact d'une mauvaise maîtrise du procédé de fabrication sur la qualité des composants. L'objectif est de réduire cette population de type extrinsèque afin de limiter d'éventuelles défaillances prématurées dans l'application automobile finale. Par conséquent, une étape antérieure au dépôt de polysilicium pourrait être incriminée. A ce stade, il

semblerait que la qualité de l'oxyde de grille soit mise en cause par ces résultats préliminaires du fait du claquage prématuré de celui-ci, qui possède une interface commune avec le polysilicium.

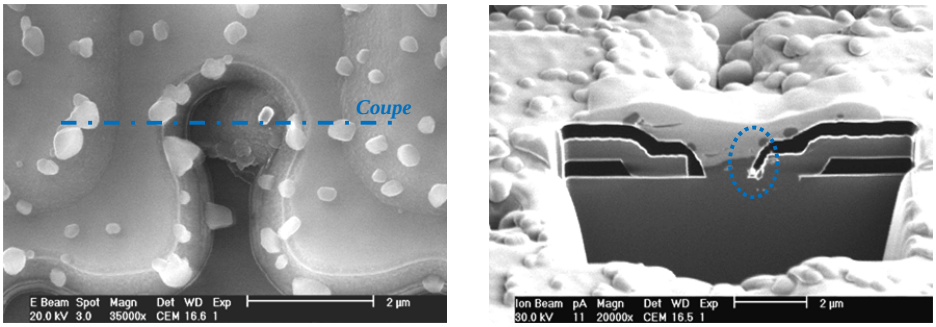


Figure III-12: Exemple de défaillance extrinsèque en Q_{BD} (images SEM).

III.3.2.5.2. Défaillances de type intermédiaire

Une puce caractérisée par une tension de claquage comprise entre 40 et 50V a été choisie pour illustrer ce type de défaillance. Les principaux paramètres électriques sont présentés dans le tableau III-3.

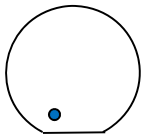
	Résultats à 25°C				***Q_{BD}***
Localisation sur la plaquette	I_{DSS}@20V (nA)	I_{GSS}@28V (nA)	BV_{DSS}@250µA (V)	V_{TH}@250µA (V)	Tension de claquage V_{BD} (V)
	1,95	-0,062	24,5	3,47	44,8

Tableau III-3 : Paramètres électriques des pièces choisies pour l'étude des défaillances intermédiaires en Q_{BD}.

On qualifie cette population d'intermédiaire car elle ne correspond ni à une défaillance intrinsèque ni à une défaillance extrinsèque. Dans l'exemple présenté sur la figure III-13, il s'agit également d'un claquage de l'oxyde de grille ayant entraîné une fusion du polysilicium et la perte de fonctionnalité du composant.

Le procédé de fabrication au niveau de l'oxyde de grille et du polysilicium semble donc être incriminé dans la défaillance prématurée des composants MOSFETs étudiés.

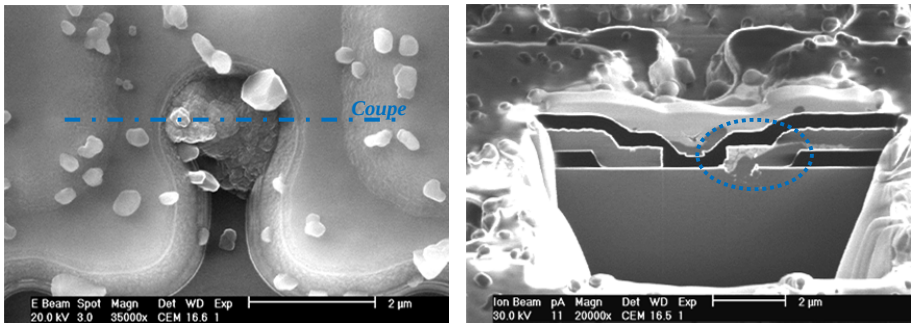


Figure III-13 : Exemple de défaillance intermédiaire en Q_{BD} (images SEM).

III.3.2.5.3. Défaillances intrinsèques

Une puce caractérisée par une tension de claquage comprise entre 50 et 61V a été choisie pour illustrer ce type de défaillance. Les principaux paramètres électriques sont présentés dans le tableau III-4.

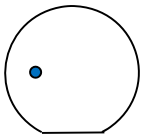
	Résultats à 25°C				***Q_{BD}***
Localisation sur la plaquette	I_{DSS}@20V (nA)	I_{GSS}@28V (nA)	BV_{DSS}@250µA (V)	V_{TH}@250µA (V)	Tension de claquage V_{BD} (V)
	1,95	-0,062	25,5	3,47	49,9

Tableau III-4 : Paramètres électriques des pièces choisies pour l'étude des défaillances intrinsèques en Q_{BD}.

L'exemple de la figure III-14 démontre que l'oxyde de grille est intact et que le défaut est localisé au niveau de l'espaceur. Cette population met en évidence les défaillances liées aux limites du composant lui-même.

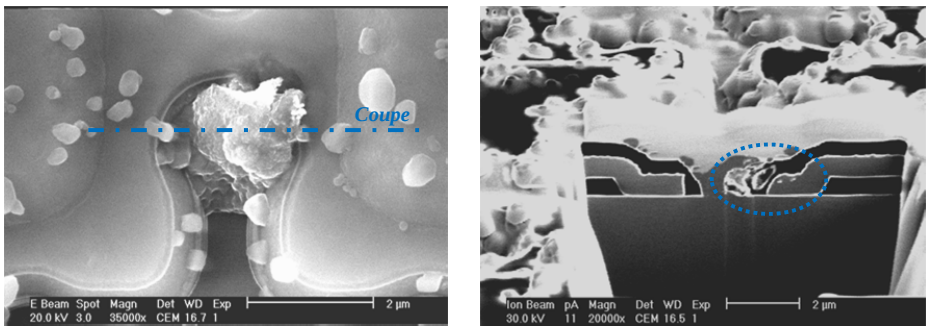


Figure III-14 : Exemple de défaillance intrinsèque en Q_{BD} (images SEM).

III.3.2.6. Conclusion

Les analyses réalisées précédemment sont des exemples illustrant les défaillances qui résultent de défauts ou tout simplement des limites propres au composant. Le test de Q_{BD} révèle la robustesse et la

qualité des MOSFETs. En outre, ces exemples révèlent les modes de défaillance engendrés par des sollicitations grille-source et grille-drain. L'objectif suivant consiste à démontrer l'intérêt de l'application du test de Q_{BD} au niveau de la puce et sa justification malgré le fait que celui-ci soit destructif.

III.4. Différentiel entre les tests Q_{BD} et HTGB

Un aspect important de ce mémoire est le développement d'un test de type Q_{BD} directement au niveau de la puce de puissance. Les résultats sont associés au test HTGB, qui est un test de fiabilité à part entière, mais il est primordial de constater que ces tests sont complémentaires et le fait qu'ils présentent des signatures de défaillance comparables, ne permet pas une substitution de l'un par l'autre.

Dans un premier temps, la réalisation des tests est différente avec une rampe de courant dans le cas du Q_{BD} mettant en jeu les paramètres tels que le champ électrique et le courant alors que pour le test HTGB une tension constante sous haute température est appliquée faisant intervenir les paramètres champ électrique, température et temps. Ainsi, l'intégrité de l'oxyde de grille est évaluée, plus axée sur la robustesse avec le Q_{BD} alors que le test HTGB évalue la fiabilité de l'oxyde de grille. Enfin, le Q_{BD} est un test destructif que ce soit pour les puces bonnes comme pour celles présentant une faiblesse alors que le test HTGB évalue la durée de vie des composants.

Les principaux points de comparaison entre ces deux tests sont résumés dans le tableau III-5.

	Q_{BD}	**HTGB**
Paramètres	Champ électrique, E Courant, I	Champ électrique, E Température, T Temps, t
Test	Intégrité de l'oxyde de grille	
Méthode	Courant forcé (injection de charges)	Polarisation constante
Température	25°C	De 175°C à 200°C
Résultats	Robustesse	Durée de vie
Conclusion	Destructif	Fiabilité

Tableau III-5 : Comparaison entre les tests de Q_{BD} et de HTGB.

IV. ANALYSE DE DONNEES « POST-PROCESSING »

Le « post-processing » est un terme qui définit l'ensemble des mesures et tests réalisés avant encapsulation du composant dans le module de puissance. Une première série de tests est réalisée au niveau de la plaquette et la seconde sur puces découpées lors de la mise en bobine. Ces résultats recueillis permettent de vérifier les paramètres clés qui définissent le composant. Néanmoins, des données « post-processing » conforment ne sont pas suffisantes pour garantir la fiabilité du composant dans l'application. Cette étape est validée par les campagnes d'essais de fiabilité.

La qualité des MOSFETs est vérifiée par l'intermédiaire de tests appliquant un stress à la puce et pouvant donc induire une défaillance. Le test vérifiant la fuite entre grille et source (I_{GSS}) appartient à

cette famille et nécessite de valider la tension de stress appliquée V_{GS} pour ne pas générer des défauts fragilisant le produit.

En outre, de nouvelles techniques informatiques ont été développées pour répondre à la demande de qualité et de fiabilité des composants microélectroniques dédiés aux applications électroniques automobiles. L'objectif est d'effectuer une analyse complète des données paramétriques obtenues à la puce afin de repérer les composants qui pourraient présenter des faiblesses dans l'application.

IV.1. Test paramétrique au niveau de la puce : « Gate stress »

Cette méthode électrique est l'approche conventionnelle pour discriminer les composants qui peuvent présenter un risque pour l'application et pour la fiabilité. Toutefois, ce test paramétrique n'est pas sans risque et peut endommager la fiabilité des MOSFETs. En effet, des instabilités au niveau de la tension de seuil mais la réduction de la mobilité des porteurs ont été observées [STOJ02]. Il est donc essentiel de maîtriser la tension de stress appliquée afin de trouver le meilleur compromis entre efficacité du test, rendement et impact sur la puce. En effet, ce test est non-destructif pour la population de puces dite « bonne ».

IV.1.1. Principe

Ce test consiste à appliquer une tension positive entre la grille et la source (V_{GS}), la source étant court-circuitée au drain et reliée à la masse. Son objectif est de mettre en évidence les composants présentant une fuite entre les électrodes de grille et de source ne leur permettant pas de fonctionner convenablement dans l'application. Ce test peut être plus ou moins discriminant selon la valeur de V_{GS} choisie. En effet, plus cette valeur est élevée, plus le stress subi par les MOSFETs sera important, ce qui entraînera une distinction d'autant plus importante au niveau des puces contribuant à une diminution du rendement.

Au-delà de l'impact sur le rendement, il est important de caractériser l'effet d'un stress de ce type au niveau de l'oxyde de grille. La tension V_{GS} appliquée à l'oxyde de grille de 60nm d'épaisseur produit un champ électrique à travers celui-ci, pouvant conduire à sa fragilisation en raison de la rupture des liaisons et du piégeage des charges à l'interface [MART96]. De plus, Stojadinovic *et al.* ont démontré les effets d'un stress en tension sur la modification de la tension de seuil ainsi que les modifications sur les pièges de charges dans l'oxyde et leur densité aux interfaces [STOJ03].

IV.1.2. Stress en tension

Le stress en tension est réalisé sur puce nue au niveau de la plaquette pendant 300ms et cela à 25°C. Une tension est appliquée entre la grille et la source et la valeur du courant entre ces deux électrodes est évaluée. Les limites de courant inférieure et supérieure admises sont respectivement de -10nA et de 10nA.

IV.2. Evaluation de l'impact du «gate stress» sur la fiabilité des MOSFETs

La littérature fait état de l'impact du stress en tension appliqué sur la grille sur les MOSFETs et de son impact sur les paramètres [STOJ03]. La valeur de la tension de stress V_{GS} doit être choisie précautionneusement puisque l'objectif du «gate stress» n'est pas de dégrader les puces testées mais de

révéler celles présentant un dysfonctionnement pour l'application. Par conséquent, une valeur de V_{GS} non-adaptée peut provoquer une injection tunnel conduisant à la fragilisation de l'oxyde de grille ainsi qu'à sa défaillance.

IV.2.1. Injection tunnel de type Fowler-Nordheim

IV.2.1.1. Principe

Dans le cas d'un oxyde épais, le phénomène de conduction est majoritairement caractérisé par une injection tunnel de type Fowler-Nordheim (FN) [JALA01, NGUY09].

La conduction tunnel FN permet une diminution de la hauteur de barrière vue par les porteurs de charges et permet une réduction de l'épaisseur effective de l'oxyde à traverser (figure III-15). Par conséquent, la probabilité des porteurs de franchir la barrière d'oxyde vers sa bande de conduction augmente considérablement et crée un courant d'injection qui est dépendant de la tension appliqué sur l'électrode de grille et donc du champ présent au niveau de l'oxyde. La barrière est alors de forme trapézoïdale et la distance à franchir pour les porteurs est inférieure à l'épaisseur d'oxyde initiale.

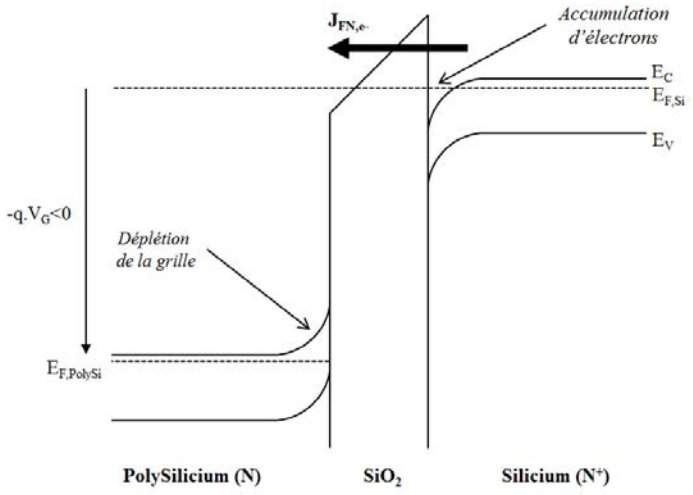


Figure III-15 : Diagramme des bandes énergétiques en régime d'accumulation et représentation du courant de conduction de type FN [HARA00].

La densité de courant FN augmente exponentiellement avec l'inverse du champ uniforme E_{OX} à travers l'oxyde comme le démontre l'équation II-1 [RAVI92]. Les coefficients A et B dépendent de la hauteur de barrière φ_B.

$$J_{FN} = AE_{OX}^{2}\, exp\left[-\frac{B}{E_{OX}}\right] \qquad \text{III-4}$$

Avec, $A = \frac{q^3}{16\pi^2\hbar\varphi_B}$ *exprimé en A.V*$^{-2}$ *et* $B = \frac{4}{3}\frac{\sqrt{2m_{OX}}}{q\hbar}(\varphi_B)^{\frac{3}{2}}$ *exprimé en V.cm*$^{-1}$ *; q, charge électronique de l'électron ;* m_{OX}*, masse des électrons dans l'oxyde ; ħ, constante de Planck réduite.*

IV.2.1.2. Cas des oxydes épais

Le composant étudié est constitué d'un oxyde de 60nm d'épaisseur que l'on peut donc qualifier d'épais. Ce type d'oxyde a été largement étudié dans la littérature tout comme la dégradation de structures de type MOS par une injection tunnel de type Fowler-Nordheim.

Lorsque des structures MOS à oxyde épais sont soumises à une injection par avalanche d'électrons chauds, deux types de phénomènes contribuent à la dégradation graduelle de l'oxyde. Le premier est la formation de pièges dans l'oxyde SiO_2 et le second est l'apparition d'une zone de charge d'espace à l'interface Si-SiO_2 qui est associée à la création d'états de surface [BALL87].

IV.2.1.3. Caractérisation

Cette caractérisation a pour objectif de déterminer le niveau de tension V_{GS} pour lequel une conduction FN commence à s'établir dans l'oxyde de grille du composant MOSFET à la température de 25°C. La mesure du courant d'injection est réalisée sur plaquette et directement au niveau de la puce de puissance avec un testeur HP4062, présenté au chapitre précédent. La valeur maximale du courant est fixée à 1mA afin de permettre la charge de la capacité de grille. Le principe consiste à appliquer une tension V_{GS} variant de 0 à 45V avec une tension V_{DS} nulle et de mesurer le courant qui s'établit entre la grille et la source (I_{GS}). Un délai de 50ms est appliqué entre chaque point de mesure. La caractéristique obtenue est présentée sur la figure III-16.

Ce graphe met en évidence qu'au-delà d'un V_{GS} de 42V, la limite supérieure de 10nA de fuite acceptée entre grille et source est atteinte. De ce fait, on peut d'ores et déjà éliminer des tensions de stress dépassant les 42V et qui produisent une fuite de l'oxyde déjà supérieure à celle attendue.

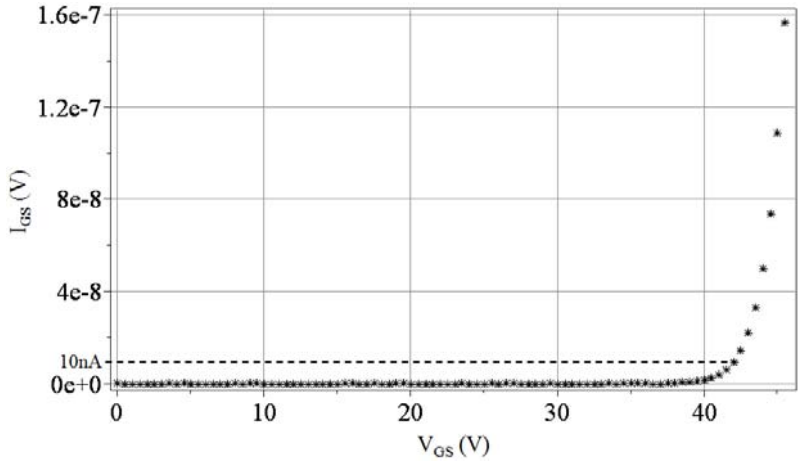


Figure III-16 : Caractéristique I_{GS} en fonction de V_{GS} pour un V_{DS} nul.

IV.2.1.4. Résultats

La figure précédente démontre que l'oxyde commence à conduire à partir d'une certaine valeur de V_{GS} située au-delà de 40V. Toutefois, pour établir qu'il s'agit bien d'une conduction tunnel FN il est primordial de vérifier que l'on a une relation linéaire entre le logarithme de J/E^2 ($\log(J/E^2)$) et l'inverse du champ électrique (1/E). En effet, la figure III-17 permet d'identifier la valeur du champ électrique (qui est

directement dépendant de la tension de grille V_{GS} appliquée) impliquant une conduction tunnel FN à travers l'oxyde de grille. Dans le cas du MOSFET étudié, celle-ci débute pour un champ électrique de 6.5MV/cm correspondant à une tension V_{GS} de 39V.

Cette caractérisation ne donne que la valeur de tension de grille pour laquelle une conduction tunnel FN commence à s'établir au niveau de l'oxyde. Il est alors intéressant d'évaluer la dégradation de l'oxyde de grille suite au stress en tension subi.

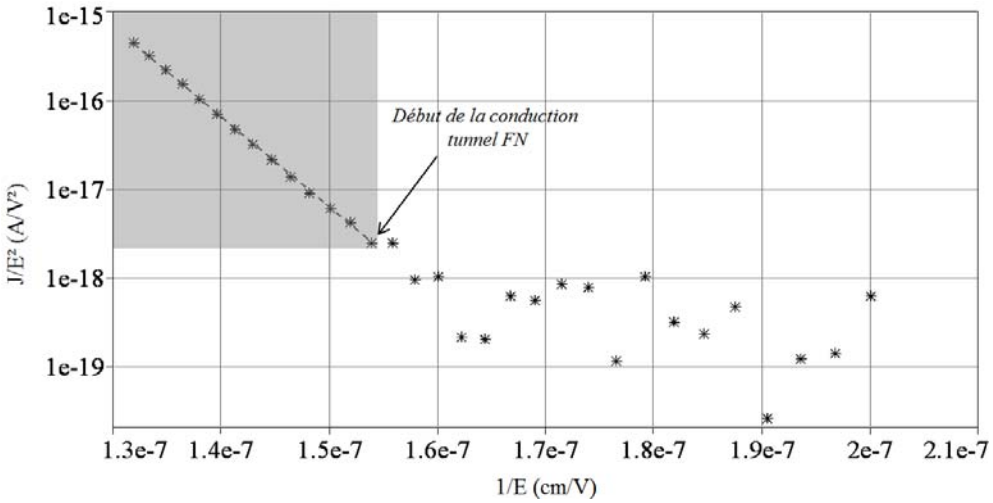


Figure III-17 : Identification de la conduction tunnel FN à travers l'oxyde de grille.

IV.2.1.5. Evaluation de l'impact du «gate stress» avec le Q_{BD}

IV.2.1.5.1. Objectifs

Le but de cette caractérisation est de trouver le meilleur compromis en efficacité de la valeur du «gate stress» et la dégradation subie par l'oxyde de grille. En d'autres termes, la population intrinsèque doit être le plus grande possible alors que les populations des puces présentant des fuites, la population extrinsèque et la population intermédiaire doivent être réduites.

IV.2.1.5.2. Résultats

Le test de Q_{BD} est adapté pour caractériser l'impact d'un «gate stress» sur la détérioration de la qualité de l'oxyde. L'objectif est d'évaluer, à travers le Q_{BD}, l'impact de diverses tensions de stress V_{GS}. Pour se faire la référence de 28V sera comparée aux populations ayant subi des stress de 36V, 40V et 44V. L'échantillon testé comporte 648 puces pour chaque tension de stress.

Dans un premier temps, les résultats sont représentés selon une statistique de Weibull (figure III-18) qui démontre que la tension de stress V_{GS} choisie joue un rôle important sur la robustesse du composant. En effet, le stress en tension de 28V, notre référence, ne révèle pas les puces les plus robustes en Q_{BD}. Cette valeur de tension n'est donc pas suffisante pour assurer la meilleure qualité des composants. Toutefois, appliquer un stress de 44V, valeur la plus importante dans la gamme testée, n'est pas obligatoirement la meilleure solution. A ce stade, une conclusion est inenvisageable quant à la valeur de

«gate stress» offrant le meilleur compromis entre qualité des puces fournies et efficacité par rapport au rendement.

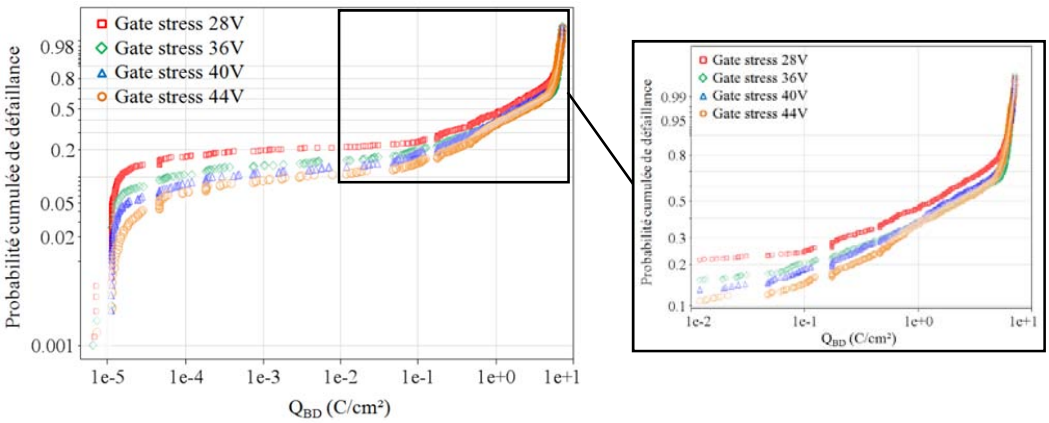


Figure III-18 : Distribution de Weibull du Q_{BD} pour différents «gate stress».

Une étude complémentaire doit donc être menée pour caractériser plus précisément les différentes populations mises en évidence par le test Q_{BD}. Ces résultats présentés sur la figure III-19 sont essentiels quant à la validation de la tension maximale V_{GS} à appliquer. En effet, l'objectif est de mettre en évidence la tension de stress la plus appropriée c'est-à-dire ne dégradant pas la qualité de l'oxyde de grille lors du test tout en garantissant des rendements suffisants.

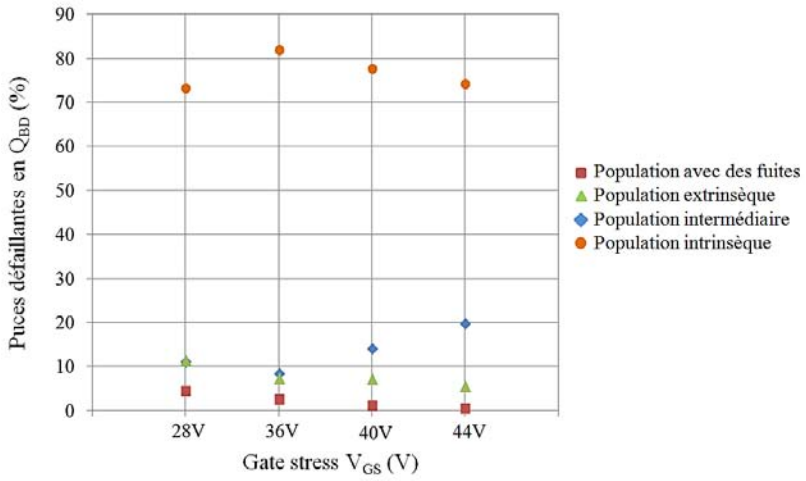


Figure III-19 : Populations définies pour le test de Q_{BD} en fonction de la tension V_{GS} appliquée.

Ces résultats démontrent que le meilleur compromis correspond à une tension V_{GS} inférieure à 36V car celle-ci permet de réduire le nombre de puces présentant des fuites ainsi que les défaillances extrinsèques et intermédiaires. De plus, la défaillance de la population intrinsèque augmente au-delà des 80%. Cette analyse complémentaire de la distribution de Q_{BD} selon la statistique de Weibull démontre l'intérêt de croiser les techniques d'exploitation des résultats pour définir la tension de stress la plus adaptée lors de la mesure de la fuite entre les électrodes de grille et de source.

IV.2.2. Conclusion

Un «gate stress» inférieur à 36V est la solution la plus satisfaisante car, pour une tension V_{GS} de cette valeur, la conduction tunnel FN à travers l'oxyde n'a pas débuté ce qui permet de ne pas fragiliser le composant contrairement aux tensions plus fortes. En outre, le rendement n'est pas dégradé du fait que le nombre de puces présentant des fuites diminue et la qualité des puces est clairement améliorée puisque la défaillance de la population intrinsèque est supérieure à 80%.

Le test de Q_{BD} a permis de caractériser l'impact que la tension de stress V_{GS} pouvait avoir sur la robustesse des puces. En effet, une tension trop importante permet une injection tunnel à travers l'oxyde fragilisant le MOSFET.

La mise en place d'un «gate stress» inférieur à 36V est une première solution validée pour participer à l'amélioration de la qualité des MOSFETs délivrés car elle garantit une meilleure discrimination des puces sans pour autant les fragiliser. La valeur de 36V n'a pas été retenue car le test du Q_{BD} révèle une population de puces présentant une tension de claquage de l'ordre de 36V. Afin de préserver cette population d'une défaillance prématurée, la tension de stress choisie sera égale à 28V.

IV.3. Méthode d'analyse de données

Les tests électriques réalisés sur la puce permettent d'identifier les composants présentant des faiblesses qui peuvent être responsables de la perte de fonctionnalité. Toutefois, actuellement de nouvelles méthodes basées sur des algorithmes statistiques des données recueillis « in-process » ou lors des tests paramétriques permettent de réaliser de nouvelles analyses pouvant mettre en évidence des puces hors distributions qui seront qualifiées de marginales. L'intérêt est d'évaluer le risque qu'elles peuvent présenter dans l'application automobile finale.

Une méthode semblable a déjà été proposée par Wagner *et al*. avec l'objectif de développer un outil utile dans la maîtrise du taux de défaillance dans les applications électroniques automobiles [WAGN06]. Elle se base sur l'analyse de la moyenne d'une distribution afin de mettre en évidence les puces qui se trouvent dans les limites de la spécification mais hors de la distribution, c'est-à-dire qu'elles présentent une marginalité. Cette solution doit toutefois être utilisée avec précaution car elle peut dégrader le rendement de manière importante sans justification.

IV.3.1. Méthode développée avec Streetwise Engineering™

Le logiciel utilisé a été développé par la société Kynesis Test Advantage et fourni par la société Ceitecs dans le cadre de l'ANR MOS iStARS. Son objectif premier est d'analyser les données recueillies lors de mesures réalisées au cours du procédé de fabrication des MOSFETs, ainsi que les données électriques mesurées pour chaque puce.

IV.3.1.1. Le logiciel

Streetwise Engineering est un logiciel avancé d'analyse statistique de données « post-processing » dédiés à l'industrie du semiconducteur dont l'objectif est de contribuer à délivrer des produits de grande qualité. En effet, les analyses multi-flux permettent de développer des méthodologies s'inscrivant dans la démarche d'amélioration de qualité des composants.

Une liste non exhaustive des principales analyses présentant un atout pour la technologie étudiée dans ce mémoire sont présentées. Ce logiciel d'analyse « post-processing » permet d'analyser les données recueillies au niveau de la puce afin de les analyser statistiquement. L'objectif est de mettre en évidence des puces marginales c'est-à-dire dont les caractéristiques restent positionnées dans les limites de tests définies mais situées hors de la distribution. Ce type de puces peut en effet révéler une faiblesse potentielle dans l'application.

Un autre aspect important concerne la traçabilité des puces jusqu'au module. En effet, il est important de conserver les données propres à chaque puce pour remonter à la cause d'une défaillance éventuelle dans l'application.

IV.3.1.2. Le principe et les objectifs

Le fonctionnement de Streetwise Engineering est basé sur l'écriture de recettes permettant l'identification individuelle de composants pouvant présenter des risques potentiels pour l'application. Divers types d'analyses sont mises à disposition pour évaluer les mesures effectuées sur la puce.

Dans un premier temps, il y a le test paramétrique permettant de repérer les donnée aberrantes, c'est à dire les puces qui se trouvent dans les limites de test, mais en dehors de la distribution de la plaquette. Il existe, ensuite, l'analyse de régression dont l'objectif est de corréler des résultats donnés par deux tests différents, pour définir les composants situés en dehors de la distribution au niveau de la plaquette. L'analyse de dérive permet quant à elle de repérer une puce présentant une instabilité par rapport à une différence réalisée entre deux tests identiques mais à des températures différentes, par exemple.

IV.3.2. Des données au niveau de la puce

IV.3.2.1. Données recueillies

Les données recueillies sont principalement des résultats électriques au niveau de la puce à température ambiante ainsi qu'à 130°C. Ensuite, les puces sont découpées et testées par le KGD (« Known Good Die ») à température ambiante avant d'être conditionnées pour l'envoi au client. Nous avons donc à notre disposition trois catégories de fichiers pour effectuer les analyses.

IV.3.2.2. Analyses

IV.3.2.2.1. Exemple de résultats initiaux

Il est intéressant de considérer la cartographie sur plaquette de paramètres tels que le BV_{DSS} mesuré à 250µA. On constate clairement une distribution en couronne de ce paramètre : la valeur de BV_{DSS} diminue lorsqu'on s'éloigne du centre de la plaquette.

Ce résultat ne relate pas une non maîtrise du procédé de fabrication mais une dispersion inhérente résultant d'une non-uniformité de la croissance de l'épitaxie au niveau de la plaquette. Cette dispersion se retranscrit essentiellement au niveau de la valeur du BV_{DSS} qui présente une dispersion maximale de 700mV sur l'exemple de la figure III-20. Cette dispersion du BV_{DSS} reste tout à fait acceptable car parfaitement contenue dans les limites de test fixées à 24V pour la limite inférieure et à 26V pour la limite supérieure (repérées en rouge sur la figure III-20).

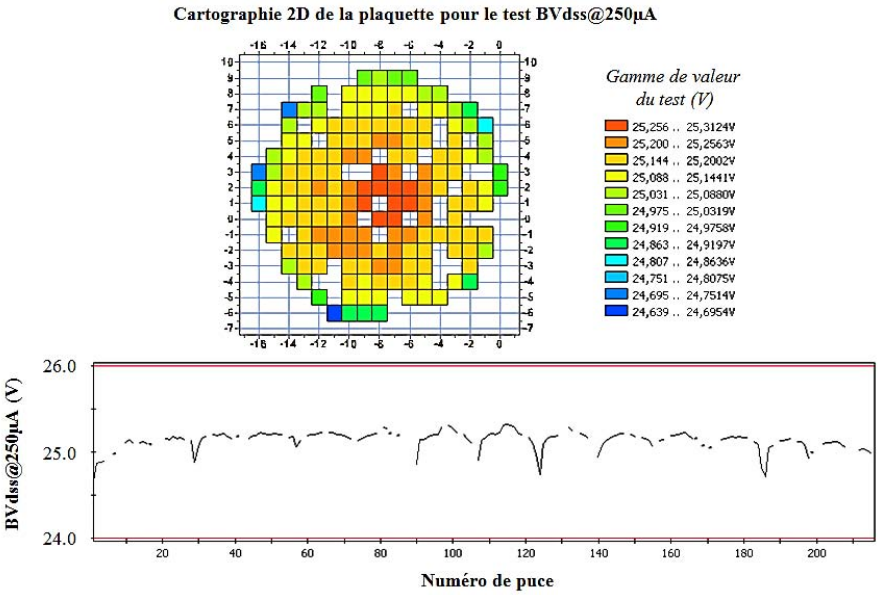


Figure III-20 : Exemple de dispersion sur la plaquette du BV_{DSS} à 250µA à 25°C.

Cette variabilité inhérente à une étape de fabrication n'est en aucun cas un problème pour la qualité des MOSFETs de puissance. Toutefois, en plus de la maîtrise du procédé, il est nécessaire d'implémenter des méthodes complémentaires pour garantir une dispersion maximale au lot pour le paramètre BV_{DSS}, principalement pour limiter les déséquilibres lors de l'appariement des composants dans l'application. La première méthode consiste à utiliser une analyse statistique permettant un fenêtrage du BV_{DSS} c'est-à-dire que cette méthode garantit au lot une dispersion maximale de 1,3V. La seconde méthode consiste à classer les puces lors de leur découpage en deux classes (de 24V à 25V ainsi que de 25,01V à 26V).

Cet exemple d'analyse permet de constater les variabilités présentes au niveau de la plaquette pour un paramètre clé tel que le BV_{DSS} et de décrire succinctement les méthodes mises en place pour garantir la qualité des composants délivrés.

IV.3.2.2.2. Exemple de repérage de puces marginales

Chaque test électrique défini est caractérisé par des limites qui permettent de distinguer les puces ne présentant aucune dérive, de celles pouvant présenter un risque potentiel pour l'application. Ces dernières sont alors écartées. Toutefois, le procédé de fabrication des MOSFETs de puissance peut générer des puces qui se trouvent hors de la distribution et qui sont qualifiées de marginales. Ainsi, si on considère les limites interquartiles (msn0 et msp0), on constate qu'une puce est repérée comme hors distribution. En effet, la valeur de la fuite grille-source est deux fois plus élevée que sur le reste de la plaquette. Toutefois, la valeur du paramètre I_{GSS} est contenue dans les limites de test fixées à -10nA et 10nA (figure III-21).

Ce type d'analyse doit être mené sur un échantillon suffisant pour être validé et implémenté de manière systématique au niveau de la production. L'objectif était de présenter la méthode statistique et le développement des recettes associées permettant de réaliser l'analyse.

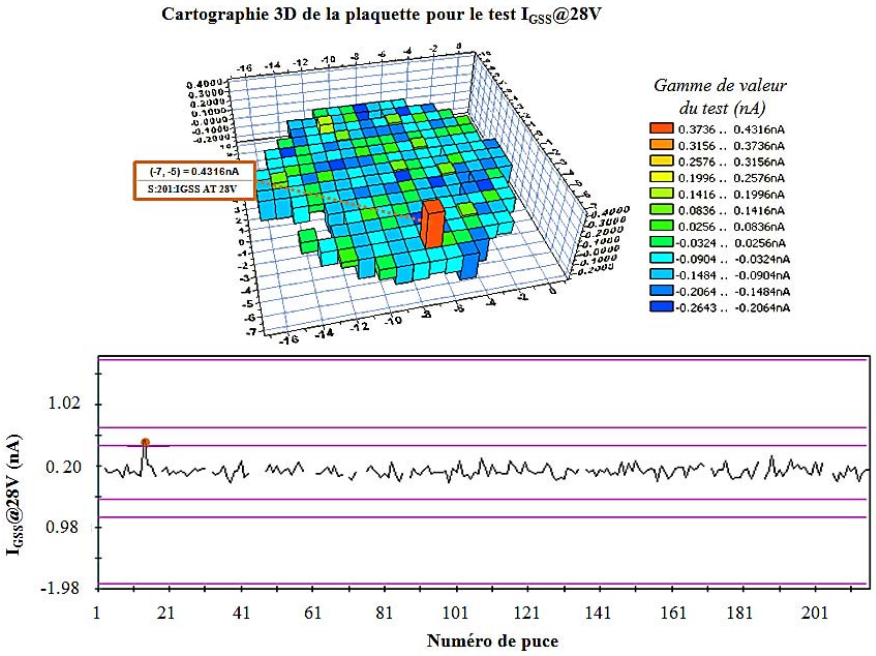


Figure III-21 : Mise en évidence d'une puce marginale pour le test I_{GSS} réalisé à 28V et pour 25°C.

IV.3.2.2.3. Exemple d'analyse de dérive

Les tests électriques réalisés à 25°C et 130°C peuvent être corrélés en réalisant une analyse de type dérive (connue sous le nom d'analyse de « drift »). L'exemple choisi est présenté sur la figure III-22 concerne le BV_{DSS}.

L'objectif est de déterminer l'augmentation moyenne de la valeur du BV_{DSS} avec la température en considérant l'évolution de la différence de BV_{DSS} entre 130°C et 25°C. La tendance générale démontre une périodicité de l'évolution du paramètre de dérive ΔBV_{DSS} sur la plaquette. On constate que le différentiel est plus important sur la gauche du méplat (situé en bas) que sur la droite. Dans le cas de cet exemple, la valeur maximale du paramètre de dérive est de 78mV.

Ces résultats ne nous informent pas de problèmes particuliers au niveau du procédé de fabrication mais qu'il existe une légère marge d'erreur sur la valeur des paramètres qu'il est essentiel de considérer lors de la définition des limites de tests. En effet, ces limites doivent assurer de fournir des composants fonctionnels, tout en garantissant un certain rendement. En outre, il a été mis en évidence que le BV_{DSS} à 10mA augmente de l'ordre de 18mV par degré Celsius.

Par conséquent, cette analyse de dérive avec des limites de 1,9V et de 2,076V met en évidence dix puces qui présentent un paramètre de dérive supérieur aux valeurs attendues. Ce résultat est une indication qu'il pourrait être intéressant de considérer. En effet, la loi de l'évolution du BV_{DSS} en température est fixe et cette analyse statistique de dérive pourrait être un compromis intéressant pour valider l'intégrité de la technologie.

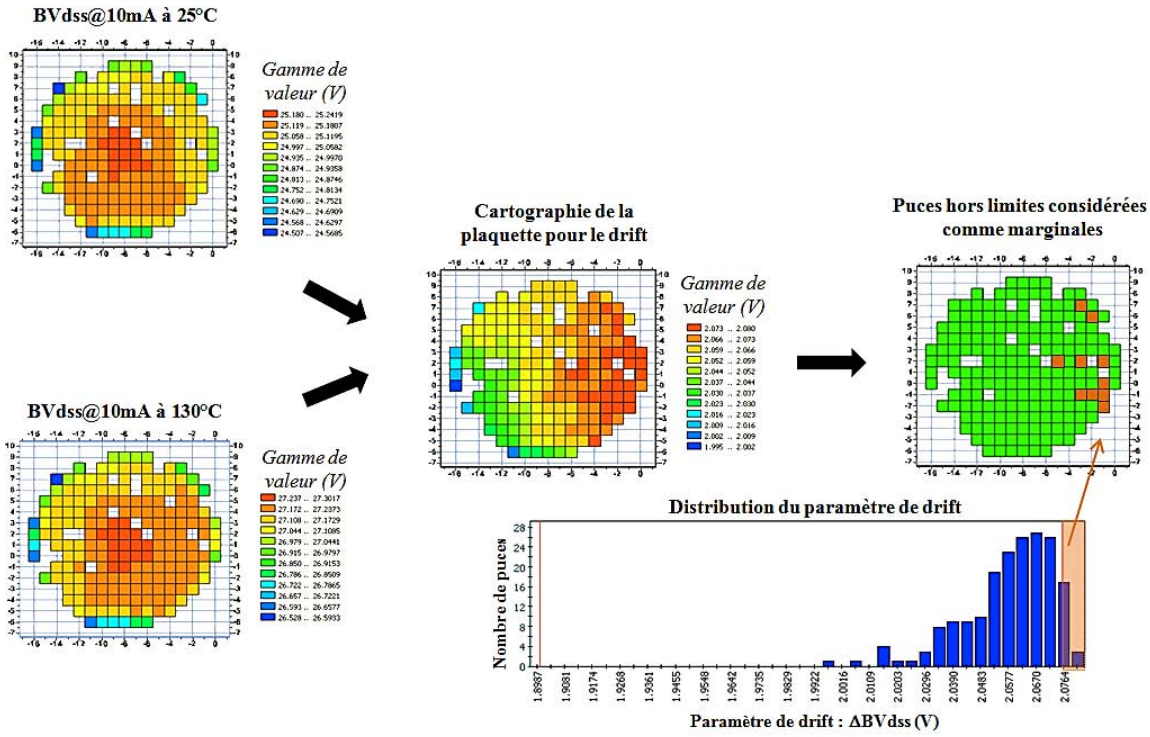


Figure III-22 : Cartographie de la différence sur les valeurs de BV_{DSS} à l'ambiant et à 130°C.

IV.3.2.2.4. Exemple d'analyse de régression

Deux mesures de fuite entre drain et source sont réalisées à 20V et à BV_{DSS}-1V au niveau du KGD. Il est donc intéressant d'effectuer une analyse de régression entre ces tests afin de mettre en évidence des puces marginales.

La méthode utilisée est commune en statistique, il s'agit de la méthode des moindres carrés (OLS) avec des limites de contrôle repérées en bleu sur la figure III-23 définies telle que :

- La limite inférieure, LCL, correspondant à la valeur inférieure de l'intervalle de confiance par rapport à la moyenne prédite.
- La limite supérieure, UCL, correspondant à la valeur supérieure de l'intervalle de confiance par rapport à la moyenne prédite.

On obtient un coefficient de régression de l'ordre de 0,8 ce qui traduit une corrélation entre les deux tests choisis. Cette analyse permet de vérifier que deux tests de même type sont effectivement corrélés et que deux puces sont identifiées comme marginales dans la régression linéaire. Une étude plus poussée devrait être réalisée pour valider l'implémentation de cette analyse en production.

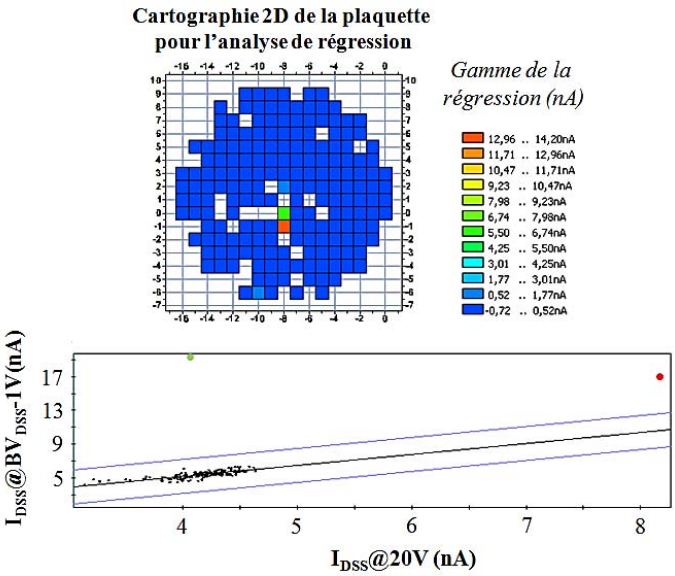


Figure III-23 : Localisation de puces marginales pour une régression entre les tests I_{DSS} à BV_{DSS}-1V et I_{DSS} à 20V.

IV.3.2.3. Conclusion

Ces exemples permettent de comprendre l'intérêt des analyses statistiques « post-processing » afin d'étudier plus précisément les paramètres mesurés. En effet, elles présentent des résultats qui ne tiennent pas seulement compte de la valeur statique d'une mesure mais qui recherchent des corrélations entre tests ainsi qu'entre des facteurs tels que la température. Cette méthode est ici étudiée à titre de développement et mériterait d'être poursuivie pour étudier les analyses qui pourraient être ajoutées afin d'effectuer un tri supplémentaire et donc plus sévère sur la qualité des puces délivrées. Cela engendrerait une diminution du rendement et il est donc primordial d'évaluer le risque réel représenté par ces puces pour l'application elle-même.

IV.3.3. La traçabilité du module de puissance à la puce

IV.3.3.1. Description de la méthode

Cette partie sera détaillée succinctement car étant sous le couvert d'une publication défensive[iv] entre les principaux partenaires du projet MOS iStARS. Cette méthodologie de traçabilité du module à la puce est une première pour les composants discrets. L'objectif est d'assurer une traçabilité totale depuis la puce au niveau de la plaquette (lot, numéro de plaquette, coordonnées sur la plaquette) jusqu'au module monté dans le véhicule (véhicule, numéro de module, position de la puce) ; cela inclut donc que chaque puce est aussi associée à un fichier de données qui résument tous les résultats des tests électriques effectués. La traçabilité est donc un atout majeur dans l'amélioration de la qualité des composants étudiés.

[iv] Une publication défensive a été rédigée pour protéger la paternité de la méthode de traçabilité de la puce de puissance au module intégré dans le véhicule car non brevetable en l'état.

La mise en place de la traçabilité pour chaque puce a demandé un travail conjoint entre Freescale Semiconductor Toulouse et Valeo pour définir les méthodes d'identification des puces et faire en sorte que la continuité soit établie au moment où la puce est mise en place dans le module de puissance.

L'objectif est de pouvoir, dans le cas d'un rejet à un test réalisé en module ou dans le cas d'une défaillance dans l'application, être capable d'identifier les puces responsables et de comprendre la cause de la défaillance afin d'apporter les actions correctives éventuelles le plus rapidement possible. Une volonté de réactivité est aussi sous-entendue car l'arrêt de la production n'est pas envisageable pour le client.

Pour illustrer l'intérêt de la traçabilité, deux exemples ont été choisis : ils démontrent son efficacité dans la compréhension de défaillances et dans les solutions apportées.

IV.3.3.2. Exemple de son intérêt avec le test I_{DSS} à BV_{DSS}-1V

IV.3.3.2.1. Contexte

Le test nommé I_{DSS} à BV_{DSS}-1V consiste à mesurer le courant de fuite entre drain et source à la valeur spécifique de tension égale à BV_{DSS}-1V. Ce test n'est pas réalisé par hasard à cette tension particulière car il a pour objectif de révéler les courbes n'ayant pas un coude d'avalanche parfaitement franc comme le montre la figure III-24.

En effet, l'exemple ci-dessous permet de constater une différence dans l'établissement du BV_{DSS} sur deux composants. Ainsi, la mesure de I_{DSS} à BV_{DSS}-1V permet d'identifier les courbes de BV_{DSS} ne présentant pas un établissement franc et ainsi de les écarter des puces délivrées.

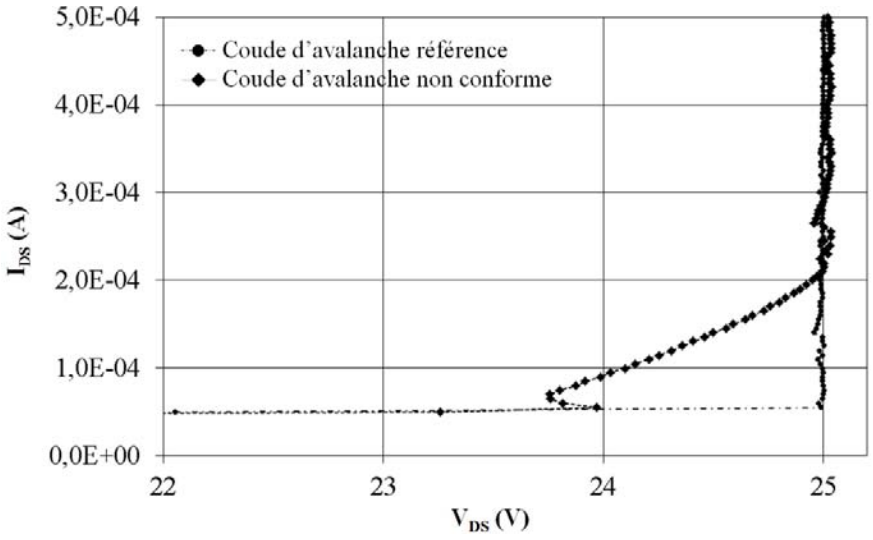


Figure III-24 : Etablissement du coude d'avalanche.

Ce test a été mis en place au niveau du module et a permis d'identifier ceux qui posent problème. En module, ce test est systématiquement réalisé avec deux puces montées en parallèle et la limite de la valeur du courant de fuite dans le cadre de test a été fixée à 50nA. Toutefois, si le test des modules de puissance a révélé des rejets au niveau de puces testées cela peut résulter d'une limite trop large lors des

tests réalisés au niveau de la puce nue. Il semble donc essentiel d'effectuer une analyse plus poussée sur les rejets révélés par le test I_{DSS} à BV_{DSS}-1V au niveau du module de puissance.

IV.3.3.2.2. Analyse

Dans ce contexte, la traçabilité prend alors tout son sens puisque l'objectif est d'identifier les puces rejetées pour le test I_{DSS} à BV_{DSS}-1V dans le module. Ainsi, l'identification du lot, de la plaquette et de la position des puces grâce à la traçabilité permet de révéler que l'une des puces se situe hors distribution par rapport à la plaquette (figure III-25). Ce résultat tendrait à démontrer que la limite au niveau du silicium n'est pas assez sévère puisque cette puce a été rejetée par le test au niveau du module.

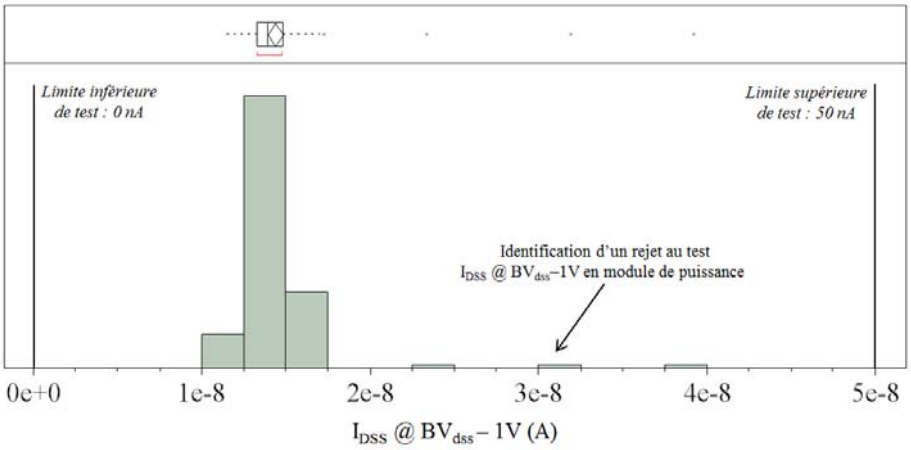


Figure III-25 : Distribution des valeurs de courant pour le test I_{DSS} à BV_{DSS}-1V.

Il est donc important de réduire la limite haute de ce test afin de le rendre plus sévère et ainsi limiter les rejets en module. En effet, la limite a été fixée à 50nA pour la puce nue mais cette valeur n'est pas adaptée car trop importante par rapport à celle fixée pour le test en module. En effet, cette limite est de 50nA pour deux puces en parallèle pour permettre une corrélation avec les mesures au niveau silicium la limite devrait être abaissée à 25nA.

IV.3.3.2.3. Impact du changement de limite du test

La modification de la limite haute du test I_{DSS} à BV_{DSS}-1V n'est pas sans conséquence sur le rendement. Il est donc nécessaire d'effectuer une étude sur un échantillon de puces suffisant pour évaluer l'impact de ce changement. Deux études menées sur plus de 60000 puces ont permis d'établir que le fait de modifier la limite haute du test I_{DSS} à BV_{DSS}-1V de 50nA à 25nA diminuait en moyenne les rendements de 0,18%. Cette proportion a été jugée négligeable ce qui a permis l'implémentation de cette nouvelle limite.

La mise en place de ce test avec des limites équivalentes à celles choisies pour le module de puissance permet de garantir la cohérence des résultats entre puces et modules mais également une meilleure corrélation.

En outre, un DPAT[v] (pour « Dynamic Part Average Test ») à 6σ a été implémenté dans le cas du test I_{DSS} à BV_{DSS}-1V réalisé au niveau de la puce afin de repérer et de ne pas délivrer les puces présentant une marginalité par rapport à la distribution de chaque plaquette. Cet outil statistique est un maillon supplémentaire dans la chaîne qui vise à garantir des composants fiables et robustes.

IV.3.3.2.4. Conclusion

Dans le cas de cet exemple concret de limites de test non corrélées entre la puce nue et le module de puissance, l'intérêt de la traçabilité a été démontré. En effet, des rejets mis en évidence au niveau du module de puissance pour le test I_{DSS} à BV_{DSS}-1V ont ensuite été identifiés par l'intermédiaire de l'outil de traçabilité. La connaissance du numéro de lot, de plaquette et de coordonnées de ces puces a démontré que la limite mise en place pour ce même test au niveau de la puce, n'était pas assez sévère pour garantir la qualité dans l'application. Ainsi, cette limite a été abaissée sans affecter significativement le rendement et tout en assurant une meilleure corrélation entre les tests à la puce et les tests au niveau du module de puissance.

IV.3.3.3. Exemple de son intérêt dans l'identification de la cause de la dérive du paramètre R_{DSon}

IV.3.3.3.1. Contexte

Sur une période limitée dans le temps, une dérive du paramètre R_{DSon} a été observée. En effet, sa valeur a augmenté de 1mΩ à plus de 2mΩ. Suite à cette crise, la traçabilité a été mise à contribution pour comprendre la cause de la défaillance et ainsi mettre en place des actions correctives si le procédé de fabrication est incriminé.

L'augmentation de ce paramètre sur certaines des puces de l'application, qui sont montées en parallèle, peut entraîner un problème d'auto-échauffement important et contribuer à la défaillance prématurée du module.

Toutefois, la mesure de R_{DSon} n'est pas possible sur puce nue lors des tests électriques standards et ce paramètre n'est donc mesuré que lorsque les MOSFETs sont assemblés en module de puissance car une gamme de courant de l'ordre de la centaine d'ampères est nécessaire pour obtenir des mesures représentatives. Ceci explique pourquoi la dérive n'a pas pu être décelée plus tôt.

IV.3.3.3.2. Analyse et détermination de la cause de la défaillance

Lorsque les puces incriminées sont identifiées, il est important de les localiser sur les plaquettes pour identifier si elles sont réparties ou non de façon aléatoire. Toutefois, la mesure du R_{DSon} qui correspond à la résistance entre drain et source à l'état passant n'est pas effectuée sur puce nue compte tenue de la difficulté. Un test permettant de vérifier la continuité du courant entre drain et source est cependant réalisé et permet d'évaluer la résistance entre drain et source pour un faible courant. Les puces présentant des valeurs de R_{DSon} importante sont localisées sur les plaquettes identifiées et la cartographie issue du test de continuité drain-source est présentée sur la figure III-26. On remarque que la zone des

[v] Le « Dynamic Part Average Testing » est un algorithme répandu dans l'industrie du semiconducteur pour détecter les puces atypiques c'est-à-dire dont la valeur d'un paramètre spécifique se situe à l'extérieur des limites statistiques définies pour la distribution dont il fait partie ; dans le cas de l'exemple choisi la limite est fixée à 6 sigma.

plaquettes d'où sont issues les puces avec un R_{DSon} important proviennent d'une zone identifiée en rouge pour laquelle la résistance drain-source est aussi plus importante.

Ces résultats préliminaires démontrent que la variation du paramètre R_{DSon} en plus d'être limité dans le temps est également limitée à une zone précise de la plaquette. En outre, les plaquettes identifiées sont systématiquement issues de lots différents. Tout ceci démontre la difficulté dans l'identification de la cause de la défaillance.

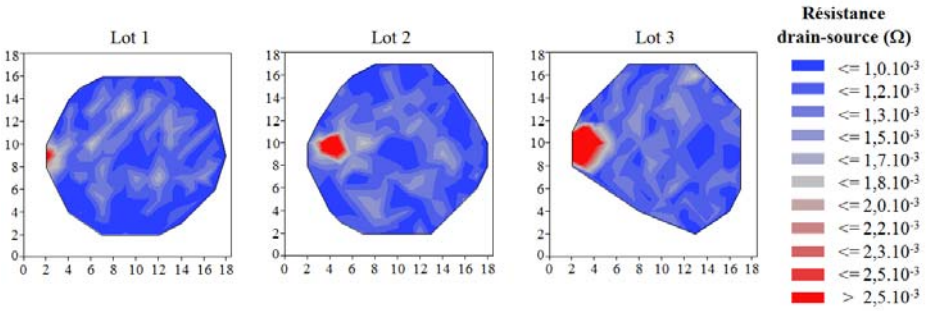


Figure III-26 : Variation de la résistance drain-source pour le MOSFET nu.

Un outil de recherche de corrélation (aussi appelé outil de commonalité) développé par Freescale Toulouse Fab' permet d'identifier l'étape du procédé de fabrication responsable et donc l'appareil incriminé. Cette analyse nécessite des lots ayant présentés le problème de R_{DSon} ainsi que des lots considérés comme bons afin de garantir la validité des résultats. Ainsi, l'étape de gravure de l'espaceur est identifiée comme étant liée à l'augmentation de la valeur de R_{DSon} et un appareil de gravure en particulier.

Suite à ces résultats une analyse de défaillance a permis de mettre en évidence un problème lié à la surgravure au niveau de l'espaceur. Dans le cas, d'une cellule référence (figure III-27-a), une surgravure du silicium indiquée par une flèche noire est réalisée au niveau de l'espaceur afin d'assurer que l'oxyde soit parfaitement retiré. La cellule identifiée comme responsable de l'augmentation du R_{DSon} de la puce démontre qu'il n'y a aucune surgravure à cette étape (figure III-27-b).

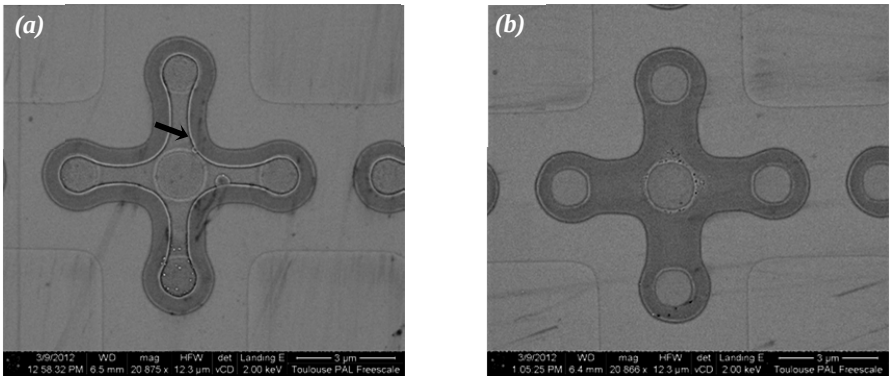


Figure III-27 : Comparaison d'une cellule référence avec la surgravure de l'espaceur repérée par une flèche noire (a) et d'une cellule (b) appartenant à une puce avec un R_{DSon} élevé.

IV.3.3.3.3. Action corrective au niveau du procédé

L'objectif est de mettre en place sur un certain nombre de points de la plaquette une mesure in-situ afin de garantir la surgravure effectuée lors de l'étape de gravure de l'espaceur par mesure différentielle entre le silicium initial sous l'espaceur et le silicium ayant subi l'étape de gravure (figure III-28). Cette solution est en cours d'implémentation et de validation ne sera donc pas développée dans ce mémoire.

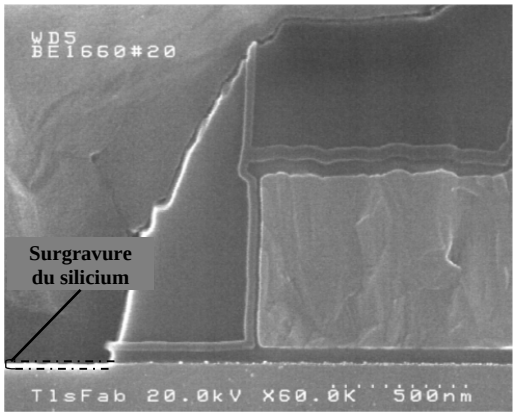


Figure III-28 : Mise en évidence de la surgravure du silicium lord de la gravure de l'espaceur.

IV.3.3.3.4. Conclusion

La dérive d'un paramètre tel que le R_{DSon} peut avoir des conséquences importantes sur l'application automobile finale. Il est donc primordial de garantir la stabilité de ce paramètre. En effet, l'augmentation du R_{DSon} entraîne un auto-échauffement du composant plus important lors de son utilisation pouvant conduire à une défaillance prématurée.

Dans ce second exemple, la traçabilité s'est avérée essentielle pour identifier les puces affectées par l'augmentation de leur R_{DSon}. Ensuite, une analyse de commonalité a permis d'identifier l'appareil incriminé et donc l'étape du procédé. Cette démarche n'est pas aisée à développer car seules quelques puces par lots étaient touchées. L'étape de gravure de l'espaceur a été identifiée comme responsable de l'augmentation du R_{DSon} et plus précisément une gravure non conforme de l'espaceur.

V. CONCLUSION

La fiabilité des MOSFETs de puissance est systématiquement évaluée par des campagnes de tests longues mais nécessaires dans la qualification pour des applications automobiles. Afin de limiter le nombre d'essais de fiabilité, un test électrique réalisé sur la puce a été mis en place pour évaluer précisément les modifications de procédé envisagées, dans l'objectif d'atteindre la technologie la plus fiable possible. Le test Q_{BD} appliqué au niveau du MOSFET est un bon indicateur de la qualité des composants et est corrélé avec les résultats du test de fiabilité HTGB. Cependant, le test Q_{BD} qui est destructif ne peut pas se substituer à la campagne de fiabilité standard incontournable dans la qualification du composant.

Cette première étape n'est pas suffisante pour garantir la maîtrise de la fiabilité du MOSFET de puissance. Ainsi, des tests électriques réalisés au niveau de la puce avant son utilisation dans l'application sont prévus pour garantir la qualité du composant. Toutefois, la maîtrise de ces tests et notamment de la mesure du courant de fuite entre grille et source est importante. En effet, une valeur trop importante de la tension de stress appliquée sur la grille peut entraîner le contraire de l'effet escompté en dégradant la robustesse du composant. La mise en place du test de Q_{BD} pour évaluer l'effet du stress en tension appliquée sur la grille a permis d'identifier le meilleur compromis entre identification des pièces présentant des faiblesses et dégradations de la robustesse du composant par injection tunnel Fowler-Nordheim.

Enfin, une dernière étape dans la maîtrise de la fiabilité des MOSFETs de puissance consiste à analyser des données « post-processing » au niveau de la puce. Le premier aspect abordé est basé sur un logiciel mettant en place une analyse des paramètres électriques recueillis lors des tests afin de déceler et localiser les composants atypiques dans la distribution statistique. Ensuite, l'intérêt de la mise en place d'une traçabilité du module à la puce a été démontré. En effet, cette méthode de suivi a permis d'identifier la cause de la défaillance responsable de l'augmentation de R_{DSon} et de mettre en place l'action corrective garantissant la maîtrise du procédé de fabrication.

Chapitre IV. Optimisation du procédé de fabrication pour améliorer la fiabilité des MOSFETs de puissance

I. INTRODUCTION

Le chapitre précédent a présenté les techniques d'analyses « post-processing» développées pour évaluer la qualité des MOSFETs de puissance et garantir la fiabilité des composants délivrés. Cette procédure est relativement classique dans sa démarche puisque les principaux paramètres électriques sont évalués sur ce type de technologie. Le fait de réaliser une analyse statistique à partir des paramètres électriques des puces et de mettre en place une traçabilité du module à la puce constitue une démarche innovante. Ainsi, la réalisation de tests électriques « post-processing » classiques est insuffisante pour garantir la production de composants garantissant le « zéro défaut ». En effet, une étape d'optimisation du procédé de fabrication est obligatoire pour satisfaire les exigences de fiabilité.

Ce chapitre présente l'optimisation du procédé de fabrication pour l'amélioration de la robustesse des MOSFETs, par le biais de la compréhension des phénomènes amenant aux rejets lors des campagnes de test de fiabilité. Dans un premier temps, l'identification des étapes technologiques critiques est primordiale afin de définir les actions correctives qui doivent être mises en place. Ensuite, une étape d'évaluation des effets des modifications apportées par l'intermédiaire de caractérisations (électriques et physiques) est prévue. Enfin, des essais de fiabilité viendront confirmer définitivement l'amélioration de la qualité des composants.

II. ETAPES CRITIQUES DU PROCEDE A L'ORIGINE DE REJETS DE FIABILITE

II.1. Rejets de fiabilité

Les seuls rejets de fiabilité liés au silicium ont été mis en évidence pour le test HTGB et sont caractérisés par une fuite qui survient entre les électrodes de grille et de source. Les analyses physiques ont révélé plusieurs types de défaillances. Ainsi, deux étapes du procédé de fabrication ont été identifiées comme potentiellement critiques pour la fiabilité du MOSFET. Par conséquent, une attention particulière est portée sur la compréhension des mécanismes de défaillance ainsi que sur les actions correctives pouvant être réalisées. En effet, l'importance de la qualité de l'espaceur dans la robustesse des MOSFETs sera révélée par le test de fiabilité HTGB, tout comme la qualité de l'oxyde de grille.

II.2. Identification des étapes critiques

II.2.1. Espaceur

II.2.1.1. Analyse de défaillance

Une analyse de défaillance met en évidence une déformation au niveau de l'espaceur ainsi que de la matière extrudée à sa base comme le montre l'image réalisée au microscope au balayage dans la cellule repérée comme responsable de rejets pour le test de fiabilité HTGB (figure IV-1).

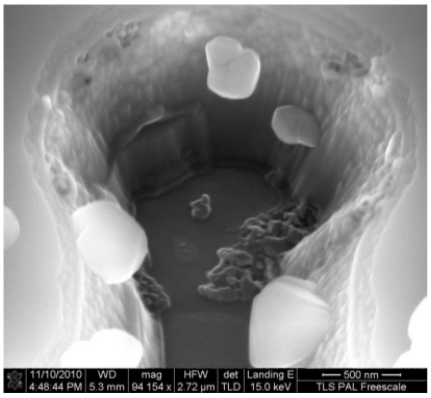


Figure IV-1 : Image SEM des résidus de polysilicium présents au niveau de l'espaceur engendrant un rejet de fiabilité en HTGB – Courtoisie du laboratoire d'analyses de défaillances de Freescale.

L'observation au microscope en transmission révèle effectivement un défaut au niveau de l'espaceur entraînant un dépôt de nitrure non-conforme. Le corps étranger présent au niveau de l'espaceur est identifié comme du carbone par une analyse EDX (figure IV-2).

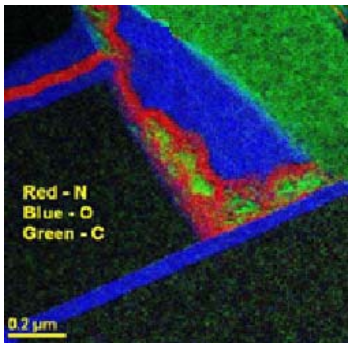


Figure IV-2 : Image TEM de l'espaceur mettant en évidence des résidus de carbone (repérés en vert) au niveau du nitrure (en rouge) – Courtoisie du laboratoire d'analyses de défaillances de Freescale.

Les étapes précédant la gravure de l'espaceur utilisent un plot de résine pour réaliser l'implantation N^+ et qui est ensuite retiré. Cette étape, mettant en jeu de la résine, est suspectée d'être à l'origine de la présence de chaînes carbonées dans l'espaceur. En effet, une inspection à l'étape avec un microscope à balayage révèle des résidus de résine malgré le nettoyage effectué (figure IV-3).

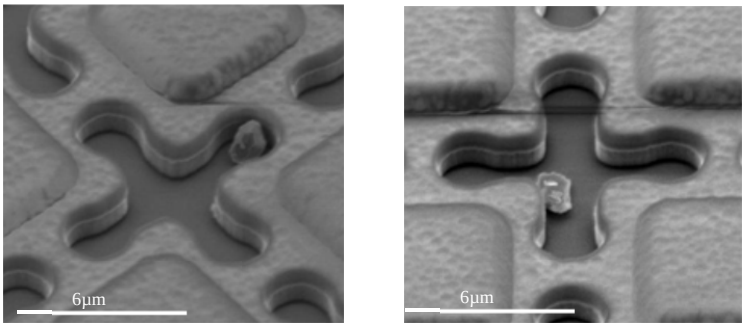


Figure IV-3 : Identification au microscope électronique à balayage de résidus de résine avant le dépôt de nitrure de l'espaceur.

II.2.1.2. Conclusion

Ces analyses mettent en évidence l'impact d'un résidu de carbone résultant d'un retrait non efficace de résine. La structure d'une cellule est alors modifiée et sa faiblesse est révélée lors du test de fiabilité HTGB. Par conséquent, la priorité doit être portée sur l'efficacité du nettoyage effectué après le retrait des plots de résine.

II.2.2. Oxyde de grille

II.2.2.1. Analyse de défaillance

Un rejet de fiabilité au test HTGB a été identifié et une analyse de défaillance a mis en évidence un claquage net de l'oxyde comme le montre la figure IV-4. L'oxyde de grille et sa robustesse sont très dépendants de la qualité de la surface active sur laquelle la croissance est réalisée. En effet, le procédé de croissance de l'oxyde ne peut pas être incriminé dans le cas de ce rejet car il est maîtrisé et connu.

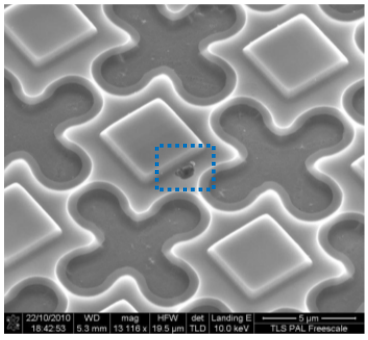


Figure IV-4 : Image SEM d'un claquage de l'oxyde de grille lors du test de fiabilité HTGB - Courtoisie du laboratoire d'analyses de défaillances de Freescale.

II.2.2.2. Conclusion

Ce rejet démontre que les procédés de traitements de surface au niveau de l'oxyde de grille c'est-à-dire avant sa croissance et avant le dépôt de polysilicium peuvent contribuer à sa défaillance. Il est donc primordial de mener une étude sur ces nettoyages afin d'identifier et de comprendre le mécanisme de défaillance révélé par le test de fiabilité HTGB.

II.2.3. Intérêt du Q_{BD} dans la phase de caractérisation

Le mode de sollicitation entre le Q_{BD} et le test HTGB sont équivalents malgré des principes différents comme présenté dans le paragraphe III.4 du chapitre III. En outre, ces analyses de défaillances ont démontré l'intérêt de soigner la réalisation technique de l'espaceur ainsi que celle de l'oxyde de grille. Or, les rejets typiques identifiés pour le test du Q_{BD} sont également liés à ces deux étapes. Par conséquent, la caractérisation par Q_{BD} pour la réalisation du plan d'expérience, au niveau des différentes étapes identifiées comme potentiellement critiques pour la robustesse des composants, est un choix pertinent et justifié.

III. OPTIMISATION DU PROCEDE : MISE EN PLACE DE TRAITEMENTS DE SURFACE ADAPTES

III.1. Etape de gravure de l'espaceur

III.1.1. Analyse du procédé initial

Les résultats des analyses de défaillance présentés précédemment ont permis d'identifier l'étape critique à l'origine du rejet au test HTGB. Des résidus de résines provenant des plots utilisés pour réaliser l'implantation N^+ sont responsables de la défaillance. L'étape de retrait de résine est réalisée avec un plasma d'oxygène (« Matrix ») durant 3 minutes qui est suivi d'un nettoyage de type chimique humide constitué d'une solution composée d'acide sulfurique et d'eau oxygénée communément appelé SAT (pour « Semitool's Spray Acid Tools »). Cette dernière étape est réalisée à 120°C pendant 10 minutes afin de supprimer les contaminants organiques.

III.1.2. Action corrective mise en place

Du fait de la faible distance de l'ordre de 1,4µm existant entre les flancs de polysilicium (figure IV-5), le traitement de surface présenté dans le paragraphe précédent n'est pas assez efficace pour retirer la totalité des résidus de résine. Un nouveau type de nettoyage doit donc être mis en place.

Une solution proposée serait d'ajouter une étape avec un nettoyage moins spécifique mais plus efficace compte tenu de la topologie étroite de la surface. Ainsi, un nettoyage humide de type mécanique réalisé avec un Scrubber Megasonic est une hypothèse envisageable pour améliorer l'efficacité du retrait des résidus de résine. Le principe de ce nettoyage est détaillé dans l'annexe C.

Ce choix a été effectué car les nettoyages mettant en jeux des ultrasons ont démontré leur efficacité pour retirer des résidus de polymères même de petite taille sans générer des dégradations importantes du substrat [BARB09]. Au niveau de cette étape du procédé, le substrat directement en contact avec ce traitement est l'oxyde de grille dont une partie sera ensuite gravée, ce qui permet de protéger le silicium de toute dégradation éventuelle.

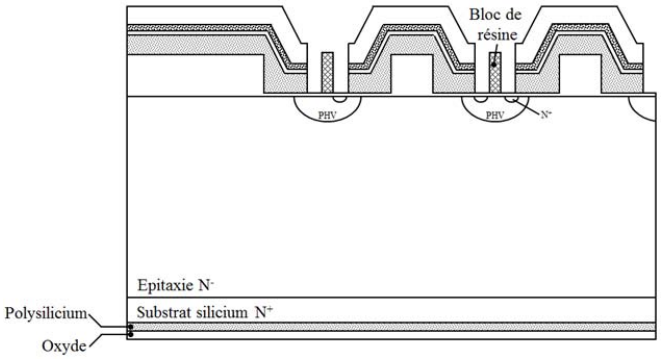


Figure IV-5 : Etape du procédé pour laquelle le nettoyage chimique SAT est appliqué.

III.1.3. Détail du plan d'expérience

Le plan d'expérience mis en place au niveau de l'espaceur est constitué de deux cellules distinctes. La première correspond au procédé initial et est donc constituée de deux étapes : le retrait de résine par plasma oxygène et un nettoyage chimique pour le retrait des contaminants organiques. La seconde cellule correspond exactement à celle décrite précédemment mais à laquelle on ajoute un nettoyage mécanique à ultrasons (DNS Scrubber).

L'objectif est d'évaluer l'implémentation d'une étape supplémentaire de nettoyage sur l'efficacité du retrait des résidus de résine utilisés pour réaliser l'implantation de type N^+ et de caractériser l'impact sur la robustesse et la fiabilité des MOSFETs de puissance.

III.1.4. Caractérisation des MOSFETs avec le test de Q_{BD}

Le test de Q_{BD} présenté dans le chapitre précédent permet de caractériser la modification de procédé mise en place. Les résultats des puces testées sont représentés selon une statistique de Weibull et comparent donc le nettoyage initial ayant entraîné la défaillance, au nouveau nettoyage intégrant une étape supplémentaire de traitement de surface (figure IV-6).

La caractérisation du type de nettoyage appliqué, avant le dépôt de nitrure constituant l'espaceur, avec le test du Q_{BD} est totalement appropriée car la robustesse du mode de fonctionnement entre les électrodes de grille et de source est testée. En outre, la sensibilité du test à la modification minime apportée est ici démontrée de par les résultats présentés à la figure III-6. Ceux-ci valident donc l'intérêt et l'efficacité de la mise en place de la caractérisation de la robustesse des puces avec le Q_{BD}. Ce test permet d'évaluer la mise en place d'un nouveau procédé de nettoyage au niveau de l'espaceur.

Le nettoyage de type mécanique permet d'améliorer visiblement la robustesse des puces. En effet, pour les valeurs de Q_{BD} les plus faibles, la probabilité de défaillance diminue de façon drastique, ce qui indique que le nombre de charges injectées et donc la qualité des puces augmentent avec la mise en place du nettoyage de type mécanique. En effet pour une probabilité de défaillance de 63,2%, le facteur α augmente de 0,88C/cm² pour le nettoyage chimique à 4,9C/cm² dans le cas du nettoyage mécanique.

Cette première analyse des courbes issues de la statistique de Weibull démontre l'amélioration de la qualité des MOSFETs avec le traitement de surface de type mécanique. Son efficacité permet

d'améliorer la robustesse des composants et donc leur qualité. En effet, on constate que la proportion de puces claquant pour des Q_{BD} faibles (charges injectées inférieures à 0,1 C/cm²) est diminuée d'un facteur 2 par rapport au procédé de nettoyage initial. Ce premier résultat démontre que la cause d'origine a été identifiée et que l'action corrective proposée améliore la qualité des composants.

Si on réalise une analyse plus précise de ces résultats, on constate que différents mécanismes de défaillances sont mis en place lors du claquage en Q_{BD}. En effet, quel que soit le procédé étudié, chaque niveau de courant de la rampe de stress est identifiable. Cela s'explique par le fait que les nettoyages mis en place ne modifient pas les propriétés du MOSFET mais participent à l'amélioration de sa robustesse.

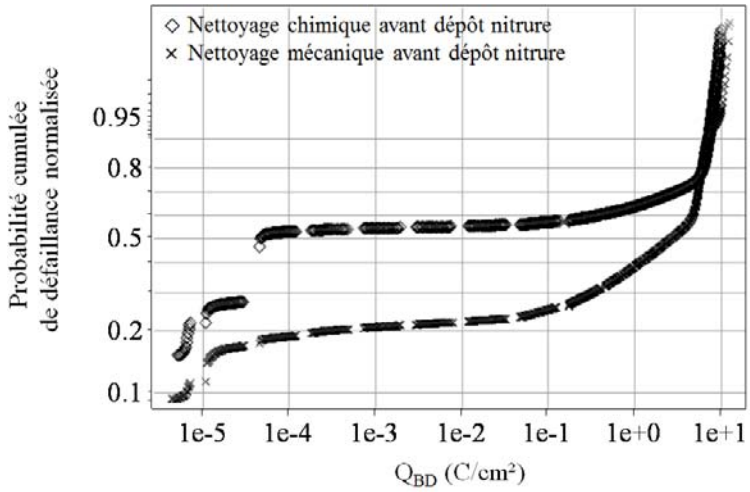


Figure IV-6 : Impact des nettoyages précédents le dépôt de nitrure de l'espaceur sur les distributions Q_{BD} des MOSFETs.

Afin de comparer les deux types de nettoyage au niveau de l'espaceur, il est intéressant de considérer les proportions des différentes populations décrites dans le chapitre précédent. Le critère de comparaison sera la tension de claquage, V_{BD}, des MOSFETs de puissance. Le nettoyage de type mécanique permet de réduire la dispersion de la tension de claquage V_{BD} ainsi que la valeur médiane correspondante. Avec le nettoyage mécanique, la médiane de la distribution des V_{BD} est de 58,9V avec une dispersion de 17V alors que pour le nettoyage chimique cette même valeur est de 47,8V avec une dispersion de 23V. Le graphe précédent peut être exploité pour comparer plus précisément les proportions des différentes populations issues de la réalisation du test de Q_{BD} et présentées dans le paragraphe III.3.2.4 du chapitre III. Les résultats sont résumés dans le tableau IV-1.

L'implémentation du traitement de surface de type mécanique démontre son efficacité sur les résultats obtenus avec le test de Q_{BD}. En effet, la proportion de puces présentant des fuites diminuent d'un facteur 2,3, la population extrinsèque diminue d'un facteur 2,2, la population intermédiaire diminue d'un facteur 3,5 alors que la population intrinsèque augmente d'un facteur 1,7.

Le nettoyage mécanique, qui précède le dépôt de nitrure de l'espaceur, permet de conclure sur l'amélioration des résultats du Q_{BD} ainsi que sur la robustesse des composants par rapport au seul traitement de surface de type chimique. Afin de vérifier le bien-fondé de ces résultats, il est primordial

d'effectuer une campagne de test de fiabilité de type HTGB pour évaluer l'impact de la modification de procédé.

Traitement de surface avant dépôt de nitrure	Echantillons testés	Puces présentant des fuites (%)	Population extrinsèque (%)	Population intermédiaire (%)	Population intrinsèque (%)
Procédé initial : Chimique	11 828	23,3	10,2	19,8	46,7
Mécanique	33 473	10,2	4,6	5,7	79,5

Tableau IV-1 : Populations des tensions de claquage pour le test Q_{BD} réalisés sur les MOSFETs en fonction du traitement de surface appliqué avant le dépôt du nitrure.

III.1.5. Cause de la défaillance

On considère dans un premier temps, la cause de la défaillance liée au procédé de fabrication. Les résidus de carbone identifiés lors de l'analyse de défaillance proviennent des plots de résine utilisés pour effectuer l'implantation N^+ (figure IV-7-a). En effet, le retrait de résine et le nettoyage qui suit cette étape n'est pas assez efficace pour éliminer tous les résidus organiques conduisant à une contamination (figure IV-7-b). Le dépôt de nitrure encapsule ces résidus qui sont ensuite protégés lors des étapes ultérieures du procédé (figure IV-7-c). La figure IV-7-d montre comment l'encapsulation des résidus de résine au niveau de l'espaceur est établie.

En outre, la faible distance existant entre les flans des futurs espaceurs ajoute une variable supplémentaire. En effet, le nettoyage doit effectivement être efficace tout en tenant compte de la topologie de l'étape et des difficultés que celle-ci engendre.

Le test HTGB permet d'évaluer le mode de fonctionnement entre grille et source. Or, dans le cas des résidus de carbone, une fuite de type grille-source est survenue après 168 heures. La présence des résidus de carbone a généré un espaceur non-conforme dégradant la robustesse du MOSFET et entraînant la perte de fonctionnalité. La fuite de type I_{GSS} résulte d'un contact non-conforme entre les électrodes de grille et de source, expliqué par la présence de polysilicium extrudé dans la cellule (figure IV-1). Cette matière extrudée est issue d'une défaillance prématurée au niveau de l'espaceur dont la faiblesse a été révélée par le test HTGB.

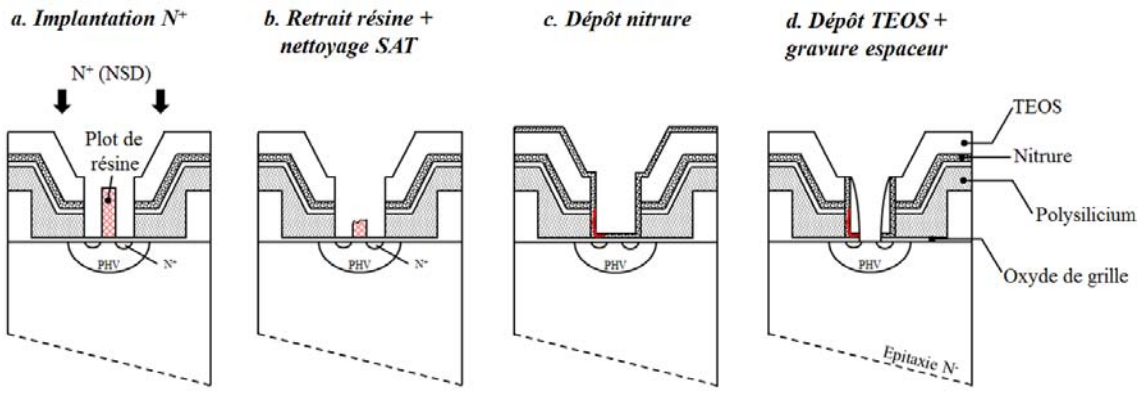


Figure IV-7 : Schématisation de la cause de la défaillance en HTGB dans le cas d'une cellule.

III.1.6. Validation avec les essais de fiabilité

La mise en place d'un nettoyage adapté de type mécanique après le retrait de la résine est évaluée par une campagne de test HTGB. Les résultats obtenus confirment les conclusions tirées des résultats du test de Q_{BD}. En effet, les rejets HTGB passent de 17% dans le cas du nettoyage chimique spécifique pour retirer les contaminants organiques, à 3% avec l'ajout d'un nettoyage mécanique non spécifique.

Le retrait des résidus de résine avant le dépôt de nitrure de l'espaceur a été validé avec le nouveau nettoyage chimique. Néanmoins, les derniers 3% de rejets représentent un reliquat qu'il est essentiel d'identifier et d'éradiquer pour garantir la qualité de la technologie développée.

III.1.7. Conclusion

Les résultats présentés précédemment démontrent que le nettoyage chimique de type SAT est insuffisant pour un retrait complet des résidus de résine. Celui-ci doit donc être complété par un nettoyage mécanique afin d'améliorer la robustesse et la fiabilité des puces.

Le test du Q_{BD} permet de différencier les deux cellules comparées tout en fournissant des résultats en totale adéquation avec les résultats des essais de fiabilité. Ce premier exemple justifie donc l'intérêt de réaliser ce test lors de la phase de validation en amont des essais de fiabilité.

Cette modification du procédé initial avec l'ajout du nettoyage de type Scrubber Megasonic avant le dépôt de nitrure de l'espaceur est implémentée pour les études qui suivent.

III.2. Oxyde de grille

III.2.1. Introduction

L'analyse physique présentée précédemment a mis en évidence une défaillance de l'oxyde de grille par claquage. L'identification de l'étape critique ne peut être établie au vue de ces seuls résultats. La qualité de l'oxyde grille est directement liée à la qualité de la surface active. De ce fait, le nettoyage qui précède sa croissance doit être adapté afin de limiter la génération de défauts. En outre, l'oxyde de grille possède une interface avec le polysilicium. Le dépôt de cette couche de silicium polycristallin amorphe est également précédé d'un nettoyage dont il sera intéressant d'étudier l'impact sur la fiabilité de l'oxyde. Par conséquent, il est essentiel de caractériser l'impact des traitements de surface en distinguant le procédé avant oxydation de la grille du procédé réalisé avant dépôt du polysilicium.

Dans un premier temps, la qualité de l'oxyde de grille va être évaluée grâce à des structures de type capacités Métal-Oxyde-Semiconducteur (MOS) afin de permettre une caractérisation distincte des nettoyages réalisés au niveau de la grille. Les résultats obtenus permettront alors de valider les nouveaux procédés qui pourront être implémentés au niveau de l'oxyde de grille du MOSFET.

III.2.2. Analyse du procédé initial

La réalisation de la zone active constitue une étape critique lors de la fabrication des MOSFETs. En effet, l'ouverture de cette zone et le nettoyage réalisé peuvent être à l'origine de la création de défauts qui influencent directement la qualité de l'oxyde de grille. La présence de résidus au niveau de la zone active

entraînerait leur piégeage lors de la croissance thermique de l'oxyde de grille pouvant conduire par la suite à une défaillance qui en altère la fiabilité. La qualité de l'interface silicium/oxyde est donc primordiale pour la qualité du composant.

Une autre interface existe pour l'oxyde de grille et il s'agit de l'interface oxyde/polysilicium. En effet, elle est également importante car si le traitement de surface réalisé avant le dépôt de polysilicium n'est pas adapté, il peut altérer la qualité de l'oxyde de grille et engendrer une dégradation de sa fiabilité.

Qu'il s'agisse de l'interface silicium/oxyde ou oxyde/polysilicium, le même type de nettoyage est appliqué au silicium avant la croissance de l'oxyde de grille ainsi qu'à l'oxyde avant le dépôt du polysilicium. Ce traitement de surface est constitué de deux étapes distinctes décrites précédemment. La première consiste en un nettoyage mécanique de type Scrubber Megasonic, suivi d'un nettoyage chimique réalisé dans une hotte FSI dont les étapes sont détaillées dans l'annexe C. L'étape de nettoyage appelée mécanique est suspectée d'endommager la qualité de l'oxyde de grille [SITK03].

III.2.3. Action corrective proposée

Les recettes de croissance de l'oxyde et de dépôt du polysilicium ne pouvant être modifiées, ce sont les étapes de traitements de surface qui vont être étudiées. En effet, une suspicion existe sur l'impact du nettoyage mécanique. En effet, diverses études menées ont démontré que les structures pouvaient être endommagées par ce type de traitement lorsqu'il n'est pas maîtrisé [TOMO98, ONIS98].

L'objectif est donc d'étudier les traitements de surface mis en place au niveau du silicium avant la croissance de l'oxyde ainsi que ceux réalisés après cette croissance avant le dépôt de polysilicium. En effet, l'un de ces nettoyages ou l'une des étapes les constituant pourrait dégrader la qualité de l'oxyde de grille des MOSFETs de puissance entraînant un claquage prématuré du diélectrique lors des essais de fiabilité en HTGB.

III.2.4. Détail du plan d'expérience

Deux étapes vont constituer ce plan d'expérience. La première consiste à utiliser des structures simplifiées de types capacité MOS afin d'étudier indépendamment les deux interfaces (silicium/ oxyde et oxyde/polysilicium). D'une manière identique pour les deux interfaces, le procédé initial constitué d'un nettoyage mécanique suivi d'un nettoyage chimique (DNS+FSI) sera comparé à une cellule réalisée exclusivement à l'aide de deux étapes identiques du nettoyage chimique (FSI+FSI). De plus, une cellule supplémentaire réalisée à partir du seul nettoyage mécanique sera également évaluée afin d'identifier sa responsabilité dans la dégradation de la robustesse de l'oxyde de grille.

La seconde étape consistera à valider sur les MOSFETS les résultats obtenus avec les structures de type capacités MOS. L'objectif sera de vérifier les conclusions préliminaires quant à l'impact des traitements de surface sur la fiabilité et la robustesse des MOSFETs de puissance.

III.2.5. Impact des traitements de surface sur la fiabilité de l'oxyde

III.2.5.1. Structures GOI

III.2.5.1.1. Motivations

Dans ce cas précis, il n'est pas possible de découpler les nettoyages réalisés avant et après croissance de l'oxyde du fait des étapes technologiques des MOSFETs. Par conséquent, une solution est d'utiliser des structures plus simples en termes de topologie que les composants de puissance afin d'identifier les étapes responsables de la dégradation de la qualité de l'oxyde de grille. L'intérêt de ses structures est qu'elles présentent une taille environ cinq fois plus petite que le composant de puissance initial mais avec des étapes de procédé identiques justifiant leur intérêt dans la caractérisation.

Ces structures sont réalisées avec des étapes de procédé équivalentes bien que l'épaisseur de l'oxyde ne soit que de 20 nm et non de 60nm comme pour le MOSFET. Toutefois, tous les autres aspects sont strictement conformes, ce qui permet de les utiliser pour valider les hypothèses énoncées. En outre, du fait de la simplicité technologique des structures GOI qui ne présentent pas de topographie ou de passage de marche, les résultats seront plus aisément exploitables et fourniront des conclusions préliminaires claires vis-à-vis des défaillances éventuelles.

Les structures GOI sont donc représentatives des défaillances qui pourraient survenir au niveau des MOSFETs de puissance contrairement aux structures SGPC décrites dans le paragraphe III.2.2 du chapitre III du fait de leur taille très limitée.

III.2.5.1.2. Description

Il s'agit de capacités MOS qui sont qualifiées de structures GOI (pour « Gate Oxide Integrity ») car permettant d'évaluer précisément la robustesse de l'oxyde de grille. Elles sont réalisées sur des plaquettes de silicium 6 pouces avec 124 sites. Chaque site est constitué de 13 capacités MOS de taille différente mais seule la capacité A de 10,01mm² est caractérisée (figure IV-8-a).

Dans un premier temps, l'épitaxie de type N est réalisée sur une plaquette de silicium de type N dopée à l'Arsenic. La croissance d'un oxyde thermique de 20nm est ensuite effectuée. Le polysilicium d'une épaisseur de 385nm est déposé puis gravé après un dépôt de résine. La résine est ensuite retirée et permet d'obtenir la structure schématisés sur la figure IV-8-b.

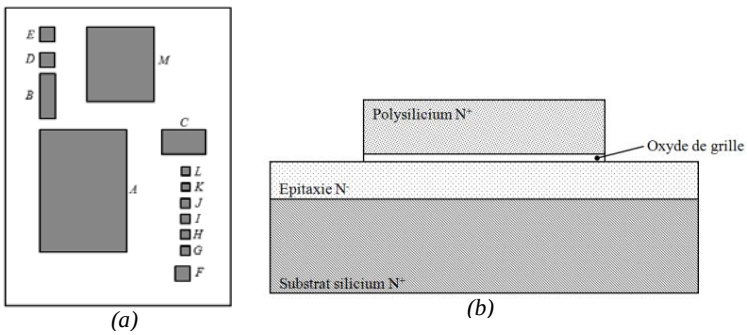


Figure IV-8 : Schéma du site contenant la structure GOI testée notée A (a) et coupe schématique de la structure (b).

Les traitements de surface sont intégrés au procédé décrit précédemment et réalisés suivant le cas avant l'oxydation de la grille, c'est-à-dire juste après l'épitaxie au niveau du silicium ou juste avant le dépôt de polysilicium, c'est-à-dire directement sur l'oxyde de grille.

III.2.5.2. Caractérisation

Le test utilisé est le Q_{BD} et son principe est comparable à celui développé pour les MOSFETs de puissance. La structure est en accumulation et une rampe en courant est appliquée sur l'électrode de polysilicium alors que le substrat de silicium est relié à la masse. Cette méthode consiste donc à accumuler la zone dopée N contrairement au MOSFET pour lequel l'accumulation s'effectue au niveau du PHV.

Il est important de détailler les cellules comparées au niveau des différentes interfaces qui nous intéressent. Le traitement de surface correspondant au procédé initial est constitué d'un nettoyage mécanique suivi d'un nettoyage chimique. Les cellules comparées sont résumées dans le tableau IV-2. La cellule 1 permet d'évaluer l'impact du nettoyage mécanique quant à la cellule 2, elle permet de tester l'effet d'un nettoyage exclusivement chimique avec deux étapes afin d'obtenir une efficacité suffisante en termes de retrait des particules.

Cellules	Etape 1	Etape 2
Procédé initial	Mécanique	Chimique
Cellule 1	Mécanique	-
Cellule 2	Chimique	Chimique

Tableau IV-2: Types de nettoyage comparés au niveau silicium et oxyde de grille.

III.2.5.2.1. Interface silicium/oxyde de grille

Les distributions de Weibull représentant les résultats de mesure du Q_{BD} sont explicites. En effet, si l'allure des courbes représentant le procédé initial et la cellule 1 sont comparées à celle de la cellule 2, l'impact du nettoyage de type mécanique est clairement identifié comme responsable d'une dégradation de la fiabilité de l'oxyde de grille (figure IV-9).

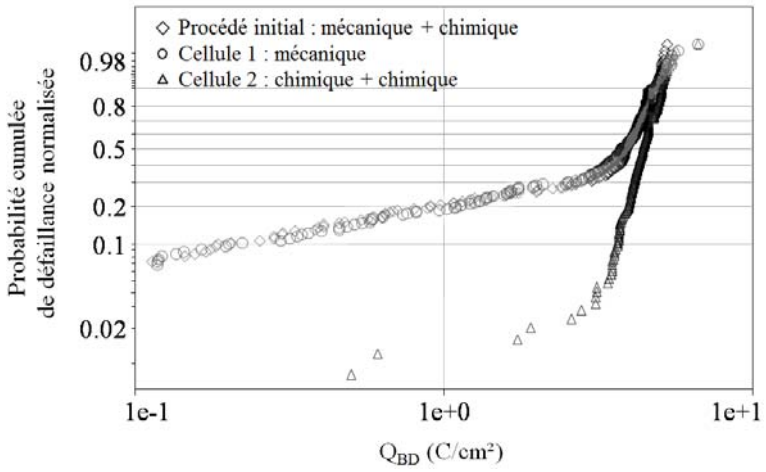


Figure IV-9 : Impact du nettoyage au niveau silicium sur les distributions Q_{BD} des structures GOI.

Le graphe précédent permet d'extraire les paramètres essentiels caractérisant la statistique de Weibull : les coefficients α et β pour la population intrinsèque. Ces paramètres explicités dans l'annexe A sont résumés dans le tableau IV-3. L'augmentation des valeurs des paramètres α et β dans le cas de la cellule 2 démontre l'amélioration de la qualité des structures GOI, ce qui sous-entend une augmentation de la robustesse de l'oxyde de grille. Cette première conclusion met en évidence l'impact négatif du nettoyage de type mécanique sur la fiabilité de l'oxyde et donc sur la robustesse des structures GOI.

Type de traitement de surface	**Paramètre α (C/cm^2)**	**Paramètre β (sans unité)**
Procédé initial	4,2	1,92
Cellule 1	4,2	1,86
Cellule 2	4,7	2,6

Tableau IV-3 : Paramètres de la distribution de Weibull pour les structures GOI en fonction du nettoyage effectué au niveau silicium.

Les résultats obtenus sur les structures GOI permettent de distinguer aisément les branches associées aux défaillances extrinsèques et intrinsèques. Afin de compléter les résultats énoncés précédemment, il est alors intéressant de considérer la densité maximale de défauts pour la branche extrinsèque dont la méthodologie est explicitée dans l'annexe A [MART00]. Les résultats liés aux différents traitements de surface réalisés sont résumés dans le tableau IV-4. On remarque que la densité de défauts extrinsèques générée diminue d'un facteur 14 avec un nettoyage exclusivement chimique par rapport aux cellules contenant un nettoyage mécanique.

Type de traitement de surface	**Densité maximale de défauts de la branche extrinsèque notée D ($défauts/cm^2$)**
Procédé initial	4,31
Cellule 1	4,16
Cellule 2	0,29

Tableau IV-4 : Evaluation de la densité de défauts extrinsèques sur les structures GOI en fonction du nettoyage effectué au niveau silicium.

Le traitement de surface réalisé au niveau de l'épitaxie, juste avant la croissance de l'oxyde thermique, joue un rôle essentiel dans la fiabilité des structures GOI. En effet, le test de Q_{BD} a mis en évidence l'impact négatif du nettoyage de type mécanique à l'interface silicium/oxyde de grille. La solution apportée avec le nettoyage chimique permet d'améliorer visiblement la robustesse des structures.

III.2.5.2.2. Interface oxyde de grille/polysilicium

De même si on considère la distribution de Weibull du test Q_{BD} pour l'interface oxyde de grille/polysilicium, le traitement de surface de type mécanique est identifié comme responsable de la dégradation de la qualité de l'oxyde de grille et donc de la robustesse des structures GOI (figure IV-10). Néanmoins, l'impact du nettoyage mécanique est plus critique dans le cas de cette interface, que dans le cas de l'interface silicium/oxyde. En effet, on constate que pour le procédé initial et la cellule 1, la proportion de la population intrinsèque est limitée.

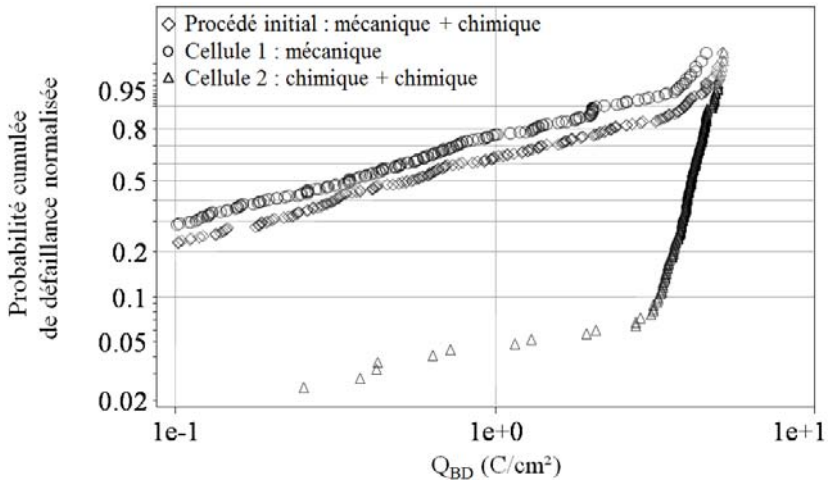


Figure IV-10 : Impact du nettoyage au niveau de l'oxyde sur les distributions Q_{BD} des structures GOI.

Les constatations tirées de l'analyse de la figure précédente sont confirmées par les valeurs des paramètres α et β de la distribution de Weibull (tableau IV-5). On note que le paramètre α qui correspond à la valeur du Q_{BD} pour 63,2% de probabilité cumulée de défaillance augmente d'un facteur 3 dans le cas du nettoyage exclusivement chimique réalisé pour la cellule 2. Ces résultats démontrent l'intérêt d'un traitement chimique à l'interface oxyde/polysilicium dans l'amélioration de la robustesse des structures GOI à l'opposé des cellules qui contiennent le nettoyage de type mécanique.

Type de traitement de surface	**Paramètre α (C/cm²)**	**Paramètre β (sans unité)**
Procédé initial	0,6	1,61
Cellule 1	0,9	1,35
Cellule 2	4,2	2,34

Tableau IV-5 : Paramètres de la distribution de Weibull pour les structures GOI en fonction du nettoyage effectué au niveau de l'oxyde.

En outre, si on considère l'allure des graphes représentant les distributions de la résistance au test Q_{BD} selon la statistique de Weibull, on note que le traitement de surface de type mécanique présente l'impact le plus négatif sur l'interface oxyde/polysilicium. Ceci est effectivement confirmé par la valeur de la densité maximale de défauts de la branche extrinsèque présentée dans le tableau IV-6.

Type de traitement de surface	**Densité maximale de défauts de la branche extrinsèque D (défauts/cm²)**
Référence	30
Cellule 1	24,1
Cellule 2	0,94

Tableau IV-6 : Evaluation de la densité de défauts extrinsèques pour les structures GOI en fonction du nettoyage effectué au niveau oxyde.

Ces résultats confirment l'impact négatif du nettoyage de type mécanique sur la fiabilité de l'oxyde puisque la densité maximale de défauts est quasi inexistante dans le cas de la cellule 2.

III.2.5.2.3. Conclusion

L'étude menée indépendamment sur les interfaces silicium/oxyde et oxyde/polysilicium met clairement en évidence, grâce au test Q_{BD}, l'impact néfaste du nettoyage mécanique de type Scrubber Megasonic dans les conditions initiales de réalisation. Toutefois, les résultats précédents tendent à démontrer que l'effet du nettoyage mécanique est plus critique lorsqu'il est réalisé au niveau de l'oxyde de grille avant le dépôt du polysilicium.

A ce stade, l'étape critique est identifiée, mais pas le mécanisme de défaillance pouvant être à l'origine du rejet de fiabilité en HTGB. Des analyses complémentaires doivent donc être menées.

III.2.6. Compréhension du mécanisme de défaillance

III.2.6.1. Introduction

Les nettoyages mécaniques à ultrasons sont répandus dans l'industrie des semiconducteurs en raison de leur efficacité. Toutefois, ils ont déjà fait l'objet d'études démontrant leur implication dans l'endommagement de la surface du silicium.

L'objectif est de mettre en évidence le mécanisme de défaillance expliquant la dégradation de la robustesse des structures GOI, dans un premier temps. La puissance du nettoyage mécanique de type Scrubber Megasonic est suspectée et une étude complémentaire est menée pour identifier précisément la cause de la défaillance. Pour ce faire, une modification sur le paramètre d'intensité des ultrasons va être opérée.

Des exemples de conséquences d'un nettoyage de type Scrubber Megasonic non maîtrisé sont présentés sur la figure III-11 (fréquence supérieure à 800kHz). Ils démontrent l'intérêt d'évaluer ce type de traitement en fonction de l'étape du procédé de fabrication. En effet, dans l'exemple de la figure IV-11-a, l'agitation résultant du nettoyage à ultrasons à haute fréquence a endommagé physiquement les motifs d'aluminium présents à la surface de la plaquette, ils sont comme vrillés. De même, l'exemple dont il est question dans la figure IV-11-b met en évidence l'endommagement de la topographie avec une ligne de polysilicium sectionnée par la seule utilisation d'un traitement de surface de type ultrasons.

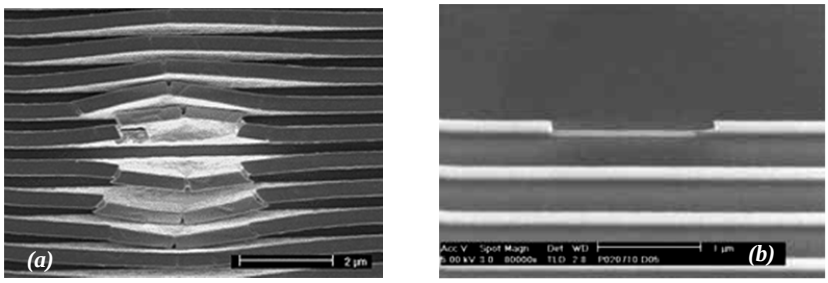


Figure IV-11 : Exemple de dommages résultant d'un nettoyage de type Scrubber Megasonic (observations SEM). Extraits de [MERT02] pour (a) et de [VERE04] pour (b).

III.2.6.2. Caractérisation électrique

III.2.6.2.1. Description

L'impact des traitements de type Scrubber Megasonic a fait l'objet d'études dans la littérature. Il a ainsi été démontré que l'efficacité du nettoyage dépend de trois paramètres : la fréquence d'oscillation, la valeur du courant qui joue donc sur l'intensité et le flot de liquide (ici de l'eau déionisée). Toutefois, la valeur du courant doit être maîtrisée car une valeur trop importante peut entraîner l'endommagement de la surface [HATT95].

De ce fait, une étude a été réalisée afin de comprendre si l'endommagement de la surface du silicium et de l'oxyde pouvait être à l'origine de la dégradation de la qualité des composants. L'intensité du courant sera réduite de 0,9A à 0,5A afin de comprendre l'effet de ce paramètre sur la qualité des interfaces étudiées précédemment. Dans ce cas, deux cellules vont être comparées à celle définies précédemment et sont détaillées dans le tableau IV-7.

Cellules	**Etape 1**	**Etape 2**
Procédé initial	*Mécanique*	*Chimique*
Cellule 1	*Mécanique*	-
Cellule 2	*Chimique*	*Chimique*
Cellule 3	Mécanique soft	-
Cellule 4	Mécanique soft	Chimique

Tableau IV-7 : Type de nettoyages comparés au niveau silicium et oxyde de grille.

III.2.6.2.2. Interface silicium/oxyde de grille

On distingue de nouveau le procédé réalisé au niveau du silicium de celui effectué au niveau de l'oxyde de grille. Dans un premier temps, la distribution de Weibull met en évidence l'effet du nettoyage mécanique de moindre puissance (figure IV-12). Son effet est comparable à la cellule 2 qui permettait d'améliorer la robustesse des structures.

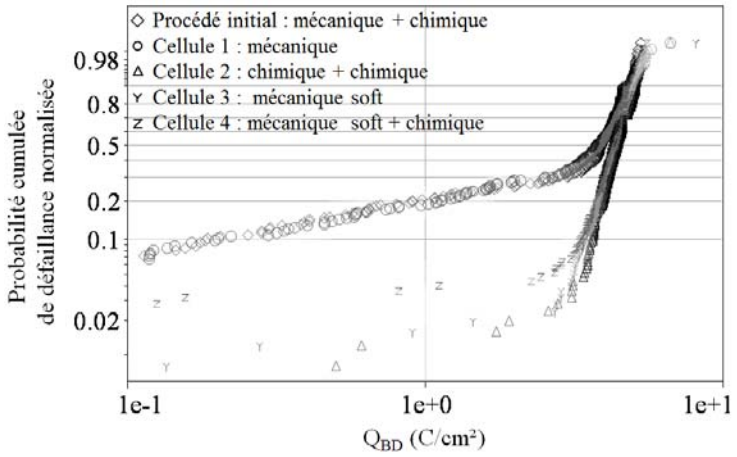


Figure IV-12 : Impact de la puissance du nettoyage mécanique au niveau du silicium sur les distributions Q_{BD} des structures GOI.

Si on considère les valeurs des paramètres α et β, pour les populations intrinsèques, extraits des courbes précédentes (tableau IV-8), on remarque que le procédé de la cellule 3 donne des structures plus robustes que celui de la cellule 1. Ces procédés sont cependant directement comparables puisque la seule différence réside dans la puissance de l'étape de nettoyage mécanique. De même, on aboutit à cette conclusion en comparant le procédé initial à la cellule 4. En outre, le fait de diminuer la puissance du nettoyage mécanique permet d'atteindre des résultats équivalents à ceux du nettoyage exclusivement chimique correspondant à la cellule 2. Toutefois, en ce qui concerne l'interface silicium/oxyde de grille, la cellule 2 constituée de deux étapes de traitement chimique avant et après l'oxydation de la grille donne les structures les plus robustes.

Type de traitement de surface	**Paramètre α (C/cm²)**	**Paramètre β (sans unité)**
Procédé initial	*4,2*	*1,92*
Cellule 1	*4,2*	*1,86*
Cellule 2	*4,7*	*2,60*
Cellule 3	4,4	2,27
Cellule 4	4,5	2,35

Tableau IV-8: Paramètre de la distribution de Weibull pour les structures GOI en fonction du nettoyage effectué au niveau silicium.

III.2.6.2.3. Interface oxyde/polysilicium

L'étude est ensuite répétée de façon indépendante sur l'interface oxyde/polysilicium. Les conclusions obtenues sur l'effet de la puissance du nettoyage mécanique sont comparables puisque les courbes de la distribution de Weibull sont confondues dans le cas d'un nettoyage exclusivement chimique et présentant une étape de traitement de surface mécanique avec une puissance réduite (figure IV-13).

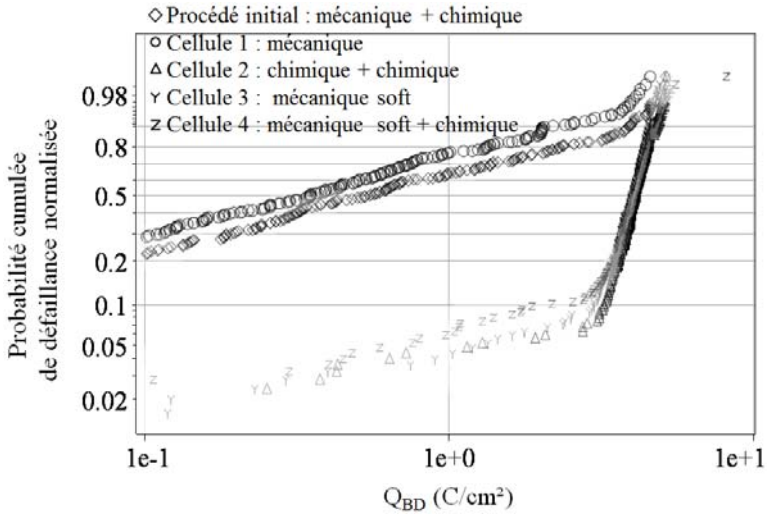


Figure IV-13 : Impact de la puissance du nettoyage mécanique au niveau de l'oxyde sur les distributions Q_{BD} des structures GOI.

Si on considère les valeurs des paramètres α et β, pour les populations intrinsèques, extraits des courbes précédentes (tableau IV-9), on remarque que la cellule 3 donne des structures plus robustes que

pour la cellule 1 qui sont directement comparables puisque la seule différence réside dans la puissance de l'étape de nettoyage mécanique. De même, on aboutit à cette conclusion en comparant le procédé initial à la cellule 4. En outre, le fait de diminuer la puissance du nettoyage mécanique permet d'atteindre des résultats équivalents au nettoyage exclusivement chimique correspondant à la cellule 2. Toutefois, en ce qui concerne l'interface silicium/oxyde de grille, la cellule 2 constituée de deux étapes de traitement chimique permet d'obtenir les structures les plus robustes.

Type de traitement de surface	**Paramètre α (C/cm²)**	**Paramètre β (sans unité)**
Procédé initial	*0,6*	*1,61*
Cellule 1	*0,9*	*1,35*
Cellule 2	*4,2*	*2,34*
Cellule 3	4,1	2,40
Cellule 4	4,2	1,86

Tableau IV-9: Paramètre de la distribution de Weibull pour les structures GOI en fonction du nettoyage effectué au niveau oxyde.

III.2.6.2.4. Conclusion

La caractérisation préliminaire avec les structures GOI de l'impact des traitements de surface précédant et suivant l'étape d'oxydation permet de révéler la dégradation de la robustesse de l'oxyde de grille avec un nettoyage mécanique de type Scrubber Megasonic. En effet, la puissance de celui-ci se révèle être à l'origine d'une modification limitant les performances de l'oxyde de grille.

Il est donc primordial de réaliser une caractérisation physique de l'état de surface pour comprendre le mécanisme de défaillance mis en jeu. Par la suite, une nouvelle étape consistera à caractériser l'impact des différentes étapes de nettoyages avant et après oxydation de la grille sur le MOSFET.

III.2.6.3. Caractérisation physique de l'état de surface

L'objectif de ces mesures est de considérer la rugosité du silicium après les différents traitements qu'il subit. Cette caractérisation est réalisée sur des plaquettes témoins avec un AFM Nanoscope 3000 en mode contact intermittent afin d'obtenir la topographie de la surface (tableau IV-10). La zone scannée correspond à une surface de 2µm par 2µm située au centre de la plaquette. La résolution de l'appareil en Z est de 0,1Å (soit 0,01 nm).

Cette étude est menée uniquement sur des échantillons pleine plaque selon le procédé mis en place pour les structures GOI. Les plaquettes sont réalisées sans aucun masque et seules les épaisseurs des différentes couches sont donc conformes. Cette étude n'a été réalisée qu'au niveau de l'oxyde de grille (c'est-à-dire avant le dépôt de polysilicium) car le nettoyage mécanique a été identifié comme le plus critique à cette étape d'après les distributions de Weibull présentés précédemment ainsi que pour la facilité de réalisation. En effet, une étude de ce type au niveau silicium aurait été entachée d'erreur en raison de la croissance de l'oxyde natif ; un traitement aurait permis de l'attaquer mais aurait potentiellement modifié l'aspect initial de l'oxyde résultant des traitements de surface étudiés.

Les mesures effectuées permettent d'obtenir une image de la surface de l'oxyde ainsi que la valeur de la rugosité quadratique moyenne R_q, de la profondeur maximale de la rugosité R_{max} et du kurtosis[i] [PAGE03, TAYE03]. Ces paramètres ainsi que le principe de mesure sont détaillés dans l'annexe D.

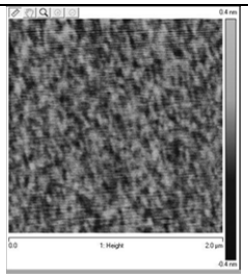
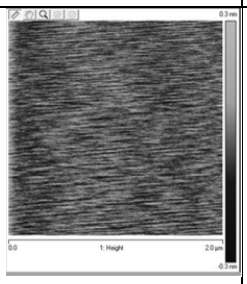
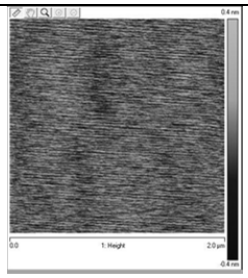
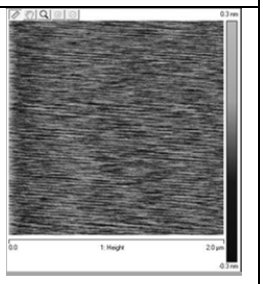
Traitement de surface au niveau de l'oxyde	**Oxyde sans traitement**	**Mécanique + Chimique**	**Chimique + Chimique**	**Mécanique soft + Chimique**
Image 2D de la surface				
R_q (Å)	1,19	0,84	1,05	0,93
R_{max} (Å)	0,99	0,81	0,91	0,94
Kurtosis	< 3	> 3	< 3	> 3

Tableau IV-10 : Résultats des mesures AFM.

Il est intéressant de comparer dans un premier temps la valeur de R_q qui est sensible à la puissance du nettoyage mécanique puisque le fait de diminuer l'intensité des ultrasons permet d'augmenter la rugosité de 0,84Å à 0,93Å. La cellule de traitement exclusivement chimique permet d'obtenir la rugosité la plus proche de l'oxyde référence qui ne comporte aucun nettoyage.

Ces résultats sont confirmés par la valeur de R_q qui démontre le fait que l'étape de nettoyage dite mécanique à tendance à aplanir la surface en diminuant la distance entre le point le plus haut et le point le plus bas de la distributions des hauteurs mesurées avec l'AFM. En outre, le kurtosis qui représente la finesse de la distribution des hauteurs (plus ou moins de vallées ou de pics) démontre seulement que l'oxyde sans traitement et l'oxyde ayant subi le traitement exclusivement chimique présentent une distribution des hauteurs comparables. Le kurtosis dans ces deux cas est inférieur à 3 ce qui signifie qu'il y a plus de vallées que de pics [RAPO07].

III.2.6.4. Conclusion

L'impact négatif d'un traitement de surface mécanique de type Scrubber à ultrasons a été démontré par la caractérisation des structures GOI. Les interfaces silicium/oxyde et oxyde/polysilicium sont toutes impactées même si la seconde l'est plus largement. En outre, les mesures AFM réalisées au niveau du polysilicium démontrent une diminution de la rugosité de surface avec l'étape de nettoyage mécanique initiale. La puissance des ultrasons qui dépend de la valeur du courant de sortie a été identifiée comme responsable de la dégradation de la robustesse des structures GOI. Le mécanisme de défaillance serait donc lié à la modification de la rugosité de la surface.

[i] Le kurtosis caractérise la forme de pic ou l'aplatissement relatif d'une distribution comparée à une distribution normale. Un kurtosis positif indique une distribution relativement pointue, tandis qu'un kurtosis négatif signale une distribution relativement aplatie.

Ce type de nettoyage a déjà fait l'objet d'études qui ont démontré que malgré son efficacité en termes de retrait de particules des dommages pouvaient être observés. L'efficacité de ce nettoyage dépend de la fréquence d'oscillation des ultrasons, du courant, du débit d'eau déionisée et de la distance entre la plaquette et le bec de sortie de l'eau. De ce fait, la valeur du courant est directement liée à l'efficacité du retrait des particules mais une valeur trop importante ou non adaptée avec la technologie peut provoquer des micro-fractures par résonance ultrasonique provenant de l'érosion par cavitation [NAGA06, NAGA92]. Il a été démontré qu'une énergie trop importante pouvait être à l'origine de craquelures superficielles dans les films fins et altérer de façon irréversible la fiabilité des composants [HATT95].

III.2.7. Impact des traitements de surface sur les MOSFETs de puissance

III.2.7.1. Résultats

Les caractérisations précédentes ont été exclusivement menées sur des structures GOI. Les résultats obtenus doivent donc être confirmés et validés sur les MOSFETs de puissance. Toutefois, le procédé prévoit de réaliser un nettoyage avant la croissance de l'oxyde de grille et un autre avant le dépôt de polysilicium qui ne peuvent donc pas être découplés aussi aisément que précédemment avec les structures GOI. Les effets des traitements de surface seront donc cumulés dans les résultats suivants. L'objectif est de comparer le procédé initial à la meilleure cellule identifiée pour les structures GOI ainsi qu'une cellule intégrant le nettoyage mécanique de faible puissance. Les deux nouvelles cellules évaluées sont résumées dans le tableau IV-11.

Cellules	Nettoyage niveau silicium	Nettoyage niveau oxyde
Procédé initial	Mécanique + Chimique	Mécanique + Chimique
Cellule A	Chimique + Chimique	Chimique + Chimique
Cellule B	Mécanique soft + Chimique	Mécanique soft + Chimique

Tableau IV-11 : Types de nettoyage réalisés sur les MOSFETs.

De même que pour les structures GOI, la robustesse des MOSFETs est évaluée avec le test de Q_{BD} et les résultats sont présentés selon la statistique de Weibull sur la figure IV-14. La cellule correspondant au procédé initial et contenant le traitement de surface de type mécanique dégrade la qualité des composants contrairement aux deux nouvelles cellules évaluées. En effet, la cellule A qui est la cellule exclusivement chimique permet d'améliorer la robustesse des MOSFETs tout comme la cellule B qui est constituée d'une étape mécanique de puissance moindre suivie de l'étape de traitement chimique. Ces deux dernières courbes sont confondues et l'étude doit donc être complétée pour tirer des conclusions plus précises.

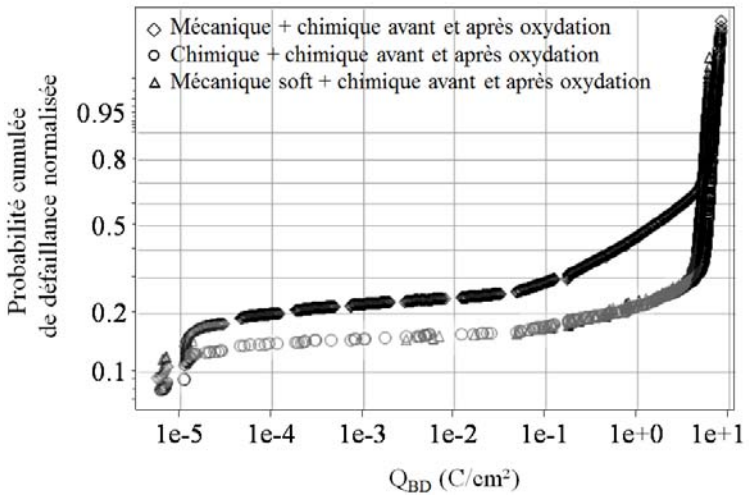


Figure IV-14 : Impact des nettoyages au niveau de l'oxydation de grille sur les distributions QBD des MOSFETs.

Dans un premier temps, les distributions des tensions de claquage pour les trois cellules étudiées sont comparées. Ainsi, la valeur moyenne de la tension de claquage augmente de plus de 2V dans le cas des cellules A et B, par rapport au procédé initial. Ces résultats complémentaires confirment le fait que l'utilisation d'un nettoyage mécanique dont la puissance est trop élevée dégrade la qualité et la robustesse des puces de puissance.

Le graphe précédent peut être exploité pour comparer plus précisément les proportions des différentes populations issues de la réalisation du test de Q_{BD} et présentées dans le chapitre III. Les résultats sont résumés dans le tableau IV-12.

Traitement de surface avant et après oxydation de la grille	**Echantillon testé**	**Puces présentant des fuites (%)**	**Population extrinsèque (%)**	**Population intermédiaire (%)**	**Population intrinsèque (%)**
Procédé initial : Mécanique + Chimique	17 564	9,6	4,5	7,6	78,3
Chimique + Chimique	1728	8,1	3,2	3,3	85,4
Mécanique soft + Chimique	432	12	2,3	0,7	85

Tableau IV-12 : Récapitulatif des résultats de Q_{BD} réalisés sur les MOSFETs en fonction des traitements de surface appliqués au niveau de l'oxyde de grille.

Dans un premier temps, le procédé initial et la cellule A vont être comparés. L'implémentation du traitement de surface de type exclusivement chimique améliore les résultats du test de Q_{BD} et donc la robustesse des composants de puissance. En effet, la proportion de puces présentant des fuites diminuent d'un facteur 1,2, la population extrinsèque diminue d'un facteur 1,4, la population intermédiaire diminue d'un facteur 2,3 alors que la population intrinsèque augment d'un facteur 1,1. Les résultats issus du test de Q_{BD} démontrent clairement l'amélioration de la robustesse des MOSFETs de puissance par le remplacement de l'étape de traitement de surface mécanique par un nettoyage de type chimique.

Par la suite, une comparaison entre le procédé initial et la cellule B est réalisée. L'échantillon, dans le cas de la cellule B est limité, mais il permettra de donner une tendance quant à l'impact de la puissance du nettoyage de type mécanique sur la robustesse des puces. Ainsi, on constate que la proportion de puces présentant des fuites augmente d'un facteur 1,3, la population extrinsèque diminue d'un facteur 2, la population intermédiaire diminue d'un facteur 10,9 alors que la population intrinsèque augment d'un facteur 1,1.

La puissance du nettoyage de type Scrubber Megasonic précédant et suivant l'étape d'oxydation de grille est responsable de la dégradation de la robustesse et de la qualité des MOSFETs comme le suggère les résultats de la cellule B par rapport au procédé initial. Néanmoins, la solution exclusivement chimique qui correspond à la cellule A est choisie car son implémentation reste la plus simple à mettre en place. Afin de vérifier le bien-fondé des résultats précédents, il est primordial d'effectuer une campagne de test de fiabilité de type HTGB pour évaluer l'impact de la modification de procédé.

III.2.7.2. Validation avec les essais de fiabilité

La modification apportée au niveau de l'étape de l'espaceur a permis de réduire les rejets de fiabilité de 17 à 3%. L'implémentation d'un traitement de surface exclusivement chimique au niveau de l'oxyde de grille a permis d'aboutir à la qualification du produit synonyme d'aucun rejet lors des essais de fiabilité.

III.2.7.3. Validation de l'intérêt de la modification du procédé de nettoyage

Les dispositifs électroniques à composants à semiconducteur sont sensibles à la présence de corps étrangers qualifiés de contaminants et générés lors des étapes de fabrication. Il a donc été primordial de mettre en place des traitements de surface plus communément qualifiés de nettoyage pour éliminer les impuretés sans pour autant détériorer le dispositif. En outre, l'impact des contaminants sur la fiabilité des composants à semiconducteur a été établi, ce qui a entraîné le développement de méthodes efficaces dès les années 1950. Toutefois, les avancées réalisées en chimie à cette époque sont toujours d'actualité dans les salles blanches des années 2000. Les nettoyages sont donc essentiels pour limiter la contamination particulaire. Néanmoins, leur maîtrise est un point clé comme le démontre les résultats présentés précédemment.

Les analyses évoquées dans les paragraphes précédents démontrent l'intérêt des nettoyages du point de vue de l'amélioration de la robustesse et de la fiabilité des structures MOSFET étudiées. Il existe une technologie équivalente à celle étudiée dans ce mémoire du point de vue de la conception mais dont le fonctionnement et la taille de puce sont différents ; il s'agit d'un composant de la famille des « E-Switch ». Toutefois, comme le test de Q_{BD} est une grandeur ramenée à la surface du composant, une comparaison est possible afin de comprendre l'impact des nettoyages présentés sur la qualité des composants.

Ainsi, des mesures de Q_{BD} sont réalisées sur une plaquette de chaque technologie dans les mêmes conditions. Dans un premier temps, les distributions de Weibull pour le test de Q_{BD} sont considérées et permettent clairement de différencier la technologie étudiée dans ce mémoire ayant subi les modifications présentées précédemment, d'une technologie similaire n'ayant pas nécessité une optimisation aussi

précise (figure IV-15). Les MOSFETs étudiés démontrent clairement une robustesse plus importante même si l'échantillon analysé est ici limité à une seule plaquette.

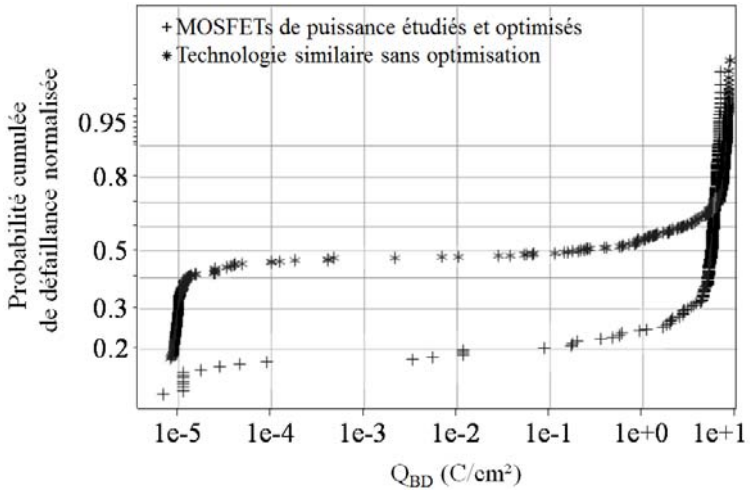


Figure IV-15 : Impact de l'optimisation du procédé sur les distributions Q_{BD} des MOSFETs étudiés ainsi que sur une technologie similaire.

Les proportions des quatre types de populations définies à partir du critère de V_{BD} sont résumées dans le tableau IV-13. Ces résultats démontrent l'intérêt de l'optimisation des procédés de nettoyages au niveau de l'espaceur et de l'oxyde de grille. En effet, la modification du procédé dans le cas des MOSFETs étudiés permet de diminuer d'un facteur 1,4 la population de puces avec des fuites, d'un facteur 6 la population extrinsèque, d'un facteur 4 la population intermédiaire et d'augmenter d'un facteur 1,5 la population intrinsèque.

Technologie	Echantillon testé	Puces présentant des fuites (%)	Population extrinsèque (%)	Population intermédiaire (%)	Population intrinsèque (%)
MOSFETs optimisés	216	12,9	3,2	2,3	81,5
Technologie similaire sans optimisation	482	18,3	19,3	9,3	53,1

Tableau IV-13 : Populations des tensions de claquage pour le test Q_{BD} réalisés sur les MOSFETs et sur une technologie similaire n'ayant pas subi la même optimisation.

Il est important de rappeler que les applications de ces technologies différentes et que les exigences en termes de fiabilité et de robustesse sont propres aux MOSFETs faisant l'objet de ce mémoire.

III.2.8. Impact sur les paramètres électriques du MOSFET

L'optimisation des traitements de surface lors du procédé peut être à l'origine d'une modification des paramètres électriques et du rendement. Il est donc nécessaire de considérer l'impact de la modification des étapes présentées précédemment. Toutefois, seuls des traitements de surface ont été modifiés ce qui implique une stabilité dans les valeurs des principaux paramètres.

Le fait de remplacer l'étape de nettoyage de type Scrubber Megasonic mécanique par une étape de nettoyage chimique a permis d'éradiquer en quasi-totalité les rejets associés au test ΔBV_{DSS} consistant à effectuer une différence entre la valeur du BV_{DSS} à 250µA et à 20µA afin de détecter les courbes ne présentant pas un coude d'avalanche franc comme illustré par la figure III-27.

Afin de quantifier le gain en terme de rendement pour le MOSFET étudié, une analyse sur près de deux années a été effectué afin de suivre l'évolution des proportions de rejet associés au test ΔBV_{DSS}. La figure IV-16 illustre parfaitement l'impact du nouveau traitement de surface. En effet, les rejets pour le test en question diminuent de 10% à moins de 0,1% grâce à l'implémentation de l'étape de traitement de surface chimique.

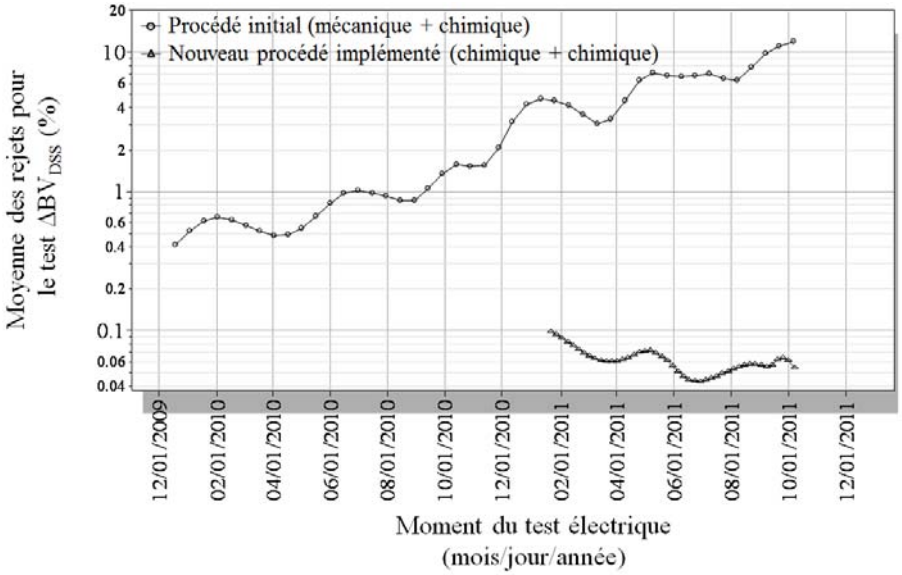


Figure IV-16 : Effet du remplacement du nettoyage de type mécanique par un nettoyage exclusivement chimique au niveau de l'oxyde de grille sur les rejets pour le test ΔBVdss.

III.2.9. Conclusion

L'objectif initial de ce travail de thèse était de contribuer à la qualification du produit afin de garantir sa fiabilité et sa robustesse dans l'application automobile pour laquelle il est destiné. Ainsi, les exigences de fiabilité ont été atteintes en optimisant deux étapes distinctes. La première a consisté à améliorer l'efficacité du nettoyage des plots de résine permettant l'implantation N^+. La seconde a permis d'améliorer la robustesse de l'oxyde de grille en identifiant l'étape de nettoyage mécanique comme critique et en la remplaçant par une étape de nettoyage chimique.

Le test de Q_{BD} présenté dans ce mémoire a été un outil efficace qui a permis de caractériser les modifications du procédé de façon rapide et fiable car corrélant avec les résultats des essais de fiabilité. Les validations ont ainsi pu être réalisées en amont et n'ont ensuite qu'été vérifiées via la campagne de fiabilité.

Ces étapes d'optimisation des traitements de surface ont donné des résultats satisfaisants. Néanmoins, dans le cadre de l'amélioration continue de la technologie, il est nécessaire de poursuivre dans cette démarche pour s'approcher au mieux du « zéro-défaut ».

IV. OPTIMISATION DU PROCEDE : MODIFICATION D'ETAPE

IV.1. Introduction

Les modifications précédentes ont permis d'améliorer la qualité des composants MOSFETs étudiés en termes de robustesse et de qualité. La démarche d'amélioration continue nécessite de persévérer et de continuer vers l'objectif de réaliser des composants « zéro défaut ».

Pour ce faire, deux axes ont été principalement étudiés. Le premier a porté sur le ratio des gaz lors du dépôt du nitrure constituant l'espaceur afin de réaliser une couche présentant une meilleure tenue en tension et donc une meilleure robustesse de l'espaceur. Le second s'est focalisé sur l'uniformité du profil de dopage vertical du polysilicium constituant l'électrode de grille afin de réduire l'effet d'accumulation des atomes de phosphore à l'interface oxyde de polysilicium/polysilicium.

IV.2. Ratio du dépôt de nitrure

IV.2.1. Introduction

L'espaceur qui est réalisé lors du procédé du MOSFET est constitué d'une couche de nitrure ainsi que d'une couche de TEOS. Le nitrure présente deux intérêts majeurs : il joue le rôle de barrière pour prévenir la contamination de l'électrode de grille par les ions mobiles [GONZ06] et les ions alcalins métalliques [SUN00] et le nitrure est aussi utilisé comme couche d'arrêt lors de la gravure de l'espaceur du fait de son excellente capacité à résister aux oxydations [OM95, DUSS05, JIN07].

L'objectif de cette étude est d'améliorer la qualité et la robustesse du film de nitrure déposé afin d'améliorer sa tenue en tension et a fortiori la robustesse de l'espaceur du MOSFET. Dans ce but, l'étude va porter sur les conditions de dépôt et plus précisément sur le ratio des gaz noté r et défini par la formule $r = {Q_{NH_3}}/{Q_{DCS}}$. L'objectif est de quantifier l'intérêt de modifier le procédé de dépôt du film de nitrure pour l'optimisation de la robustesse du composant de puissance.

IV.2.2. Contexte

De nombreuses études ont été menées sur les dépôts LPCVD de nitrure qui est en réalité du nitrure de silicium (Si_3N_4). Ce composé est très utilisé en microélectronique car permettant de réaliser des films denses. Sa qualité a un impact important sur ses propriétés électriques [ANDE05], il est donc primordial d'optimiser les paramètres pour obtenir le film le plus performant dans l'application étudiée.

La proposition faite consiste à modifier la proportion des gaz utilisés pour le dépôt afin d'améliorer sa tenue en tension avec l'objectif d'optimiser la robustesse de l'espaceur qu'il constitue en partie. Le

dépôt de nitrure par technique LPCVD s'effectue selon la réaction chimique présentée par l'équation IV-1 et permet d'obtenir des films de grande qualité.

$$3\ SiH_2Cl_2 + 4\ NH_3 \rightarrow Si_3N_4 + 6\ HCl + 6\ H_2 \qquad IV\text{-}1$$

La modification du ratio des gaz influence la stœchiométrie du film déposé. Les espèces gazeuses sont l'ammoniac (NH_3) et le dichlorosilane ou DCS (SiH_2Cl_2) et faire varier leur proportion permet de jouer sur le ratio lors du dépôt de nitrure de silicium.

IV.2.3. Choix du ratio des gaz

IV.2.3.1. Etude bibliographique

Tout d'abord, il est important de considérer que les propriétés et la qualité de ces films sont gouvernées par leur structure et leur stœchiométrie. Ces facteurs sont précisément liés aux conditions de dépôt telles que la température, la pression ou la composition de la phase gazeuse [DEPI90]. En effet, le fait de travailler sous une pression faible, c'est à dire inférieure à 1 Torr, assure l'uniformité de l'épaisseur du film et de sa composition ainsi que sa conformité [GARD96].

Dans la littérature, une augmentation du ratio des gaz de 3 à 7 a permis d'accroître la concentration de silicium dans le film en raison de l'augmentation de la proportion de DCS lors du dépôt. De plus, l'augmentation du ratio accroit l'indice de réfraction du film de nitrure de silicium [ANDE05] et permet de limiter le stress du film [TÖNN06]. Le film réalisé est ainsi plus dense, néanmoins, la modification du ratio ne change en rien le type de liaison chimique.

Ensuite, DePinto *et al.* ont démontré que l'augmentation du ratio de nitrure de 4 à 6 permettait d'améliorer l'uniformité du film sur la plaquette. De plus, avec des ratios de 4 et 6, le nombre de particules (considérées comme des défauts) était diminué [DEPI90]. Les meilleurs résultats sont systématiquement obtenus pour les ratios les plus élevés [BAGA01].

IV.2.3.2. Plan d'expérience

Deux cellules vont être comparées, il s'agit de la cellule correspondant au procédé initial c'est-à-dire au ratio 5 ainsi qu'une cellule correspondant au ratio 7. Le ratio 7 a été choisi suite à l'étude préliminaire présentée dans l'annexe E.

Les conditions du dépôt de nitrure sont détaillées dans le tableau IV-14. Les variables différenciant les conditions de dépôt sont la concentration en dichlorosilane qui diminue avec l'augmentation du ratio ainsi que le temps de dépôt qui est légèrement réduit dans le cas du ratio le plus élevé.

	Procédé initial, Ratio 5	Ratio 7
Equipement	ASM LPCVD Four horizontal	ASM LPCVD Four horizontal
Température de dépôt	728°C	728°C
Débit des gaz	NH_3: 200cc, DCS: 37cc	NH_3: 200cc, DCS: 30cc
Pression	350mTorr	350mTorr
Conditions spécifiques du dépôt	Plaquette tiltée de 7°	Plaquette tiltée de 7°
Temps	31min	27 min
Epaisseur attendue et limites	300Å ±50Å	300Å ±50Å

Tableau IV-14 : Récapitulatif des conditions de dépôt de nitrure pour les deux ratios comparés.

IV.2.4. Caractérisation des MOSFETs

Deux types de caractérisations sont réalisés. La première consiste à effectuer un test de type Q_{BD} et la seconde à considérer l'impact de la modification des conditions de dépôt du nitrure sur les principaux paramètres électriques du MOSFET.

IV.2.4.1. Test Q_{BD}

Le test est réalisé dans les conditions évoquées dans le chapitre III et les résultats sont présentés, dans un premier temps, selon la statistique de Weibull sur la figure IV-17. La cellule correspondant au dépôt de nitrure ratio 7 donne des MOSFETs plus robustes que dans le cas du procédé initial. Ce résultat est surtout visible pour les faibles valeurs de Q_{BD} inférieures à 1C/cm². La valeur du paramètre α est strictement identique quel que soit le ratio des gaz utilisé pour le dépôt de nitrure ; ce paramètre est égal à 5,8C/cm².

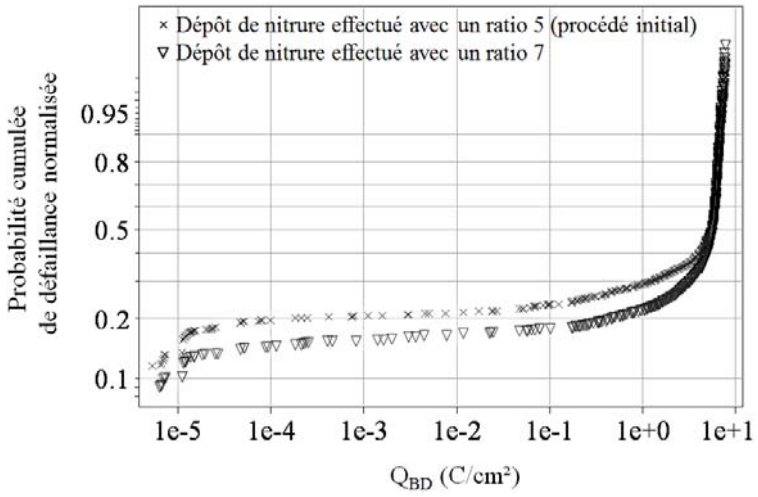


Figure IV-17 : Impact du ratio de gaz lors du dépôt de nitrure sur les distributions QBD des MOSFETs étudiés.

De plus, si on considère la tension de claquage V_{BD}, sa valeur moyenne est de 49V dans le cas du ratio 5 et de 51V dans le cas du ratio 7. Ce qui démontre que l'augmentation du ratio des gaz lors du dépôt de nitrure participe à améliorer la robustesse des MOSFETs de puissance. En outre, les proportions des quatre types de population définies à partir du critère de V_{BD} sont résumées dans le tableau IV-15. L'amélioration de la robustesse des MOSFETs est établie avec ces résultats seulement avec

l'augmentation du ratio des gaz lors du dépôt de nitrure toutes choses étant égales par ailleurs. En effet, la proportion de puces présentant des fuites diminuent d'un facteur 1,3, la population extrinsèque diminue d'un facteur 1,5, la population intermédiaire diminue d'un facteur 1,1 alors que la population intrinsèque augmente d'un facteur 1,1.

Conditions de dépôt du nitrure	Echantillons testés	Puces présentant des fuites (%)	Population extrinsèque (%)	Population intermédiaire (%)	Population intrinsèque (%)
Ratio 5	1296	12,6	4,6	5,4	77,4
Ratio 7	1296	9,5	3,1	4,7	82,7

Tableau IV-15 : Populations des tensions de claquage pour le test Q_{BD} réalisés sur les MOSFETs en fonction du ratio de gaz lors du dépôt de nitrure.

IV.2.4.2. Paramètres électriques à température ambiante

L'impact de la valeur du ratio lors du dépôt de nitrure joue un rôle important sur le rendement électrique. En effet pour une population constituée de six plaquettes, le rendement pour le ratio 5 est de 82,6% alors qu'il atteint 85,6% pour le ratio 7. Ce résultat est confirmé par la figure IV-18 car on constate une diminution des rejets attribués aux tests I_{GSS}@5V, I_{DSS}@20V, I_{GSS}@+28V et V_{TH}@250µA. Les tests BV_{DSS}@-1V et I_{GSS}@-28V présentent quant à eux une proportion de rejets légèrement supérieure avec l'augmentation du ratio mais qui n'est pas suffisante pour inverser la tendance globale.

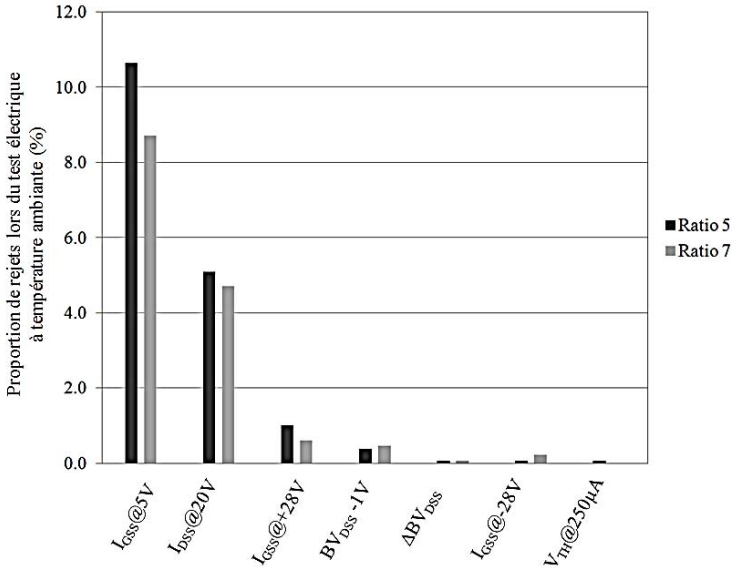


Figure IV-18 : Principaux rejets électriques à température ambiante en fonction du ratio de gaz lors du dépôt de nitrure.

IV.2.5. Analyse des résultats

IV.2.5.1. Modification de la couche de nitrure de silicium

Dans le cas de cette étude, le ratio 7 correspond au meilleur compromis du point de vue électrique. En effet, le ratio 7 permet une meilleure tenue en tension par rapport au ratio standard de 5. Au vue de la

littérature, l'augmentation du ratio ne joue en rien sur le type de liaisons chimiques au sein du nitrure de silicium car la maille est toujours arrangée selon le schéma présenté sur la figure IV-19.

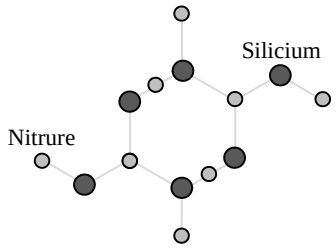


Figure IV-19 : Matrice amorphe de tétraèdre SiN_4 constituant le nitrure de silicium Si_3N_4.

Toutefois, l'augmentation du ratio joue sur l'indice de réfraction du film qui augmente. Ceci prouve que le ratio 7 permet d'obtenir un film plus dense et plus riche en silicium. Ce qui expliquerait sa meilleure tenue lors du test de Q_{BD}.

En ce qui concerne la diminution des rejets caractérisés par des fuites grille-source (I_{GSS}) et grille-drain (I_{DSS}), on constate que l'espaceur et sa qualité peuvent avoir un impact sur la robustesse selon ces modes de sollicitation. En outre, le ratio le plus important permet de limiter la défectivité souvent à l'origine de courant de fuite au niveau de la structure.

IV.2.5.2. Analyse de défaillance

Les structures présentées dans l'annexe E ont fait l'objet d'une analyse physique permettant d'identifier l'existence d'une défaillance préférentielle pour le test du Q_{BD}, dans le cas de la modification du ratio des gaz lors du dépôt de nitrure (figure IV-20). Il est intéressant de constater que la modification des paramètres du dépôt de nitrure influence la proportion de défaillance mais pas la position de claquage préférentielle de la structure. En effet, l'exemple choisi correspondant à une tension de claquage de 26,1V (figure IV-20-a) et 30,4V (figure IV-20-b) permet d'identifier la zone de défaillance située dans le coin supérieur du polysilicium.

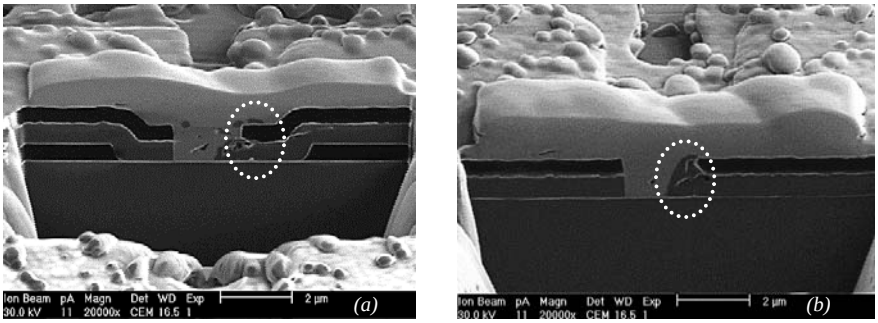


Figure IV-20 : Identification de la zone de défaillance sur les structures dédiées détaillées dans l'annexe E pour une tension de 26,1V (a) et de 30,4V (b).

A titre informatif, la couche de nitrure semble ne pas être présente sur cette image mais cela est dû au fait qu'en microscopie à faisceau d'ions il est nécessaire de balayer la surface pendant un certain temps

(plusieurs dizaines de secondes) pour l'identifier, au risque de dégrader la zone et donc l'information donnée par celle-ci.

IV.2.6. Conclusion

L'augmentation du ratio des gaz de 5 à 7 lors du dépôt de nitrure permet d'atteindre des résultats intéressants quant à la tenue en tension V_{BD} lors du test Q_{BD} mais également dans la robustesse des puces. En outre, le rendement des tests électriques effectué à température ambiante est également amélioré de 3% avec l'augmentation du ratio des gaz.

La modification de cette étape du procédé de fabrication des MOSFETs de puissance explore une voie intéressante dans l'amélioration de la qualité des puces de puissance étudiées dans ce mémoire.

En outre, les structures ayant fait l'objet d'une analyse de défaillance ont permis de mettre en évidence une faiblesse au niveau du coin supérieur du polysilicium pouvant résulter d'un effet d'accumulation (mieux connu sous le nom de « pile-up ») des atomes de phosphore lors du dopage du polysilicium. Cette étape du procédé fera l'objet d'une étude spécifique dans le paragraphe suivant.

IV.3. Profil de dopage du polysilicium

IV.3.1. Introduction

L'étude est menée pour le dépôt de nitrure précédemment décrit et réalisé avec un ratio de gaz égal à 5.

L'étude précédente a permis de démontrer une faiblesse de la structure au niveau du polysilicium pouvant être liée à des défaillances identifiées au niveau de l'espaceur lors des tests de fiabilité. Il est donc nécessaire de considérer le dopage du polysilicium et plus particulièrement la redistribution des espèces et donc l'homogénéité du dopage.

IV.3.2. Détail du procédé et objectifs

Le polysilicium est dopé à faible dose pour améliorer les performances de commutation du composant. Toutefois, l'implantation de phosphore n'est pas suivie par un recuit spécifique, ce qui pourrait conduire à une non-uniformité du profil de dopage vertical dans le polysilicium et générer un effet de pointe dans le coin supérieur de la couche comme illustré précédemment. Cet aspect est important car un oxyde vertical très fin (de l'ordre de quelques nanomètres d'épaisseur) croît pendant le recuit de redistribution des espèces implantées, lors de l'étape de PHV (figure IV-21). Si cet oxyde est de mauvaise qualité, il peut se révéler problématique pour la tenue de l'espaceur puisque le dépôt de nitrure de celui-ci est réalisé directement sur cette fine couche d'oxyde vertical de polysilicium. La qualité de cet oxyde est donc liée au dopage en phosphore du polysilicium et plus précisément à son homogénéité dans le polysilicium.

L'objectif est de réaliser un recuit spécifique afin d'activer et de redistribuer le phosphore dans le polysilicium. Celui-ci sera effectué après le dépôt de la couche ILD avant la gravure de la couche ONO. L'hypothèse est de réduire les défauts potentiels générés dans le coin supérieur du polysilicium afin

d'améliorer la robustesse du MOSFET à cet endroit précis. Le but est d'obtenir un profil de dopage plus uniforme avec un recuit spécifique afin d'obtenir un oxyde vertical de meilleure qualité.

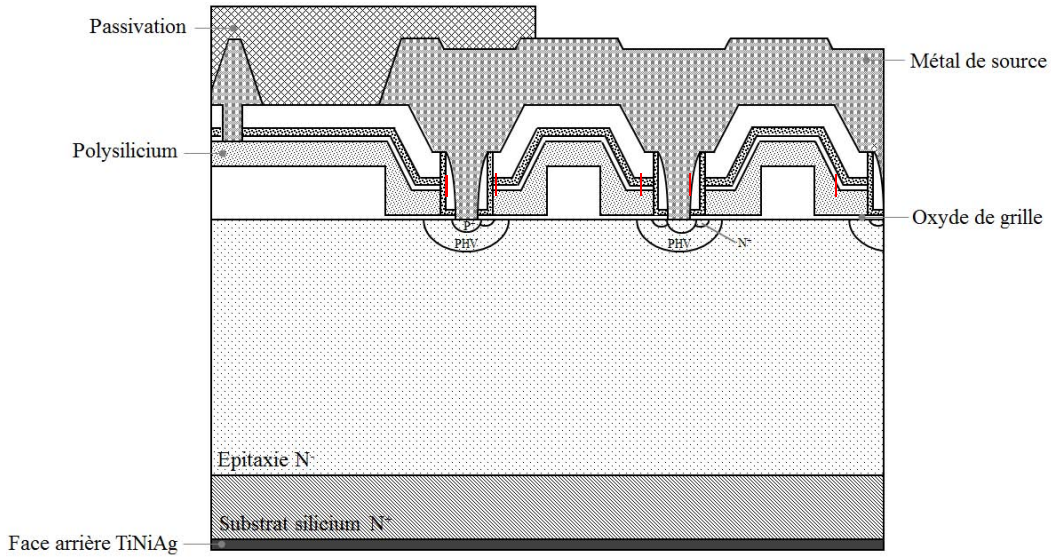


Figure IV-21 : Localisation (pointillé rouge) de l'oxyde vertical généré lors du recuit associé au PHV.

Lors du dopage en phosphore de l'électrode de grille, des atomes de phosphore peuvent s'accumuler à l'interface polysilicium/oxyde de polysilicium et polysilicium/oxyde de grille ; ce phénomène porte le nom de « pile-up » [KAMI98, LEVY89].

En outre, si le temps des recuits n'est pas maîtrisé il est possible d'assister à une diffusion des atomes de phosphore à travers l'oxyde de grille. Kamal Khan *et al.* ont ainsi démontré que le niveau de fuite de l'oxyde de grille est intimement lié à la proportion d'accumulation des impuretés à l'interface polysilicium/oxyde [KAMA97]. Il est donc primordial de choisir précisément les temps de recuit spécifique au polysilicium dopé en phosphore pour limiter cet effet et ne pas surdoper l'oxyde en phosphore.

IV.3.3. Choix des conditions de recuit

IV.3.3.1. Simulations

Une étude par simulation du procédé de fabrication à deux dimensions est réalisée pour évaluer le couple température/temps le plus adapté. Nous allons nous inspirer du recuit de redistribution associé aux implants N^+ et P^+ et qui est réalisé à 950°C durant 30 minutes. Ainsi, quatre cellules vont être comparées et évaluées avec une température constante de 950°C et des durées de recuit différentes : 30 minutes, 60 minutes, 90 minutes et 120 minutes (figure IV-22).

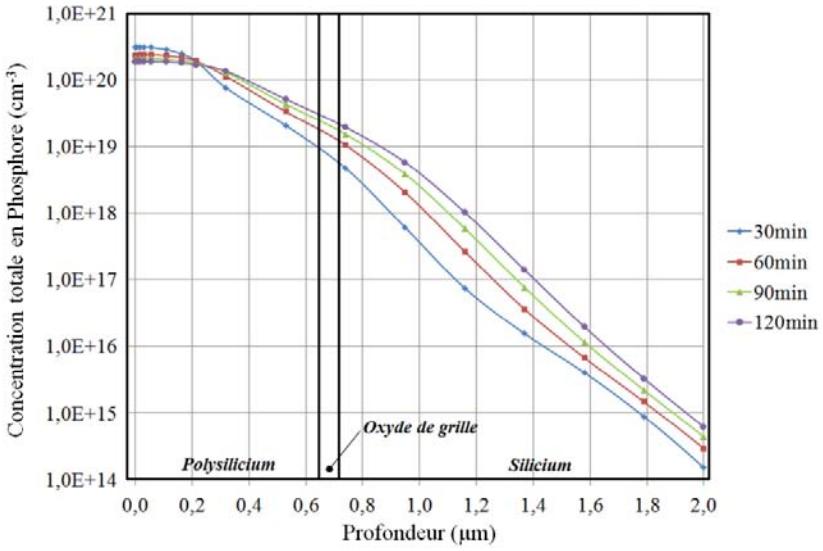


Figure IV-22 : Impact du temps de recuit sur l'activation et la redistribution du phosphore dans le polysilicium.

On constate qu'une durée de recuit trop longue a tendance à créer une diffusion plus importante des atomes de phosphore à travers l'oxyde de grille et même le silicium. Ces résultats de simulation démontrent que la durée la plus courte limite cet effet.

Nous optons pour un recuit de 30mn à la température de 950°C et nous ferons une comparaison avec le procédé initial qui ne comporte pas de recuit spécifique pour la redistribution et l'activation du phosphore dans le polysilicium.

IV.3.3.2. Mesures physiques

Des mesures de types SRP (« Spreading Resistance Profiling ») et des analyses SIMS (Spectrométrie de Masse à Ionisation Secondaire) ont été réalisées afin de comparer l'impact d'un recuit sur la concentration des espèces dopantes de phosphore dans le polysilicium. Le principe de la mesure est présenté dans l'annexe F.

IV.3.3.2.1. Résultats de l'analyse SRP

L'analyse SRP met en évidence une différence sensible entre la concentration des espèces de phosphore dans le polysilicium. La figure III-23 permet d'observer l'intérêt de la réalisation d'un recuit spécifique dans l'obtention d'une concentration plus homogène dans le polysilicium. Celle-ci est constante et de l'ordre de $1{,}0.10^{+19}$ atomes/cm^3 avec le recuit alors que dans le cas du procédé initial sans recuit elle diminue de $8{,}0.10^{+18}$ atomes/cm^3 jusqu'à $1{,}0.10^{+18}$ atomes/cm^3 dans la couche de polysilicium.

Le recuit permet donc d'obtenir une concentration plus homogène le long des 0,6µm d'épaisseur de la couche de polysilicium, ce qui valide l'hypothèse énoncée quant à son intérêt dans l'obtention d'une meilleure uniformité dans la répartition des espèces dopantes.

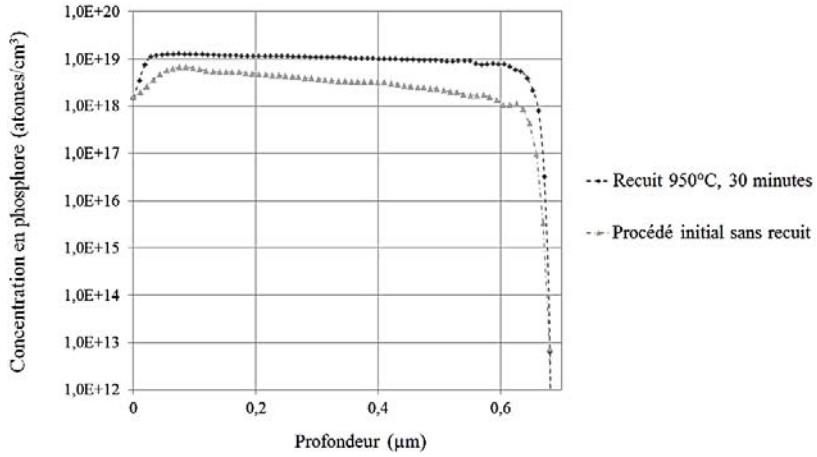


Figure IV-23 : Impact du recuit sur la concentration en phosphore dans le polysilicium (analyse SRP).

IV.3.3.2.2. Résultats de l'analyse SIMS

L'analyse SIMS permet donc d'obtenir des résultats plus précis car les atomes de même charge électrique sont différenciés (figure IV-24). On constate qu'au niveau des atomes de silicium le différentiel est inexistant. Pour le phosphore, il existe une différence faible entre le procédé initial et le procédé effectué avec le recuit à 950°C pendant 30 minutes. Cette analyse ne démontre pas clairement l'impact du recuit sur le profil de dopage en Phosphore.

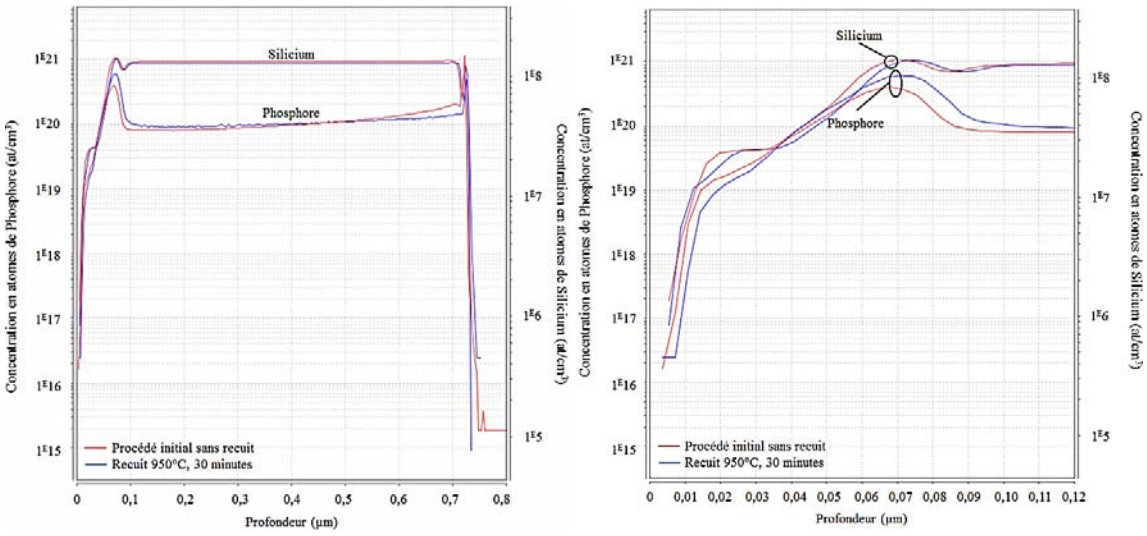


Figure IV-24 : Impact du recuit sur la concentration en phosphore et silicium dans le polysilicium (analyse SIMS).

IV.3.3.3. Caractérisation

IV.3.3.3.1. Test Q_{BD}

Les MOSFETs sont testés dans ce cas et les conditions de mesure sont identiques à celles présentées dans le chapitre III et les résultats sont représentés, dans un premier temps, selon la statistique de Weibull sur la figure IV-25. La cellule correspondant à la réalisation du recuit dédié à la redistribution du phosphore dans le polysilicium permet d'obtenir des composants plus robustes. En effet, le gain apporté par la réalisation du recuit est clairement identifiable pour les valeurs de Q_{BD} inférieures à 1C/cm². Ce résultat est confirmé par la valeur du paramètre α qui est strictement identique que le recuit soit réalisé ou non ; ce paramètre est égal à 5,8C/cm².

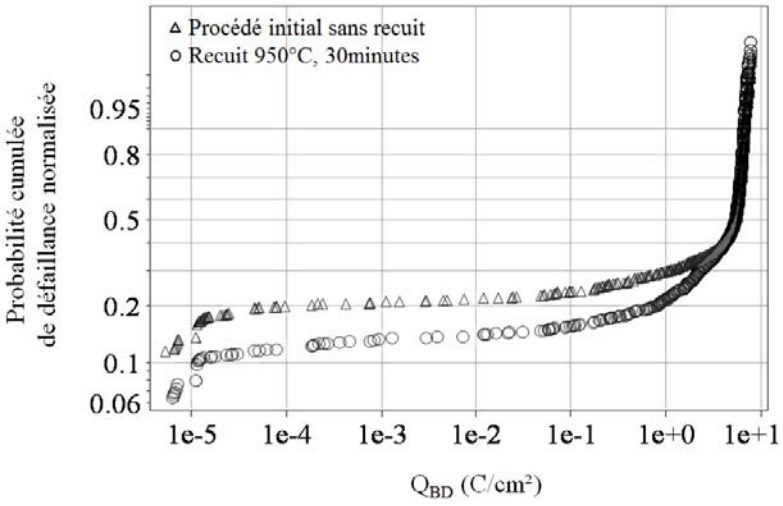


Figure IV-25 : Impact du recuit dédié au phosphore implanté dans le polysilicium sur les distributions Q_{BD} des MOSFETs étudiés.

De plus, si on considère la tension de claquage V_{BD}, sa valeur moyenne est de 49V dans le cas du procédé initial et de 52,3V dans le cas de la réalisation du recuit. Ce qui démontre que la mise en place d'un recuit spécifique pour le phosphore implanté dans le polysilicium contribue à l'amélioration de la robustesse des MOSFETs. En outre, les proportions des quatre types de populations définies à partir du critère de V_{BD} sont résumées dans le tableau IV-16.

L'amélioration de la qualité des MOSFETs est établie avec ces résultats seulement avec l'implémentation du recuit toutes choses étant égales par ailleurs. En effet, la proportion de puces présentant des fuites diminuent d'un facteur 1,9, la population extrinsèque diminue d'un facteur 1,3, la population intermédiaire diminue d'un facteur 1,2 alors que la population intrinsèque augmente d'un facteur 1,1.

Dépôt de nitrure	Echantillons testés	Puces présentant des fuites (%)	Population extrinsèque (%)	Population intermédiaire (%)	Population Intrinsèque (%)
Procédé initial	1296	12,6	4,6	5,5	77,4
Recuit 950°C, 30 minutes	1296	6,7	3,5	4,6	85,2

Tableau IV-16 : Populations des tensions de claquage pour le test QBD réalisés sur les MOSFETs en fonction du ratio de gaz lors du dépôt de nitrure.

IV.3.3.3.2. Paramètres électriques à température ambiante

L'impact du recuit sur la robustesse de composants a été démontré avec l'analyse précédente. Il est également important de caractériser l'influence de l'implémentation d'un tel recuit sur le rendement électrique. En effet pour six plaquettes, le rendement pour le procédé initial est 82,6% alors qu'il augmente à 86,4% avec le recuit effectué à 950°C pendant 30 minutes. Ce résultat est confirmé par la figure IV-26 car on constate une diminution des rejets attribués aux tests I_{GSS}@5V, I_{GSS}@+28V, BV_{DSS}@-1V, ΔBV_{DSS}, I_{GSS}@-28V et V_{TH}@250µA. Toutefois, les tests I_{DSS}@20V, BV_{DSS}@20µA et BV_{DSS}@250µA présentent quant à eux une proportion de rejet légèrement supérieure avec la mise en place du recuit mais qui n'est pas suffisante pour inverser la tendance globale.

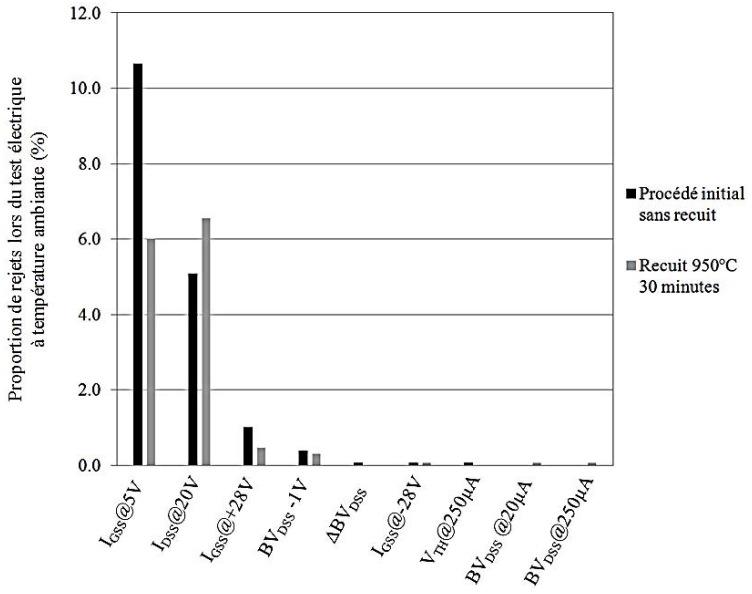


Figure IV-26 : Principaux rejets électriques à température ambiante en fonction de l'implémentation ou non d'un recuit dédiés au phosphore implanté dans le polysilicium.

IV.3.3.4. Conclusion

Le fait d'implémenter un recuit dédié à l'activation et la redistribution du phosphore dans la couche de polysilicium permet d'obtenir des composants plus robustes comme l'ont démontré les résultats du Q_{BD} mais également de meilleure qualité avec l'amélioration du rendement.

Les résultats des analyses SRP permettent d'affirmer que le recuit étudié permet d'uniformiser le profil de dopage vertical du polysilicium et contribue à l'amélioration de la qualité du MOSFET.

Ces améliorations sont intéressantes mais ne seront pas implémentées dans le procédé car nécessitant une nouvelle campagne de fiabilité qu'il n'était pas possible de mettre en place dans le temps imparti. Toutefois, elles démontrent que les étapes identifiées comme potentiellement critiques peuvent être améliorées afin de contribuer à la réalisation d'un transistor robuste et fiable.

V. CONCLUSION

L'optimisation du MOSFET de puissance étudié dans ce mémoire a nécessité de travailler sur deux points clés en distinguant les défauts dits visibles des défauts non visibles. En effet, dans le premier exemple, des résidus de résine ont été identifiés comme étant à l'origine d'une baisse de fiabilité. L'action corrective menée a consisté à appliquer un traitement de surface amélioré par rapport au procédé initial dont l'efficacité a été confirmée par les résultats du test de Q_{BD} et les essais de fiabilité. De plus, dans le cas du dépôt de nitrure et plus précisément en jouant sur le ratio des gaz, on constate que la défectivité qui correspond à des contaminants visibles est un point clé dans le choix de l'étape de procédé optimale.

L'optimisation des traitements de surface au niveau de l'oxyde de grille (avant et après oxydation) a contribué à une amélioration drastique des performances du transistor et a permis de valider sa qualification. Dans ce cas précis, aucun défaut n'a été révélé physiquement et la robustesse du composant a clairement été optimisée, comme démontré avec les résultats du test de Q_{BD}.

Enfin, dans le cas du problème de non uniformité du profil de dopage du polysilicium de grille, l'objectif était de vérifier l'intérêt de réaliser un recuit dédié, pour améliorer la redistribution et l'activation du phosphore.

La difficulté d'optimisation d'une telle structure, qui présente une taille relativement importante, n'est pas une tâche aisée du fait qu'elle est plus sensible aux contaminants qu'une puce présentant une taille réduite [NICC09]. Les défauts dits visibles ne sont pas toujours simples à éradiquer et cette tâche est d'autant plus complexe lorsqu'il s'agit de défauts d'interface non visibles. Cependant, les optimisations présentées dans ce chapitre ont permis de contribuer à l'amélioration de la robustesse et de la qualité des MOSFETs de puissance mais également de définir des voies d'optimisation future.

Conclusion générale

L'objectif de ce travail de thèse était de contribuer à l'amélioration de la qualité et de la robustesse de composants VDMOSFET basse tension fort courant dédiés à l'application automobile micro-hybride de type alterno-démarreur iStARS de Valeo. Les exigences spécifiées de la part de l'équipementier résultent, dans un premier temps, du mode de fonctionnement en avalanche qui est totalement inhérent à cette application. S'ajoute à cet aspect les conditions liées à la fiabilité qui imposent d'atteindre une qualité et une robustesse proche de celle des diodes de puissance, du fait qu'il s'agit d'une application électronique automobile.

Le premier chapitre avait pour objectif de présenter un état de l'art des technologies envisageables pour répondre aux demandes spécifiques de l'application. Le transistor vertical de type MOSFET vertical est apparu comme la solution la plus efficace. Toutefois, le mode de fonctionnement en avalanche explicité en détail dans ce chapitre nécessite des optimisations de la structure pour garantir son fonctionnement dans l'application alterno-démarreur. De plus, les principaux tests de fiabilité utilisés en automobiles ont été présentés afin de mettre en évidence le niveau de qualité exigé. Enfin, les principales causes de défaillances au niveau semiconducteur ont été abordées afin de mettre en évidence l'importance de travailler sur l'optimisation de la structure mais également des étapes du procédé de fabrication.

Ainsi, le second chapitre présente le cahier des charges précis exigé quant à la technologie à développer, le procédé de fabrication de cette technologie et les optimisations nécessaires sur la conception de la cellule élémentaire. En effet, l'aspect de tenue du courant d'avalanche de plusieurs centaines d'ampère était un véritable challenge technologique. En outre, deux méthodes ont été testées pour évaluer la résistance dynamique d'avalanche du MOSFET, avec l'objectif de limiter l'auto-échauffement résultant du passage en mode d'avalanche. Cette caractérisation reste relativement délicate à réaliser car très dépendante du boîtier dans lequel la puce de puissance est assemblée mais également des conditions de mesure. Néanmoins, les résultats obtenus ont donné une tendance quant à la valeur de la résistance dynamique d'avalanche.

Le troisième chapitre a été axé principalement sur la fiabilité du composant MOSFET étudié dans ce mémoire et sur le développement de méthodes pouvant contribuer à son amélioration. Dans ce but, trois axes ont été développés dans ce chapitre. Le premier a consisté à développer un test permettant d'évaluer les optimisations réalisées au niveau du procédé précisément et rapidement, avant de lancer une campagne d'essais de fiabilité longue et coûteuse. Le test du Q_{BD} a été détourné et appliqué à la puce afin d'évaluer au plus près les gains envisageables sur la robustesse de la structure. Un autre aspect innovant est l'utilisation d'un logiciel permettant une analyse statistique des paramètres de chaque puce afin de révéler la présence de composants atypiques dans une distribution et potentiellement critiques pour l'application. Enfin, l'importance de la traçabilité de la puce au module afin de réagir rapidement dans le cas d'une dérive d'un paramètre ou d'une défaillance. L'exemple de la résistance à l'état passant R_{DSon} a permis de comprendre et d'identifier la cause de la défaillance et de mettre en place une action corrective pour identifier ce type de dérive lors de la mesure de la puce en silicium. L'importance de ce paramètre dans l'application, avec la mise en parallèle de puces de puissance, est un point clé garantissant un certain équilibre dans l'établissement du courant d'avalanche.

Dans le quatrième chapitre, deux étapes critiques du procédé de fabrication situées au niveau de l'espaceur et de l'oxyde de grille, identifiées par les analyses de défaillance effectuées sur des rejets du test de fiabilité HTGB, ont été optimisées. Le test de Q_{BD} développé a été utilisé dans la phase de caractérisation électrique. Son intérêt a ainsi été révélé et l'amélioration de la robustesse des MOSFETs a été confirmée par la réalisation des essais de fiabilité et, notamment par la réduction puis l'éradication des rejets pour le test HTGB. Toujours dans la démarche d'amélioration de la robustesse des composants, le test de Q_{BD} a également été utilisé pour évaluer des modifications de procédé très spécifiques comme la réalisation d'un recuit spécifique lié à l'implantation du polysilicium de grille ou l'augmentation du ratio des gaz lors du dépôt de nitrure constituant l'espaceur. Le test de Q_{BD} considérant le composant de puissance comme véhicule de test s'est donc révélé comme une méthode de caractérisation rapide et fiable permettant de valider les hypothèses et plans d'expérience mis en place. Néanmoins, le fait que ce test soit destructif ne permet d'y recourir que pendant la phase de développement technologique. Il a donc permis de valider le procédé optimal pour contribuer à l'amélioration de la robustesse des composants en amont des essais de fiabilité sans pour autant s'y substituer.

Le travail de recherche présenté dans ce mémoire a été essentiellement basé sur l'amélioration des structures MOSFETs verticales basse tension-fort courant développées par Freescale Semiconductor Toulouse. Une étape primordiale a donc consisté en l'identification d'étapes critiques et en leurs corrections mais également par la proposition de nouveaux axes d'amélioration d'étapes pour réaliser le composant le plus fiable possible et répondre à l'exigence « zéro-défaut ». L'importance de la fiabilité pour les applications électroniques dédiées à l'automobile a largement été abordée dans ce mémoire notamment par l'intermédiaire des tests mis en place pour sa validation. Un autre objectif a donc été de développer un test de type Q_{BD} en l'appliquant directement sur la puce afin d'évaluer la robustesse des MOSFETS. Il s'est avéré fiable et rapide et surtout complémentaire à la campagne de fiabilité qui est réalisée en aval. De plus, le recours à de nouvelles solutions telles que la traçabilité de la puce au module de puissance s'est avéré très utile dans la démarche qualité exigée par le projet. En outre, cette méthodologie innovante est une première dans le domaine des composants discrets dédiés à une application électronique automobile. Enfin, une telle structure a nécessité un travail important quant à la définition des cellules élémentaires et des étapes principales du procédé de fabrication pour répondre au fonctionnement spécifique en avalanche. Cette première phase a été primordiale et essentielle pour la réalisation de ces travaux de recherches motivés essentiellement par la nécessité de répondre aux normes de fiabilité validant la qualification de la technologie pour l'application finale.

Le composant qui a fait l'objet de ce mémoire a donc vu sa robustesse améliorée et a été optimisé afin de répondre aux exigences de qualité. Toutefois, même si le projet ANR MOS iStARS a été clôturé, il existe des perspectives de recherche intéressante à poursuivre. En effet, dans le cadre de l'amélioration continue, il serait intéressant de réaliser des tests à plus grande échelle c'est-à-dire sur un échantillon assez représentatif de composants sur deux points abordés dans ce mémoire. Le premier concerne l'augmentation du ratio des gaz lors du dépôt de la couche de nitrure qui fait partie intégrante de l'espaceur. Le second point est lié à l'implémentation d'un recuit spécifique pour l'implantation du polysilicium de grille. En effet, les résultats présentés dans ce mémoire démontrent leur intérêt sur l'amélioration de la robustesse des puces (à travers le test de Q_{BD}) ainsi que sur le rendement. L'étude devrait donc être poursuivie et validée par des essais de fiabilité, en dernier lieu. En outre, il serait intéressant de penser à une diminution de la taille de la puce afin de limiter le volume du système mais tout cela en conservant une valeur de résistance à l'état passant inférieure à 0,8mΩ. Cet aspect représente

un projet à part entière mais dont le développement technologique pourra profiter des optimisations mises en place pour le composant MOSFET étudié dans ce mémoire.

Références bibliographiques

[AGNO07] A. Agnone, F. Chimento, S. Musumeci, A. Raciti, G. Privitera, "A New Thermal Model for Power MOSFET Devices Accounting for the Behavior in Unclamped Inductive Switching," IEEE Power Electronics Specialists Conference, pp.1006-1012, 2007.

[ALOI01] P. Aloïsi, “Les semiconducteurs de puissance”, Ellipses Edition, pp.210, 2001.

[ANDE05] K.N. Andersen,W.E. Svendse, T. Stimpel-Lindner, T. Sulima, H. Baumgärtner, “Annealing and deposition effects of the chemical composition of silicon-rich nitride”, Applied Surface Science, Vol. 243, Issue 1-4, 2005, pp. 401–408.

[AUTO05] Automotive Electronics Council, Stress test qualification for automotive grade discrete semiconductors, AEC - Q101 - Rev – C, 2005.

[AZIZ03] N. Azizi, P. Yiannacouras, “Gate Oxide Breakdown”, 2003.

[BAGA01] A. A. Bagatur'yants, K. P. Novoselov, A. A. Safonov, J. V. Cole, M. Stoker, A. A. Korkin, “Silicon nitride chemical vapor deposition from dichlorosilane and ammonia: theoretical study of surface structures and reaction mechanism”, Applied Surface Science, Vol. 486, Issue 3, 2001, pp. 213-225.

[BALI10] B. J. Baliga, "Advanced Power MOSFET Concepts", Ed. Springer Science, 2010.

[BALI87] B. J. Baliga, "Modern Power Devices", Ed. John Wiley & Sons, 1987.

[BALL87] B. Balland, C. Plossu, S. Bardy, “Degradation of metal/oxide/semiconductor structures by Fowler-Nordheim tunnelling injection”, Thin Solid Films, Vol. 148, Issue 2, 1987, pp. 149–162.

[BALO01] L. Balogh, "Design and application guide for high speed MOSFET gate drive circuits", Proceedings of Power Supply Design Seminar, 2001.

[BARB09] F. Barbaginia, S. Halderb, T. Janssensc, K. Kenisd, K. Wostyne, T. Beardaf, T.-L. Quocg, P. Leunissenh, P. Mertensi, K.-H. Kimj, M. Andreask, “Particle Removal Efficiency and Damage Analysis on Silicon Wafers after Megasonic Cleaning in Solvents”, Journal of Adhesion Science and Technology, Vol. 23, Issue 12, 2009, pp.1709-1721.

[BERE10] J. Beretta, "*Motorisation hybride thermique-électrique*", Techniques de l’Ingénieur, Référence BM2760, 2010.

[BERN10] B. Bernoux, "Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides", Thèse de doctorat de l’Institut National des Sciences Appliquées de Toulouse, 2010.

[BLACK88] D. Blackburn, "Power MOSFET failure revisited", 19th Annual IEEE Power Electronics Specialists Conference, Vol. 2, 1988, pp.681-688.

[BRIE95] O. Brière, P. Cottin, A. Straboni, “Comparison of rapid ramp voltage and tunneling injection stress experiments for the characterization of thin MOS gate oxides”, Journal of Non-Crystalline Solids Vol. 187, 1995, pp. 190-194.

[BUTT04-a] C. Buttay, "Contribution à la conception par la simulation en électronique de puissance : application à l’onduleur basse tension", Thèse de doctorat de l’Institut National des Sciences Appliquées de Lyon, 2004.

[BUTT04-b] C. Buttay, T. Ben Sallah, D. Bergogne, B. Allard, H. Morel, J.-P. Chante, “Avalanche behavior of low-voltage power MOSFETs”, IEEE Power Electronics Letters, Vol. 2, n°3, 2004, pp.104-107.

[CAPP91] P. Cappelletti, P. Ghezzi, F. Pio, C. Riva, “Accelerated current test for fast tunnel oxide evaluation”, Proceedings of the International Conference on Microelectronic Test Structures (ICMTS), 1991, pp. 81-85.

[CAQU80] E. Caquot, G. Guegan, M. Gamboa, H. Tranduc, P. Rossel "Phénomène de quasi-saturation dans les transistors M.O.S", Revue de Physique Appliquée, Vol. 15, Issue 9, 1980, pp. 1445-1450.

[CHAU07] K. T. Chau, C. C. Chan, "Emerging Energy-Efficient Technologies for Hybrid Electric Vehicles", Proceedings of the IEEE, Vol. 95, Issue 4, 2007.

[CHEN04] J. Chen, S. Downer, A. Murray, D. Divins, “Analysis of Avalanche Behaviour for Paralleled MOSFETs”, SAE World Congress, 2004.

[CORR11] M. Correvon, “Electronique de puissance, Chapitre 7 - Les semiconducteurs de puissance deuxième partie : le MOSFET”, 2011 (http://www.iai.heig-vd.ch/fr-ch/Enseignement/Supports/O_Electronique%20de%20puissance%20(ELP)/Chapitre%2007%20-%20Les%20semiconducteurs%20de%20puissance,%20le%20MOSFET.pdf).

[COSW96] R. G. Cosway, M. G. Ridens, M. Peters, K. Catmull, S.R. Chilton, “Use of on-product measurements for process control for improved manufacturing efficiency and reduced costs”, Proceedings of IEEE/SEMI Advanced Semiconductor Manufacturing Conference and Workshop, 1996, pp. 370-374.

[DEGR96] R. Degraeve, PH. Roussel, G. Groeseneken, H.E. Maes, “A new analytic model for the description of the intrinsic oxide breakdown statistics of ultra-thin oxides”, Microelectronics Reliability, Vol. 36, Issue 11-12, 1996, pp. 1639-1642.

[DEPI90] G. DePinto, J. Wilson, “Optimization of LPCVD silicon nitride deposition process by use of designed experiments”, Advanced Semiconductor Manufacturing Conference and Workshop, ASMC Proceedings, 1990.

[DIA11] H. Dia, “Contribution à la modélisation électrothermique : Elaboration d'un modèle électrique thermosensible des composants MOS de puissance”, Thèse de doctorat de l’Institut National des Sciences Appliquées de Toulouse, 2011.

[DIER94] K. Dierberger, “Understanding the Difference Between Standard MOSFETs and Avalanche Energy Rated MOSFETs”, Advanced Power Technology Inc., Application Notes APT9402, 1994.

[DODG06] J. Dodge, “Power MOSFET Tutorial”, Advanced Power Technology, Application Note APT-0403 Rev B, 2006.

[DORK03] J.-M. Dorkel, “Semi-conducteurs de puissance - Problèmes thermiques (partie 1)”, Techniques de l’Ingénieur, Référence D3112, 2003.

[DUBU04] J.-M. Dubus, P. Masson, C. Plasse, "*Les systèmes alterno-démarreur réversibles Valeo : Les véhicules propres*", Revue de l'électricité et de l'électronique, Vol. 10, 2004, pp. 40-50.

[DUSS05] C. Dussarat, J.-M. Girard, “Method for depositing silicon nitride films and silicon oxynitride films by chemical vapor deposition”, United States Patent Application Publication, US 2005/6936548 B2, 2005.

[EFLA90] T. Efland, M. Manternach, A. Marshall, J. Mings, "The Load Dump", Proceedings of IEEE Workshop on Electronics Applications in Transportation, 1990, pp.73-78.

[EVAN93] I.R. Evans, D. Garrat, “Automated wafer level Q_{BD} measurement for production control”, IEEE Transactions On Semiconductor Manufacturing, Vol. 6, 1993, pp. 83-87.

[FAN98] Y.-H. Fan, Y. Moalem, "Effective defect detection and classification methodology based on integrated laser scanning inspection and automatic defect classification", Proceedings of Advanced Semiconductor Manufacturing Conference and Workshop, 1998.

[FEYB03] A. Feybesse, “Développement et optimisation par simulation de transistors MOS verticaux de puissance adaptes aunsecteur automobile (batterie 42V)”, Thèse de doctorat de l’Université Paul Sabatier de Toulouse, 2003.

[GARD96] J. G. E. Gardeniers, H. A. C. Tilmans, C. C. G. Visser, “LPCVD silicon-rich silicon nitride films for applications in micromechanics studied with statistical experimental design”, Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films, Vol. 14, Issue 5, 1996, pp. 2879-2892.

[GAUE02] K. Gauen, W. Chavez, "High Cell Density MOSFETs." Semiconductor Components Industry, Engineering Bulletin On Semiconductor, 2002.

[GHEZ91] P. Ghezzi, F. Pio, C. Riva, A. Mathewson, F. Naughton, P. O’Sullivan, “An Exponentially Ramped Current Stress Method Providing a Wide Range of Dielectric Parameters”, Microelectronics Engineering, Vol. 15, 1991, pp. 117-120.

[GONZ06] F. Gonzalez, S. Surthi, P. Banerjee, “Dependence of Si3N4 Film Properties on Precursor Chemistry”, IEEE Workshop on Microelectronics and Electron Devices, 2006.

[GRAN89] D. A. Grant, J. Gowar, "Power MOSFET, Theory and Applications", Ed. Wiley Interscience, 1989.

[GROSS05] S. Grossman, “Then and Now”, Power Electronics Technology, 2005, pp. 54.

[HATT95] T. Hattori, “Ultraclean Surface Processing of Silicon Wafers, Secrets of VLSI Manufacturing”, Springer, 1995, pp. 511-513.

[HEWL90] Hewlett Packard, User guide HP4062 UX, System information, Edition 1, 1990.

[HEWL92] Hewlett Packard, Operation manual HP4142B, Edition 5, 1992, pp. 3-45.

[HUST92] H.H. Huston, "Reliability defect detection and screening during processing, Theory and implementation", Proceedings of the 30th International Reliability Physics Symposium, 1992, pp. 268-275.

[IEEE90] IEEE, “Standard glossary of software engineering terminology”, IEEE Std 610.12-1990, 1990.

[JALA01] L. Jalabert, Ingénierie de grille pour application à la microélectronique MOS submicronique, Thèse de doctorat de l’université Paul Sabatier de Toulouse, 2001.

[JEDE01] JEDEC STANDARD, “Procedure for the Wafer-Level Testing of Thin Dielectrics”, JESD35-A (Revision of JESD35), Avril 2001.

[KAMI98] T. Kamins “Polycrystalline Silicon for Integrated Circuits and Displays”, Kluwer Academic Publishers, 2nd revised edition, 1998.

[KUBO04] K. Kubota, Y. Kamakura, K. Taniguchi, Y. Sugahara, R. Shimizu, “Dielectric Breakdown Mechanism in Thick $Si0_2$ Films Revisited”, Proceedings of International Symposium on Power Semiconductor Devices & Ics, 2004, pp. 229-232.

[LETU00] P. Leturcq, "Tenue en tension des semi-conducteurs de puissance", Techniques de l’Ingénieur, Référence D3104, 2000.

[LETU99] P. Leturcq, "Composants semi-conducteurs de puissance : caractères propres", Techniques de l’Ingénieur, Référence D3100, 1999.

[LEVY89] R.A. Levy, “Microelectronic Materials and Processes”, Kluwer Academic Publishers, 1989.

[LOCH88] R. Locher, “Introduction to Power MOSFETs and Their Applications”, National Semiconductor Application, Note 558, 1988.

[LOMB05] S. Lombardo, J. H. Stathis, B. P. Linder, K. Leong Pey, F. Palumbo, C. H.Tung, “Dielectric breakdown mechanisms in gate oxides”, Journal of Applied Physics, Vol. 98, Issue 12, 2005, pp. 121301.1-121301.36.

[MANE98] Y. Maneglia, “Analyse en profondeur des défauts de l’interface $Si\text{-}SiO_2$ par la technique du pompage de charges”, Thèse de doctorat de l’Institut National Polytechnique de Grenoble, 1998.

[MART00] A. Martin, G. Diestel, “Method for the extraction of extrinsic data for oxide quality assessment”, IEEE Integrated Reliability Workshop, 2000, pp. 187-188.

[MART96] A. Martin, J.S. Suehle, P. Chaparala, P. O’Sullivan, A. Mathewson, “A new oxide degradation mechanism for stresses in the FN tunneling regime”, IEEE Reliability Physics Symposium, 1996, pp. 67-76.

[MART97] A. Martin, P. O'Sullivan, A. Mathewson, "Q_{BD} dependence on stress and test structure parameters: A review", IEEE International Integrated Reliability Workshop, 1997, pp. 140-141.

[MART98] A. Martin, P. O'Sullivan, A. Mathewson, "Dielectric reliability measurement methods: a review", Microelectronics Reliability, Vol. 38, 1998, pp. 37-72.

[MATH04] H. Mathieu, "Physique des semiconducteurs et des composants électroniques, 5ème Edition", Dunod, 2004.

[MATH06] T. Mathews, "Over Voltage Protection Circuit for Automotive Load Dump", National Semiconductor Application Note 1533, SNVA190A, 2006.

[MATH90] H. Mathieu, Physique des semiconducteurs et des composants électroniques, 2ème édition, Ed. Masson, 1990.

[MCPH98] J. W. McPherson, H. C. Mogul, "Disturbed bonding states in SiO_2 thin-films and their impact on time-dependent dielectric breakdown", IEEE Proceedings of International Reliability Physics Symposium, 1998, pp. 47–56.

[MERT02] P. W. Mertens, E. Parton, "Sub-100nm technologies drive single-wafer wet cleaning", Solid State Technology, Vol. 45, Issue 2, 2002 (http://www.electroiq.com/articles/sst/print/volume-45/issue-2/features/wafer-cleaning/sub-100nm-technologies-drive-single-wafer-wet-cleaning.html).

[MILL57] S. L. Miller, "Ionization Rates for Holes and Electrons in Silicon", Physical Review, Vol. 105, 1957, pp. 1246-1249.

[MOOK05] J. Mookken, "Future Vehicles Drive Next Generation of Power Modules", Feature Semikron, 2005, pp. 34-37.

[MORA07] F. Morancho, "Physique et modélisation des composants et des circuits intégrés de puissance (Traité EGEM, série Électronique et micro-électronique)", Chapitre 3 par J.M. Dorkel et J.-M. Bosc, Editions Hermes Lavoisier, 2007.

[MORA96] F. Morancho, "Le transistor MOS de puissance à tranchées : modélisation et limites de performances", Thèse de doctorat de l'Université Paul Sabatier, Toulouse, 1996.

[NAGA06] R. Nagarajan, M. Diwan, P.Awasthi, A. Shukla, P. Sharma, M. Goodson, "Optimization of Ultrasonic Cleaning for Erosion-Sensitive Microelectronic Components", IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 2006, pp. 233-237.

[NAGA92] R. Nagarajan, "Cavitation erosion of substrates in disk drive component cleaning: an exploratory study", WEAR, Vol. 152, Issue 1, 1992, pp. 75-89.

[NAKA07] A. Nakagawa, Y. Kawaguchi, K. Nakamura, "Achieving material limit characteristics in silicon power devices", International Workshop on Physics of Semiconductor Devices (IWPSD), 2007.

[NAKA95] K. Nakamura, T. Takahashi, "An observation of breakdown characteristics on thick silicon oxide", Proceedings of IEEE International Symposium on Power Semiconductor Devices and ICs, 1995, pp. 374-379.

[NGUY09] T. Nguyen, “Caractérisation, modélisation et fiabilité des diélectriques de grille à base de HfO_2 pour les futures technologies CMOS”, Thèse de doctorat de l’Institut National des Sciences Appliquées de Lyon, 2009.

[NICC09] J. Niccoli, M. Cogrono, M. Eastlack, D. McCane, C. Carlson, E. Young, “Single wafer ozone-based processing for effective edge fluoropolymer cleaning”, Solid State Phenomena, Vols 145-146, 2009, pp. 155-158.

[OM95] J.-C. Om, M.-S. Jo, H.-S. Park, “Source/drain junction leakage current of LDD NMOSFET with various spacer materials”, Proceedings of IEEE 1995 International Conference on Microelectronic Test Structures, Vol. 8 , 1995, pp. 177-180.

[ONIS98] A. Onishi, A. Chiyokawa, A. Tomozawa, “The evaluation of ultrasonic damage caused by single wafer cleaning system”, Proceedings of the 5th International Symposium on cleaning technology in semiconductor device manufacturing, Vols 93-35, 1998, pp. 79-86.

[PAGE03] C. Pagès, H. Hamdi, J. Rousseau, J. Lopez, “Arête de coupe : étude nanométrique, Partie 1”, Proceedings of CPI, 2003.

[PAWE06] I. Pawel, R. Siemieniec, F. Hirler, M. Rösch, “Avalanche Behavior of Power MOSFETs”, Proceedings of International Scientific Colloquium, Université Technique de Ilmenau, 2006.

[PHIL71] E. Philofsky, K. Ravi, E. Hall, J. Black, "Surface Reconstruction of Aluminum Metallization – A New Potential Wear out Mechanism", 9th Annual Reliability Physics Symposium, 1971, pp. 120-128.

[POME11] E. Pomès, J.-M. Reynès, P. Tounsi, J.-M. Dorkel, “Power MOSFET quality and robustness enhancement with a new Q_{BD} characterization performed at probe–die–wafer level”, Materials Science and Engineering: B, Vol.177, Issue 15, 2012, pp. 1362-1366.

[RAPO07] M. Raposo, Q. Ferreira, P.A. Ribeiro, “A Guide for Atomic Force Microscopy Analysis of Soft Condensed Matter”, Modern Research and Educational Topics in Microscopy, 2007.

[RAVI92] N. M. Ravindra, J. Zhao, “Fowler-Nordheim tunneling in thin SiO_2 films”, Smart Material and Structure, Vol. 1, 1992, pp. 197-201.

[REED03] Reedholm Instrument, “Field-Induced Thin Oxide Wearout”, Physics Note 103, 2003 (http://www.reedholm.com/library/physics/physics.htm#PN-103).

[REYN02] J.-M. Reynès, I. Deram, A. Feybesse, “Power semiconductor device and method of manufacturing a power semiconductor device”, International Patent Application Publication, WO/2003/107432, 2003.

[REYN07] J.-M. Reynès, I. Majoral, J.-P. Pujo, E. Stefanov, “Field-effect semiconductor device and method of forming the same”, International Patent Application Publication, WO/2007/016966, 2007.

[RICH07] D. Richard, Y. Dubel, "Valeo StARS Technology: A Competitive Solution for Hybridization", Power Conversion Conference, Nagoya, 2007.

[SALA05] C. Salamero, “Méthodologie de prédiction du niveau de robustesse d’une structure de protection ESD à l’aide de la simulation TCAD”, Thèse de doctorat de l’Université Paul Sabatier de Toulouse, 2005.

[SANC85] J.L. Sanchez, H. Tranduc, T. Phan Pham, M. Gharbi, P. Rossel, G. Charitat, B. Vertongen, "Influence des zones d'accès sur la résistance à l'état passant des transistors moyennes tensions VDMOS de puissance", Revue de Physique Appliquées, Vol. 20, 1985, pp. 759-770.

[SCHW00] U. Schwalke, M. Polzl, T. Sekinger, M. Kerber, “Reliability issues of ultra-thick gate oxides”, IEEE International Integrated Reliability Workshop, 2000, pp. 144-145.

[SCHW01] U. Schwalke, M. Pölzl, T. Sekinger, M. Kerber, "Ultra-thick gate oxides: charge generation and its impact on reliability", Microelectronics Reliability, Vol. 41, 2001, pp. 1007-1010.

[SEAC00] M.R. Seacrist, “Application of gate oxide integrity measurements in silicon wafer manufacturing”, Gate Dielectric Integrity: Material, Process and Tool Qualification, 2000, pp. 102-111.

[SHEN92] K. Shenai, "Optimum DMOS cell doping profiles for high-voltage discrete and integrated device technologies", IEEE Transactions on Electron Devices, Vol. 39, Issue 5, 1992.

[SHIN06] M. W. Shinwari, , M. J. Deen, D. Landheer, “Study of the electrolyte-insulator-semiconductor field-effect transistor (EISFET) with applications in biosensor design”, Microelectronics Reliability, Vol. 47, 2007, pp. 2025–2057.

[SIMP05] W. Simpson, “Implementation of a J-ramp Test Process to Examine the Reliability of Dielectric Films”, Microelectronic Engineering Conference, 2005, pp. 72-74.

[SITK03] R. Sitko, I. Szendiuch, “The Cleaning Importance in Microelectronics Technology”, Proceedings of the 26th International Spring Seminar on Electronics Technology, 2003, pp. 499-504.

[SMET08] V. Smet, "Fiabilité et analyse de défaillances de modules de puissance à IGBT", Conférence des Jeunes Chercheurs en Génie Electrique (JCDE), 2008.

[SPIR05] P. Spirito, G. Breglio, V. d’Alessandro, “Modeling the Onset of Thermal Instability in Low Voltage Power MOS: an Experimental Validation”, Proceedings of ISPSD, 2005, pp. 183-186.

[STOJ02] N. Stojadinovic, I. Manic, S. Djoric-Veljkovic, V. Davidovic, S. Golubovic, S. Dimitrijev, “Effects of positive gate bias stressing and subsequent recovery treatment in power VDMOSFETs”, IEEE International Caracas Conference on Devices, Circuits and Systems, 2002, pp. D050-1, D050-8.

[STOJ03] N. Stojadinovic, I. Manic, V. Davidovic, D. Dankovic, S. Djoric-Veljkovic, S. Golubovic, S. Dimitrijev, “Effects of Electrical Stressing in Power VDMOSFETs”, IEEE Conference on Electron Devices and Solid-State Circuits, 2003, pp. 291-296.

[STRO09] A. W. Strong, E. Y. Wu, R.-P. Vollertsen, J. Sune, G. La Rosa, “Reliability wearout mechanisms in advanced CMOS technologies”, Editions John Wiley & Sons, 2009.

[SUN00] P.-F. Sun, C.-C. Hsieh, C.-H. Chen, M.-J. Chen, “Method of LPCVD silicon nitride deposition”, United States Patent Application Publication, US 2000/6147013, 2000.

[SZE81] S. M. Sze, “Physics of Semiconductor Devices”, Second Edition, Editions John Wiley & Sons, 1981.

[SZE98] S.M. Sze, “Modern semiconductor device physics”, Editions John Wiley & Sons, 1998.

[TAYE03] N. Tayebi, A. A. Polycarpou, “Modeling the effect of skewness and kurtosis on the static friction coefficient of rough surfaces”, Tribology International, Vol. 37, Issue 6, 2004, pp. 491–505.

[TOMO98] A. Tomozawa, H. Kinoshita, Y. Sakata, A. Onishi, Y. Harada, N. Hiraoka, “The evaluation of ultrasonic damage caused by batch type wafer cleaning system”, Proceedings of the 5th International Symposium on cleaning technology in semiconductor device manufacturing, Vols 93-35, 1998, pp. 71-78.

[TÖNN06] Sonia Tönnberg, “Optimization and characterization of LPCVD silicon nitride thin film growth”, Master of Science Thesis from Chalmers University of Technology, Göteborg, Sweden, 2006.

[UEDA84a] D. Ueda, H. Takagi, G. Kano, "A new vertical double diffused MOSFET –The self-aligned terraced gate MOSFET", IEEE Transactions on Electron Devices, Vol. 31, n°4, 1984, pp. 416-420.

[UEDA84b] D. Ueda, H. Takagi, G. Kano, "A new vertical power MOSFET structure with extremely reduced on-resistance", IEEE Transactions on Electron Devices, Vol.31, n°1, 1984, pp.2-6.

[VERE04] G. Vereecke, F. Holsteyns, J. Veltens1, M. Lux, S. Arnauts, K. Kenis, R. Vos, P.W. Mertens, M.M. Heyns, “Evaluation of megasonic cleaning systems for particle removal efficiency and damaging”, International symposium on cleaning technology in semiconductor device manufacturing, Vol. 26, 2004, pp. 145-152.

[VERW96] J.F Verweij, J.H. Klootwijk, “Dielectric breakdown I: A review of oxide breakdown”, Microelectronics Journal, Vol. 27, 1996, pp. 611-622.

[WAGN06] M. Wagner, W. Unger, W. Wondrak, “Part average analysis – A tool for reducing failure rates in automotive electronics”, Microelectronics Reliability, Vol. 46, Issues 9–11, 2006, pp. 1433–1438.

[WEBE08] Y. Weber, “Conception d’une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnelle du silicium”, Thèse de doctorat de l’Université Paul Sabatier de Toulouse, 2008.

[WOND99] W. Wondrak, “Physical limits and lifetime limitations of semiconductor devices at high temperature”, Microelectronics Reliability, Vol. 39, 1999, pp. 1113-1120.

[YANG00] T.-C. Yang, K. C. Saraswat, “Effect of Physical Stress on the Degradation of Thin SiO_2 Films Under Electrical Stress”, IEEE Transactions on Electron Devices, Vol. 47, Issue 4, 2000, pp. 746-755.

[YANG10] S. Yang, D. Xiang, A. Bryant, P. Mawby, L. Ran, P. Tavner, “Monitoring for Device Reliability in Power Electronic Converters: A Review”, IEEE Transactions on Power Electronics, Vol. 25, No. 11, 2010, pp. 2734-2752.

[YANG11] S. Yang, A. Bryant, P. Mawby, D. Xiang, L. Ran, P. Tavner, “An Industry-Based Survey of Reliability in Power Electronic Converters”, IEEE Transactions on Industry Applications, Vol. 47, No.3, 2011, pp. 1441-1451.

Annexes

ANNEXE A: La statistique de Weibull

I. Généralités

La loi de Weibull est une loi de probabilité continue. Il s'agit d'un outil statistique qui permet de réaliser une véritable analyse de défaillance ainsi qu'un calcul de risque avec un échantillon réduit.

La loi de Weibull est systématiquement utilisée dans le contrôle de la qualité ainsi qu'en fiabilité car permettant de limiter l'échantillon testé tout en donnant des résultats représentatifs. Elle est en général utilisée pour déterminer la durée de vie du système étudié.

Dans le cas des composants MOSFETs étudiés dans ce mémoire, l'objectif est de se focaliser sur le claquage de l'oxyde de grille. Cette défaillance est un phénomène statistique car deux composants ayant des caractéristiques identiques peuvent présenter des caractéristiques différentes de tenue au claquage diélectrique, ce qui induit l'intérêt d'un traitement des résultats par des voies statistiques.

II. La loi de Weibull

La distribution considérée doit nécessairement être étudiées sur l'intervalle [0,∞[car devant donner une information en lien avec la durée de vie du système étudié ou sa capacité à tenir un certain paramètre.

La fonction de répartition de cette distribution de type cumulative est définie selon la formule suivante. Elle renvoie la valeur de la probabilité de la défaillance pour une certaine valeur du paramètre x.

$$F(x) = 1 - e^{-(\frac{x}{\alpha})^{\beta}}$$

Le paramètre β correspond au facteur de forme de la statistique aussi appelé pente de la distribution de Weibull. Il est défini comme le coefficient directeur de la droite représentant la probabilité cumulée de défaillance. Il implique donc le taux de défaillance.

Ainsi, si $\beta < 1$, le taux de défaillance du produit décroit. Ce scénario est typique de défaillance de jeunesse (« infant failures ») durant la phase de stress. Si $\beta = 1$, le taux de défaillance du produit est considéré comme constant. Généralement, les composants qui survivent à la phase de stress présentent un taux de défaillance constant. Enfin, si $\beta > 1$, le taux de défaillance est en augmentation. Ce qui correspond à la phase d'usure du composant. Ces valeurs du facteur β sont à associer à la courbe en baignoire présentée sur la figure I-22 qui représente la vie d'un composant.

Le paramètre α correspond au facteur d'échelle de la statistique de Weibull et plus précisément à la dispersion de cette distribution. Il est défini comme étant égal aux nombres de cycles pour lesquels 63,2% des produits ont subi une défaillance.

III. Application aux mesures de Q_{BD} au niveau de la puce

Dans le cas de la mesure du Q_{BD} appliquée aux MOSFETs de puissance, la tenue aux charges injectées est caractérisée afin d'évaluer la robustesse des composants. Par conséquent, la statistique de Weibull est utilisée pour représenter la probabilité de défaillance pour le test du Q_{BD} en fonction de la charge au claquage du composant (Q_{BD}) comme illustré par la figure A-1. Dans ce cas, il n'est pas possible d'extraire le paramètre β car chaque palier (lié au courant) est caractérisé par une pente différente correspondant à un mécanisme de défaillance. Néanmoins, il est possible de déterminer la valeur du paramètre α qui donne une indication intéressante sur la robustesse de la technologie et plus précisément sur sa capacité à soutenir les charges injectées.

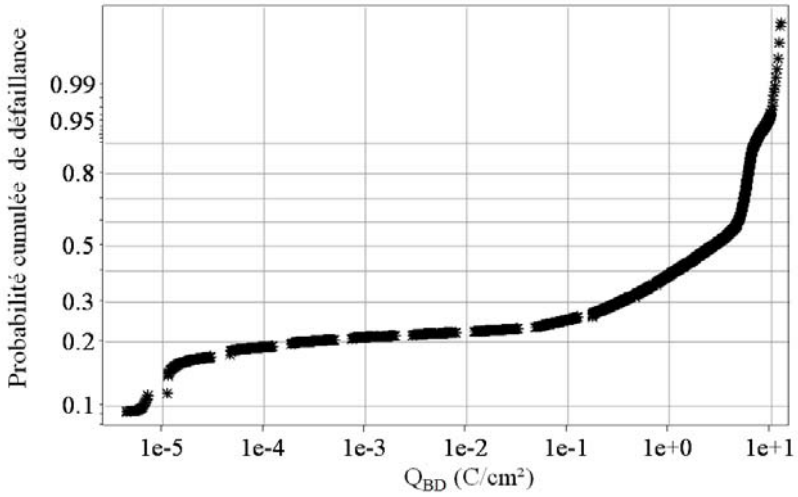


Figure A-1 : Exemple de distribution de Weibull de la population de Q_{BD} du MOSFET de puissance étudié.

Ainsi, dans le cas de l'analyse des distributions de Weibull des MOSFETs une comparaison sera effectuée entre le procédé initial et les cellules étudiées lors du plan d'expérience. L'objectif est de déterminer la solution donnant les composants les plus robustes. L'avantage de la distribution de Weibull est l'identification rapide du meilleur candidat. Néanmoins, une analyse complémentaire avec les proportions des quatre populations définies dans le chapitre III.

Cette analyse sera également appliquée aux structures GOI (chapitre IV). Néanmoins, deux cas peuvent se présenter. Le premier est illustré sur la figure A-2. Dans cet exemple, on constate que seules les défaillances intrinsèques dominent la distribution des défaillances ce qui permet de déterminer les paramètres α et β.

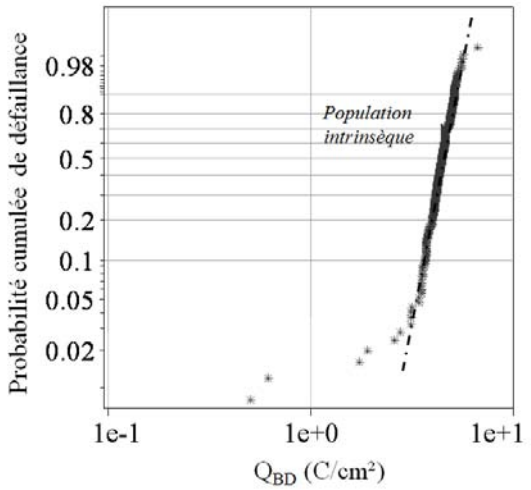


Figure A-2 : Exemple de distribution de Weibull de la population de Q_{BD} de structures GOI (qualité intrinsèque excellente).

Dans le cas du second exemple présenté sur la figure A-3, le paramètre α peut être déterminé mais pour le paramètre β, il est nécessaire de distinguer le coefficient représentatif de la population intrinsèque de celui de la population extrinsèque. Néanmoins, l'étude sera uniquement menée sur les paramètres de la population intrinsèque afin de pouvoir les comparer aisément quel que soit le cas de figure présent.

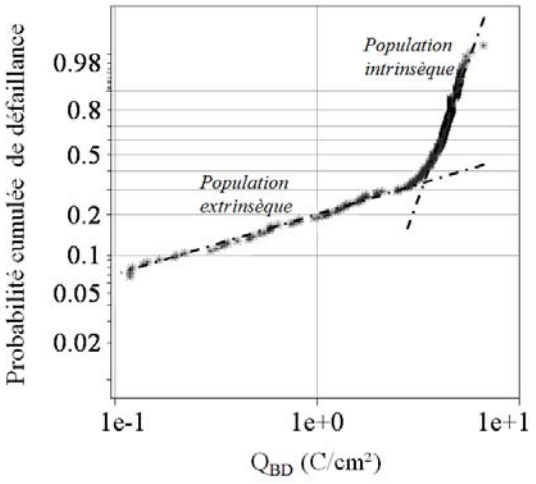


Figure A-3 : Exemple de distribution de Weibull de la population de Q_{BD} de structures GOI (proportion de population intrinsèque importante).

IV. Calcul de la densité maximale de défauts pour la branche extrinsèque

Afin de compléter les résultats énoncés précédemment, la densité maximale de défauts pour la branche extrinsèque va être déterminée. La méthode de calcul a été définie par A. Martin *et al.*

[MART00]. Elle consiste à déterminer pour le point d'intersection des branches intrinsèque et extrinsèque la densité de défauts D définie telle que :

$$D = -\frac{1}{A_{OX}}\ln(1-F) \qquad \textit{IV-2}$$

Avec, A_{OX}, la surface de l'oxyde égale à 10,01mm² et F la probabilité de défaillance cumulée au point d'intersection des branches intrinsèque et extrinsèque.

L'exemple pour déterminer le paramètre F est illustré sur la figure A-4 à partir de la distribution de Weibull du Q_{BD} pour les structures GOI.

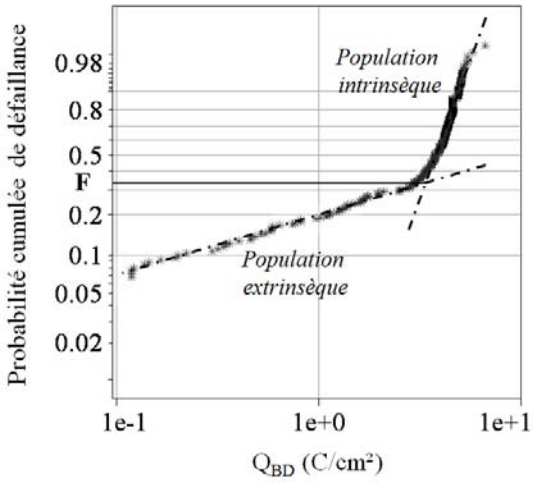


Figure A-4 : Exemple de détermination du paramètre F pour une distribution de Weibull de la population de Q_{BD} de structures GOI.

V. Résumé de la démarche de caractérisation avec le test Q_{BD} développé

L'analyse des résultats des mesures de Q_{BD} est réalisée selon les étapes listées ci-dessous.

1. Mesures avec le test Q_{BD} et extraction des paramètres.
2. Tracé des distributions de Weibull (Probabilité cumulée de défaillance en fonction du Q_{BD}).
3. Pour les structures GOI seulement, extraction de la densité de défauts de la branche extrinsèque D.
4. Extraction du paramètre α. Il est déterminé graphiquement et correspond à la valeur de Q_{BD} pour lequel on constate 63,2% de défaillance.
5. MOSFET : proportion selon les quatre types de populations définies dans le chapitre III (fuite, intrinsèque, intermédiaire, extrinsèque).
   Structures GOI : extraction du paramètre β pour la population intrinsèque. Il est déterminé graphiquement à partir du coefficient de la courbe de tendance la plus proche de la distribution.
6. Analyse des résultats et conclusion.

VI. Conclusion

La mise en place du test de Q_{BD} et l'analyse des données permet de caractériser rapidement et de façon fiable l'évaluation de nouvelles étapes du procédé. En effet, l'amélioration du procédé et donc de la robustesse des puces est quantifiée.

ANNEXE B: Etapes de l'analyse de défaillance

I. Introduction

Cette méthode physique permet de comprendre les mécanismes de défaillances et d'identifier la ou les étapes responsables. Toutefois, ce type d'analyse demande un certain temps et les conclusions sont parfois difficiles à tirer du fait de l'énergie mise en jeu lors de la défaillance qui entraîne une destruction du défaut initial.

II. Défaillance du composant

La défaillance du composant est en général caractérisée par une fuite entre la grille et la source qualifiée de fuite I_{GSS}. Toutefois, certains échantillons peuvent également être caractérisés par une fuite entre drain et source qui est donc de type I_{DSS}.

III. Localisation de la fuite avec les cristaux liquides et marquage laser

Cette méthode est l'une de plus anciennes techniques en termes de localisation de défauts. Elle consiste à localiser, en face avant, la cellule pour laquelle la densité de courant est plus importante (dû à un court-circuit) grâce à la polarisation de cristaux liquides[i].

Le principe consiste à appliquer sur la métallisation de source de la puce une solution contenant des cristaux liquides et de réaliser la mesure de courant entre la grille et la source sous une lumière polarisée. En général, les valeurs de courant choisies n'excèdent pas le milliampère afin de préserver les informations au niveau de la cellule.

Les cristaux liquides changent la direction de la lumière transmise au-dessus d'une température spécifique (dans notre cas, entre 28,2 et 28,3°C). Afin de localiser le défaut, la puce recouverte d'un film de cristaux liquides est donc chauffée avec une température proche de la température de transition. Localement, le passage du courant plus important au niveau de la cellule défectueuse entraîne un échauffement modifiant les propriétés optiques des cristaux liquides (leur plan de polarisation est modifié). Ainsi, un point noir apparaît à la surface de la puce permettant d'identifier la cellule défectueuse[ii].

Une fois la cellule défaillante repérée un marquage laser autour de celle-ci est effectué. Il permettre de localiser plus facilement la zone d'intérêt lors de la phase d'observation avec un microscope à balayage après le retrait de la couche d'aluminium (Figure B-1).

[i] M. Sienkiewicz, Méthodologie de localisation des défauts soft dans les circuits intégrés mixtes et analogiques par stimulation par faisceau laser : analyse de résultats des techniques dynamiques paramétriques, Thèse de doctorat de l'Université Bordeaux 1, 2010.

[ii] G. Benstetter, M. W. Ruprecht, D. B. Hunt, "A review of ULSI failure analysis techniques for DRAMs 1-Defect localization and verification, Microelectronics Reliability, Vol. 42, Issue 3, pp. 307-316, 2002.

Figure B-1 : Localisation d'un point chaud (en noir) avec les cristaux liquides et repérage en surface pour le marquage laser.

IV. Retrait de la passivation et de l'aluminium de source

Pour accéder à la cellule élémentaire responsable de la perte de fonctionnalité du composant et dans l'objectif de réaliser une analyse de défaillance complète, il est nécessaire de retirer la passivation ainsi que la couche d'aluminium (figure B-22).

La voie chimique est choisie pour effectuer le retrait de ces deux couches. Tout d'abord, la passivation qui est une couche de résine est retirée avec une solution de NH_4F/HF à 6:1. Le retrait de la couche d'aluminium est réalisée avec une solution $H_3PO_4/CH_3COOH/HNO_3$/DIW à 16:1:1:2.

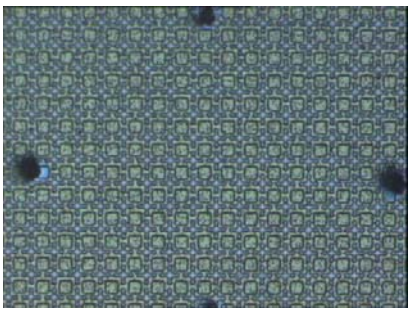


Figure B-2 : Marque laser qui subsistent après le retrait de l'aluminium et de la passivation (microscope optique, grossissement : 10X)

Il est important de noter que cette technique permet de conserver l'information contenue au niveau de la cellule elle-même mais présente le désavantage de laisser à la surface des résidus de silicium contenus dans l'alliage Al-Si qui constituait la source du MOSFET (Figure B-3). Toutefois, ces résidus de silicium n'empêchent en aucun cas l'observation. Leur retrait serait possible mais endommagerait les couches sous-jacentes ce qui explique pourquoi ils sont systématiquement présents sur les images de microscopie présentées dans ce mémoire.

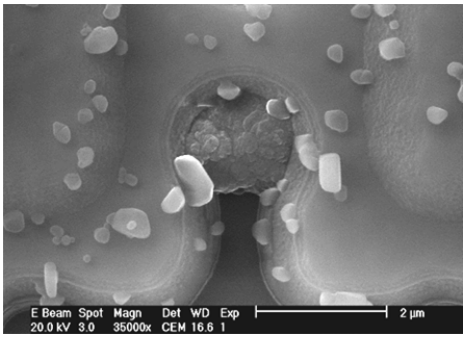


Figure B-3 : Mise en évidence des résidus de silicium (blanc) au niveau de la cellule élémentaire défaillante (image SEM).

V. Localisation SEM et analyse FIB

La zone d'intérêt qui est en général localisé sur une à deux cellules élémentaires est repérée avec un microscope électronique à balayage. Ensuite, il est alors possible de définir la zone à explorer plus précisément avec une coupe réalisée avec un faisceau d'ions focalisés comme présenté sur la figure B-4.

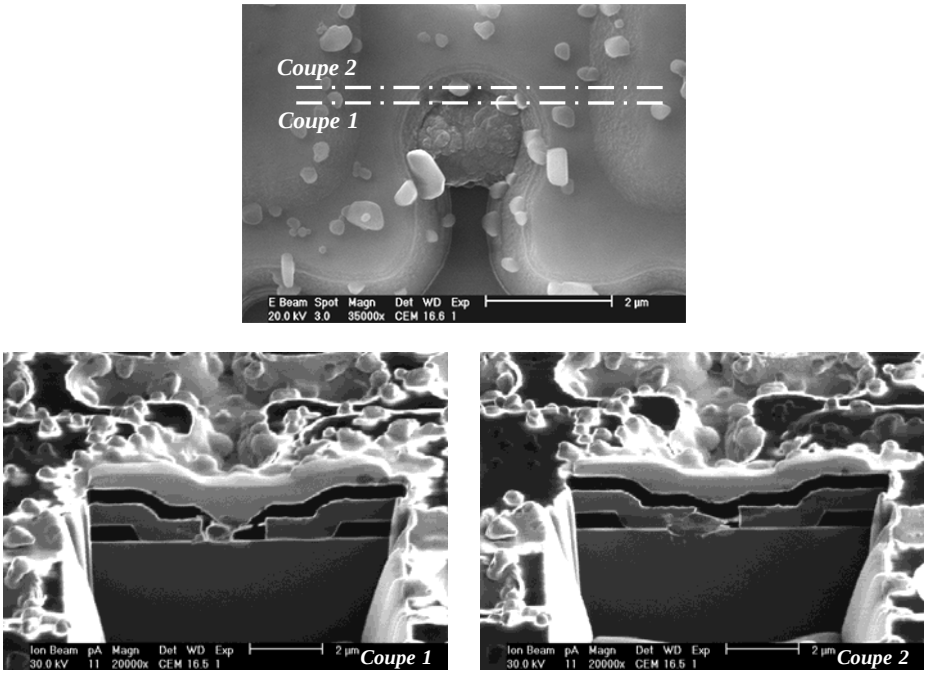


Figure B-4 : Exemple de coupes FIB sur un même échantillon.

VI. Analyse TEM

Une analyse TEM qui est optionnelle peut permettre de compléter l'analyse de défaillance réalisée avec le FIB car elle permet d'accéder à des indications telles que l'état d'amorphisation du silicium au niveau du défaut, l'identification de chemin de passage du courant ou encore l'état de destruction du cristal au niveau du défaut.

ANNEXE C: Traitements de surface utilisés au cours du procédé

I. Nettoyage mécanique de type Scrubber Megasonic

Le principe de ce nettoyage consiste à projeter de l'eau déionisée sur la surface de la plaquette qui subit une rotation afin d'éliminer les particules vers l'extérieur. Plus précisément, l'onde ultrasonique crée de petites bulles d'air dans le liquide qui sont accélérées par la fréquence de l'onde (de l'ordre de 1.5MHz). Leur énergie est suffisante pour permettre une agitation localisée et exercer un choc assez important pour déloger les particules. Les scrubbers à ultrasons permettent le retrait des particules de taille relativement importante non pas par la résonance du liquide, en l'occurrence l'eau déionisée, mais par les ondes de chocs générées par cavitation. Le phénomène de cavitation correspond à la formation rapide puis à la disparition d'un nombre infini de bulles dans un liquide. Le phénomène de cavitation provient de l'alternance entre des ondes de faibles et de fortes pressions générées par la fréquence importante des ultrasons (figure C-1).

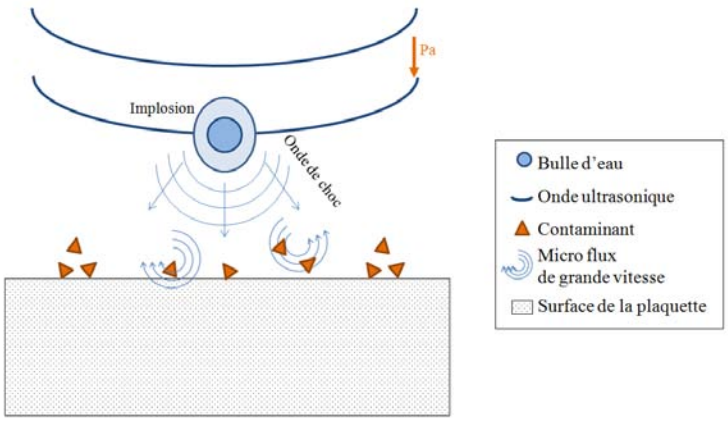


Figure C-1: Principe de cavitation pour le Scrubber Megasonic.

La figure C-2 illustre la position de la plaquette dans le Scrubber lors du nettoyage. Chaque plaquette est donc traitée indépendamment. La durée de l'étape pour un lot est de 30 minutes.

Figure C-2: Exemple de Scrubber Megasonic.

II. Nettoyage chimique réalisé sur hotte FSI

Le nettoyage chimique réalisé sur hotte FSI consiste à plonger le panier constitué de 24 plaquettes dans chaque solution pendant une durée déterminée. L'appareil est une hotte à flux laminaire avec bacs à débordement spécifique aux étapes constituant le nettoyage (figure C-3). Ce traitement de surface comprend trois étapes spécifiques dans le retrait des contaminants et particules.

Figure C-3: Exemple de hotte utilisée pour le nettoyage chimique.

La première étape SPM consiste à utiliser une solution d'acide sulfurique (H_2SO_4), du peroxyde d'hydrogène (H_2O_2) et d'eau déionisée visant à retirer les contaminants organiques ; ce nettoyage est également connu sous le nom de Piranha. Ce nettoyage permet d'éliminer rapidement les contaminants organiques. Suite à un rinçage dans de l'eau DI, la seconde étape de nettoyage utilise une solution d'hydroxyde d'ammonium (NH_4OH), de peroxyde d'hydrogène (H_2O_2) et d'eau déionisée afin d'éliminer la contamination organique et métallique ainsi que les particules présentes en surface ; il est également connu sous le nom de SC1 (« Standard Cleaning 1 »). Cette étape est une oxydation en milieu basique permettant le retrait des particules par oxydation ou répulsion, le retrait des contaminants organiques par oxydation et le retrait des contaminants métalliques (groupes I et II de la classification périodique) par la formation de complexes amminés solubles. Enfin la dernière étape, consiste à utiliser une solution d'acide chlorhydrique (HCl), de peroxyde d'hydrogène (H_2O_2) et d'eau déionisée dont l'objectif est d'éliminer les contaminants métalliques. Ce nettoyage est également connu sous le nom de SC2 (« Standard Cleaning 2 »). L'objectif de cette oxydation en milieu acide est de permettre la désorption des contaminants métalliques lourds (tels que Ag, Au, Cu, Fe…) par la formation de complexes chlorés solubles.

Les étapes constituant le traitement de surface FSI de type chimique sont résumées dans le tableau C-1.

Etapes	Solution chimique	Durée (s)
SPM	H_2SO_4/H_2O_2 (4:1)	90
Rinçage	Eau DI (chaude)	180
APM (SC 1)	$NH_4OH/H_2O_2/H_2O$ (1:1:5)	180
Rinçage	Eau DI (ambiante)	160
HPM (SC 2)	$HCl/H_2O_2/H_2O$ (1:1:5)	90
Rinçage	Eau DI (ambiante)	155
Rinçage final	Eau DI (chaude)	180
Séchage	-	635

Tableau C-1 : Etapes du nettoyage de type chimique dans une hotte FSI.

ANNEXE D: L'analyse de surface avec un microscope à force atomique

I. Introduction

Une analyse de la rugosité de surface est réalisée afin de comprendre l'impact des nettoyages au niveau de l'oxyde. Les échantillons sont réalisés pleine plaque et sont donc composés tels que présentés dans la figure D-1.

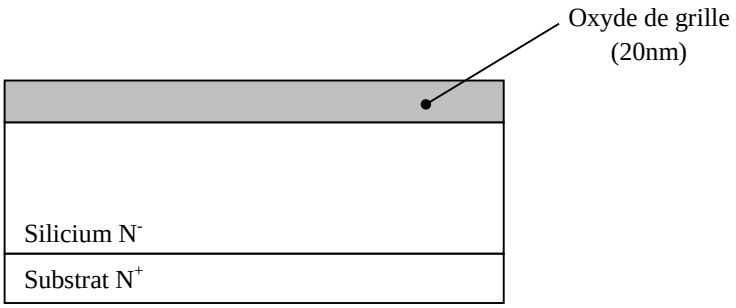


Figure D-1 : Echantillon testé.

II. Microscope à force atomiques

Le microscope à force atomique a été inventé par Binning en 1986 (figure D-2). Il permet de mesurer les forces mises en jeux entre une fine pointe et un échantillon. La pointe se situe à l'extrémité d'un bras de levier (cantilever) et est positionnée très proche de la surface de l'échantillon. Des forces attractive ou répulsive résultant des interactions entre la pointe et la surface s'exercent et causent une courbure positive ou négatives du bras de levier. La courbure est détectée par un faisceau laser qui est reflété par la face arrière du bras de levier vers une photodiode. Un système piézoélectrique permet de balayer la surface, et les variations de différence de tension entre les quadrants de la photodiode permettent de mesurer les variations de déflection et de torsion du levier.

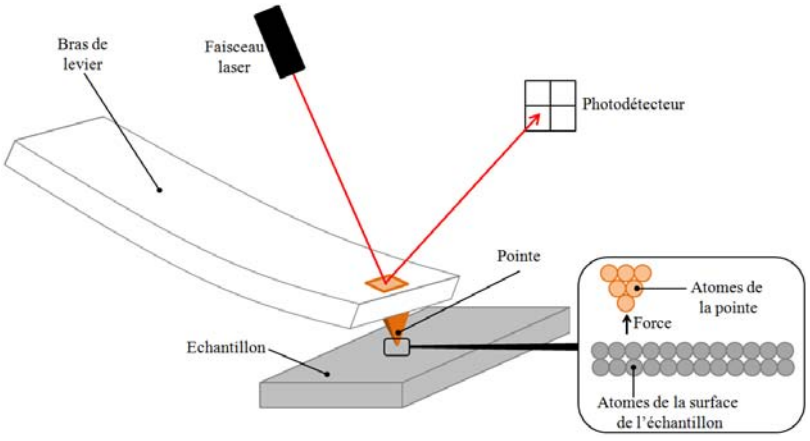


Figure D-2 : Concept de base de l'AFM.

III. Mesure de la rugosité

Les échantillons analysés sont réalisés en pleine plaque, il est donc nécessaire de définir la zone de mesure afin de pouvoir comparer les résultats. En effet, sur une plaquette 6 pouces, l'épaisseur d'oxyde n'est pas exactement uniforme et il est donc préférable de délimiter une zone de mesure.

En l'occurrence, le centre de la plaquette a été choisi pour assurer une certaine reproductibilité des mesures comme présenté sur la figure D-3.

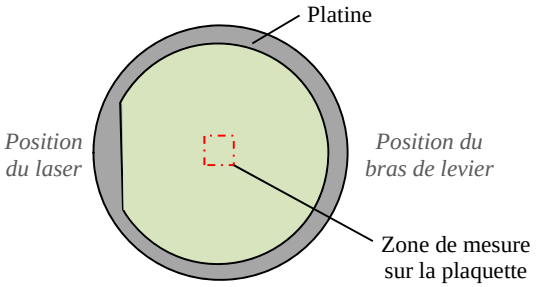


Figure D-3 : Exemple de coupes FIB sur un même échantillon.

La mesure est réalisée avec un AFM Nanoscope 3000 (figure D-4) qui présente une résolution latérale de quelques nanomètres et une résolution en Z de 0,1Å.

Figure D-4 : AFM Nanoscope 3000.

Le mode contact intermittent (ou mode « tapping ») a été choisi car permettant de limiter l'endommagement de l'échantillon même si la durée d'acquisition est plus longue. Il consiste à faire osciller le bras de levier à sa fréquence propre de résonnance avec une certaine amplitude. Cette amplitude décroît lorsque la pointe interagit avec la surface. La rétroaction s'effectue sur l'amplitude d'oscillation du bras de levier.

IV. Paramètres extraits

Les principaux paramètres extraits résultent d'un traitement des données avec le logiciel NanoScope Analysis de Veeco. Les mesures réalisées sont considérées comme des distributions dont les trois principaux paramètres sont évalués.

La rugosité est donnée par deux variables différentes qui sont le R_q et le R_{max}. La rugosité quadratique moyenne R_q correspond à la moyenne de la racine carrée de la distribution de la déviation des hauteurs dans le plan moyen de l'image. Il existe également le R_{max} qui correspond à la distance entre les deux points extrêmes (le plus haut et le plus bas) de la distribution de l'image de la surface.

Ensuite, la dissymétrie de la distribution est évaluée avec le paramètre qui porte le nom de skewness. Le degré d'asymétrie de la distribution par rapport à la moyenne est déterminé. Si ce paramètre est égal à zéro alors la distribution est plane autour de la moyenne. Si la distribution présente une dissymétrie négative alors elle sera caractérisée par des creux profonds (figure D-5). Par contre, dans le cas d'une dissymétrie positive, la distribution sera essentiellement constituée de pics nets (figure D-5).

Enfin, la planéité de l'échantillon est évaluée par la valeur de kurtosis. Il s'agit d'une quantité sans dimension qui indique si les mesures sont plus planes ou plus hautes que la moyenne déduite ; il s'agit du facteur d'aplatissement de la distribution. Dans le cas d'une distribution gaussienne, cette valeur est égale à 3 ce qui explique pourquoi les résultats sont comparés à celle-ci. Une illustration des deux types de populations est présentée sur la figure D-5.

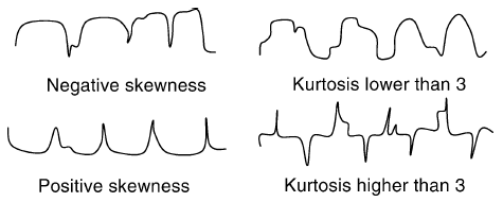


Figure D-5 : Exemple de distribution de surface en fonction des valeurs de dissymétrie et de kurtosis[i].

[i] N. Tayebi, A. A. Polycarpou, "Modeling the effect of skewness and kurtosis on the static friction coefficient of rough surfaces", Tribology International, Vol. 37, Issue 6, pp. 491–505, 2004.

ANNEXE E : Structures spécifique pour l'étude du ratio des gaz lors du dépôt de nitrure constituant l'espaceur

I. INTRODUCTION

Dans le but de comprendre comment le ratio de gaz peut influencer la qualité du dépôt de nitrure un plan d'expérience a été réalisé. Les ratios étudiés seront les suivants : 3, 5, 7 et 9. L'augmentation du ratio correspond à une diminution du débit de DCS par rapport à celui de l'ammoniac qui reste, lui, constant.

Le tableau E-1 permet de résumer les concentrations des gaz entrant en jeu dans le dépôt de nitrure et faisant l'objet du DOE explicité dans cette annexe.

Ratio des gaz	Concentration de DCS (cc)	Concentration de NH_3 (cc)
3	60	200
5 (procédé initial)	37	200
7	30	200
9	22	200

Tableau E-1 : Récapitulatif des ratios de gaz pour le dépôt de nitrure constituant l'espaceur.

II. STRUCTURES

Les structures utilisées ont la particularité d'avoir suivi l'intégralité du procédé de fabrication du MOSFET jusqu'au dépôt de nitrure constituant l'espaceur. Elles ont donc l'avantage d'être vraiment représentatives (en termes de topographie et d'épaisseur de couches) du procédé. Ensuite, le dépôt du métal de source est réalisé directement, permettant d'aboutir à la structure présentée dans la figure E-1.

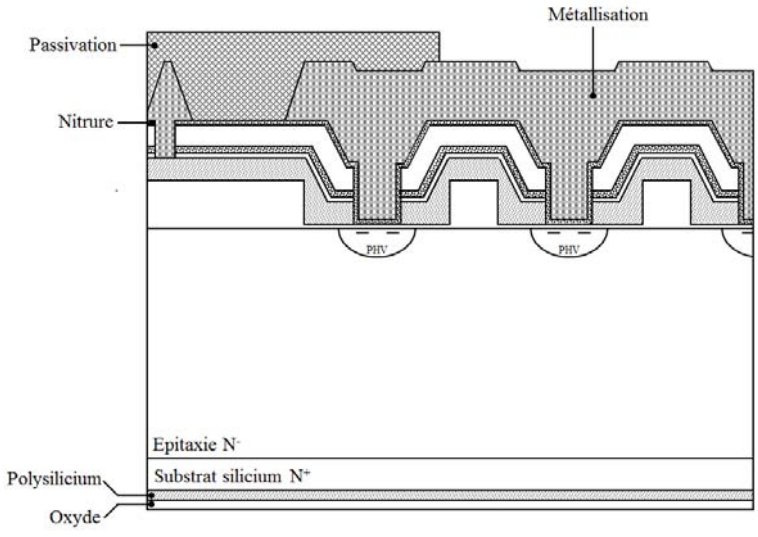


Figure E-1 : Structure dédiées à l'étude de la robustesse du nitrure.

L'objectif de cette structure est d'évaluer précisément la robustesse de la couche de nitrure. Pour se faire, une caractérisation sera réalisée avec le test de Q_{BD}.

III. CARACTERISATIONS

III.1. Qualité du dépôt et défectivité

Après chaque dépôt de nitrure, une comptabilisation du nombre de défauts a été réalisée. L'objectif est de savoir si la modification du ratio modifie la proportion de défectivité générée. Les cartographies des plaquettes, à l'étape, sont présentées dans le tableau suivant (tableau E-2). On constate que sur trois plaquettes mesurées, le ratio produisant un taux de défectivité limité pour l'étape de dépôt de nitrure est le ratio 7.

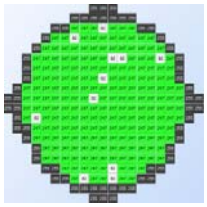
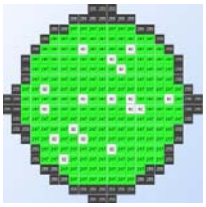
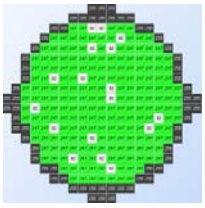
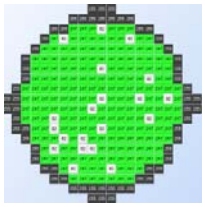
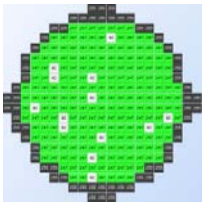
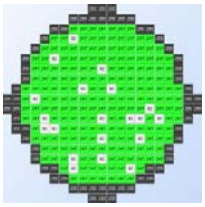
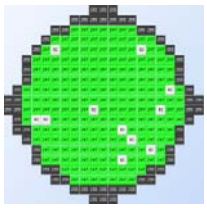
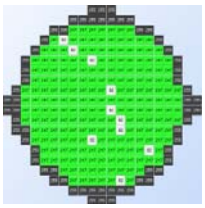
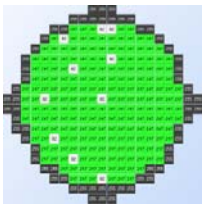
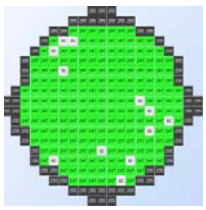
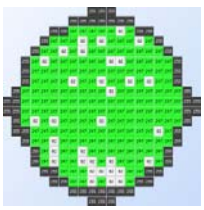
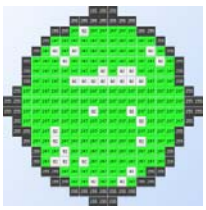
Ratio	Plaquettes			Puces touchées en moyenne
3				15
	11 puces	17 puces	17 puces	
5				18
	20 puces	13 puces	20 puces	
7				7
	11 puces	10 puces	10 puces	
9				25
	12 puces	33 puces	30 puces	

Tableau E-2 : Défectivité générée par l'étape de dépôt de nitrure en fonction du ratio des gaz utilisés.

III.2. Test Q_{BD}

Les structures sont ensuite poussées à défaillance avec le test du Q_{BD}. Dans ce cas, un courant exponentiel est appliquée entre grille et source jusqu'au claquage du dispositif. Ce test permet d'évaluer la robustesse des structures étudiées et de déterminer l'influence du ratio sur celle-ci. De plus, le nombre de charges maximum supportées par la structure ainsi que la tension de claquage sont déterminées.

Les résultats les plus intéressants concernent la distribution des tensions de claquage V_{BD} qui sont résumés dans le tableau E-3. L'augmentation du ratio des gaz permet de limiter la quantité de structures non fonctionnelles c'est-à-dire présentant des fuites et d'améliorer leur tenue en tension. En effet, les ratios 7 et 9 donnent des résultats proches et permettent de gagner au minimum 4V par rapport au ratio 3.

Dépôt de nitrure	**Echantillon testé**	**Structures présentant des fuites (%)**	**Tension de claquage moyenneV_{BD} (V)**
Ratio 3	648	11,6	32,7
Ratio 5 (procédé initial)	648	1,7	34,6
Ratio 7	648	1,2	36,2
Ratio 9	648	1,7	37,0

Tableau E-3 : Impact du ratio de gaz sur les structures dédiées évaluées avec le test du Q_{BD}.

IV. CHOIX DU RATIO DES GAZ EVALUE SUR LES MOSFETs

Les résultats précédents de défectivité et du test de Q_{BD} mettent en évidence que le ratio 7 permet d'obtenir le dépôt générant le moins de défauts tout en permettant un gain de 3,5V sur la tension de claquage ; il s'agit donc du meilleur compromis en terme de qualité et de robustesse.

Le plan d'expérience permettra donc de comparer le procédé initial utilisant un ratio 5 au ratio 7 pour le dépôt du nitrure constituant l'espaceur.

ANNEXE F : Technique des mesures SRP et SIMS

La technique SRP est une méthode qui permet de mesurer les profils de dopage électriquement actifs d'un matériau semiconducteur à partir de mesures de résistance de surface[i,ii]. Elle permet de déterminer les profils de dopage verticaux, de mettre en évidence les problèmes d'auto dopages mais aussi de contamination. L'analyse SRP se fait à partir d'un barreau de silicium uniformément dopé en surface, sur lequel un biseau caractérisé par un angle α est réalisé (Figure F-1). La résistance de surface est mesurée à intervalles réguliers le long du biseau à l'aide de deux pointes conductrices.

Ces mesures permettent d'établir un profil de la résistance de surface variable en fonction de la profondeur. L'obtention du profil de dopage du barreau semiconducteur se fait à partir d'un calcul numérique complexe qui prend en compte le rayon de contact des pointes, leur poids et leur espacement, ainsi que l'angle du biseau, le pas de mesure. Les résultats obtenus sont conformes à la loi de mobilité ASTMF 723[iii].

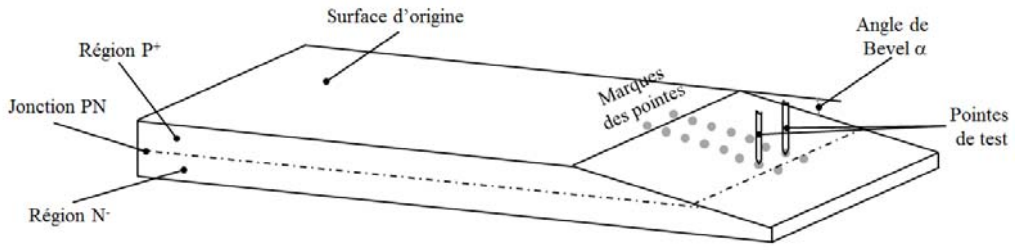


Figure F-1 : Principe de l'analyse SRP.

La technique d'analyse SRP est principalement limitée car ne caractérisant que les éléments électriquement actifs sans pouvoir déterminer les différents éléments dopants qui peuvent intervenir. De plus, il est nécessaire d'avoir une grande surface de test pour réaliser le biseau enfin de limiter au maximum les effets de bord.

La technique SIMS ("spectrométrie de masse à ionisation secondaire") permet de mesurer les profils de dopage d'un matériau semiconducteur à partir d'un décompte des atomes présents (électriquement actifs ou non) dans le faisceau résultant[iv]. Cette méthode est adaptée pour déterminer les profils des dopants, pour diagnostiquer des contaminations, pour caractériser les couches fines et pour analyser les interfaces.

L'analyse SIMS doit se pratiquer dans une chambre avec un vide poussé (de l'ordre 10^{-9} Pascal) (figure G-2). L'analyse SIMS se pratique en focalisant un faisceau d'ion primaire (généralement de l'ordre de 1 à 20keV) sur la région sélectionnée de la surface de l'échantillon afin d'en arracher les ions[v]. Ce

[i] Solid State Measurements, "SSM seminar on Spreading Resistance Profiling", September 1992.
[ii] Solid State Measurements, "Application seminar: SRP- A new look at a Classical Silicon characterization technology", September 2000.
[iii] Adeline Feybesse, "Développement et optimisation par simulation de transistors MOS verticaux de puissance adaptés au secteur automobile (batterie 42V) ", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, 2003.
[iv] K. Evans, L. Wagner, "Failure analysis of integrated circuits: Tools and Techniques", Kluwer Academic Publishers Group, 2, 1999.
[v] P. Williams, "On mechanisms of sputtered ion emissions", Applied Surface Science, Vol 13, p.241, 1982.

faisceau d'ion secondaire est extrait par l'intermédiaire d'un potentiel électrique et est analysé ultérieurement par un spectromètre de masse.

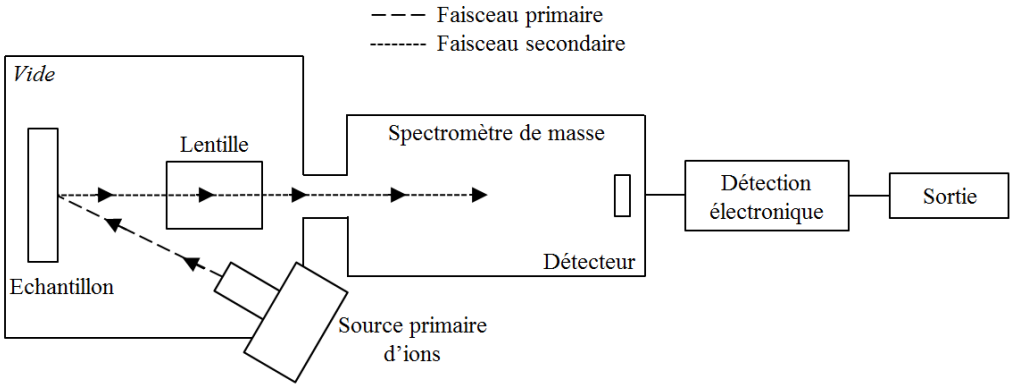


Figure F-2 : Schéma illustrant les éléments de base constituant une analyse SIMS.

L'avantage de cette méthode par rapport à la méthode SRP est qu'elle permet de différencier les atomes ayant une même charge électrique. Les inconvénients sont principalement la limitation de la mesure à des concentrations minimales de l'ordre de 10^{14} atomes/cm^3 (limite de détection du SIMS) et la difficulté de maîtrise de la vitesse de pénétration du faisceau primaire.

Liste des publications

Revues internationales

- E. Pomès, J.-M. Reynes, P. Tounsi, J.-M. Dorkel, “Power MOSFET quality and robustness enhancement with a new Q_{BD} characterization performed at probe–die–wafer level”, Materials Science and Engineering: B, Vol. 177, Issue 15, 2012, pp. 1362-1366.

Congrès internationaux

- E. Pomès, J.-M. Reynès, P. Tounsi, J.-M. Dorkel, “Investigation of failure mechanisms in low-voltage power VDMOSFETs linked with gate oxide process quality”, Proceedings of MIEL, 2012, pp. 251-254.

- E. Pomès, J.-M. Reynès, P. Tounsi, J.-M. Dorkel, “Interest of surface treatment at gate oxide level for power MOSFETs quality and reliability”, Proceedings of ICM, 2011.

- E. Pomès, J.-M. Reynès, P. Tounsi, J.-M. Dorkel, “MOSFETs quality and robustness enhancement with a new QBD characterization performed at probe-die-wafer level”, Proceedings of MICROTHERM, 2011.

Auteur : Emilie POMES JANSINGH

Titre : Amélioration et suivi de la robustesse et de la qualité de MOSFETs de puissance dédiés à des applications automobiles micro-hybrides

Discipline : Micro-Nano Systèmes

Lieu et date de soutenance : LAAS CNRS, 20 décembre 2012

Directeurs de thèse : Jean-Marie DORKEL, Patrick TOUNSI, Jean-Michel REYNES

Résumé :

Dans le contexte écologique actuel, les équipementiers automobiles européens sont dans l'obligation de développer des systèmes innovants afin de réduire les rejets de gaz à effet de serre des véhicules. Les nouvelles applications électroniques micro-hybrides exigent le développement de stratégies quant à l'intégration des systèmes et la réduction des pertes. Ainsi, une proposition à consister à réaliser des modules de puissance constitués de transistors MOSFETs basse tension fort courant. L'application de type alterno-démarreur plus communément nommée « Stop & Start » exige des composants toujours plus robustes et fiables du fait de la sollicitation en mode d'avalanche sous des températures pouvant atteindre 175°C.

Les travaux de recherche présentés dans cette thèse portent donc sur l'aspect d'optimisation de la robustesse et de la fiabilité des composants. Tout d'abord, il était essentiel de comprendre l'avalanche et ses enjeux pour la technologie. Ensuite dans ce contexte, le procédé notamment autour de l'oxyde de grille a été amélioré afin de garantir la tenue en mode de sollicitation grille-source et grille-drain pour satisfaire les exigences de fiabilité. En outre, le développement d'un test innovant de la puce, dérivé du Q_{BD}, a permis d'évaluer précisément les modifications apportées sur le procédé de fabrication et d'être corrélé avec les résultats des essais de fiabilité. Enfin, le cycle de vie d'un MOSFET nécessite un suivi qualité précis qui se compose de deux aspects essentiels. En premier lieu, le suivi des paramètres électriques et de leur dérive par une analyse statistique « post-processing ». En second lieu, la mise en place d'un outil de traçabilité du module à la puce pour traquer les éventuels rejets dans l'application finale et remonter à la cause d'origine. Toutes les innovations présentées, dans ce mémoire, s'inscrivent dans une démarche novatrice de l'amélioration continue de la qualité des composants de type MOSFET de puissance.

Mots clés : avalanche, basse tension, fiabilité, MOSFET de puissance, oxyde de grille, Q_{BD}, qualité, robustesse.

Jury : MM. B. ALLARD et E. WOIRGARD, Rapporteurs – M. J.-M. DORKEL, Directeur de thèse – MM. P. TOUNSI et J.-M. REYNES, Co-directeurs – MM. G. BLONDEL, A. CLAVERIE et G. FILLOUX, Examinateurs.

Title : Enhancement and monitoring of robustness and quality of power MOSFETs dedicated to micro-hybrid automotive applications

Abstract :

In the current ecologic context, the European automotive suppliers have to develop innovating systems in order to reduce greenhouse gas rejects produce by vehicles. The new mild-hybrid electronic applications require the development of new strategies due to their integration and the reduction of power losses. Thereby, a proposition consisted in creating power modules constituted by MOSFETs characterized by a low blocking voltage under high current. The starter alternator reversible application also named “Stop & Start” requires robust and reliable components in order to support a high current solicitation in avalanche mode for temperatures up to 175°C.

Research work presented in this thesis concerns the robustness and reliability enhancement of MOSFET components. First of all, the important part is about avalanche mode understanding and their issues. In this context, the fabrication process is a main part for quality and reliability requirements. Then, the work is focused on gate oxide process quality in order to hold gate-source and gate-drain stress modes. Moreover, the development of an innovating test at wafer level derivate from Q_{BD} test, allowed the precise evaluation of process modification thanks to the correlation with reliability campaign results. Finally, the MOSFET life cycle needs a quality monitoring constituted by two main steps. The first one is the monitoring of electrical parameters in time with a post-processing statistical analysis. The second one is the use of a traceability tool between the power module and the silicon die in order to highlight possible defects in the final starter alternator application, and understand failure root causes. The innovations presented in this thesis are included in the continued improvement approach for MOSFETs quality and robustness enhancement.

Keywords : avalanche, low voltage, reliability, power MOSFET, gate oxide, Q_{BD}, quality, robustness.