

N° d'ORDRE :

--	--	--	--	--	--	--	--	--	--

THÈSE

présentée à

l'Université d'Aix-Marseille et Sud Toulon-Var

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE

Ecole Doctorale **Sciences pour l'Ingénieur : Mécanique, Physique**

Spécialité : **Micro et Nano Electronique**

par

Laurent BRUNET

Ingénieur INPG

**Caractérisation électrique et fiabilité des transistors
intégrant des diélectriques High- κ et des grilles
métalliques pour les technologies FDSOI sub-32nm**

Soutenue publiquement le 8 Mars 2012 devant la commission d'examen :

Président :	Ahmad BSIESY	Université de Grenoble
Rapporteurs :	Francisco GAMIZ	Université de Grenade
	Gérard GHIBAUDO	IMEP-LAHC
Directeur de Thèse :	Alain BRAVAIX	ISEN IM2NP
Examineur :	Jean-Luc AUTRAN	ISEN
	Xavier GARROS (Co-encadrant)	CEA LETI
	David ROY (Co-encadrant)	STMicroelectronics
Invités :	Mustapha RAFIK	STMicroelectronics
	Vincent HUARD	STMicroelectronics

En mémoire de Vincent.

Remerciements

Les travaux présentés dans ce manuscrit de thèse sont le fruit d’une collaboration entre le Laboratoire de Caractérisation et de Test électrique du CEA-LETI (anciennement LSCE ou encore LSCDP au début de mon stage), le groupe de caractérisation électrique et de fiabilité de STMicroelectronics à Crolles et enfin l’ISEN à Toulon.

Avant toute chose, je tiens à remercier les membres du jury qui ont accepté d’évaluer mes travaux. Merci donc à Ahmad Bsiesy de l’Université de Grenoble pour avoir présidé mon jury, à Jean-Luc Autran de l’Université de Provence, Francisco Gamiz de l’université de Grenade et Gérard Ghibaudo de l’IMEP-LAHC pour avoir décortiqué plus précisément mon travail en tant qu’examineur et rapporteurs et enfin Vincent Huard de STMicroelectronics, invité d’honneur à mon jury.

Je remercie bien évidemment Alain Bravaix de l’ISEN Toulon pour avoir été mon directeur de thèse et avoir fait les aller-retours sur Grenoble, plus que moi dans l’autre sens ! Merci notamment pour nos discussions sur les porteurs chauds qui m’ont beaucoup éclairé.

Merci également à David Roy et Mustapha Rafik qui m’ont encadré du côté STMicroelectronics. Merci de m’avoir toujours bien accueilli et intégré au maximum dans l’équipe, malgré mon faible temps de présence à ST durant la thèse. Merci beaucoup à Mouss d’avoir accepté d’être mon coach pour la thésard académie, du détail technique à la tonalité de la voix ! J’en profite aussi pour remercier Xavier Federspiel et Pascal Mora pour leur participation et leurs remarques lors de mes nombreuses répétitions ! Pour finir la boucle sur mes collègues de ST et en espérant n’oublier personne, je remercie Emmanuel Vincent de m’avoir accueilli dans son groupe et de m’avoir fait découvrir la fiabilité durant ses cours en école d’ingénieur.

Je tiens maintenant à remercier tout particulièrement Xavier Garros pour m’avoir encadré durant ces quatre dernières années. Je ne sais par quoi commencer ! Merci avant tout d’avoir partagé avec moi ta connaissance scientifique qui n’a jamais failli lors de mes diverses interrogations. Je suis fier d’avoir été ton premier padawan et d’avoir été formé à l’école Xav ! Merci aussi pour tes qualités humaines et pour avoir su me remettre la tête sur les épaules lorsque le stress prenait le dessus. Enfin, merci pour ton altruisme et pour ne m’avoir jamais laissé tombé lors des deadlines, quitte à quitter le CEA à 23h (et à se faire remonter les bretelles par la FLS) ou de se retrouver le weekend pour finir de bosser, ce qui m’a permis de faire mes premières

conférences (et d'aller à Hawaï!). J'espère à présent qu'on aura encore l'occasion de travailler ensemble!

Bien malgré moi, je vais devoir remercier Jean Coignus alias Minus ou Roi du Monde 2, avec qui j'ai partagé le fameux bureau B263 pendant mes deux premières années de thèse. On se sera quand bien même marré entre nos batailles pour savoir à qui appartenait l'agrafeuse (qui soit dit en passant se trouve sur mon bureau actuellement), nos journées de craquage, nos instants karaoke, tes blagues vaseuses ou encore nos parties de coinche post-déjeuner sur internet... et j'en oublie! Ton départ du bureau aura laissé une cible vide au lance missile USB que je t'avais offert mais qu'on a pu, hélas, installer uniquement sur mon ordinateur. Merci pour ces deux années géniales qui ont indéniablement contribué à bien vivre mes années de thésard.

Comme promis Estelle Brague, alias Super Maman, tu as le droit à ton paragraphe, c'était dans les termes de notre contrat! Merci de t'être toujours occupée de moi, pauvre thésard, à la vitesse de la lumière, parfois avant même que je n'ai le temps de te demander quoi que ce soit. Merci aussi pour tous les cafés que tu as pu me payer et à ta bonne humeur constante. J'espère qu'on n'a pas fini d'en boire ensemble.

Je remercie de tout cœur tous mes collègues du LCTE. En premier lieu, merci à Fabien Boulanger dans un premier temps, puis Gilles Reimbold de m'avoir accueilli dans leur labo. Merci à Mikael « Mike » Cassé qui est certainement, avec Xav, celui avec lequel j'ai partagé le plus de repas et de « pauses de 16 heures »! Merci à Vincent Vidal, qui nous a quitté trop tôt, pour toutes ses blagues pourries et ses liens internet tordus qui m'ont toujours bien fait rire. Merci à Jacques Cluzel et à Luca Perniola avec qui j'ai partagé mon premier bureau lorsque je suis arrivé en stage. Merci à Patrick « Big Georges » pour son aide sur les bancs mais surtout pour sa bonne humeur, ses blagues et ses attentions particulières. Merci à Denis Blachier pour ne nous avoir jamais rien dit à Jean et moi lorsqu'on envoyait des ballons sur son mur! Merci à Charles Leroux pour sa gentillesse et les discussions toujours intéressantes qu'on a pu avoir. Merci à l'équipe des tests param' composée de Rabah Kies, Giovanni Romano, Fabienne Allain et son peps légendaire, et Alain Toffoli, éternel supporter des Verts! Merci évidemment à tous les stagiaires, thésards et postdoc que j'ai vu passer : Nada Bouhri à qui j'ai piqué le bureau, Matthieu Charbonnier, Giovanni Betti Beneventi, Stefania Braga, Riccardo Tisseur, Elisa Vianello, Andrea Fantini, Nikolai Pashkov, Pierre Leroux, Carlo Cagli, Florence Bellenger et Selase Tete. Une pensée particulière à Alexandre Subirats qui prend ma relève, Sylvain

Baudot et Eddie Tirano avec qui j'ai bien rigolé cette dernière année de thèse et que j'abandonne à leur rédaction. Bon courage à vous ! Enfin je n'oublie pas mes éternels compagnons de manip (galère !) Cuiqin Xu et surtout Micael Charbonneau avec qui j'ai pu parfois commencer très tôt le matin et finir très tard le soir, notamment les jours précédents la deadline IEDM (tout ça pour pas grand chose!).

Enfin, comment conclure ces trois ans sans remercier mes potes de toujours avec qui j'ai passé la plupart de mon temps avant la thèse, pendant la thèse et sans aucun doute après la thèse. Merci à Stéphane Zouave Altazin, Aurélien Poual Trichet, Stéphane Ramirez Vittoz, Rémi Boulou De Guiran, Pierre Grand Jullien et Christophe Prez Blanc. Je vous aime tous (pas comme tu crois Zouave) ! Courage aux trois derniers pour la rédaction de leur bible !

Mes derniers remerciements s'adressent tout naturellement à mes parents et ma sœur qui ont toujours été là pour moi et m'ont soutenu jusqu'au bout. Merci bien entendu à Olivier et Maya, qui a su pleurer aux bons moments lors de ma soutenance ! Une petite pensée aussi à ma belle-famille qui m'a soutenu jusqu'à la fin et m'a permis de passer d'excellentes fêtes de fin d'année loin des miens.

Pour finir, merci du fond du cœur à ma petite Chloe qui a partagé mon quotidien, mes moments de doute, de stress et mes sautes d'humeur de ces derniers mois de rédaction. Merci de t'être occupée de moi et d'avoir été là. A mon tour à présent d'être là pour toi.

Table des matières

Introduction générale	3
Bibliographie	8
1 Le transistor MOS FDSOI	11
1 Etude électrostatique d'une structure FDSOI	13
1.1 Définition des régions	13
1.2 Equation de Poisson sur la structure	14
1.3 Conditions aux limites	15
1.4 Modèle en régime de désertion totale	16
1.5 Modèle complet	16
1.6 Capacité du film de silicium	18
2 Etude de la tension de seuil : modèle de Lim & Fossum	20
2.1 Rappel : définition de la tension de seuil	20
2.2 Modèle	20
2.3 Expressions de V_T pour les différents régimes de la face arrière	21
2.4 Résultats expérimentaux et limitations du modèle	23
2.5 Effet d'un ground plane sur $V_T(V_{BG})$	24
3 Caractéristiques expérimentales du transistor MOS	25
3.1 Tension de seuil	25
3.2 Mobilité effective	29
3.3 Courant de saturation I_{sat}	33
4 Conclusion du Chapitre 1	36
Bibliographie	37
2 Méthodes de caractérisation des pièges dans l'oxyde	41
1 Nature des pièges	43
1.1 Défauts dans l'oxyde interfacial SiO_2	43
1.2 Défauts dans l'oxyde high- κ	46
2 Méthode de pompage de charge	48
2.1 Principe	48
2.2 Expression du courant pompé I_{CP}	49
2.3 Limitations sur FDSOI	51
3 Méthode de la conductance	57
3.1 Principe	57
3.2 Modélisation électrique	59

3.3	Limitations de la méthode pour le FDSOI	63
3.4	Adaptation de la méthode pour le FDSOI	64
3.5	Limitations de la méthode sur films minces	71
4	Méthode de localisation d'une dégradation	72
4.1	Principe théorique	72
4.2	Application aux états d'interface	77
5	Conclusion du chapitre 2	80
	Bibliographie	82
3	Etude des contraintes BTI	87
1	Evolution des modèles NBTI	89
1.1	Modèle de réaction diffusion	89
1.2	Modèle de Grassier	94
1.3	Modèle de Huard	98
2	Problématique de la mesure	101
2.1	Technique « On the Fly »	102
2.2	Technique de Kaczer	103
2.3	Mesures pulsées	104
3	Impact de l'azote sur les performances en NBTI	105
3.1	Effets de l'incorporation d'azote dans l'oxyde de grille	105
3.2	Effets de l'incorporation d'azote dans la grille	107
3.3	Effets d'épaisseur de la grille	110
3.4	Influence d'un capping	110
3.5	Bilan des effets d'azote	112
4	Etude du piégeage lors de contraintes PBTI	114
4.1	Vérification du piégeage rapide	114
4.2	Etude de la dégradation D_{str}	115
4.3	Etude des relaxations	119
4.4	Influence du lanthane	121
5	Conclusion de chapitre 3	124
	Annexe : Modèle R-D étendu de Alam et Mahapatra	125
	Bibliographie	128
4	Fiabilité des transistors FDSOI courts et étroits	135
1	Etude des porteurs chauds sur FDSOI	136
1.1	Principe et protocole expérimental	136
1.2	Etat de l'art des modèles HC	139
1.3	Problématique sur FDSOI	144

Table des matières

1.4	Etude expérimentale du pire cas HC : $V_{FG} = V_D$	146
2	Effets de $V_T(W)$	155
2.1	Validation de l'architecture	157
2.2	Origine de l'instabilité	159
2.3	Proposition d'un modèle	165
3	Conclusion du chapitre 4	173
	Bibliographie	174
	Conclusion générale	179
	Liste des publications et brevet de l'auteur	185

Introduction générale

La microélectronique a nettement influencé l'évolution de la civilisation moderne telle que nous la connaissons, en permettant notamment le développement de l'informatique, la robotique et l'aéronautique. A la base de tout cela, l'invention du transistor le 23 décembre 1947 par les Américains John Bardeen, William Shockley et Walter Brattain, chercheurs de la compagnie Bell Téléphone, qui recevront en 1956 le prix Nobel de physique pour leurs travaux. De l'anglais « **T**ransfer **r**esistor » (résistance de transfert), le transistor est la brique élémentaire de tout circuit logique. Il est aujourd'hui omniprésent dans notre quotidien que ce soit dans notre carte bleue, notre téléphone ou encore dans notre voiture.

Depuis les années 60, la taille de ces dispositifs élémentaires n'a cessé de décroître. D'un point de vue économique, une plus grande intégration sur une même surface va réduire le coût de fabrication unitaire de chaque transistor. D'un point de vue physique, la nature a bien fait les choses puisque réduire les dimensions des transistors va permettre aussi d'accroître leurs performances. En 1965, Gordon E. Moore sortit d'ailleurs sa fameuse loi prédisant une augmentation de la densité d'intégration des circuits d'un facteur 2 tous les deux ans [1]. Plus de cinquante ans après, cette loi s'est avérée juste et, à titre d'exemple, un circuit intégré contient aujourd'hui plus d'un milliard de transistors contre moins de 100 dans les années 60.

Le type de transistor le plus communément utilisé aujourd'hui est le transistor à effet de champ MOSFET (« **M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor ») composé d'un empilement Metal-Oxyde-Semiconducteur. Jusqu'à la fin des années 90, son architecture était tout en silicium (Si), à savoir un substrat en silicium, un oxyde natif de type SiO_2 et une grille en polysilicium. Cependant, la diminution des tailles caractéristiques du transistor passe par la diminution de l'épaisseur d'oxyde t_{ox} afin de maintenir un couplage capacitif C_{ox} suffisamment important pour contrôler le courant débité en fonctionnement ($C_{ox} = \kappa/t_{ox}$ avec κ la constante diélectrique de l'oxyde). Or, des épaisseurs proches du nanomètre (équivalent à deux ou trois couches atomiques) sont requises et de si faibles épaisseurs de SiO_2 vont induire des fuites de grille trop importante. Pour remédier à ce problème, des matériaux alternatifs ont été introduits et ont permis le dépôt de couches d'oxyde suffisamment épaisses pour limiter les fuites de grille tout en gardant un fort couplage capacitif, avec une constante diélectrique κ plus grande que celle du SiO_2 . Ces matériaux dits High- κ sont selon Gordon E. Moore « le plus grand changement dans la techno-

logie transistor depuis la fin des années 60 ». On notera cependant qu'une couche interfaciale de SiO_2 est nécessaire au dépôt de tels matériaux.

Un changement du matériau de grille est notamment arrivé avec l'intégration de matériaux High- κ . En effet, les grilles en polysilicium souffrant de problèmes de « polydepletion » [2], elles ont été remplacées peu à peu par des grilles métalliques, comme par exemple du nitrure de titane TiN . De plus, dans le but d'ajuster au mieux les tensions de seuil des transistors, différentes couches composées d'aluminium ou de lanthane peuvent être intercalées dans la grille. On est finalement passé d'une technologie « tout silicium » relativement simple à une technologie High- κ /grille métallique complexe où diverses couches sont empilées.

Outre les transistors MOSFET issus d'une technologie planaire, d'autres architectures utilisant les trois dimensions (3D) sont actuellement explorées, notamment en vue des longueurs de grilles inférieures à 20nm. Plus particulièrement Intel, leader incontestable dans le domaine de la microélectronique, a annoncé la mise en production en 2012 de leur « Tri-Gate » avec des longueurs de grille de 22nm. Ce dernier est illustré Figure 1.

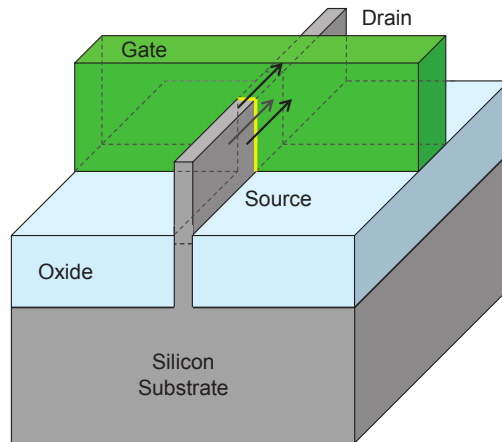


FIGURE 1 – Illustration du Tri-Gate d'Intel [3]

En annonçant un gain de 30% de performance par rapport à une technologie classique, Intel annonce en quelque sorte la fin de l'ère des technologies planaires sur substrat en silicium massif pour les noeuds technologiques à venir. Une seule alternative permettrait de continuer sur la voie du planaire pour les longueurs de grille inférieure à 20nm : l'utilisation de substrats silicium sur isolant complètement déserté FDSOI (« **F**ully **D**epleted **S**ilicon **O**n **I**nsulator »). Les substrats silicium

sur isolant (SOI) sont des substrats qui possèdent un oxyde enterré BOx (« **B**uried **O**xide ») permettant d'isoler électriquement la zone active, où le transistor est fabriqué, du substrat en silicium massif. On parle de FDSOI quand le film de silicium (zone active) est plus fin que la zone de désertion. Ces substrats sont réalisés par collage de plaques selon la technologie Smart Cut™ [4].

Initialement développé pour des applications spatiales pour sa résistance aux rayonnements ionisants, le FDSOI apparaît comme un candidat sérieux pour remplacer les substrats en silicium massif classiques, notamment grâce à sa faible variabilité due à un film non dopé. De plus, un des avantages principaux des substrats FDSOI est l'amélioration du contrôle électrostatique de la grille sur le canal de par la présence d'un oxyde enterré. En appliquant une tension sous le BOx, il est d'ailleurs possible grâce au fort couplage électrostatique de moduler la tension de seuil V_T des transistors. Des applications Multi- V_T sont à terme envisagées. Enfin, contrairement à l'intégration des Tri-Gates, il est possible de transposer directement une technologie planaire silicium massif sur substrat FDSOI sans avoir à changer les règles de dessin (même « design kit »), ce qui apparaît moins couteux malgré le prix plus élevé des substrats SOI.

La Figure 2 illustre l'évolution des technologies planaires, du « tout silicium » aux technologies High- κ /grille métallique sur substrat FDSOI.

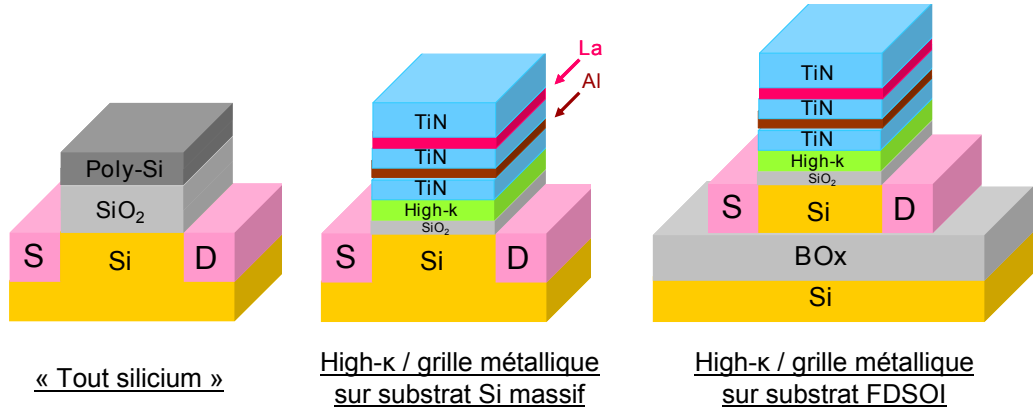


FIGURE 2 – Evolution des technologies planaires

Toute cette évolution technologique entraîne cependant de nombreux problèmes liés à la fiabilité des dispositifs qu'il est indispensable de prendre en compte. Contrairement au domaine de la qualité qui traite des besoins du client au temps initial, le

domaine de la fiabilité traite lui du vieillissement des dispositifs. La fiabilité peut être ainsi définie comme « la probabilité qu'un dispositif exécute une fonction exigée dans les conditions indiquées pendant une période donnée ». Comme il est inimaginable de laisser vieillir dix ans un dispositif dans les conditions d'utilisation nominales pour voir s'il répond aux critères de vieillissement, les dégradations doivent être accélérées lors des études de fiabilité, tout en veillant à ne pas induire de nouveaux modes de dégradation. Le but final est d'extraire une durée de vie TTF (« **T**ime **T**o **F**ailure ») du dispositif vis-à-vis d'un critère de défaillance donné, typiquement 10% de dégradation à 10 ans.

Une grande partie des problèmes de fiabilité des transistors MOSFET peut se résumer à des défaillances au niveau de l'oxyde de grille et cela est d'autant plus vrai avec l'intégration de diélectrique High- κ . De plus l'utilisation de substrats FDSOI à films minces fait apparaître de nouvelles problématiques liées à la fiabilité de l'oxyde enterré. Il est en effet intéressant de se poser la question de l'impact d'une dégradation du BOx sur les performances des transistors. L'objectif de ce travail de thèse est donc de développer de nouveaux outils de caractérisation électrique pour l'étude de dispositifs FDSOI avec des empilements High- κ /grille métallique. Ces outils seront utilisés par la suite pour étudier les mécanismes à l'origine des problèmes de fiabilité sur ces technologies et l'impact des procédés de fabrication.

Les travaux présentés dans ce manuscrit s'articuleront autour de quatre grands axes :

Le Chapitre 1 étudie dans un premier temps le fort couplage électrostatique qui existe entre la grille (face avant) et le substrat (face arrière) dans les transistors FDSOI. Afin de comprendre comment varie la tension de seuil V_T lorsqu'une tension en face arrière est appliquée, le modèle de Lim & Fossum est présenté et ses limitations sur films minces sont discutées. Dans un deuxième temps, les paramètres électriques couramment suivis lors des études de fiabilité tels que la tension de seuil, la mobilité et le courant de saturation sont présentés. Les méthodes d'extraction associées y sont aussi décrites.

Le Chapitre 2 présente la nature des défauts qui peuvent exister dans les oxydes de type SiO_2 mais aussi dans les diélectriques High- κ . Les méthodes de pompage de charge et de conductance pour mesurer la densité de pièges à l'interface avant entre le film de silicium et l'oxyde de grille sont décrites dans le cas d'une technologie sur silicium massif. Leur légitimité pour des technologies FDSOI à films minces est ensuite discutée. Dans le cas de la méthode de la conductance, une adaptation de la technique permettant de mesurer aussi la densité de pièges à l'interface arrière entre le film et l'oxyde enterré sur des transistors FDSOI est présentée. Enfin, une

nouvelle méthode de suivi de performances permettant de localiser et de quantifier une dégradation à l'interface avant ou arrière est proposée. Toutes ces méthodes se basent sur le couplage électrostatique présenté au Chapitre 1.

Le Chapitre 3 va traiter des instabilités en température lorsqu'une contrainte électrique est appliquée sur la grille, connues sous le nom de contraintes BTI (« **B**ias **T**emperature **I**nstabilities »). Selon le signe de la tension appliquée, **P**ositif ou **N**égatif, on parlera de PBTI ou de NBTI. L'évolution des modèles de dégradation NBTI sur transistors PMOS est d'abord présentée avec un accent sur les deux modèles les plus aboutis, ceux de Tibor Grassner et de Vincent Huard. Les problématiques liées aux phénomènes de relaxation durant la mesure des paramètres électriques lors du stress sont soulevées et une nouvelle technique basée sur des mesures pulsées est proposée pour pallier ce problème. Enfin, deux études expérimentales sont présentées : la première sur l'impact de la diffusion d'azote dans l'empilement de grille sur les performances en NBTI pour des technologies High- κ /grille métallique, la seconde sur les mécanismes de piégeage/dépiégeage dans les High- κ lors de contraintes PBTI. Dans cette seconde étude, les effets de l'incorporation de lanthane dans l'empilement de grille sont aussi traités.

Le Chapitre 4 porte enfin sur deux problématiques spécifiques aux dispositifs de faibles dimensions. Les problèmes de fiabilité porteurs chauds sur des transistors courts sont dans un premier temps traités pour le cas spécifique des transistors FDSOI à films minces. La dégradation de l'interface arrière lors du pire cas de dégradation est notamment étudiée. Dans un second temps, les effets d'augmentation de tension de seuil sur les dispositifs étroits sont présentés. Une étude sur différents diélectriques High- κ est réalisée et permet de déceler l'origine de ces instabilités de V_T . Enfin, un modèle basé sur l'oxydation de la grille est proposé et vérifié expérimentalement par des caractérisations électriques diverses et des mesures physico-chimiques.

Bibliographie

- [1] G. E. Moore, “Cramming more Components onto Integrated Circuits,” *Electronics*, vol. 38, pp. 114–117, 1965.
- [2] F. Boeuf and T. Skotnicki, *Physique des dispositifs pour circuits intégrés silicium*. Lavoisier, 2003, ch. Introduction à la Physique du Transistor MOS.
- [3] [Online]. Available : <http://download.intel.com/newsroom/kits/22nm>
- [4] M. Bruel, “Silicon on insulator material technology ,” *Electronics Letters*, vol. 31, pp. 1201 – 1202, 1995.

Le transistor MOS FDSOI

Avant même de présenter toute étude, il est important de rappeler les principes de fonctionnement de base des transistors Métal/Oxyde/Semiconducteur à effet de champ (MOSFET), spécialement lorsqu'une structure FDSOI est utilisée (voir Figure 1.1). En effet, par rapport à un transistor MOS classique sur substrat en silicium massif, une telle structure rajoute une épaisseur d'oxyde sous le semiconducteur et vient changer l'électrostatique du dispositif. Dans tout ce chapitre, seul le cas du NMOS sera présenté.

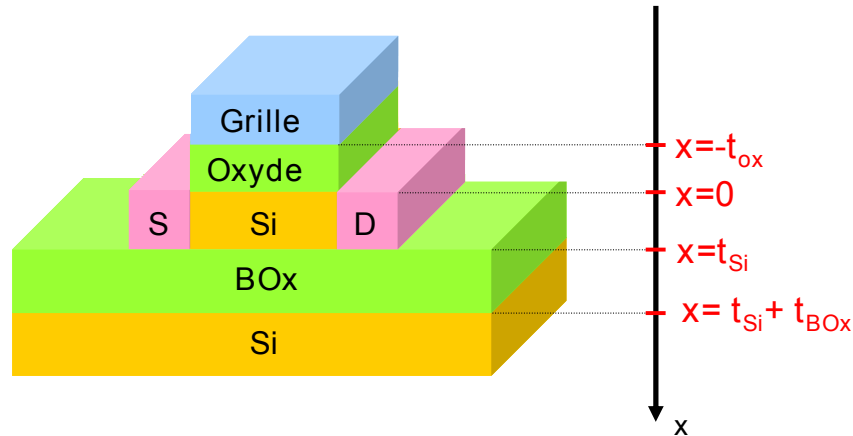


FIGURE 1.1 – Tansistor MOSFET FDSOI

Ainsi, dans un premier temps, l'équation de Poisson sera appliquée à un empilement Oxyde de grille/Semiconducteur/Oxyde enterré afin d'étudier l'électrostatique de la structure. Un modèle valable pour tous les régimes de fonctionnement du transistor y sera présenté. Afin d'appréhender plus facilement le couplage entre l'interface avant (oxyde de grille/silicium) et l'interface arrière (silicium/oxyde enterré), certaines simplifications seront ensuite introduites pour définir la tension de seuil d'un transistor FDSOI. Enfin, seront introduits d'autres paramètres électriques tels que la mobilité et le courant de saturation, utilisés dans la suite de ce travail au cours des études de fiabilité. Les méthodes pour les extraire seront notamment décrites et discutées.

Un transistor FDSOI pouvant être comparé à un transistor double grille - le substrat sous l'oxyde enterré jouant le rôle de grille, on parlera de grille avant (« **F**ront **G**ate ») et de grille arrière (« **B**ack **G**ate »). On rappelle notamment que le silicium sous l'oxyde enterré, initialement le même que pour le film, peut être dopé dans le cas où un ground plane est intégré.

On rappelle le diagramme de bande à l'équilibre d'une structure FDSOI Figure 1.2. Les notations sont les suivantes :

- NV le niveau d'énergie du vide
- $\Phi_{m,FG}$ le travail de sortie de la grille avant (métal)
- $\Phi_{m,BG}$ le travail de sortie de la grille arrière (silicium)
- Φ_S le travail de sortie du silicium de type p
- E_C et E_V les bandes de conduction et de valence du silicium
- E_F le niveau de Fermi du silicium
- E_i le niveau intrinsèque du silicium

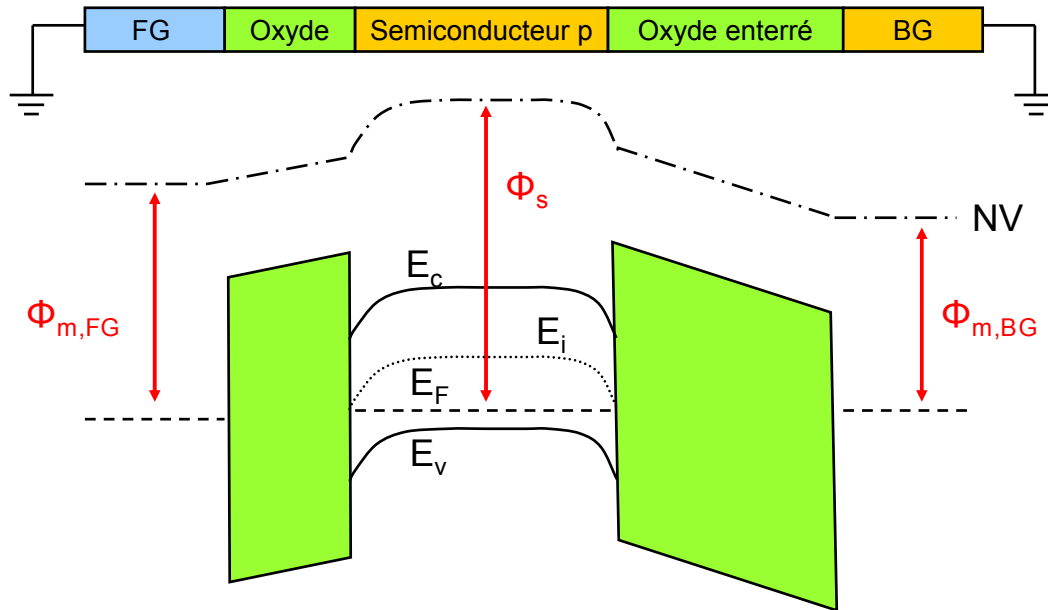


FIGURE 1.2 – Diagramme de bande d'une structure FDSOI à l'équilibre

1. Etude électrostatique d'une structure FDSOI

1 Etude électrostatique d'une structure FDSOI

Dans la partie suivante est étudiée l'électrostatique d'un empilement Oxyde de grille/Semiconducteur/Oxyde enterré. Les hypothèses utilisées sont les suivantes :

- la structure est unidimensionnelle (1D) selon la direction x
- les deux oxydes sont idéaux i.e sans charge
- tous les dopants du film sont ionisés
- le film est complètement déserté (principe de FDSOI)
- les effets quantiques sont négligés dans le film (gaz d'électron 3D)

1.1 Définition des régions

Pour travailler avec des notations plus simples, on définit Figure 1.3 trois régions, dont on précise pour chacun le matériau, la permittivité électrique ε et l'épaisseur. Les valeurs données sont celles classiquement utilisées :

- ① région « oxyde de grille », matériau= SiO_2 , $\varepsilon_{\text{SiO}_2} = 3.9\varepsilon_0$, épaisseur t_{ox}
- ② région « semiconducteur », matériau= Si , dopage de type P ($N_A > 0$), $\varepsilon_{\text{Si}} = 11.9\varepsilon_0$, épaisseur t_{Si}
- ③ région « oxyde enterré », matériau= SiO_2 , $\varepsilon_{\text{SiO}_2} = 3.9\varepsilon_0$, épaisseur t_{BOx}

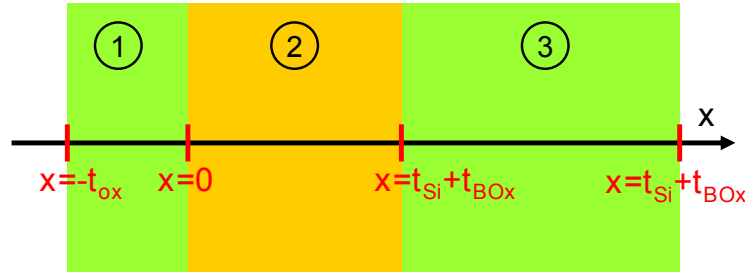


FIGURE 1.3 – Empilement FDSOI 1D

Pour connaître le potentiel dans la structure, il suffit alors de résoudre l'équation de Poisson dans chacune des régions, dont on rappelle l'expression :

$$\Delta\Phi = -\frac{\rho}{\varepsilon} \quad (1.1)$$

avec Φ le potentiel électrique et ρ la densité volumique de charge.

Dans notre cas 1D selon x , cette équation de Poisson s'écrit alors :

$$\frac{\partial^2\Phi}{\partial x^2} = -\frac{\rho(x)}{\varepsilon} \quad (1.2)$$

1.2 Equation de Poisson sur la structure

1.2.1 Région ① : $-t_{ox} \leq x \leq 0$

Comme il n'y a pas de charge fixe dans l'oxyde ($\rho_{ox} = 0$), on a $\frac{\partial^2 \Phi}{\partial x^2} = 0$, d'où :

$$\Phi_1(x) = A_1 x + B_1 \quad (1.3)$$

avec A_1 et B_1 des constantes.

1.2.2 Région ② : $0 \leq x \leq t_{Si}$

La densité de charges dans le film ρ_{Si} :

$$\rho_{Si} = q (p - n - Na) \quad (1.4)$$

avec $q = 1.6 \cdot 10^{-19} C > 0$ la charge en valeur absolue d'un électron (on gardera la convention $q > 0$ dans le reste du manuscrit). p et n représentent les concentrations de trous et d'électrons libres dans le semiconducteur en m^{-3} , fonctions non linéaires du potentiel Φ_2 [1] :

$$n(x) = \frac{2}{\sqrt{\pi}} H(x) N_c F_{1/2} \left(-\frac{q}{k T} \left[\frac{E_g}{2} + \Phi_F + \Phi_2(x) \right] \right) \quad (1.5)$$

$$p(x) = \frac{2}{\sqrt{\pi}} H(x) N_v F_{1/2} \left(-\frac{q}{k T} \left[\frac{E_g}{2} + \Phi_F - \Phi_2(x) \right] \right) \quad (1.6)$$

où k la constante de Boltzmann et T la température. N_c et N_v sont respectivement les densités d'état d'électrons et de trous.

Les expressions des densités de porteurs sont calculées en considérant une distribution de Fermi (fonction de Fermi $F_{1/2}$). De plus, une correction quantique a été ajoutée avec la fonction de Hansh $H(x)$ [2] adaptée au FDSOI :

$$H(x) = \left(1 - \exp \left(- \left(\frac{x}{\lambda} \right)^2 \right) \right) \left(1 - \exp \left(- \left(\frac{t_{Si} - x}{\lambda} \right)^2 \right) \right) \quad (1.7)$$

$$\text{où } \lambda = \frac{\hbar}{\sqrt{2 m_e k T}}$$

avec m_e la masse d'un électron.

Il est important aussi de noter que dans le cas d'un film de silicium complètement déserté, les porteurs libres proviennent essentiellement de la source et du drain. Dans le cas précis du transistor NMOS, seuls les électrons peuvent être fournis par ces

1. Etude électrostatique d'une structure FDSOI

derniers, dopés N+.

L'équation de Poisson dans le film correspond alors à une équation différentielle non linéaire. Cependant, en régime de désertion totale, la densité de porteurs libres est négligeable devant la charge de désertion et on a $\rho_{Si} = -q Na$. La résolution de l'équation de Poisson dans le film donne alors un potentiel Φ_2 quadratique :

$$\Phi_2(x) = \frac{q Na}{2\varepsilon_{Si}} x^2 + A_2 x + B_2 \quad (1.8)$$

avec A_2 et B_2 des constantes.

1.2.3 Région ③ : $t_{Si} \leq x \leq t_{Si} + t_{BOx}$

Tout comme dans la région ① on a $\rho_{BOx} = 0$, d'où :

$$\Phi_3(x) = A_3 x + B_3 \quad (1.9)$$

avec A_3 et B_3 des constantes.

1.3 Conditions aux limites

Afin de pouvoir résoudre ces équations, différentes conditions aux limites doivent être considérées :

- condition de continuité du potentiel en $x = 0$ et $x = t_{Si}$

$$\Phi_1(0^-) = \Phi_2(0^+) \text{ et } \Phi_2(t_{Si}^-) = \Phi_3(t_{Si}^+)$$

- potentiels fixés aux extrémités de la structure

$$\Phi_1(x = -t_{ox}) = V_{FG} \text{ et } \Phi_3(x = t_{Si} + t_{BOx}) = V_{BG}$$

où V_{FG} est la polarisation que l'on applique sur la grille avant du transistor et V_{BG} celle appliqué sous le BOx.

- continuité du vecteur de déplacement électrique $\vec{D} = \varepsilon \vec{E}$ en $x = 0$ et $x = t_{Si}$ en présence d'une charge surfacique Q ($\vec{D} \cdot \vec{n} = Q$)

$$\begin{aligned} -\varepsilon_{ox} \left. \frac{\partial \Phi_1}{\partial x} \right|_{0^-} + \varepsilon_{Si} \left. \frac{\partial \Phi_2}{\partial x} \right|_{0^+} &= -Qit_{FG} \\ -\varepsilon_{Si} \left. \frac{\partial \Phi_2}{\partial x} \right|_{t_{Si}^-} + \varepsilon_{ox} \left. \frac{\partial \Phi_3}{\partial x} \right|_{t_{Si}^+} &= -Qit_{BG} \end{aligned}$$

avec Qit_{FG} la densité surfacique de charges à l'interface oxyde de grille/silicium et Qit_{BG} celle à l'interface silicium/oxyde enterré. Ici, on ne considère aucune charge dans les oxydes, d'où $Qit_{FG} = Qit_{BG} = 0$

1.4 Modèle en régime de désertion totale

En régime de désertion totale, on obtient alors six équations reliant les six constantes inconnues :

$$B_1 = B_2 \quad (1.10)$$

$$-\varepsilon_{ox}A_1 + \varepsilon_{Si}A_2 = 0 \quad (1.11)$$

$$\frac{q}{2\varepsilon_{Si}}Na t_{Si}^2 + A_2 t_{Si} + B_2 = A_3 t_{Si} + B_3 \quad (1.12)$$

$$-\varepsilon_{Si}A_2 + \varepsilon_{ox}A_3 = q Na t_{Si} \quad (1.13)$$

$$-A_1 t_{ox} + B_1 = V_{FG} \quad (1.14)$$

$$-A_3(t_{Si} + t_{BOx}) + B_3 = V_{BG} \quad (1.15)$$

Ecrit de façon matricielle, il suffit alors de résoudre le système :

$$\begin{pmatrix} 0 & 1 & 0 & -1 & 0 & 0 \\ -\varepsilon_{ox} & 0 & \varepsilon_{Si} & 0 & 0 & 0 \\ 0 & 0 & t_{Si} & 1 & -t_{Si} & -1 \\ 0 & 0 & -\varepsilon_{Si} & 0 & \varepsilon_{ox} & 0 \\ -t_{ox} & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & t_{Si} + t_{BOx} & 1 \end{pmatrix} \begin{pmatrix} A_1 \\ B_1 \\ A_2 \\ B_2 \\ A_3 \\ B_3 \end{pmatrix} = \begin{pmatrix} 0 \\ 0 \\ -\frac{q}{2\varepsilon_{Si}}Na t_{Si}^2 \\ q Na t_{Si} \\ V_{FG} \\ V_{BG} \end{pmatrix} \quad (1.16)$$

1.5 Modèle complet

Pour obtenir le potentiel dans le film dans les autres régimes de fonctionnement du transistor, accumulation et inversion, il est nécessaire de considérer les porteurs libres et pour cela résoudre l'équation de Poisson dans le film de façon numérique par des méthodes de différences finies.

On définit Φ_{sFG} le potentiel à l'interface oxyde de grille/silicium et Φ_{sBG} celui à l'interface silicium/oxyde enterré, grandeurs qui seront utilisées par la suite, notamment pour le calcul de la concentration d'électrons aux interfaces :

$$\Phi_{sFG} = \Phi_2(0) \text{ et } \Phi_{sBG} = \Phi_2(t_{Si}) \quad (1.17)$$

1. Etude électrostatique d'une structure FDSOI

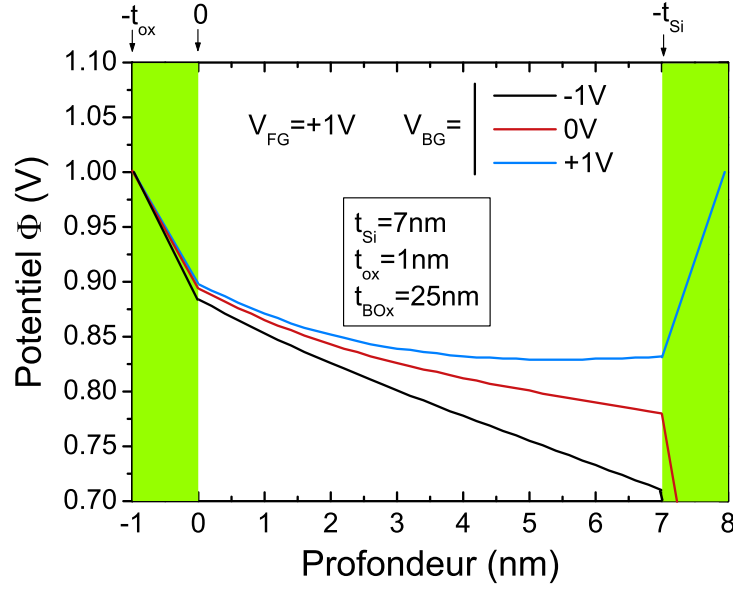


FIGURE 1.4 – Potentiel électrique dans le film

Le potentiel Φ obtenu avec le modèle complet est présenté Figure 1.4 pour différentes valeurs de V_{BG} classiquement utilisées et pour $V_{FG} = 1V$. On retiendra qu'une variation de la tension en face arrière induira forcément une variation du potentiel de surface avant $\Phi_{s_{FG}}$.

Enfin, la Figure 1.5 représente la densité surfacique d'électrons Q_n dans le film introduite équation 1.18 en fonction de la tension de grille avant V_{FG} , pour différentes valeurs de tension de grille arrière V_{BG} . Le modèle complet avec les porteurs libres y est comparé à celui avec l'hypothèse du régime de désertion totale. On observe que jusqu'à des densités d'environ $10^{13}C/cm^2$, l'approximation de désertion totale est justifiée.

Au delà de cette valeur dans le régime d'inversion, il devient primordial de considérer les porteurs libres dans le film, la densité de porteurs libres (électrons) n'étant plus négligeable.

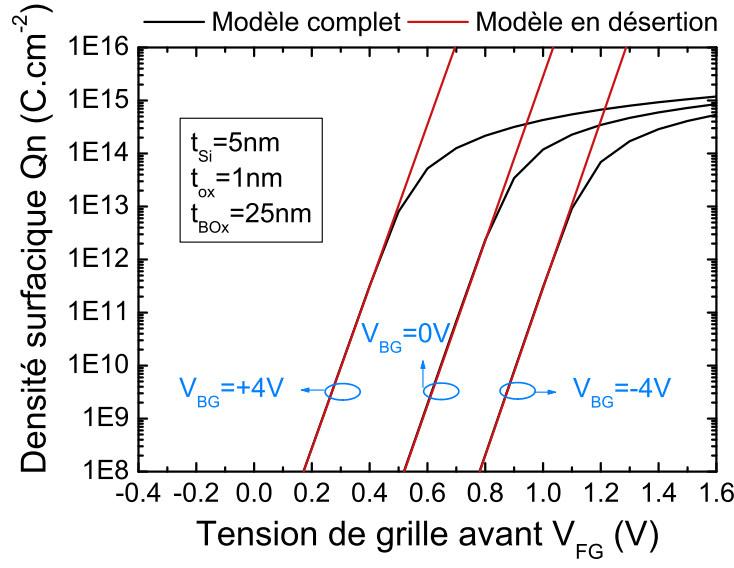


FIGURE 1.5 – Densités surfaciques d'électrons : comparaison des deux modèles

1.6 Capacité du film de silicium

On peut définir les densités surfaciques d'électrons Q_n et de trous Q_p exprimées en $C.m^{-2}$, fonctions de Φ_2 et définies par :

$$Q_n(\Phi_2) = -q \int_0^{t_{Si}} n(x) dx \quad (1.18)$$

$$Q_p(\Phi_2) = +q \int_0^{t_{Si}} p(x) dx \quad (1.19)$$

La densité surfacique de charges dans le film de silicium Q_{Si} peut ainsi s'écrire ;

$$Q_{Si} = Q_{dep} + Q_n(\Phi_2) + Q_p(\Phi_2) \quad (1.20)$$

avec $Q_{dep} = -q N_a t_{Si}$ la charge de désertion.

On peut alors remonter à la capacité du film de silicium C_{Si} définie par :

$$C_{Si} = \frac{dQ_{Si}}{d\Phi_{FG}} \quad (1.21)$$

Dans le cas d'un transistor FDSOI de type NMOS, la charge de désertion est

1. Etude électrostatique d'une structure FDSOI

constante et comme il n'y a pas de trou, C_{Si} s'écrit :

$$C_{Si} = \frac{dQ_n}{d\Phi_{sFG}} \quad (1.22)$$

Enfin, expérimentalement, on va venir appliquer un signal directement sur la grille et non à l'interface avant. La capacité C_{mes} réellement mesurée correspond alors à :

$$C_{mes} = \frac{\partial Q_{Si}}{\partial V_{FG}} \frac{\partial \Phi_{sFG}}{\partial V_{FG}} \quad (1.23)$$

La Figure 1.6 représente donc cette capacité du semiconducteur pour trois valeurs de V_{BG} . Pour $V_{BG} = 0$ on retrouve le comportement classique d'un transistor sur silicium massif [3] sans la partie accumulation puisque le film est totalement déserté (pas de porteur majoritaire). Pour $V_{BG} = +10V$, cette capacité peut se décomposer en deux parties : une première montée autour de $V_{FG} = -0.5V$ qui correspond à l'inversion de la face arrière puis une deuxième montée vers $V_{FG} = 0.5V$ qui elle, est représentative de l'inversion de la face avant. Enfin, appliquer une tension négative $V_{BG} = -10V$ revient à déclencher l'inversion face avant pour des valeurs de V_{FG} plus grandes.

L'étude de cette dépendance de la tension de seuil avant $V_{T,FG}$ avec la tension face arrière V_{BG} est l'objet de la partie suivante.

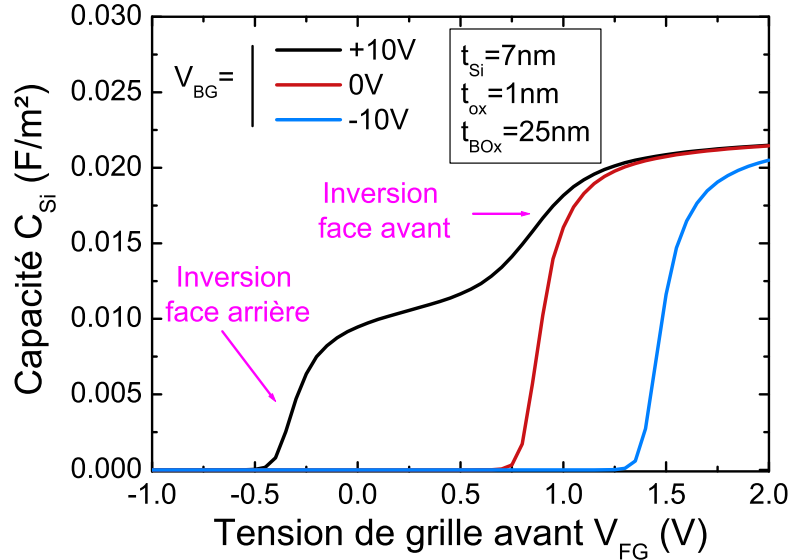


FIGURE 1.6 – Capacité du film de silicium

2 Etude de la tension de seuil : modèle de Lim & Fossum

Comme on vient de le voir avec la Figure 1.6, il est important de comprendre la dépendance de la tension de seuil avant $V_{T,FG}$ avec la tension face arrière V_{BG} [4]. Pour moins de lourdeur d'expression, on ne précisera plus par la suite l'indice « FG » en ce qui concerne la tension de seuil avant. On aura donc :

$$V_T = V_{T,FG}$$

2.1 Rappel : définition de la tension de seuil

Un canal d'inversion peut être formé dans le silicium lorsqu'une tension de grille V_{FG} adéquate est appliquée. On parle d'inversion forte pour $V_{FG} \geq V_T$. Concrètement, dans le cas d'un transistor NMOS, pour $V_{FG} \geq V_T$ un gaz d'électrons se forme à l'interface oxyde de grille/silicium en densité largement supérieure à celle des trous dans le volume du semiconducteur. Si on définit $ns_{FG} = n(x=0)$, la condition d'inversion forte est atteinte pour la condition $ns_{FG} = Na$, ce qui correspond plus ou moins à $\Phi_{sFG} = 2\Phi_F$ avec :

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{Na}{ni}\right) \quad (1.24)$$

où k est la constante de Boltzmann, T la température et ni la densité de porteurs intrinsèque au semiconducteur. Le potentiel de Fermi Φ_F représente la différence de potentiel entre le niveau d'énergie de Fermi et le niveau intrinsèque dans le volume du silicium ($q \Phi_F = E_i - E_F$).

Pour un transistor sur silicium massif, V_T est donc défini comme la tension pour laquelle [5] :

$$V_T = V_{FG}(\Phi_{sFG} = 2\Phi_F) \quad (1.25)$$

On gardera cette définition dans le cas d'un transistor FDSOI.

2.2 Modèle

Afin de déterminer une expression analytique de V_T , on se place dans l'approximation d'un régime de désertion totale, cadre du modèle de Lim & Fossum [6].

On définit $\Phi_{MS,FG}$ ($\Phi_{MS,BG}$) la différence de travaux de sortie entre la grille avant (arrière) et le semiconducteur :

2. Etude de la tension de seuil : modèle de Lim & Fossum

$$\begin{cases} \Phi_{MS,FG} = \Phi_S - \Phi_{m,FG} \\ \Phi_{MS,BG} = \Phi_S - \Phi_{m,BG} \end{cases} \quad (1.26)$$

Après résolution du système d'équation 1.16 en remplaçant V_{FG} par $V_{FG} - \Phi_{MS,FG}$ et V_{BG} par $V_{BG} - \Phi_{MS,BG}$ pour prendre en compte les différences de travaux de sortie des matériaux, il est possible d'exprimer V_{FG} et V_{BG} en fonction de $\Phi_{MS,FG}$, $\Phi_{MS,BG}$ et des capacités $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$, $C_{BOx} = \frac{\varepsilon_{ox}}{t_{BOx}}$ et $C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}}$ les capacités d'oxyde de grille, d'oxyde enterré et de film respectivement :

$$V_{FG} = \Phi_{MS,FG} + \left(1 + \frac{C_{Si}}{C_{ox}}\right) \Phi_{sFG} - \frac{C_{Si}}{C_{ox}} \Phi_{sBG} - \frac{Q_{dep}}{2C_{ox}} \quad (1.27)$$

$$V_{BG} = \Phi_{MS,BG} + \left(1 + \frac{C_{Si}}{C_{BOx}}\right) \Phi_{sBG} - \frac{C_{Si}}{C_{BOx}} \Phi_{sFG} - \frac{Q_{dep}}{2C_{BOx}} \quad (1.28)$$

avec $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$, $C_{BOx} = \frac{\varepsilon_{ox}}{t_{BOx}}$ et $C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}}$ les capacités d'oxyde de grille, d'oxyde enterré et de film respectivement.

Il existe donc clairement un couplage entre la face avant et la face arrière puisque la tension de grille avant V_{FG} dépend directement du potentiel de surface à l'arrière Φ_{sBG} , et donc de la tension appliquée en face arrière V_{BG} . Ainsi, pour calculer la tension de seuil du transistor, il faut considérer le régime de fonctionnement de la face arrière. On va donc considérer les trois cas classiques possibles à savoir la face arrière inversée, désertée et accumulée. Cette dernière est en pratique difficilement atteignable puisque le film de silicium est déserté et qu'il n'y a pas d'apport possible de porteurs majoritaires. Cependant on l'étudiera car on verra dans la suite qu'il existe des structures spécifiques qui peuvent apporter ces porteurs majoritaires.

2.3 Expressions de V_T pour les différents régimes de la face arrière

2.3.1 Face arrière accumulée

Le film de silicium n'étant pas dopé, l'accumulation de la face arrière correspond à $\Phi_{sBG} = 0$. De plus on a $\Phi_{sFG} = 2\Phi_F$ et donc la tension de seuil du transistor lorsque la face arrière est désertée $V_{T,BGacc}$ s'écrit :

$$V_{T,BGacc} = \Phi_{MS,FG} + \left(1 + \frac{C_{Si}}{C_{ox}}\right) 2\Phi_F - \frac{Q_{dep}}{2C_{ox}} \quad (1.29)$$

2.3.2 Face arrière inversée

Si la face arrière est inversée, on considère $\Phi_{sBG} = 2\Phi_F$ et donc la tension de seuil du transistor lorsque la face arrière est inversée $V_{T,BGinv}$ s'écrit :

$$V_{T,BGinv} = \Phi_{MS,FG} + 2\Phi_F - \frac{Q_{dep}}{2C_{ox}} \quad (1.30)$$

2.3.3 Face arrière désertée

On a déjà $\Phi_{sFG} = 2\Phi_F$. De plus, si la face arrière est désertée, on a $0 < \Phi_{sBG} < 2\Phi_F$, les bornes représentant le cas de la face arrière désertée $\Phi_{sBG} = 0$ et celui de la face arrière inversée $\Phi_{sBG} = 2\Phi_F$.

On définit alors V_{BGacc} la tension V_{BG} qu'il faut appliquer pour que l'interface arrière soit accumulée ($\Phi_{sBG} = 0$) et V_{BGinv} celle pour que cette même interface soit inversée ($\Phi_{sBG} = 2\Phi_F$), ce qui revient après substitution dans l'équation 1.28 à :

$$V_{BGacc} = \Phi_{MS,BG} - \frac{C_{Si}}{C_{BOx}} 2\Phi_F - \frac{Q_{dep}}{2C_{ox}} \quad (1.31)$$

$$V_{BGinv} = \Phi_{MS,BG} - \frac{C_{Si}}{C_{BOx}} 2\Phi_F + \left(1 + \frac{C_{Si}}{C_{BOx}}\right) 2\Phi_F - \frac{Q_{dep}}{2C_{ox}} \quad (1.32)$$

On notera que cette V_{BGinv} n'est rien d'autre que la tension de seuil du transistor MOS arrière.

Enfin, pour $V_{BGacc} < V_{BG} < V_{BGinv}$, la tension de seuil avant $V_{T,BGdes}$, lorsque la face arrière est désertée, est obtenue en combinant les équations 1.27 et 1.28 :

$$V_{T,BGdes} = V_{T,BGacc} - \frac{C_{Si}C_{BOx}}{C_{ox}(C_{Si} + C_{BOx})}(V_{BG} - V_{BGacc}) \quad (1.33)$$

Le coefficient $\frac{C_{Si}C_{BOx}}{C_{ox}(C_{Si} + C_{BOx})}$ est représentatif du couplage électrostatique entre les interfaces avant et arrière du film de silicium. On remarque d'ailleurs que lorsque $t_{BOx} \gg t_{Si}$, ce coefficient de couplage n'est rien d'autre que le rapport des épaisseurs de l'oxyde de grille et de l'oxyde enterré :

$$\frac{C_{Si}C_{BOx}}{C_{ox}(C_{Si} + C_{BOx})} \approx \frac{t_{ox}}{t_{BOx}} \quad (1.34)$$

2. Etude de la tension de seuil : modèle de Lim & Fossum

2.4 Résultats expérimentaux et limitations du modèle

La Figure 1.7 présente une caractéristique $V_T(V_{BG})$ expérimentale, obtenue sur un transistor NMOS avec $t_{Si} = 15nm$ et $t_{BOx} = 140nm$.

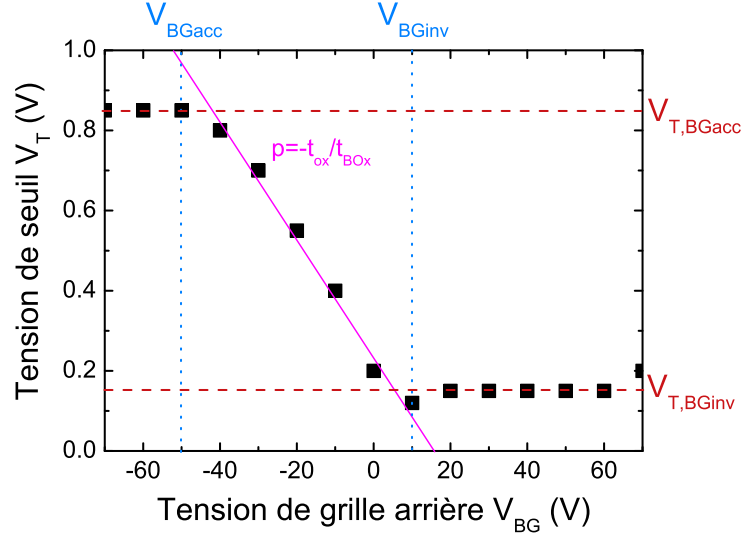


FIGURE 1.7 – Tension de seuil en fonction de V_{BG}

Pour $V_{BGacc} < V_{BG} < V_{BGinv}$, on observe clairement un couplage électrostatique entre la face avant et la face arrière. Cependant, pour $V_{BG} \leq V_{BGacc}$ et $V_{BG} \geq V_{BGinv}$, V_T devient indépendant de V_{BG} et permet un découplage total des deux interfaces.

Cependant, ce phénomène de découplage n'est possible que si l'on peut distinguer le canal d'inversion formé à l'avant de celui formé à l'arrière et donc seulement si le film de silicium est suffisamment épais. En effet, pour des films minces avec $t_{Si} < 10nm$ le découplage des populations de porteurs à l'interface avant et arrière ne s'observe plus.

Le modèle de Lim & Fossum nous a donc permis d'appréhender le phénomène de couplage électrostatique entre la face avant et la face arrière et de formuler de façon analytique les expressions de V_T , et ce pour les différents régimes de la face arrière. Cependant, ce modèle n'est valable que lorsque l'épaisseur du film de silicium est grande. En effet, dans le modèle de Lim & Fossum, les charges sont considérées comme surfaciques, ce qui n'est plus valide pour des films minces. Ce phénomène est illustré Figure 1.8 sur un film mince ($t_{Si} = 5nm$) où l'on observe que dans certaines conditions de polarisation avant et arrière, les canaux d'inversion des interfaces avant et arrière se confondent.

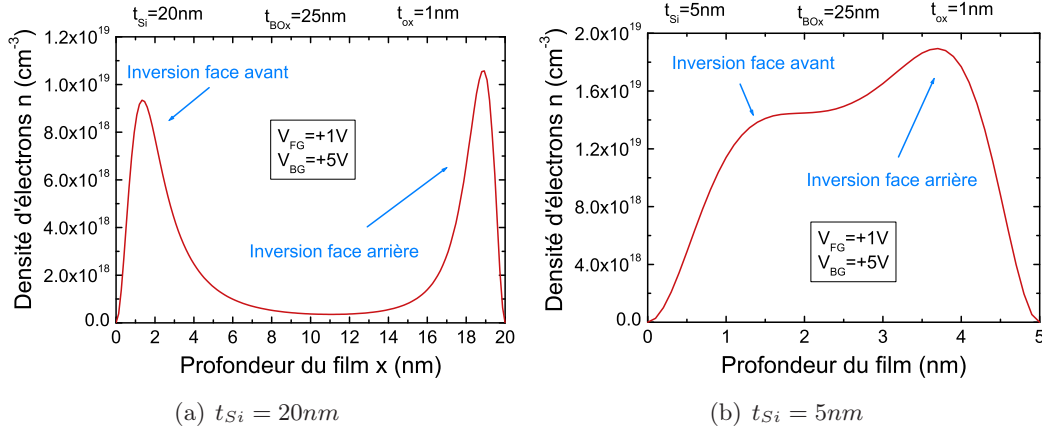


FIGURE 1.8 – Concentration d'électrons dans le film

2.5 Effet d'un ground plane sur $V_T(V_{BG})$

Afin de pouvoir moduler la valeur de la tension de seuil avant V_T , il est possible d'appliquer une polarisation arrière V_{BG} au niveau du substrat sous l'oxyde enterré. Cependant, ce substrat étant de même type que le film FDSOI, à savoir non dopé, il apparaît un régime de désertion sous l'oxyde enterré. Ce dernier vient limiter le couplage électrostatique en augmentant « l'épaisseur électrique » du BOx [7]. Ce phénomène est illustré Figure 1.9 par un « décroché » au niveau de $V_{BG} = 0V$ de la caractéristique $V_T(V_{BG})$ et peut être corrigé par l'implantation d'une zone dopée sous l'oxyde enterré (ground plane).

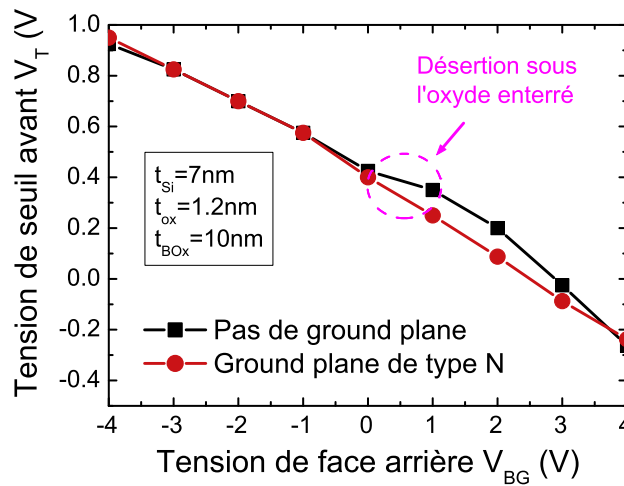


FIGURE 1.9 – Illustration du régime de désertion sous le BOx et de sa correction par un ground plane

3. Caractéristiques expérimentales du transistor MOS

De plus, il peut y avoir une chute de potentiel dans le substrat sous l'oxyde enterré qui engendre une différence entre la tension appliquée par l'utilisateur et la tension effectivement appliquée au niveau de l'oxyde enterré. Cette différence pouvant prendre de l'importance lorsque le BOx est fin, des solutions technologiques sont réfléchies afin de venir créer un contact directement au niveau du ground plane en gravant l'oxyde enterré.

3 Caractéristiques expérimentales du transistor MOS

Dans ce chapitre, on a jusqu'à présent introduit le transistor MOS FDSOI de façon théorique et défini des expressions de la tension de seuil V_T . Dans la pratique, d'autres méthodes expérimentales sont mises en place pour mesurer V_T . De plus, si V_T est une caractéristique importante du transistor MOS, d'autres paramètres sont étudiés pour caractériser les performances des dispositifs, ce quelque soit la technologie utilisée (FDSOI ou silicium massif). Certains de ces paramètres sont introduits ci-après.

3.1 Tension de seuil

Deux méthodes d'extraction de V_T sont présentées ici à partir d'une caractéristique courant de drain-tension de grille avant $I_D(V_{FG})$: la méthode du courant constant et celle du V_T extrapolé depuis le maximum de transconductance.

D'autres techniques basées sur des mesures courant-tension $I_D(V_{FG})$ [8, 9] ou sur des mesures capacitives [10, 11] existent, mais sont plus contraignantes à mettre en place car plus longues à mesurer (capacités) ou plus approximatives (dérivées à calculer).

3.1.1 $V_{T,I_{cc}}$ à courant constant

La méthode d'extraction de $V_{T,I_{cc}}$ à courant constant consiste à évaluer la valeur de la tension de grille avant V_{FG} pour laquelle le courant de drain atteint un courant seuil I_{CC} choisi arbitrairement. Cette valeur arbitraire de I_{CC} , censée représenter le passage entre le régime d'inversion faible à celui d'inversion forte, peut varier d'une technologie à une autre. Historiquement, cette valeur du courant de seuil est égale à :

$$I_{CC} = 0.1\mu A \frac{W}{L} \quad (1.35)$$

avec W la largeur de grille du transistor et L sa longueur.

L'atout principal de cette technique est qu'elle est simple et rapide et peut être utilisée pour des tests à grande échelle. De plus, elle utilise une gamme de courant proche du seuil, peu dépendante de la valeur des résistances série.

Cette méthode est illustrée Figure 1.10.

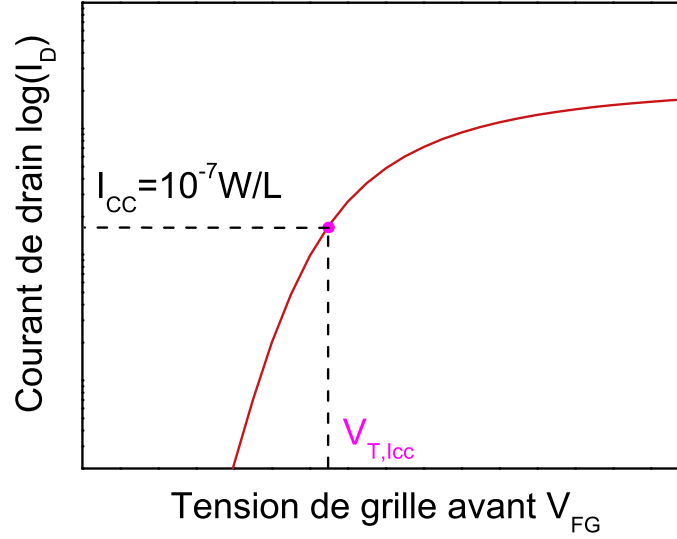


FIGURE 1.10 – V_T à courant constant

Enfin, cette méthode basée sur une mesure de courant sous le seuil est valable à la fois en régime de saturation et en régime linéaire. La différence de tension de seuil entre ces deux régimes correspond notamment au DIBL (« **D**rain **I**nduced **B**arrier **L**owering »), effet de canal court ou SCE (« **S**hort **C**hannel **E**ffect ») dû à l'abaissement de la barrière de potentiel au niveau du drain :

$$DIBL = V_{T,Icc}(V_D \text{ fort}) - V_{T,Icc}(V_D \text{ faible}) \quad (1.36)$$

3. Caractéristiques expérimentales du transistor MOS

Les phénomènes de SCE et plus précisément de DIBL sont récapitulés Figure 1.11 :

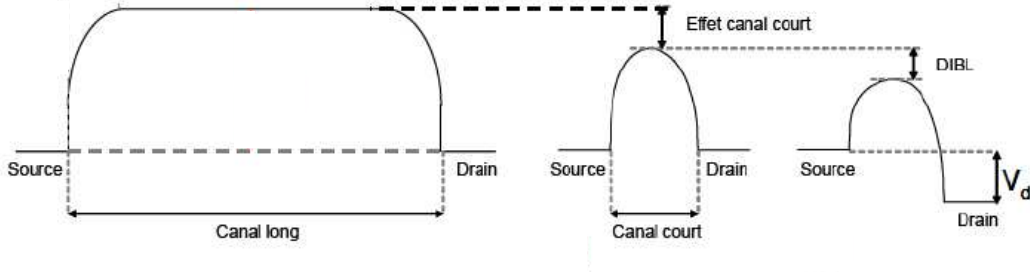


FIGURE 1.11 – Illustration des effets de canaux courts [12]

3.1.2 $V_{T,lin}$ extrapolé en régime linéaire

La méthode du $V_{T,lin}$ par extrapolation est basée sur l'expression suivante du courant de drain I_D en régime linéaire [13] :

$$I_D = \frac{W}{L} \mu_{eff} C_{ox} \left(V_{FG} - V_T - \frac{V_D}{2} \right) V_D \quad (1.37)$$

$$\text{avec } \mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_{FG} - V_T - \frac{V_D}{2}) + \theta_2(V_{FG} - V_T - \frac{V_D}{2})^2} \quad (1.38)$$

μ_{eff} est la mobilité effective qui caractérise le transport des porteurs dans le canal d'inversion et sera étudiée plus en détail dans le paragraphe suivant. μ_{eff} est cependant composée de μ_0 la mobilité sous champ électrique faible qui représente la mobilité des porteurs sous le seuil (en terme d' $I_D(V_{FG})$) et θ_1 et θ_2 les facteurs empiriques de réduction de mobilité due à l'interaction porteurs libres/phonons du réseau cristallin et à la rugosité de l'interface Si/SiO_2 respectivement [14, 15].

Le paramètre θ_1 prend aussi en compte la résistance série R_{serie} tel que $\theta_1 = \theta_{1,0} + \frac{W}{L} \mu_0 C_{ox} R_{serie}$ (voir Figure 1.12).

On définit $\beta = \frac{W}{L} \mu_0 C_{ox}$ qui est connu sous le nom de paramètre de gain en transconductance du transistor et qui définit la quantité de courant que peut débiter ce dernier sous l'application d'un couple de polarisation (V_{FG}, V_D) . Le courant de drain I_D s'écrit finalement :

$$I_D = \beta \frac{V_{FG} - V_T - \frac{V_D}{2}}{1 + \theta_1(V_{FG} - V_T - \frac{V_D}{2}) + \theta_2(V_{FG} - V_T - \frac{V_D}{2})^2} V_D \quad (1.39)$$

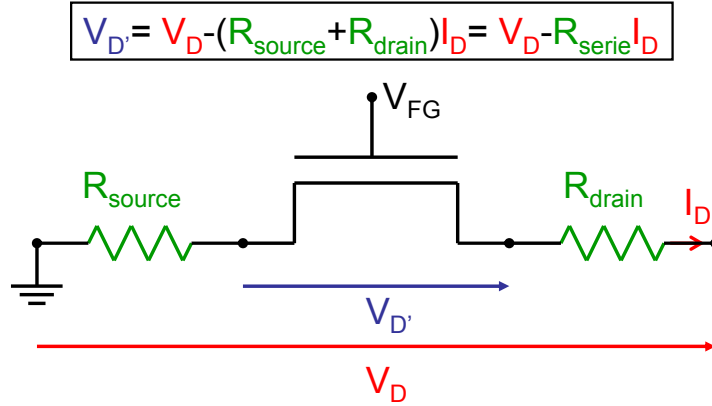


FIGURE 1.12 – Schéma électrique du transistor MOS incluant les résistances série

On en déduit la transconductance qui n'est autre que la dérivée de I_D par V_{FG} :

$$gm = \frac{dI_D}{dV_{FG}} = \beta \frac{1 - \theta_2(V_{FG} - V_T - \frac{V_D}{2})^2}{[1 + \theta_1(V_{FG} - V_T - \frac{V_D}{2}) + \theta_2(V_{FG} - V_T - \frac{V_D}{2})^2]^2} V_D \quad (1.40)$$

Si on définit V_{ext} la tension de grille extrapolée linéairement à partir du point d'inflexion de la caractéristique $I_D(V_{FG})$ (au maximum de gm) et $V_{G,gm_{MAX}}$ la tension V_{FG} pour laquelle gm est maximale, on a :

$$V_{ext} = V_{G,gm_{MAX}} - \frac{I_D(V_{G,gm_{MAX}})}{gm_{MAX}} \quad (1.41)$$

d'où :

$$V_{ext} = V_{T,lin} + \frac{V_D}{2} - \frac{\theta_1(V_{G,gm_{MAX}} - V_T - \frac{V_D}{2})^2 + 2\theta_2(V_{G,gm_{MAX}} - V_T - \frac{V_D}{2})^3}{1 - \theta_2(V_{G,gm_{MAX}} - V_T - \frac{V_D}{2})^2} \quad (1.42)$$

Si on néglige la réduction de mobilité ($\theta_1 = \theta_2 = 0$), on arrive à :

$$V_{T,lin} = V_{ext} - \frac{V_D}{2} = V_{G,gm_{MAX}} - \frac{I_D(V_{G,gm_{MAX}})}{gm_{MAX}} - V_D/2 \quad (1.43)$$

Finalement, bien que la réduction de mobilité et l'influence des résistances série ne soient pas prises en compte, cette méthode graphique (voir Figure 1.13) est facile à mettre en place. Plus qu'une valeur exacte de la tension de seuil V_T , cette technique permet de comparer deux dispositifs équivalents, ou de suivre la dérive de V_T sur un même dispositif lors d'un stress.

3. Caractéristiques expérimentales du transistor MOS

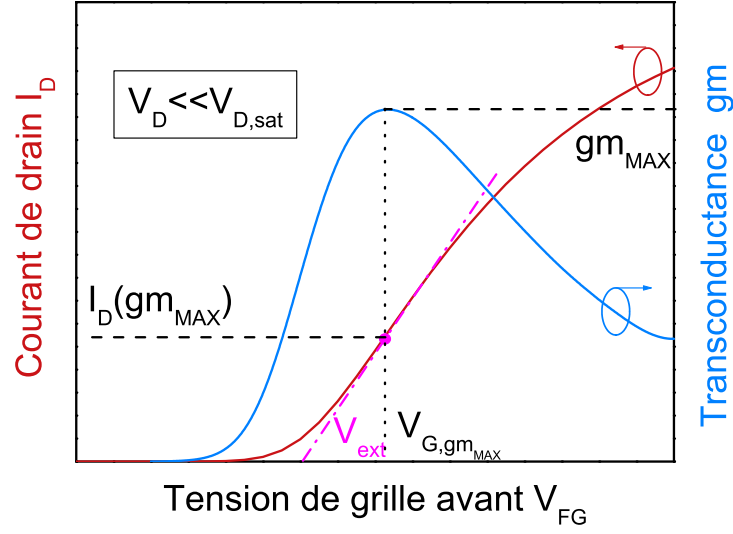


FIGURE 1.13 – V_T extrapolé

3.2 Mobilité effective

3.2.1 Définition

La mobilité effective μ_{eff} introduite précédemment est un paramètre essentiel qui permet de caractériser le transport électrique dans la couche d'inversion d'un transistor MOS [16]. Elle établit un lien simple entre le champ électrique parallèle au canal d'inversion $E_{\parallel}$ et la vitesse de dérive des porteurs v_d :

$$v_d = \mu_{eff} E_{\parallel} \quad (1.44)$$

Cette mobilité effective dépend notamment du champ électrique transverse E_{eff} [17, 18] vu par les porteurs du canal d'inversion défini par :

$$E_{eff} = \frac{Q_{dep} + \eta Q_{inv}}{\epsilon_{Si}} \quad (1.45)$$

avec Q_{dep} la charge de désertion du film de silicium et $Q_{inv} = Q_n$ la charge d'inversion. η est un paramètre empirique qui peut être considéré comme le « barycentre électrostatique » de la couche d'inversion, et qui diffère selon le cas NMOS avec des électrons ($\eta = \frac{1}{2}$) ou PMOS avec des trous ($\eta = \frac{1}{3}$) [19, 20].

3.2.2 Principe de la méthode de « split CV »

La méthode la plus utilisée pour mesurer la mobilité effective μ_{eff} à faible V_D en fonction du champ effectif E_{eff} est la méthode dite de « split CV », mise au point

par Koomen [21] et améliorée par Sodini [10], où μ_{eff} est définie comme :

$$\mu_{eff} = \frac{L_{eff}}{W} \frac{I_D}{Q_{inv} V_D} \quad (1.46)$$

avec L_{eff} la longueur effectivement contrôlée par le canal. En effet, la différence entre la longueur physique L et la longueur effective L_{eff} peut varier d'une dizaine de nanomètres. Cette erreur est négligeable lorsqu'on travaille avec des transistors de longueur de grille $L = 10\mu m$ mais prend son importance avec des transistors courts sub-100nm, erreur qui se répercute directement sur le calcul de la mobilité effective μ_{eff} . Différentes méthodes pour extraire L_{eff} [22] existent mais ne seront pas traitées dans ce travail.

Initialement développée pour des transistors sur silicium massif, cette technique consiste à une mesure de courant-tension $I_D(V_G)$ associée à deux mesures capacitatives. Une première entre la grille et le substrat (C_{gs}) qui sert à calculer la charge de désertion Q_{dep} et l'autre entre la grille et le canal (C_{gc}) qui permet de remonter à la charge d'inversion Q_{inv} .

Dans le cas du FDSOI, le calcul de Q_{dep} ne nécessite pas de mesure capacitive puisque le film est complètement déserté (Q_{dep} négligeable). Seule la mesure de la capacité entre la grille et le canal C_{gc} (Figure 1.14) est alors nécessaire et la charge d'inversion est obtenue en intégrant cette dernière :

$$Q_{inv} = \int_{-\infty}^{V_G} C_{gc}(V) dV \quad (1.47)$$

Enfin, pour éviter toute variabilité de la mobilité avec V_D [23], il est préférable de faire une moyenne arithmétique de deux mobilités mesurées avec des V_D symétriques par rapport à 0 :

$$\mu_{eff \text{ corrigée}} = \frac{1}{2} (\mu_{eff}(V_D) + \mu_{eff}(-V_D)) \quad (1.48)$$

3.2.3 Exemple et discussion

Une caractéristique expérimentale classique $\mu_{eff}(E_{eff})$ est présentée Figure 1.15. On retrouve en pointillés la mobilité universelle introduite par Takagi pour un empilement SiO_2 /grille poly-silicium [20]. On peut voir qu'à champ faible, la caractéristique expérimentale s'éloigne de la mobilité universelle, ce qui s'explique par une réduction de mobilité due à l'interaction coulombienne des porteurs du canal avec des défauts chargés [24]. Ces impuretés peuvent être situées dans le canal (dopants

3. Caractéristiques expérimentales du transistor MOS

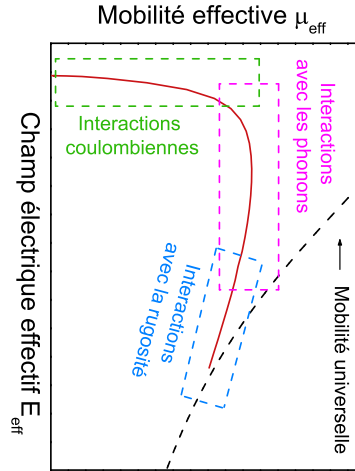


FIGURE 1.14 – Mesure de la capacité grille-canal C_{gc}

du substrat pour les technologies sur silicium massif) ou plus haut dans l'empilement oxyde/grille [25, 26] et on parle alors de « remote coulomb scattering ». Cependant, le fait que la mobilité tende vers 0 à très faible champ n'est pas physique et peut être expliqué par une différence de tension de seuil V_T entre la mesure de capacité et celle de courant. D'autres phénomènes influent sur la mobilité tels que les collisions avec des phonons du réseau ou des collisions dues à la rugosité de l'interface Si/ SiO_2 [27].

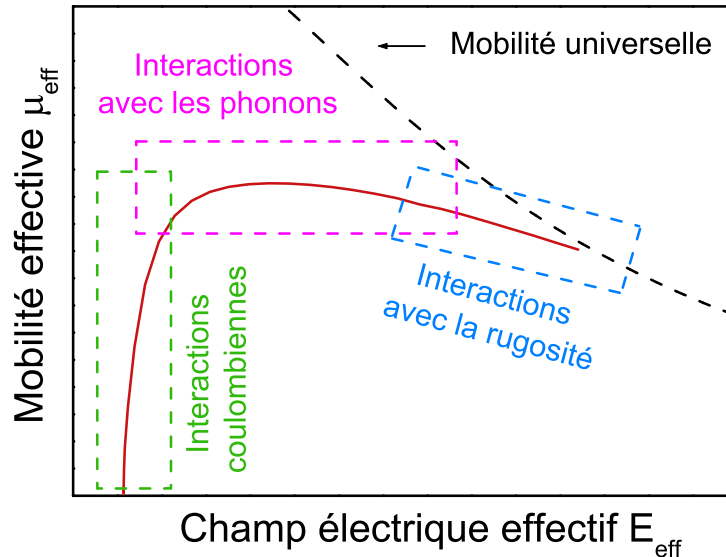


FIGURE 1.15 – Mobilité effective μ_{eff} en fonction du champ effectif E_{eff}

Cette méthode de « Split CV » est donc une méthode très efficace pour mesu-

rer la mobilité effective des porteurs dans le canal d'inversion. Elle est cependant limitée à très faible champ (donc à très faible charge d'inversion) et il faut préférer une extraction de la mobilité par magnéto-transport dans cette gamme [28]. Elle présuppose notamment que l'on travaille avec des dispositifs longs ($L \geq 100nm$) pour pouvoir mesurer un signal capacitif suffisant ($C_{gc} \propto W \times L$). Une alternative est l'utilisation de structures matricées où plusieurs dispositifs courts sont mis en parallèle mais il faut cependant faire attention aux nombreuses capacités parasites qui interviennent lors de la mesure et sont négligeables lorsque le canal est long.

La méthode de « Split CV » a été pourtant adaptée pour des dispositifs sub-100nm en corrigeant la capacité mesurée des capacités parasites [29] et en y extrayant L_{eff} sans approximation sur la mobilité, contrairement à d'autres techniques d'extraction de L_{eff} basées sur des mesures courant-tension $I_D(V_{FG})$. Cette méthode reste cependant fastidieuse.

3.2.4 Méthode de la fonction Y

Finalement, la technique la moins périlleuse pour étudier la mobilité μ_0 sur des dispositifs courts reste l'étude de la fonction Y introduite par Ghibaudo et al. [30] définie par :

$$Y = \frac{I_D}{\sqrt{gm}} \quad (1.49)$$

En utilisant les équations 1.39 et 1.40 on a :

$$Y \approx \sqrt{\frac{W}{L_{eff}}} \mu_0 C_{ox} V_D (V_{FG} - V_T) \quad (1.50)$$

ce qui nous permet d'extraire une valeur de μ_0 en s'affranchissant des résistances séries (pente de Y) mais aussi une valeur de la tension de seuil V_T (abscisse à l'origine de Y).

De plus, si on définit la fonction θ_{eff} linéaire dans le régime d'inversion du transistor telle que :

$$\theta_{eff} = \frac{W}{L_{eff}} \mu_0 C_{ox} \frac{V_D}{I_D} - \frac{1}{V_{FG} - V_T} = \theta_1 + \theta_2 (V_{FG} - V_T) \quad (1.51)$$

on peut extraire les paramètres θ_1 (abscisse à l'origine de θ_{eff}) et θ_2 (pente de θ_{eff}).

En pratique, la linéarité de la fonction Y dans le régime d'inversion n'est pas si

3. Caractéristiques expérimentales du transistor MOS

évidente. La précision de l'extraction doit être améliorée par une méthode itérative proposée par Mourrain et al. [31] en utilisant la fonction Y_{new} :

$$Y_{new} = Y \sqrt{1 - \theta_2 (V_{FG} - V_T)^2} \quad (1.52)$$

L'algorithme est présenté Figure 1.16. Cette procédure peut être appliquée tant que le critère $\theta_2 (V_{FG} - V_T)^2 \ll 1$ n'est pas atteint.

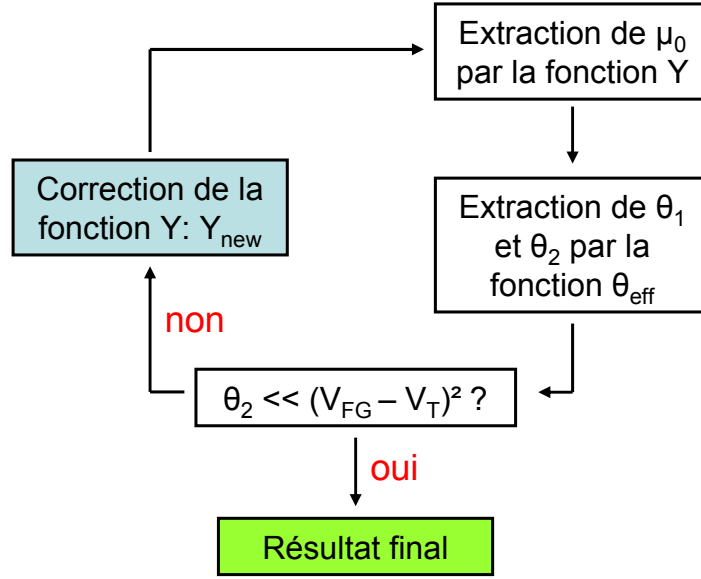


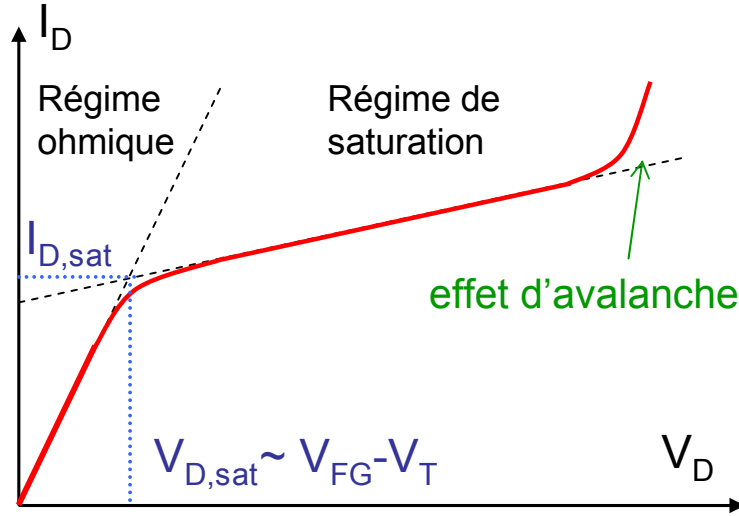
FIGURE 1.16 – Procédure d'extraction itérative de la fonction Y

3.3 Courant de saturation I_{sat}

Dans le régime de saturation ($V_D > V_{FG} - V_T$), le canal proche du drain est pincé et le courant de drain I_D n'évolue plus avec V_D ($I_D = I_{D,sat}$). Cependant pour les dispositifs courts, le courant de drain continue d'augmenter avec la tension de drain (Figure 1.17), ce qui peut s'expliquer par l'éloignement du point de pincement par rapport au drain, par la réduction de tension de seuil avec V_D (effets de canaux courts) ou encore par l'effet d'avalanche [32].

On peut définir aussi I_{on} le courant de drain pour lequel le transistor est dans son état « ON » ou « 1 » en binaire, i.e pour lequel la grille et le drain sont polarisés à la tension d'alimentation du circuit V_{DD} :

$$I_{on} = I_D(V_{FG} = V_D = V_{DD}) \quad (1.53)$$


 FIGURE 1.17 – Caractéristique $I_D(V_D)$ en forte inversion ($V_{FG} \gg V_T$)

avec la valeur de V_{DD} qui peut varier entre 0.9V et 1.1V selon la technologie utilisée.

On considèrera par la suite que $I_{D,sat} = I_{on}$ (à tort car non valable pour des transistors à canaux courts).

De façon similaire on peut définir I_{off} le courant de drain pour lequel le transistor est dans son état « OFF » ou « 0 », i.e lorsque la grille est polarisée à 0V et le drain à la tension d'alimentation V_{DD} :

$$I_{off} = I_D(V_{FG} = V_D = 0) \quad (1.54)$$

La caractéristique $\text{Log}(I_{off})$ en fonction de I_{on} - faite sur des transistors de différentes longueurs L , la largeur W étant fixe - est souvent utilisée pour juger des performances d'un dispositif. En effet, le courant I_{on} est représentatif de la vitesse de commutation alors que le courant I_{off} rend compte de la puissance statique dissipée par le dispositif. Un exemple est proposé Figure 1.18 avec des transistors de largeur $W=80\text{nm}$. L'intérêt d'appliquer une polarisation V_{BG} pour moduler la tension de seuil V_T (et donc I_{on} et I_{off}) est illustré ici.

3. Caractéristiques expérimentales du transistor MOS

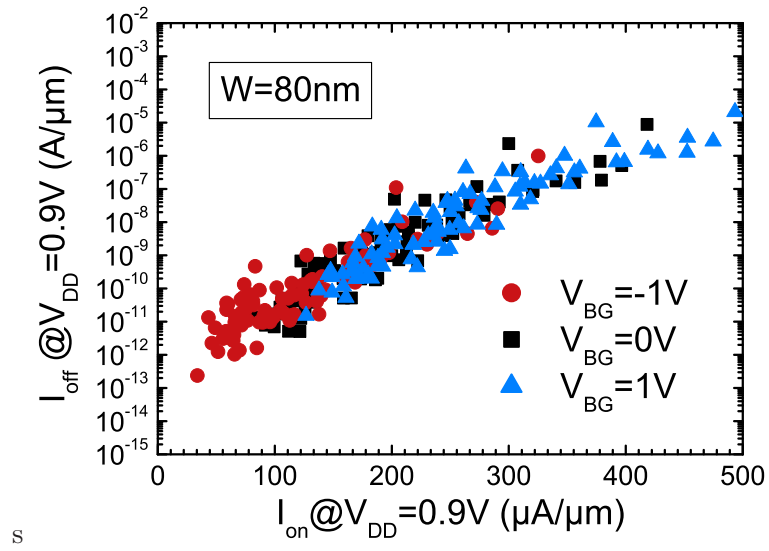


FIGURE 1.18 – Caractéristique $I_{off}(I_{on})$ pour différentes polarisations face arrière)

4 Conclusion du Chapitre 1

On a étudié dans ce chapitre la spécificité électrostatique d'une structure FDSOI en résolvant l'équation de Poisson sur une structure oxyde/semiconducteur/oxyde. On a montré que le potentiel du film à l'avant (en $x=0$) était intimement lié à celui à l'arrière ($x=t_{Si}$). Bien que limité par son hypothèse de désertion totale, le modèle de Lim & Fossum nous a permis d'exprimer analytiquement le couplage électrostatique au travers de la tension de seuil en fonction des épaisseurs de l'oxyde enterré, de l'oxyde de grille et du film de silicium (équation 1.33).

Ce modèle nous a aussi montré qu'il est possible, lorsque le film de silicium est épais, de découpler totalement les deux interfaces en appliquant une polarisation V_{BG} suffisante pour inverser ou accumuler l'interface arrière. Ce phénomène devient cependant obsolète lorsque l'on travaille avec des films minces $t_{Si} < 10nm$. En effet, dans le modèle Lim & Fossum les charges sont considérées comme surfaciques, ce qui n'est plus valable pour ces films de faible épaisseur où l'on observe que les canaux d'inversion à l'avant et à l'arrière peuvent se confondre (Figure 1.8). Pour appréhender le couplage sur des structures à films minces dans tous les régimes de fonctionnement du transistor (accumulation, désertion et inversion), il est donc primordial de considérer tous les porteurs libres dans le volume du film.

Enfin, on a introduit différents paramètres électriques caractéristiques des transistors, paramètres qui seront utilisés par la suite dans les études de fiabilité. Les notions de tension de seuil, de mobilité et de courant de saturation y ont été présentées ainsi que différentes méthodes électriques pour les extraire. On retiendra principalement la méthode d'extraction de la tension de seuil à courant constant qui est empirique mais valable en régime linéaire et en régime de saturation, ainsi que la méthode de « CV split » pour l'extraction de la mobilité effective en fonction du champ électrique effectif, technique cependant limitée aux transistors à canaux longs.

Bibliographie

- [1] S. Sze, *Physics of Semiconductor Devices, 2nd Edition*, N. York, Ed. John Wiley and Sons, 1981.
- [2] W. Hansch, T. Vogelsang, R. Kircher, and M. Orlowski, "Carrier transport near the Si/SiO₂ interface of a MOSFET," *Solid-State Electronics*, vol. 32, no. 10, pp. 839 – 849, 1989.
- [3] E. Nicollian and J. Brews, *Metal Oxide Semiconductor Physics and Technology*, N. York, Ed. John Wiley & Sons, 1982.
- [4] F. Balestra, M. Benachir, J. Brini, and G. Ghibaudo, "Analytical models of sub-threshold swing and threshold voltage for thin- and ultra-thin-film SOI MOSFETs," *IEEE Transactions on Electron Devices*, vol. 37, no. 11, pp. 2303 –2311, Nov. 1990.
- [5] H. Mathieu, *Physique des Semiconducteurs et des Composants Electroniques*. Dunod, 2004.
- [6] H.-K. Lim and J. Fossum, "Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's," *IEEE Transactions on Electron Devices*, vol. 30, no. 10, pp. 1244 – 1251, oct. 1983.
- [7] J. Mazellier, F. Andrieu, O. Faynot, L. Brevard, C. Buj, S. Cristoloveanu, Y. Le Tiec, and S. Deleonibus, "Threshold voltage in ultra thin FDSOI CMOS : Advanced triple interface model and experimental devices," in *9th International Conference on Ultimate Integration of Silicon (ULIS)*, 2008, pp. 31 –34.
- [8] A. Ortiz-Conde, F. G. Sanchez, J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectronics Reliability*, vol. 42, no. 4-5, pp. 583 – 596, 2002.
- [9] H.-S. Wong, M. H. White, T. J. Krutsick, and R. V. Booth, "Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's," *Solid-State Electronics*, vol. 30, no. 9, pp. 953–968, Sep. 1987.
- [10] C. Sodini, T. Ekstedt, and J. Moll, "Charge accumulation and mobility in thin dielectric MOS transistors," *Solid-State Electronics*, vol. 25, no. 9, pp. 833 – 841, 1982.
- [11] M. Lau, C. Chiang, Y. Yeow, and Z. Yao, "A new method of threshold voltage extraction via MOSFET gate-to-substrate capacitance measurement," *IEEE Transactions on Electron Devices*, vol. 48, no. 8, pp. 1742 –1744, aug 2001.

- [12] C. Guérin, “Etude de la dégradation par porteurs chauds des technologies CMOS avancées en fonctionnement statique et dynamique,” Ph.D. dissertation, 2008.
- [13] H. K. Lim and J. Fossum, “Transient drain current and propagation delay in SOI CMOS,” *IEEE Transactions on Electron Devices*, vol. 31, no. 9, pp. 1251 – 1258, sep 1984.
- [14] P. McLarty, S. Cristoloveanu, O. Faynot, V. Misra, J. Hauser, and J. Wortman, “A simple parameter extraction method for ultra-thin oxide MOSFETs,” *Solid-State Electronics*, vol. 38, no. 6, pp. 1175 – 1177, 1995.
- [15] G. Reichert and T. Ouisse, “Relationship between empirical and theoretical mobility models in silicon inversion layers,” *IEEE Transactions on Electron Devices*, vol. 43, no. 9, pp. 1394 – 1398, sep 1996.
- [16] S. Sun and J. Plummer, “Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces,” *IEEE Journal of Solid-State Circuits*, vol. 15, no. 4, pp. 562 – 573, aug 1980.
- [17] A. Sabnis and J. Clemens, “Characterization of the electron mobility in the inverted $100\text{ } \mu\text{m}^2$ Si surface,” in *International Electron Devices Meeting (IEDM)*, vol. 25, 1979, pp. 18 – 21.
- [18] T. Ando, A. B. Fowler, and F. Stern, “Electronic properties of two-dimensional systems,” *Rev. Mod. Phys.*, vol. 54, pp. 437–672, Apr 1982.
- [19] N. D. Arora and G. S. Gildenblat, “A semi-empirical model of the MOSFET inversion layer mobility for low-temperature operation,” *IEEE Transactions on Electron Devices*, vol. 34, no. 1, pp. 89–93, 1987.
- [20] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, “On the universality of inversion layer mobility in Si MOSFET’s : Part I-effects of substrate impurity concentration,” *IEEE Transactions on Electron Devices*, vol. 41, no. 12, pp. 2357–2362, 1994.
- [21] J. Koomen, “Investigation of the MOST channel conductance in weak inversion,” *Solid-State Electronics*, vol. 16, no. 7, pp. 801 – 810, 1973.
- [22] Y. Taur, “MOSFET channel length : extraction and interpretation,” *IEEE Transactions on Electron Device*, vol. 47, no. 1, pp. 160 – 170, jan 2000.

Bibliographie

- [23] Z. Liu, D. Guo, K. Xiu, W. K. Henson, and P. J. Oldiges, “Intrinsic effective mobility extraction with extremely scaled gate dielectrics,” *Applied Physics Letters*, vol. 97, no. 2, p. 023509, 2010.
- [24] F. Stern and W. E. Howard, “Properties of Semiconductor Surface Inversion Layers in the Electric Quantum Limit,” *Phys. Rev.*, vol. 163, pp. 816–835, Nov 1967.
- [25] M. Casse, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reimbold, T. Billon, M. Mouis, and F. Boulanger, “Carrier transport in HfO₂/metal gate MOSFETs : physical insight into critical parameters,” *IEEE Transactions on Electron Devices*, vol. 53, no. 4, pp. 759–768, April 2006.
- [26] N. Yang, W. Henson, J. Hauser, and J. Wortman, “Estimation of the effects of remote charge scattering on electron mobility of n-MOSFETs with ultrathin gate oxides,” *IEEE Transactions on Electron Devices*, vol. 47, no. 2, pp. 440–447, Feb 2000.
- [27] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, “On the universality of inversion layer mobility in Si MOSFET’s : Part II-effects of surface orientation,” *IEEE Transactions on Electron Devices*, vol. 41, no. 12, pp. 2363 –2368, dec 1994.
- [28] Y. M. Meziani, J. Lusakowski, F. Teppe, N. Dyakonova, W. Knap, K. Romanjek, M. Ferrier, R. Clerc, G. Ghibaudo, F. Boeuf, and T. Skotnicki, “Magnetoresistance mobility measurements in sub 0.1 μm Si MOSFETs,” in *34th European Solid-State Device Research conference (ESSDERC)*, 2004, pp. 157–160.
- [29] K. Romanjek, F. Andrieu, T. Ernst, and G. Ghibaudo, “Improved split C-V method for effective mobility extraction in sub-0.1- μm Si MOSFETs,” *IEEE Electron Device Letters*, vol. 25, no. 8, pp. 583 – 585, aug. 2004.
- [30] G. Ghibaudo, “New method for the extraction of MOSFET parameters,” *Electronics Letters*, vol. 24, no. 9, pp. 543–545, 1988.
- [31] C. Mourrain, B. Cretu, G. Ghibaudo, and P. Cottin, “New method for parameter extraction in deep submicrometer MOSFETs,” in *International Conference on Microelectronic Test Structures (ICMTS 2000)*, 2000, pp. 181 – 186.
- [32] J. Barnes, K. Shimohigashi, and R. Dutton, “Short-channel MOSFET’s in the punchthrough current mode,” *IEEE Transactions on Electron Devices*, vol. 26, no. 4, pp. 446 – 453, apr 1979.

Méthodes de caractérisation des pièges dans l'oxyde

On a considéré dans le chapitre précédent des oxydes parfaits, c'est-à-dire vierges de tout défaut. Pourtant tout oxyde possède des défauts, qu'ils soient intrinsèques au matériau (cristallographie) ou extrinsèques, comme des contaminations au cours des différentes étapes de fabrication. Ces défauts peuvent être électriquement actifs et avoir un impact direct sur les performances électriques des dispositifs notamment sur la tension de seuil V_T (termes Q_{ox} et Q_{BOx} qu'on a négligé dans les équations 1.27 et 1.28 page 21). La fiabilité des dispositifs est d'ailleurs essentiellement dépendante de la qualité de l'oxyde de grille et pour la technologie FDSOI, il est intéressant notamment d'étudier la qualité de l'oxyde enterré. Il est donc important de comprendre la nature des pièges qui existent dans les oxydes et surtout d'être capable de les caractériser électriquement.

Comme présenté dans l'introduction, les technologies actuelles utilisent pour oxyde de grille des diélectriques de haute permittivité high- κ (HK) de type HfO_2 ou HfSiON . Cependant, du fait de l'instabilité de l'interface film de silicium/high- κ , la formation d'une fine couche interfaciale (IL pour **I**nterfacial **L**ayer) de type SiO_2 et d'épaisseur variable entre 4 et 10 Å selon les procédés de fabrication utilisés est nécessaire pour pouvoir déposer l'oxyde high- κ .

On introduit d'ailleurs Figure 2.1 la notion d'épaisseur d'oxyde équivalente ou EOT (**E**quivalent **O**xide **T**hickness) afin de se ramener à une référence commune lorsqu'on étudie différents types d'oxydes. Il s'agit en fait de l'épaisseur de SiO_2 qu'il faudrait pour avoir un effet capacitif équivalent à celui de la bicouche IL/HK soit :

$$\frac{EOT}{\varepsilon_{\text{SiO}_2}} = \frac{t_{IL}}{\varepsilon_{\text{SiO}_2}} + \frac{t_{HK}}{\varepsilon_{HK}} \quad (2.1)$$

L'oxyde de grille est donc composé d'une bicouche SiO_2 /high- κ et il est donc important de différencier les défauts présents dans le SiO_2 et ceux propres au high- κ . On s'intéressera en particulier aux états d'interface aux deux interfaces Si/ SiO_2 , à

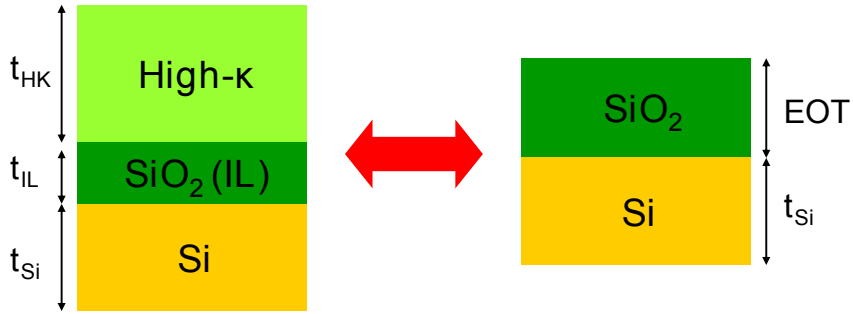


FIGURE 2.1 – Illustration de la notion d'épaisseur équivalente d'oxyde EOT

l'avant avec l'oxyde de grille mais aussi à l'arrière avec l'oxyde enterré, qui lui est composé uniquement de SiO₂. Deux méthodes électriques d'extraction de densité d'états d'interface seront ensuite proposées : le pompage de charge et la méthode de la conductance. Les principes généraux valables pour des dispositifs sur silicium massif y seront présentés ainsi que les éventuelles adaptations pour des dispositifs FDSOI. Enfin, une nouvelle méthode de suivi de la qualité des interfaces avant et arrière d'un dispositif FDSOI durant un stress sera présentée.

1 Nature des pièges

1.1 Défauts dans l'oxyde interfacial SiO_2

1.1.1 Origine des défauts

L'origine des défauts présents dans la couche interfaciale vient essentiellement du désaccord de maille qui existe entre Si et SiO_2 (figure 2.2). En effet, le silicium présente une structure cristalline alors que la silice est amorphe. Ce désaccord de maille est à l'origine d'une couche interfaciale de quelques angström ($4\text{-}5\text{\AA}$) [1] et provoque des distorsions électroniques qui engendrent des défauts à l'interface et dans le volume du SiO_2 [2].

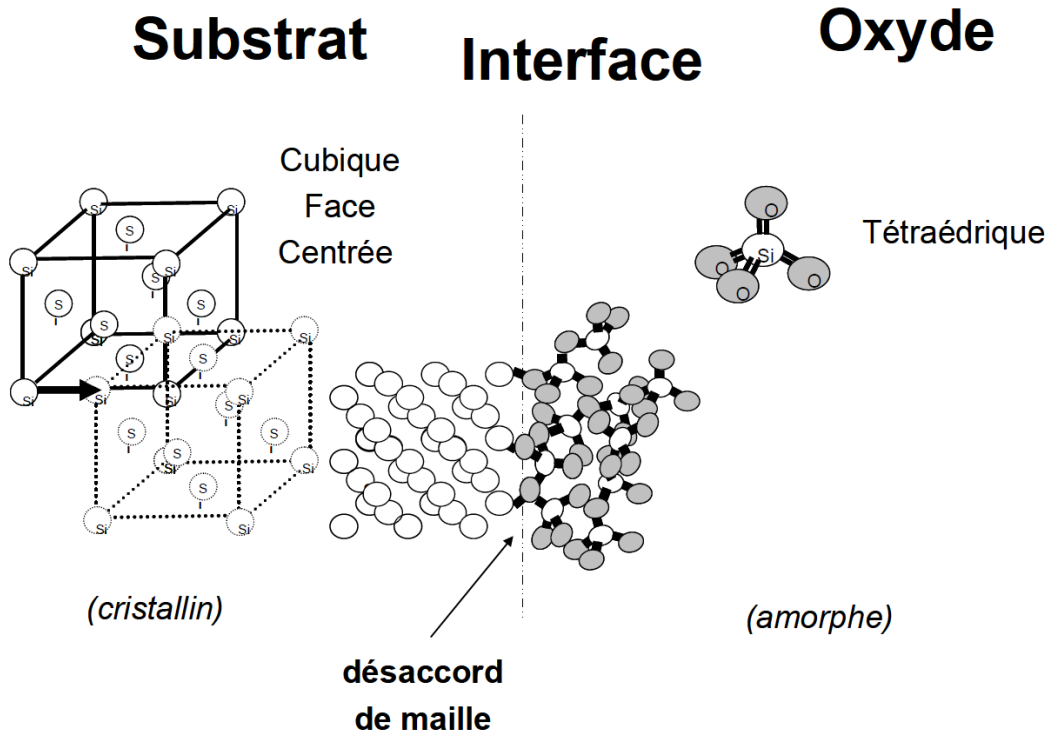


FIGURE 2.2 – Illustration du désaccord de maille entre Si et SiO_2 [3]

D'un point de vue énergétique, les défauts se situent dans la bande interdite du SiO_2 à un niveau E_T . Ils deviennent électriquement actifs lorsqu'ils peuvent interagir avec des porteurs du canal d'inversion. On distingue les pièges profonds (« deep traps ») situés vers le milieu du gap du SiO_2 des pièges peu profonds (« shallow traps ») situés près des bandes.

1.1.2 Défauts en volume

Différents types de défauts dans le volume du SiO_2 ont été identifiés [4] :

- oxygène non liant : $O_3 \equiv \text{Si} - \text{O}^\bullet$
- pont peroxyde : $O_3 \equiv \text{Si} - \text{O} - \text{O} - \text{Si} \equiv O_3$
- silicium bivalent : $O_2 \equiv \text{Si}^\bullet \bullet$
- lacune d'oxygène : $O_3 \equiv \text{Si} - \text{Si} \equiv O_3$
- centre E' : $O_3 \equiv \text{Si}^\bullet$

Les centres E' , appelés aussi silicium trivalent, sont les plus fréquemment rencontrés [5]. La présence d'un électron non apparié dans ce défaut a permis leur identification par technique ESR (**E**lectronic **S**pin **R**esonance) en 1953 par Weeks et al. [6].

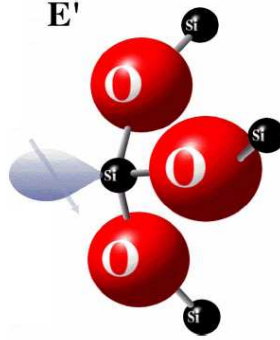


FIGURE 2.3 – Illustration d'un centre E' [7]

Cependant, étant donnée l'épaisseur de SiO_2 de la bicouche $\text{SiO}_2/\text{high-}\kappa$, on s'intéressera essentiellement aux défauts à l'interface Si/SiO_2 .

1.1.3 Défauts d'interface

On a pu voir Figure 2.2 qu'il y avait un désaccord de maille à l'interface Si/SiO_2 . Du fait des contraintes, certains atomes de silicium de l'interface déjà liés à trois autres atomes de silicium ne peuvent plus se lier à un atome d'oxygène. Cette liaison pendante de silicium se comporte alors comme un défaut électriquement actif. Ces derniers ont été mis en évidence par ESR en 1971 par Nishi [8] et dénommés centres P_b (**P** pour **P**aramagnétique et **b** comme l'indexation du pic de résonance).

Deux différents types de centres P_b ont été par la suite distingués selon l'orientation du substrat et sont illustrés Figure 2.4 :

- les centres $\text{P}_{b0} \bullet \text{Si} \equiv \text{Si}_3$ [9]

1. Nature des pièges

- les centres P_{b1} $Si_2 = Si \bullet - Si \equiv Si_2O$ uniquement présents pour les interfaces Si/SiO₂ d'orientation cristallographique (100) [10]

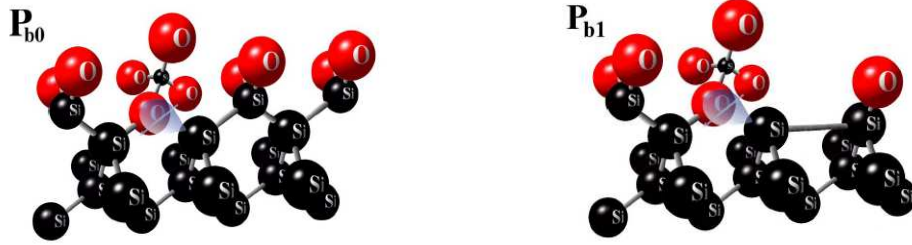


FIGURE 2.4 – Illustration des centres P_{b0} et P_{b1} [7]

Il a été cependant montré que l'impact électrique ainsi que la quantité de centres P_{b1} étaient plus faibles que ceux des centres P_{b0} [11]. Par la suite, on ne différenciera pas les deux types de centres P_b et on parlera d'états d'interface (« état » qualifie le niveau d'énergie du piège). Leur densité est notée Dit (« **D**ensity of **i**nterface **t**raps ») et exprimée en $cm^{-2}eV^{-1}$ ou en cm^{-2} si l'on intègre cette densité pour tous les états d'énergie.

D'ailleurs, du point de vue énergétique, ces centres P_b se situent dans la bande interdite du silicium. Ils ont de plus la particularité d'être amphotères, c'est-à-dire qu'ils peuvent piéger à la fois des trous et des électrons. Plus précisément, ils sont de type donneur (piège à trous) si leur énergie E_T est dans la moitié inférieure de la bande interdite du silicium ($E_T \leq E_g/2$) et accepteur (piège à électrons) dans la partie supérieure ($E_T \geq E_g/2$). Cette distribution est illustrée Figure 2.5 pour une condition de bandes plates et pour une condition d'inversion, sur NMOS et PMOS. Les mécanismes de piégeage/dépiégeage peuvent être formalisés par le modèle de Shockley-Read-Hall [12].

Cette distribution des pièges dans la bande interdite du silicium va avoir une incidence très importante sur la charge piégée en fonction de la polarisation de la grille avant V_{FG} . Une variation $q \Delta Dit$ de charges à l'interface induit alors une variation ΔV_T de tension de seuil telle que :

$$\Delta V_T = \frac{q \Delta Dit}{C_{ox}} \quad (2.2)$$

Enfin, il est important de noter qu'un recuit de l'oxyde à haute température ($T=400^\circ C$) sous atmosphère hydrogénée permet une réorganisation de l'interface et une diminution des liaisons pendantes du silicium [14], les atomes d'hydrogène venant se fixer à ces dernières (la liaison Si-H est électriquement neutre). On parle

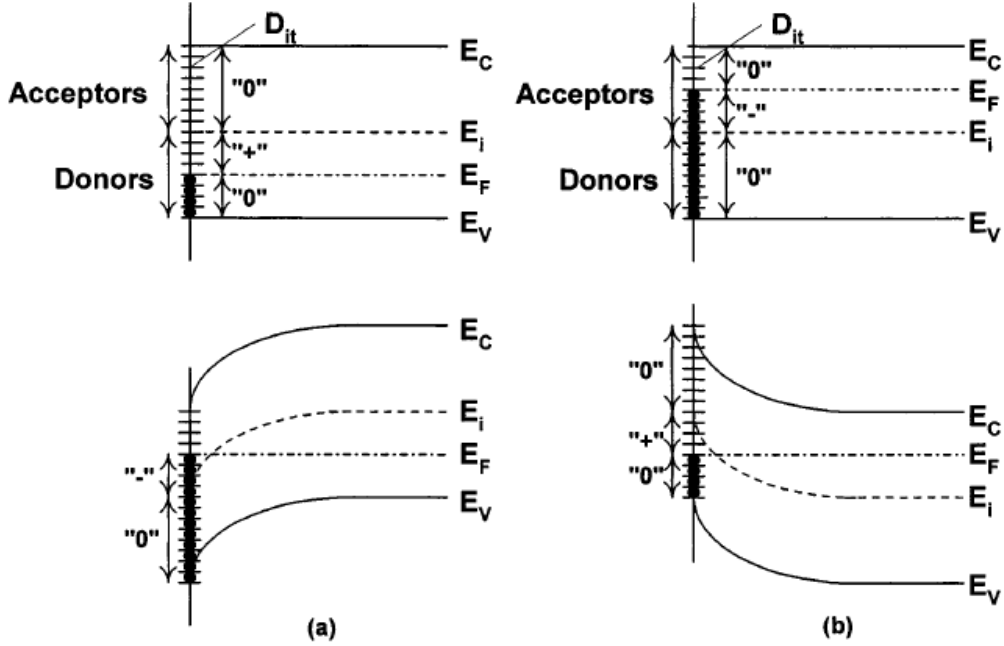


FIGURE 2.5 – Influence de la distribution des pièges d'interface sur la charge piégée sur NMOS (a) et PMOS (b) [13]

alors de passivation des liaisons pendantes.

1.2 Défauts dans l'oxyde high- κ

Les matériaux high- κ les plus utilisés sont ceux formés à partir d'Hafnium (Hf) tels que HfO_2 ou $\text{HfSiO}(\text{N})$, de par leur propriété isolante mais aussi pour leur fiabilité et leur faisabilité en condition industrielle (couches minces et budget thermique le plus faible possible).

Tout comme pour l'oxyde de silicium, des défauts peuvent apparaître suite à des réarrangements de liaisons électroniques lors du processus de fabrication. Cependant, la nature des défauts dans les high- κ est moins bien connue que pour le SiO_2 . On retiendra quand même deux types de défauts [15] :

- les groupements moléculaires contenant des atomes d'oxygène interstitiels. Ces défauts peuvent être neutres O^0 ou chargés négativement O^- ou O^{2-}
- les lacunes d'oxygène. Elles présentent différents niveaux de charges tels que V_O^+ , V_O^{2+} , V_O^- et V_O^{2-} et sont considérées comme étant à l'origine des problèmes de piégeage d'électrons dans les high- κ [16].

Différents résultats sont reportés dans la littérature en ce qui concerne la position

1. Nature des pièges

énergétique de ces différents défauts dans la bande interdite de l'oxyde [17, 18].

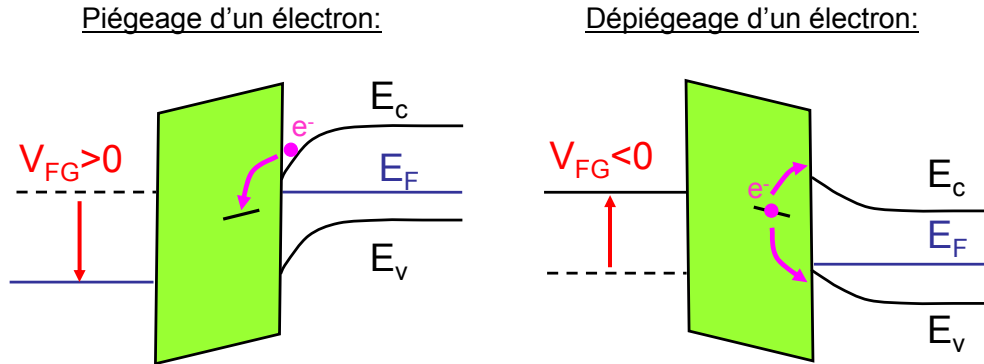


FIGURE 2.6 – Illustration des mécanismes de piégeage et dépiégeage d'électrons dans l'oxyde pour un transistor NMOS

Du point de vue électrique, ces défauts sont des pièges réversibles, à savoir qu'en appliquant un champ électrique favorable ($V_{FG} < 0$) il est possible de les dépiéger comme illustré Figure 2.6. Ce phénomène de piégeage réversible a été mis en évidence par Kerber et al. [19] initialement sur des diélectriques de type HfO_2 . Il met notamment en évidence des temps caractéristiques de piégeage $\tau \ll 1ms$, non détectable par des mesures de courant ou de capacité classiques. Ce dernier point peut être problématique dans l'estimation des durées de vie des dispositifs dans les études de fiabilité puisqu'une partie du piégeage est indétectable par des mesures classiques. Différents procédés de mesures dynamiques de courant ont été proposés [19, 20] au début des années 2000 et aujourd'hui les équipements commerciaux de type Agilent B1530 permettent des mesures de courant ultra rapides, capables de mesurer des caractéristiques $I_D(V_{FG})$ en une dizaine de microsecondes. Ce type de mesure sera détaillé dans le Chapitre 3 et son importance montrée dans les études des contraintes PBTI.

2 Méthode de pompage de charge

2.1 Principe

Le terme pompage de charge (« charge pumping » en anglais) a été introduit en 1969 par Brugler et Jespers [21] suite à l'observation sur des transistors sur silicium massif d'un courant de substrat lorsque l'on vient basculer périodiquement un transistor du régime d'inversion au régime d'accumulation.

Les diagrammes de bande de ces deux régimes sont illustrés Figure 2.7 où le remplissage des pièges y est indiqué par la bande rectangulaire (coloriée lorsque le piège est occupé par un électron, vide dans le cas contraire). Dans le régime d'inversion, les porteurs minoritaires issus des source et drain viennent remplir les pièges d'énergie inférieure au niveau de Fermi ($E_T < E_F$). Dans le régime d'accumulation, ce sont les porteurs majoritaires issus du substrat qui vont être capturés par les pièges d'énergie supérieure au niveau de Fermi ($E_T > E_F$). Ainsi, à chaque période un porteur minoritaire est capturé par un état d'interface puis se recombine avec un porteur majoritaire du substrat capturé à son tour, donnant lieu au courant « pompé » proportionnel à la densité d'état d'interface avant Dit_{FG} .

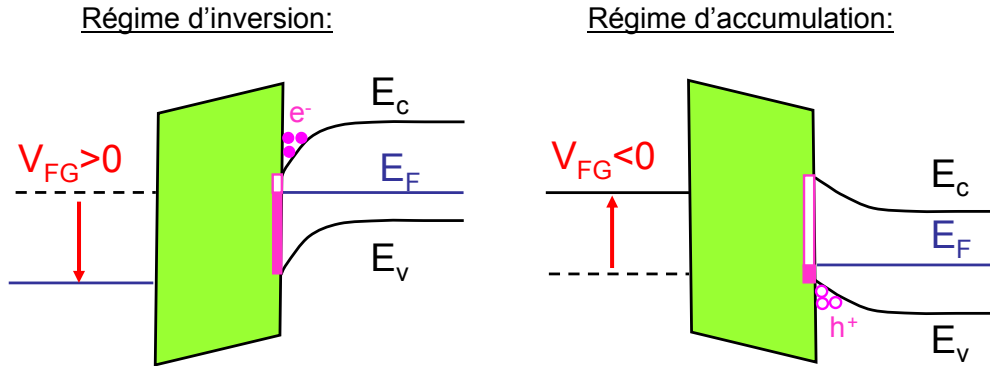


FIGURE 2.7 – Remplissage des états d'interface en inversion et en accumulation (NMOS)

Ce phénomène a donné lieu à différentes méthodes de caractérisation de la densité d'états d'interface en appliquant des impulsions (pulses) de tension sur la grille du dispositif, la forme du pulse pouvant varier [22, 23]. On s'intéressera ici à la méthode la plus classique utilisant des signaux trapézoïdaux caractérisés par :

- un niveau haut V_H (« **H**igh ») et un niveau bas V_L (« **L**ow ») choisis de sorte que l'amplitude du signal permette de passer de l'accumulation à l'inversion

2. Méthode de pompage de charge

et vice versa, soit $\Delta V = V_H - V_L > V_T - V_{FB}$, V_{FB} étant la tension de bande plate.

- des temps de montée (« rise ») t_r et de descente t_f (« fall »)
- une fréquence f du signal

Le protocole expérimental est illustré Figure 2.8 pour un transistor sur silicium massif :

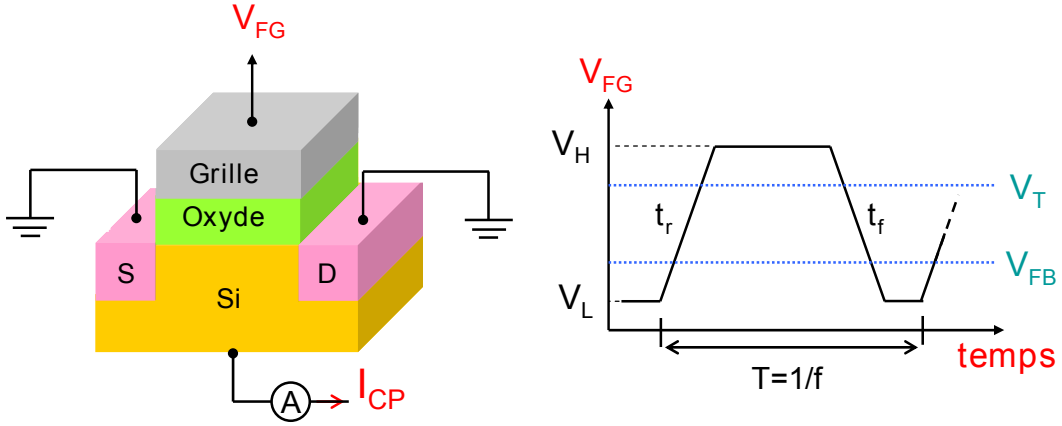


FIGURE 2.8 – Illustration de la méthode de pompage de charges

2.2 Expression du courant pompé I_{CP}

L'expression du courant I_{CP} prenant en compte les émissions de porteurs a été apportée par Groeseneken et al. en 1984 [24], soit :

$$I_{CP} = qSf \int_{E_{em,h}}^{E_{em,e}} Dit(E) dE \quad (2.3)$$

$$\approx q S f (E_{em,e} - E_{em,h}) \overline{Dit} \quad (2.4)$$

avec $E_{em,e} - E_{em,h}$ la fenêtre d'énergie dans laquelle il y a recombinaison dans les états d'interface et $\overline{Dit}$ la densité moyenne des pièges (considérée uniforme dans le canal et indépendante de l'énergie). S est la surface du dispositif.

$E_{em,h}$ et $E_{em,e}$ sont plus exactement les énergies à partir desquelles les trous et les électrons respectivement ne sont plus émis. En effet, un piège peut être rempli soit par capture d'un électron de la bande de conduction soit par émission d'un trou vers la bande de valence. Pour qu'il y ait recombinaison, il faut que le piège se remplisse par capture d'un électron de la bande conduction du silicium puis se vide par capture

Chapitre 2. Méthodes de caractérisation des pièges dans l'oxyde

d'un trou de la bande de valence (Figure 2.7). Or pour $E_F > E_{em,e}$, le piège va avoir plutôt tendance à réémettre l'électron piégé vers la bande de conduction et pour $E_F < E_{em,h}$ le piège va avoir plutôt tendance à être rempli par émission d'un trou plutôt que par la capture d'un électron.

Les expressions $E_{em,h}$ et $E_{em,e}$ sont données par Simmons et Wei [25] :

$$E_{em,e} = E_i - k T \ln(t_f \frac{|V_T - V_{FB}|}{V_H - V_L} n_i v_{th} \sigma_n) \quad (2.5)$$

$$E_{em,h} = E_i + k T \ln(t_r \frac{|V_T - V_{FB}|}{V_H - V_L} n_i v_{th} \sigma_p) \quad (2.6)$$

avec n_i la densité intrinsèque de porteurs, v_{th} la vitesse thermique, σ_p et σ_n les sections de capture de trous et d'électrons respectivement des états d'interface.

En pratique, on fait varier le niveau bas V_L tout en gardant l'amplitude du signal $V_H - V_L$ constante [26]. On peut aussi garder un niveau bas constant et faire varier l'amplitude du signal [21], mais on ne détaillera pas cette méthode ici.

On obtient ainsi une courbe caractéristique en forme de cloche (voir Figure 2.9) où I_{CPmax} correspond effectivement au courant pompé décrit précédemment. Celle-ci peut être divisée en 5 zones :

- ① la surface du semiconducteur reste accumulée et le vidage/remplissage des pièges ne met en jeu que des trous $\Rightarrow$ pas de recombinaison possible
- ② zone intermédiaire où la recombinaison est limitée à cause de l'émission de trous
- ③ durant un cycle, la surface du semiconducteur passe de l'accumulation à l'inversion $\Rightarrow$ courant de recombinaison maximal I_{CPmax} pour les pièges situés entre $E_{em,h}$ et $E_{em,e}$
- ④ zone intermédiaire où la recombinaison est limitée à cause de l'émission d'électrons
- ⑤ la surface du semiconducteur reste inversée et le vidage/remplissage des pièges ne met en jeu que des électrons $\Rightarrow$ pas de recombinaison possible

Enfin, les équations 2.5 et 2.6 montrent que $E_{em,h}$ et $E_{em,e}$ dépendent des temps de montée t_r et de descente t_f du signal. Il est donc possible de changer la fenêtre de recombinaison des états d'interface en jouant sur ces paramètres. Plus précisément, en dérivant l'équation 2.3 et en considérant que les sections de capture sont

2. Méthode de pompage de charge

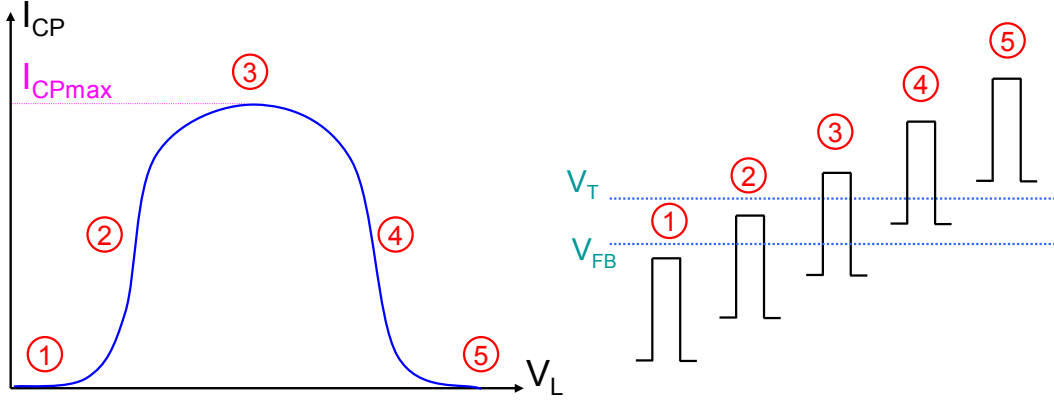


FIGURE 2.9 – Caractéristique $I_{CP}(V_L)$ en forme de cloche pour un transistor NMOS

indépendantes du niveau d'énergie de l'état d'interface, on obtient [24] :

$$Dit(E_{em,e}) = \frac{t_f}{q S f k T} \frac{dI_{CP}}{dt_f} \quad (2.7)$$

$$Dit(E_{em,h}) = \frac{t_r}{q S f k T} \frac{dI_{CP}}{dt_r} \quad (2.8)$$

On remarquera que l'on peut jouer aussi sur la température pour balayer une gamme d'énergie plus large de la bande interdite du silicium.

2.3 Limitations sur FDSOI

Le principe du pompage de charge repose donc sur la mesure d'un courant de recombinaison proportionnel à la densité d'états d'interface. Cependant, pour qu'il y ait recombinaison, la présence de porteurs minoritaires ET majoritaires dans le canal selon les différentes polarisations de grille avant est primordiale, ce qui n'est pas le cas dans une structure FDSOI classique ! En effet, le film de silicium étant très peu dopé, la génération de porteur majoritaire est très faible. L'utilisation de structures spécifiques capables de fournir des porteurs majoritaires est ainsi indispensable.

Pour appliquer cette méthode, on utilise alors des structures adaptées de type transistor « à body contacté » dotées d'une prise à trous [27] ou des « diodes à grille » aussi appelées structures PIN, qui possèdent des source et drain de dopages opposés [28]. Ces dernières sont illustrées Figure 2.10.

L'efficacité de la prise à trous d'une structure « à body contacté » a été vérifiée ainsi que son éventuelle influence sur l'électrostatique de l'empilement. Pour cela, une mesure de capacité grille-canal a été réalisée pour deux différentes valeurs de

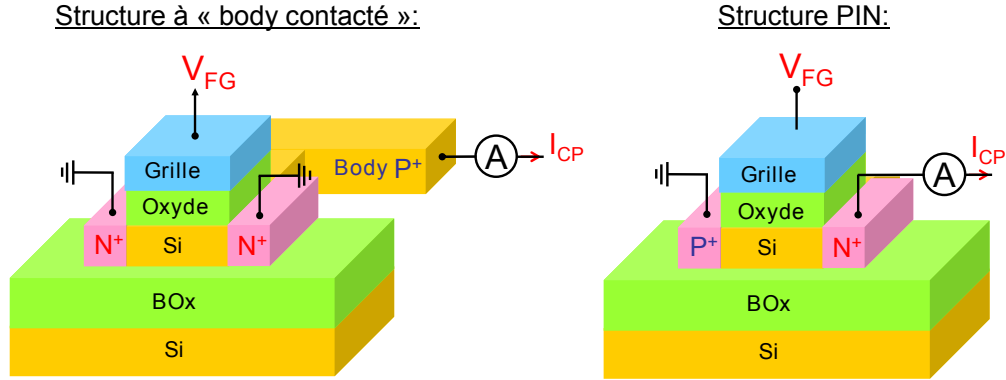


FIGURE 2.10 – Adaptation du pompage de charge sur FDSOI

polarisation arrière $V_{BG} = 0V$ et $V_{BG} = 10V$. Ces résultats expérimentaux ont ensuite été comparés à une simulation réalisée par le solveur Poisson-Schrödinger « Schred » [29] dans laquelle les populations de trous et d'électrons sont à l'équilibre, d'où la possibilité d'un régime d'accumulation. Cette comparaison présentée Figure 2.11 a été réalisée sur un dispositif avec un film d'épaisseur $t_{Si}=6nm$ et un oxyde enterré de $t_{BOx}=25nm$.

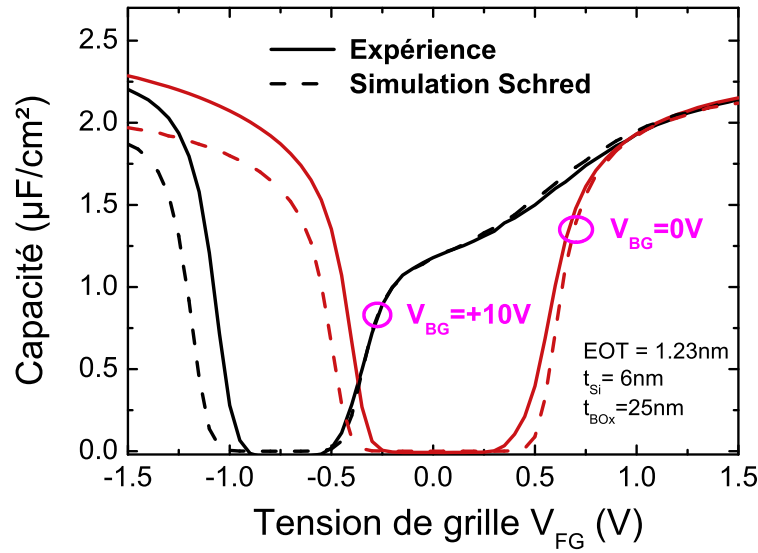


FIGURE 2.11 – Validation des structures à body contacté

2. Méthode de pompage de charge

On observe donc bien un régime d'accumulation pour les tensions négatives même si l'expérience diffère de la simulation. Cela peut s'expliquer par une mauvaise modélisation des trous, récurrente dans ce type de simulation. Dans le régime d'inversion, la cohérence entre l'expérience et la simulation pour les deux différents V_{BG} atteste que la prise de porteurs majoritaires ne vient pas modifier le couplage électrostatique et que ces structures sont comparables à des transistors classiques.

Cependant, si la mesure de courant pompé I_{CP} s'avère possible sur des transistors FDSOI, différentes interrogations restent en suspens quant à son interprétation, plus particulièrement lorsqu'une polarisation arrière est appliquée. La méthode classique a été appliquée à une structure à body contacté ($t_{Si} = 7nm$ & $t_{BOx} = 25nm$) pour différentes valeurs de polarisations arrière V_{BG} .

Les résultats de courant pompé I_{CP} récupéré au niveau du body sont présentés Figure 2.11. Les paramètres utilisés pour cette mesure sont :

- $f=1MHz$
- $V_H - V_L = 1.2V$
- $t_r = t_f = 50ns$.

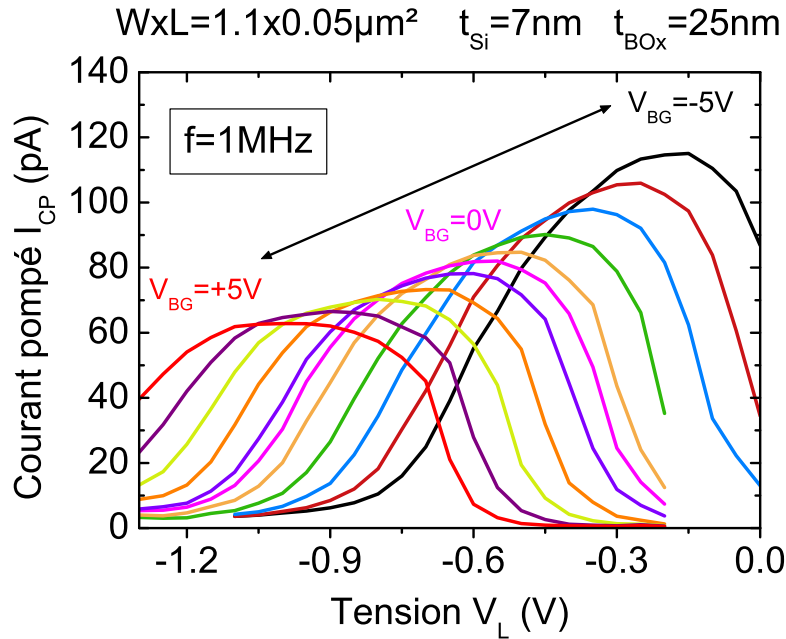


FIGURE 2.12 – Courant pompé I_{CP} pour différentes polarisations arrière $-5V < V_{BG} < +5V$

Dans un premier temps, on retrouve bien des courbes de courant pompé $I_{CP}(V_L)$ en forme typique de cloche et ce quelles que soient les polarisations arrière V_{BG} . Ensuite, on peut observer un décalage du pic de courant vers les tensions positives lorsque V_{BG} diminue. Cela s'explique facilement par le couplage électrostatique : lorsque l'on applique $V_{BG} > 0$ la tension de seuil diminue et inversement pour $V_{BG} < 0$ (voir Figure 1.7 page 23). Le maximum de courant pompé I_{CPmax} obtenu lorsque l'interface avant passe du régime d'accumulation au régime d'inversion (Figure 2.9) suit donc les variations de la tension de seuil. Ces premières observations sont en accord avec d'autres travaux sur le sujet [27, 28, 30] réalisés sur des transistors FDSOI avec des films épais $t_{Si} > 40nm$.

Cependant, contrairement aux études citées, on observe l'augmentation du pic de courant I_{CPmax} lorsque V_{BG} augmente. Ce phénomène non observé jusqu'à présent dans la littérature peut être attribué à la très faible épaisseur de film ($t_{Si} = 7nm$). En effet, plus l'épaisseur de film est petite, plus l'interface arrière avec l'oxyde enterré est proche et donc il n'est pas improbable de retrouver dans le courant pompé une contribution des états d'interface arrière (Dit_{BG}). Pour essayer de comprendre qualitativement ce phénomène, les cas $V_{BG}=+5V$, $V_{BG}=0V$ et $V_{BG}=-5V$ ont été simulés avec le solveur Poisson présenté au chapitre précédent. Une étude des densités de porteurs aux interfaces avant et arrière a été ainsi effectuée pour des tensions de grille avant comprise entre $-1 < V_{FG} < +1.4V$. On a considéré arbitrairement que les régimes d'inversion et d'accumulation étaient atteints pour des densités de porteurs $n > 10^{17}cm^{-3}$ et $p > 10^{17}cm^{-3}$ respectivement, aux interfaces avant et arrière.

Les résultats sont présentés Figure 2.13 où la « bande de couleur magenta » correspond à une fenêtre de tension d'amplitude $V_H - V_L = 1.2V$ afin de visualiser le passage du niveau bas V_L au niveau V_H lors d'une mesure de pompage de charge. Elle a été placée approximativement au niveau du maximum de courant pompé (zone ③ de la Figure 2.9), à savoir dans un régime d'accumulation à l'avant pour $V_{FG} = V_L$ et dans un régime d'inversion à l'avant pour $V_{FG} = V_H$. La tension de seuil n'ayant pas été ajustée dans les simulations, la fenêtre $V_H - V_L$ ne correspond pas exactement aux résultats. Les différents régimes de fonctionnement aux interfaces avant et arrière sont précisés pour chaque couple (V_{FG}, V_{BG}) . Enfin la double flèche correspond à une éventuelle recombinaison d'électrons et de trous lors du passage du niveau bas au niveau haut, et inversement. Ce point sera détaillé par la suite.

2. Méthode de pompage de charge

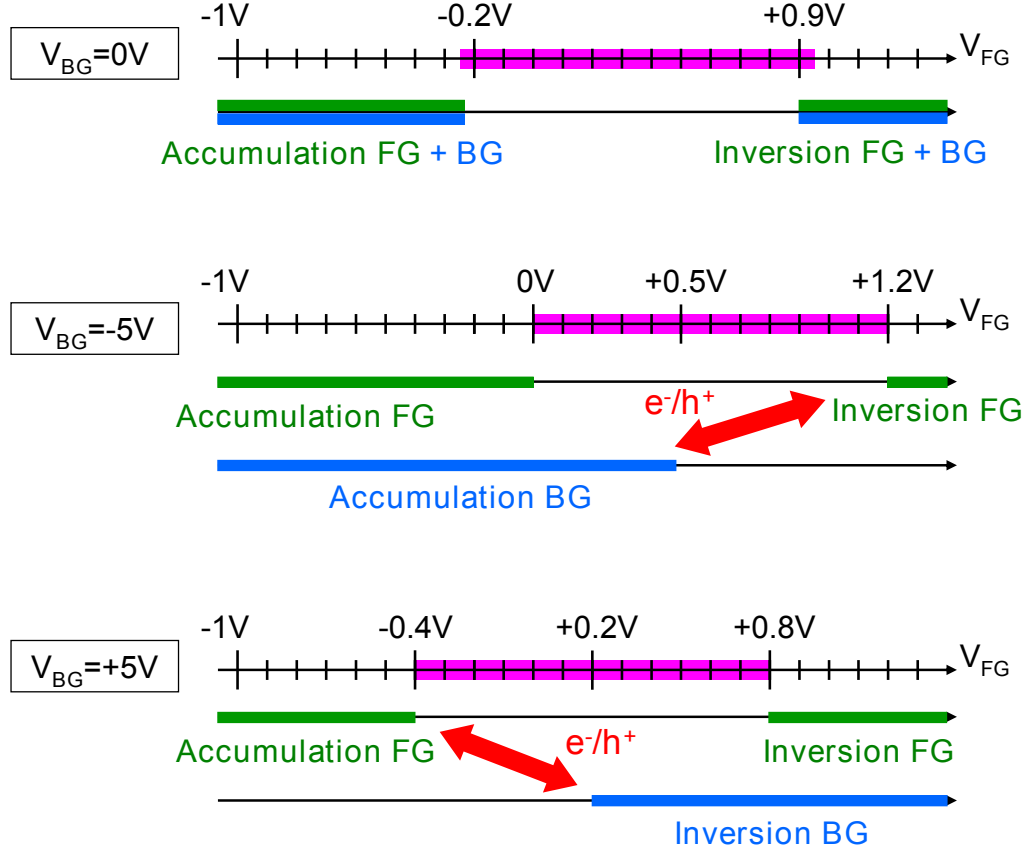


FIGURE 2.13 – Simulation des différents régimes des interfaces avant et arrière pour trois valeurs de V_{BG}

Dans le cas $V_{BG}=0V$, on se rend compte dans un premier temps que dans la fenêtre de tension pour laquelle le pic de courant pompé est maximum, les deux interfaces FG et BG passent en même temps d'un régime d'accumulation à un régime d'inversion. Concrètement, si l'on reprend les principes du pompage de charge, cela signifie qu'en plus des états d'interface avant ($I_{CP,FG}$), on vient sonder les états d'interface arrière ($I_{CP,BG}$). Il faut donc être très prudent quant à l'interprétation des densités de piège mesurées sur des transistors FDSOI lorsqu'aucune polarisation est appliquée en face arrière puisqu'on a :

$$I_{CP} = I_{CP,FG} + I_{CP,BG} \quad (2.9)$$

Chapitre 2. Méthodes de caractérisation des pièges dans l'oxyde

Dans le cas $V_{BG}=-5V$, on voit que l'interface avant passe bien d'un régime d'accumulation à un régime d'inversion, alors que l'interface arrière est soit en accumulation soit en désertion. A priori, aucun piège arrière n'est alors sondé. Pourtant, expérimentalement, on voit le pic de courant pompé augmenter. On pourrait attribuer ce phénomène à un courant de recombinaison directe $I_{CP,rd}$ entre un trou de l'interface arrière et un électron de la face avant lorsque le pulse passe du niveau bas au niveau haut (double flèche sur le schéma), phénomène de recombinaison en volume similaire à celui observé par Ouisse [28] sur des transistors à canaux longs. On aurait alors :

$$I_{CP} = I_{CP,FG} + I_{CP,rd} \quad (2.10)$$

Cependant, lorsqu'on regarde le cas $V_{BG}=+5V$, on se retrouve dans un cas symétrique, cette fois-ci avec une possible recombinaison entre un électron de l'interface arrière et un trou de l'interface avant. Pourtant, l'expérience montre que le pic de courant diminue par rapport au cas $V_{BG}=0V$!

Il est donc très difficile de conclure sur la validation de la méthode de pompage de charge à amplitude constante pour des transistors FDSOI à films fins. En effet, le courant pompé I_{CP} varie de façon conséquente lorsque l'on vient appliquer une polarisation en face arrière, phénomène encore insuffisamment compris.

Finalement, selon la polarisation arrière V_{BG} , deux problèmes distincts apparaissent quant à l'interprétation du courant pompé I_{CP} sur les transistors FDSOI à films fins :

- distinguer la réponse électrique des états d'interface à l'avant $I_{CP,FG}$ de celle à l'interface l'arrière $I_{CP,FG}$
- distinguer la réponse des pièges ($I_{CP,FG} + I_{CP,BG}$) d'une autre contribution $I_{CP,rd}$ issue de la recombinaison directe de porteurs dans le film de silicium

3 Méthode de la conductance

3.1 Principe

Comme on a pu le voir au début de ce chapitre, les états d'interface peuvent être considérés comme des états électroniques monoénergétiques d'énergie E_t dont l'ensemble forment un continuum d'énergie dans la bande interdite du silicium. Ces pièges ont en plus la particularité d'être amphotères et peuvent donc échanger des porteurs avec les bandes de valence et de conduction. C'est cet échange qui est à l'origine d'une réponse capacitive Cit_{FG} de ces défauts, dépendante du potentiel de surface à l'interface avant Φ_{sFG} :

$$Cit_{FG}(\Phi_{sFG}) = \frac{dQit(\Phi_{sFG})}{d\Phi_{sFG}} \quad (2.11)$$

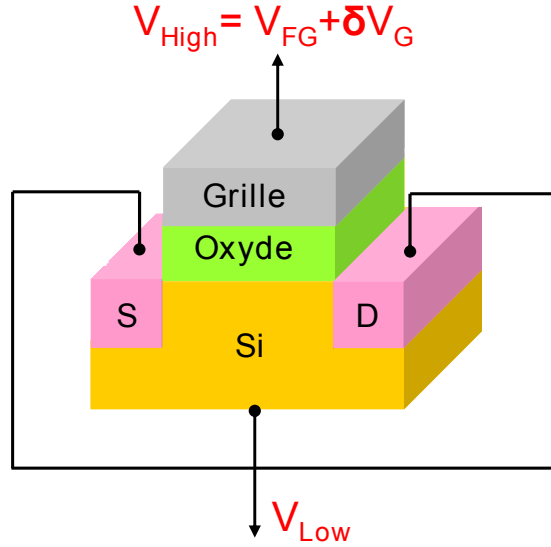


FIGURE 2.14 – Illustration d'une mesure de capacité sur un transistor MOS classique

Ces échanges ne s'effectuent pas systématiquement à l'équilibre thermodynamique et donnent lieu à des pertes énergétiques sous forme d'effet Joule dans le substrat, qui vont donner lieu à un pic de conductance Git_{FG} proportionnel à la densité de piège Dit_{FG} [31]. Ces deux grandeurs (Cit_{FG} et Git_{FG}) sont accessibles via une mesure de capacité du dispositif illustrée Figure 2.14 pour un transistor MOS classique sur silicium massif. Cette mesure est réalisée entre une borne « High » reliée à la grille et une borne « Low » reliée au groupe source + drain + substrat

(source + drain uniquement sur FDSOI).

Enfin, la réponse capacitive $C_{it_{FG}}$ des pièges, ainsi que la perte énergétique $G_{it_{FG}}$ associée, dépendent de la fréquence ($\omega = 2\pi f$) du signal alternatif de mesure d'amplitude δV_G . A basse fréquence, les pièges ont le temps d'échanger des porteurs avec les bandes de valence et de conduction et vont répondre instantanément à la variation de courbure de bande imposée par δV_G . $C_{it_{FG}}(\omega)$ atteint alors sa valeur statique C_{it_0} alors que $G_{it_{FG}}(\omega)$ tend vers une valeur nulle, les échanges se faisant à l'équilibre thermodynamique. A haute fréquence, les pièges n'ont pas le temps de répondre et n'échangent plus de porteurs avec les bandes. Encore une fois, aucune perte énergétique n'a lieu et à la fois $C_{it_{FG}}(\omega)$ et $G_{it_{FG}}(\omega)$ tendent vers une valeur nulle.

La réponse fréquentielle des pièges n'est finalement visible que pour une gamme de fréquences comprise approximativement entre $1\text{Hz} < f < 1\text{MHz}$ et apparaît dans le régime d'inversion faible, comme l'illustrent les Figures 2.15 et 2.16 pour un transistor FDSOI de type NMOS avec $V_{BG} = 0\text{V}$. Cette dépendance fréquentielle sera illustrée plus loin après modélisation.

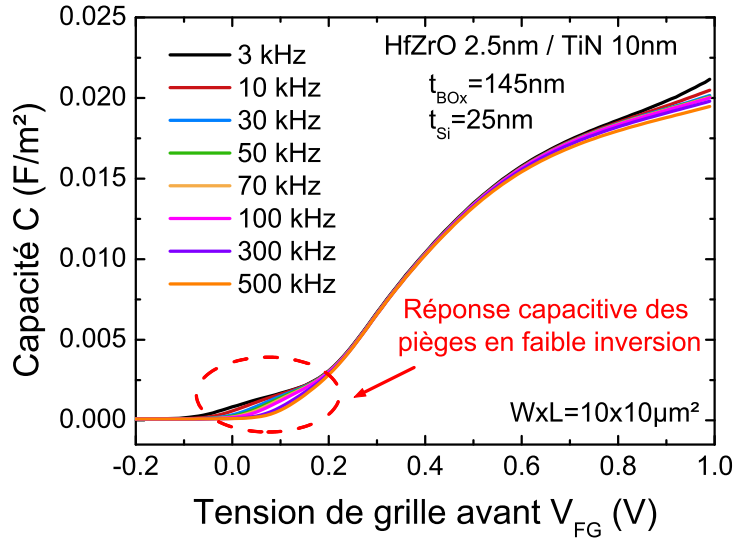


FIGURE 2.15 – Caractéristique C-V à différentes fréquences : illustration de la réponse fréquentielle des pièges

3. Méthode de la conductance

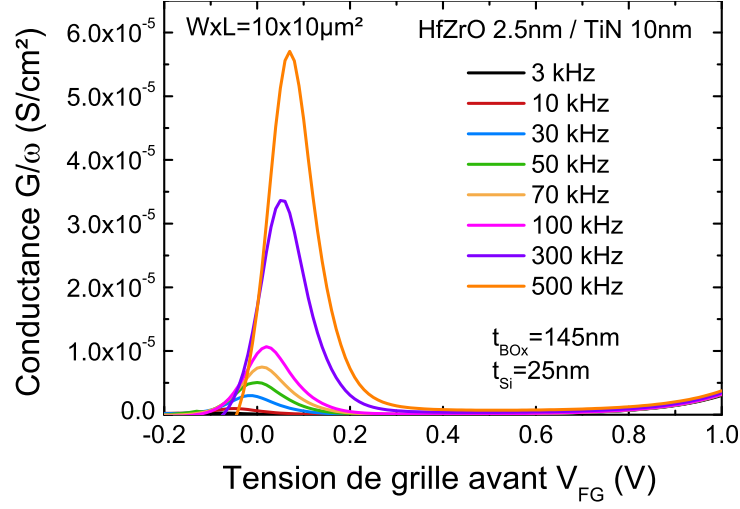


FIGURE 2.16 – Caractéristique G-V à différentes fréquences : illustration de la réponse fréquentielle des pièges

3.2 Modélisation électrique

Il faut à présent relier la capacité C_{mes} et la conductance G_{mes} mesurées aux capacité Cit_{FG} et conductance Git_{FG} propres aux états d'interface. Ce modèle a été largement décrit par Nicollian et Brews [32] pour des technologies sur silicium massif. Il sera adapté au cas spécifique du FDSOI dans un second temps.

On définit Cit_{FG}^* la réponse électrique complexe des états d'interface. On distinguera les échanges de porteurs entre les pièges et la bande de valence $Ctp_{FG}^*(\omega)$ de ceux de la bande de conduction $Ctn_{FG}^*(\omega)$, soit :

$$Cit_{FG}^* = Ctn_{FG}^* + Ctp_{FG}^* \quad (2.12)$$

Dans l'approximation d'un régime petit signal, on considère alors Figure 2.17 le circuit électrique équivalent du transistor en régime de désertion. On rappelle que les capacités C_{ox} , C_{dep} et C_{invFG} introduites au Chapitre 1 sont les capacités d'oxyde de grille, de désertion et d'inversion à l'interface avant respectivement.

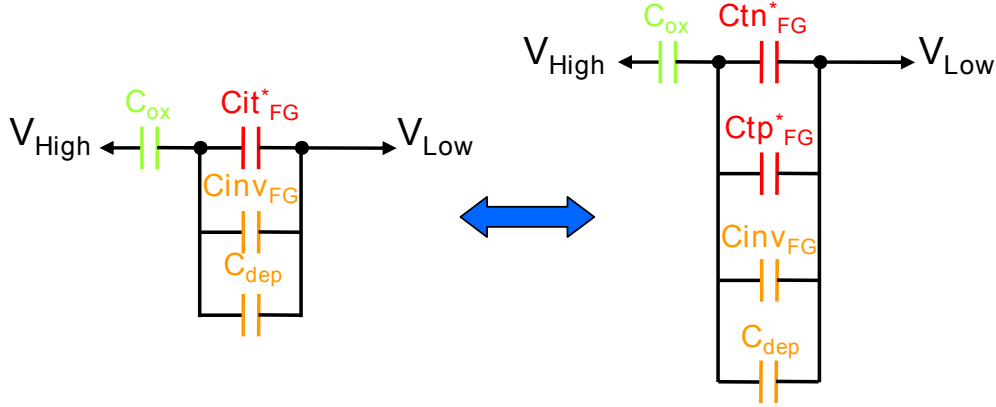


FIGURE 2.17 – Circuit électrique équivalent à un transistor technologie silicium massif en inversion

Ctp_{FG}^* et Ctn_{FG}^* prennent en compte le fait que la réponse des états d'interface varie avec la fréquence et s'écrivent :

$$Ctn_{FG}^*(\omega) = \frac{q^2}{kT} \int_{Ev}^{Ec} \frac{(\tau_{n,FG})^{-1} f_t (1 - f_t)^2 Dit_{FG}(E_t)}{j \omega f_t (1 - f_t) + f_t (\tau_{p,FG})^{-1} + (1 - f_t) (\tau_{n,FG})^{-1}} dE_t \quad (2.13)$$

$$Ctp_{FG}^*(\omega) = \frac{q^2}{kT} \int_{Ev}^{Ec} \frac{(\tau_{p,FG})^{-1} f_t^2 (1 - f_t) Dit_{FG}(E_t)}{j \omega f_t (1 - f_t) + f_t (\tau_{p,FG})^{-1} + (1 - f_t) (\tau_{n,FG})^{-1}} dE_t \quad (2.14)$$

où $\tau_{n,FG} = (c_n n_{s,FG})^{-1}$ et $\tau_{p,FG} = (c_p p_{s,FG})^{-1}$ les temps de vie caractéristiques des électrons et des trous à la surface. Ils dépendent des coefficients de capture des pièges (c_n, c_p) et des concentrations de trous $p_{s,FG}$ et d'électrons $n_{s,FG}$ à l'interface. A noter que dans la pratique, ces concentrations sont obtenues par simulation Poisson-Schrödinger à l'équilibre.

On rappelle les expressions des coefficients de capture des pièges définies en fonction des sections efficaces de capture des électrons σ_n et des trous σ_p et de la vitesse thermique des porteurs v_{th} [12] :

$$c_n = \sigma_n v_{th} \text{ et } c_p = \sigma_p v_{th} \quad (2.15)$$

Enfin, $f_t(E_t)$ est la probabilité d'occupation d'un piège d'énergie E_t et obéit à

3. Méthode de la conductance

une statistique de Fermi-Dirac :

$$f_t(E_t) = \frac{1}{1 + \exp\left(\frac{E_t - E_F}{kT}\right)} \quad (2.16)$$

On remarquera que Cit_{FG}^* peut se décomposer en une partie imaginaire et une partie réelle telle que :

$$j \omega Cit_{FG}^* = Git_{FG} + j \omega Cit_{FG} \quad (2.17)$$

où Cit_{FG} et Git_{FG} sont les réponses capacitive et conductive des états d'interface introduites au paragraphe 3.1 précédent. En régime de désertion ($\tau_n \ll \tau_p$) et en considérant Dit_{FG} constant dans la bande interdite du silicium, on peut montrer que :

$$\frac{Git_{FG}}{\omega} = q Dit_{FG} \frac{\ln(1 + (\omega\tau_n)^2)}{2 \omega\tau_n} \quad (2.18)$$

$$Cit_{FG} = q Dit_{FG} \frac{\arctan(\omega\tau_n)}{\omega\tau_n} \quad (2.19)$$

Le comportement en fréquence de Cit_{FG} et de Git_{FG} représentés Figure 2.18 est en accord avec la description de la réponse fréquentielle des pièges au paragraphe 3.1.

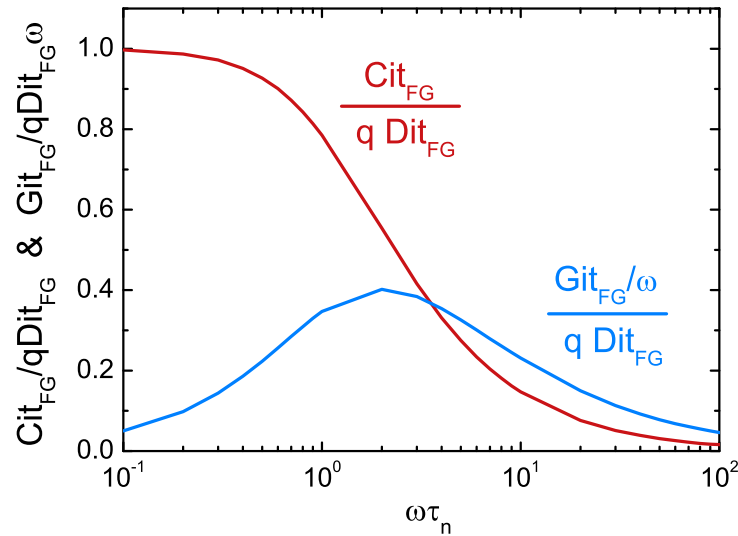


FIGURE 2.18 – Comportement en fréquence de la capacité Cit_{FG} et conductance Git_{FG} des pièges d'interface avant

Finalement, si l'on revient à Figure 2.17, l'admittance complexe Y_{eq}^* équivalente au circuit est égale à :

$$Y_{eq}^*(\omega) = \left(\frac{1}{j \omega C_{ox}} + \frac{1}{j \omega (C_{dep} + C_{invFG} + C_{it_{FG}}^*)} \right)^{-1} \quad (2.20)$$

Les conductances et capacités mesurées correspondent alors respectivement à la partie réelle et à la partie imaginaire (à un facteur ω près) de l'admittance Y^* , soit :

$$G_{mes} = Re(Y^*) \text{ et } C_{mes} = \frac{Im(Y^*)}{\omega} \quad (2.21)$$

Les comparaisons du modèle et de l'expérience sont présentées Figure 2.19 pour la capacité et Figure 2.20 pour la conductance pour transistor NMOS sur silicium massif et pour trois différentes fréquences de mesure. Les sections efficaces de capture des pièges utilisées pour les simulation sont $\sigma_p = \sigma_n = 10^{-20} m^2$. On observe à gauche sur les caractéristiques C-V que les bosses caractéristiques de la réponse des états d'interface sont bien simulées pour les trois fréquences utilisées. A droite sur les caractéristiques G-V, on distingue l'interaction des pièges avec les porteurs majoritaires (pic de gauche), ici des trous, de celle des pièges avec les porteurs minoritaires (pic de droite), ici des électrons.

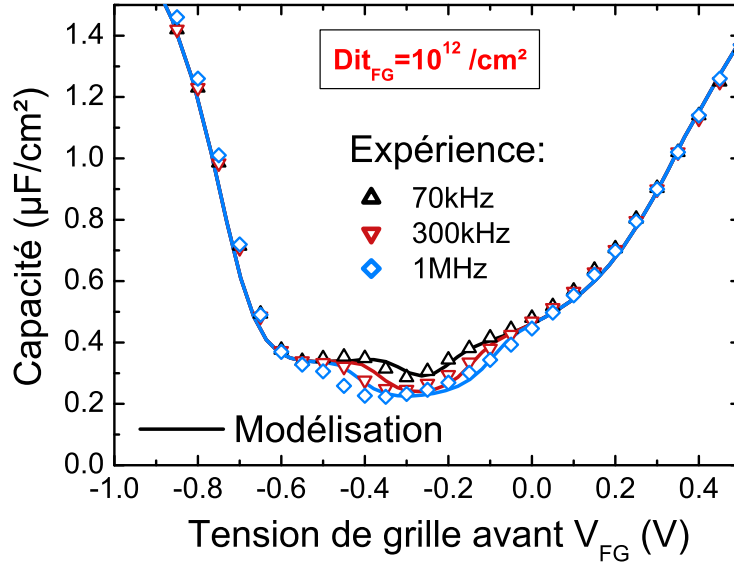


FIGURE 2.19 – Comparaison des capacités mesurées à celles simulées sur un transistor NMOS technologie silicium massif pour différentes fréquences

3. Méthode de la conductance

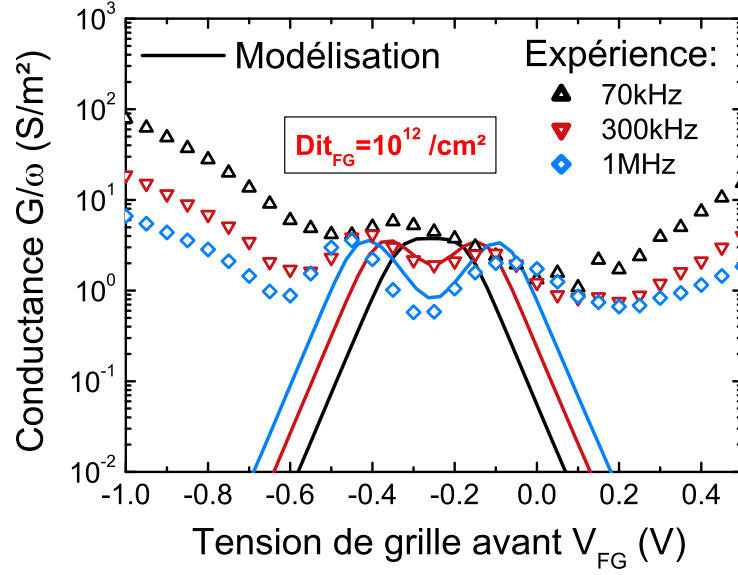


FIGURE 2.20 – Comparaison des conductances mesurées à celles simulées sur un transistor NMOS technologie silicium massif pour différentes fréquences

On notera aussi que sur les courbes expérimentales, la conductance augmente drastiquement autour des pics pour $V_{FG} < -0.6V$ et $V_{FG} > 0.2V$. Il s'agit en fait des fuites du courant de grille avant. On pourrait modéliser ces fuites en mesurant ce courant de grille et en le dérivant par rapport à la tension de grille avant. Cependant, une mesure de plus est nécessaire et cette fuite est négligeable dans la gamme de réponse des pièges. C'est la raison pour laquelle cela n'a pas été fait ici.

3.3 Limitations de la méthode pour le FDSOI

Pour des transistors sur silicium massif, la méthode de la conductance se base sur une réponse des pièges de l'interface avant dans le régime d'inversion faible. On peut notamment montrer par des simulations que cette réponse électrique a lieu pour des densités de porteurs à l'interface avant n_{SFG} autour de $10^{13} - 10^{14} cm^{-3}$.

Pour des transistors FDSOI à films fins, deux interfaces avant et arrière entrent en considération et il est intéressant d'étudier les densités d'électrons aux interfaces avant n_{SFG} et arrière n_{SBG} pour une polarisation arrière nulle et un balayage de la tension de grille avant classique afin de se rapprocher du cas sur silicium massif.

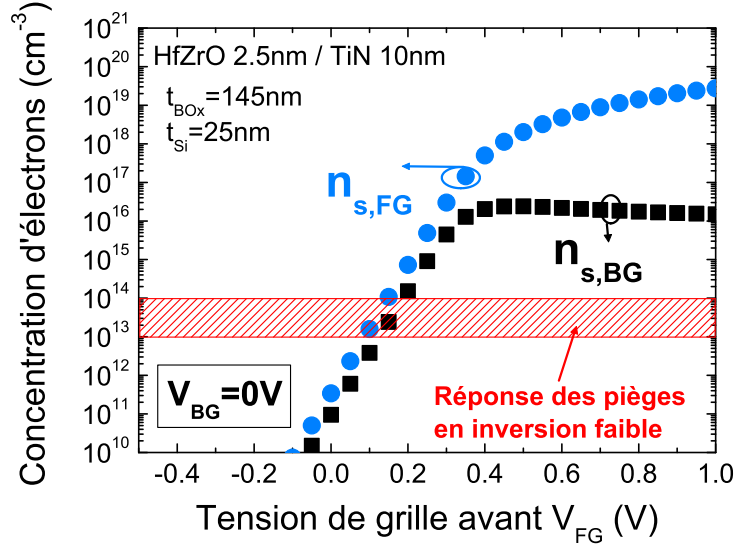


FIGURE 2.21 – Concentration d'électrons aux interfaces avant et arrière d'un transistor NMOS FDSOI

Les résultats sont présentés Figure 2.21 et montrent que dans la gamme classique de réponse électrique des états d'interface avant sur des transistors sur silicium massif, les concentrations de porteurs à l'avant et à l'arrière sont équivalentes, ce qui laisse penser à une contribution des pièges d'interface arrière. Si l'on veut pouvoir évaluer indépendamment les densités de pièges à l'avant Dit_{FG} et à l'arrière Dit_{BG} sur des transistors FDSOI, la méthode de la conductance ne peut pas être appliquée telle qu'elle est pour des transistors sur silicium massif, sous peine de « sonder » à la fois les pièges de l'interface avant et ceux de l'interface arrière.

3.4 Adaptation de la méthode pour le FDSOI

On a vu qu'à polarisation nulle en face arrière ($V_{BG} = 0V$), il était difficile de distinguer l'inversion faible de l'interface avant de celle de l'interface arrière. Une solution est de « séparer » ces deux régimes d'inversion en jouant sur l'électrostatique de la structure, plus précisément en appliquant une polarisation arrière positive V_{BG} adéquate. Cette séparation est illustrée Figure 2.22 avec une polarisation arrière $V_{BG} = +20V$.

3. Méthode de la conductance

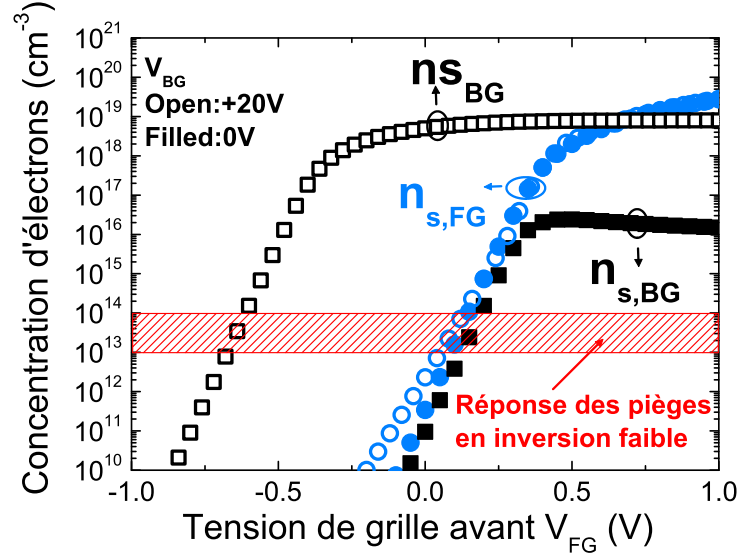


FIGURE 2.22 – Concentration d'électrons aux interfaces avant et arrière pour $V_{BG} = 0V$ et $V_{BG} = +20V$

Appliquer une polarisation arrière positive va ainsi permettre de séparer la réponse électrique des pièges arrière (Dit_{BG}) de celle des pièges à l'interface avant (Dit_{FG}). Ce phénomène est clairement visible sur les caractéristiques C-V et plus particulièrement sur les caractéristiques G-V Figure 2.23 pour différentes polarisations arrière. En effet, pour une polarisation arrière suffisamment grande, l'activation du canal arrière est complètement décorrélée de celle du canal avant et il apparaît alors clairement deux pics de conductance distincts. Le premier pic correspond alors à la réponse des pièges de l'interface arrière et le second à celle des pièges de l'interface avant.

On notera que pour les polarisations arrière $V_{BG} < +20V$, un seul pic de conductance apparaît, d'amplitude supérieure au cas où l'on observe deux pics distincts. Cela peut s'expliquer par une réponse électrique à la fois des pièges d'interface avant et arrière. Cependant, l'augmentation de ce pic lorsque V_{BG} diminue reste incomprise.

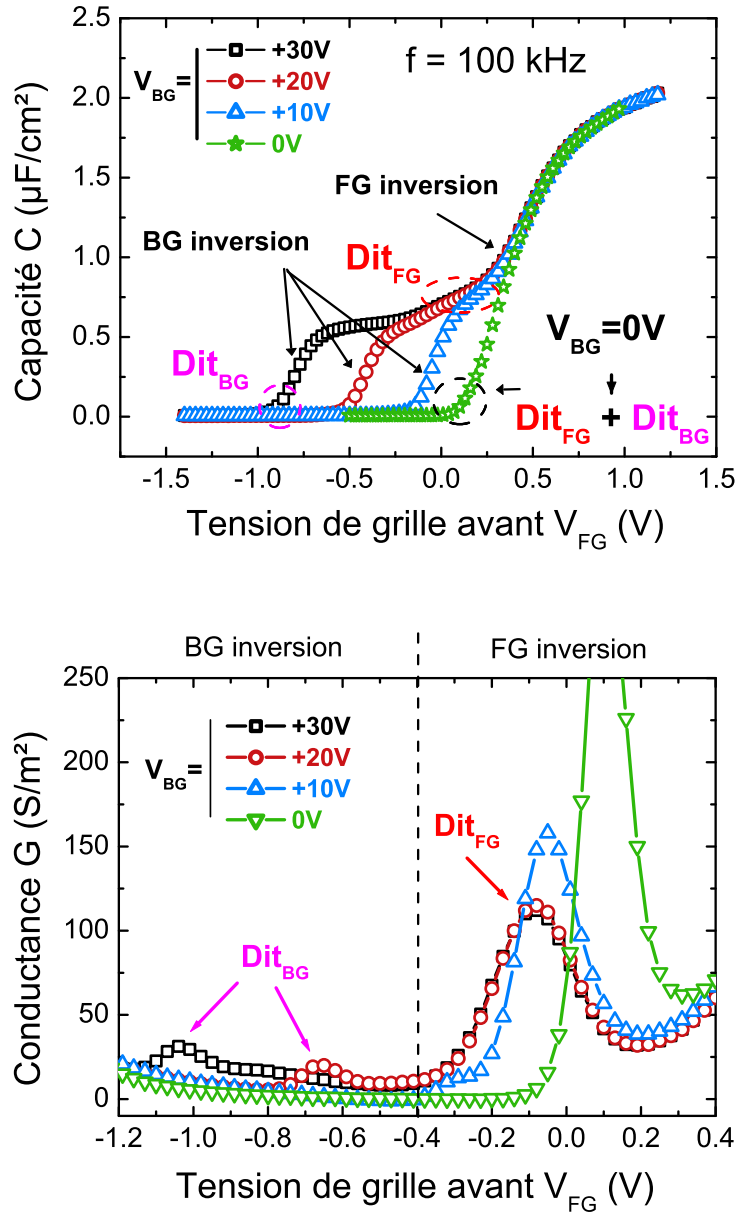


FIGURE 2.23 – Mesure de la capacité et de la conductance associée sur un transistor NMOS pour différentes polarisations arrière [33]

3. Méthode de la conductance

On peut présenter désormais un nouveau modèle prenant en compte le cas spécifique du FDSOI en présence d'une polarisation arrière V_{BG} . Pour cela on va considérer deux charges d'inversion distinctes à l'avant Q_{invFG} et à l'arrière Q_{invBG} définies telles que :

$$\begin{cases} Q_{invFG} = \int_0^{\frac{t_{Si}}{2}} n(x) dx \\ Q_{invBG} = \int_{\frac{t_{Si}}{2}}^{t_{Si}} n(x) dx \end{cases} \quad (2.22)$$

La charge totale Q_{tot} dans le semiconducteur peut alors s'écrire :

$$Q_{tot} = Q_{itFG} + Q_{invFG} + Q_{invBG} + Q_{itBG} + Q_{dep} \quad (2.23)$$

On en déduit ainsi la capacité totale C_{tot} :

$$C_{tot} = \frac{dQ_{tot}}{d\Phi_{sFG}} \quad (2.24)$$

$$= C_{itFG}^* + C_{invFG} + C_{invBG} + C_{itBG}^* \quad (2.25)$$

Afin de donner des expressions aux capacités C_{itFG}^* et C_{itBG}^* , il est primordial de définir deux probabilités d'occupation des pièges distinctes aux interfaces avant $f_{t,FG}$ et arrière $f_{t,BG}$, la position relative du niveau de Fermi E_F par rapport au niveau intrinsèque E_i étant différente à chaque interface (voir Figure 2.24) :

$$f_{t,FG}(E_{t,FG}) = \frac{1}{1 + \exp\left(\frac{E_{t,FG} - E_{fs,FG}}{kT}\right)} \quad (2.26)$$

$$f_{t,BG}(E_{t,BG}) = \frac{1}{1 + \exp\left(\frac{E_{t,BG} - E_{fs,BG}}{kT}\right)} \quad (2.27)$$

où $E_{t,FG}$ et $E_{t,BG}$ sont les niveaux d'énergie des pièges référencés par rapport au niveau d'énergie intrinsèque E_i à l'interface avant et arrière. De même $E_{fs,FG}$ et $E_{fs,BG}$ correspondent au niveau de Fermi référencé par rapport à E_i à l'interface avant et arrière.

La Figure 2.24 représente le diagramme de bande du film de silicium lorsque $V_{FG} = -1.5V$ et $V_{BG} = +30V$ et permet d'illustrer l'importance de définir deux probabilités d'occupation distinctes. En effet pour ces conditions, les pièges de l'interface avant sont totalement vides ($f_{t,FG} = 0$) alors qu'à l'interface arrière, une partie des pièges sous le niveau de Fermi est occupée ($f_{t,BG} = 1$).

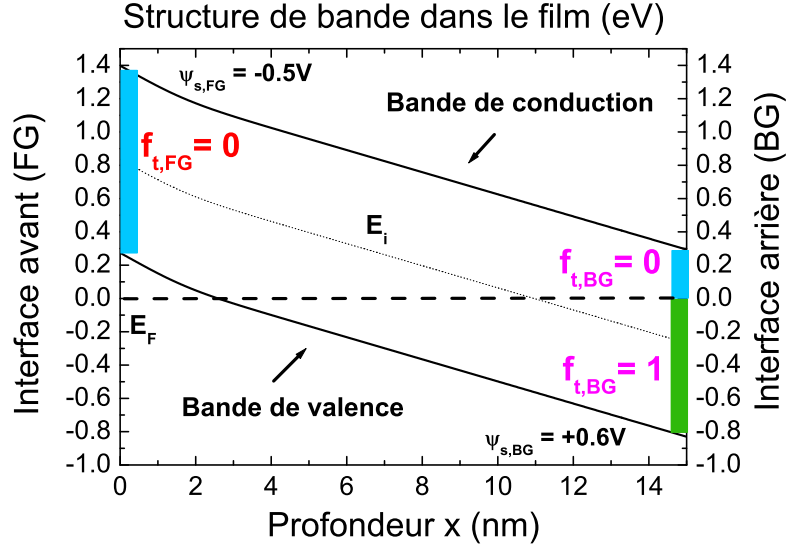


FIGURE 2.24 – Diagramme de bande du film de silicium lorsque $V_{FG} = -1.5V$ et $V_{BG} = +30V$

De façon analogue à l'équation 2.13, on obtient alors :

$$Cit^{FG}(\omega) = \frac{q^2}{kT} \int_{E_v}^{E_c} \frac{(\tau_{n,FG})^{-1} f_{t,FG} (1 - f_{t,FG})^2 Dit_{FG}(E_t)}{j \omega f_{t,FG} (1 - f_{t,FG}) + (1 - f_{t,FG}) (\tau_{n,FG})^{-1}} dE_t \quad (2.28)$$

$$Cit^{BG}(\omega) = \frac{q^2}{kT} \int_{E_v}^{E_c} \frac{(\tau_{n,BG})^{-1} f_{t,BG} (1 - f_{t,BG})^2 Dit_{BG}(E_t)}{j \omega f_{t,BG} (1 - f_{t,BG}) + (1 - f_{t,BG}) (\tau_{n,BG})^{-1}} dE_t \quad (2.29)$$

On obtient finalement le circuit équivalent Figure 2.25 dont l'admittance équivalente Y_{eq}^* est donnée équation 2.30. Il ne reste plus qu'à identifier les capacité et conductance mesurées aux parties réelle et imaginaire de Y_{eq} pour extraire Dit_{FG} et Dit_{BG} comme pour l'équation 2.21.

$$Y_{eq}^*(\omega) = \left(\frac{1}{j \omega C_{ox}} + \frac{1}{j \omega (Cit_{FG}^* + Cinv_{FG} + Cinv_{BG} + Cit_{BG}^*)} \right)^{-1} \quad (2.30)$$

3. Méthode de la conductance

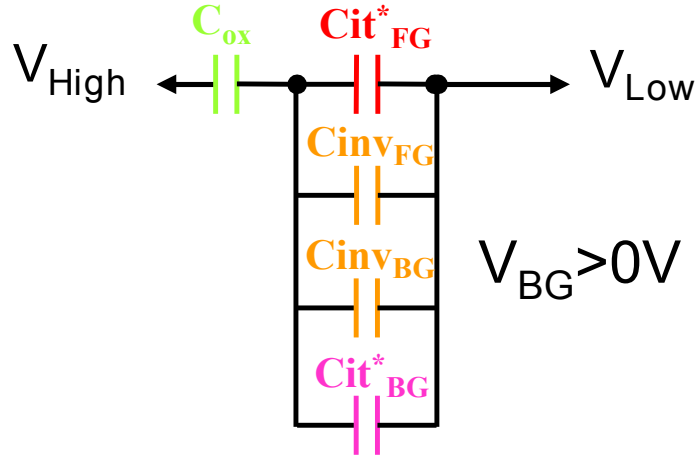


FIGURE 2.25 – Circuit électrique équivalent à un transistor FDSOI en inversion

Enfin, la comparaison avec l'expérience est présentée Figure 2.26 pour la capacité et la conductance : le modèle arrive à prédire clairement la localisation des deux pics. Le premier, de plus petite amplitude, correspond à la réponse des états d'interface arrière alors que le deuxième, plus grand, est celle des pièges avant. Pour les simulations, on a choisi des sections efficaces de capture égales à l'avant et à l'arrière, soit $\sigma_{n,FG} = \sigma_{n,BG} = 10^{-20} m^2$.

La méthode de la conductance a donc été adaptée pour la première fois sur des transistors FDSOI [33]. Contrairement à la méthode de pompage de charge, c'est une méthode applicable à des transistors classiques et qui permet de mesurer à la fois les densités d'états d'interface avant Dit_{FG} et arrière Dit_{BG} . Enfin, c'est une méthode précise puisqu'elle permet de détecter des densités de pièges de l'ordre de $10^{10} cm^{-2}$.

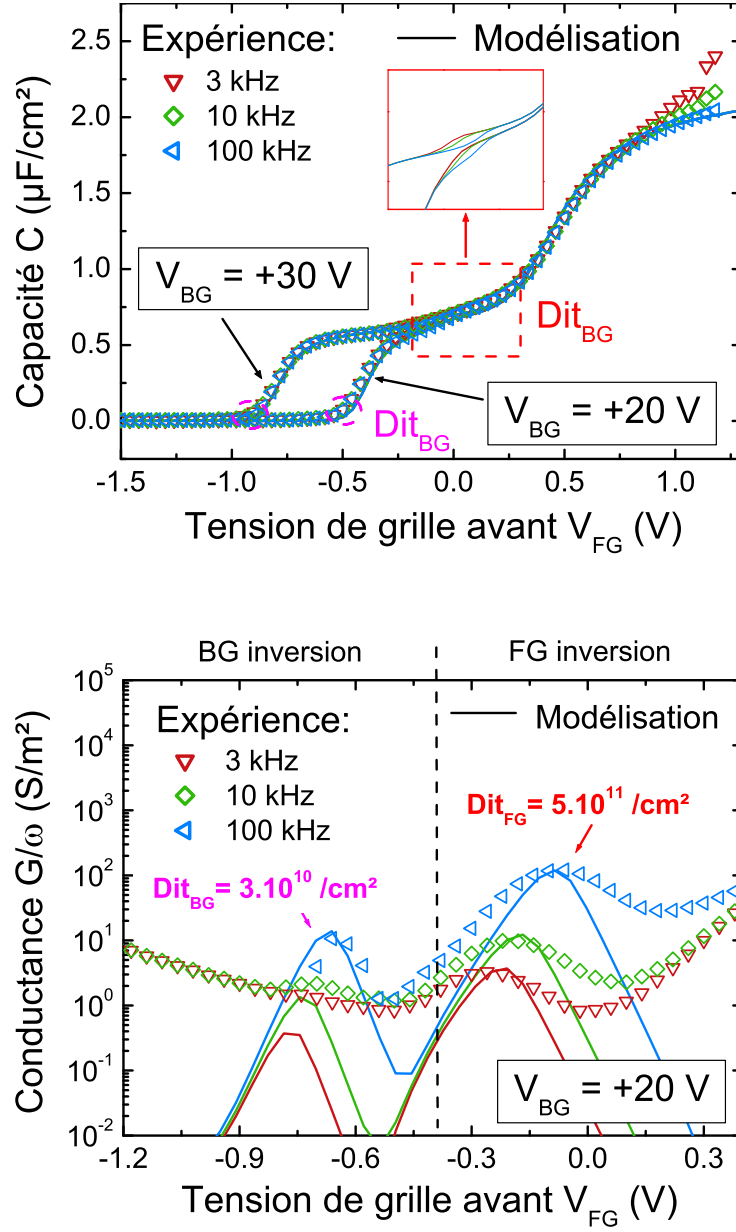


FIGURE 2.26 – Comparaison des capacités et conductances mesurées et à celles simulées sur un transistor FDSOI pour différentes fréquences. $V_{BG} = +20\text{V}$ [33]

3. Méthode de la conductance

3.5 Limitations de la méthode sur films minces

Dans la pratique, pour les films minces $t_{Si} < 10nm$, la séparation des pics de conductance par l'application d'une polarisation en face arrière est plus difficile. Un exemple est proposé Figure 2.27 sur un transistor NMOS avec $t_{Si} = 7nm$ et $t_{Box} = 25nm$ où une polarisation arrière $V_{BG} = +10V$ est appliquée.

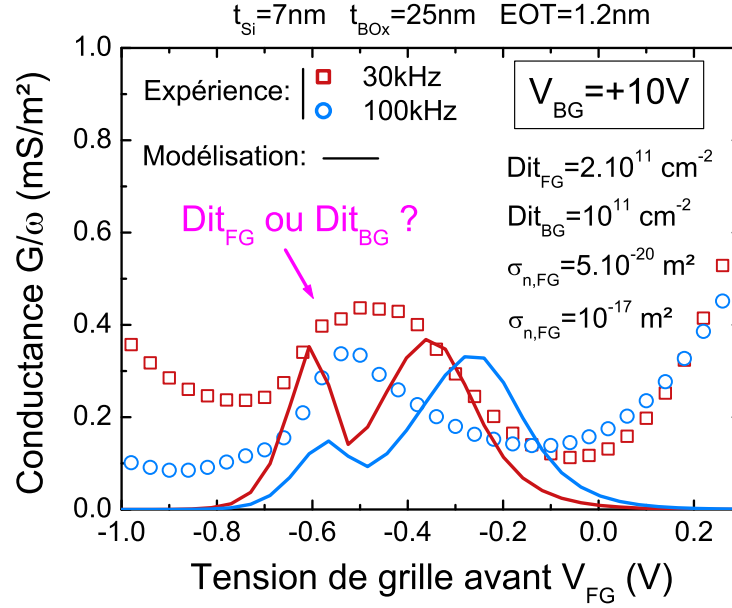


FIGURE 2.27 – Caractéristique G-V mesurée sur un transistor FDSOI à film mince $t_{Si} = 7nm$

Bien que pour $V_{BG} = +8V$ les canaux d'inversion à l'avant et à l'arrière sont décorrélés, les deux pics de conductance ne se distinguent pas clairement, voire pas du tout pour cet exemple. Pour expliquer ce phénomène, la simulation des pics est présentée sur la Figure 2.27 et montre qu'en jouant sur les sections efficaces de capture des pièges, il est possible de rapprocher voire confondre la réponse électrique des pièges aux interfaces avant et arrière. Une plus grande connaissance de ces sections efficaces de capture aux interfaces avant et arrière est donc nécessaire à l'avenir pour déterminer précisément les densités de pièges.

4 Méthode de localisation d'une dégradation

Dans cette partie, on présente une méthode d'évaluation des performances des transistors FDSOI après dégradation ou vieillissement naturel (on parlera par la suite de « stress »). Cette méthode qui utilise le couplage électrostatique sur FDSOI consiste en une comparaison des capacités mesurées avant et après stress et permet de distinguer une dégradation à l'interface avant d'une dégradation l'interface arrière du dispositif et de la quantifier.

Cette évaluation pourrait être effectuée avec de la méthode de la conductance mais dans l'idée d'un suivi de performances au cours du temps, cette dernière apparaît plus lourde car nécessite deux mesures (capacité + conductance) et l'utilisation d'un modèle complexe (simulation poisson Schrödinger + modèle capacitif).

4.1 Principe théorique

Le principe de cette méthode s'appuie sur le couplage électrostatique existant dans les dispositifs FDSOI. Afin de comprendre l'impact d'une charge fixe située à l'interface avant ou arrière sur la capacité d'un dispositif FDSOI, l'équation de Poisson présentée au chapitre 1 a été résolue en considérant cette fois $Q_{it_{FG}}$ et $Q_{it_{BG}}$ non nuls dans les conditions limites imposées par le théorème de Gauss (voir paragraphe 1.3 page 15). Enfin, on a considéré que les porteurs dans le film étaient à l'équilibre thermodynamique. Ainsi, la présence de porteurs majoritaires dans le film FDSOI permet de considérer les cas NMOS et PMOS indépendamment.

Les résultats présentés par la suite sont issus de simulations sur des transistors NMOS avec les paramètres suivants :

- $EOT = 1.2nm$
- $t_{Si} = 7nm$
- $t_{BOx} = 25nm$

On présente Figure 2.28 l'impact d'une charge positive $Q > 0$ avant ou arrière sur la capacité, lorsqu'une polarisation arrière $V_{BG} = -10V$ est appliquée, de sorte à séparer les canaux d'accumulation des interfaces avant et arrière, tout comme dans la méthode de la conductance adaptée au FDSOI où l'on vient séparer les canaux d'inversion. ΔV^{Bas} et ΔV^{Haut} sont définis dans le régime d'accumulation comme le décalage en tension par rapport à la courbe référence sans charge dans la « partie basse » et dans la « partie haute » de la courbe respectivement. On définit de façon similaire ΔV^{inv} dans le régime d'inversion. On rappelle que la partie basse correspond à la formation d'un canal d'accumulation à l'interface arrière et

4. Méthode de localisation d'une dégradation

que la partie haute correspond à celle du canal d'accumulation à l'interface avant (l'interface arrière étant toujours accumulée).

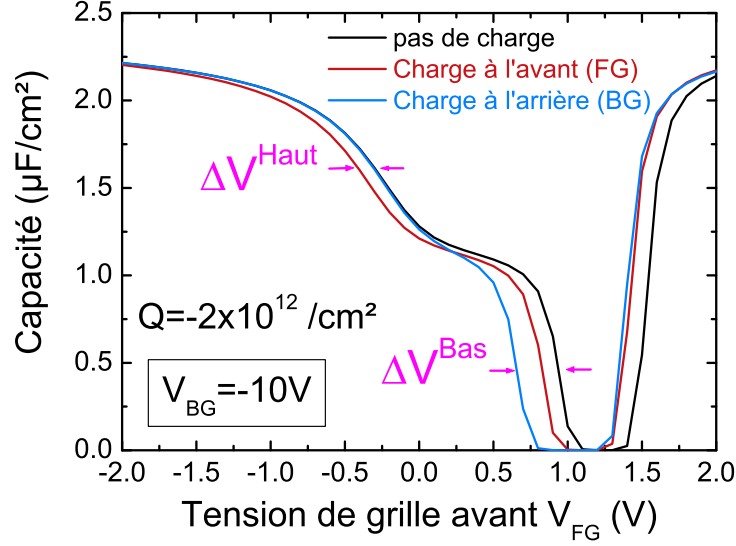


FIGURE 2.28 – Caractéristiques C-V simulées côté accumulation à $V_{BG} = -10V$ pour des charges situées à l'interface avant et arrière ($Q = -2 \cdot 10^{12}/cm^2$)

Au niveau de $V_{FG} = -0.4V$ (régime d'accumulation aux deux interfaces), on observe $|\Delta V^{Haut}| > 0V$ pour une charge localisée à l'interface avant alors que $\Delta V^{Haut} = 0V$ pour une charge à l'arrière. Si on regarde les concentrations de trous Figure 2.29, on voit que le canal d'accumulation formé à l'interface arrière vient écranter la charge située à cette interface. Au contraire, une charge à l'interface avant ne sera jamais écranter et c'est la raison pour laquelle on aura toujours $\Delta V^{Haut} = \Delta V^{Bas}$.

Les concentrations de trous pour une tension $V_{FG} = -0.3V$ proche de $V_{FG} = -0.4V$ ont notamment été rajoutées pour illustrer la variation de charge aux deux interfaces. C'est cette variation qui va permettre de comprendre les différences sur la capacité (on rappelle que $C = \frac{dQ}{d\Phi_{sFG}}$). En effet, on observe la même variation de charge pour la courbe référence et la courbe avec des pièges en face arrière, ce qui n'est pas le cas pour une charge localisée à l'interface avant. Cela explique pourquoi on voit uniquement l'impact d'une charge à l'interface avant dans cette gamme de tension.

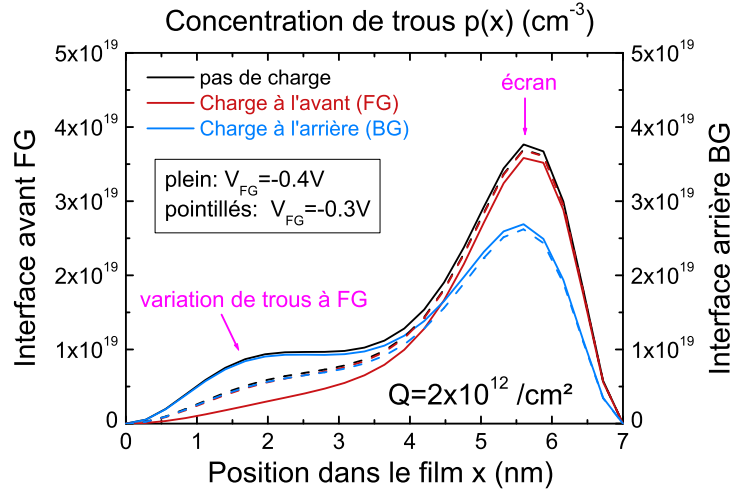


FIGURE 2.29 – Concentration de trous dans le film de Si pour $V_{FG} = -0.3V$ et $V_{FG} = -0.4V$ ($Q = 2 \cdot 10^{12} / \text{cm}^2$)

Au niveau de $V_{FG} = +0.6V$ (régime d'accumulation à l'interface arrière), on retrouve bien $\Delta V^{Haut} = \Delta V^{Bas}$ pour une charge localisée à l'interface avant. Pour une charge localisée à l'interface arrière, on observe cette fois-ci $|\Delta V^{Bas}| > 0V$. Cela peut s'expliquer Figure 2.30 par un « abaissement de l'écran » formé initialement par le canal d'accumulation à l'interface arrière.

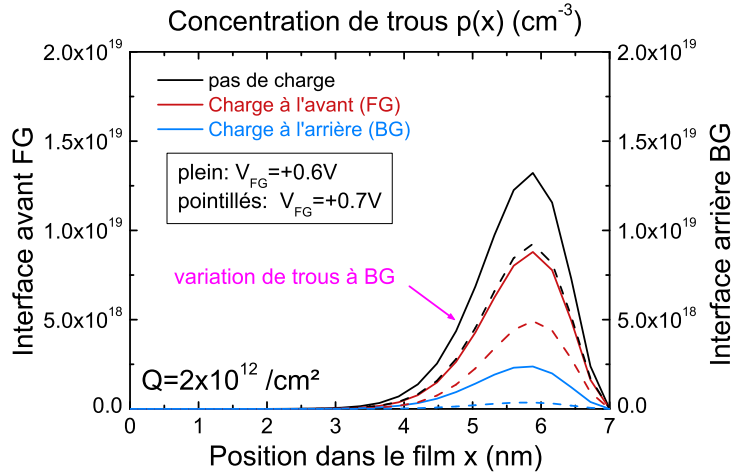


FIGURE 2.30 – Concentration de trous dans le film de Si pour $V_{FG} = +0.6V$ ($Q = 2 \cdot 10^{12} / \text{cm}^2$)

4. Méthode de localisation d'une dégradation

Enfin, pour $V_{FG} = +1.4V$ dans le régime d'inversion à l'interface avant, on observe un même décalage ΔV_{inv} que la charge soit localisée à l'avant ou à l'arrière. En effet, on observe Figure 2.31 que la charge à l'interface arrière n'est plus écrantée par le canal d'inversion à l'avant. La même valeur de ΔV_{inv} pour des pièges à l'interface avant ou arrière peut s'expliquer par un découplage électrostatique complet des deux interfaces. Cependant, expérimentalement, si l'on mesure un décalage ΔV_{inv} dans le régime d'inversion, il est impossible de conclure quant à la localisation de la charge.

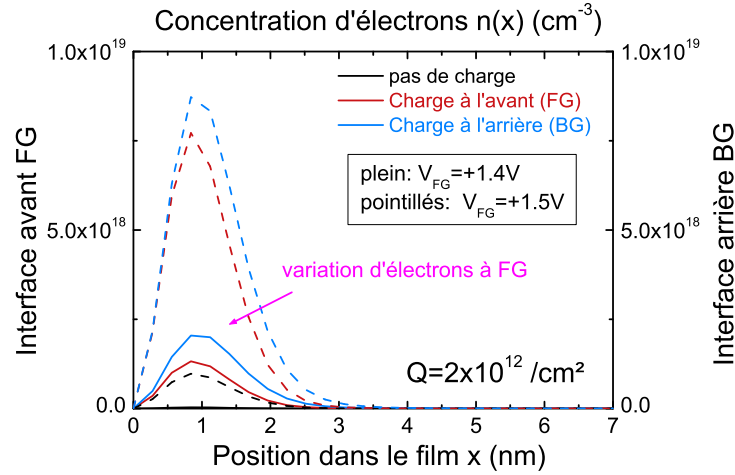


FIGURE 2.31 – Concentration d'électrons dans le film de Si pour $V_{FG} = +1.4V$ ($Q = 2 \cdot 10^{12}/cm^2$)

Finalement, pour une charge $Q > 0$ située à l'interface avant, la totalité de la courbe $C(V_{FG})$ se décale de $\Delta V^{Haut} = \Delta V^{Bas} = \Delta V^{FG}$. On a d'ailleurs :

$$Q = C_{ox} \Delta V^{FG} \quad (2.31)$$

Pour une charge $Q < 0$ située à l'interface arrière, on observe une asymétrie entre $\Delta V^{Haut} = 0V$ et $\Delta V^{Bas} = |\Delta V^{BG}| > 0V$ qui s'explique par un écrantage de la charge par le canal d'accumulation à l'interface arrière.

La Figure 2.32 présente la variation de charge ΔQ^{BG} à l'interface arrière en fonction de ΔV^{BG} pour différentes épaisseurs d'oxyde enterré et de film de silicium et montre que ΔQ^{BG} est une fonction linéaire de ΔV^{BG} , indépendante de l'épaisseur de l'oxyde enterré.

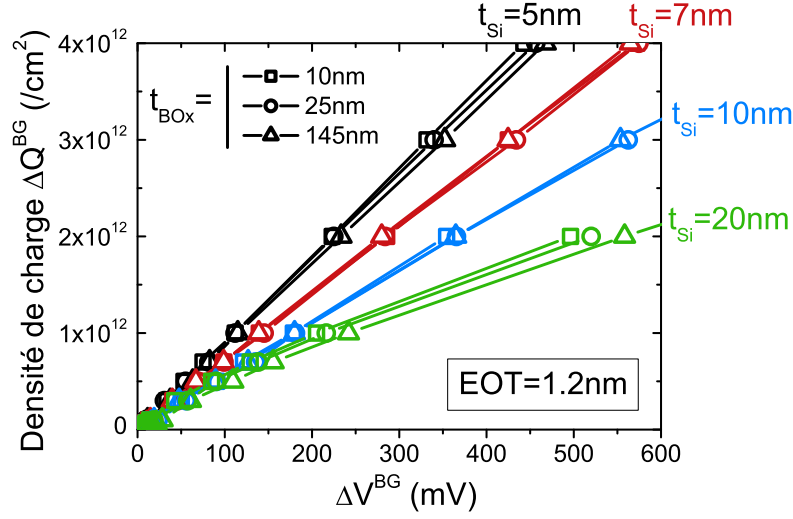


FIGURE 2.32 – $\Delta Q^{BG}(\Delta V^{BG})$ en fonction de t_{Si} et t_{BOx}

Il est d'ailleurs possible de sortir une expression empirique de ΔQ^{BG} en cm^{-2} en fonction de l'EOT et de l'épaisseur de film en cm :

$$\Delta Q^{BG} = \frac{\Delta V^{BG}}{\alpha EOT + \beta t_{Si}} \quad (2.32)$$

$$\text{avec : } \begin{cases} \alpha = 1.2 \cdot 10^{-4} \text{ mV.cm} \\ \beta = 1.4 \cdot 10^{-4} \text{ mV.cm} \end{cases}$$

Dans la pratique, les deux interfaces avant et arrière peuvent être dégradées ce qui conduirait à une asymétrie entre ΔV^{Haut} et ΔV^{Bas} mais cette fois-ci avec ΔV^{Haut} non nul. L'équation 2.31 reste alors valable pour calculer la densité de piège à l'interface avant. En ce qui concerne la densité de piège à l'interface arrière, il suffit juste de remplacer ΔV^{BG} par $\Delta V^{BG} - \Delta V^{FG}$ dans l'équation 2.32.

Enfin, il est important de rappeler l'importance d'appliquer une polarisation arrière suffisante pour séparer les régimes de fonctionnement (accumulation ou inversion) des interfaces arrière et avant. On l'illustre Figure 2.33 en traçant les décalages en tension ΔV^{Haut} et ΔV^{Bas} mesurés dans le régime d'accumulation (à gauche).

4. Méthode de localisation d'une dégradation

Dans le cas d'un charge à l'interface avant, on retrouve bien $\Delta V^{Haut} = \Delta V^{Bas}$ quelque soit la polarisation arrière. Cependant, pour une charge située à l'interface arrière, on observe que ΔV^{Bas} augmente avec $|V_{BG}|$ jusqu'à ce que les canaux de porteurs à l'avant et à l'arrière soient effectivement décorrélés et que sa valeur stagne à une valeur seuil ΔV^{BG} . C'est à ce même moment que, symétriquement, ΔV^{Haut} vient s'annuler.

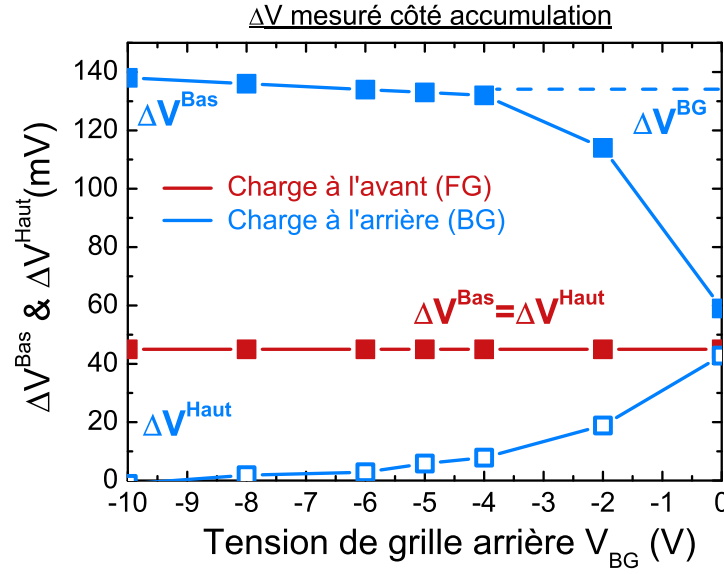


FIGURE 2.33 – Décalage ΔV^{Haut} et ΔV^{Bas} en fonction de la polarisation arrière, pour des charges situées à l'interface avant et arrière ($Q = 2 \cdot 10^{12}/cm^2$)

4.2 Application aux états d'interface

On a considéré jusqu'à présent des charges fixes aux interfaces, c'est-à-dire des défauts chargés positivement ou négativement, quelque soit la position du niveau de Fermi dans la bande interdite du silicium. Or, les états d'interface sont des défauts amphotères, de type « piège à trou » dans la partie inférieure du gap et « piège à électron » dans la partie supérieure. Il est donc important de considérer cette particularité puisqu'en effet, selon la position du niveau de Fermi E_F , l'état d'interface peut avoir une signature électrique neutre (voir Figure 2.5 page 46).

On illustre le remplissage des états d'interface dans le cas particulier $V_{FG} = +0.6V$ et $V_{BG} = -10V$ avec le diagramme de bande Figure 2.34 (régime d'accumulation en face arrière). On se rend compte que seuls les pièges de la moitié inférieure de la bande interdite du silicium sont électriquement actifs et on peut penser que

cette méthode ne viendra sonder que la moitié de la densité d'états d'interface réelle Dit_{FG} à l'interface arrière. Un exemple pratique est présenté Figure 2.35 sur un transistor NMOS à body contacté dont on a volontairement dégradé l'interface arrière en appliquant à 125°C une tension de stress $V_{BG} = -20\text{V}$ durant $t_{stress} = 500\text{s}$. Comme attendu on retrouve bien $\Delta V^{Haut} = 0$ et $\Delta V^{Bas} < 0$ en accord avec un piégeage de trous, ce qui valide la méthode présentée.

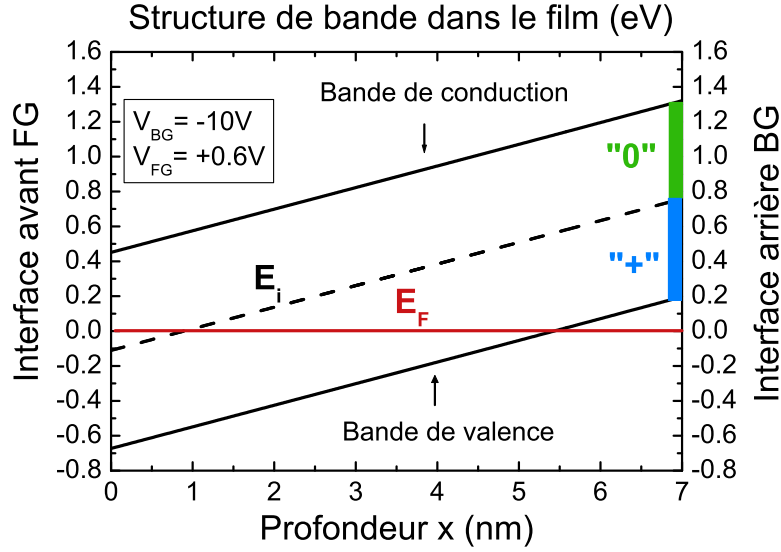


FIGURE 2.34 – Diagramme de bande dans le film de silicium : illustration du remplissage des états d'interface arrière

Enfin, en utilisant l'équation 2.32, on a pu remonter à une densité de piège $Dit_{BG} = 4 \cdot 10^{11}/\text{cm}^2$, à un facteur 2 près. On remarquera que dans le régime d'inversion on a un comportement un peu différent de ce que montre la simulation avec ΔV_{inv} qui varie jusqu'à rejoindre la courbe initiale. Cela pourrait s'expliquer par le fait qu'expérimentalement, le découplage électrostatique complet n'est pas atteint.

4. Méthode de localisation d'une dégradation

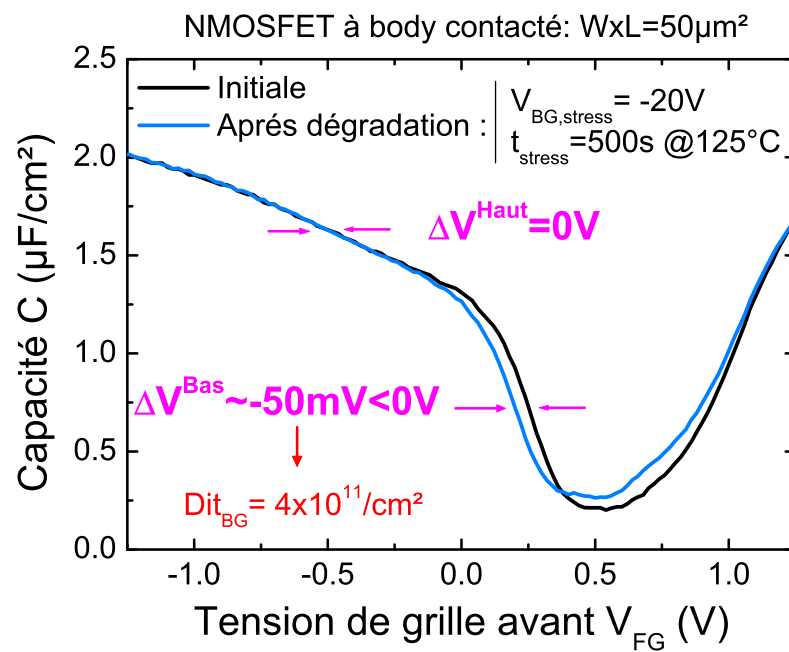


FIGURE 2.35 – Validation de la méthode sur un transistor NMOS à body contacté

5 Conclusion du chapitre 2

Nous avons détaillé dans ce chapitre les différents défauts qui peuvent exister dans les oxyde High- κ et surtout dans le SiO_2 qui forme la couche interfaciale de l'oxyde de grille et aussi l'oxyde enterré d'une structure FDSOI. Les centres P_b plus communément appelés états d'interface apparaissent comme les défauts principaux et proviennent du désaccord de maille qui existe entre le silicium et son oxyde natif, le SiO_2 . De par la spécificité des structures FDSOI avec un oxyde enterré, ces défauts peuvent être présents à l'interface avant entre le film de silicium et l'oxyde grille mais aussi à l'interface arrière entre le film de silicium et l'oxyde enterré.

Deux méthodes de caractérisation électrique de ces défauts d'interface ont été présentées. La méthode de pompage de charge, basée sur une mesure de courant de recombinaison proportionnel aux densités de pièges, s'est avérée adaptable à des structures FDSOI dédiées telles que les diodes à grille ou les transistors à prise, capable de fournir les deux types de porteurs, minoritaire et majoritaire, nécessaires à la recombinaison. Cependant, si cette méthode est valable pour mesurer la densité d'états d'interface avant sur des transistors FDSOI à films relativement épais ($t_{\text{Si}} > 15\text{nm}$), elle est remise en question pour des films minces, une contribution des états d'interface à l'arrière ainsi que des phénomènes de recombinaison en volume apparaissant.

La méthode de la conductance, elle basée sur des mesures de capacité et de conductance, a été adaptée pour le FDSOI et permet en utilisant le couplage électrostatique de la structure de mesurer à la fois les densités de pièges à l'avant et à l'arrière. Cette méthode capable de mesurer de très faibles densités de piège (jusqu'à $10^{10}/\text{cm}^2$) a l'avantage de pouvoir s'appliquer à des structures classiques mais nécessite un modèle complexe.

Enfin, une nouvelle méthode de localisation et de quantification d'une dégradation au cours du temps sur des structures FDSOI a été présentée. Toujours en utilisant les propriétés électrostatiques d'une structure FDSOI, elle permet à partir de deux mesures de capacité, avant et après stress, de dire si la dégradation a eu lieu à l'interface avant, arrière ou les deux, et de la quantifier. Une expression empirique permettant de remonter à la densité de piège à l'interface arrière à partir de l'EOT et de l'épaisseur de film y est notamment proposée.

Toute cette description de la nature des pièges ainsi que les méthodes de caractérisation électrique adaptées au FDSOI est primordiale pour les études fiabilité sur cette technologie, plus particulièrement pour décorréler des dégradations de l'em-

5. Conclusion du chapitre 2

pilement de grille de celles de l'oxyde enterré. Son importance sera notamment démontrée pour les études de porteurs chauds sur FDSOI au Chapitre 4.

Bibliographie

- [1] A. A. Demkov and O. F. Sankey, "Growth Study and Theoretical Investigation of the Ultrathin Oxide SiO_2 – Si Heterojunction," *Phys. Rev. Lett.*, vol. 83, pp. 2038–2041, Sep 1999.
- [2] C. R. Helms and E. H. Poindexter, "The silicon-silicon dioxide system : Its microstructure and imperfections," *Reports on Progress in Physics*, vol. 57, no. 8, p. 791, 1994.
- [3] M. Denais, "Etude des Phénomènes de Dégradation de Type Negative Bias temperature Instability (NBTI) dans les Transistors MOS Submicroniques des Filières CMOS Avancées," Ph.D. dissertation, 2005.
- [4] M. Rafik, "Caractérisation et Modélisation de la Fiabilité des Transistors Avancés à Diélectriques de Haute Permittivité et à Grille Métallique," Ph.D. dissertation, 2008.
- [5] S. Karna, A. Pineda, R. Pugh, W. Shedd, and T. Oldham, "Electronic structure theory and mechanisms of the oxide trapped hole annealing process," *IEEE Transactions on Nuclear Science*, vol. 47, no. 6, pp. 2316 –2321, dec 2000.
- [6] R. A. Weeks, "Paramagnetic Resonance of Lattice Defects in Irradiated Quartz," *Journal of Applied Physics*, vol. 27, no. 11, pp. 1376 –1381, nov 1956.
- [7] J. Campbell, P. Lenahan, C. Cochrane, A. Krishnan, and S. Krishnan, "Atomic-Scale Defects Involved in the Negative-Bias Temperature Instability," *IEEE Transactions on Device and Materials Reliability*, vol. 7, no. 4, pp. 540 –557, dec. 2007.
- [8] Y. Nishi, "Study of Silicon-Silicon Dioxide Structure by Electron Spin Resonance I," *Japanese Journal of Applied Physics*, vol. 10, no. 1, pp. 52–62, 1971.
- [9] E. H. Poindexter, P. J. Caplan, B. E. Deal, and R. R. Razouk, "Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafers," *Journal of Applied Physics*, vol. 52, no. 2, pp. 879 –884, feb 1981.
- [10] A. Stirling, A. Pasquarello, J.-C. Charlier, and R. Car, "Dangling Bond Defects at Si – SiO_2 Interfaces : Atomic Structure of the P_{b1} Center," *Phys. Rev. Lett.*, vol. 85, pp. 2773–2776, Sep 2000.
- [11] A. Stesmans and V. V. Afanas'ev, "Electrical activity of interfacial paramagnetic defects in thermal (100) Si/ SiO_2 ," *Phys. Rev. B*, vol. 57, pp. 10 030–10 034, Apr 1998.

Bibliographie

- [12] W. Shockley and W. T. Read, "Statistics of the Recombinations of Holes and Electrons," *Phys. Rev.*, vol. 87, pp. 835–842, Sep 1952.
- [13] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability : Road to cross in deep submicron silicon semiconductor manufacturing," *Journal of Applied Physics*, vol. 94, no. 1, pp. 1–18, 2003.
- [14] Y. T. Yeow, D. R. Lamb, and S. D. Brotherton, "An investigation of the influence of low-temperature annealing treatments on the interface state density at the Si-SiO₂," *Journal of Physics D, Applied Physics*, vol. 8, no. 13, p. 1495, 1975.
- [15] A. S. Foster, F. Lopez Gejo, A. L. Shluger, and R. M. Nieminen, "Vacancy and interstitial defects in hafnia," *Phys. Rev. B*, vol. 65, p. 174117, May 2002.
- [16] G. Ribes, S. Bruyere, D. Roy, C. Parthasarthy, M. Muller, M. Denais, V. Huard, T. Skotnicki, and G. Ghibaudo, "Origin of Vt instabilities in high-k dielectrics Jahn-Teller effect or oxygen vacancies," *Device and Materials Reliability, IEEE Transactions on*, vol. 6, no. 2, pp. 132 –135, june 2006.
- [17] J. L. Gavartin, D. Munoz Ramo, A. L. Shluger, G. Bersuker, and B. H. Lee, "Negative oxygen vacancies in HfO₂ as charge traps in high-k stacks," *Applied Physics Letters*, vol. 89, no. 8, pp. 082 908 –082 908–3, aug 2006.
- [18] K. Xiong, J. Robertson, M. C. Gibson, and S. J. Clark, "Defect energy levels in HfO₂ high-dielectric-constant gate oxide," *Applied Physics Letters*, vol. 87, no. 18, pp. 183 505 –183 505–3, oct 2005.
- [19] A. Kerber, E. Cartier, L. Pantisano, M. Rosmeulen, R. Degraeve, T. Kaue-rauf, G. Groeseneken, H. Maes, and U. Schwalke, "Characterization of the VT-instability in SiO₂/HfO₂ gate dielectrics," in *2003 IEEE International Reliability Physics Symposium Proceedings*, march-4 april 2003, pp. 41 – 45.
- [20] C. Leroux, J. Mitard, G. Ghibaudo, X. Garros, G. Reimbold, B. Guillaumor, and F. Martin, "Characterization and modeling of hysteresis phenomena in high- κ dielectrics," in *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, dec. 2004, pp. 737 – 740.
- [21] J. Brugler and P. Jespers, "Charge pumping in MOS devices," *IEEE Transactions on Electron Devices*, vol. 16, no. 3, pp. 297 – 302, mar 1969.
- [22] W. L. Tseng, "A new charge pumping method of measuring Si/SiO₂ interface states," *Journal of Applied Physics*, vol. 62, no. 2, pp. 591 –599, jul 1987.

- [23] Y. Maneglia, "Analyse en profondeur des défauts de l'interface Si-SiO₂ par la technique du pompage de charges," Ph.D. dissertation, 1998.
- [24] G. Groeseneken, H. Maes, N. Beltran, and R. De Keersmaecker, "A reliable approach to charge-pumping measurements in MOS transistors," *IEEE Transactions on Electron Devices*, vol. 31, no. 1, pp. 42 – 53, jan 1984.
- [25] J. Simmons and L. Wei, "Theory of dynamic charge current and capacitance characteristics in MIS systems containing distributed surface traps," *Solid-State Electronics*, vol. 16, no. 1, pp. 53 – 66, 1973.
- [26] A. B. Elliot, "The use of charge pumping currents to measure surface state densities in MOS transistors," *Solid-State Electronics*, vol. 19, no. 3, pp. 241 – 247, 1976.
- [27] D. Wouters, M. Tack, G. Groeseneken, H. Maes, and C. Claeys, "Characterization of front and back Si-SiO₂ interfaces in thick- and thin-film silicon-on-insulator MOS structures by the charge-pumping technique," *IEEE Transactions on Electron Devices*, vol. 36, no. 9, pp. 1746–1750, Sep 1989.
- [28] T. Ouisse, S. Cristoloveanu, T. Elewa, H. Haddara, G. Borel, and D. Ioannou, "Adaptation of the charge pumping technique to gated p-i-n diodes fabricated on silicon on insulator," *IEEE Transactions on Electron Devices*, vol. 38, no. 6, pp. 1432–1444, Jun 1991.
- [29] D. Vasileska, D. Schroder, and D. Ferry, "Scaled silicon MOSFETs : degradation of the total gate capacitance ," *IEEE Transactions on Electron Devices*, vol. 44, no. 4, pp. 584–587, Apr 1997.
- [30] T. Elewa, H. Haddara, S. Cristoloveanu, and M. Bruel, "Charge Pumping in Silicon on Insulator Structures using Gated P-I-N Diodes," in *Solid State Device Research Conference, 1988. ESSDERC '88. 18th European*, sept. 1988, pp. c4–137 –c4–140.
- [31] P. Batude, X. Garros, L. Clavelier, C. Le Royer, J. M. Hartmann, V. Loup, P. Besson, L. Vandroux, Y. Campidelli, S. Deleonibus, and F. Boulanger, "Insights on fundamental mechanisms impacting Ge metal oxide semiconductor capacitors with high-k/metal gate stacks," *Journal of Applied Physics*, vol. 102, no. 3, pp. 034514 –034514–8, aug 2007.
- [32] E. Nicollian and J. Brews, *Metal Oxide Semiconductor Physics and Technology*, N. York, Ed. John Wiley & Sons, 1982.

Bibliographie

- [33] L. Brunet, X. Garros, F. Andrieu, G. Reimbold, E. Vincent, A. Bravaix, and F. Boulanger, “New method to extract interface states density at the back and the front gate interfaces of FDSOI transistors from CV-GV measurements,” in *2009 IEEE International SOI Conference*, oct. 2009, pp. 1–2.

Etude des contraintes BTI

On va s'intéresser dans ce chapitre aux problèmes de fiabilité liés à des contraintes BTI (« **B**ias **T**emperature **I**nstabilities »), c'est-à-dire des contraintes électriques sur la grille (source, drain et substrat à la masse) à haute température, comme illustré Figure 3.1. Les tensions de stress sur la grille peuvent être négatives (NBTI), classiquement sur des transistors PMOS, ou positives (PBTI) pour des transistors NMOS et sont généralement de l'ordre de $2-3V_{DD}$ (on rappelle que V_{DD} est la tension d'alimentation du dispositif, typiquement $\pm 1.1V$ pour les technologies actuelles). Quant à la température, elle reste un paramètre d'accélération du vieillissement et ne doit pas dénaturer la structure ($T < 200^\circ C$).

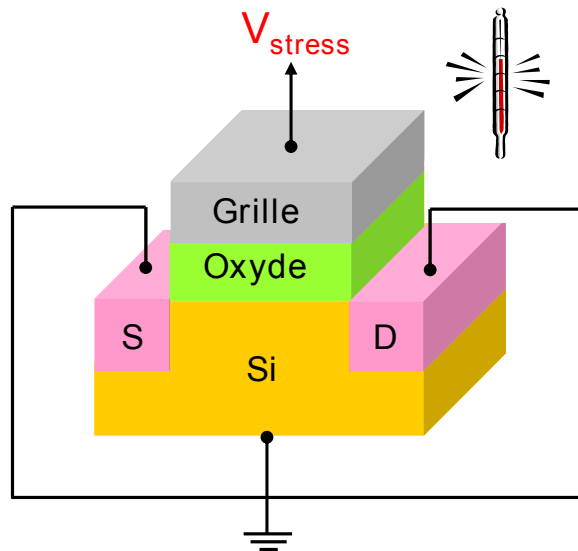


FIGURE 3.1 – Illustration d'une contrainte BTI

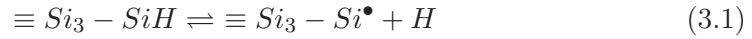
Historiquement, les premières dégradations induites par des contraintes NBTI sont apparues à la fin des années 60 [1]. Des contaminations ioniques sur les transistors étaient source de dérive des paramètres électriques du transistor et plus particulièrement de la tension de seuil. En effet, les ions mobiles (Na^+ , Cl^- , K^+) réagissent

à la fois à la température et au champ électrique en diffusant à travers la structure. Aujourd'hui, bien que cette contamination soit en majeure partie supprimée, le terme NBTI est utilisé pour qualifier toute dérive des paramètres électriques lors d'une contrainte négative sur la grille.

On présentera dans ce chapitre l'évolution des modèles permettant d'expliquer les dégradations NBTI, considérées comme plus critiques que les dégradations PBTI, du modèle historique de réaction-diffusion de Jeppson et Svensson aux modèles les plus aboutis de Tibor Grasser et de Vincent Huard. On verra ainsi la problématique liée à la relaxation de la dégradation lors de la mesure des paramètres électriques durant une contrainte BTI. Des méthodes conventionnelles permettant de limiter ces effets au premier ordre seront présentées, puis sera proposée une nouvelle technique basée sur des mesures pulsées ultra rapides permettant de s'affranchir complètement de ces effets. Ces méthodes seront ensuite utilisées pour des études expérimentales des dégradations liées aux contraintes NBTI et PBTI. On étudiera dans un premier temps l'impact de la diffusion d'azote dans l'empilement de grille sur les performances en NBTI et en mobilité des transistors. Dans un deuxième temps, on utilisera les méthodes de mesure de courant ultra rapide pour étudier les contraintes PBTI sur des empilements de type HfSiON/TiN où du lanthane a été incorporé. Les mécanismes de piégeage d'électrons dans le diélectrique High- κ seront notamment traités.

1 Evolution des modèles NBTI

C'est en 1967 que Deal et al. [1] mettent en évidence la création de défauts chargés lors d'une contrainte NBTI en montrant l'apparition d'une charge très reproductible sur un grand nombre d'échantillons, ce qui n'est pas le cas lors de contaminations ioniques. Suite à ces observations, l'équipe de Bell Telephone Laboratories a montré que cette apparition correspondait en réalité à la génération de centres P_b par dépassivation des liaisons Si-H à l'interface Si/SiO₂ [2] soit :



La génération d'états d'interface durant un stress BTI est aujourd'hui admise de tous, même si son origine et son importance dans la dégradation sont controversées.

1.1 Modèle de réaction diffusion

Le premier modèle décrivant la création d'états d'interface lors d'une contrainte NBTI est le modèle de Réaction-Diffusion (R-D), né d'une idée de Jeppson et Svensson [3] mais formulé analytiquement par Ogawa et Shiono [4]. Partant de l'observation que l'équilibre de réaction de dissociation équation 3.1 n'est pas suffisant pour expliquer la dynamique observée, le modèle introduit de plus un mécanisme de diffusion de l'espèce hydrogénée libérée après rupture des liaisons Si-H. Malgré quelques modifications, le modèle R-D fera office de référence pendant une vingtaine d'années.

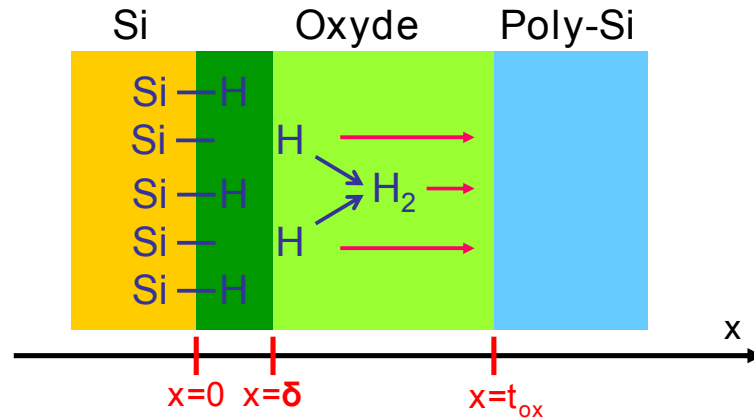


FIGURE 3.2 – Illustration de la diffusion d'espèce hydrogénée neutre dans la structure. δ correspond à l'épaisseur de l'interface Si/SiO₂

Le modèle R-D repose principalement sur les deux équations suivantes, la pre-

mière modélisant la réaction de dissociation équation 3.1 et la seconde la diffusion de l'espèce hydrogénée, initialement H dans le modèle de Svensson et Jeppson :

$$\frac{dN_{IT}}{dt} = k_F(N_0 - N_{IT}) - k_R N_H N_{IT} \quad (x = 0) \quad (3.2)$$

$$\frac{dN_{IT}}{dt} = D_H \frac{d^2 N_H}{dx^2} \quad (3.3)$$

avec :

- N_{IT} le nombre d'états d'interface à un instant t
- N_0 le nombre initial de liaisons Si-H potentiellement dissociables
- N_H la concentration d'hydrogène
- k_F le facteur de dissociation
- k_R le taux de recombinaison des atomes Si et H
- D_H le coefficient de diffusion de l'Hydrogène

La phase de dégradation NBTI est donc contrôlée par la création d'états d'interface et la diffusion de H. Dans la formulation la plus aboutie de Alam et Mahapatra [5], plus connue sous le nom du modèle R-D étendu, l'espèce hydrogénée considérée est du dihydrogène H_2 . Ce modèle, détaillé en annexe, permet de décrire la génération d'états d'interface $\Delta N_{it}(t)$ avec une loi en puissance t^n . Cinq différents régimes peuvent être considérés et sont représentés Figure 3.3 où les cinétiques n sont précisées. Cependant, seul le troisième régime en $t^{0.25}$, contrôlé par la diffusion de H_2 dans l'oxyde de grille, est généralement observé expérimentalement.

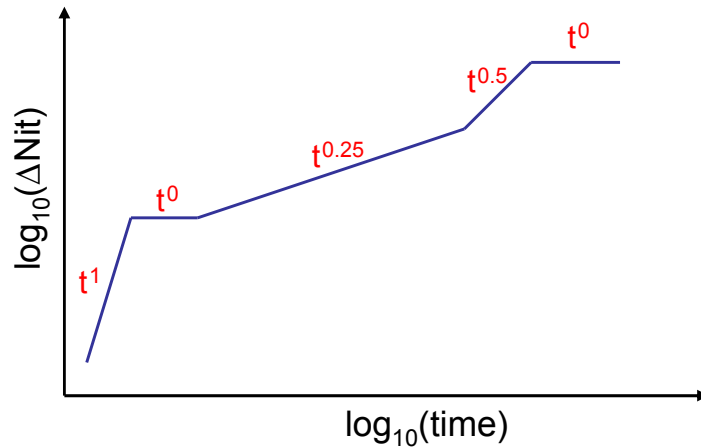


FIGURE 3.3 – Illustration des différentes phases du modèle R-D

1. Evolution des modèles NBTI

1.1.1 Dépendance en champ électrique et en température

Afin de modéliser plus précisément les dégradations NBTI, Alam inclut dans son modèle une dépendance en champ électrique mais aussi en température [5]. La dépendance en champ électrique dans l'oxyde est faite par le biais du coefficient k_F de dissociation des liaisons Si-H :

$$k_F = B \sigma_0 p T_{coeff} \quad (3.4)$$

Le coefficient k_F dépend donc de la densité de trous p , de leur capacité à atteindre les liaisons Si-H par effet tunnel $T_{coeff} \propto \exp(E_{ox}/E_0)$ (E_0 étant le champ électrique localisé à l'interface), de la section de capture σ_0 des liaisons Si-H et d'une fonction B non déterminée modélisant la dépendance en champ de la dissociation de la liaison.

L'activation en température est, elle, contrôlée par le coefficient de diffusion de l'hydrogène D_H puisque Alam montre que :

$$E_a(NBTI) \approx \frac{E_a(D_H)}{4} = 0.12 - 0.15 \text{ eV} \quad (3.5)$$

Toujours dans l'idée du modèle R-D, d'autres variantes ont été proposées pour mieux prendre en compte la dépendance en température lors d'une contrainte NBTI, basées sur le principe d'une diffusion dispersive d'hydrogène [6, 7]. L'idée est que dans un système désordonné tel que le SiO_2 , la diffusion n'est pas « gaussienne » (classique) mais dispersive. Autrement dit, le coefficient de diffusion D_H va varier dans le temps.

1.1.2 Limitations du modèle R-D

Tous ces modèles dérivés du modèle R-D ont cependant montré leurs limites, plus précisément pour expliquer les phénomènes de relaxation et ont été remis en cause dans les années 2000. En effet, lorsqu'une contrainte NBTI est interrompue, la dégradation semble « s'auto-guérir » en partie et on parle alors de recouvrement ou de relaxation. Comme on peut le voir Figure 3.4, la relaxation va dépendre de la tension de relaxation V_{Grecov} appliquée pendant l'interruption du stress et être plus importante lorsque le transistor est basculé en régime d'accumulation $V_{Grecov} = +1V$. Or, le modèle R-D explique ce phénomène de relaxation par une rétro-diffusion d'espèces hydrogénées neutres (H_2) et donc une relaxation indépendante de la tension de relaxation V_{Grecov} , ce qui n'est pas en accord avec l'expérience.

De plus, certaines études [9, 10] montrent qu'expérimentalement la relaxation

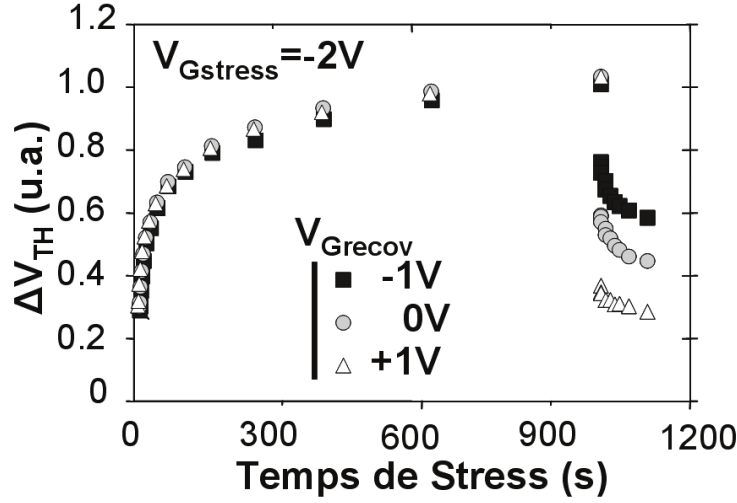


FIGURE 3.4 – Phénomène de relaxation après une contrainte NBTI dépendant de la tension de relaxation V_{Grecov} [8]

est indépendante du degré de passivation de l'interface (expériences avec différents recuits) ce qui contredit le modèle R-D où la concentration d'hydrogène initiale à l'interface va jouer un rôle primordial. D'autres résultats contredisent notamment la relaxation universelle prédite par le modèle R-D. Elles sont détaillées dans [11, 12].

Finalement, la seule diffusion d'espèce hydrogénée issue de la rupture des liaisons Si-H ne peut pas expliquer les phénomènes de relaxation observés lors de l'interruption d'un stress NBTI. Un autre mécanisme pour expliquer de tels phénomènes est alors introduit : le piégeage de trous réversible. Fait amusant, cette possibilité avait déjà été suggérée dans les travaux pionniers de Jeppson et Svensson [3], mais mise de côté pendant une vingtaine d'années ! L'impact d'un piégeage de trous est aujourd'hui accepté de tous et les études récentes suggèrent même que ce mécanisme est la contribution dominante d'une dégradation NBTI [10, 13, 14, 15].

Certaines études ont d'ailleurs clairement mis en évidence ce piégeage de trous par des mesures de bruit RTN (« **R**andom **T**elegraph **N**oise »)[10, 16]. Le principe consiste à suivre au cours du temps le courant de drain I_D sur des dispositifs courts et étroits à une tension $V_{Gmesure}$ donnée, durant le stress ou la relaxation. En effet sur des transistors de petites surfaces, les pièges sont moins nombreux que sur des transistors longs et larges et il est possible de visualiser le piégeage/dépiégeage d'un seul trou ou d'un seul électron. Le principe est illustré Figure 3.5 : un piégeage/dépiégeage va induire un décalage de tension de seuil qui va engendrer une diminution ou une augmentation du courant de drain à la tension $V_{Gmesure}$ donnée.

1. Evolution des modèles NBTI

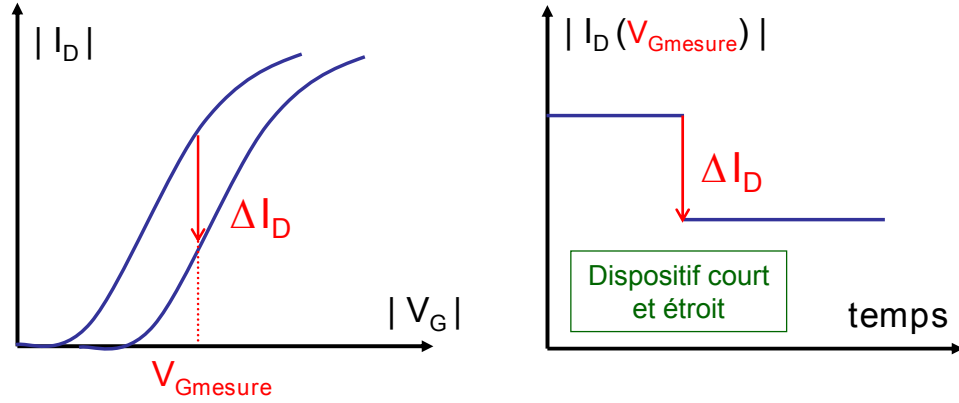


FIGURE 3.5 – Principe des mesures RTN sur dispositifs courts et étroits

La Figure 3.6 présente des mesures de relaxation RTN après un stress NBTI et montre bien que sur des dispositifs courts et étroits la relaxation correspond à un dépiégeage discrétisé des trous piégés durant le stress et non pas d'une relaxation par rétro-diffusion de H_2 .

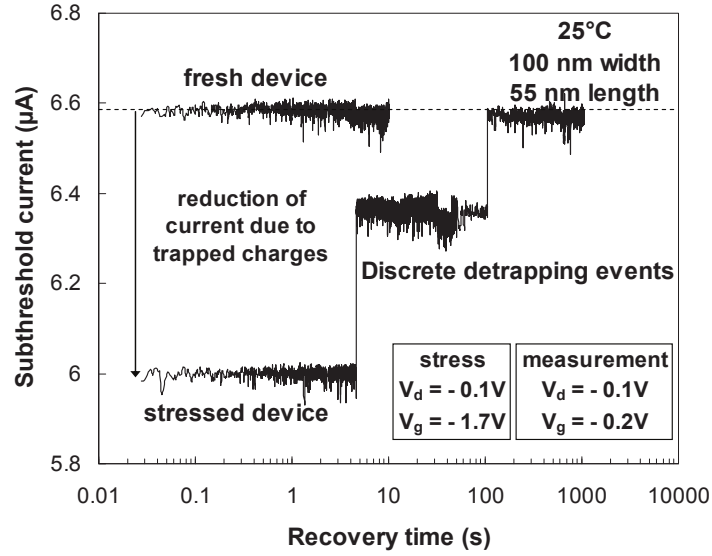


FIGURE 3.6 – Mesures RTN : dépiégeage discret de trous [10]

Reisinger montre d'ailleurs qu'en faisant une moyenne sur plusieurs dispositifs courts et étroits, on retrouve bien le comportement observé sur des dispositifs longs et larges classiquement utilisés pour les études NBTI [17].

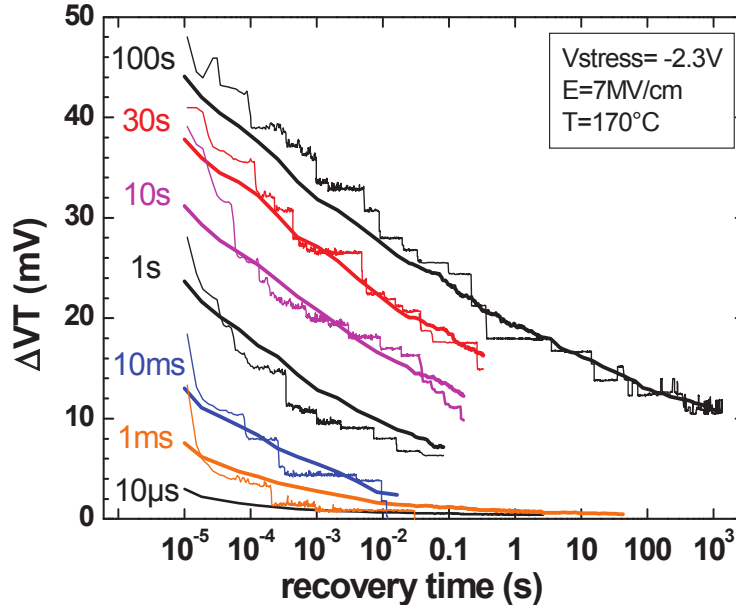


FIGURE 3.7 – Comparaison des mesures de relaxation RTN entre un unique dispositif et la moyenne de 25 dispositifs (courbes lisses) [17]

Ces analyses de bruit RTN semblent aujourd'hui être la voie pour la compréhension des mécanismes de dégradation sur dispositifs courts et étroits. En effet, celles-ci permettent des études détaillées sur les temps caractéristiques de piégeage et notamment leur dépendance en champ et en température [12, 17].

On va distinguer à présent les deux modèles les plus aboutis pour expliquer les contraintes NBTI : le modèle de Grassier basé sur deux mécanismes couplés pour expliquer la dégradation pendant le stress et la relaxation et le modèle de Huard qui au contraire considère deux mécanismes totalement indépendants.

1.2 Modèle de Grassier

Si, pour expliquer la relaxation, certains prennent en compte l'effet du piégeage de trou en l'intégrant au modèle R-D (trous piégés très rapidement + rétrodiffusion de l'hydrogène) [18] ou considèrent un dépiégeage de trou dans des défauts préexistants (modèle de Huard) [10], Grassier lui opte pour un piégeage de trous dans des défauts créés pendant le stress, et plus précisément dans des lacunes d'oxygène de type E' (cf Chapitre 2) [15].

En effet, certains travaux montrent que les centres E' sont les candidats les plus propices au piégeage de trou et en particulier ceux de type E'_γ [19]. A partir d'une lacune d'oxygène neutre (précurseur), un centre E'_γ peut être créé lorsqu'un

1. Evolution des modèles NBTI

trou est piégé. La particularité de ces centres E'_γ est qu'ils peuvent jouer le rôle de « pièges commutatifs » (switching traps) à savoir qu'une fois qu'ils ont ré-émis un trou (capture d'un électron), la liaison entre les atomes de silicium ne se reforme pas tout à fait et le défaut se retrouve dans un état neutre dans lequel il va pouvoir facilement ré-émettre un électron [20]. Du point de vue énergétique, le précurseur est situé 1eV sous la bande de valence du silicium et une fois le centre E'_γ créé, son énergie se situe alors dans la bande interdite du silicium. Tout cela est résumé Figure 3.8 ou un centre P_b est représenté en comparaison au centre E' .

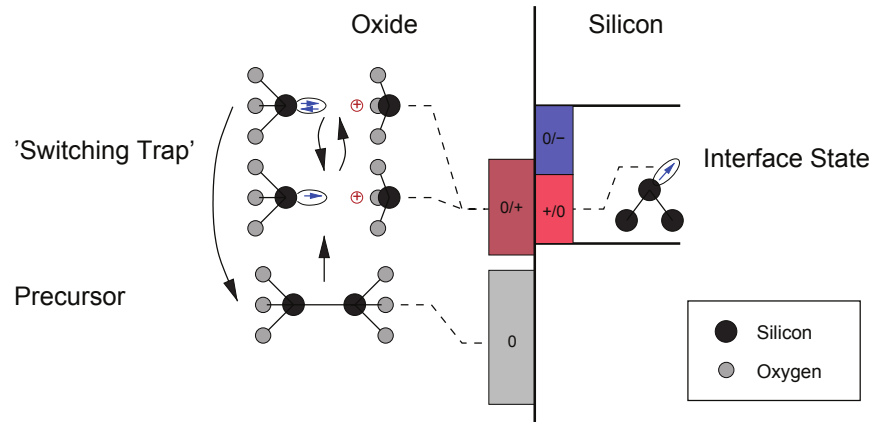


FIGURE 3.8 – Particularité des centres E'_γ : du précurseur au piège commutatif [15]

Une particularité de ce modèle est notamment l'introduction du mécanisme d'effet tunnel MPFAT (« **M**ulti-**P**honon **A**ssisted **T**unneling ») assisté en champ électrique et effectué par émission multiple de phonons pour expliquer le piégeage de trous. En effet, jusqu'à présent, le mécanisme de conduction communément utilisé était de type tunnel élastique, mais expliquait mal les dépendances en température et en champ électrique. A noter que ce mécanisme MPFAT pour modéliser le piégeage de trou est issu d'études sur le bruit RTN [21].

Pour expliquer le processus total d'une dégradation NBTI et de sa relaxation, Grassier procède en deux étapes. Dans un premier temps, sous l'application d'un stress, des trous sont piégés par MPFAT dans des lacunes d'oxygène (précurseurs) proches de l'interface. Dans un second temps, les centres E' ainsi créés vont favoriser la dépassivation d'états d'interface.

En effet, une fois qu'un trou est piégé par le précurseur, l'autre moitié du centre E' correspond à une liaison pendante dépassivée (Figure 3.8). D'un point de vue thermodynamique, les atomes d'hydrogène issus d'états d'interface passivés vont avoir alors tendance à migrer vers ces derniers, « réactivant » ainsi les états d'interface. Le processus en deux étapes est illustré Figure 3.9 :

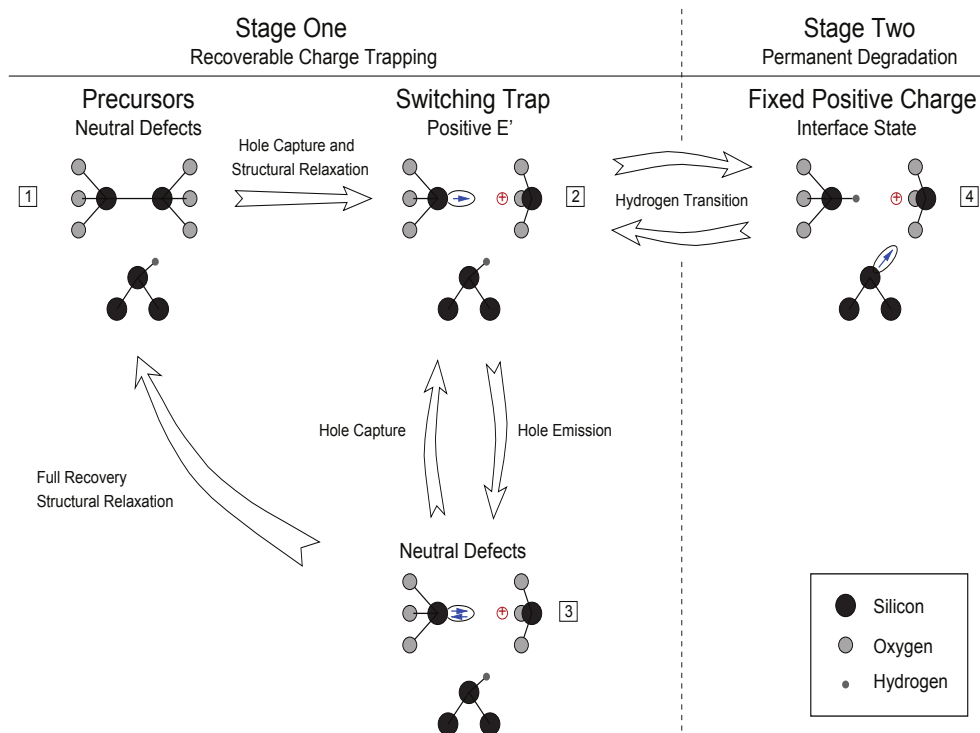


FIGURE 3.9 – Processus de dégradation en deux étapes [15]

1. Evolution des modèles NBTI

Enfin, comme le montre la Figure 3.10, le modèle en deux étapes de Grasser arrive à reproduire fidèlement les phénomènes de dégradation et de relaxation lors d'une contrainte NBTI. On notera que contrairement au modèle de Huard présenté juste après, Grasser ne considère pas une partie permanente liée au états d'interface et une autre partie, elle recouvrable, liée au dépiégeage de trous. Pour lui, les deux composantes sont totalement couplées et seules les constantes de temps vont varier entre ces dernières.

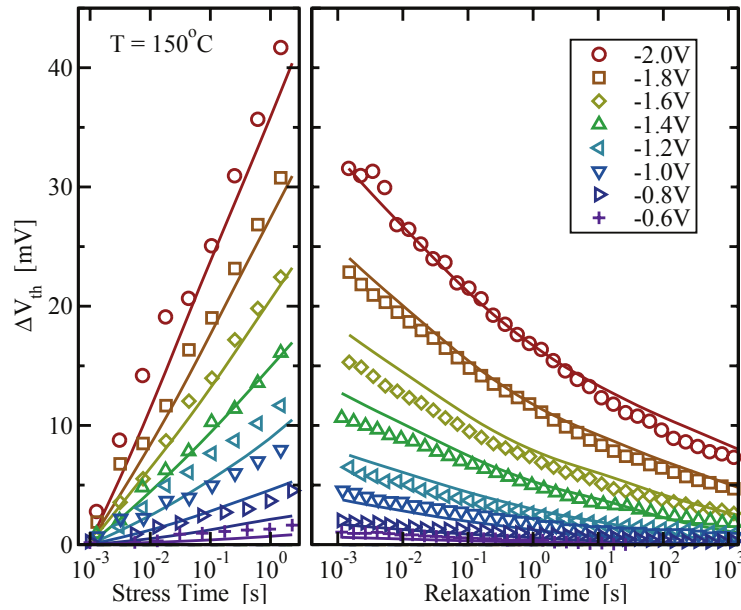


FIGURE 3.10 – Comparaison avec l'expérience du modèle en deux étapes de Grasser [15]

Ce modèle de Grasser est certainement le modèle le plus abouti et a « révolutionné » en quelque sorte la modélisation des dégradations NBTI. En introduisant pour la première fois un mécanisme de piégeage de trous MPFAT dans des centres E' , il a permis d'expliquer notamment les dépendances en champ électrique et en température.

Cependant, ce modèle semble essentiellement valable pour des oxydes de type SiO_2 et prend peu en compte les effets des procédés de fabrication tels que l'incorporation d'azote dans les empilements de grille. Pour prendre en compte les différents effets des procédés de fabrication, il est impératif de considérer d'autres types de précurseurs et d'autres défauts que les centres E' .

1.3 Modèle de Huard

Le modèle de Huard [10] pour expliquer la dégradation NBTI et la relaxation est lui basé sur deux composantes totalement indépendantes : une composante recouvrable D_R , liée au piégeage/dépiégeage de trous, superposée à une composante très peu recouvrable (quasiment permanente) D_P , due à la fois à la génération d'états d'interface et de charges fixes, en proportion équivalente (Figure 3.11).

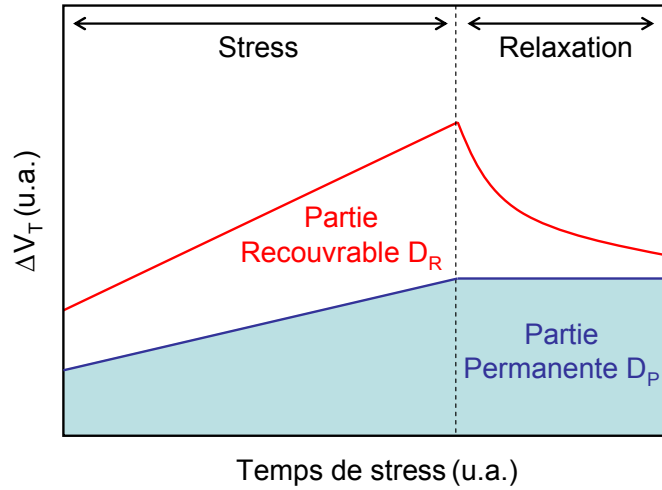


FIGURE 3.11 – Partie permanente et recouvrable d'une dégradation NBTI

Huard part de l'idée que, si les deux composantes sont intimement liées, comme Grasser le prétend, alors les dépendances en température et en champ électrique (en tension de grille) doivent être les mêmes quels que soient les temps de stress/relaxation utilisés. Or, il montre le contraire, pour différents types d'empilement de grille (SiO_2 , SiON , HfSiON) et pour une large gamme d'EOT (1.3 à 6nm).

De plus, pour confirmer le fait que les deux composantes D_P et D_R sont clairement indépendantes, Huard s'appuie sur des études sur les effets des procédés lors de la fabrication et plus précisément les effets de l'hydrogène et de l'azote. En effet, en comparant les effets de recuit en atmosphère composée d'hydrogène H_2 ou de deuterium D_2 (isotope de l'hydrogène mais plus lourd, ce qui implique une dépassivation des liaisons Si-D plus difficile), il montre que seule la partie permanente D_P est sensible à la présence d'hydrogène. Au contraire, il montre que l'azote a un impact uniquement sur la partie recouvrable D_R comme l'illustre la Figure 3.12.

1. Evolution des modèles NBTI

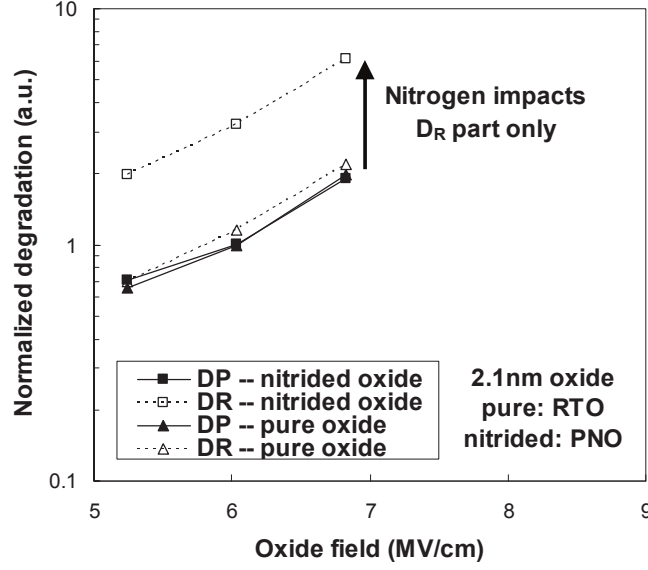


FIGURE 3.12 – Impact de l’incorporation d’azote sur D_P et D_R [10]

Dans la continuité de cette étude des effets d’azote, il montre par des mesures de bruit associées à des profils SIMS (« **S**econdary **I**on **M**ass **S**pectrometry ») permettant de suivre la concentration d’azote dans l’empilement, que les défauts impliqués dans le piégeage de trous (D_R) ne sont pas uniquement des centres E’ mais aussi des pièges associés à des atomes d’azote (nitrogen related centers). Il confirme d’ailleurs expérimentalement le mécanisme de piégeage par MPFAT introduit par Grassier.

Huard montre notamment par des mesures de bruit à basse fréquence LFN (« **L**ow **F**requency **N**oise ») avant et après stress NBTI, que les centres dans lesquels les trous sont piégés sont des défauts présents avant le stress et donc liés aux procédés de fabrication. Ce résultat contredit en partie Grassier qui parle de précurseurs que l’on active lors de la contrainte alors que pour Huard, ces précurseurs sont « déjà activés ».

Enfin, en ce qui concerne la composante permanente D_P , il l’attribue à la dépassivation de liaisons Si-H et au transfert de l’hydrogène vers un site oxygéné. Ce transfert est favorisé au préalable par un piégeage de trous dans ce dernier, induisant ainsi une charge positive [22], ce qui explique la proportion équivalente des états d’interface et des charges positives créés. Ce mécanisme est illustré Figure 3.13.

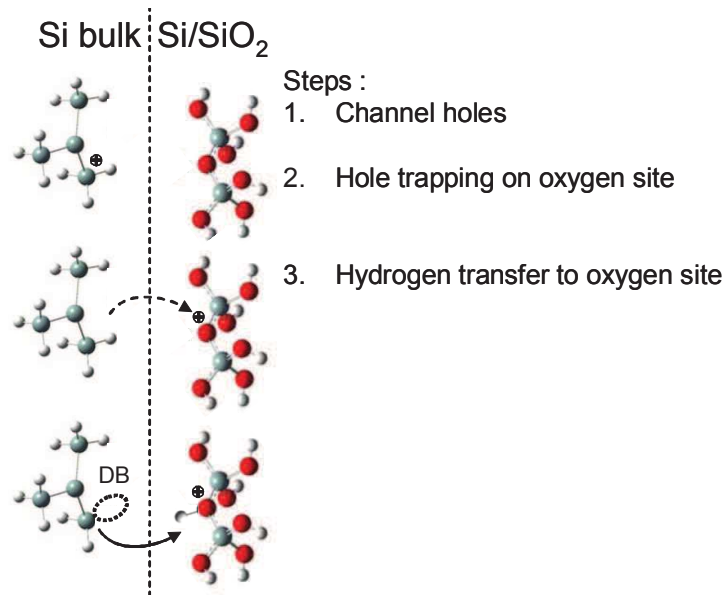


FIGURE 3.13 – Mécanisme de création d'un état d'interface et de la charge fixe positive induite [10]

Enfin, bien que Huard prenne en compte certains effets liés à la fabrication, tels que l'impact de l'hydrogène et de l'azote pour valider son modèle, d'autres effets restent peu étudiés notamment les effets d'aluminium. En effet, afin d'ajuster la tension de seuil des transistors PMOS, l'incorporation d'aluminium dans la grille est couramment utilisée. Or des études ont montré que des atomes d'aluminium pouvaient diffuser jusqu'à la couche interfaciale et dégrader ainsi la mobilité des dispositifs ainsi que les performances en NBTI [23]. Cet impact de l'aluminium n'est qu'un exemple d'effet de procédé de fabrication à inclure dans les modèles de fiabilité. Les technologies à venir étant de plus en plus complexes, les dégradations NBTI ne peuvent pas se résumer qu'à l'impact de l'hydrogène et de l'azote.

2 Problématique de la mesure

Toutes ces études sur les différents modèles de dégradation NBTI ont mis en évidence de nouvelles problématiques liées à la durée de la mesure des paramètres électriques lors d'un stress et plus particulièrement V_T . En effet, comme on vient de voir, des phénomènes de relaxation apparaissent dès que le stress est interrompu (visible dès les premières μs de relaxation [12]) ce qui a pour conséquence de sous-estimer la dégradation et par conséquent d'induire des erreurs sur les durées de vie des dispositifs. A cela vient généralement s'ajouter un temps de commutation incompressible entre le stress et la mesure, dépendant de l'instrumentation. Par conséquent, des techniques de caractérisation ont dû être mises en place pour limiter voire supprimer les phénomènes de relaxation. L'impact de la relaxation sur la mesure est illustré Figure 3.14 où w_T correspond à la durée de la mesure.

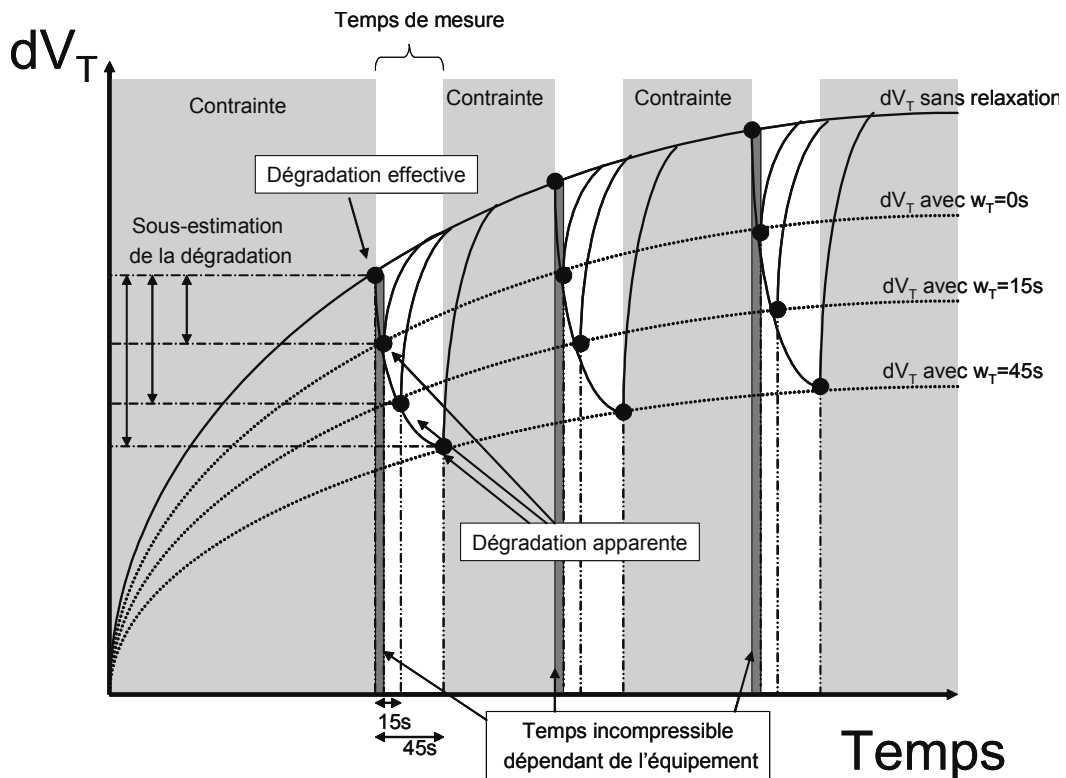


FIGURE 3.14 – Impact de la relaxation sur la mesure [24]

2.1 Technique « On the Fly »

La technique « On the Fly » ou « à la volée » a été développée par Denais et al. [25] dans le but de saisir la dégradation sans relaxation. La principe consiste à appliquer deux pulses de faibles amplitudes $\pm V_{Gpulse}$, typiquement 50mV, autour de la valeur de stress $V_{Gstress}$ pour pouvoir mesurer le pic de transconductance g_m . En effet, en appliquant une faible tension au drain, on peut alors mesurer le courant linéaire I_{Dlin} en trois points : I_D à $V_{Gstress}$ puis I'_D et I''_D à $V_{Gstress} \pm V_{Gpulse}$. Tout cela est illustré Figure 3.15 :

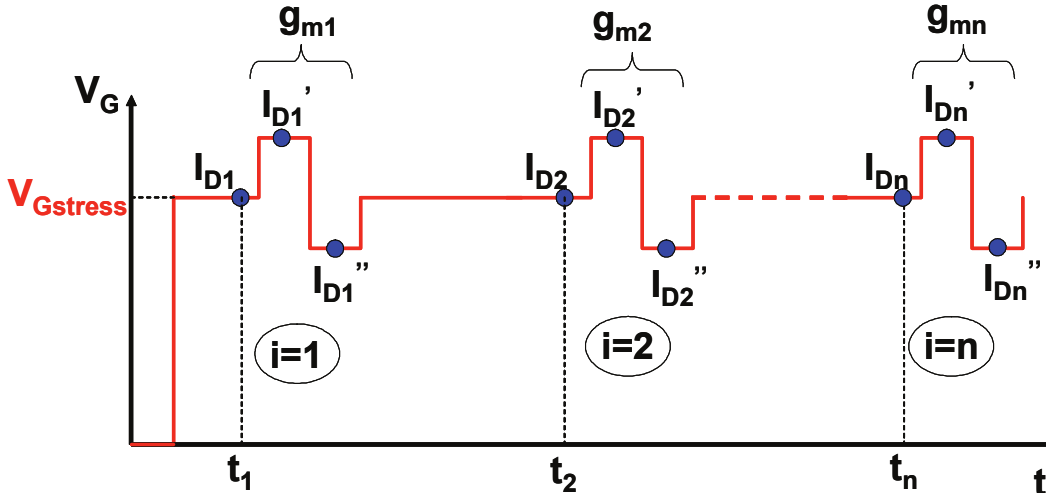


FIGURE 3.15 – Principe de la mesure « On The Fly » [24]

A partir de ces trois courants il est possible alors de donner une approximation de la transconductance à $V_{Gstress}$, en tout point i de l'échantillonnage, soit :

$$g_{m_i} = \frac{\partial I_D}{\partial V_G} \approx \frac{I'_{D_i} - I''_{D_i}}{2 V_{Gpulse}} \quad (3.6)$$

Dans le régime linéaire, l'approximation de la transconductance g_m suivante est réalisée :

$$g_m(t) = \left. \frac{\partial I_{Dlin}}{\partial V_{FG}} \right|_{V_T} \approx \left. \frac{\partial I_{Dlin}}{\partial V_T} \right|_{V_{Gstress}} \quad (3.7)$$

Cela permet d'exprimer ainsi la variation de tension de seuil dV_T sous la forme :

$$dV_T(t) = - \frac{dI_{Dlin}(t, V_{Gstress})}{g_m(t)} \quad (3.8)$$

2. Problématique de la mesure

Enfin, en intégrant cette expression on obtient ainsi $\Delta V_T^n(t)$ à chaque mesure n ($n > 2$) :

$$\Delta V_T^n(t) = - \int_{I_D(t=0)}^{I_D(t)} \frac{dI_{Dlin}(t)}{g_{m_i}(t)} = - \sum_{i=1}^n 2 \frac{I_{D_i} - I_{D_{i-1}}}{g_{m_i} - g_{m_{i-1}}} \quad (3.9)$$

Cette méthode est aujourd'hui couramment utilisée et différentes variantes en ont découlé [26, 27]. Cependant, elle reste limitée notamment du fait que l'on vient estimer ΔV_T à $V_{Gstress}$. En effet, l'expression 3.7 sous-entend que la transconductance g_m varie peu avec V_G , en particulier entre $V_{Gstress}$ et V_T , ce qui n'est pas en accord avec l'expression de g_m donnée équation 1.40 page 28. De plus, les études de relaxation avec cette technique ne sont possibles que quelques millisecondes après la phase de stress.

2.2 Technique de Kaczer

Pour éviter de faire une mesure de tension de seuil par une mesure de courant autour de $V_{Gstress}$, Kaczer a proposé une autre méthode basée sur une mesure de courant de drain à une tension V_T' arbitraire proche de la tension de seuil V_T . En effet, à partir d'une caractéristique $I_D(V_G)$ initiale et en mesurant la variation de courant ΔI_D^n à $V_G = V_T'$ induite pendant le stress, on peut remonter facilement à la variation de tension induite ΔV_T^n , comme indiqué à la Figure 3.16 :

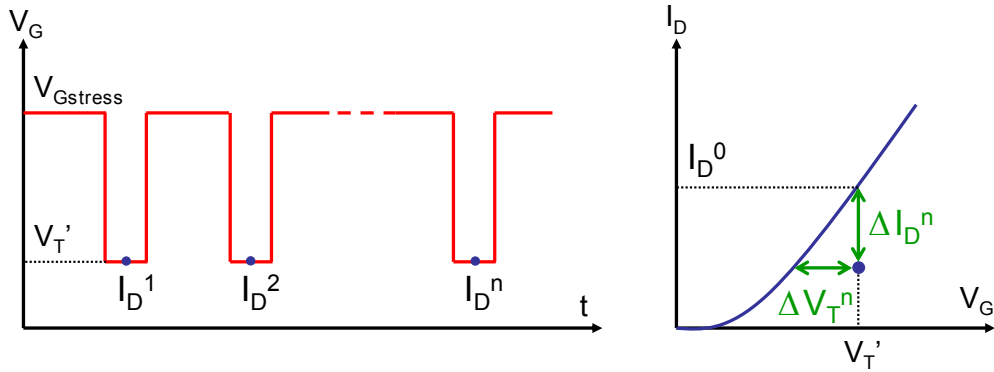


FIGURE 3.16 – Principe de la méthode de Kaczer

Cette méthode est cependant sujette à des phénomènes de relaxation lors de la mesure de courant autour de V_T en quelques millisecondes. De plus, tout comme la méthode « On The Fly », les études de relaxation avec cette technique ne sont possibles que quelques millisecondes après stress.

2.3 Mesures pulsées

Toujours dans la recherche d'une meilleure précision, de nouveaux équipements permettent aujourd'hui des mesures de courant ultra-rapides en quelques centaines de nanosecondes. Ainsi, par des méthodes pulsées, il est possible de mesurer des caractéristiques $I_D(V_G)$ pulsées en quelques microsecondes comme l'illustre la Figure 3.17. Ces équipements, agissant comme des générateurs de pulses, permettent notamment d'appliquer des stress très courts dès 300ns ainsi que des stress longs supérieurs à 1000s.

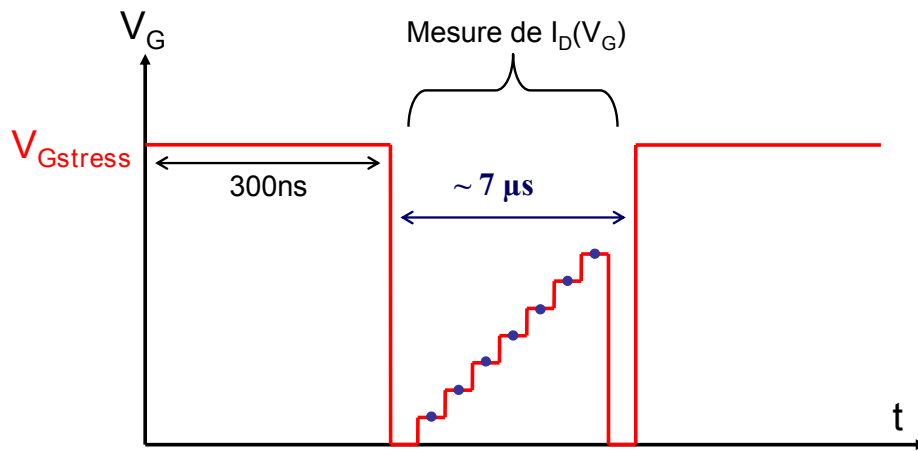


FIGURE 3.17 – Illustration des mesures ultra-rapides

Cette méthode permet donc de mesurer sans approximation la tension de seuil directement sur une caractéristique $I_D(V_G)$ tout en s'abstenant des éventuels problèmes de relaxation. De plus, le fait de pouvoir appliquer des pulses très courts va permettre l'étude de la dégradation sur une dizaine de décades de temps et de la relaxation dès la centaine de nanosecondes contrairement à la méthode « On The Fly » et à la méthode de Kaczer.

Elle va permettre notamment d'étudier les phénomènes d'instabilité de tension de seuil sur transistor NMOS liés au piégeage rapide d'électrons dans les diélectriques High- κ et qui peuvent avoir un impact conséquent sur les performances en PBTI. Des exemples seront présentés plus tard dans ce chapitre.

3. Impact de l'azote sur les performances en NBTI

3 Impact de l'azote sur les performances en NBTI

Un des challenges de l'intégration de technologies High- κ est d'atteindre de hautes performances (bon ratio I_{on} - I_{off}) tout en maintenant une bonne fiabilité des dispositifs. Dans ce cadre, on va s'intéresser plus précisément aux effets de l'azote sur les performances en NBTI des transistors PMOS pour les technologies High- κ /grille métallique. En effet, les dégradations NBTI ont pris de l'importance lorsqu'on a commencé à incorporer de l'azote dans la grille pour limiter les fuites de grille et la diffusion d'atomes de Boron. Cette incorporation est reconnue pour dégrader les performances en NBTI pour les technologies SiON et il est donc important de le vérifier pour les technologies High- κ /grille métallique où de l'azote peut être présent dans l'oxyde de grille et dans la grille. Ces travaux sont largement détaillées dans [28, 29].

Cette étude a été réalisée sur une large gamme d'empilements High- κ /grille métallique qui est résumée Figure 3.18. Les transistors ont été fabriqués sur des plaques 300mm (silicium massif) avec un procédé CMOS classique. On peut voir que sur certains empilements une couche de TiN a été rajoutée au dessus de la grille (capping), ce dans le but d'ajuster la tension de seuil V_T .

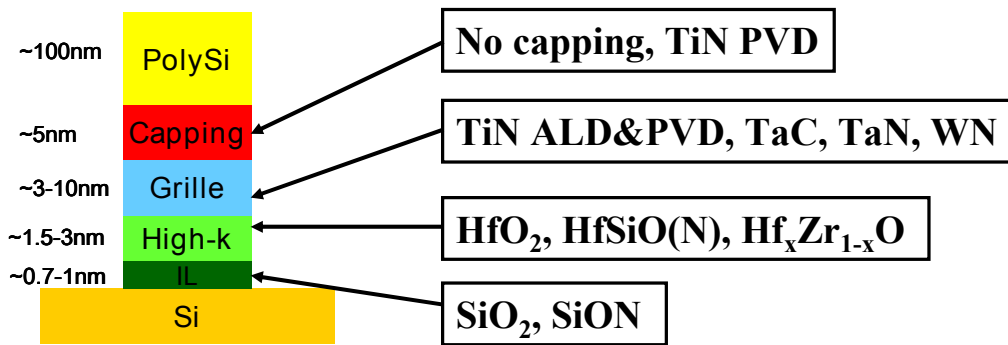


FIGURE 3.18 – Description des différents empilements testés

La méthode de Kaczer présentée précédemment a été utilisée pour suivre les dégradations NBTI.

3.1 Effets de l'incorporation d'azote dans l'oxyde de grille

Des mesures de pompage de charge ont été réalisées sur des empilements de grille avec différentes concentrations d'azote et sont présentées Figure 3.19. On se

rend compte que, dès lors que de l'azote est incorporé dans le diélectrique High- κ , la densité d'état d'interface augmente. Ce phénomène est exacerbé lorsque l'azote est directement incorporé dans la couche interfaciale.

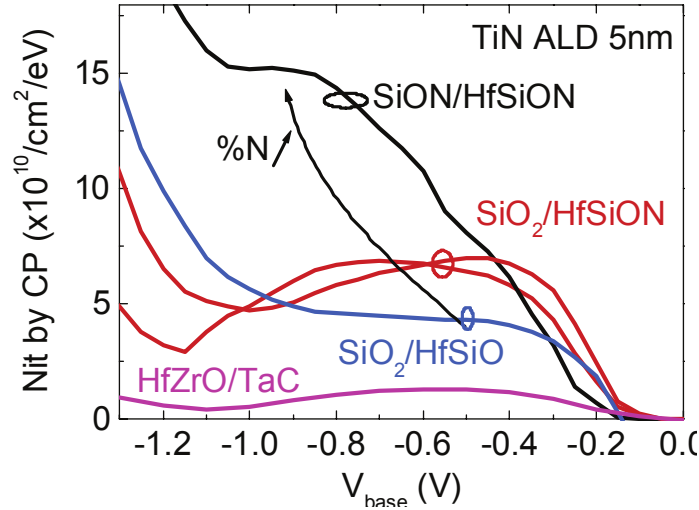


FIGURE 3.19 – Impact de l'azote dans l'oxyde sur la densité d'états d'interface

De plus, si on regarde les performances en NBTI sur les transistors PMOS Figure 3.20 qui sont très dépendantes de la qualité de l'interface Si/SiO₂, on retrouve les mêmes tendances. On a bien les plus mauvaises performances en NBTI pour l'empilement SiON/HfSiON.

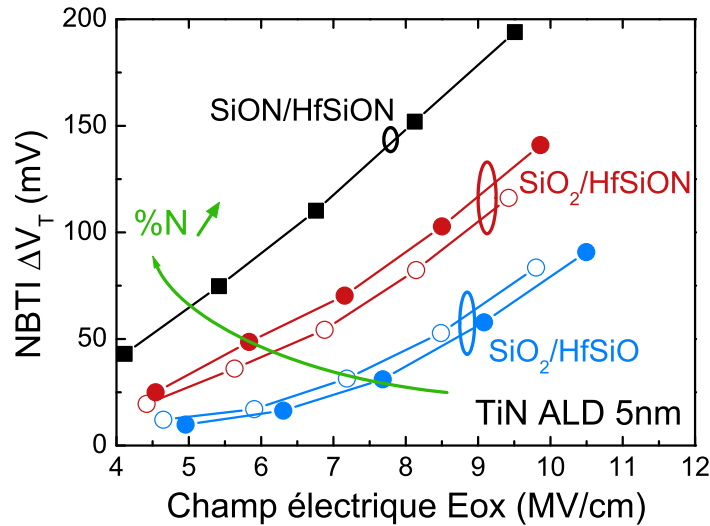


FIGURE 3.20 – Impact de l'azote dans l'oxyde sur les dégradations NBTI

3. Impact de l'azote sur les performances en NBTI

Ces résultats bien connus sont similaires à ceux des technologies SiON. Ils s'expliquent par une diffusion de l'azote vers la couche interfaciale qui vient fragiliser cette dernière en y créant des défauts de type centre P_b , centre E' ou encore des défauts liés à des liaisons SiN.

Cependant, sur les technologies High- κ /grille métallique, l'azote a aussi un effet néfaste sur la mobilité des porteurs, à la fois sur des transistors NMOS et PMOS. Ce phénomène est illustré Figure 3.21 sur les mêmes empilements que précédemment.

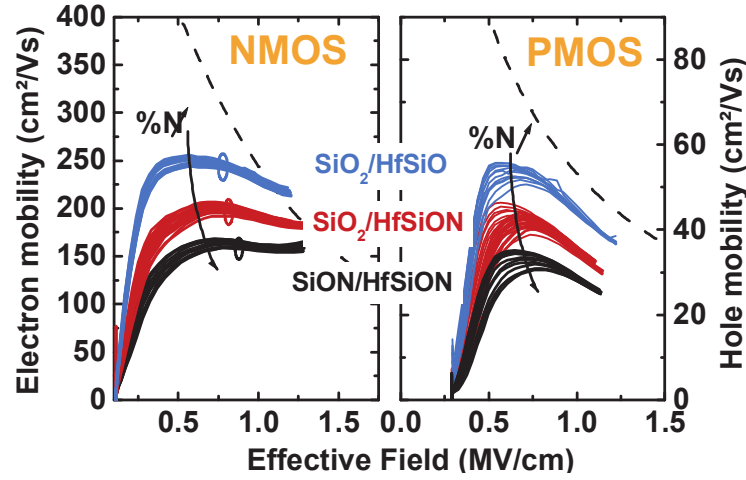


FIGURE 3.21 – Impact de l'azote dans l'oxyde sur la mobilité

Ce résultat important montre que la diffusion d'azote dans l'empilement serait une des cause principales de la dégradation de mobilité sur les technologies High- κ /grille métallique à faible et à fort champ électrique transverse. Physiquement, cela peut s'expliquer par une plus grande interaction coulombienne entre les porteurs du canal et des défauts induits par la diffusion d'azote [30]. Cette chute de mobilité va affecter directement les performances I_{on}/I_{off} des transistors.

3.2 Effets de l'incorporation d'azote dans la grille

On a étudié jusqu'à présent différents empilements en faisant varier la concentration d'azote dans le diélectrique High- κ ou dans la couche interfaciale. Il est intéressant à présent de vérifier si l'on observe les mêmes effets lorsque l'on vient mettre de l'azote dans la grille.

La Figure 3.22 présente les dégradations NBTI pour différents types de grille. On rappelle que les sigles PVD, MOCVD et ALD correspondent à la technique de dépôt de la grille :

- PVD : dépôt physique en phase vapeur (« **P**hysical **V**apor **D**eposition »)
- MOCVD : dépôt chimique en phase vapeur (« **M**etal**O**rganic **C**hemical **V**apour **D**eposition »)
- ALD : épitaxie par cycle, en phase vapeur (« **A**tom**i**c **L**ayer **D**eposition »)

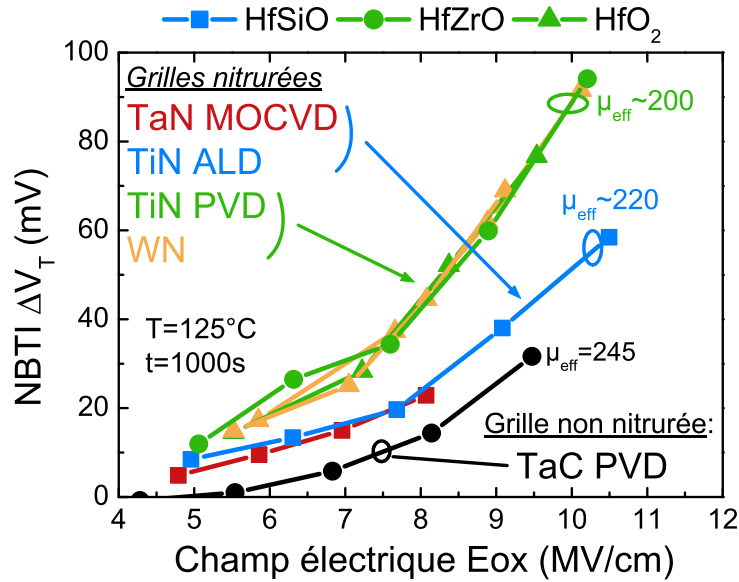


FIGURE 3.22 – Impact de l’azote dans la grille sur le NBTI

Les meilleures performances sont obtenues encore une fois pour des grilles non nitrurées de type TaC PVD. En ce qui concerne les grilles nitrurées en nitrure de titane TiN ou de tungstène WN, on remarquera l’effet du type de dépôt. En effet, les plus mauvais résultats sont obtenus lorsque des dépôts PVD sont utilisés.

De plus, les mobilités effectives des électrons à $E_{ox}=1\text{MV/vm}$ ont été rajoutées sur cette figure pour montrer la corrélation entre les dégradations NBTI et la mobilité. En effet, plus la dégradation est grande, plus la mobilité est faible.

Afin d’étudier cette corrélation, on a tracé Figure 3.23 pour tous les empilements présentés jusqu’à présent, la variation de tension de seuil après 1000s de stress à $E_{ox}=8\text{MV/cm}$ en fonction de la mobilité effective des électrons à $E_{ox}=1\text{MV/cm}$ (utilisation courante). On observe clairement une forte corrélation entre NBTI et la mobilité, le meilleur compromis étant obtenu avec des empilement HfZrO/TaC totalement non nitrurés. Bien que les silicates HfSiON nitrurés par plasma induisent des dégradations plus importantes que les autres diélectriques, les dégradations de la mobilité pour les différentes technologies High- κ /grille métallique s’expliquent

3. Impact de l'azote sur les performances en NBTI

principalement par l'azote présent dans la grille plutôt que dans le diélectrique.

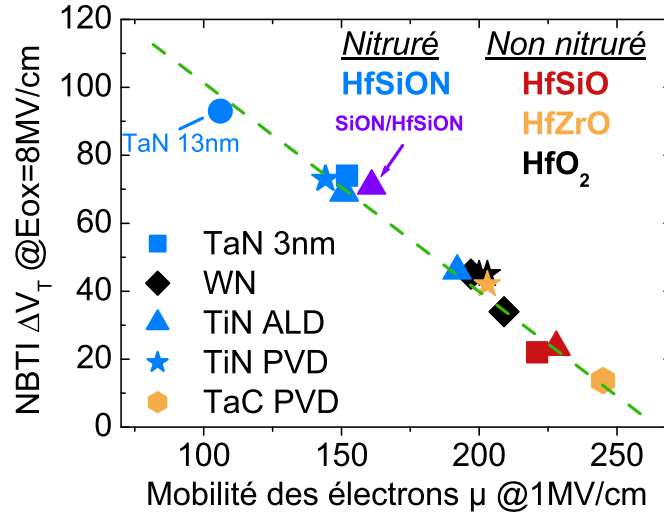


FIGURE 3.23 – Corrélation entre la mobilité et les performances en NBTI

Ces résultats ont été confirmés par des mesures EELS (« **E**lectron **E**nergy **L**oss Spectroscopy ») permettant d'étudier la composition de l'empilement.

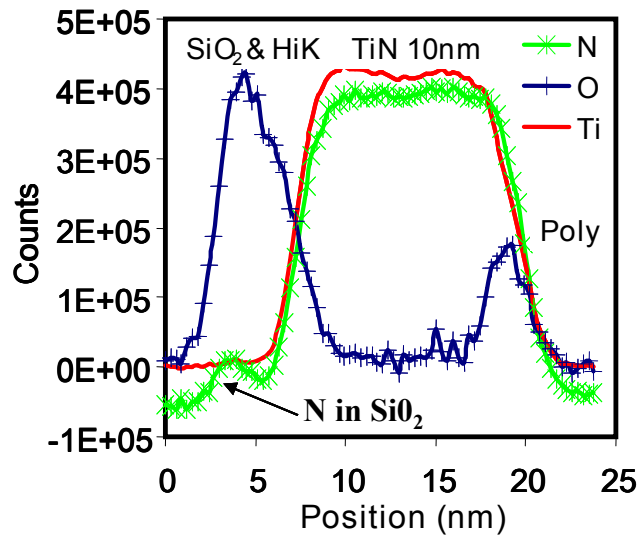


FIGURE 3.24 – Mesures EELS sur un empilement High- κ / grille nitrurée TiN

En effet, lorsqu'on regarde le signal d'azote, on voit apparaître un pic au niveau de l'oxyde interfacial SiO₂, ce qui va bien dans le sens d'une diffusion depuis la grille TiN d'épaisseur 10nm.

3.3 Effets d'épaisseur de la grille

Enfin, après avoir démontré que les dégradations en NBTI et en mobilité étaient très sensibles à la concentration d'azote dans la grille, on peut voir qu'il est possible de limiter ces effets en réduisant l'épaisseur de la grille.

Comme le montre la Figure 3.25, plus la grille nitrurée TiN est mince, moins fortes sont les dégradations des performances en NBTI et de la mobilité. En effet, une grille de faible épaisseur possèdera une concentration plus faible en azote qu'une grille épaisse.

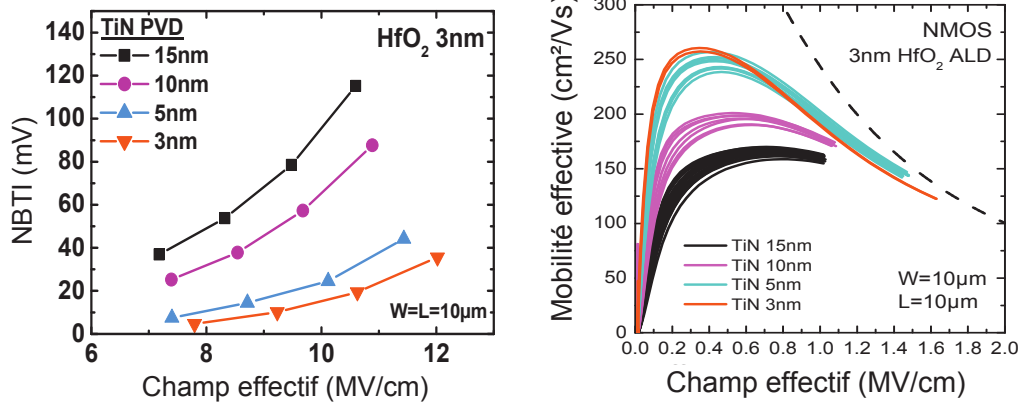


FIGURE 3.25 – Effets de l'épaisseur de la grille TiN sur les dégradations NBTI et sur la mobilité

3.4 Influence d'un capping

Comme on l'a dit précédemment dans la présentation des dispositifs, un capping TiN peut être ajouté au dessus de la grille pour ajuster la tension de seuil. On se retrouve alors avec une nouvelle source d'azote qui peut potentiellement diffuser dans l'empilement. La Figure 3.26 présente des mesures de pompage de charge sur des dispositifs HfO₂/TaN avec ou sans capping TiN. Une étude du recuit d'activation à haute température (recuit à 1050°C pendant quelques secondes) est notamment présentée sur cette figure pour essayer de comprendre si ce dernier est responsable de la diffusion des espèces nitrurées. Pour cela, le capping a été retiré avant le recuit d'activation sur certains dispositifs en comparaison.

3. Impact de l'azote sur les performances en NBTI

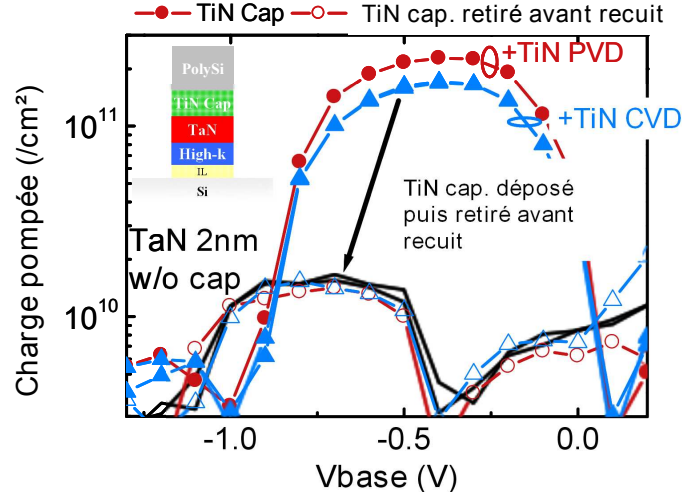


FIGURE 3.26 – Pompage de charge sur des empilements $\text{HfO}_2/\text{TaN}(/ \text{TiN})$

On observe une plus grande densité de défauts dès lors qu'un capping TiN est ajouté sur la grille TaN, ce qui va dans le sens de ce qui a été montré jusqu'à présent. De plus, cette figure montre clairement que la diffusion d'azote à travers l'empilement a lieu lors du recuit à haute température. En effet, lorsque le capping est retiré avant le recuit, la densité de piège est équivalente à un dispositif sans capping. Pour étudier plus précisément la nature des pièges liés à la diffusion d'azote vers l'interface SiO_2 , la méthode de la conductance présentée au Chapitre 2 a été appliquée sur un empilement HfSiO/TaN avec un capping TiN. Les résultats sont présentés Figure 3.27 :

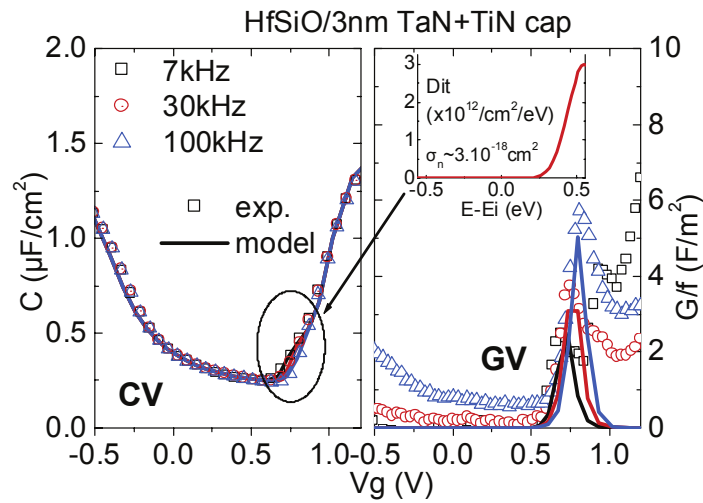


FIGURE 3.27 – Réponse électrique des pièges liés à la diffusion d'azote [28]

On observe clairement une réponse fréquentielle des pièges. Cependant, contrairement aux centres P_b amphotères qui sont répartis symétriquement dans le gap du silicium, les pièges liés à la diffusion d'azote ne semblent qu'être distribués dans la partie supérieure de la bande interdite du silicium [31]. Cette différence de distribution est illustrée Figure 3.28 où la distribution classique des centre P_b a été rajoutée en comparaison (pointillés).

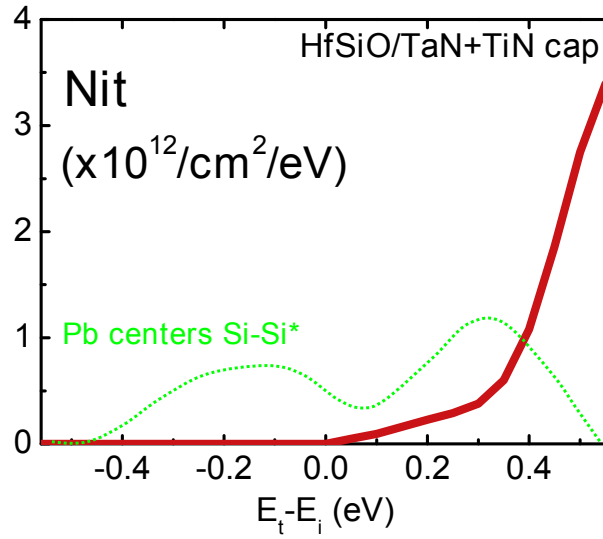


FIGURE 3.28 – Distribution dans le gap du silicium pour des centres P_b et pour les défauts liés à l'azote

3.5 Bilan des effets d'azote

Pour conclure, on a montré que l'azote avait un effet néfaste sur les performances en NBTI mais surtout sur la mobilité lorsqu'il diffuse jusqu'à l'interface Si/SiO₂. Si les silicates nitrurés de type HfSiON apparaissent plus dégradants que d'autres diélectriques High- κ , on a vu que les dégradations étaient essentiellement liées à la diffusion d'azote depuis la grille nitrurée lors du recuit d'activation. On a aussi montré que les défauts créés à l'interface étaient différents des centres P_b avec une répartition énergétique uniquement dans la partie supérieure du gap du silicium. Enfin, si les meilleures performances ont été obtenues avec des grilles TaC non nitrurées, il est possible de limiter la diffusion d'azote en diminuant l'épaisseur de grille nitrurées.

3. Impact de l'azote sur les performances en NBTI

Tous ces effets d'azote sont récapitulés Figure 3.29 :

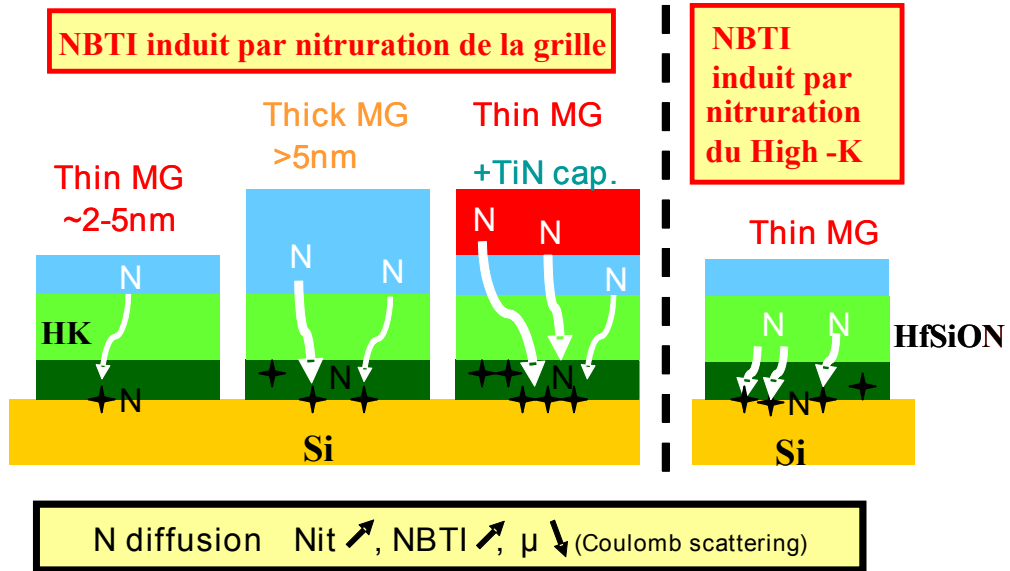


FIGURE 3.29 – Récapitulatif des effets de la diffusion d'azote

4 Etude du piégeage lors de contraintes PBTI

On a parlé essentiellement jusqu'à présent des dégradations NBTI considérées comme plus critiques que le PBTI sur les nouvelles générations de transistors. En effet, la génération d'états d'interface pendant un stress PBTI est moindre, la rupture des liaisons Si-H étant beaucoup moins assistée par des électrons que par des trous.

Cependant, des phénomènes de piégeage rapide d'électrons dans l'oxyde de grille lors de contraintes PBTI sont apparus avec l'intégration de diélectriques High- κ et plus particulièrement avec du HfO_2 . Comme seules des mesures ultra-rapides peuvent permettre l'étude des mécanismes mis en jeu [32, 33], peu de résultats ont été présentés jusqu'à présent. Il est donc primordial de vérifier ces instabilités sur des empilements récents qui sont majoritairement composés de diélectriques de type HfSiON . On vérifiera de plus l'impact de l'incorporation de lanthane dans l'empilement. En effet, des études montrent que le lanthane permet d'améliorer les performances en PBTI [34, 35, 36, 37] en venant passiver les lacunes d'oxygène [38] présentes dans le diélectrique High- κ .

Cette étude a été réalisée sur des plaques 300mm provenant de STMicroelectronics avec une technologie 32nm sur silicium massif. L'empilement de grille est composé d'un diélectrique High- κ de type HfSiON et d'une grille métallique en TiN . De plus, du lanthane a été incorporé au niveau du diélectrique High- κ afin d'ajuster la valeur de tension de seuil V_T [39, 40]. Enfin l'EOT mesurée est de 1.08nm et la tension de seuil obtenue autour de 0.35V.

4.1 Vérification du piégeage rapide

Les dégradations PBTI peuvent être décomposées en une partie réversible D_{rev} liée au piégeage rapide d'électrons dans des défauts préexistants et une partie D_{str} liée au piégeage dans les défauts induits pendant le stress. Il est important de noter ici que contrairement aux phénomènes de NBTI, on ne parle pas ici de composante permanente. On montrera d'ailleurs dans cette étude qu'une relaxation est possible.

Il est donc important de vérifier si un piégeage rapide d'électrons dans les défauts préexistants de la couche High- κ [41] serait à l'origine de la composante D_{rev} . Cela est possible en comparant les mesures dynamiques (ultra-rapides) aux mesures statiques (classiques). En effet, s'il y a piégeage rapide d'électrons, ce dernier a lieu pour des temps inférieurs à 1ms, c'est-à-dire typiquement la durée d'un seul point de mesure avec un équipement classique. En l'occurrence, les résultats présentés Fi-

4. Etude du piégeage lors de contraintes PBTI

Figure 3.30 montrent bien qu'aucune différence significative n'est observable entre les caractéristiques statique et dynamique et donc que $D_{rev} = 0$, ce qui prouve la bonne qualité de l'oxyde. Par conséquent la dégradation PBTI sur ce type d'empilement ne va dépendre que de la composante D_{str} .

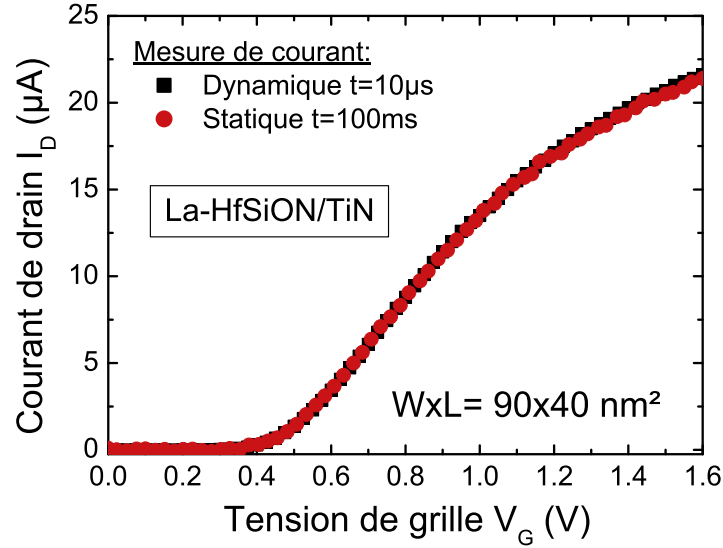


FIGURE 3.30 – Comparaison des mesures de courant dynamiques et statiques

4.2 Etude de la dégradation D_{str}

Grâce aux mesures ultra rapides (on parlera de « fast PBTI ») présentées Figure 3.17, on a pu suivre les dégradations PBTI sur 10 décades de temps, de la centaine de nanosecondes au millier de secondes. Les résultats de la Figure 3.31 montrent clairement une loi en puissance qui confirme le fait que la dégradation est due à un piégeage dans des défauts induits pendant le stress et non des défauts préexistants liés aux procédés de fabrication.

Une comparaison avec la méthode de Kaczer a été notamment réalisée et montre que cette dernière a tendance à sous estimer le décalage de tension de seuil induit pendant le stress. Cependant, cette différence reste faible et ne vient pas influencer les extrapolations de durée de vie des dispositifs à 10 ans (critère $\Delta V_T = 50mV$), comme le montre la Figure 3.32. En effet, les deux types de méthode convergent vers la même durée de vie qui dépasse largement les dix ans. Ce résultat laisse penser que les méthodes conventionnelles sont suffisantes pour les études PBTI sur ces empilements où le diélectrique High- κ est de bonne qualité.

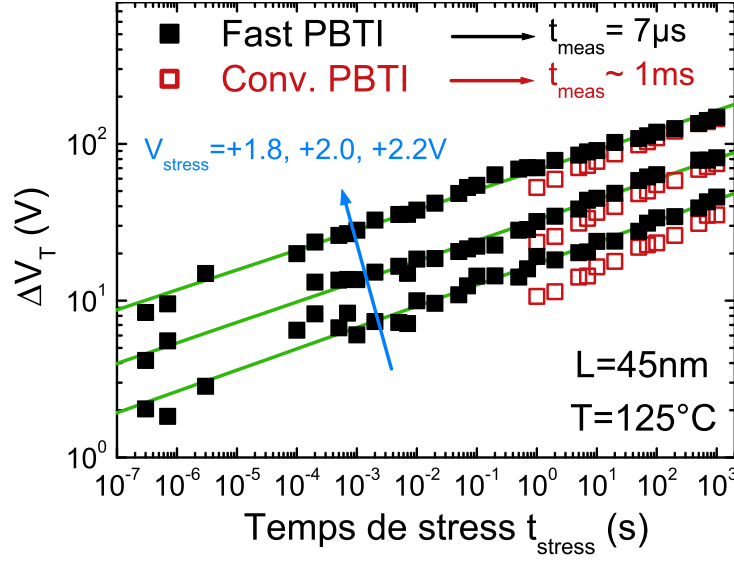


FIGURE 3.31 – Décalage en tension de seuil ΔV_T en fonction du temps de stress pour des techniques rapides ou conventionnelles

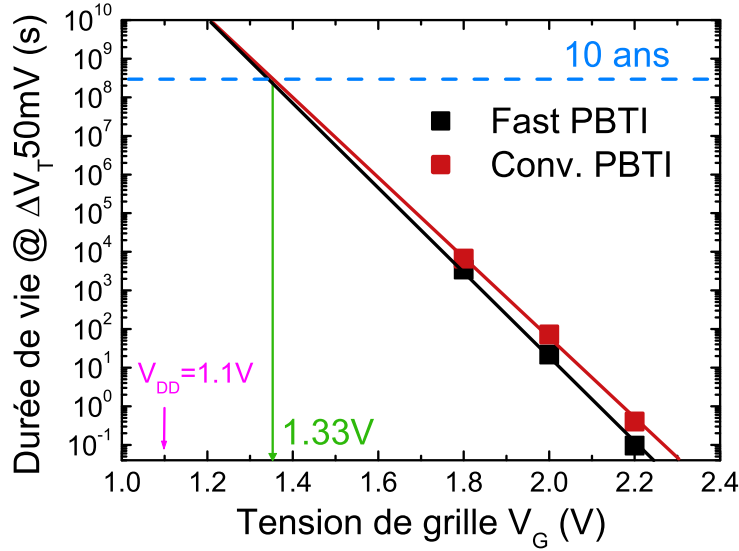


FIGURE 3.32 – Durées de vie PBTI pour des techniques rapides ou conventionnelles

4. Etude du piégeage lors de contraintes PBTI

De plus, une étude de l'activation en température des dégradations PBTI pour de longs temps de stress ($t_{stress} = 500s$) a été réalisée afin de déterminer le mécanisme de piégeage dans les défauts induits pendant le stress. On rappelle que :

$$\Delta V_T \propto \exp\left(-\frac{E_a}{k T}\right) \quad (3.10)$$

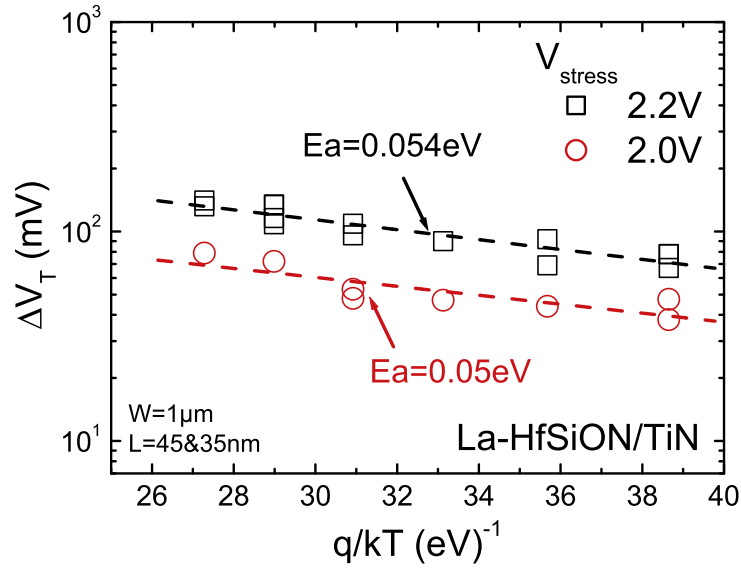


FIGURE 3.33 – Energies d'activation des dégradations PBTI

Comme on peut le voir Figure 3.33, on obtient de faibles valeurs d'énergies d'activations autour de 50 meV. Cependant, on travaille avec des dispositifs larges et on a donc un grand nombre de pièges avec des constantes de temps de capture distribuées. Cela peut expliquer pourquoi ces valeurs sont faibles par rapport à celles obtenues par Grassier. Ce dernier considère en effet que le piégeage d'électrons lors des dégradations PBTI s'explique aussi par les mécanismes MPFAT mis en jeu lors de contrainte NBTI [12, 42].

En mesurant les fuites de grille J_G et de substrat J_B (courant normalisé en surface) pendant le stress, il est possible d'obtenir des indications sur le niveau énergétique des pièges créés dans l'oxyde. En effet, selon leur position énergétique E_T , on va pouvoir observer une augmentation des fuites de grille ou de substrat. Les deux cas sont schématisés Figure 3.34 : dans un premier cas on observera les pièges créés au niveau des fuites de grille alors que dans le second cette génération se verra par le biais des fuites de substrat.

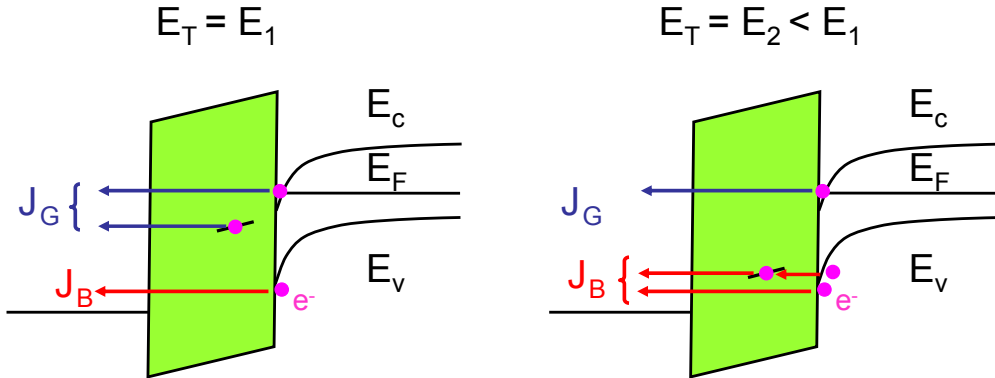


FIGURE 3.34 – Schématisation des courants de grille et de substrat selon la position énergétique du piège

Les résultats expérimentaux pour une tension de stress $V_{Gstress} = +2V$ présentés Figure 3.35 montrent clairement une augmentation des fuites de grille tandis que les fuites de substrat ne varient pas du tout pendant le stress, ce qui correspond au premier cas de la Figure 3.34. Dans ce cas, les pièges mis en jeu lors du piégeage sont donc des pièges très peu profonds avec $E_T > E_V$. Ces résultats sont en accord avec ceux observés par Sato et al. [43] et montrent que les électrons piégés proviennent essentiellement de la bande de conduction du silicium.

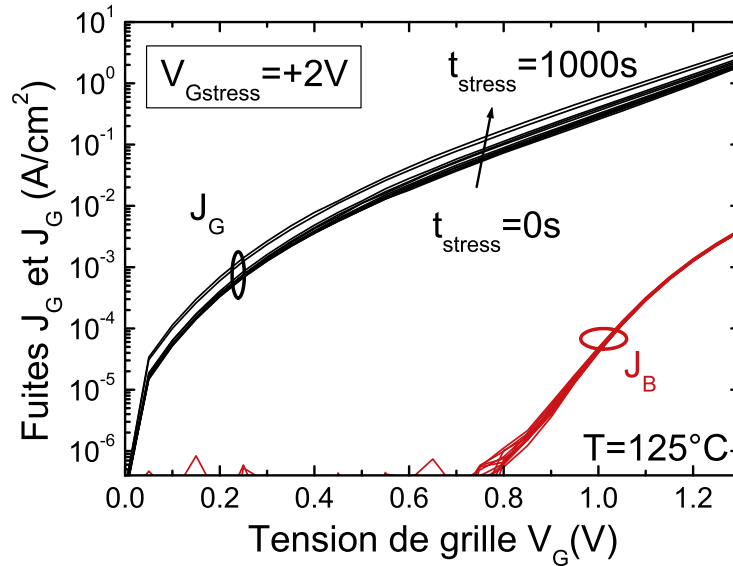


FIGURE 3.35 – Fuites de grille et de substrat lors d'un stress PBTI. $V_{Gstress} = +2V$

4. Etude du piégeage lors de contraintes PBTI

4.3 Etude des relaxations

On a aussi étudié les phénomènes de relaxation lorsque le stress PBTI est interrompu et montré que ces derniers sont très dépendants de la tension de relaxation V_{relax} , tout comme pour le NBTI. Pour cela, on a appliqué aux dispositifs une phase de stress à $V_{Gstress} = +2V$ pendant 1000s, suivie d'une phase de relaxation pour différentes valeurs de V_{relax} ($-1.2 < V_{relax} < 0$). On a vérifié au préalable que ces tensions de relaxation négatives ne venaient pas dégrader le dispositif (NBTI sur transistors NMOS) en induisant une charge positive.

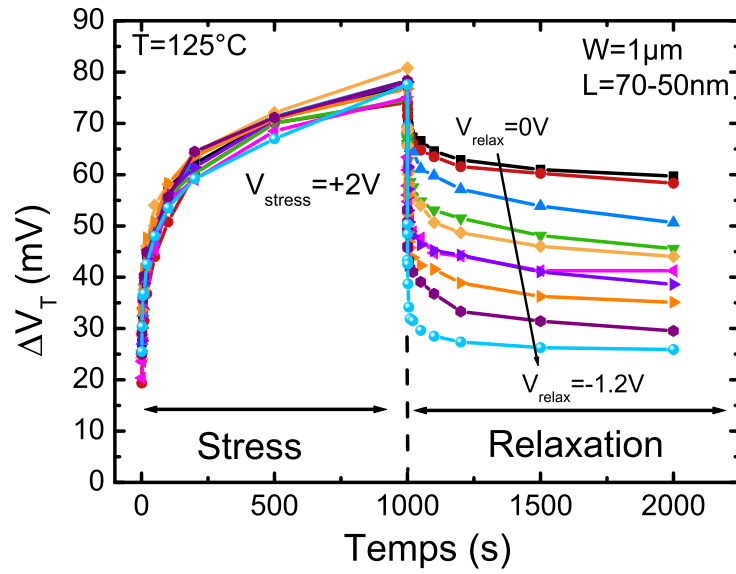
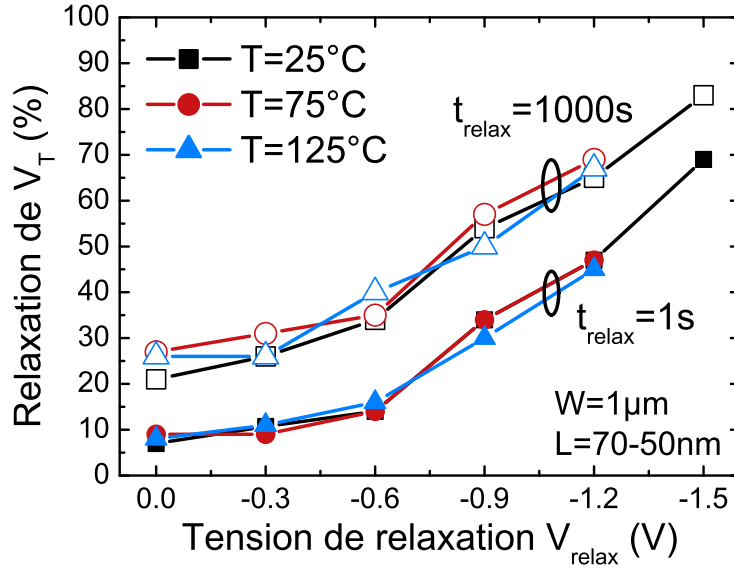


FIGURE 3.36 – Dépendance en V_{relax} de la relaxation

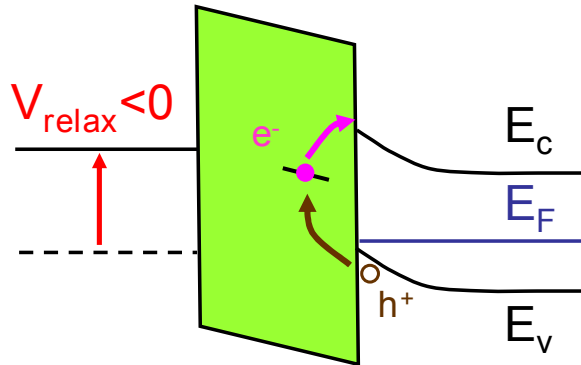
Les résultats présentés Figure 3.36 montrent qu'à $V_{relax} = 0V$, la relaxation est faible. Il est cependant primordial de la considérer pour affiner les extrapolations de durées de vie à 10 ans. On voit de plus qu'il est possible de « réparer » la totalité de la dégradation en appliquant une tension de relaxation V_{relax} suffisamment négative.

On a de plus montré Figure 3.37 que la relaxation était indépendante de la température pour cette même gamme de tension de relaxation V_{relax} . On rappelle que la relaxation r est calculée par rapport au décalage de tension de seuil induit au dernier temps de stress ici $\Delta V_T(t_{stress} = 1000s)$ et exprimée en % :

$$r = 1 - \frac{\Delta V_T^{relax}(t_{relax})}{\Delta V_T^{stress}(t_{stress} = 1000s)} \quad (3.11)$$


 FIGURE 3.37 – Dépendance en V_{relax} de la relaxation

Ces résultats montrent bien que lorsque $|V_{relax}|$ est suffisamment grand pour que le transistor soit dans le régime d'accumulation, les trous du canal vont assister la recombinaison dans les pièges comme illustré Figure 3.38 :


 FIGURE 3.38 – Dépiégeage d'un électron selon la valeur de V_{relax}

4.4 Influence du lanthane

On va s'intéresser à présent à l'impact du lanthane sur les performances en PBTI. Pour cela il faut déjà prendre en compte les effets sur la tension de seuil. En effet, comme le montre la Figure 3.39 lorsque du lanthane est incorporé dans un empilement, on observe une augmentation de la tension de seuil lorsque les dimensions diminuent, que certains attribuent à une rétrodiffusion du lanthane dans les isolations latérales [44].

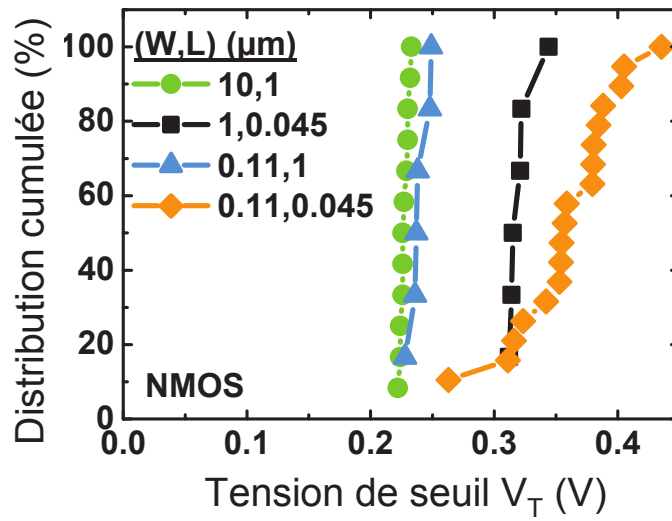


FIGURE 3.39 – Distribution cumulée des tensions de seuil pour différentes géométries

Les mécanismes de dégradation PBTI peuvent alors varier selon la dimension du dispositif. C'est pour cela qu'il est préférable de tracer la dégradation en fonction du champ électrique ($Eox \propto V_{Gstress} - V_T$) dans l'oxyde plutôt qu'en fonction de la tension de stress.

Les résultats présentés Figure 3.40 montrent clairement une « universalité » de la dégradation en fonction du champ électrique dans l'oxyde pour des transistors de différentes géométries. Cela signifie que si le lanthane a bien un effet sur la tension de seuil lorsque les dimensions des dispositifs diminuent, cet effet n'a aucun impact sur les mécanismes de dégradation PBTI qui sont contrôlés essentiellement par le champ électrique dans l'oxyde.

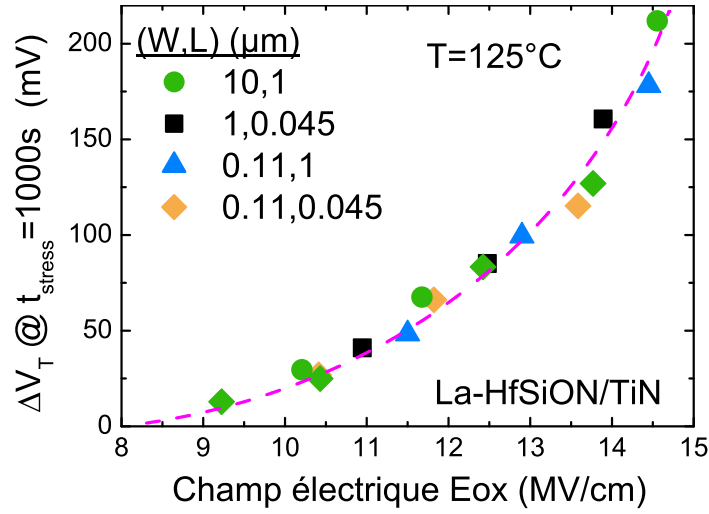


FIGURE 3.40 – Universalité de la dégradation PBTI pour différentes géométries

Enfin, on a étudié Figure 3.41 la dégradation PBTI pour deux différentes concentrations de lanthane dans l'empilement. Des références sans lanthane ont été notamment tracées en comparaison.

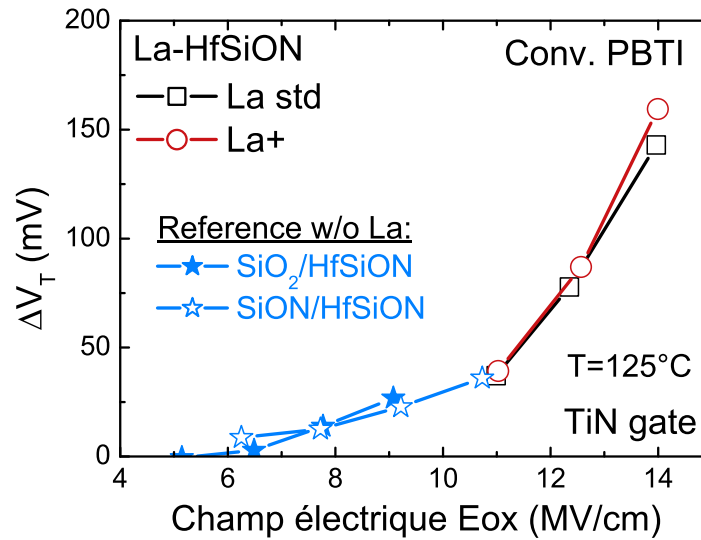


FIGURE 3.41 – Impact de la concentration de lanthane sur la dégradation

4. Etude du piégeage lors de contraintes PBTI

Comme on peut le voir, aucune différence notable n'est observable et la présence du lanthane semble n'avoir aucun effet sur la dégradation. Ces résultats montrent bien que les effets bénéfiques du lanthane cités dans la littérature [38, 43] sont quelque peu exagérés. De plus, le fait que la dégradation soit indépendante de la concentration de lanthane suggère une passivation des lacunes d'oxygènes par l'azote présent dans le diélectrique High- κ plutôt que par du lanthane [45].

Pour conclure, les phénomènes de PBTI sont très dépendants de la qualité du matériau High- κ . En effet, comme on a pu le voir dans cette étude, les phénomènes de piégeage rapide ne sont pas systématiques et peuvent être évités. Dans ce cas là, avec un oxyde de qualité, les méthodes conventionnelles de suivi de la dégradation, telles que la méthode de Kaczer, peuvent être utilisées sans induire d'erreur significative dans l'extrapolation des durées de vie des dispositifs. Enfin, l'incorporation de lanthane ne semble pas jouer sur les performances en PBTI.

5 Conclusion de chapitre 3

Un état de l'art des différents modèles de dégradation NBTI a été présenté dans la première partie de ce chapitre. En effet, à la fin des années 70, Jeppson et Svensson ont proposé le fameux modèle de Réaction-Diffusion qui a fait office de référence pendant une vingtaine d'années malgré quelques corrections. Basé sur la rupture des liaisons Si-H (réaction) et la diffusion d'espèce hydrogénée dans l'empilement, ce modèle est cependant incapable d'expliquer les phénomènes de relaxation qui ont lieu dès lors que le stress est interrompu. D'autres explications faisant apparaître le rôle primordial du piégeage de trous dans la dégradation ont alors pris le relais et sont aujourd'hui communément admises. Grassler fut le premier à introduire un mécanisme de piégeage de trous dans les centres E' , par effet tunnel assisté en champ électrique et par multivibration des phonons du réseau (MPFAT), capable d'expliquer les dépendances en température et en champ électrique des phénomènes de dégradation et de relaxation. Cependant, peu d'effets des procédés de fabrication sont pris en compte dans son modèle. Huard se base lui un peu plus sur les effets d'hydrogène et d'azote pour proposer une autre explication physique. Contrairement à Grassler, il considère que la dégradation permanente est liée à des défauts préexistants au stress et qu'elle est totalement découplée de la partie recouvrable.

Toutes ces études sur les dégradations NBTI ont mis en évidence de nouvelles problématiques liées à la mesure. En effet, le simple fait d'interrompre le stress pour mesurer V_T va être perturbé par les phénomènes de relaxation. La dégradation réelle est alors sous-estimée et cette erreur est ensuite répercutée sur l'extrapolation des durées de vie des dispositifs. De nouvelles méthodes basées sur des mesures de courant ultra rapides permettent aujourd'hui d'éviter ces phénomènes et sont présentées dans ce chapitre.

Enfin, dans une partie plus expérimentale, les effets de la diffusion d'azote sur les performances en NBTI dans des empilements High- κ /grille métallique ont été étudiés. On a montré que l'incorporation d'azote dans la grille était la principale cause des dégradations des performances en NBTI et de la mobilité des porteurs. Une seconde étude a été menée sur les mécanismes de piégeage dans des diélectrique High- κ lors de dégradations PBTI. Les techniques ultra rapides ont été utilisées et ont prouvé la bonne qualité de l'oxyde de grille en montrant qu'il n'y avait pas de piégeage rapide d'électrons dans ce dernier. Enfin, l'impact de l'incorporation de lanthane dans l'empilement sur les dégradations PBTI a été étudié. Il a été montré que le lanthane n'avait aucune influence sur les performances en PBTI, contrairement à ce que l'on peut trouver dans la littérature.

Annexe : Modèle R-D étendu de Alam et Mahapatra

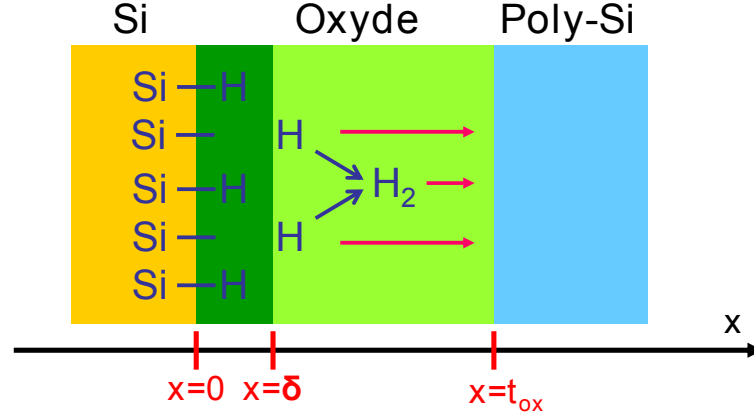


FIGURE 3.42 – Illustration de la diffusion d'espèce hydrogénée neutre dans la structure. δ correspond à l'épaisseur de l'interface Si/SiO₂

On présentera dans cette annexe la formulation de Alam et Mahapatra [5] où l'espèce hydrogénée considérée est du dihydrogène H_2 . Ce modèle est aussi connu sous le nom du modèle R-D étendu. Le processus de création et de diffusion des états d'interface peut être expliqué par les quatres équations suivantes, selon le positionnement x dans la structure présentée Figure 3.42. δ correspond à l'épaisseur de l'interface Si/SiO₂.

$$\frac{dN_{IT}}{dt} = k_F(N_0 - N_{IT}) - k_R N_H N_{IT} \quad (\mathbf{x=0}) \quad (3.12)$$

$$\frac{dN_{IT}}{dt} = D_H \frac{dN_H}{dx} + \frac{\delta}{2} \frac{dN_H}{dt} \quad (0 < \mathbf{x} < \delta) \quad (3.13)$$

$$D_H \frac{d^2 N_H}{dx^2} = \frac{dN_H}{dt} \quad (\delta < \mathbf{x} < t_{ox}) \quad (3.14)$$

$$D_H \frac{dN_H}{dx} = k_P N_H \quad (t_{ox} \leq \mathbf{x}) \quad (3.15)$$

avec :

- N_{IT} le nombre d'états d'interface à un instant t
- N_0 le nombre initial de liaisons Si-H potentiellement dissociables
- N_H la concentration d'hydrogène
- k_F le facteur de dissociation
- k_R le taux de recombinaison des atomes Si et H
- D_H le coefficient de diffusion de l'Hydrogène

– k_P la vitesse de recombinaison surfacique à l'interface Si/SiO₂

L'évolution du mécanisme peut être modélisée en cinq phases différentes.

5.0.1 Phase 1 : réaction

Au début, le système est contrôlé uniquement par la réaction de dissociation et on a $N_{IT} \approx N_H \approx 0$. L'équation 3.12 donne alors :

$$N_{IT} = k_F N_0 t \quad (3.16)$$

5.0.2 Phase 2 : équilibre

En $x=0$, les termes de dissociation ($k_F N_0$) et de recombinaison ($k_R N_H(x=0) N_{IT}$) de l'équation 3.12 sont équivalents. De plus, tout l'hydrogène est encore à l'interface et donc $N_H(x=0) = N_{IT}$. D'où :

$$N_{IT} \approx \left(\frac{k_F N_0}{k_R} \right)^{\frac{1}{2}} t^0 \quad (3.17)$$

5.0.3 Phase 3 : diffusion dans l'oxyde

C'est la phase la plus importante, celle observée après les premières secondes d'une contrainte NBTI. Elle est contrôlée par la diffusion d'hydrogène dans l'oxyde de grille. L'équation 3.14 permet d'écrire $x = \sqrt{D_H t}$. De plus, en négligeant le terme $\frac{dN_H}{dt}$ de l'équation 3.13, on a :

$$\frac{dN_{IT}}{dt} \approx D_H \frac{dN_H}{dx} \approx \frac{D_H N_H(x=0)}{\sqrt{D_H t}} \quad (3.18)$$

Enfin, en substituant N_H dans l'équation 3.12 et en considérant $\frac{dN_{IT}}{dt} = 0$, on obtient :

$$N_{IT} \approx \left(\frac{k_F N_0}{k_R} \right)^{\frac{1}{2}} (D_H t)^{\frac{1}{4}} \quad (3.19)$$

Il est important de noter que ce coefficient $n=0.25$ est indépendant de la température et du champ électrique dans l'oxyde mais dépend uniquement de la nature de l'espèce hydrogénée ($n=0.5$ dans le cas de la diffusion d'un hydrogène chargé H^+ mais ce cas n'est pas observé expérimentalement).

5.0.4 Phase 4 : diffusion dans la grille

En $x=t_{ox}$, l'hydrogène atteint l'interface oxyde/grille poly-Si. L'égalité des flux sortant et entrant de l'équation 3.15 permet d'écrire :

$$D_H \frac{N_H(x=0) - N_H(x=t_{ox})}{t_{ox}} = k_p N_H(x=t_{ox}) \quad (3.20)$$

De la même manière que la phase 3 et avec les mêmes approximations, on peut montrer que :

$$N_{IT} = \left(2 \left(\frac{D_H}{k_P} + t_{ox} \right) \right)^{\frac{1}{2}} \left(\frac{k_F N_0}{k_R} \right)^{\frac{1}{2}} (D_H t)^{\frac{1}{2}} \quad (3.21)$$

5.0.5 Phase 5 : saturation

Enfin, un régime de saturation est atteint puisque toutes les liaisons Si-H sont dissociées. On a alors :

$$N_{IT} \approx N_0 t^0 \quad (3.22)$$

Cette dernière phase n'est pas visible expérimentalement, les phénomènes de claquage (TDDB) prenant le dessus avant même d'atteindre la saturation.

Enfin, ces cinq phases sont représentées Figure 3.43 où les pentes sont précisées.

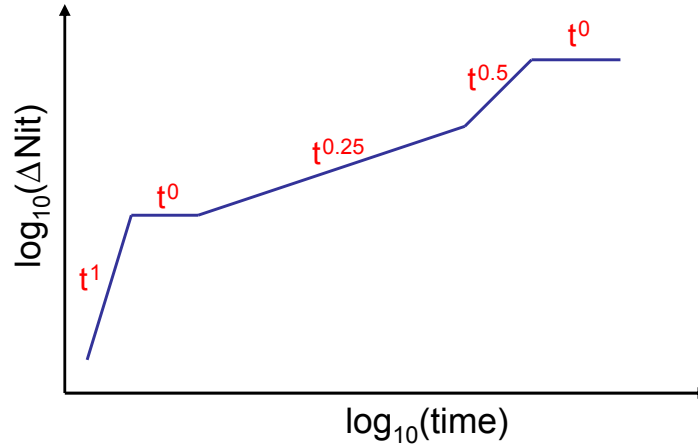


FIGURE 3.43 – Illustration des différentes phases du modèle R-D

Bibliographie

- [1] B. E. Deal, M. Sklar, A. S. Grove, and E. H. Snow, "Characteristics of the Surface-State Charge (Q_{ss}) of Thermally Oxidized Silicon," *Journal of The Electrochemical Society*, vol. 114, no. 3, pp. 266–274, 1967.
- [2] A. Goetzberger, A. D. Lopez, and R. J. Strain, "On the Formation of Surface States during Stress Aging of Thermal Si-SiO₂ Interfaces," *Journal of The Electrochemical Society*, vol. 120, no. 1, pp. 90–96, 1973.
- [3] K. O. Jeppson and C. M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices," *Journal of Applied Physics*, vol. 48, no. 5, pp. 2004–2014, may 1977.
- [4] S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface," *Phys. Rev. B*, vol. 51, pp. 4218–4230, Feb 1995.
- [5] M. Alam and S. Mahapatra, "A comprehensive model of PMOS NBTI degradation," *Microelectronics Reliability*, vol. 45, no. 1, pp. 71 – 81, 2005.
- [6] B. Kaczer, V. Arkhipov, R. Degraeve, N. Collaert, G. Groeseneken, and M. Goodwin, "Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification," in *2005 IEEE International Reliability Physics Symposium (IRPS)*, 17-21, 2005, pp. 381 – 387.
- [7] M. Houssa, M. Aoulaiche, S. D. Gendt, G. Groeseneken, M. M. Heyns, and A. Stesmans, "Reaction-dispersive proton transport model for negative bias temperature instabilities," *Applied Physics Letters*, vol. 86, no. 9, p. 093506, 2005.
- [8] M. Rafik, "Caractérisation et Modélisation de la Fiabilité des Transistors Avancés à Diélectriques de Haute Permittivité et à Grille Métallique," Ph.D. dissertation, 2008.
- [9] T. Aichinger, S. Puchner, M. Nelhiebel, T. Grassner, and H. Hutter, "Impact of hydrogen on recoverable and permanent damage following negative bias temperature stress," in *2010 IEEE International Reliability Physics Symposium (IRPS)*, may 2010, pp. 1063 –1068.
- [10] V. Huard, "Two independent components modeling for Negative Bias Temperature Instability," in *2010 IEEE International Reliability Physics Symposium (IRPS)*, may 2010, pp. 33 –42.

- [11] T. Grasser, W. Gos, V. Sverdlov, and B. Kaczer, "The Universality of NBTI Relaxation and its Implications for Modeling and Characterization," in *2007 IEEE International Reliability Physics Symposium (IRPS)*, april 2007, pp. 268–280.
- [12] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P. Wagner, F. Schanovsky, J. Franco, M. Luque, and M. Nelhiebel, "The Paradigm Shift in Understanding the Bias Temperature Instability : From Reaction-Diffusion to Switching Oxide Traps," *IEEE Transactions on Electron Devices*, vol. 58, no. 11, pp. 3652–3666, nov. 2011.
- [13] C. Shen, M.-F. Li, C. E. Foo, T. Yang, D. M. Huang, A. Yap, G. S. Samudra, and Y.-C. Yeo, "Characterization and Physical Origin of Fast Vth Transient in NBTI of pMOSFETs with SiON Dielectric," in *2006 International Electron Devices Meeting (IEDM)*, dec. 2006, pp. 1–4.
- [14] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, "Analysis of NBTI Degradation- and Recovery-Behavior Based on Ultra Fast VT-Measurements," in *2006 IEEE International Reliability Physics Symposium (IRPS)*, march 2006, pp. 448–453.
- [15] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, and M. Nelhiebel, "A two-stage model for negative bias temperature instability," in *2009 IEEE International Reliability Physics Symposium (IRPS)*, april 2009, pp. 33–44.
- [16] T. Grasser, H. Reisinger, P. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability," in *2010 IEEE International Reliability Physics Symposium (IRPS)*, may 2010, pp. 16–25.
- [17] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, "The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress," in *2010 IEEE International Reliability Physics Symposium (IRPS)*, may 2010, pp. 7–15.
- [18] A. Islam, H. Kufluoglu, D. Varghese, S. Mahapatra, and M. Alam, "Recent Issues in Negative-Bias Temperature Instability : Initial Degradation, Field Dependence of Interface Trap Generation, Hole Trapping Effects, and Relaxation," *IEEE Transactions on Electron Devices*, vol. 54, no. 9, pp. 2143–2154, sept. 2007.

- [19] P. Lenahan, “Atomic scale defects involved in MOS reliability problems,” *Microelectronic Engineering*, vol. 69, no. 2-4, pp. 173 – 181, 2003.
- [20] A. Lelis and T. Oldham, “Time dependence of switching oxide traps,” *IEEE Transactions on Nuclear Science*, vol. 41, no. 6, pp. 1835 –1843, dec. 1994.
- [21] D. Fleetwood, H. Xiong, Z.-Y. Lu, C. Nicklaw, J. Felix, R. Schrimpf, and S. Pantelides, “Unified model of hole trapping, 1/f noise, and thermally stimulated current in MOS devices,” *IEEE Transactions on Nuclear Science*, vol. 49, no. 6, pp. 2674 – 2683, dec 2002.
- [22] J. Ushio, T. Maruizumi, and K. Kushida-Abdelghafar, “Interface structures generated by negative-bias temperature instability in Si/SiO₂ and Si/SiO_xN_y interfaces,” *Applied Physics Letters*, vol. 81, no. 10, pp. 1818 –1820, sep 2002.
- [23] M. Cassé, X. Garros, L. Brunet, and G. Reimbold, “Impact of the Metal Gate on Carrier Transport in HK/MG Transistors,” *ECS Transactions*, vol. 28, no. 1, pp. 165–176, 2010.
- [24] M. Denais, “Etude des phénomènes de dégradation de type nbtj dans les transistors mos submicroniques des filières cmos avancées,” Ph.D. dissertation, 2005.
- [25] M. Denais, C. Parthasarathy, G. Ribes, Y. Rey-Tauriac, N. Revil, A. Bravaix, V. Huard, and F. Perrier, “On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET’s,” in *2004 IEEE International Electron Devices Meeting (IEDM)*, dec. 2004, pp. 109 – 112.
- [26] A. Islam, E. Kumar, H. Das, S. Purawat, V. Maheta, H. Aono, E. Murakami, S. Mahapatra, and M. Alam, “Theory and Practice of On-the-fly and Ultra-fast VT Measurements for NBTI Degradation : Challenges and Opportunities,” in *2007. IEEE International Electron Devices Meeting (IEDM)*, dec. 2007, pp. 805 –808.
- [27] M.-F. Li, D. Huang, C. Shen, T. Yang, W. Liu, and Z. Liu, “Understand NBTI Mechanism by Developing Novel Measurement Techniques,” *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 1, pp. 62 –71, march 2008.
- [28] X. Garros, M. Cassé, G. Reimbold, F. Martin, C. Leroux, A. Fanton, O. Renault, V. Cosnier, and F. Boulanger, “Guidelines to improve mobility performances and BTI reliability of advanced High-K/Metal gate stacks,” in *2008 IEEE Symposium on VLSI Technology (VLSI)*, 2008, pp. 68 – 69.

Bibliographie

- [29] X. Garros, M. Casse, C. Fenouillet-Beranger, G. Reimbold, F. Martin, C. Gaumer, C. Wiemer, M. Perego, and F. Boulanger, “Detrimental impact of technological processes on BTI reliability of advanced high-K/metal gate stacks,” in *2009 IEEE International Reliability Physics Symposium (IRPS)*, 2009, pp. 362–366.
- [30] M. Casse, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reimbold, T. Billon, M. Mouis, and F. Boulanger, “Carrier transport in HfO₂/metal gate MOSFETs : physical insight into critical parameters,” *IEEE Transactions on Electron Devices*, vol. 53, no. 4, pp. 759–768, April 2006.
- [31] G. J. Gerardi, E. H. Poindexter, P. J. Caplan, and N. M. Johnson, “Interface traps and Pb centers in oxidized (100) ?silicon wafers,” *Applied Physics Letters*, vol. 49, pp. 348–350, 1986.
- [32] A. Kerber, E. Cartier, L. Pantisano, M. Rosmeulen, R. Degraeve, T. Kaue-rauf, G. Groeseneken, H. E. Maes, and U. Schwalke, “Characterization of the VT-instability in SiO₂/HfO₂ gate dielectrics,” in *2003 IEEE International Reliability Physics Symposium (IRPS)*, 2003, pp. 41–45.
- [33] X. Garros, J. Mitard, C. Leroux, G. Reimbold, and F. Boulanger, “In Depth Analysis of VT Instabilities in HFO₂ Technologies by Charge Pumping Measurements and Electrical Modeling,” in *2007 IEEE International Reliability Physics Symposium (IRPS)*, 2007, pp. 61–66.
- [34] M. Sato, S. Kamiyama, Y. Sugita, T. Matsuki, T. Morooka, T. Suzuki, K. Shiraishi, K. Yamabe, K. Ohmori, K. Yamada, J. Yugami, K. Ikeda, and Y. Ohji, “Negatively charged deep level defects generated by Yttrium and Lanthanum incorporation into HfO₂ for V_{th} adjustment, and the impact on TDDB, PBTI and 1/f noise,” in *2009 IEEE International Electron Devices Meeting (IEDM)*, dec. 2009, pp. 1 –4.
- [35] B. Kaczer, A. Veloso, M. Aoulaiche, and G. Groeseneken, “Significant reduction of Positive Bias Temperature Instability in high-k/metal-gate nFETs by incorporation of rare earth metals,” *Microelectronic Engineering*, vol. 86, no. 7-9, pp. 1894 – 1896, 2009, iNFOS 2009.
- [36] W.-H. Choi, I.-S. Han, H.-M. Kwon, T.-G. Goo, M.-K. Na, O.-S. Yoo, G.-W. Lee, C. Y. Kang, R. Choi, S. C. Song, B. H. Lee, R. Jammy, Y.-H. Jeong, and H.-D. Lee, “Comparison of La-based high-k dielectrics : HfLaSiON and

- HfLaON,” *Microelectronic Engineering*, vol. 86, no. 3, pp. 268 – 271, 2009, the Fourth IEEE International Symposium on Advanced Gate Stack Technology (ISAGST 2007).
- [37] C. Kang, C. Park, D. Heh, C. Young, P. Kirsch, H. Park, R. Choi, G. Bersuker, J.-W. Yang, B. Lee, J. Lichtenwalner, J. Jur, A. Kingon, and R. Jammy, “Performance and reliability characteristics of the band edge high-k/metal gate nMOSFETs with La-doped Hf-silicate gate dielectrics,” in *2008 International Electron Devices Meeting (IEDM)*, 27 2008-may 1 2008, pp. 663 –664.
- [38] D. Liu and J. Robertson, “Passivation of oxygen vacancy states and suppression of Fermi pinning in HfO₂ by La addition,” *Applied Physics Letters*, vol. 94, no. 4, p. 042904, 2009.
- [39] P. Kirsch, M. Quevedo-Lopez, S. Krishnan, C. Krug, H. AlShareef, C. Park, R. Harris, N. Moumen, A. Neugroschel, G. Bersuker, B. Lee, J. Wang, G. Pant, B. Gnade, M. Kim, R. Wallace, J. Jur, D. Lichtenwalner, A. Kingon, and R. Jammy, “Band Edge n-MOSFETs with High-k/Metal Gate Stacks Scaled to EOT=0.9nm with Excellent Carrier Mobility and High Temperature Stability,” in *2006 International Electron Devices Meeting (IEDM)*, dec. 2006, pp. 1 –4.
- [40] P. Sivasubramani, T. Boscke, J. Huang, C. Young, P. Kirsch, S. Krishnan, M. Quevedo-Lopez, S. Govindarajan, B. Ju, H. Harris, D. Lichtenwalner, J. Jur, A. Kingon, J. Kim, B. Gnade, R. Wallace, G. Bersuker, B. Lee, and R. Jammy, “Dipole Moment Model Explaining nFET V_t Tuning Utilizing La, Sc, Er, and Sr Doped HfSiON Dielectrics,” in *2007 IEEE Symposium on VLSI Technology (VLSI)*, june 2007, pp. 68 –69.
- [41] J. Mitard, X. Garros, L. Nguyen, C. Leroux, G. Ghibaudo, F. Martin, and G. Reimbold, “Large-Scale Time Characterization and Analysis of PBTI In HFO₂/Metal Gate Stacks,” in *2006 IEEE International Reliability Physics Symposium Proceedings (IRPS)*, march 2006, pp. 174 –178.
- [42] M. Toledano-Luque, B. Kaczer, P. Roussel, M. J. Cho, T. Grassler, and G. Groeseneken, “Temperature dependence of the emission and capture times of sion individual traps after positive bias temperature stress,” *Journal of Vacuum Science Technology B : Microelectronics and Nanometer Structures*, vol. 29, no. 1, pp. 01AA04 –01AA04–5, jan 2011.
- [43] M. Sato, N. Umezawa, J. Shimokawa, H. Arimura, S. Sugino, A. Tachibana, M. Nakamura, N. Mise, S. Kamiyama, T. Morooka, T. Eimori, K. Shiraishi,

Bibliographie

- K. Yamabe, H. Watanabe, K. Yamada, T. Aoyama, T. Nabatame, Y. Nara, and Y. Ohji, "Physical model of the PBTI and TDDB of la incorporated HfSiON gate dielectrics with pre-existing and stress-induced defects," in *2008 IEEE International Electron Devices Meeting (IEDM)*, Dec. 2008, pp. 1–4.
- [44] T. Morooka, M. Sato, T. Matsuki, T. Suzuki, K. Shiraishi, A. Uedono, S. Miyazaki, K. Ohmori, K. Yamada, T. Nabatame, T. Chikyow, J. Yugami, K. Ikeda, and Y. Ohji, "Suppression of anomalous threshold voltage increase with area scaling for Mg- or La-incorporated high-k/Metal gate nMISFETs in deeply scaled region ," in *2010 IEEE Symposium on VLSI Technology (VLSI)*, 2010, pp. 33–34.
- [45] N. Umezawa, K. Shiraishi, T. Ohno, H. Watanabe, T. Chikyow, K. Torii, K. Yamabe, K. Yamada, H. Kitajima, and T. Arikado, "First-principles studies of the intrinsic effect of nitrogen atoms on reduction in gate leakage current through Hf-based high-k dielectrics," *Applied Physics Letters*, vol. 86, no. 14, p. 143507, 2005.

Fiabilité des transistors FDSOI courts et étroits

On a abordé dans le chapitre précédent les phénomènes d'instabilité en température BTI valable aussi bien pour des transistors longs que courts. Avec les dimensions qui ne cessent de diminuer, d'autres problèmes plus spécifiques aux transistors courts et étroits viennent affecter la fiabilité des dispositifs, ce qui sera l'objet de ce chapitre.

On s'intéressera dans un premier temps aux dégradations de type porteurs chauds (HC pour « **H**ot **C**arriers ») qui deviennent critiques sur les transistors à canaux courts, le champ électrique latéral devenant plus important. Les principes de ce type de dégradation déjà bien connu pour des technologies sur silicium massif seront rappelés, puis une étude plus spécifique aux transistors FDSOI à films minces sera présentée mettant notamment en application la technique de la localisation de la dégradation présentée au chapitre 2.

Dans un second temps sera proposée une étude valable à la fois pour des technologies FDSOI et sur silicium massif, sur les phénomènes d'instabilité de la tension de seuil des transistors lorsque les longueurs et surtout les largeurs de grille diminuent. Différents résultats de caractérisations physico-chimique et électrique seront présentés afin d'expliquer l'origine de cette instabilité.

1 Etude des porteurs chauds sur FDSOI

On va s'intéresser à présent aux dégradations de type porteurs chauds qui, comme on l'a dit dans l'introduction de ce chapitre, sont critiques sur les transistors à canaux courts. Les principes de ce type de dégradation seront présentés ainsi qu'un bref historique des modèles existants sur des technologies sur silicium massif. Ensuite, on vérifiera sur des transistors FDSOI à films minces si l'interface arrière entre le film de silicium et l'oxyde enterré est affectée lors d'une dégradation HC. Une étude des mécanismes de la dégradation sera notamment proposée et des conclusions sur la localisation des charges créées seront effectuées.

1.1 Principe et protocole expérimental

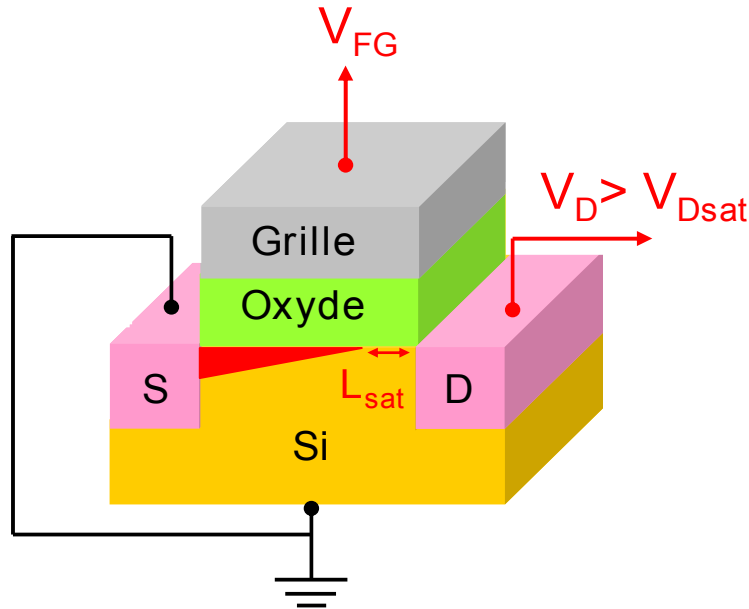


FIGURE 4.1 – Protocole expérimental d'un stress de type porteurs chauds

Contrairement à un stress de type BTI où seule la grille avant est soumise à une forte tension, on vient appliquer en plus une contrainte électrique sur le drain lors d'un stress HC (voir Figure 4.1). Classiquement, cette tension de drain V_D est supérieure à celle de la grille V_{FG} , du moins suffisamment grande pour que le régime de saturation (voir paragraphe 3.3 page 33) soit atteint, soit $V_D > V_{Dsat}$.

Le canal se retrouve alors « pincé » sur une longueur L_{sat} et la forte chute de potentiel qui existe entre le point de pincement et le drain va entraîner un champ

1. Etude des porteurs chauds sur FDSOI

électrique latéral intense près du drain $E_{lat} \propto \frac{V_D - V_{Dsat}}{L_{sat}}$, donnant aux porteurs du canal une forte énergie cinétique, d'où l'appellation « porteurs chauds ». Une partie de ces porteurs chauds peut être injectée dans l'oxyde de grille et créer des pièges à l'interface ou dans le volume de l'oxyde, ayant pour conséquence une dégradation des caractéristiques électriques des transistors telles que le courant de saturation I_{Dsat} , la tension de seuil V_T ou encore le maximum de transconductance $g_{m,MAX}$. Ces trois paramètres seront suivis expérimentalement au cours des différents stress HC.

On notera que le champ électrique latéral E_{lat} en utilisation normale d'un transistor ($V_{FG} = V_D = V_{DD}$) peut être approximé par $E_{lat} = \frac{V_{DD}}{L}$ avec L la longueur de grille du dispositif. On comprend bien alors que ce champ électrique, et de ce fait la dégradation HC, est plus important pour des transistors courts. Cela devient d'autant plus critique que les tensions d'alimentation sont maintenues constantes au cours des noeuds technologiques alors que les dimensions diminuent ($V_{DD} = 1.1V$ pour des technologies sur silicium massif depuis le noeud 120nm), comme le montre la Figure 4.2 obtenue à partir des données de Intel [1] complétées par celles de STMicroelectronics.

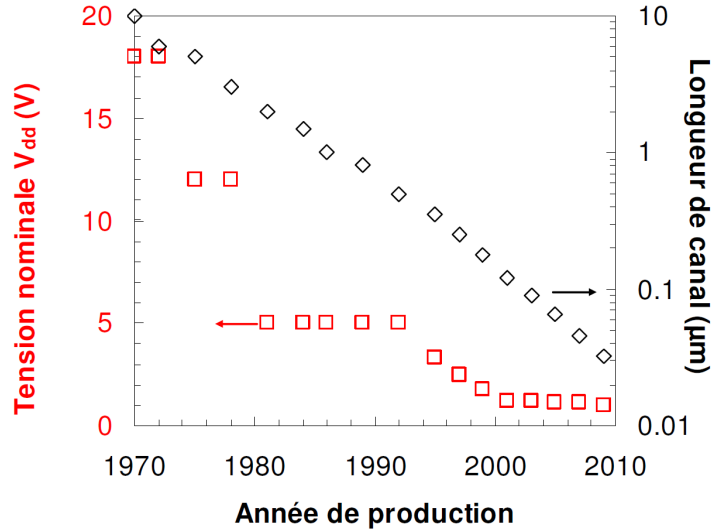


FIGURE 4.2 – Evolution de la tension d'alimentation et de la longueur de canal en fonction de l'année de mise en production des technologies [2]

La dégradation due à un stress HC est souvent associée à la notion d'ionisation par impact illustrée Figure 4.3. Dans le cas d'un transistor NMOS, un électron de la bande de conduction accéléré par le champ électrique latéral peut entrer en collision

avec un atome du réseau en cédant de l'énergie (collision inélastique). C'est cette énergie perdue qui va permettre à un électron de la bande de valence de passer dans la bande de conduction, créant ainsi une paire électron-trou. Ces électrons générés peuvent à leur tour gagner suffisamment d'énergie et créer de nouvelles paires électron-trou, on parle alors d'avalanche de porteurs (voir Figure 1.17 page 34). En fonction des polarisations de grille et de drain, les porteurs générés peuvent être injectés dans l'oxyde, le drain ou le substrat. Ce dernier cas apparaît comme problématique pour des transistors FDSOI à films fins, l'interface arrière entre le silicium et l'oxyde enterré pouvant être dégradée.

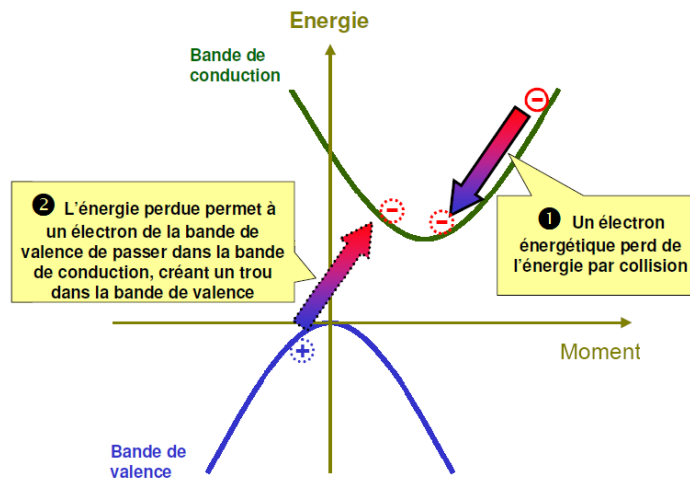


FIGURE 4.3 – Illustration du phénomène d'ionisation par impact [3]

Il est possible de « collecter » à partir d'une prise substrat une partie des trous générés par ionisation par impact avec une mesure de courant I_{sub} en fonction de la tension de grille avant V_{FG} (Figure 4.4). On obtient alors une courbe classique en forme de cloche. A faible V_{FG} , le champ latéral est fort mais la densité de porteurs dans le canal est faible. De plus, le champ vertical a tendance à diriger les trous vers l'oxyde de grille. Ensuite, lorsque V_{FG} augmente et s'approche de V_D , la densité de porteurs augmente et le champ vertical est favorable à l'injection d'électrons dans l'oxyde : les trous sont ainsi récoltés au substrat et leur densité est maximale pour $V_{FG} = V_{FG, I_{sub} MAX}$. Enfin, à fort V_{FG} , le champ latéral est trop faible pour générer des paires électron-trou.

On notera que la condition $V_{FG, I_{sub} MAX}$ a été d'ailleurs considérée comme le pire cas de dégradation pour les transistor NMOS à oxyde épais.

1. Etude des porteurs chauds sur FDSOI

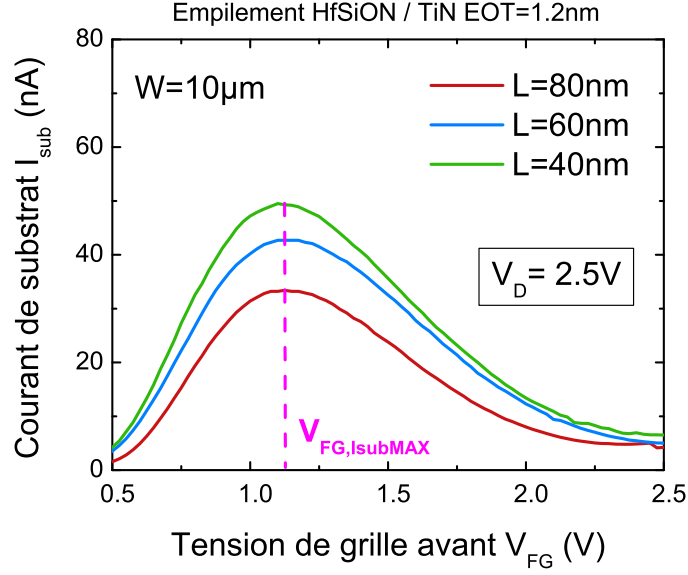


FIGURE 4.4 – Caractéristique $I_{sub}(V_{FG})$ en forme de cloche ($V_D=2.5V$)

1.2 Etat de l'art des modèles HC

On va à présent s'intéresser aux différents modèles proposés pour expliquer les dégradations HC pour des technologies sur silicium massif. Si les premières modélisations étaient associées uniquement à l'étude du pire cas de dégradation, les études récentes se sont intéressées à l'étude d'une plus grande gamme de tensions de stress (V_{FG} et V_D). Ces différents modèles sont largement décrits par Chloé Guérin dans [2].

1.2.1 Modèle de Takeda

Le modèle de Takeda et Suzuki [4] est un modèle empirique qui relie en condition $V_{FG,IsubMAX}$ la dégradation ΔD au cours du temps d'un transistor NMOS à la tension de drain V_D . ΔD peut être la variation de tension de seuil ($\Delta D = \Delta V_T$) ou encore la variation relative du maximum de transconductance ($\Delta D = \frac{\Delta g_{m,MAX}}{g_{m,MAX0}}$) et s'écrit :

$$\Delta D = A t^n \text{ avec } A \propto \exp\left(\frac{-a}{V_D}\right) \quad (4.1)$$

avec a et n des paramètres empiriques extraits pour chaque technologie ($n=0.5-0.6$ pour des oxydes de grille épais $t_{ox}=6.8-20nm$ [4]). n est dépendant de V_{FG} mais très peu de la tension de drain V_D .

Ce modèle largement repris dans le milieu industriel, permet de remonter facile-

ment à la durée de vie τ d'un dispositif (typiquement pour une dérive $\frac{\Delta D}{D} = 10\%$) :

$$\tau \propto \exp\left(\frac{-a}{n V_D}\right) \quad (4.2)$$

Enfin, Takeda explique la dégradation HC sur les transistors NMOS par la génération d'états d'interface due à l'injection de trous chauds dans l'oxyde [5].

1.2.2 Modèle de « l'électron chanceux » et améliorations

Le concept de « l'électron chanceux » introduit par Hu en 1979 [6] repose sur le principe qu'un électron chaud du canal peut être injecté dans l'oxyde de grille, si et seulement si :

- l'électron acquiert suffisamment d'énergie dans le canal par le champ latéral E_{lat}
- qu'il soit redirigé en direction de l'oxyde de grille par collision élastique, donc sans perte d'énergie
- qu'il atteigne l'interface à nouveau sans perdre d'énergie
- et enfin qu'il ne soit pas repoussé par le « potentiel image » [7] (collision sur des centres coulombiens)

L'électron est donc dit chanceux s'il réunit toutes ces conditions et pour cela le champ vertical doit être favorable à l'injection de porteurs dans l'oxyde, soit pour $V_{FG, I_{subMAX}}$ lorsque le courant de substrat est maximum.

Des modélisations de la dégradation HC ont été réalisées à partir du concept de « l'électron chanceux » [8]. Hu propose notamment un modèle prenant en compte la création d'états d'interface [9] lors d'un stress HC connu sous le nom de modèle de « l'électron chanceux » (LEM pour « **L**ucky **E**lectron **M**odel »). Tzou adaptera ce modèle en 1986 pour des transistors PMOS [10].

L'étude du pire cas étant trop restrictive, notamment pour les simulations de circuits complets, Woltjer et Paulzen rajoutent au LEM une dépendance de la création des états d'interface en fonction du champ électrique dans l'oxyde afin d'expliquer les dégradations pour une plus grande gamme de polarisation de grille avant. S'il considère que la création de pièges d'interface est la principale cause de dégradation pour une gamme de tension intermédiaire ($0.2 < \frac{V_{FG}}{V_D} < 0.8$), il observe à faible V_{FG} un piégeage de charges positives dans l'oxyde et à fort V_{FG} , un piégeage de charges négatives en accord avec les travaux d'Heremans [11]. Woltjer montrera plus tard un phénomène symétrique pour des transistors PMOS [12].

1. Etude des porteurs chauds sur FDSOI

1.2.3 Modèle de recombinaison

Tous les modèles présentés jusqu'à présent conduisent à la conclusion que les dégradations HC sont essentiellement dues à la création de défauts d'interface par rupture de la liaison Si-H. Cela est d'autant plus vrai pour les technologies sub-micromètres où les oxydes sont trop minces ($EOT < 5\text{nm}$) pour qu'il y ait un piégeage de charge [13] et pour lesquelles la tension d'alimentation est réduite. Cependant, un seul type de porteur chaud, électron ou trou, est considéré pour rompre cette liaison.

Koike propose une autre explication aux dégradations HC faisant intervenir les deux types de porteurs [14], valable pour des transistors NMOS et PMOS. Dans le cas d'un NMOS, un électron chaud du canal injecté dans l'oxyde va pouvoir se recombiner avec un trou chaud du drain, lui aussi injecté dans l'oxyde. C'est l'énergie libérée par cette recombinaison (somme des énergies de chacun des porteurs + énergie du gap du silicium) qui va rompre la liaison Si-H [15]. Ce processus est schématisé Figure 4.5.

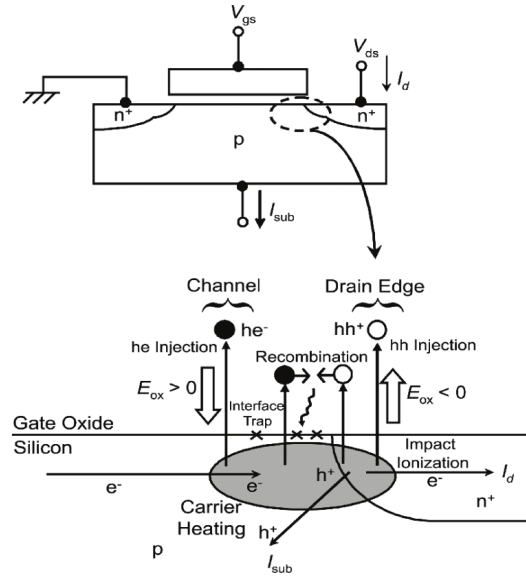


FIGURE 4.5 – Dégradation HC causée par la recombinaison d'électrons et de trous chauds dans l'oxyde de grille [14]

On notera que contrairement aux modèles précédents, la rupture de la liaison peut être réalisée avec des porteurs de plus faibles énergies. Enfin, ce modèle nécessite la présence des deux types de porteurs et n'est valable qu'autour de $V_{FG, I_{subMAX}}$.

1.2.4 Modèles d'interaction des porteurs

Si certains auteurs montrent que le LEM reste valable à faible V_D [16, 17], Rauch prouve lui que le LEM n'est plus valable dès lors que $V_D < 3V$ et introduit pour la première fois dans un modèle de dégradation HC le phénomène d'interaction entre électrons EES (« **E**lectron **E**lectron **S**cattering ») [18]. La densité de porteurs augmentant au fil des technologies avec la diminution de longueur de grille, les électrons peuvent interagir entre eux jusqu'à obtenir une énergie suffisante pour rompre la liaison Si-H.

Initialement valable pour des faibles valeurs de V_{FG} , Rauch adaptera son modèle à fort V_{FG} [19]. Guerin montrera cependant que le modèle basé sur l'EES est limité à fort courant, l'énergie des porteurs étant trop faible pour rompre la liaison Si-H, même après EES. La rupture de la liaison s'explique alors par l'excitation de modes vibrationnels de la liaison à chaque collision entre porteurs, ce jusqu'à atteindre l'énergie de résonance. Ce phénomène s'appelle l'excitation vibrationnelle multiple ou MVE (« **M**ultiple **V**ibrational **E**xcitation »). On se retrouve alors dans une configuration où le nombre de porteurs l'emporte sur leur énergie. Ce processus de rupture est illustré Figure 4.6. Les différents modes de ruptures de la liaison Si-H sont détaillés dans [2, 20].

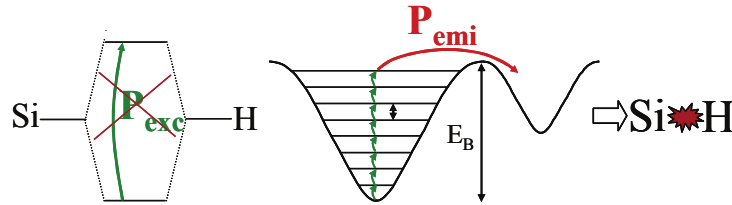


FIGURE 4.6 – Rupture de la liaison Si-H par MVE. P_{emi} est la probabilité d'excitation de la résonance et E_B l'énergie de rupture de la liaison [20]

Pour récapituler la rupture de la liaison Si-H au cours d'un dégradation HC, on retiendra trois modes selon l'énergie des porteurs [21] :

- le mode 1 pour les hautes énergies ($V_{FG} < V_D$) où la rupture peut être réalisée par un unique porteur incident. On parle aussi d'excitation vibrationnelle unique SVE (« **S**ingle **V**ibrational **E**xcitation »).
- le mode 2 pour des énergies intermédiaires dominé pas l'interaction entre électrons (EES) qui va permettre aux porteurs d'acquérir suffisamment d'énergie pour rompre la liaison. On a donc bien un compromis entre l'énergie et la densité de porteurs.
- le mode 3 où les porteurs sont très peu énergétiques mais nombreux (MVE).

1. Etude des porteurs chauds sur FDSOI

On parlera parfois de « porteurs froids ».

Enfin, des études ont montré qu'au fil des technologies et surtout avec les longueurs de grille qui diminuent, le pire cas de dégradation HC initialement pour la condition $V_{FG, I_{subMAX}}$ dérive vers le cas $V_{FG} = V_D$ [13, 22]. C'est ce dernier que l'on étudiera pour notre étude sur des transistors FDSOI dans la partie suivante. Un schéma récapitulatif des pires cas de dégradation HC en fonction de l'épaisseur d'oxyde EOT pour NMOS et PMOS est proposé par Di Gilio [23] Figure 4.7.

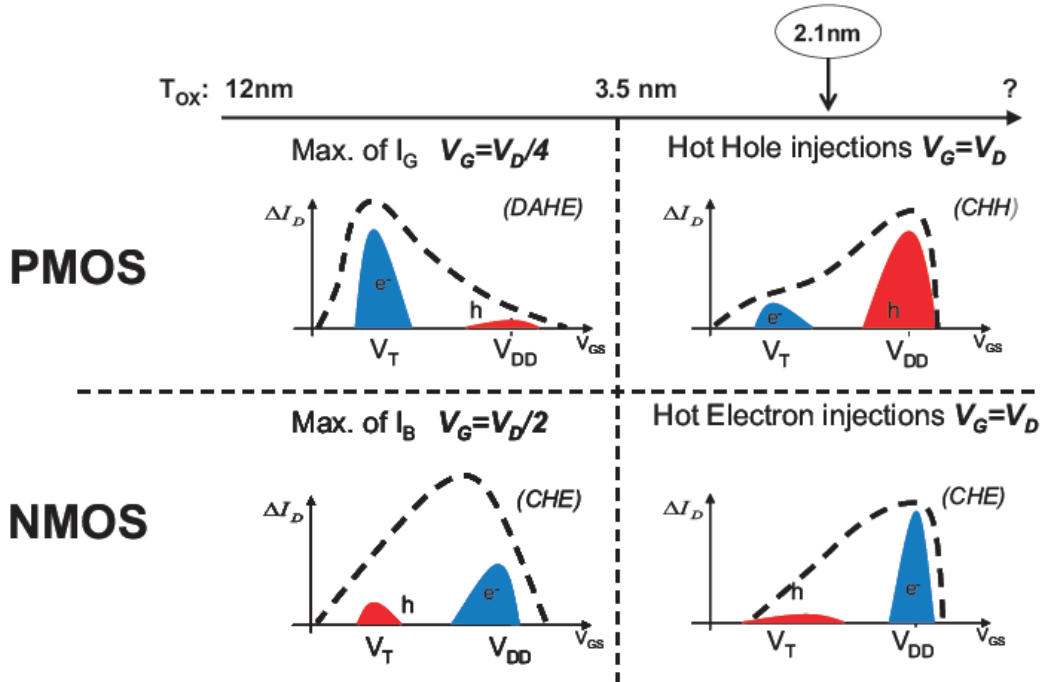


FIGURE 4.7 – Bilan des pires cas de dégradation HC sur transistor NMOS et PMOS en fonction de l'EOT

1.3 Problématique sur FDSOI

On a présenté différents modèles pour expliquer les dégradations de l'oxyde de grille de transistors sur silicium massif suite à un stress de type porteurs chauds. Cependant, les structures FDSOI mettent en jeu une seconde interface silicium/oxyde de silicium entre le film et l'oxyde enterré qu'il est primordial de prendre en compte, car sujette à d'éventuelles dégradations.

L'étude des dégradations de l'interface arrière est d'autant plus importante que par les jeux de couplage électrostatique, une charge localisée à l'interface arrière peut avoir un impact plus fort qu'une charge localisée à l'interface avant sur les caractéristiques électriques du transistor, notamment la tension de seuil avant V_T . Cela est illustré Figure 4.8 obtenue à partir de simulations TCAD sur une structure FDSOI proche des dispositifs mesurés ($t_{ox} = 1nm$, $t_{Si} = 7nm$ et $t_{BOx} = 25nm$). ΔV_T^{FG} et ΔV_T^{BG} correspondent respectivement au décalage de tension de seuil *avant* induit par une charge à l'interface avant et arrière. On gardera ces notations par la suite.

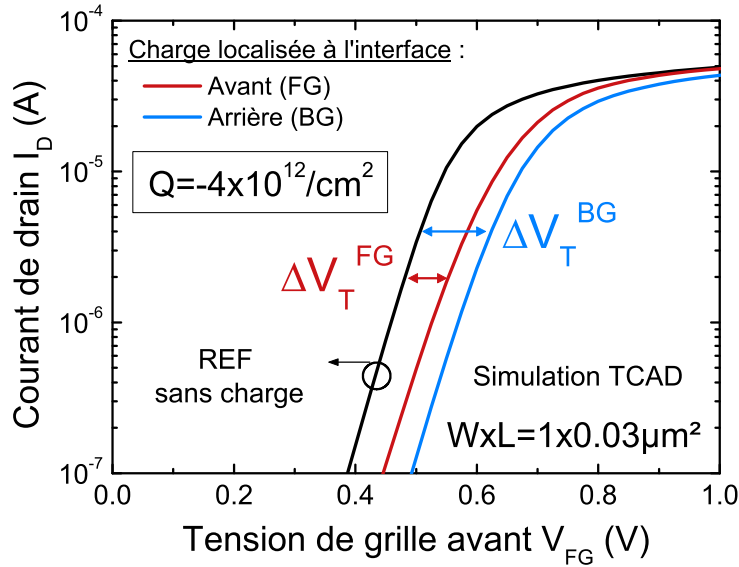


FIGURE 4.8 – Simulation de l'impact d'une charge négative sur une caractéristique $ID(V_{FG})$

Le poids de cette charge à l'interface arrière sur la tension de seuil peut varier selon les épaisseurs de films t_{Si} et d'oxyde enterré t_{BOx} . Cela est illustré Figure 4.9 où le rapport $\frac{\Delta V_T^{BG}}{\Delta V_T^{FG}}$ est représenté pour les épaisseurs de film et de BOx les plus couramment utilisées. On observe qu'une charge arrière a moins d'impact qu'une charge avant sur le V_T ($\frac{\Delta V_T^{BG}}{\Delta V_T^{FG}} < 1$) uniquement dans le cas où on a un oxyde enterré

1. Etude des porteurs chauds sur FDSOI

très fin $t_{BOx} = 10nm$, comportement qui s'inverse lorsque l'on travaille sur des films minces $t_{Si} < 10nm$.

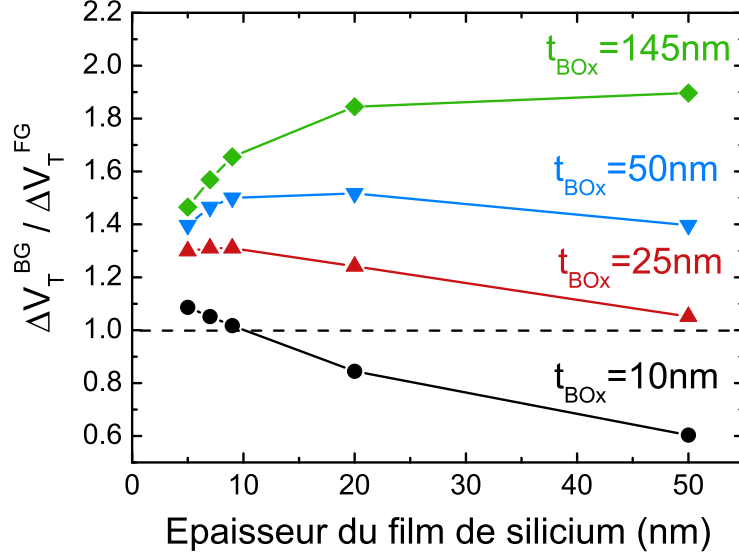


FIGURE 4.9 – Poids d'une charge arrière en fonction de t_{Si} et t_{BOx}

Il est donc primordial de savoir s'il y a dégradation de l'interface arrière lors d'un stress porteurs chauds sur des transistors FDSOI à films minces. En effet, on vient de voir que pour des films fins, une charge arrière avait plus d'impact sur la tension de seuil avant qu'une charge localisée à l'avant. Quelques études existent sur le sujet avec des transistor FDSOI à films épais ($t_{Si} > 100nm$) [24, 25] ou des transistors partiellement désertés PDSOI (« Partially Depleted SOI ») [26] et prévoient un piégeage de charges dans l'oxyde enterré, cependant peu de preuves expérimentales sont présentées. D'autres études sur des technologies FDSOI plus récentes présentent des résultats de durée de vie des dispositifs pour différentes valeurs de polarisation arrière V_{BG} [27, 28] mais aucune conclusion n'est présentée quant à la qualité de l'interface arrière.

L'objectif de la partie suivante est donc d'étudier le pire cas de dégradation $V_{FG} = V_D$ sur un transistor FDSOI à film mince et d'essayer de conclure sur sa localisation. Une comparaison avec des transistors sur silicium massif sera notamment présentée.

1.4 Etude expérimentale du pire cas HC : $V_{FG} = V_D$

1.4.1 Description des échantillons

Les transistors NMOS utilisés pour cette étude ont été fabriqués sur des plaquettes FDSOI 300mm avec un film de silicium d'épaisseur $t_{Si} = 7nm$ et un oxyde enterré $t_{BOx} = 25nm$. De plus, de l'indium a été implanté à travers l'oxyde enterré pour former un ground plane de type N. L'empilement de grille avant, constitué d'un diélectrique High- κ en silicate d'hafnium HfSiON (EOT=1.2nm) et d'une grille métallique en nitrure de titane TiN, a été réalisé dans une intégration « gate first » (dépôt de la grille avant recuit d'activation des source et drain). Une coupe d'un transistor de longueur de grille 30nm réalisée par microscopie électronique en transmission TEM est présentée Figure 4.10.

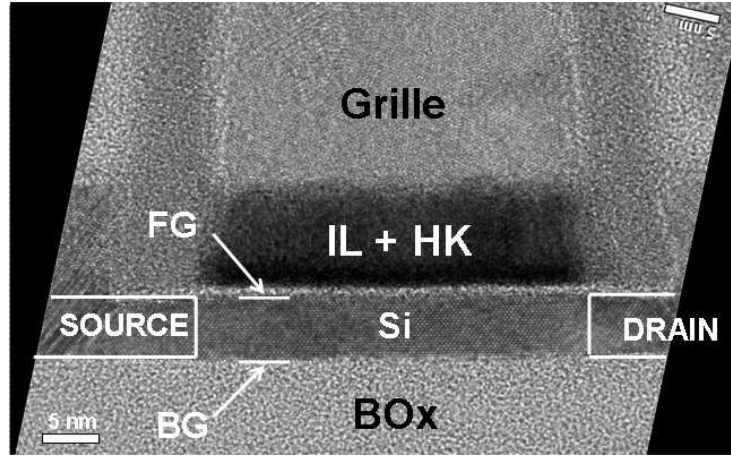


FIGURE 4.10 – Coupe TEM d'une structure FDSOI : $t_{Si} = 7nm$ et $t_{BOx} = 25nm$

1.4.2 Confirmation du mode de dégradation par MVE

Au cours des différentes dégradations HC, trois paramètres électriques ont été suivis :

- le courant de saturation $I_{D,sat}$ mesuré à $V_D = 1V$
- le maximum de transconductance gm_{MAX} , image de la mobilité
- la tension de seuil V_T

Avant toute étude des mécanismes de dégradation, on a voulu vérifié au préalable que les conditions de stress $V_{FG} = V_D$ correspondaient bien au pire cas de dégradation. Pour cela une tension de stress $V_{D,stress} = +2.4V$ a été appliquée au niveau du drain pour deux différentes conditions de stress sur la grille $V_{FG,stress} = +1V$

1. Etude des porteurs chauds sur FDSOI

et $V_{FG, stress} = +2.4V$. Les résultats sont présentés Figure 4.11 et vont bien dans le sens de $V_{FG} = V_D$ comme pire cas de dégradation.

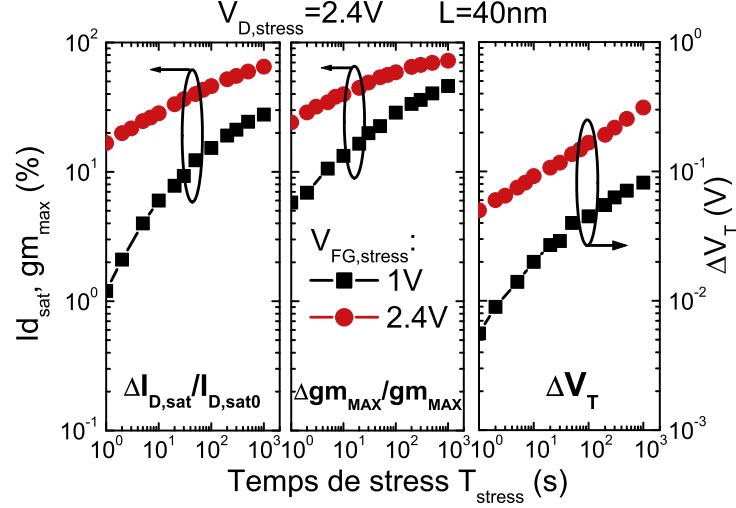
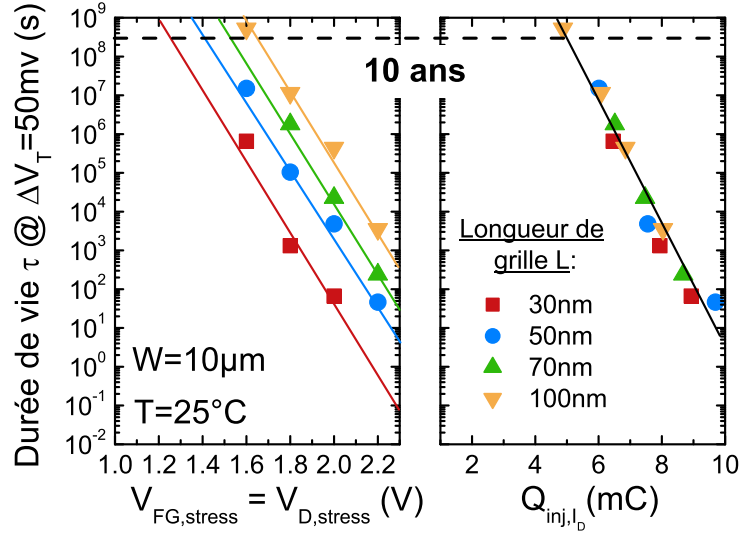


FIGURE 4.11 – Dégradation de $I_{D,sat}$, gm_{MAX} et V_T au cours d'un stress HC : $V_{D, stress} = +2.4V$

C'est donc bien le champ électrique effectif E_{eff} dans l'oxyde avant qui vient contrôler la dégradation HC en modulant le nombre de porteurs dans le canal d'inversion. Cela devient d'autant plus clair en traçant la durée de vie des transistors pour différentes longueurs de grille en fonction de la charge injectée dans le drain $Q_{inj, I_D} = \int I_D dt$ durant le stress (Figure 4.12). On rappelle que la durée de vie τ d'un transistor vis-à-vis d'un critère de dégradation, ici $\Delta V_T = 50mV$, est obtenue en extrayant sur les courbes $\Delta V_T(T_{stress})$, le temps τ au bout duquel le critère choisi est atteint.

On observe clairement que les courbes de temps de vie τ des dispositifs pour les différentes longueurs de grille se normalisent en fonction de la charge injectée dans le drain Q_{inj, I_D} . Ces résultats sont en accord avec le mode 3 de dégradation introduit au paragraphe 1.2.4 qui stipule que le nombre de porteurs l'emporte sur leur énergie, la rupture des liaisons Si-H se faisant par MVE [29].


 FIGURE 4.12 – Durée de vie des transistors pour différentes longueurs de grille L

Une première conclusion importante peut notamment être émise à partir de la Figure 4.12 : les dégradations de type porteurs chauds ne semblent pas être un frein à la technologie FDSOI si l'on considère la tension de seuil comme critère. En effet, les transistors de longueur nominale $L=30\text{nm}$ passent largement le critère des dix ans d'utilisation pour une tension d'alimentation $V_{DD} = 1.1\text{V}$.

La technologie FDSOI étant vouée à une utilisation multi- V_T [30], à savoir pouvoir moduler la tension de seuil avant en appliquant une polarisation en face arrière, on a réalisé cette fois-ci des dégradations HC en appliquant différentes tensions de stress en face arrière $V_{BG, stress}$. Les résultats sur la dégradation de V_T (mesurés à $V_{BG} = 0\text{V}$) sont présentés Figure 4.13 avec $V_{D, stress} = +2\text{V}$. La tension de grille avant, choisie arbitrairement à $V_{FG, stress} = +0.8\text{V}$, a peu d'importance puisque c'est la polarisation arrière qui va essentiellement fixer le champ transverse.

On observe que plus $V_{BG, stress}$ est grand, plus la tension de seuil est dégradée. Cela peut s'expliquer facilement par le couplage électrostatique qui vient abaisser la valeur de V_T lorsque $V_{BG, stress} > 0$ et donc augmenter le champ effectif E_{eff} appliqué lors du stress ($E_{eff} \propto Q_{inv} \approx C_{ox}(V_{FG} - V_T)$).

De plus, tout comme précédemment, la normalisation en charge injectée dans le drain vient renforcer l'idée que le champ effectif dans l'oxyde vient contrôler la dégradation HC. On notera cependant que la courbe à $V_{BG, stress} = 0\text{V}$ ne semble pas se normaliser. Cela pourrait s'expliquer par un régime de plus forte énergie pour la condition $V_{BG, stress} = 0\text{V}$, où la rupture des liaisons Si-H se ferait par SVE ou

1. Etude des porteurs chauds sur FDSOI

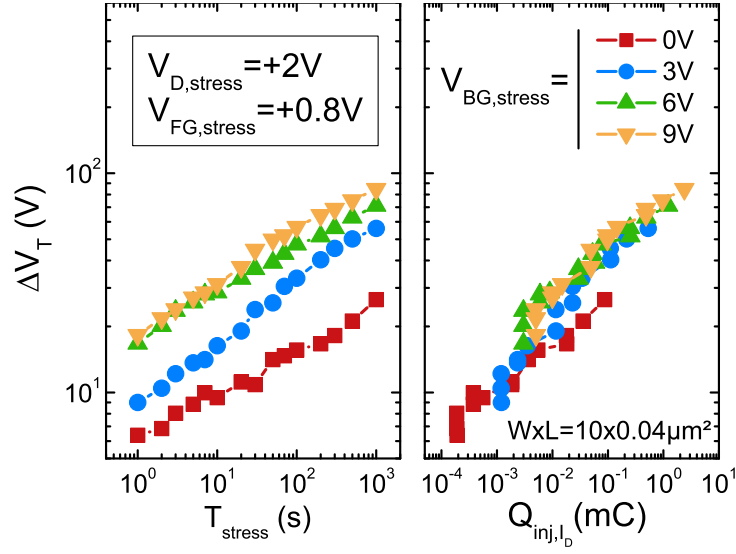


FIGURE 4.13 – Dégradation de V_T suite à un stress HC pour différentes tensions de stress arrière. $V_{D, stress} = +2V$

EES (mode 2 ou 3).

1.4.3 Impact du PBTI dans la dégradation HC

On a vérifié et confirmé la condition de stress $V_{FG} = V_D$ comme le pire cas de dégradation HC. Une telle condition impose un fort champ électrique sur la grille et il est donc important de connaître la part de la composante PBTI ($V_{FG} = V_{stress}$ & $V_D = 0V$).

Pour cela, on a utilisé les mesures ultra rapides présentées au chapitre précédent afin d'étudier d'éventuels mécanismes de piégeage rapide à des temps de stress dès $T_{stress} = 10^{-6}s$. Les résultats présentés Figure 4.14 ont été réalisés sur deux puces identiques :

- un premier stress HC est appliqué durant $T_{stress} = 1000s$ sur la puce 1 vierge et met en évidence un piégeage rapide d'électrons qui engendre un décalage de tension de seuil ΔV_{pr} dès $T_{stress} = 10\mu s$
- toujours sur la puce 1, un stress PBTI pendant $T_{stress} = 100\mu s$ est appliqué afin de montrer que ce piégeage est lié uniquement à la composante PBTI du stress $V_{FG} = V_D$
- enfin, afin de vérifier que le décalage ΔV_{pr} précédent n'était pas dû au premier stress HC que le dispositif avait subi, ce même stress PBTI est cette fois-ci appliqué à la puce 2 vierge et confirme le résultat précédent

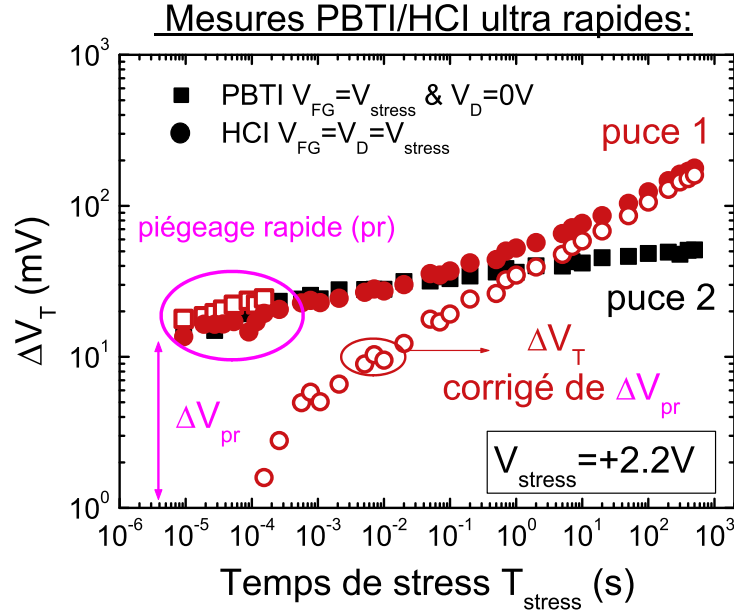


FIGURE 4.14 – Mesures ultra rapides d’une dégradation HC et de sa composante PBTI. $V_{stress} = +2.2V$

On vient donc de montrer que la composante PBTI rajoute un décalage de tension de seuil $\Delta V_{pr} > 0$ dû à un phénomène de piégeage rapide d’électrons. Afin d’extraire une valeur de durée de vie propre au phénomène de porteurs chauds, il est donc possible de corriger les courbes de dégradation initiales en les soustrayant de ΔV_{pr} (symbole ouvert sur la Figure 4.14). Cette correction sera utilisée plus loin pour l’extraction des cinétiques de dégradation.

On notera que les mesures ultra rapides ont permis de mettre en évidence un piégeage rapide, et bien que ce phénomène soit propre à nos dispositifs, ce type de mesure apparaît comme primordial pour les études des mécanismes de piégeage/dépiégeage et de relaxation en général.

1.4.4 Identification et localisation de la dégradation

On a vu au chapitre 2 (paragraphe 2.3 page 51) que les mesures de pompage de charge sur des dispositifs FDSOI à films minces étaient controversées, plus particulièrement sur la localisation et la quantification des pièges à l’interface avant ou arrière. Cependant elles permettent de mesurer facilement au cours d’un stress la variation relative des pièges d’interface. Des mesures ont été ainsi réalisées lors de

1. Etude des porteurs chauds sur FDSOI

stress $V_{FG} = V_D$ sur des structures à body contacté (voir Figure 2.10 page 52).

Les résultats sont présentés Figure 4.15 et sont exprimés en décalage de tension de seuil ΔV_T^{CP} :

$$\Delta V_T^{CP} = \frac{q Dit_{FG}}{C_{ox}} \quad (4.3)$$

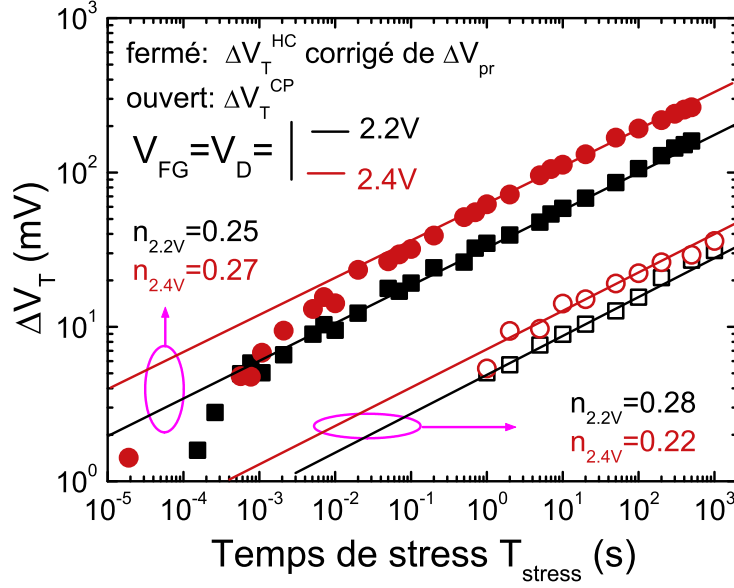


FIGURE 4.15 – Comparaison de ΔV_t^{CP} et ΔV_t^{HC}

Ils sont ensuite comparés à ΔV_T^{HC} mesuré précédemment par mesure ultra rapide : si les décalages en tension de seuil ne sont pas les mêmes, les cinétiques de dégradation n ($\Delta V_T \propto t^n$) semblent correspondre, preuve d'une dégradation HC dominée par la création d'états d'interface par rupture des liaisons Si-H.

En ce qui concerne la localisation de la dégradation, la méthode présentée à la section 4 du chapitre 2 (page 72) a été appliquée sur les transistors courts étudiés ($W=10\mu\text{m}$ & $L=50\text{nm}$), avec un stress $V_{FG, stress} = V_{D, stress} = +2.4V$. Bien que les signaux mesurés soient très faibles (de l'ordre du fF), dû aux petites surfaces des dispositifs, cette méthode relative permet de s'affranchir des problèmes de capacités parasites et il est possible de mesurer correctement ΔV^{Haut} et ΔV^{Bas} . Les résultats présentés Figure 4.16 montrent que $\Delta V^{Haut} = \Delta V^{Bas} \approx 50mV$ ce qui correspond clairement à une dégradation de l'interface avant uniquement. En utilisant l'équation 2.31 définie au chapitre 2 (page 75), on trouve une variation d'états d'interface avant $Dit_{FG} \approx 9 \cdot 10^{11}/\text{cm}^2$, en accord avec les résultats de pompage de charge Figure 4.15.

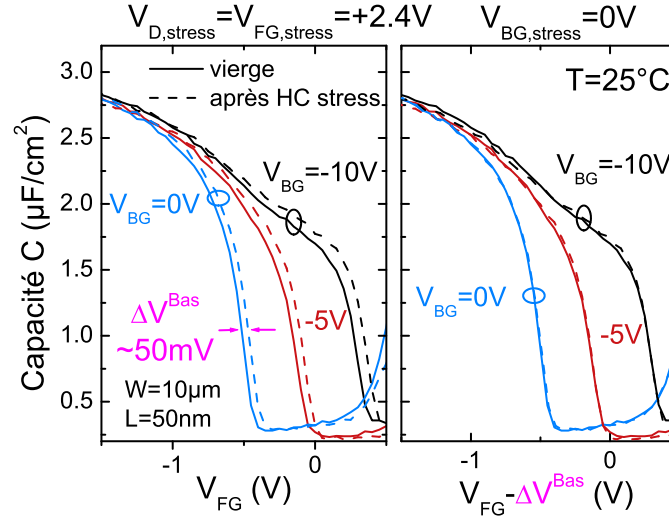


FIGURE 4.16 – Localisation de la dégradation HC. $V_{FG,stress} = V_{D,stress} = +2.4\text{V}$

En comparaison, on présente Figure 4.17 le cas où l'interface arrière est effectivement dégradée. Pour cela un stress HC avec $V_{D,stress} = +2.4\text{V}$ et $V_{BG,stress} = +15\text{V}$ pendant 1000s a été appliqué pour dégrader volontairement cette interface arrière. Comme attendu, on observe une forte asymétrie entre ΔV^L et ΔV^H .

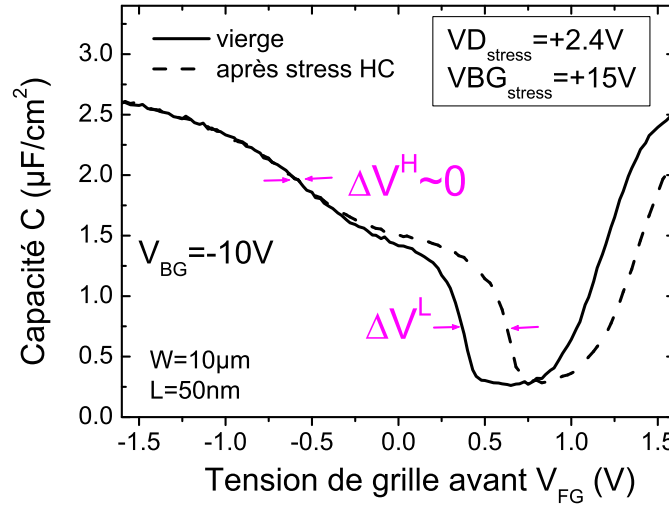


FIGURE 4.17 – Illustration d'une dégradation de l'interface arrière après un stress $V_{D,stress} = +2.4\text{V}$ et $V_{BG,stress} = +15\text{V}$

1. Etude des porteurs chauds sur FDSOI

1.4.5 Comparaison avec une technologie silicium massif

Enfin, bien que travaillant avec des dispositifs non optimisés pour des applications haute performance avec une tension seuil initiale autour de $V_T \approx 0.5V$ ($V_T \approx 0.35V$ visé), il est intéressant de les comparer à une technologie sur silicium massif (bulk).

Pour cela, les mêmes dispositifs bulk que ceux présentés dans l'étude du PBTI au chapitre 3 ($V_T \approx 0.35V$) ont été soumis à des stress $V_{FG, stress} = V_{D, stress}$. Les résultats des durées de vie des dispositifs pour les critères $\Delta V_T = 50mV$ et $\Delta I_{D, sat}/I_{D, sat0} = 10\%$ sont présentés Figure 4.18 et comparés à ceux obtenus sur les dispositifs FDSOI. Même si les champs électriques appliqués pendant les stress ne sont pas identiques (V_T différents), les durées de vie des dispositifs FDSOI sont équivalentes à celles obtenues avec une technologie sur silicium massif.

Enfin, on présente Figure 4.19 les durées de vie des transistors FDSOI sur lesquels sont appliquées les polarisations $V_{BG, stress} = \pm 1V$, valeurs typiquement utilisées pour moduler la tension de seuil V_T dans les technologies multi- V_T . Ces dernières passent clairement le critère des dix ans d'utilisation, pour les trois critères fixés.

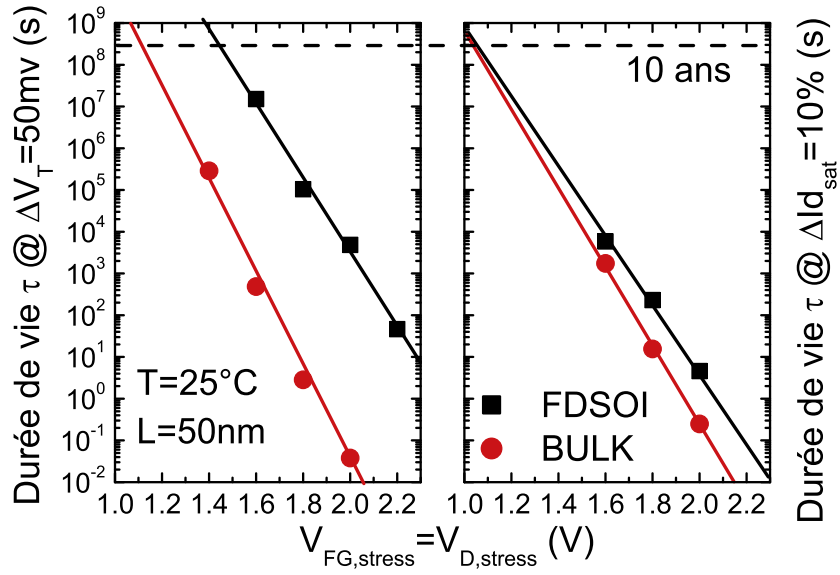


FIGURE 4.18 – Comparaison des dégradations HC entre des technologies FDSOI et BULK

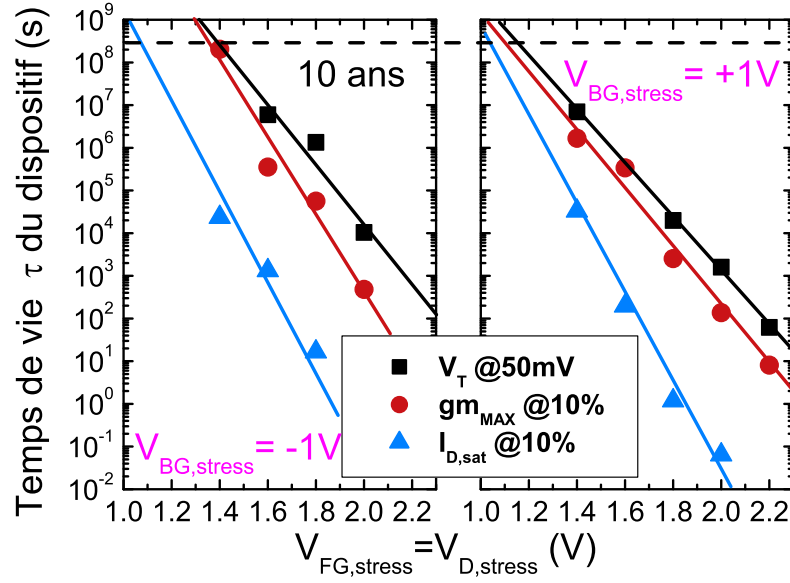


FIGURE 4.19 – Comparaison des dégradations HC entre des technologies FDSOI et BULK

Finalement, on a montré que les dégradations HC de type $V_{FG} = V_D$ sur des transistors NMOS FDSOI à films minces étaient de même type que des dégradations sur des technologies sur silicium massif, puisque seule l'interface avant est dégradée. Pour ces conditions de stress, on a confirmé que le mode de dégradation était de type MVE, c'est-à-dire contrôlé par le champ électrique dans l'oxyde. Enfin, dans l'optique d'applications multi- V_T , on a montré que nos dispositifs NMOS étaient très résistants à ce type de dégradation, même lorsqu'un stress en face arrière est appliqué.

2 Effets de $V_T(W)$

Après avoir étudié l'impact d'une dégradation porteurs chauds sur la qualité de l'interface arrière, problème spécifique aux transistors FDSOI à films minces, on va s'intéresser à présent aux problèmes d'instabilité de la tension de seuil V_T sur des empilements High- κ /grille métallique TiN, lorsque les longueurs L et surtout les largeurs W de grille diminuent. En effet, tout comme les effets canaux courts, on observe une forte augmentation de la tension de seuil lorsque les largeurs de grille des dispositifs diminuent. Cette instabilité devient problématique notamment pour les mémoires vives statiques SRAM (« **S**tatic **R**andom **A**ccess **M**emory ») qui utilisent des dispositifs étroits.

Ces effets de W sont illustrés Figure 4.20 sur des transistors à canaux longs ($L = 10\mu m$) pour un diélectrique HfZrO et pour différents types de grille TiN (épaisseur, type de dépôt). On observe bien que la tension de seuil avant V_T augmente lorsque la largeur de grille W diminue, et ce quelque soit le type de grille. On notera que cette variation de tension de seuil ΔV_T^W peut varier jusqu'à une centaine de millivolts ($\Delta V_T = 130mV$ pour une grille TiN ALD 10nm) !

On rappelle que les deux types de grille ALD (« **A**tome **L**ayer **D**eposition ») et PVD (**P**hysical **V**apor **D**eposition) diffèrent par leur technique de dépôt.

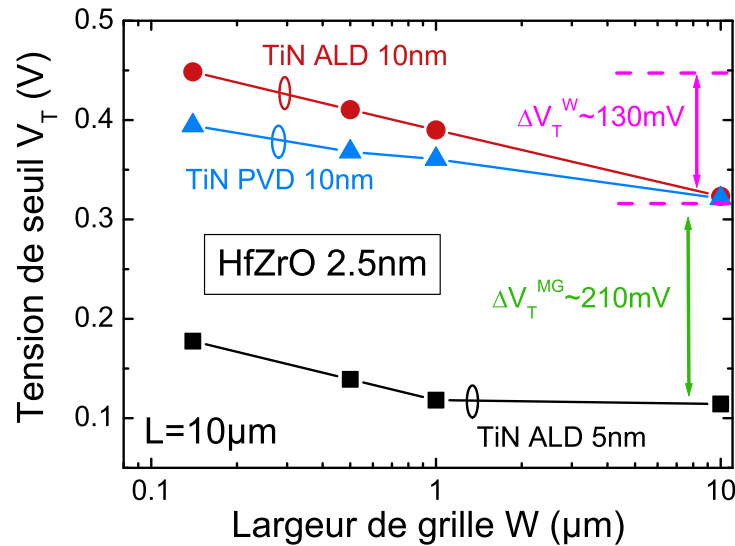


FIGURE 4.20 – Tension de seuil V_T en fonction de la largeur de grille pour différents types de grille. $L=10\mu m$

On notera notamment sur la Figure 4.20 un décalage de tension de seuil $\Delta V_T^{MG} =$

210mV entre la grille d'épaisseur 5nm et celles de 10nm que l'on attribue à la différence de travaux de sortie qui existe entre des grilles de différentes épaisseurs. Ce phénomène présenté Figure 4.21 a été mis en évidence par mesure de photo-émission interne [31] sur des dispositifs d'empilement HfO_2/TiN . Φ_b correspond à la hauteur de barrière de potentiel entre la grille métallique et le diélectrique.

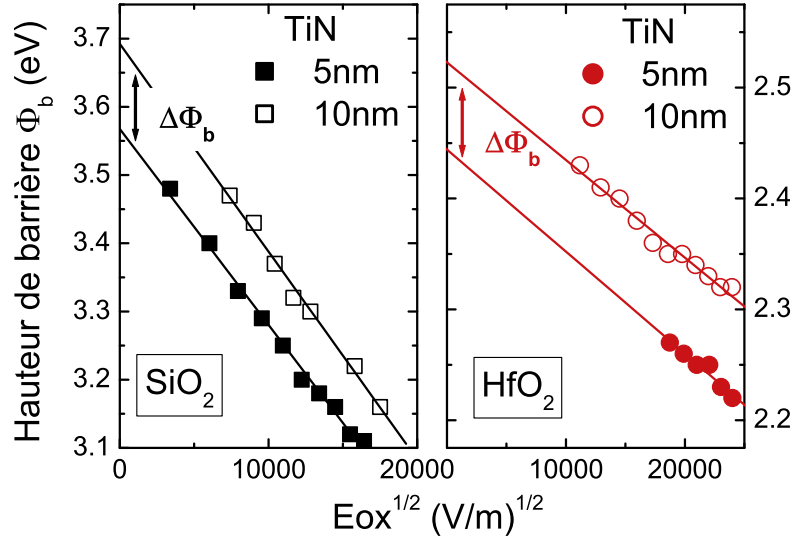


FIGURE 4.21 – Travaux de sortie de la grille TiN pour des oxydes SiO_2 et High- κ

Enfin, comme l'illustre la Figure 4.22 avec un empilement HfO_2/TiN , on retrouve cette instabilité de tension de seuil avec W à la fois sur des transistors NMOS et PMOS, avec dans les deux cas $\Delta V_T^W > 0$. Celle-ci est d'autant plus importante lorsque les longueurs de grille diminuent. En effet, pour $L=80\text{nm}$ avec des transistors de type NMOS, on observe $\Delta V_T^W = 200\text{mV}$.

On vient de mettre en évidence une instabilité de la tension de seuil avec la diminution des longueurs caractéristiques des transistors NMOS et PMOS. Bien que les mesures soient réalisées sur des dispositifs FDSOI ($t_{Si} = 15\text{nm}$ et $t_{BOx} = 25\text{nm}$), ce phénomène d'instabilité n'est pas propre à la technologie FDSOI et apparaît sur des technologies sur silicium massif [32]. Il est donc primordial d'étudier et de comprendre les mécanismes mis en jeu afin de pouvoir proposer des solutions technologiques pour maîtriser la tension de seuil.

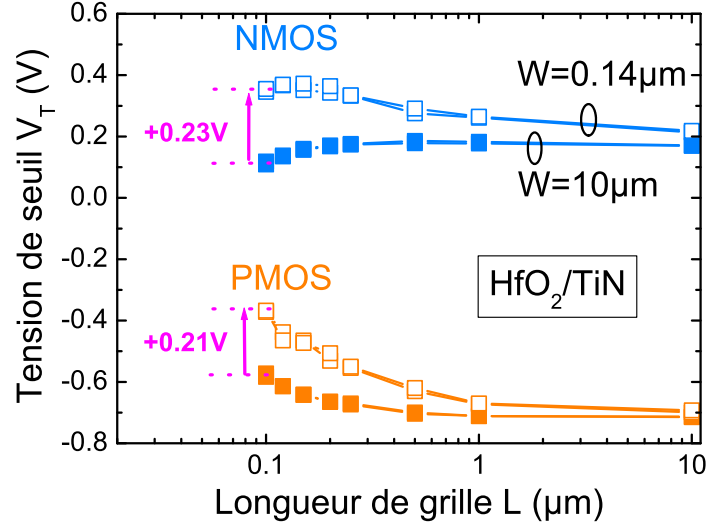


FIGURE 4.22 – Tension de seuil V_T en fonction de la longueur de grille pour différents types de grille. $W=10\mu m$ & $W=0.14\mu m$

2.1 Validation de l'architecture

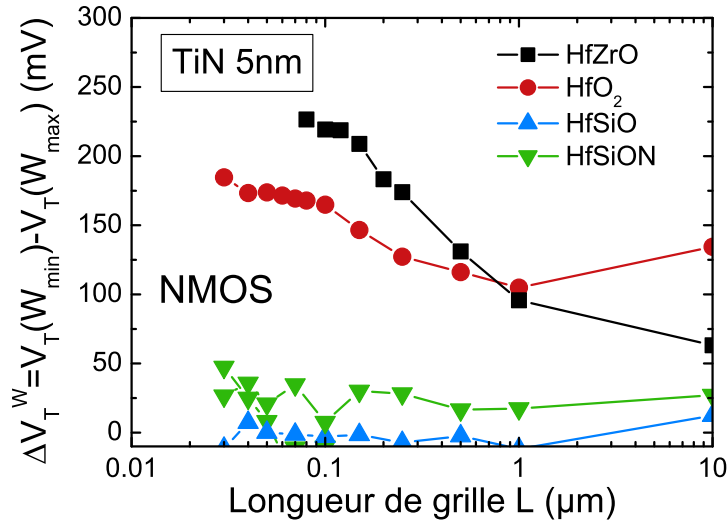
Pour cette étude, quatre différents diélectriques High- κ ont été testés : $HfZrO$, HfO_2 , $HfSiO$ et $HfSiON$. De plus, par la suite, on ne considérera plus que des grilles TiN d'épaisseur 5nm.

Les résultats pour chacun des diélectriques sont présentés Figure 4.23 avec des caractéristiques $\Delta V_T^W(L)$ qui permettent de visualiser l'instabilité de V_T à la fois en fonction de la largeur et de la longueur de grille. En effet, on définit ΔV_T^W tel que :

$$\Delta V_T^W = V_T(W_{min} = 80nm) - V_T(W_{max} = 10\mu m) \quad (4.4)$$

Pour des canaux courts $L=100nm$, on observe des décalages $\Delta V_T^W \approx 200mV$ avec les diélectriques $HfZrO$ et HfO_2 . Au contraire, aucune instabilité de V_T significative n'est obtenue avec les diélectriques de type silicate ($HfSiO$ & $HfSiON$).

Ce résultat permet dans un premier temps d'écarter tout éventuel problème d'architecture. Comme l'illustre la Figure 4.24, des dispositifs non optimisés auraient pu expliquer l'instabilité en W . En effet, des défauts localisés en bord de grille vont avoir plus d'influence sur des transistors étroits que sur des transistors larges.


 FIGURE 4.23 – Décalage en tension de seuil ΔV_T^W pour différents High- κ

Cependant, si c'était le cas, l'instabilité en W aurait été observée quelque soit le diélectrique High- κ , ce qui n'est pas le cas. Le phénomène d'instabilité de tension de seuil dépend donc essentiellement de l'empilement de grille avant.

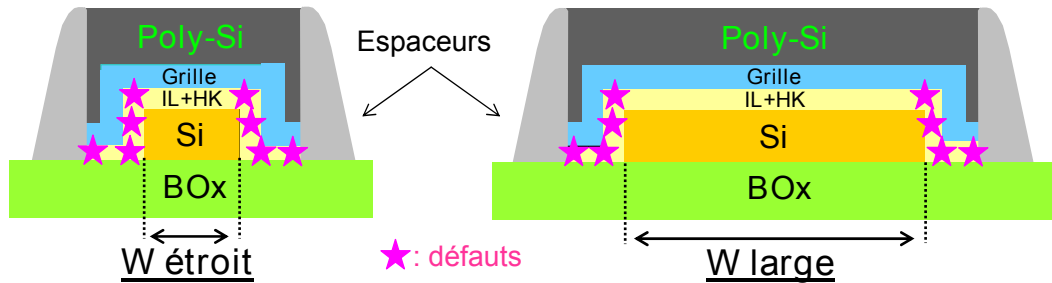


FIGURE 4.24 – Illustration de l'instabilité due à un problème d'architecture

On notera aussi que ce phénomène d'instabilité de V_T avec W a été observé à la fois sur des architectures dotées d'isolations latérales de type STI (« **S**hallow **T**rench **I**solation ») et Mesa. On rappelle Figure 4.25 les différences entre ces deux types d'isolation. L'isolation STI est la seule solution possible pour des technologies sur silicium massif. Elle consiste en une tranchée remplie de diélectrique isolant. Les étapes de fabrication de ces isolations STI sont cependant lourdes et coûteuses (gravure, remplissage, recuit de densification, polissage) et c'est pour s'affranchir de tout cela que les isolations Mesa ont été développées pour des technologies FDSOI. En effet, ces dernières consistent uniquement en la gravure de tranchées jusqu'au

2. Effets de $V_T(W)$

BOx. Elles sont ensuite remplies par les différentes couches successives au fil des étapes de fabrication et isolent les dispositifs entre eux à la fin du procédé. Les isolations STI permettent cependant une plus grande densité de transistors sur une même plaque.

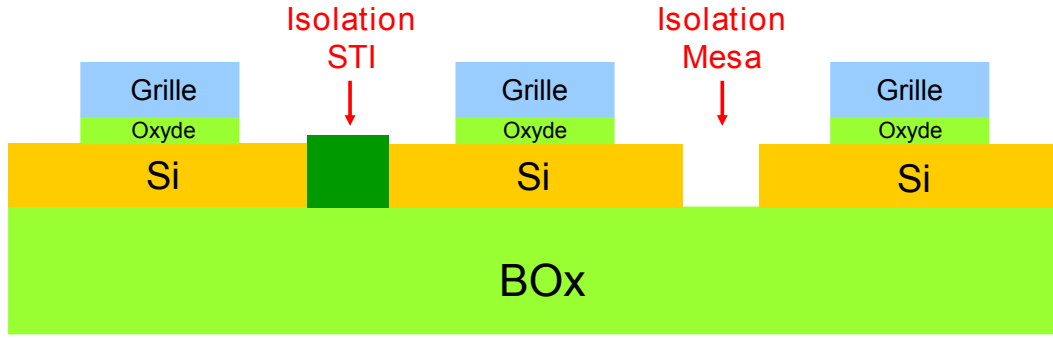


FIGURE 4.25 – Schématisation des deux types d'isolation STI et Mesa

2.2 Origine de l'instabilité

Afin de pouvoir identifier la cause de l'instabilité en W , il est important de comprendre quels facteurs influent sur ΔV_T^W . Par la suite, on considérera $V_{BG} = 0V$. En reprenant l'expression de la tension de seuil V_T lorsque la face arrière est désertée, définie équation 1.33 page 22, et en considérant cette fois-ci une charge d'oxyde Q_{ox} , on peut montrer facilement que :

$$\Delta V_T^W \approx - \left(\frac{Q_{ox}^{Wmin}}{C_{ox}^{Wmin}} - \frac{Q_{ox}^{Wmax}}{C_{ox}^{Wmax}} \right) + (\Phi_{MS,FG}^{Wmin} - \Phi_{MS,FG}^{Wmax}) \quad (4.5)$$

On notera qu'il n'y a pas de variation de charge de désertion puisqu'on travail avec des dispositifs FDSOI.

Le premier terme dépend donc des charges Q_{ox} dans l'oxyde mais aussi de l'EOT qui peut modifier le terme en C_{ox} . Le second terme en $\Phi_{MS,FG}$ correspond lui à la différence de travaux de sortie entre la grille avant et le film de silicium et peut varier si la grille est modifiée.

En ce qui concerne les charges Q_{ox} dans l'oxyde, on peut les séparer en deux catégories : les défauts d'interfaces $Q_{itFG} = q Dit_{FG}$ et les charges dans le volume du diélectrique Q_{HK} :

$$Q_{ox} = Q_{itFG} + Q_{HK} \quad (4.6)$$

Concrètement, si l'on s'en tient à l'expression 4.5, trois paramètres peuvent expliquer l'augmentation de V_T sur les dispositifs étroits :

- des charges dans l'oxyde (états d'interface ou pièges dans le High- κ)
- une recroissance de l'oxyde interfacial et donc de l'EOT
- un changement de travail de sortie de la grille TiN

On va montrer dans la suite de ce travail que seule la dernière proposition peut expliquer les effets de $V_T(W)$. Pour justifier cela, on montrera dans un premier temps que dans certains cas il peut y avoir une éventuelle recroissance de la couche interfaciale lorsque les dimensions du transistors diminuent, mais celle-ci ne peut pas expliquer de telles instabilités. On montrera ensuite que les densités de pièges dans l'oxyde ne sont pas plus importantes sur les dispositifs courts et étroits.

2.2.1 Recroissance de l'oxyde

Lorsque les dimensions des transistors diminuent, il peut arriver que l'oxyde interfacial SiO_2 recroisse lors des différentes étapes de fabrication et donc que la capacité d'oxyde C_{ox} diminue ($C_{ox} = \frac{\varepsilon_{\text{SiO}_2}}{EOT}$). Or, comme on a pu le voir équation 4.5, une variation de capacité d'oxyde pourrait expliquer les effets en W . Pour vérifier une éventuelle recroissance de l'oxyde interfacial, les valeurs d'EOT pour différentes largeurs de grille et pour les quatre différents High- κ ont été extraites à partir de mesures capacitives. Les résultats sont présentés Figure 4.26.

On observe que seuls les dispositifs constitués de diélectriques HfO_2 présentent une recroissance de l'EOT $\Delta EOT^W \approx 3\text{\AA}$ lorsque la largeur de grille diminue. Cependant, ce n'est pas le cas avec les oxydes de type HfZrO qui montrent pourtant une instabilité de V_T avec W ! On ne peut donc pas attribuer les effets de $V_T(W)$ à une recroissance de l'oxyde interfacial.

A noter qu'en considérant une recroissance $\Delta EOT^W \approx 3\text{\AA}$ avec du HfO_2 et en utilisant la valeur de densité d'interface maximale mesurée $Dit_{FG} = 7 \cdot 10^{11} \text{ cm}^{-2}$ (voir plus loin Figure 4.27), on obtient bien un décalage de tension de seuil ΔV_T^{EOT} induit par la variation d'EOT insuffisant pour expliquer les effets de $V_T(W)$:

$$\Delta V_T^{EOT} = -q \frac{Dit_{FG}}{\varepsilon_{\text{SiO}_2}} \Delta EOT \approx 10 \text{ mV} \quad (4.7)$$

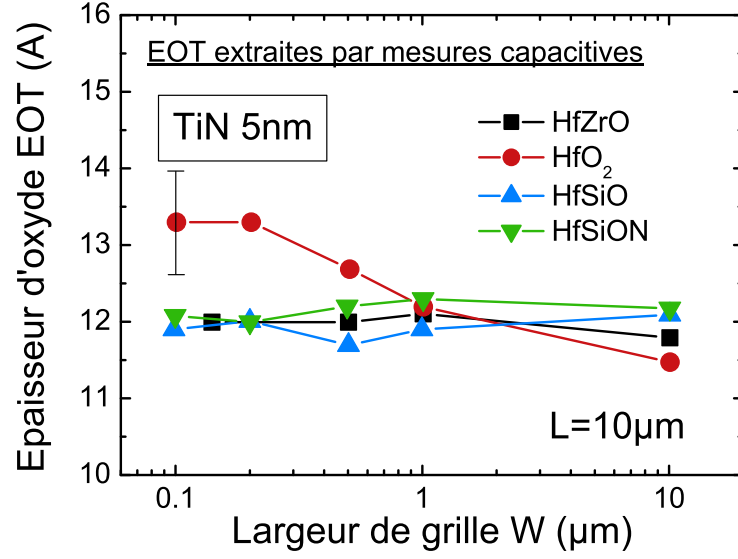


FIGURE 4.26 – Mesures d'EOT extraites de mesures capacitives en fonction de W . $L=10\mu m$

Finalement, outre le cas du HfO_2 , on a $C_{ox}^{Wmin} = C_{ox}^{Wmax} = C_{ox}$ dans l'expression 4.5, et donc :

$$\Delta V_T^W \approx -\frac{Q_{ox}^{Wmin} - Q_{ox}^{Wmax}}{C_{ox}} + (\Phi_{MS,FG}^{Wmin} - \Phi_{MS,FG}^{Wmax}) \quad (4.8)$$

2.2.2 Défauts d'interfaces

Afin de vérifier si la densité d'états d'interface initiale n'est pas plus élevée sur des transistors étroits, la méthode de la conductance présentée au chapitre 2 a été appliquée sur des transistors avec un empilement $HfZrO/TiN$ pour différentes largeurs de grille .

Les résultats présentés Figure 4.27 montrent très peu de différence entre les différentes géométries testées. Au maximum, on trouve une différence $\Delta Dit_{FG}^W \approx -2 \cdot 10^{11}/cm^2$. Comme on vu précédemment qu'avec ce type de diélectrique il n'y avait pas de variation d'EOT avec la largeur de grille, cela correspond à un décalage en tension de seuil ΔVit^W dû aux pièges d'interface égal à :

$$\Delta Vit^W = -q \frac{\Delta Dit_{FG}^W}{C_{ox}} \approx 10mV$$

Bien qu'il puisse avoir une petite différence de densité d'états d'interface initiale entre des transistors large et étroit, cette différence ne peut pas expliquer des instabilités de V_T pouvant aller jusqu'à 200mV ($\Delta V_{it}^W \approx 10mV$).

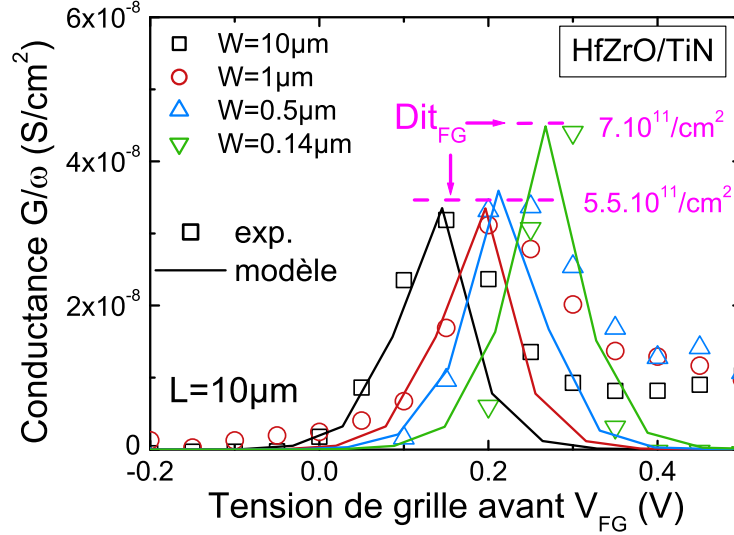


FIGURE 4.27 – Pics de conductance pour différentes largeurs de grille avec un diélectrique HfZrO

Des mesures NBTI ont notamment été réalisées sur des empilements HfO₂/TiN pour différentes longueurs et largeurs de grille. En effet, comme on a pu le voir au chapitre précédent, les dégradations NBTI sont intimement liées aux états d'interface. Or, si la densité d'état d'interface initiale était plus importante sur les dispositifs étroits, on pourrait s'attendre à une dégradation NBTI plus importante sur ces derniers.

Les résultats du décalage ΔV_T après $T_{stress} = 1000s$ en fonction du champ électrique dans l'oxyde pour différentes géométries présentées Figure 4.28 montrent clairement une dégradation NBTI indépendante de la géométrie, ce qui confirme les résultats précédents.

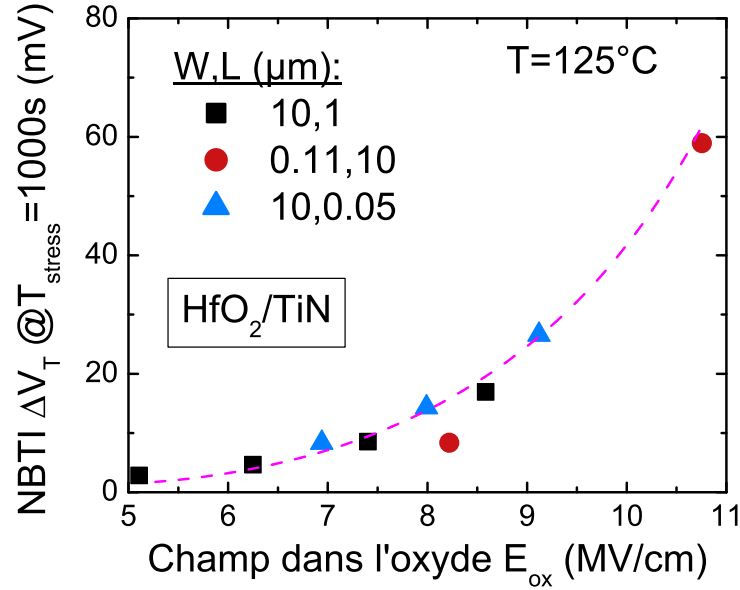


FIGURE 4.28 – NBTI pour différents couples (W,L) avec un oxyde HfO₂

2.2.3 Défauts dans le volume

On s'intéresse à présent aux défauts dans le volume du diélectrique High- κ (Q_{HK}). Comme on a pu le voir dans les Chapitres 2 et 3, ces défauts peuvent être mis en évidence en comparant des mesures de courant de drain dynamique et statique.

Les résultats présentés Figure 4.29 sur des transistors courts et étroits montrent des caractéristiques statique et dynamique identiques. Cela permet de montrer qu'aucun nouveau phénomène de piégeage rapide dans des lacunes d'oxygène pouvant expliquer les effets de $V_T(W)$ n'apparaît sur les dispositifs étroits.

Tout comme précédemment, on confirme ces résultats Figure 4.30 avec des mesures de PBTI réalisées sur des dispositifs de différentes tailles pour des empilements HfSiON/TiN stables et HfO₂/TiN instables. Pour les deux types d'empilements, on observe que la dégradation PBTI, sensible à la densité de pièges dans les High- κ , apparaît comme indépendante de la géométrie des dispositifs. On peut donc éliminer l'aspect Q_{HK} comme origine des effets de $V_T(W)$. Autrement dit :

$$Q_{HK}^{W_{min}} = Q_{HK}^{W_{max}} \Rightarrow \Delta V_T^{HK} \approx 0$$

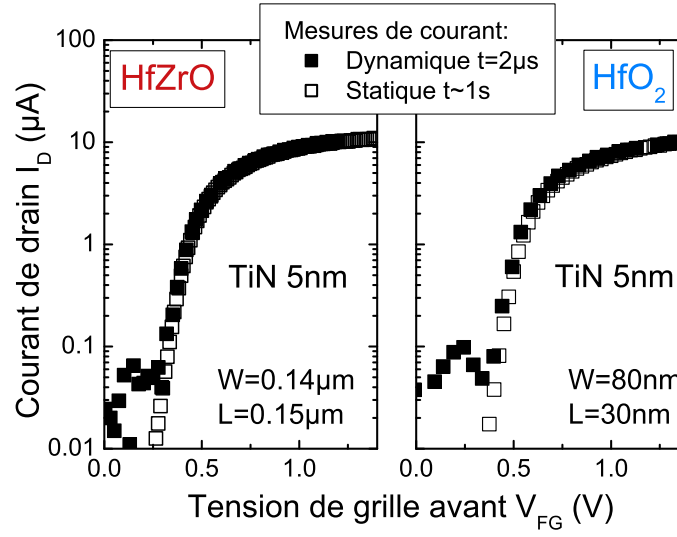


FIGURE 4.29 – Comparaison des mesures de I_D statique et dynamique

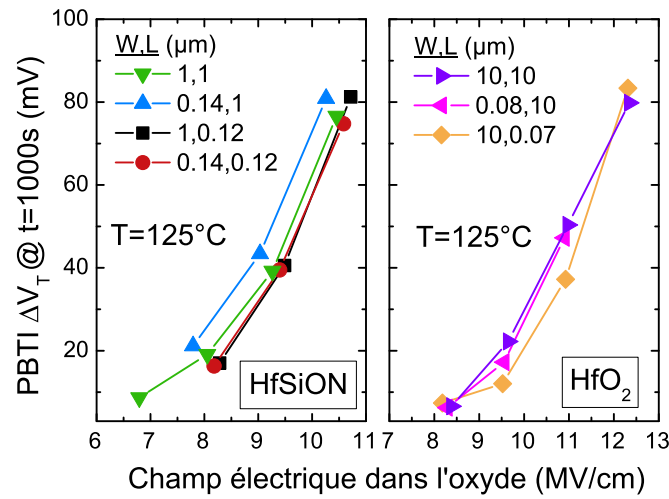


FIGURE 4.30 – PBTI pour différents couples (W,L) avec un diélectrique HfSiON stable et HfO₂ instable

2. Effets de $V_T(W)$

L'expression 4.5 peut ainsi se résumer à :

$$\Delta V_T^W \approx \Phi_{MS,FG}^{Wmin} - \Phi_{MS,FG}^{Wmax} \quad (4.9)$$

Finalement, ni les défauts dans l'oxyde High- κ , ni une recroissance de l'oxyde interfaciale SiO_2 ne peuvent expliquer clairement l'instabilité de la tension de seuil V_T avec la largeur de grille et seule une variation des travaux de sortie entre la grille et le substrat peut expliquer ce phénomène. Il est important à présent de comprendre les mécanismes physiques à la source de cette variation.

2.3 Proposition d'un modèle

On va à présent essayer de comprendre comment peut varier la différence des travaux de sortie entre un transistor étroit et un transistor large. Pour cela on va proposer dans un premier temps une explication de l'instabilité de tension de seuil par un modèle de diffusion d'oxygène à travers les espaceurs, qu'on validera par la suite avec des caractérisations physico-chimiques et électriques.

2.3.1 Description du modèle

Comme l'ont montré d'autres travaux, il est possible de venir modifier la tension de seuil d'un transistor en faisant diffuser latéralement de l'oxygène après avoir enlevé les espaceurs [33] ou en venant doper la grille avec des espèces oxygénées [34]. A partir de ces observations, on a proposé un modèle pour expliquer les instabilités de V_T avec W basé sur la diffusion d'oxygène cette fois-ci à travers les espaceurs.

Comme l'illustre la Figure 4.31, on considère dans ce modèle que de l'oxygène va venir diffuser à travers les espaceurs et venir oxyder localement la grille TiN en formant une couche de type TiON ou TiO_x . Conformément aux résultats précédents, cette couche ne va pas venir influencer l'EOT car elle possède une constante diélectrique k très élevée autour de $60\varepsilon_0$ [35]. Cependant, elle va venir changer le travail de sortie $\Phi_{m,FG}$ de la grille et par conséquent la tension de seuil du transistor.

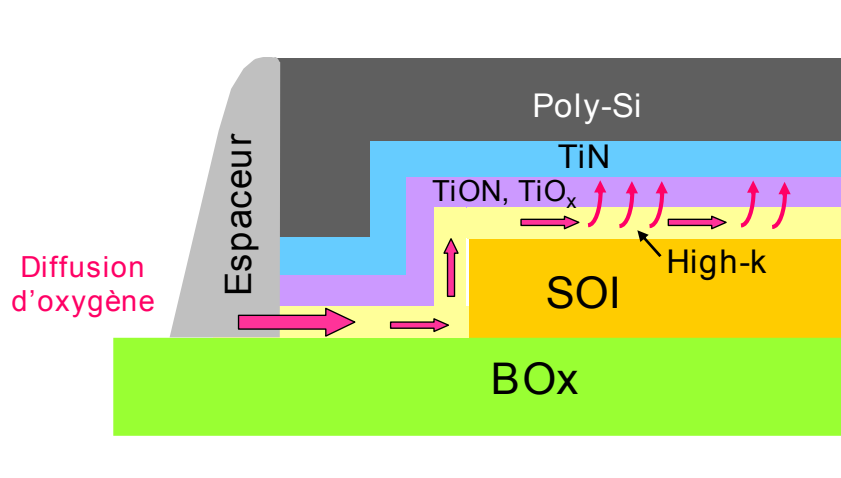


FIGURE 4.31 – Illustration de la diffusion d’oxygène à travers les espaceurs vers la grille TiN

Cette diffusion d’oxygène à travers les espaceurs a une influence différente selon que les transistors soient larges ou étroits, ce qui est illustré Figure 4.32. On comprend clairement que dans le cas d’un transistor étroit, la totalité de la grille peut se retrouver oxydée, alors que pour un transistor large, l’effet de la diffusion d’oxygène est négligeable (uniquement sur les bords).

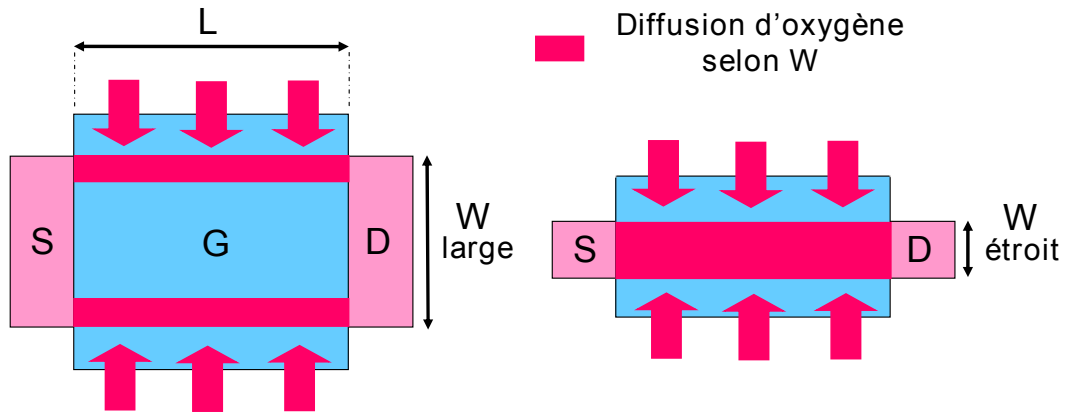


FIGURE 4.32 – Impact de la diffusion d’oxygène à travers les espaceurs sur des transistors larges et étroits

La différence entre les silicates HfSiO & HfSiON , stables vis-à-vis des effets de $V_T(W)$, et les diélectriques de type HfO_2 & HfZrO , instables, peut s’expliquer alors par une plus grande diffusion de l’oxygène pour ces derniers.

2.3.2 Validation par caractérisation physique

Des mesures de spectroscopie de perte d'énergie EELS (« **E**lectron **E**nergy **L**oss **S**pectroscopy ») réalisées sur des transistors étroits $W=80\text{nm}$ ont permis de mesurer la composition élémentaire des empilements HfSiO/TiN et HfO_2/TiN et de localiser les atomes d'oxygène. Les résultats Figure 4.33 présentent les trois espèces O, N et TiN dans les empilements.

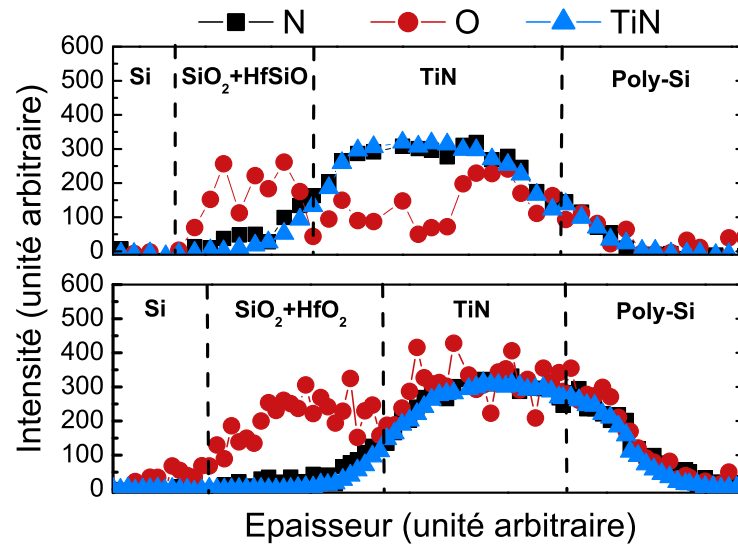


FIGURE 4.33 – Résultats des mesures EELS sur des empilements composés de diélectriques HfSiO et HfO_2

On peut distinguer facilement les différentes couches de l'empilement et la différence entre les deux échantillons apparaît au niveau de la grille TiN . En effet, dans le cas du HfO_2 , on observe clairement la superposition des signaux O et TiN tout le long de la grille, preuve d'une oxydation totale de la grille. En revanche, ce n'est pas le cas avec un oxyde HfSiO .

Ce résultat vient donc conforter l'idée d'une oxydation de la grille qui serait à l'origine de la variation de différence de travaux de sortie entre des transistors larges et étroits.

2.3.3 Origine de la différence entre les différents High- κ

Cette différence entre les différents diélectriques High- κ (HfSiO & HfSiON stables et HfZrO & HfO₂ instables) pourrait s'expliquer par leur différence de structure cristalline. En effet, des mesures TEM de haute résolution réalisées en bord de grille sur des empilements HfSiO/TiN et HfZrO/TiN et présentées Figure 4.34 mettent en évidence un diélectrique HfSiO amorphe alors que le matériau HfZrO est clairement cristallin. On peut alors penser que la diffusion d'espèces dans les matériaux amorphes est limitée par rapport aux matériaux cristallins, ce qui expliquerait la stabilité en V_T des silicates.

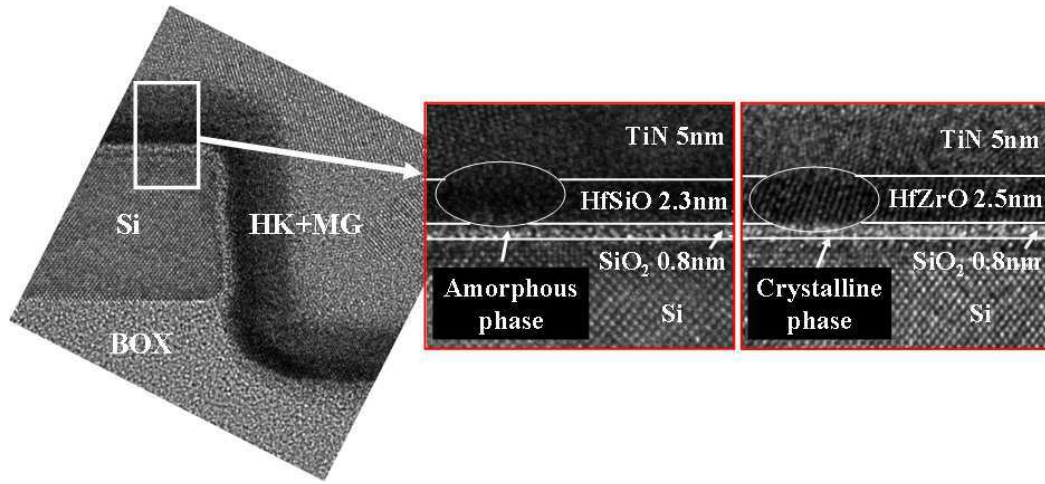


FIGURE 4.34 – Coupe TEM en bord de grille sur des empilements composés de diélectriques HfSiO et HfZrO

Ces résultats sur la cristallinité des matériaux High- κ ont été confirmés par des mesures de spectroscopie infrarouge à transformée de Fourier FTIR (« **F**ourier **T**ransform **I**nfraRed ») présentées Figure 4.35. Comme on peut le voir pour les oxydes de type HfZrO, un pic apparaît autour de $\sigma = 700\mu m^{-1}$, signe d'une cristallisation dans une phase tétragonale lors du recuit d'activation à 1050°C [36]. Au contraire, aucun pic n'apparaît dans cette gamme pour les silicates, ce qui confirme leur caractère amorphe même après recuit à haute température.

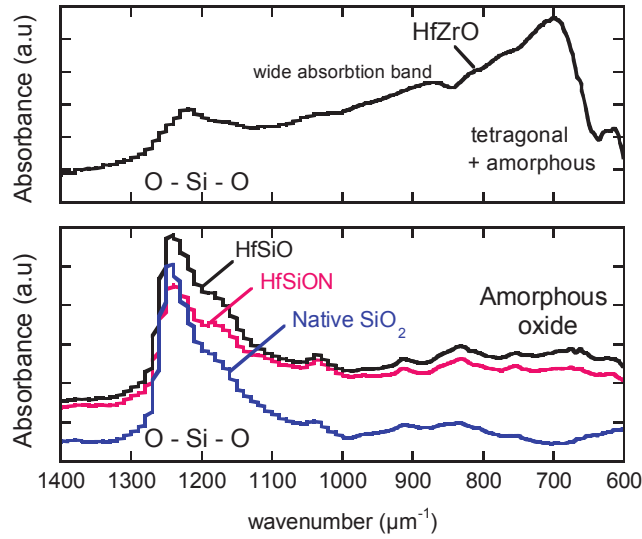


FIGURE 4.35 – Spectres ATRdes des oxydes de type HfSiON et HfZrO

2.3.4 Validation par caractérisation électrique

Les caractérisations physico-chimiques ont confirmé l'oxydation de la grille TiN sur transistors étroits lorsque l'empilement de grille est composé d'un oxyde High- κ amorphe. Cependant, rien ne prouve jusqu'à présent que la diffusion d'oxygène s'effectue à travers les espaceurs. En effet, on peut penser dans un premier temps que l'oxygène provient de l'oxyde enterré en SiO_2 et non pas des espaceurs. Pour étudier cela, des mesures de tension de seuil ont été réalisées parallèlement sur des transistors FDSOI isolés (cas classique) à canaux larges ($W=10\mu m$) et étroits ($W=80nm$) et sur des structures matricées constituées de 100 transistors étroits ($W=100 \times 80nm$) reliés entre eux par une grille commune. Ces structures sont illustrées Figure 4.36 avec une vue de dessus.

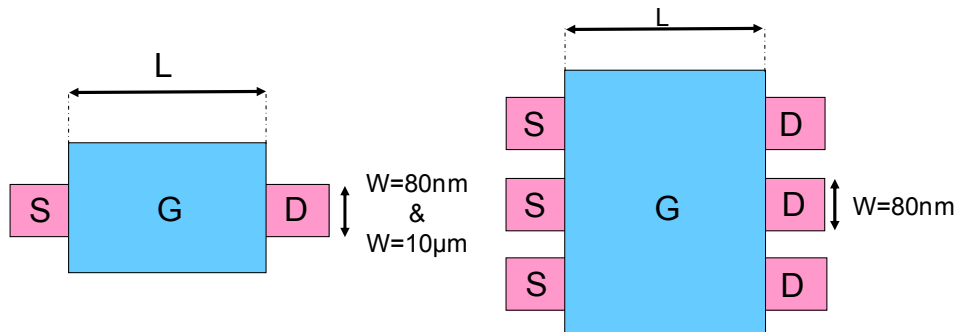


FIGURE 4.36 – Illustration des structures isolées et matricées

Une coupe transverse de ces deux types de structure selon W est présentée Figure 4.37 et permet de comprendre qu'une diffusion d'oxygène depuis l'oxyde enterré affecterait de la même manière une structure isolée ou matricée, le BOx étant intrinsèquement présent tout le long des structures. Au contraire, une diffusion d'oxygène depuis les bords de structure à travers les espaceurs aurait un effet moindre sur des structures matricées comparées aux structures isolées. En effet, seuls les transistors aux extrémités de la structure matricée devraient être impactés.

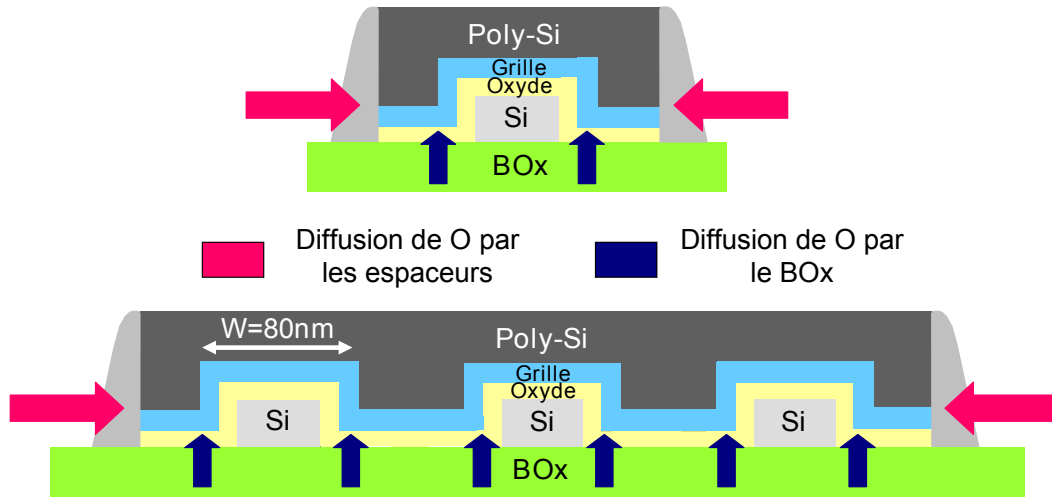


FIGURE 4.37 – Illustration de la diffusion d'oxygène sur des structures isolées et matricées

Donc concrètement, si les effet de $V_T(W)$ sont induits par une oxydation de l'oxyde enterré, on devrait avoir :

$$\Delta V_T^W(\text{matrice}) = \Delta V_T^W(\text{isolé}) \quad (4.10)$$

Si ces instabilités sont expliquées par une diffusion latérale d'oxygène, les structures matricées seront peu impactées puisque seuls les transistors aux extrémités seront oxydés, tout comme un transistor isolé large. Au contraire, elles seront différentes d'une structure isolée étroite totalement oxydée. En terme de variation de tension de seuil, cela signifie :

$$\begin{cases} \Delta V_T^W(\text{matrice}) = \Delta V_T^W(\text{isolé large}) \\ \Delta V_T^W(\text{matrice}) \neq \Delta V_T^W(\text{isolé étroit}) \end{cases} \quad (4.11)$$

2. Effets de $V_T(W)$

Les mesures de tension de seuil sur ces structures isolées et matricées sont présentées Figure 4.38 en fonction de la longueur de grille L :

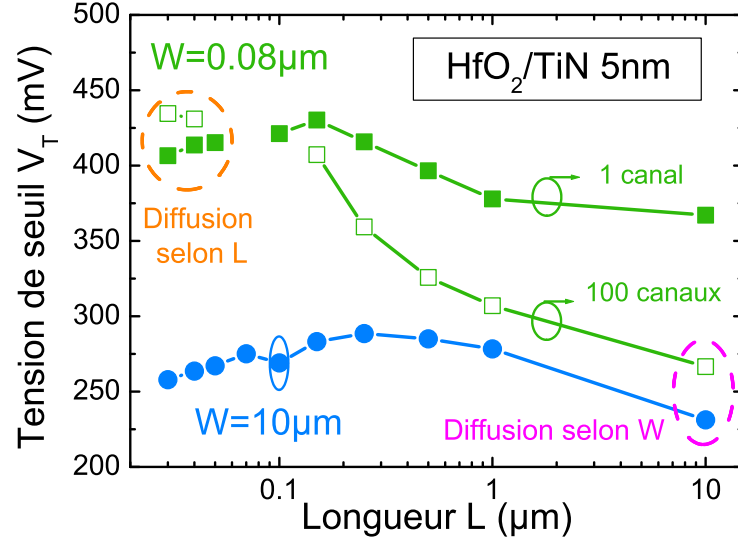


FIGURE 4.38 – Tension de seuil des structures isolées et matricées en fonction de L

Pour $L=10 \mu m$, on observe déjà une différence de tension de seuil entre la structure matricée ($W=100 \times 80 nm$) et la structure isolée étroite ($W=80 nm$), ce qui permet de s'affranchir de l'idée que la diffusion d'oxygène puisse s'effectuer depuis l'oxyde enterré. De plus, on observe bien des valeurs de tension de seuil équivalentes entre les structures isolées larges ($W=10 \mu m$) et les structures matricées étroites ($W=100 \times 80 nm$). Ces résultats confirment donc bien une diffusion latérale d'oxygène, comme expliqué précédemment.

Enfin, pour les canaux courts $L=30 nm$, on observe une inversion des tendances avec les tensions de seuil des structures isolées étroites et des structures matricées qui se rejoignent. Cette observation n'est pas incompatible avec les explications proposées et peut s'expliquer Figure 4.39 par une diffusion d'oxygène selon L qui vient s'ajouter à la diffusion selon W à travers les espaceurs et qui prend de l'importance lorsque les longueurs de grilles diminuent.

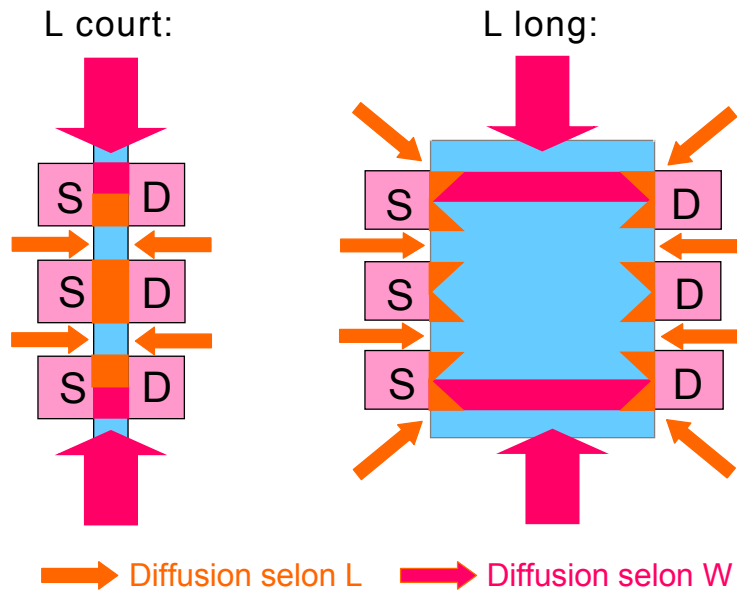


FIGURE 4.39 – Illustration de la diffusion d’oxygène selon L et W sur les structures matricées

On a donc montré dans cette étude que l’instabilité de la tension de seuil avec la réduction des dimensions des transistors pouvait être expliquée par une diffusion d’oxygène à travers les espaceurs qui vient oxyder la grille et changer son travail de sortie. Cette diffusion est cependant très limitée dès lors que le matériau High- κ est amorphe, ce qui a permis de confirmer les silicates (HfSiO & HfSiON) comme les meilleurs candidats à l’intégration de la technologie FDSOI.

3 Conclusion du chapitre 4

On a traité dans ce chapitre deux grands problèmes de fiabilité propres aux dispositifs courts et étroits.

Dans un premier temps, les dégradations de type porteurs chauds ont été étudiées. Un historique des différents modèles de dégradation existants pour les technologies sur silicium massif a été réalisé et a mis en évidence trois modes de dégradation selon l'énergie des porteurs. Sur les technologies les plus récentes où les oxydes de grille sont fins et les tensions d'alimentation basses, les dégradations HC sont dominées par la création d'états d'interface. Ces derniers sont générés par rupture des liaisons Si-H par MVE, mode 3 de dégradation où les porteurs sont peu énergétiques mais suffisamment nombreux pour rompre la liaison. Une étude plus spécifique aux dispositifs FDSOI à films minces a été ensuite menée afin de vérifier l'intégrité de l'interface arrière lors d'un stress HC. Pour la pire condition de stress $V_{FG, stress} = V_{D, stress}$, il a été montré que seule l'interface avant était dégradée. Une étude des mécanismes de dégradation a été faite, notamment sur l'impact de la partie PBTI lors d'un stress $V_{FG, stress} = V_{D, stress}$. Enfin une comparaison avec des transistors sur silicium massif a été réalisée.

Dans un second temps, une étude plus générale a été faite sur la stabilité de la tension de seuil V_T avec la réduction des tailles des transistors et plus spécialement la largeur de grille. En effet, on observe sur certains empilements High- κ /TiN une forte augmentation de la tension de seuil lorsque la largeur de grille diminue qui est problématique notamment pour les applications SRAM. Diverses analyses électriques sur des dispositifs avec différents High- κ ont permis d'identifier la source de cette instabilité : une différence de travail de sortie de la grille entre un transistor large et étroit. Un modèle basé sur diffusion d'oxygène à travers les espaceurs venant oxyder la grille et donc changer son travail de sortie a été proposé. Ce modèle a été ensuite validé par des analyses physico-chimiques fines telles que des mesures EELS sur des dispositifs étroits ($W=80\text{nm}$) et par des mesures électriques sur des structures matricées. Enfin, cette instabilité de la tension de seuil s'avère limitée voire stoppée lorsque l'on travaille avec des matériaux High- κ amorphes de type HfSiO ou HfSiON, confirmant les silicates comme meilleurs candidats à l'intégration de la technologie FDSOI.

Bibliographie

- [1] G. Moore, "No exponential is forever : but "Forever" can be delayed ! [semiconductor industry]," in *2003 IEEE International Solid-State Circuits Conference (ISSCC)*, 2003, pp. 20 – 23 vol.1.
- [2] C. Guérin, "Etude de la dégradation par porteurs chauds des technologies CMOS avancées en fonctionnement statique et dynamique," Ph.D. dissertation, 2008.
- [3] M. P. Pagey, "Hot carrier reliability simulation in aggressively scaled MOS transistors," Ph.D. dissertation, 2003.
- [4] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot-carrier injection," *IEEE Electron Device Letters*, vol. 4, no. 4, pp. 111 – 113, apr 1983.
- [5] E. Takeda, A. Shimizu, and T. Hagiwara, "Role of hot-hole injection in hot-carrier effects and the small degraded channel region in MOSFET's," *IEEE Electron Device Letters*, vol. 4, no. 9, pp. 329 – 331, sep 1983.
- [6] C. Hu, "Lucky-electron model of channel hot electron emission," in *1979 International Electron Devices Meeting (IEDM)*, vol. 25, 1979, pp. 22 – 25.
- [7] C. N. Berglund and R. J. Powell, "Photoinjection into SiO₂ : Electron Scattering in the Image Force Potential Well," *Journal of Applied Physics*, vol. 42, no. 2, pp. 573–579, 1971.
- [8] S. Tam, P.-K. Ko, and C. Hu, "Lucky-electron model of channel hot-electron injection in MOSFET'S," *IEEE Transactions on Electron Devices*, vol. 31, no. 9, pp. 1116 – 1125, sep 1984.
- [9] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. Terrill, "Hot-Electron-Induced MOSFET Degradation – Model, Monitor, and Improvement," *IEEE Journal of Solid-State Circuits*, vol. 20, no. 1, pp. 295 – 305, feb 1985.
- [10] J. Tzou, C. Yao, R. Cheung, and H. Chan, "Hot-carrier-induced degradation in p-channel LDD MOSFET's," *IEEE Electron Device Letters*, vol. 7, no. 1, pp. 5 – 7, jan 1986.
- [11] P. Heremans, R. Bellens, G. Groeseneken, and H. Maes, "Consistent model for the hot-carrier degradation in n-channel and p-channel MOSFETs," *IEEE Transactions on Electron Devices*, vol. 35, no. 12, pp. 2194 –2209, dec 1988.

Bibliographie

- [12] R. Woltjer, G. Paulzen, H. Pomp, H. Lifka, and P. Woerlee, “Three hot-carrier degradation mechanisms in deep-submicron PMOSFET’s,” *IEEE Transactions on Electron Devices*, vol. 42, no. 1, pp. 109 –115, jan 1995.
- [13] E. Li, E. Rosenbaum, J. Tao, and P. Fang, “Projecting lifetime of deep submicron MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 48, no. 4, pp. 671 –678, apr 2001.
- [14] N. Koike and K. Tatsuuma, “A drain avalanche hot carrier lifetime model for n- and p-channel MOSFETs,” *IEEE Transactions on Device and Materials Reliability*, vol. 4, no. 3, pp. 457 – 466, sept. 2004.
- [15] D. A. Buchanan, “On the generation of interface states from electron-hole recombination in metal-oxide-semiconductor capacitors,” *Applied Physics Letters*, vol. 65, no. 10, pp. 1257 –1259, sep 1994.
- [16] J. Chung, M.-C. Jeng, J. Moon, P.-K. Ko, and C. Hu, “Low-voltage hot-electron currents and degradation in deep-submicrometer MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 37, no. 7, pp. 1651 –1657, jul 1990.
- [17] S. Aur, “Low voltage hot carrier effects and stress methodology,” in *1995 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA)*, may-2 jun 1995, pp. 277 –280.
- [18] I. Rauch, S.E., F. Guarin, and G. LaRosa, “Impact of E-E scattering to the hot carrier degradation of deep submicron NMOSFETs,” *IEEE Electron Device Letters*, vol. 19, no. 12, pp. 463 –465, dec 1998.
- [19] I. Rauch, S.E., G. La Rosa, and F. Guarin, “Role of e-e scattering in the enhancement of channel hot carrier degradation of deep sub-micron NMOSFETs at high VGS conditions,” in *2001 IEEE International Reliability Physics Symposium (IRPS)*., 2001, pp. 399 –405.
- [20] C. Guerin, V. Huard, and A. Bravaix, “General framework about defect creation at the Si/SiO₂ interface,” *Journal of Applied Physics*, vol. 105, no. 11, pp. 114 513 –114 513–12, jun 2009.
- [21] —, “The Energy-Driven Hot-Carrier Degradation Modes of nMOSFETs,” *IEEE Transactions on Device and Materials Reliability*, vol. 7, no. 2, pp. 225 –235, june 2007.

- [22] D. Ang, T. Phua, H. Liao, and C. Ling, “High-energy tail electrons as the mechanism for the worst-case hot-carrier stress degradation of the deep submicrometer N-MOSFET,” *IEEE Electron Device Letters*, vol. 24, no. 7, pp. 469 – 471, july 2003.
- [23] T. Di Gilio, “Etude de la fiabilité porteurs chauds et des performances des technologie CMOS 0.13 μm - 2nm,” Ph.D. dissertation, 2006.
- [24] E. Guichard, S. Cristoloveanu, G. Reimboid, and G. Borel, “Full analysis of alternating injection in SOI transistors : comparison to bulk transistors,” in *1994 International Electron Devices Meeting (IEDM)*, dec 1994, pp. 315 –318.
- [25] Y. Li and T.-P. Ma, “A front-gate charge-pumping method for probing both interfaces in SOI devices,” *IEEE Transactions on Electron Devices*, vol. 45, no. 6, pp. 1329 –1335, jun 1998.
- [26] S.-H. Renn, C. Raynaud, J.-L. Pelloie, and F. Balestra, “A thorough investigation of the degradation induced by hot-carrier injection in deep submicron N- and P-channel partially and fully depleted unibond and SIMOX MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 45, no. 10, pp. 2146 –2152, oct 1998.
- [27] T. Ishigaki, R. Tsuchiya, Y. Morita, H. Yoshimoto, N. Sugii, and S. Kimura, “HCI and NBTI including the effect of back-biasing in thin-BOX FD-SOI CMOSFETs,” in *2010 IEEE International Reliability Physics Symposium (IRPS)*, may 2010, pp. 1049 –1052.
- [28] Q. Liu, A. Yagishita, N. Loubet, A. Khakifirooz, P. Kulkarni, T. Yamamoto, K. Cheng, M. Fujiwara, J. Cai, D. Dorman, S. Mehta, P. Khare, K. Yako, Y. Zhu, S. Mignot, S. Kanakasabapathy, S. Monfray, F. Boeuf, C. Koburger, H. Sunamura, S. Ponothe, A. Reznicek, B. Haran, A. Upham, R. Johnson, L. Edge, J. Kuss, T. Levin, N. Berliner, E. Leobandung, T. Skotnicki, M. Hane, H. Bu, K. Ishimaru, W. Kleemeier, M. Takayanagi, B. Doris, and R. Sampson, “Ultra-thin-body and BOX (UTBB) fully depleted (FD) device integration for 22nm node and beyond,” in *2010 Symposium on VLSI Technology (VLSI)*, june 2010, pp. 61 –62.
- [29] A. Bravaix, C. Guerin, V. Huard, D. Roy, J. Roux, and E. Vincent, “Hot-Carrier acceleration factors for low power management in DC-AC stressed 40nm NMOS node at high temperature,” in *2009 IEEE International Reliability Physics Symposium (IRPS)*, april 2009, pp. 531 –548.

Bibliographie

- [30] O. Weber, F. Andrieu, J. Mazurier, M. Casse? and, X. Garros, C. Leroux, F. Martin, P. Perreau, C. Fenouillet-Be? andranger, S. Barnola, R. Gassilloud, C. Arvet, O. Thomas, J.-P. Noel, O. Rozeau, M.-A. Jaud, T. Poiroux, D. Lafond, A. Toffoli, F. Allain, C. Tabone, L. Tosti, L. Bre? andvard, P. Lehnen, U. Weber, P. Baumann, O. Boissiere, W. Schwarzenbach, K. Bourdelle, B.-Y. Nguyen, F. Boeuf, T. Skotnicki, and O. Faynot, “Work-function engineering in gate first technology for multi-VT dual-gate FDSOI CMOS on UTBOX,” in *2010 IEEE International Electron Devices Meeting (IEDM)*, dec. 2010, pp. 3.4.1 –3.4.4.
- [31] M. Charbonnier, “Etude du travail de sortie pour les empilements nanométriques diélectrique de haute permittivité / grille métallique,” Ph.D. dissertation, 2010.
- [32] M. Inoue, Y. Satoh, M. Kadoshima, S. Sakashita, T. Kawahara, M. Anma, R. Nakagawa, H. Umeda, S. Matsuyama, H. Fujimoto, and H. Miyatake, “Impact of area scaling on threshold voltage lowering in La-containing high-k/metal gate NMOSFETs fabricated on (100) and (110)Si,” in *2009 Symposium on VLSI Technology*, june 2009, pp. 40 –41.
- [33] E. Cartier, M. Steen, B. Linder, T. Ando, R. Iijima, M. Frank, J. Newbury, Y. Kim, F. McFeely, M. Copel, R. Haight, C. Choi, A. Callegari, V. Paruchuri, and V. Narayanan, “pFET V_t control with $\text{HfO}_2/\text{TiN}/\text{poly-Si}$ gate stack using a lateral oxygenation process,” in *2009 Symposium on VLSI Technology*, june 2009, pp. 42 –43.
- [34] W. Mizubayashi, K. Akiyama, W. Wang, M. Ikeda, K. Iwamoto, Y. Kamimuta, A. Hirano, H. Ota, T. Nabatame, and A. Toriumi, “Novel V_t tuning process for HfO_2CMOS with oxygen-doped TaC_x ,” in *2008 Symposium on VLSI Technology (VLSI)*, 2008, pp. 42–43.
- [35] J. Robertson, “Interfaces and defects of high-K oxides on silicon,” *Solid-State Electronics*, vol. 49, no. 3, pp. 283 – 293, 2005.
- [36] C. Gaumer, “Caractérisation Physico-chimique Front-End : canal-diélectrique-métal,” Ph.D. dissertation, 2010.

Conclusion générale

Ce manuscrit de thèse a été consacré à la caractérisation électrique et aux études de fiabilité des technologies High- κ /grille métallique FDSOI. Sur ces technologies, outre les problèmes liés à l'intégration de diélectriques High- κ , la présence d'un film mince et d'un oxyde enterré amène de nouvelles problématiques de fiabilité. Pour cela, il a fallu développer de nouvelles techniques de caractérisation propres au FDSOI.

On a étudié dans le Chapitre 1 la spécificité électrostatique d'une structure FDSOI en résolvant l'équation de Poisson. On a montré qu'il existait un fort couplage électrostatique entre les interfaces avant et arrière : concrètement lorsqu'on va appliquer une tension en face arrière ou avant, on va forcément venir modifier le potentiel à l'interface opposée. Le Modèle de Lim & Fossum a permis d'exprimer analytiquement ce couplage au travers des expressions de la tension de seuil V_T selon les différents régimes de fonctionnement à l'interface arrière (accumulation, désertion et inversion). Ce modèle montre cependant des limites lorsque des films minces ($t_{Si} < 10nm$) sont utilisés, dues aux approximations de charges surfaciques qui ne sont plus valables dans ce cas là. Il est alors indispensable de considérer toutes les charges libres présentes dans le volume du film. Différents paramètres électriques classiquement utilisés lors des études de fiabilité ont notamment été présentés dans ce chapitre ainsi que les méthodes électriques pour les extraire.

Dans le Chapitre 2, les différents défauts présents dans le volume du High- κ , mais aussi dans le SiO_2 qui forme la couche interfaciale, ont été détaillés. On a mis l'accent sur les états d'interface qui proviennent du désaccord de maille qui existe entre le silicium et son oxyde natif SiO_2 . De par l'oxyde enterré présent dans les structures FDSOI, ces pièges d'interface peuvent être présents aux interfaces avant et arrière. Deux méthodes de caractérisation électrique de ces défauts initialement développées pour des technologies sur silicium massif ont été présentées.

La première, la méthode de pompage de charge, est basée sur la mesure d'un courant de recombinaison dans les défauts, mesurable par le substrat et proportionnel à la densité de piège. Bien que n'ayant pas de source de porteurs majoritaires dans les films FDSOI, cette technique est adaptable sur des structures spécifiques telles que les diodes PIN ou les structures à body contacté. Cependant, une étude de la variation du courant pompé lorsqu'une tension en face arrière est appliquée sur des structures à films minces montre que le courant mesuré peut inclure la réponse électrique des pièges à l'interface arrière ainsi qu'un éventuel courant de recombinaison

parasite. Cette technique ne peut donc pas être utilisée pour des études fines sur des transistors FDSOI à films minces.

La deuxième méthode est quant à elle basée sur des mesures de capacité et de conductance et a été adaptée sur des transistors FDSOI pour mesurer distinctement et précisément, en une unique mesure, la densité de pièges aux interfaces avant et arrière. Cette méthode a l'avantage d'être applicable à des transistors classiques.

Enfin, une nouvelle méthode de localisation et de quantification d'une dégradation à l'interface avant ou arrière a été présentée. Le principe consiste en la comparaison de mesures de capacité avant et après stress tout en utilisant le couplage électrostatique. Une expression empirique permettant de quantifier la dégradation à partir de l'EOT et de l'épaisseur de film est notamment proposée.

Dans le Chapitre 3, les phénomènes de BTI ont été étudiés. Un état de l'art des différents modèles de dégradation NBTI a été présenté dans un premier temps, du modèle historique de Réaction-Diffusion de Jeppson et Svensson qui a fait office de référence pendant une vingtaines d'années, aux modèles les plus aboutis de Tibor Grasser et de Vincent Huard. En effet, basé sur une diffusion d'espèce hydrogénée après rupture des liaisons Si-H, le modèle R-D faillit dans l'explication des phénomènes de relaxation lorsque le stress est interrompu. Aujourd'hui, le rôle primordial du piégeage/dépiégeage de trous lors de dégradation/relaxation NBTI est reconnu de tous et a été mis clairement en évidence par des mesures de bruit RTN sur des dispositifs courts et étroits. Grasser fut le premier à introduire un mécanisme de piégeage des trous dans des centres E' par effet tunnel assisté par les vibrations des phonons MPFAT. Ce dernier modèle permet d'expliquer les dépendances en champ électrique et en température des phénomènes de dégradation et relaxation. Il ne prend cependant pas en compte les effets des procédés de fabrication, tels que la diffusion d'azote, qui peuvent inclure d'autres défauts susceptibles de piéger des trous. Huard se base lui sur des études expérimentales des effets d'hydrogène et d'azote pour montrer que d'autres défauts liés à la présence d'azote dans les oxydes de grilles doivent être considérés. Il propose une explication physique qui, contrairement à Grasser, considère que la dégradation permanente est totalement découplée de la partie recouvrable.

Toutes ces études des dégradations NBTI ont mis en évidence de nouvelles problématiques liées à la mesure des paramètres électriques lors d'un stress. En effet, à cause des phénomènes de relaxation, les méthodes de mesure conventionnelles ont tendance à sous-estimer la dégradation, erreurs répercutées par la suite sur les durées de vie des dispositifs. Pour pallier ces problèmes, une nouvelle méthode basée sur des mesures ultra rapides de courant a été présentée.

Des études expérimentales du NBTI et PBTI sont enfin proposées. Tout d'abord, les effets d'azote dans les empilements High- κ /grille métallique sur les performances en NBTI sont étudiés. On y montre que les dégradations NBTI sont principalement impactées par la diffusion d'azote depuis la grille et non par l'azote incorporé dans l'oxyde de grille. Cette diffusion d'azote induite lors du recuit d'activation semble notamment être la cause principale de dégradation de la mobilité. Une seconde étude des mécanismes de piégeage/dépiégeage dans les High- κ lors de contraintes PBTI est proposée. Les mesures ultra rapides ont permis de mettre en évidence qu'avec ces oxydes de qualité, la dégradation PBTI était totalement due à la création de pièges dans le High- κ durant le stress. L'incorporation de lanthane dans l'empilement est notamment étudiée et on montre que cette dernière a peu, voire aucune, influence sur les dégradations PBTI, contrairement à ce qu'on peut trouver dans la littérature.

Dans le Chapitre 4, deux problématiques de fiabilité propres aux dispositifs de petites dimensions ont été abordées.

Dans une première partie, les phénomènes de porteurs chauds sur des transistors courts ont été étudiés pour des transistors FDSOI à film mince. Un état de l'art des modèles pour des technologies sur silicium massif est présenté et montre que sur les technologies récentes où les oxydes sont fins et les tensions d'alimentation basses, la dégradation est dominée par la création d'états d'interface. La rupture des liaisons Si-H est réalisée par multivibration des phonons du réseau (MVE) et on peut parler de phénomènes de « porteurs froids » puisque les porteurs sont peu énergétiques, mais nombreux. Ce mode de dégradation a été vérifié sur des dispositifs FDSOI à film mince où les dégradations peuvent être normalisées en charge injectée dans le drain. Pour les conditions de pire cas de dégradation $V_{FG} = V_D$, il a été montré par les méthodes présentées au Chapitre 2 que seule l'interface avant était dégradée. Une étude des mécanismes de dégradation a été réalisée et notamment sur l'impact du PBTI dans la condition de stress $V_{FG} = V_D$. Enfin, une comparaison entre une technologie FDSOI et une technologie sur silicium massif a été présentée.

Dans la deuxième partie, les effets de $V_T(W)$ ont été étudiés. En effet, sur certains empilements High- κ /grille TiN, une forte augmentation de la tension de seuil V_T est observée lorsque la largeur de grille W diminue, ce qui est problématique pour les applications SRAM. Une étude électrique sur différents diélectriques High- κ a permis d'identifier l'origine de cette instabilité, à savoir un changement de travail de sortie de la grille TiN. Un modèle basé sur l'oxydation de la grille par diffusion d'oxygène à travers les espaceurs a été proposé. Il a été validé par la suite par des mesures électriques sur des structures matricées et par de la caractérisation physico-chimique

fine, telle que des mesures EELS sur des dispositifs étroits. La différence observée entre les silicates $\text{HfSiO}(\text{N})$ résistants aux effets de $V_T(W)$ et les diélectriques de type HfO_2 & HfZrO sévèrement impactés peut s'expliquer par la différence de cristallinité. En effet, les silicates sont amorphes alors que les autres sont cristallins. Cette étude a permis de confirmer que les silicates étaient les meilleurs candidats à l'intégration du FDSOI.

Différentes méthodes électriques ont été développées au cours de ce travail de thèse pour caractériser la spécificité des dispositifs FDSOI et plus précisément pour mesurer la densité de piège à l'interface arrière. Avec l'annonce récente de STMicroelectronics pour son virage vers des substrat FDSOI pour les noeuds technologiques 28nm et en deçà, ces techniques sont primordiales pour anticiper les différents problèmes liés à l'intégration d'un oxyde enterré. De plus, elles vont permettre de vérifier si les modèles de fiabilité existants sur des technologies avec substrat en silicium massif sont toujours valables dans le cadre d'une technologie FDSOI où les films de silicium sont de plus en plus minces et où le fort couplage électrostatique va éventuellement modifier les modes de dégradation, ou de développer de nouveaux modèles. Pour ce qui est des méthodes pulsées mises en oeuvre dans le cadre de cette thèse, notamment pour révéler des effets de piégeage rapide dans les diélectriques High- κ , elles vont améliorer l'extraction des durées de vie des dispositifs en permettant une meilleure compréhension des phénomènes de relaxation. Elles vont aussi jouer un rôle clé pour la caractérisation des oxydes en vue du passage au « Gate Last » pour les futurs noeuds technologiques, où des diélectriques comme le HfO_2 , plus propices à du piégeage, peuvent faire leur retour à la place des silicates utilisés actuellement pour les technologies « Gate First ».

Liste des publications et brevet de l'auteur

Conférences internationales

- L. Brunet**, X. Garros, F. Andrieu, G. Reimbold, E. Vincent, A. Bravaix, F. Boulanger, “*New method to extract interface states density at the Back and the Front gate interfaces of FDSOI transistors from CV-GV measurements*”, 2009 IEEE International SOI Conference, Octobre 2009, San Francisco, Etats-Unis
- L. Brunet**, X. Garros, M. Cassé, O. Weber, F. Andrieu, C. Fenouillet-Béranger, P. Perreau, F. Martin, M. Charbonnier, D. Lafond, C. Gaumer, S. Lhostis, V. Vidal, L. Brévard, L. Tosti, S. Denorme, S. Barnola, J.F. Damlencourt, V. Loup, G. Reimbold, F. Boulanger, O. Faynot, A. Bravaix, “*New Insight on VT stability of HK/MG stacks with scaling in 30nm FDSOI technology*”, 2010 Symposium on VLSI Technology (VLSI), Juin 2010, Honolulu, Etats-Unis
- L. Brunet**, A. Bravaix, A. Subirats, F. Andrieu, O. Weber, P. Scheiblin, M. Rafik, E. Vincent, G. Reimbold, “*Impact of Backside Interface on Hot Carriers Degradation of Thin Film FDSOI Nmosfets*”, IEEE 2012 International Reliability Physics Symposium (IRPS), Avril 2012, Anaheim, Etats-Unis
- X. Garros, **L. Brunet**, M. Rafik, J. Coignus, G. Reimbold, E. Vincent, A. Bravaix, F. Boulanger, “*PBTI Mechanisms in La Containing Hf-based Oxides Assesed By Very Fast IV Measurements*”, International Electron Devices Meeting (IEDM), Décembre 2010, Washington, Etats-Unis
- X. Garros, **L. Brunet**, M. Cassé, “*VT stability of HK/MG stacks with device scaling in 30nm FDSOI technology*”, 219th ElectroChemical Society Meeting (ECS), Mai 2011, Montreal, Canada
- M. Cassé, X. Garros, **L. Brunet**, G. Reimbold, “*Impact Of The Metal Gate On Carrier Transport In HK/MG Transistors*”, 217th ElectroChemical Society Meeting (ECS), Avril 2010, Vancouver, Canada
- X. Garros, M. Cassé, G. Reimbold, F. Martin, **L. Brunet**, F. Andrieu, F. Boulanger, “*Reliability concerns in High-K/Metal gate technologies*”, 2010 IEEE

International Conference on IC Design and Technology (ICICDT), Juin 2010, Grenoble, France

G. Reimbold, M. Cassé, X. Garros, C. Leroux, M. Charbonnier, **L. Brunet**, S. Baudot, P. Caubet, C. Fenouillet-Béranger, F. Andrieu, O. Weber, P. Perreau, F. Martin, “*In depth characterization of electrical effects of dopants (Al, La, Mg, N) in high-k/metal gate stacks*”, 2011 International Conference on Solid State Devices and Materials (SSDM), Septembre 2011, Aichi, Japon

P. Batude, M. Vinet, C. Xu, B. Previtali, C. Tabone, C. Le Royer, L. Sanchez, L. Baud, **L. Brunet**, A. Toffoli, F. Allain, D. Lafond, F. Aussenac, O. Thomas, T. Poiroux, O. Faynot, “*Demonstration of low temperature 3D sequential FDSOI integration down to 50nm gate length*”, 2011 Symposium on VLSI Technology (VLSI), Juin 2011, Kyoto, Japon

L. Hutin, C. Le Royer, F. Andrieu, O. Weber, M. Cassé, J.-M. Hartmann, D. Cooper, A. Béché, L. Brévard, **L. Brunet**, J. Cluzel, P. Batude, M. Vinet, O. Faynot, “*Dual Strained Channel Co-Integration into CMOS, RO and SRAM cells on FDSOI down to 17nm Gate Length*”, 2010 International Electron Devices Meeting (IEDM), Décembre 2010, Washington, Etats-Unis

Brevet

X. Garros, **L. Brunet**, “*Procédé et dispositif d'évaluation des performances électriques d'un transistor FDSOI*”, Référence : EP2290386, US2011050253, FR2949564, JP2011054966

Caractérisation électrique et fiabilité des transistors intégrant des diélectriques High- κ et des grilles métalliques pour les technologies FDSOI sub-32nm

L'intégration de diélectriques High- κ dans les empilements de grille des transistors a fait naître des problèmes de fiabilité complexes. A cela vient s'ajouter, en vue des technologies sub-32nm planaires, de nouvelles problématiques liées à l'utilisation de substrats silicium sur isolant complètement désertés FDSOI. En effet, l'intégration d'un oxyde enterré sous le film de silicium va modifier électrostatique de la structure et faire apparaître une nouvelle interface Si/SiO₂ sujette à d'éventuelles dégradations. Ce manuscrit présente différentes méthodes de caractérisation électrique ainsi que différentes études de fiabilité des dispositifs FDSOI intégrant des empilements High- κ /grille métallique. Dans un premier temps, une étude complète du couplage électrostatique dans des structures FDSOI est réalisée, permettant de mieux appréhender l'effet d'une tension en face arrière sur les caractéristiques électriques des dispositifs. Différentes méthodes de caractérisation des pièges d'interface sont ensuite présentées et adaptées, lorsque possible, au cas spécifique du FDSOI, où les défauts entre le film de silicium et l'oxyde enterré doivent être pris en compte. Enfin, différentes études de fiabilité sont présentées, des phénomènes de PBTI et de NBTI sur des dispositifs à canaux longs aux phénomènes propres aux dispositifs de petite dimension, tels que l'impact des porteurs chauds dans des structures FDSOI à film ultra fins et les effets d'augmentation de tension de seuil lorsque les largeurs de grille diminuent.

Mots-clés : microélectronique, High- κ , FDSOI, fiabilité, caractérisation électrique, états d'interface

Electrical characterization and reliability of FDSOI transistors with High- κ /metal gate stacks for sub-32nm technology nodes

The integration of High- κ dielectrics in transistors gate stacks lead to new complex reliability issues. Furthermore new problematics appear with the use of fully depleted silicon on insulator (FDSOI) substrates for future sub-32nm planar technologies. Indeed, the integration of a buried oxide underneath the silicon film changes the electrostatic of the structure and create a new Si/SiO₂ interface which may be degraded. This thesis presents different electrical characterization techniques and reliability studies on High- κ /metal gate FDSOI transistors. First, a complete electrostatic study of FDSOI structures is done allowing a better understanding of the effects of backgate biases. Different techniques to characterize interface traps are then presented and adapted to FDSOI devices, where traps at backgate interface, between the silicon film and the buried oxide, must be considered. Finally, different reliability studies are presented, from NBTI and PBTI issues on long channel devices to smaller dimension devices specific studies such as hot carriers degradation on ultra-thin film FDSOI devices and threshold voltage increase with gate width scaling.

Keywords : microelectronic, High- κ , FDSOI, reliability, electrical characterization, interface states
