

---

# THÈSE

Pour l'obtention du

## DOCTORAT AIX-MARSEILLE UNIVERSITE

Délivré par l'Université de Provence

ÉCOLE DOCTORALE : Sciences pour l'ingénieur : Mécanique, Physique, Micro et Nanoélectronique

DOMAINE DE RECHERCHE : Composants, circuits et systèmes intégrés

Présentée par

**Gary Seigneuret**

---

---

## Analyse et Optimisation de télé-alimentation pour systèmes RFID UHF

---

Directeur de thèse : **M. Philippe Pannier**

Co-direction : **M. Emmanuel Bergeret**

Encadrants en entreprise : **M. Gilles Bas, M. Christophe Moreaux**

Soutenue le 06 décembre 2011  
Devant la Commission d'Examen

### JURY

M. Jean-Yves Fourniols	Professeur d'Université	Rapporteur
M. Thierry Taris	Maître de Conférence HDR	Rapporteur
M. Gilles Jacquemod	Professeur d'Université	Examineur
M. Laurent Latorre	Maître de Conférence HDR	Examineur
M. Philippe Pannier	Professeur d'Université	Examineur
M. Emmanuel Bergeret	Maître de Conférence	Examineur
M. Gilles Bas	Concepteur Analogique	Invité
M. Christophe Moreaux	Concepteur Numérique	Invité







---

# Remerciements

Les travaux présentés dans ce mémoire ont été menés conjointement entre l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP) et la société STMicroelectronics, et je tiens à en remercier les deux parties.

Mes remerciements vont d'abord à Monsieur Rachid Bouchakour, directeur de l'IM2NP, de m'avoir accueilli au sein de l'institut. Je remercie également, le Professeur Jean-Yves Fourniols (Laboratoire d'Analyse et d'Architecture des Systèmes de Toulouse), et Monsieur Thierry Tarris (Laboratoire de l'Intégration du Matériau au Système de Bordeaux) d'avoir accepté d'être rapporteurs de cette thèse, ainsi que le Professeur Gilles Jacquemod (Polytech' Nice Sophia Antipolis), et Monsieur Laurent Latorre (Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier), examinateurs, de l'intérêt qu'ils ont portés à mes travaux.

Je remercie également le Professeur Philippe Pannier et Monsieur Emmanuel Bergeret pour m'avoir accompagné et encadré à l'IM2NP pendant ces trois années. Je tiens à exprimer ma reconnaissance envers Monsieur Gilles Bas, encadrant à STMicroelectronics et Monsieur Christophe Moreaux pour avoir initié ce projet.

Je tiens aussi à remercier Marc Battista pour les conseils avisés qu'il a su me donner, Hugues Creusy et Thomas Metz pour le temps qu'ils m'ont consacré, les connaissances qu'ils m'ont apportées notamment dans l'utilisation des outils de mesures, et pour les débats, parfois enflammés, que nous avons pu avoir.

Je remercie enfin toutes les personnes avec qui j'ai pu travailler tant à STMicroelectronics qu'à l'IM2NP pour le temps qu'ils m'ont accordé et l'aide qu'ils m'ont fournie.



---

# Table des matières

<b>Introduction générale</b>	<b>1</b>
<b>I Etude générale et systèmes préexistants</b>	<b>5</b>
1 HISTORIQUE . . . . .	5
2 RFID : PRINCIPES GENERAUX . . . . .	8
2.1 La communication entre lecteur et tag . . . . .	8
2.2 Les fréquences en RFID . . . . .	10
2.3 Etude d'une puce UHF . . . . .	12
3 LE MULTIPLIEUR DE TENSION . . . . .	15
3.1 L'élevateur . . . . .	15
3.2 Le redresseur . . . . .	16
3.3 Architecture simple alternance . . . . .	17
3.4 Architecture différentielle . . . . .	19
3.5 La multiplication des étages . . . . .	20
3.6 Composants non-idéaux . . . . .	21
3.7 Etat de l'art des architectures . . . . .	23
3.7.1 Systèmes à grille flottante . . . . .	24
3.7.2 Polarisation autonome . . . . .	25
3.7.3 Architecture différentielle polarisée . . . . .	29
4 ADAPTATION D'IMPÉDANCE . . . . .	31
4.1 Cas d'une antenne en mode d'émission . . . . .	32
4.2 Cas d'une antenne en mode de réception . . . . .	35

4.2.1	Variation de l'impédance de la puce . . . . .	35
4.2.2	Variation de l'impédance de l'antenne . . . . .	39
5	RETRO-MODULATION . . . . .	40
6	AUTO-ADAPTATION . . . . .	44
6.1	Introduction . . . . .	44
6.2	Etat de l'art . . . . .	47
7	CONCLUSION . . . . .	49
<b>II Architectures de multiplieurs</b>		<b>51</b>
1	INTRODUCTION . . . . .	51
2	PERTES RF . . . . .	52
2.1	Problématique des pertes RF . . . . .	52
2.2	Pertes sur le plot d'entrée RF et couplages dans les lignes . . . . .	55
2.3	Pertes dans les transistors . . . . .	58
2.3.1	La polarisation du substrat . . . . .	59
2.3.2	Optimisation des grilles . . . . .	63
2.3.3	Autres optimisations . . . . .	64
2.4	Nouveaux circuits . . . . .	65
3	CAISSON NISO . . . . .	68
4	POLARISATION DE TRANSISTORS . . . . .	72
4.1	Etude théorique . . . . .	72
4.2	Architecture proposée . . . . .	76
5	RECTENNA . . . . .	85
6	DOUBLE MULTIPLIEUR . . . . .	92
6.1	Les limitations du système à un port d'entrée/sortie . . . . .	92
6.2	Solution à double ports . . . . .	93
6.3	Validation par la mesure . . . . .	95
7	CONCLUSION . . . . .	101
<b>III Conception d'une rétro-modulation optimisée</b>		<b>103</b>
1	INTRODUCTION . . . . .	103
2	ETUDE DU COMPROMIS TELE-ALIMENTATION / RETRO-MODULATION	103
2.1	Démodulation IQ et sensibilité . . . . .	106
2.2	De la sensibilité aux impédances . . . . .	108
2.3	Minimisation de l'impact sur la télé-alimentation . . . . .	110

---

2.4	Validation par mesure de sensibilité . . . . .	113
3	ARCHITECTURES DE RETRO-MODULATION INNOVANTES . . . . .	115
3.1	Rétro-modulation résistive ajustée . . . . .	115
3.2	Rétro-modulation capacitive ajustée . . . . .	118
3.3	Rétro-modulation intégrée au multiplieur . . . . .	119
3.3.1	Variation de la largeur des transistors du multiplieur . . . . .	119
3.3.2	Variation des potentiels de grille . . . . .	122
4	CONCLUSION . . . . .	125
<b>IV L'auto-adaptation. Principes et circuits</b>		<b>127</b>
1	INTRODUCTION . . . . .	127
2	ETUDE THEORIQUE . . . . .	127
2.1	Choix du facteur de qualité . . . . .	127
2.2	Fonctionnement de l'auto-adaptation . . . . .	130
3	ARCHITECTURES D'AUTO-ADAPTATION . . . . .	132
3.1	Systèmes à comparateurs . . . . .	132
3.2	Adaptation par constante de temps . . . . .	136
3.2.1	Architecture . . . . .	136
3.2.2	Simulations . . . . .	140
3.2.3	Limitations du système . . . . .	141
4	CONCLUSION . . . . .	142
<b>Conclusion générale</b>		<b>145</b>
<b>Références bibliographiques</b>		<b>147</b>
<b>Liste des publications scientifiques</b>		<b>157</b>



---

# Introduction générale

Depuis le développement de la théorie de l'électromagnétisme à la fin du *XIX<sup>ème</sup>* siècle, notamment par James C. Maxwell, mais surtout depuis les travaux de Heinrich Hertz et de Nikola Tesla démontrant la possibilité de transmettre une puissance à distance, la transmission d'énergie sans fil a suscité beaucoup d'intérêt et de nombreuses recherches dans la communauté scientifique. D'abord envisagée, au milieu du *XX<sup>ème</sup>* siècle, pour transmettre de fortes puissances sur de très longues distances, en vue par exemple d'installer des centrales électriques en orbite, les développements dans ce domaine ont peu à peu ralenti à cause des faibles rendements obtenus et des risques éventuels pour la santé que peuvent représenter les ondes électromagnétiques surtout à forte puissance.

Parallèlement, un autre type de transmission d'énergie sans fil, de faible puissance, s'est mis à émerger. Les avancées dans le domaine de la micro-électronique, notamment l'évolution vers des systèmes consommant de moins en moins d'énergie, ont favorisé le développement de puces entièrement autonomes pouvant rester fonctionnelles durant de très longues durées. Une grande partie de l'identification radio-fréquence (RFID, Radio Frequency IDentification) est née de cette évolution. Bien qu'elle reste relativement méconnue, cette technologie trouve pourtant un champ d'application très vaste dans lequel il est possible de lister, entre autres, le contrôle d'accès, les passeports électroniques, le suivi de produits, la lutte contre la contrefaçon, les antivols ou le télé-péage.

Même s'il ne s'agit pas de la totalité des étiquettes RFID, une grande partie d'entre elles sont de type passif, c'est à dire qu'elles ne comportent pas d'unité d'alimentation interne et dépendent donc de la transmission d'énergie via les ondes pour pouvoir fonctionner. Le principal avantage de ce système est que la puce ainsi créée ne voit pas sa durée de vie limitée par une éventuelle batterie.

Selon la portée désirée et les fonctionnalités souhaitées, une fréquence de communication est choisie pour le tag RFID (par tag, nommé aussi étiquette RFID, il est entendu l'assemblage de la puce RFID avec son antenne). Ainsi, pour des applications dont la communication doit se faire à très faible distance (quelques centimètres), par exemple dans le cadre de passeports électroniques pour des raisons de sécurité, les basses (LF), moyennes (MF) et hautes fréquences (HF) seront favorisées. En revanche, lorsqu'il est nécessaire de communiquer à des distances lointaines (plusieurs mètres voire dizaines de mètres), par exemple pour faire de la gestion de stock sans recourir aux codes à barres, l'utilisation des ultra hautes fréquences (UHF) et super hautes fréquences (SHF) devient difficilement contournable.

Cette thèse, née d'une collaboration entre l'Institut Matériaux Micro-électronique et Nanosciences de Provence (IM2NP) et la société STMicroelectronics a donc pour objectif d'améliorer les performances en distance d'un tag passif UHF. Sous contrat CIFRE, les solutions adoptées se devaient d'être au plus proche des préoccupations du partenaire industriel et devaient notamment être la plus économique possible pour l'entreprise. C'est la raison pour laquelle des considérations de coûts sont souvent évoquées dans cet ouvrage.

Pour obtenir cette amélioration de performances, le problème peut-être envisagé sous deux aspects : la limitation de la consommation de la puce, notamment de ses parties logique et mémoire, et l'amélioration du rendement de la récupération d'énergie. La réduction de la consommation étant une problématique traitée en permanence en micro-électronique et plus encore dans le domaine de la RFID, il est considéré dans cette étude que celle-ci est déjà très avancée. La consommation d'une puce RFID passive ne dépasse généralement pas la vingtaine de microwatts et est bien souvent inférieure à  $10 \mu\text{W}$  [1]. Ce mémoire se focalise donc exclusivement sur l'amélioration de la récupération d'énergie.

Pour bien remettre les travaux effectués dans leur contexte, le premier chapitre, après un bref historique de la transmission d'énergie sans fil et de la RFID, expose le fonctionnement global d'une puce RFID passive et décrit succinctement ses différentes parties. Puis il détaille un peu plus les blocs de la puce sur lesquels ce mémoire se concentrera par la suite, à savoir, le convertisseur RF/DC (appelé aussi multiplieur dans ce cas), la rétro-modulation et l'auto-adaptation.

Le chapitre II se focalise initialement sur les pertes présentes dans le multiplieur et propose plusieurs solutions pour les éliminer. Ensuite, il montre l'élaboration de plusieurs architectures de récupération d'énergie optimisées, découlant pour la plupart d'amélioration du multiplieur de Cockcroft-Walton [2]. A la fin de ce chapitre, le concepteur disposera donc d'un large choix de solutions qu'il pourra adapter à sa convenance selon la technologie qui a été choisie, et les coûts à respecter pour le développement du tag.

La RFID n'aurait jamais pu connaître un réel essor sans les travaux fondateurs de Harry Stockman sur les communications par réflexion de l'onde incidente [3]. Son article montre qu'il n'est pas nécessaire d'utiliser de l'énergie pour émettre une réponse au niveau d'un tag et qu'utiliser la réflexion des ondes incidentes suffit. Bien qu'énergétiquement intéressante, la rétro-modulation impacte pourtant le rendement de la récupération d'énergie. Ainsi le chapitre III reprend la notion de rétro-modulation et montre comment l'améliorer en minimisant cet impact, en complétant la théorie et en proposant de nouvelles architectures.

Le dernier chapitre traite lui aussi d'un problème d'absorption et de réflexion d'ondes mais dans un contexte tout autre. Les normes en vigueur pour la RFID ne définissent pas une unique fréquence de communication pour l'UHF mais plutôt une bande allant de 860MHz à 960MHz [4] (exception faite des tags fonctionnant à 2,4GHz). Il sera prouvé dans ce chapitre que pour un système simple, l'adaptation d'impédance ne peut être réalisée pour toutes les fréquences et qu'alors le rendement de la récupération d'énergie peut être moins bon à certaines fréquences. Ce chapitre IV propose alors des systèmes d'auto-adaptation afin de maintenir le rendement constant quelque soit la fréquence.

Ainsi, tous les aspects visant à l'augmentation du rendement de la transmission d'énergie sans fil pour une puce RFID UHF passive sont traités par ces différents chapitres.



---

---

# Chapitre I

---

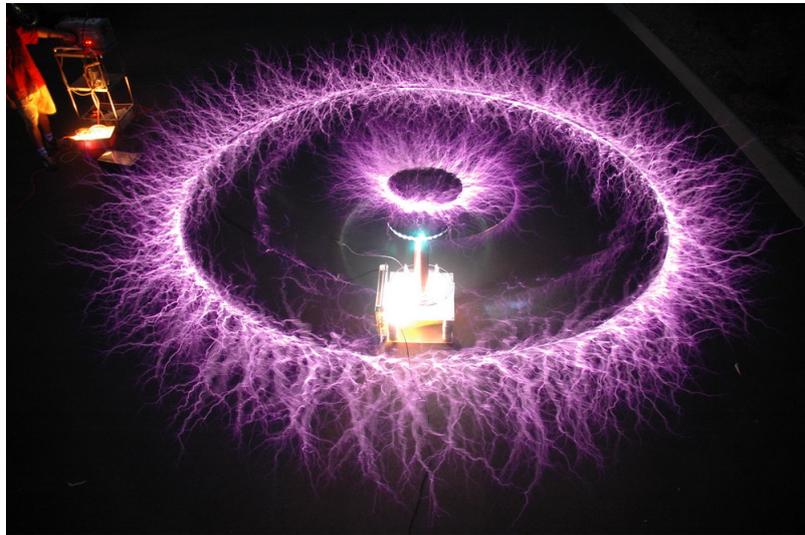
## Etude générale et systèmes préexistants

### 1 HISTORIQUE

La transmission d'énergie sans fil est une idée née durant le *XIX<sup>ème</sup>* siècle. L'invention de l'électroaimant en 1825 par William Sturgeon et la découverte par Michael Faraday de l'induction électromagnétique en 1831 furent les travaux précurseurs de la transmission d'énergie sans fil. En 1864, James Clerk Maxwell construit la théorie de l'électromagnétisme grâce aux équations qui portent désormais son nom, ce qui pose les bases de tous les développements survenus ensuite en électromagnétisme et en radioélectricité. Sur la base de ces équations, Heinrich Hertz réalise la première transmission radio entre un émetteur et un récepteur en 1886 [5]. Les travaux de Guglielmo Marconi sur la télégraphie sans fil ouvriront ensuite la voie à une utilisation des ondes hertziennes pour la transmission d'information plutôt que pour la transmission d'énergie.

Nikola Tesla fut le premier à s'intéresser à la transmission d'énergie sans fil en tant que telle [5]. En développant son système "d'éclairage électrique" [6] (ancêtre de l'émetteur à arc), le scientifique réalisa ainsi un convertisseur radio-fréquence capable d'émettre des ondes électromagnétiques de forte puissance. La bobine Tesla s'inspire de ce circuit pour, via un couplage adéquat et une résonance correctement ajustée, obtenir jusqu'à plusieurs millions de volts sur la bobine secondaire, ce qui génère des arcs électriques jaillissant de l'électrode terminale (figure I.1). Toutefois, les expériences de Tesla étaient basées sur les ondes longues. A l'époque, il n'y avait pas de système capable d'émettre des ondes courtes, et faute de pouvoir émettre à des fréquences suffisamment élevées, il n'était alors pas possible d'orienter les ondes pour les concentrer en une direction donnée.

L'invention du magnétron à la fin des années 1930 résolut ce problème [7]. Ce système pouvant émettre de fortes puissances à des fréquences élevées, il accéléra le développement des radars en réduisant de manière importante la taille des antennes utilisées et il permit ainsi de



(a)



(b)

**Figure I.1** – Bobines Tesla

les embarquer sur les bateaux puis sur les avions. Le système fut ainsi largement développé durant la seconde guerre mondiale. Le magnétron est utilisé de nos jours principalement dans les fours à micro-ondes.

Au début de la seconde moitié du  $XX^{\text{ème}}$  siècle, les développements concernant la transmission d'énergie de forte puissance sur de longues distances se sont intensifiés, dans le but principalement d'installer des centrales solaires orbitales (SPS, Solar Power Satellite) afin de capter l'énergie solaire en orbite via des satellites, puis de renvoyer cette énergie vers la Terre

sous forme de micro-ondes [8] [9] (figure I.2). Toutefois ces projets furent peu à peu ralentis ou abandonnés, d'une part à cause de leurs coûts trop importants par rapport aux centrales électriques actuelles et d'autre part, du fait de la prise de conscience, récemment, du danger potentiel que peuvent représenter les ondes électromagnétiques notamment aux fréquences micro-ondes et de forte puissance [10]. De nos jours, il subsiste toutefois des études sur les SPS [11] [12] montrant que ces projets sont encore pris très au sérieux et ne relèvent pas nécessairement de la science-fiction. Ainsi en 2008, il a été fait la démonstration d'une transmission d'énergie sans fil par micro-ondes sur 148km à Hawaii [13].



**Figure I.2** – Vue d'artiste d'une centrale solaire en orbite

En marge de ces développements forte puissance, en 1948, Harry Stockman publia dans un article un moyen de communiquer grâce à la réflexion des ondes [3], annonçant ainsi les futurs systèmes autonomes communiquant par les ondes électromagnétiques dans le but par exemple d'identifier des objets à distance, d'où le nom d'identification radio-fréquence (RFID). Quelques années plus tard, les premiers systèmes d'identification utilisant les ondes réfléchies étaient développés [14].

Au jour d'aujourd'hui, la RFID prend une place de plus en plus importante dans la vie courante. Le marché de la RFID en France a ainsi progressé de 10% entre 2001 et 2005, et IBM estime à 30 milliards le nombre d'étiquettes produites dans le monde en 2010 [15]. Les puces RFID (figure I.3) tentent aujourd'hui de supplanter les codes à barres en jouant de leurs avantages, à savoir qu'il est possible d'écrire, d'effacer et de réécrire les données stockées dans une puce un grand nombre de fois, que leur portée peut être supérieure aux lecteurs optiques utilisés pour les codes à barres, et que la communication peut se faire à travers certains obstacles contrairement aux systèmes à lecture optique. En contrepartie, les puces RFID restent bien plus chères que les codes barres ce qui reste le principal frein à leur expansion. Pour cette raison,

le présent mémoire s'attache aussi souvent que possible à proposer des solutions qui soient les plus économiques.



Figure I.3 – Etiquettes RFID

## 2 RFID : PRINCIPES GENERAUX

### 2.1 La communication entre lecteur et tag

Une communication en RFID se fait entre un tag, appelé aussi étiquette ou transpondeur, qui possède une information et peut la délivrer par communication radio-fréquence, et un lecteur, chargé d'interroger le tag et de délivrer cette information à l'utilisateur (figure I.4).

Il existe plusieurs types de transpondeurs, chacun correspondant à des applications plus ou moins gourmandes en énergie :

- Les étiquettes actives, qui sont de véritables objets télé-communicants autonomes. La puissance consommée par la puce est fournie par une pile ou une batterie voire un branchement au secteur. Cette puce peut émettre un signal radio-fréquence pour communiquer au lieu d'utiliser les ondes provenant d'un autre appareil. Ce genre de tag offre donc une bonne portée, peut émettre des informations sans qu'un lecteur n'ait nécessairement formulé une demande, et il peut être implémenter avec des fonctions avancées telles que de la géolocalisation, ou divers capteurs. En contrepartie, sa consommation est relativement importante et sa durée de vie est liée à celle de la batterie qui n'est que rarement rechargeable. Un exemple d'application populaire pour ce type d'étiquette est le télé-péage.

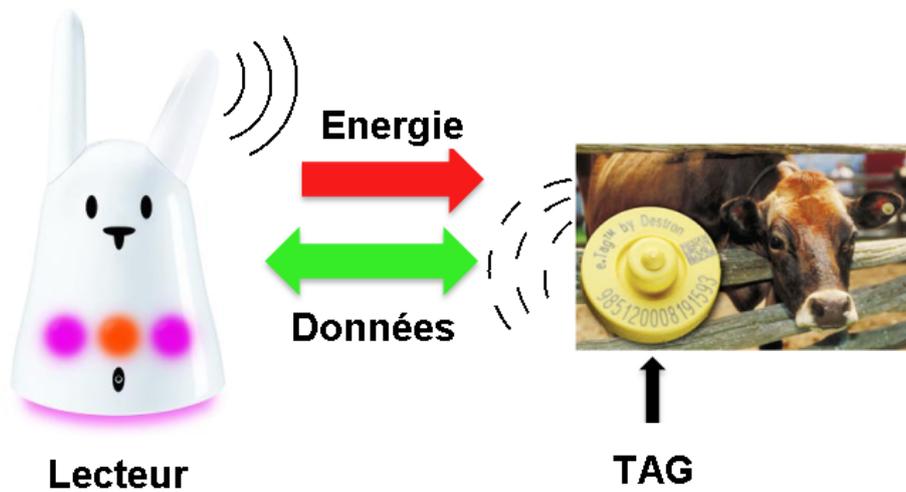


Figure I.4 – Une liaison RFID

- Les étiquettes dites semi-passives sont des solutions hybrides. Elles incorporent des batteries elles aussi, ce qui permet une communication longue distance, mais il peut y avoir également télé-alimentation lorsque la distance lecteur-tag est suffisamment petite. Par ailleurs, la communication se fait cette fois en utilisant la réflexion de l'onde provenant d'un lecteur. C'est ce qui s'appelle la communication par rétro-modulation car le tag module son impédance d'entrée pour faire varier la puissance réfléchi. La portée reste grande (quelques dizaines de mètres) mais le lecteur doit forcément émettre pour obtenir une information, et il ne lui sera pas possible "d'écouter" uniquement. Bien que la durée de vie de ce genre d'étiquette soit également limitée par celle de la batterie, le fait que la réponse ne soit pas émise permet toutefois de limiter la consommation. Ce type de tag est par exemple utilisé pour le calcul automatique du temps d'un coureur lors d'une course ou d'un raid.
- Enfin les étiquettes passives qui ne possèdent pas d'alimentation externe. Dans ce cas de figure, l'énergie est totalement fournie par l'onde provenant du lecteur. La réponse se fait là aussi par réflexion de l'onde incidente (rétro-modulation). Ces puces ont certes une portée bien moindre, en revanche leur durée de vie est très grande, voire même pour ainsi dire infinie. Les puces implémentées dans les passeports biométriques sont des puces passives.

### 2.2 Les fréquences en RFID

Les communications en RFID peuvent se faire à différentes fréquences en fonction de l'application visée et des performances désirées :

- Les basses fréquences (LF), 125kHz à 135kHz sont utilisées pour le contrôle d'accès par badge de proximité ou mains-libres, les clés électroniques « sans serrures » par exemple.
- Les hautes fréquences (HF), 13,56MHz sont plutôt dédiées à la localisation des bagages (dans les aéroports), au stockage d'informations biométriques dans un passeport par exemple ou encore aux cartes de paiements sans contact. Les puces utilisant cette fréquence sont très souvent qualifiées de puces NFC (Near Field Communication ou communication en champ proche). Leur portée est de l'ordre de quelques centimètres.
- Les ultra hautes fréquences (UHF), entre 860MHz et 960MHz pour la traçabilité des palettes et conteneurs dans les entrepôts ou sur les docks, et 2,4GHz pour le contrôle d'accès à longue distance des véhicules par exemple. La portée de ce type de tag est plutôt de quelques mètres voire dizaines de mètres.

Au vu de ces exemples, il est possible de déduire que les basses fréquences ne permettent pas de communications sur de longues distances. Cela n'est en réalité pas tout à fait exact. La relativité de cette conclusion s'illustre en considérant une forme simplifiée de l'équation de Friis [16] :

$$\frac{P_{Rtag}}{P_{Tread}} = G_{read} \cdot G_{tag} \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \quad (I.1)$$

Avec :

- $P_{Rtag}$  la puissance reçue par le tag
- $P_{Tread}$  la puissance émise par le lecteur
- $G_{read}$  le gain de l'antenne du lecteur
- $G_{tag}$  le gain de l'antenne du tag
- $R$  la distance entre le lecteur et le tag
- $\lambda$  la longueur d'onde (sous entendue dans le vide).

Le gain d'une antenne caractérise à la fois sa faculté d'émettre ou de recevoir une onde dans une direction particulière et les pertes internes à l'antenne. Plus le gain est élevé, plus l'antenne est directive et/ou avec peu de pertes. Selon cette équation, pour une distance et une puissance d'émission donnée, la puissance que reçoit le tag est proportionnelle à la longueur de l'onde

utilisée pour la communication. Hors la longueur d'onde est définie par :

$$\lambda = \frac{c}{f} \tag{I.2}$$

Avec  $c$ , la célérité de la lumière dans le vide et  $f$  la fréquence de l'onde. La puissance reçue par le tag devrait être d'autant plus grande que la fréquence est faible, ou encore, pour une puissance reçue constante, la distance de communication devrait être inversement proportionnelle à la fréquence. Il semble donc plus judicieux de conclure que les basses fréquences sont plus favorables aux communications longues distances. Toutefois, il faut prendre en compte le gain des antennes qui est d'une manière générale, au premier ordre, proportionnel à la dimension caractéristique de l'antenne (longueur pour une antenne dipôle, diamètre pour une boucle ou pour une parabole, etc...) et inversement proportionnel à la longueur d'onde. Le tableau I.1 montre dans le cas d'antennes dipôles de type  $\lambda/2$ , la longueur que devrait faire une antenne pour avoir approximativement le même gain en fonction de la fréquence.

Fréquence	antenne $\lambda/2$
125kHz	1000m
13,56MHz	11,05m
910MHz	16,5cm
2,4GHz	6,25cm

**Tableau I.1** – Tailles d'antennes de type  $\lambda/2$  en fonction de la fréquence

Pour la centaine de kilohertz, fréquence utilisée historiquement par Nikola Tesla, il faudrait que l'antenne soit de l'ordre de 1km pour que son gain soit du même ordre de grandeur que celui d'une antenne de 16cm à 910MHz. Cette grandeur démesurée met en évidence l'intérêt de l'invention du magnétron puis du klystron [17] pour permettre la montée en fréquence à forte puissance. A 13,56MHz, la taille de l'antenne reste très importante et il semble peut réaliste d'intégrer des antennes de telle taille sur un objet télé-communicant qui doit être transportable.

L'équation de Friis n'est que l'expression d'un meilleur cas, réaliste uniquement lorsque l'émetteur et le récepteur sont très loin l'un de l'autre. Ainsi les ondes vues par le récepteur peuvent être assimilées à des ondes planes progressives. Il est dit de cette zone qu'elle est soumise à l'approximation de Fraunhofer [18]. Lorsque cette distance se réduit, il faut considérer la courbure de l'onde incidente puis le couplage inductif. L'équation de Friis n'est alors plus valable. Bien que la transition entre les différentes zones soit très progressive, la distance approximative de passage du champ proche au champ lointain est estimée à environ  $\frac{\lambda}{2\pi}$  [19]. Une

distance marquant la fin de la zone de transition sera plutôt donnée au chapitre III.

Fréquence	Zone de transition $\frac{\lambda}{2\pi}$
125kHz	318m
13,56MHz	3,52m
910MHz	5,25cm
2,4GHz	1,99cm

**Tableau I.2** – Distance de la zone de transition entre champ proche et champ lointain en fonction de la fréquence de l'onde

Au vu du tableau I.2, il est évident que les communications pour des fréquences LF et HF sont faites en champ proche d'où l'appellation de NFC. A contrario, pour l'UHF, dans la plupart des cas, il s'agira de communications en champ lointain. Ce mémoire se concentre sur les fréquences UHF, et il faudra bien garder à l'esprit que du fait de cette nuance entre zones de fonctionnement, les résultats exprimés par la suite ne pourront pas être transposés directement à des fréquences plus basses.

Les ultra hautes fréquences étant le vecteur naturel des communications longues distances en RFID, il semble logique de chercher à améliorer la distance de communication pour ces fréquences. Cela passe alors par une amélioration du rendement des circuits de récupération d'énergie afin d'alimenter la puce pour des distances de plus en plus lointaines. L'ensemble de ce mémoire est organisé dans le but d'améliorer cette distance de communication.

### 2.3 Etude d'une puce UHF

Un tag RFID est constitué de trois structures principales qui communiquent entre elles, un bloc analogique, un bloc numérique, et une mémoire (EEPROM par exemple) (figure I.5).

La mémoire contient toutes les informations relatives au tag ou au produit qui lui est associé. Elle renferme généralement un code d'identification, garantissant l'unicité d'un tag par rapport à un autre, mais aussi d'autres informations telles que des dates, des températures récupérées par un capteur, le prix du produit sur lequel le tag est posé, le type de produit, ses caractéristiques, etc... Cette mémoire est généralement accessible en lecture et en écriture.

La partie numérique interprète, quant à elle, toutes les commandes EPC [4] en provenance du lecteur (EPC est un protocole de communication couramment employé en RFID UHF). En fonction de la commande reçue, elle va se placer en mode d'écriture ou en mode de lecture, lire seulement l'identifiant du tag, déterminer si la commande s'adresse bien à ce tag ou pas, estimer quand la réponse peut être envoyée au lecteur et quel type de réponse doit être envoyé.

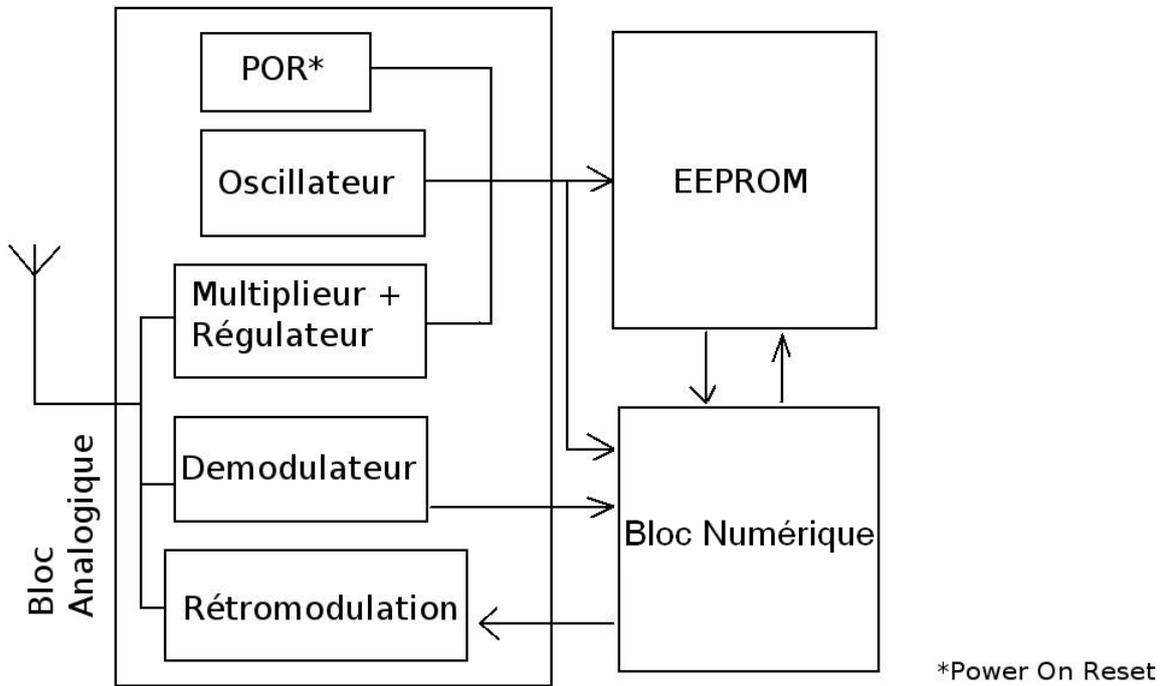


Figure I.5 – Diagramme bloc d'un TAG RFID UHF

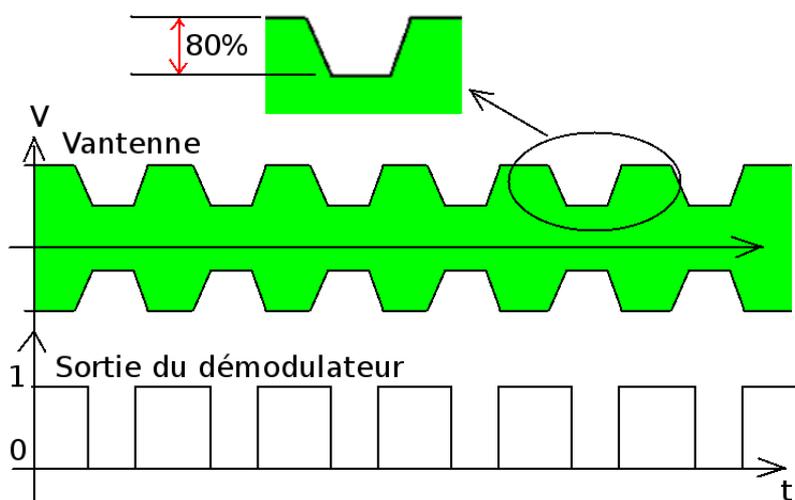
Le bloc analogique se divise en plusieurs sous-ensembles ayant chacun leur fonctionnalité propre. Le multiplieur de tension (ou récupérateur d'énergie) se charge de convertir le signal radio-fréquence en provenance de l'antenne en une tension d'alimentation. La tension délivrée sera fonction de la puissance envoyée par le lecteur, des gains des antennes, de la distance entre le TAG et le lecteur ainsi que de l'efficacité du multiplieur. Si la tension d'alimentation devient trop élevée, par exemple si la distance tag-lecteur devient très faible, alors il faut avoir recours à un système de régulation de la tension afin de ne pas endommager les autres circuits qui ne supportent pas nécessairement les hautes tensions.

Le Power On Reset (POR) se charge de détecter si la tension d'alimentation est suffisante pour assurer une communication entre le tag et le lecteur. Si tel est le cas, alors l'ensemble des blocs de la puce : mémoire, partie numérique, démodulateur, oscillateur, sont activés afin d'interpréter le message qui est potentiellement envoyé au tag. Inversement, lorsque la tension d'alimentation devient trop faible, le POR interrompt la communication en désactivant les blocs sus-cités.

L'oscillateur va cadencer le circuit afin que celui-ci possède une notion de temps. Le protocole EPC se basant sur les temps d'attente entre envoi d'une requête et attente d'une réponse, ainsi que sur les temps des états hauts et des états bas de la réponse, il faut que la partie numérique

puisse compter ce temps et évaluer les fréquences demandées pour la réponse. En accord avec le protocole, la fréquence de l'oscillateur est de 3MHz. La mémoire, quant à elle, peut avoir besoin du signal d'horloge provenant de l'oscillateur afin de contrôler sa pompe de charge. Les cellules mémoire type EEPROM ont besoin de tensions bien plus hautes que celles utilisées dans les autres circuits de la puce (la tension peut être de 15V au niveau de la mémoire alors qu'elle ne dépassera presque jamais 2V dans le reste de la puce). La pompe de charge n'est autre qu'un multiplicateur de tension similaire à celui qui sera étudié par la suite, mais dédié à la génération de hautes tensions d'alimentation.

Le démodulateur a pour but de convertir les signaux RF reçus en un signal numérique binaire intelligible pour le bloc numérique. A ce titre, il est possible de qualifier le démodulateur de convertisseur analogique-numérique 1 bit. Le signal démodulé (figure I.6), conformément au protocole est de type modulation d'amplitude (ASK, Amplitude Shift Keying), avec une profondeur de modulation allant de 80% à 100%. Cela est forcément néfaste à la télé-alimentation, mais ne peut a priori pas être compensé sans enfreindre le protocole [4].



**Figure I.6** – Représentation du signal RF entrant dans la puce et de la sortie du démodulateur

La rétro-modulation, pour finir, modifie l'impédance de la puce à intervalles réguliers lorsque la réponse binaire est émise par la partie numérique, ce qui transforme cette réponse en un signal modulé grâce à la variation d'amplitude et/ou de phase du signal réfléchi.

A l'ensemble de ces blocs, il faut encore ajouter la protection contre les décharges électrostatiques (ESD). Les puces RFID UHF n'étant que rarement mises sous boîtier, elles sont directement exposées à l'environnement extérieur et risquent donc de subir, notamment lors de l'assemblage sur antenne, des décharges électrostatiques pouvant les détruire. Pour que la puce

ne soit pas endommagée par une de ces décharges, ses interfaces entrée-sortie que sont les pads sont donc reliés à des circuits de protections censés absorber la surintensité lors d'une ESD.

### 3 LE MULTIPLIEUR DE TENSION

Comme cela a été évoqué plus haut, le multiplieur de tension est un convertisseur RF/DC permettant d'alimenter la puce à partir des ondes provenant du lecteur. Contrairement aux puces NFC, qui n'ont généralement besoin que d'un redresseur double alternance type pont de diode pour fonctionner, sur les puces UHF la tension récupérée aux bornes de l'antenne est très faible lorsque la distance lecteur-tag dépasse quelques mètres. Le rôle du multiplieur va donc consister non seulement à redresser la tension sinusoïdale récupérée aux bornes de l'antenne, mais également à élever cette tension.

Les architectures généralement utilisées pour ce type de système sont souvent empruntées à l'électronique de puissance ou à l'électrotechnique. Ainsi les sources d'inspirations pour les multiplieurs utilisés actuellement dans les puces RFID [20–22] sont presque tous issus :

- du générateur de Cockcroft-Walton [2] (figure I.7), conçu initialement pour générer plusieurs centaines de kilovolts dans le cadre des tous premiers accélérateurs de particules,
- ou de la pompe de charge dite de Dickson [23] régulièrement utilisée pour alimenter les mémoires EEPROM et qui permet d'élever une tension de un ou deux volts en une tension d'une quinzaine de volts.

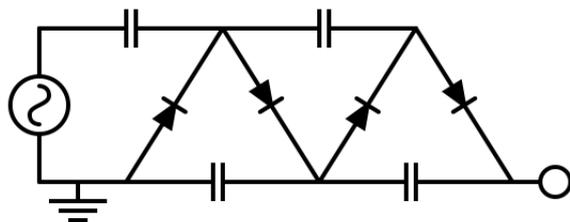
Les multiplieurs implémentés dans les puces RFID ne génèrent quant à eux que des tensions d'un à deux volts avec des tensions alternatives en entrée de l'ordre de quelques centaines de millivolts.

#### 3.1 L'élévateur

L'élévateur de tension (figure I.8) va permettre la passage d'une tension alternative à valeur moyenne nulle en une tension alternative de valeur moyenne non nulle. Dans ce montage, la diode ne conduit que lorsque la tension de sortie  $V_{out}$  devient négative. Ceci a pour effet d'augmenter la valeur moyenne du potentiel  $V_{out}$  jusqu'à ce que la diode ne puisse plus être passante. Les charges sont alors "piégées" par la capacité.

Ainsi, si les composants sont idéaux, l'expression de la tension de sortie est [24] :

$$V_{out}(t) = V_{in}(t) + \max(V_{in}(t)) \quad (\text{I.3})$$

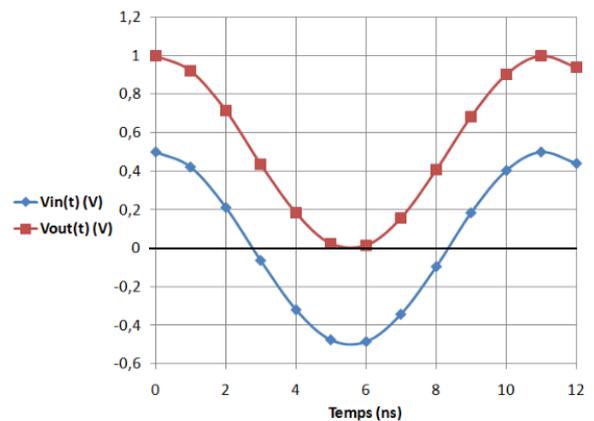
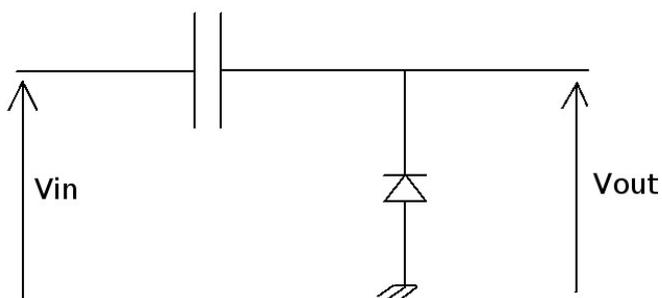


(a)



(b)

**Figure I.7** – Schéma du générateur de Cockcroft-Walton (a) et un modèle construit par Philips en 1937, exposé au musée des sciences de Londres (b)

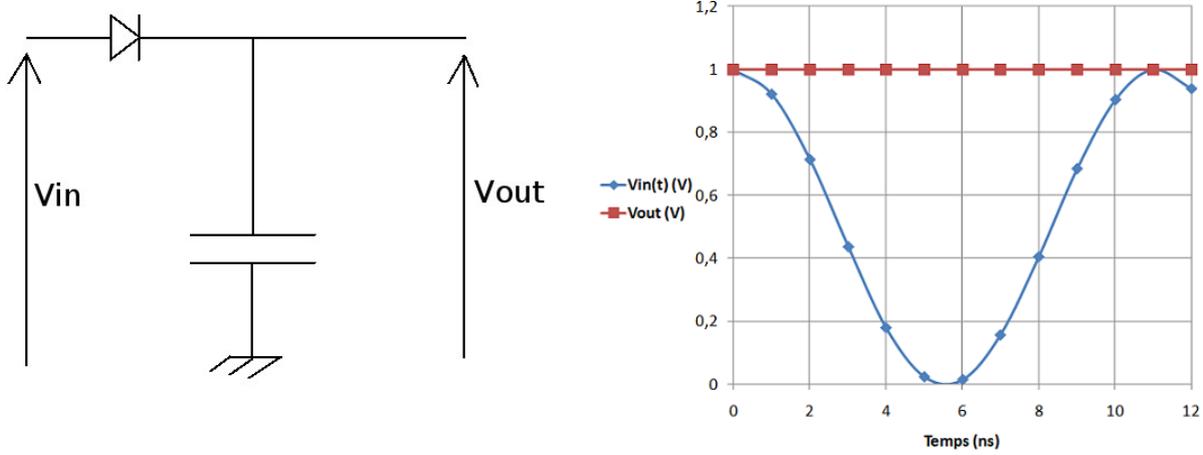


**Figure I.8** – Le circuit élévateur et la simulation son signal de sortie en fonction du temps

La valeur maximale de la tension de sortie est le double de la valeur maximale de la tension d'entrée, ce qui permettra par la suite d'obtenir une tension de sortie supérieure à la tension d'entrée.

### 3.2 Le redresseur

L'application d'une tension quelconque  $V_{in}$  en entrée du montage de la figure I.9 charge la capacité à travers la diode jusqu'à ce que la tension de sortie du montage  $V_{out}$  atteigne la valeur maximale de la tension d'entrée.



**Figure I.9** – Circuit redresseur et la simulation de sa réponse en tension

Les fuites de courant dues à la capacité et/ou à la diode devraient décharger progressivement le nœud de sortie  $V_{out}$ , toutefois si  $V_{in}$  est sinusoïdale et de fréquence suffisamment élevée en regard de la taille de la capacité et des fuites du circuit, alors la tension de sortie est constante et son expression est [24] :

$$V_{out}(t) = \max(V_{in}(t)) = V_{out} \quad (\text{I.4})$$

Une tension continue est ainsi obtenue en sortie du système à partir d'un signal d'entrée variable.

### 3.3 Architecture simple alternance

Le multiplieur simple alternance est obtenu en interconnectant les deux structures précédentes, ce que montre la figure I.10.

Cette architecture génère une tension de sortie dont la valeur est, selon I.3 et I.4 [24] :

$$V_{out} = \max(V_{inter}(t)) = 2 \cdot \max(V_{in}(t)) \quad (\text{I.5})$$

Soit le double de l'amplitude du signal d'entrée si les composants sont considérés comme idéaux. Le redressement est dit simple alternance car seule la partie positive du signal d'entrée est utilisée pour obtenir le signal de sortie. Pour tirer parti des deux alternances, il faut créer une structure différentielle.

Il existe plusieurs manières de réaliser les diodes du multiplieur. Il est bien sûr possible d'utiliser des diodes à jonction ou des diodes Schottky, mais ces composants ne sont pas toujours

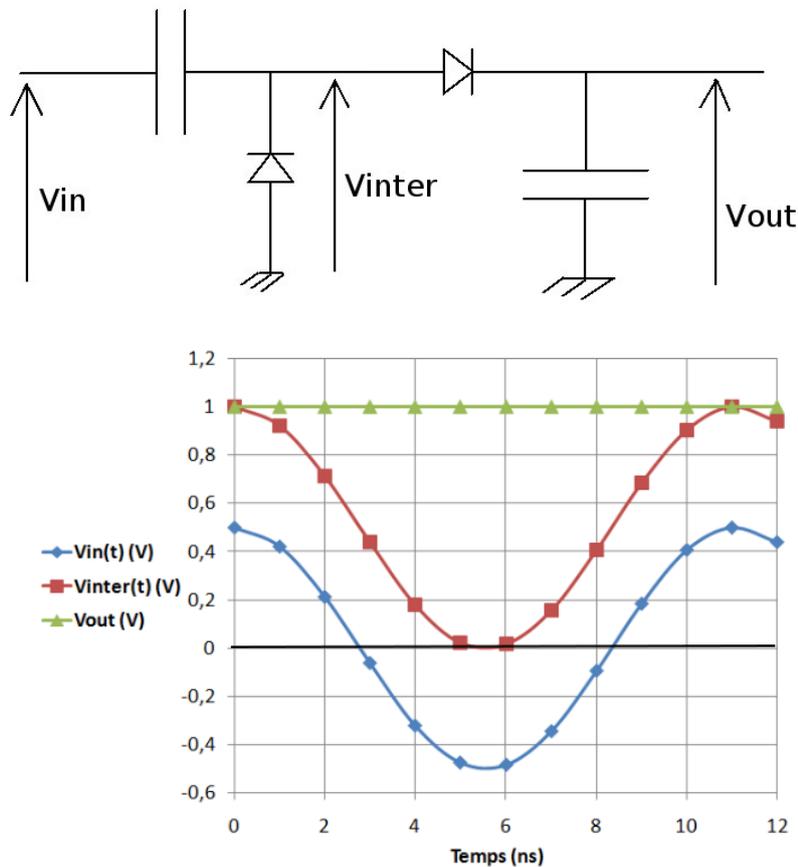


Figure I.10 – Le circuit simple alternance et ses signaux

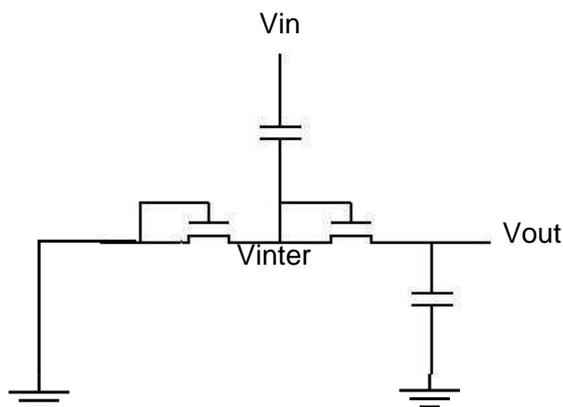


Figure I.11 – Multiplieur conventionnel à transistor NMOS

disponible en standard dans les technologies employées. Une architecture simple pour un multiplieur conventionnel en technologie MOS est alors d'utiliser des transistors NMOS montés en diode (figure I.11).

### 3.4 Architecture différentielle

La structure différentielle est construite à partir du montage simple alternance en le dupliquant de manière symétrique (figure I.12). La deuxième partie du circuit ainsi disposée permet d'obtenir une tension  $V_{out-}$  négative.

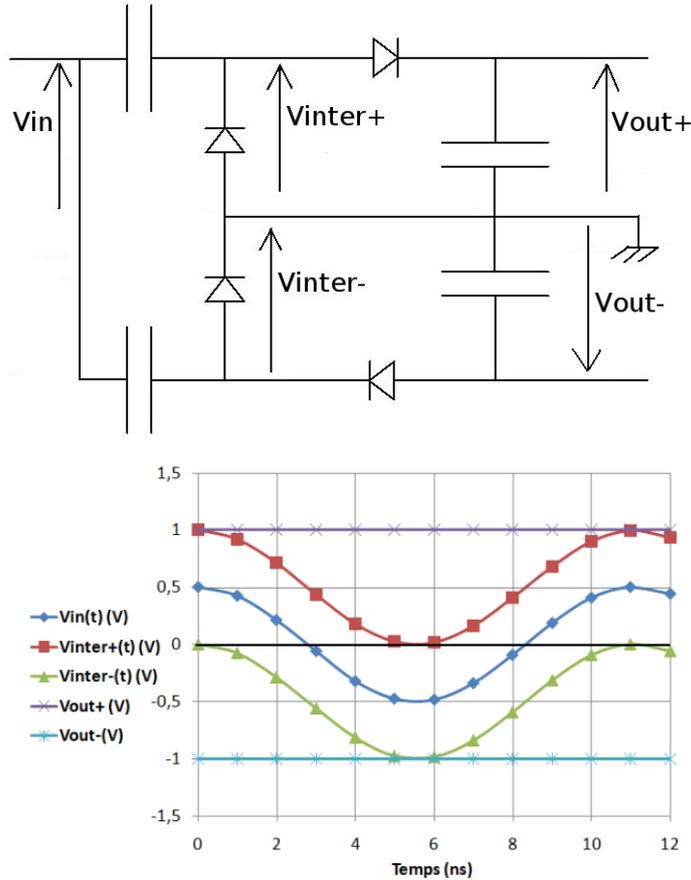


Figure I.12 – La structure différentielle et ses signaux d'entrée-sortie

L'expression de la tension de sortie, qui alimentera le reste du circuit sera donc [24] :

$$V_{out} = V_{out+} - V_{out-} = 4 \cdot \max(V_{in}(t)) \tag{I.6}$$

Il est intéressant de noter que dans ce cas là, contrairement au redressement simple alternance, les tensions d'entrée et de sortie ne sont pas référencées au même potentiel. La tension d'entrée d'un multiplieur  $V_{in}$  étant la tension aux bornes de l'antenne, alors dans le cas du redressement simple alternance la masse du circuit correspond à une des deux bornes de l'antenne, tandis que dans le cas d'une structure différentielle, il existe une masse interne au circuit, qui

ne peut être reliée au reste du monde par un plot d'antenne. Cela a son importance au moment de mesurer les structures. S'il s'agit de redressement différentiel, alors il faudra envisager un plot de masse supplémentaire pour pouvoir référencer le circuit correctement au moment des tests éventuels.

### 3.5 La multiplication des étages

Pour obtenir des tensions d'alimentation encore plus élevées, il est possible de cascader l'une ou l'autre des structures observées précédemment. Il est question alors d'architectures à plusieurs étages, les montages des figures I.10 et I.12 constituant un étage. La figure I.13 montre une structure simple alternance à deux étages.

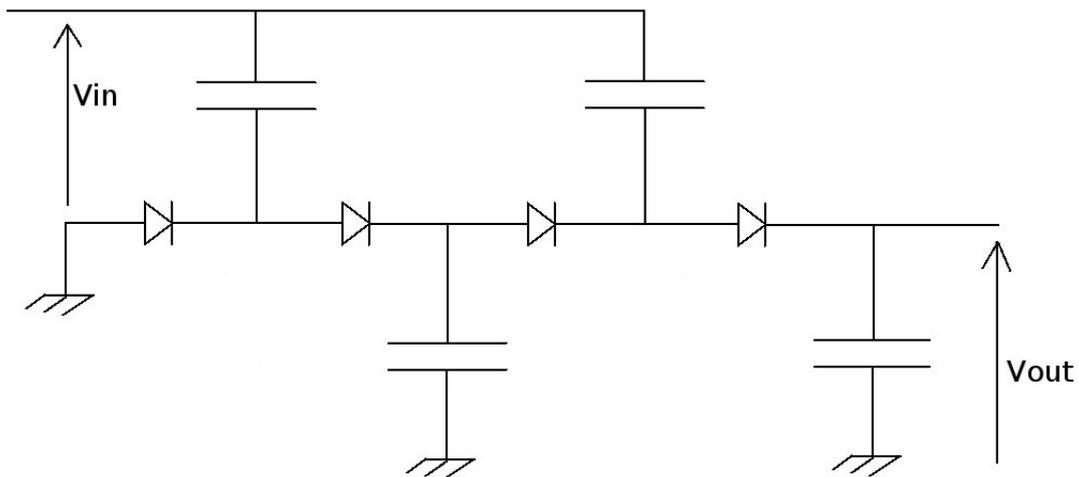


Figure I.13 – Multiplieur simple alternance à 2 étages

Dans le cas de la simple alternance, soit  $N$  le nombre d'étage, alors la tension de sortie idéale sera de [24] :

$$V_{out} = 2 \cdot N \cdot \max(V_{in}(t)) \quad (\text{I.7})$$

De même, il est possible de cascader les étages d'une structure différentielle (figure I.14). L'expression de sa tension idéale de sortie est quant à elle [24] :

$$V_{out} = 4 \cdot N \cdot \max(V_{in}(t)) \quad (\text{I.8})$$

Pour des composants idéaux, il est donc théoriquement possible d'atteindre une tension de sortie illimitée par ajout d'étages. En réalité, il apparait rapidement des limitations qui vont

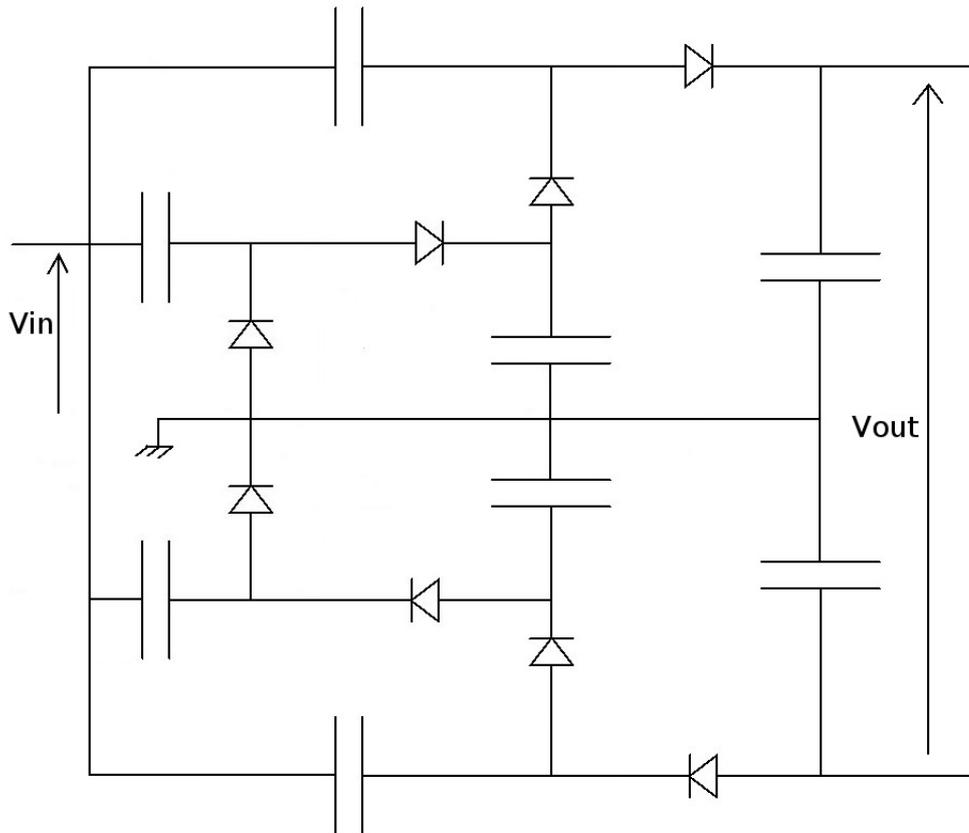


Figure I.14 – Multiplieur différentiel à 2 étages

empêcher cette élévation infinie. D'une part, les diodes ne sont pas idéales et leur tension de seuil n'est pas nulle. La réduction de cette tension de seuil sera l'objectif du chapitre II. D'autre part, il existe des pertes notamment dues au couplage des circuits RF avec le substrat qui vont limiter fortement les performances du circuit.

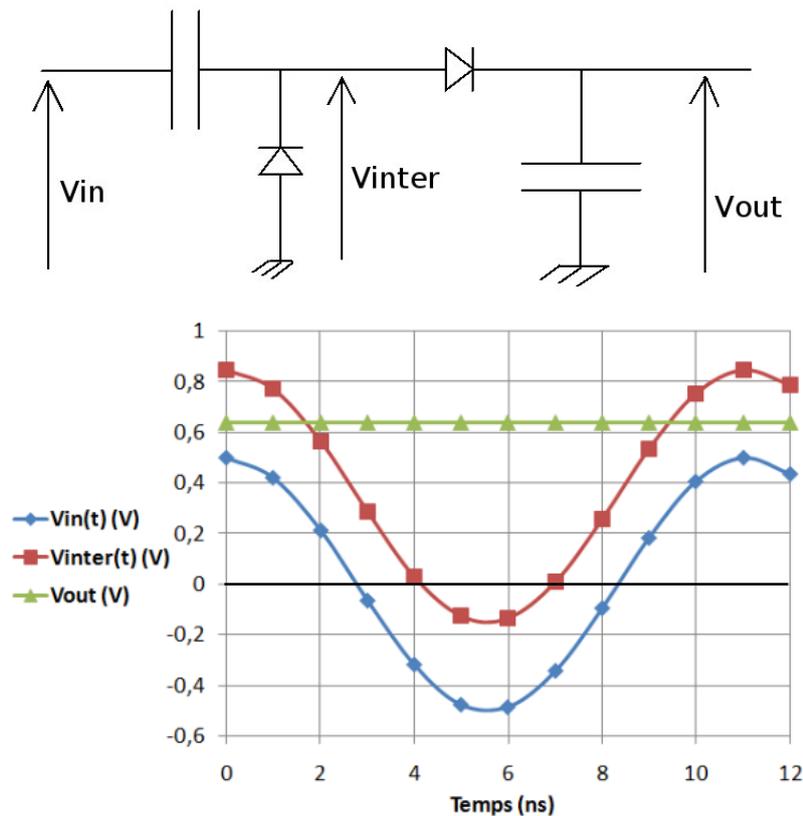
### 3.6 Composants non-idéaux

En réalité, pour décrire correctement le multiplieur et pouvoir l'améliorer, il faut tenir compte des pertes dans les capacités et surtout de l'aspect imparfait et non linéaire de la diode réelle. De nombreux travaux ont déjà été effectués concernant la description ou l'amélioration du rendement des multiplieurs. Certains se focalisent surtout sur les modèles permettant de décrire de manière très fine le fonctionnement de la structure [21] [25], tandis que d'autres s'en tiennent à la proposition de nouvelles architectures optimisées [26] [27]. Les modélisations du récupérateur d'énergie sont très nombreuses et abordent le sujet sous différents points de vues. La référence [21] par exemple propose un modèle très détaillé du multiplieur faisant appel

## Chapitre I. Etude générale et systèmes préexistants

notamment aux fonctions de Bessel modifiées. L'article [28] propose quant à lui une intégration des différents courants circulant dans la structure afin d'en déterminer son impédance et son rendement. L'article [25] présente le sujet d'une façon similaire concernant les courants.

D'une manière générale, ces articles tendent à montrer que la tension de seuil des diodes, ou des transistors montés en diodes, nuit à l'élévation de tension dans le multiplieur ainsi qu'à son rendement.



**Figure I.15** – Le circuit simple alternance et la simulation électrique avec des composants non-idéaux

En effet, soit la tension en entrée du multiplieur  $v_{in}(t)$  (figure I.15), une tension sinusoïdale de la forme :

$$v_{in}(t) = V_{in} \cdot \cos(\omega \cdot t) \quad (\text{I.9})$$

Selon [29], la tension en sortie de l'élévateur (figure I.15) qui était dans le cas idéal (équation I.3) :

$$v_{inter}(t) = v_{in}(t) + \max(v_{in}(t)) \quad (\text{I.10})$$

$$v_{inter}(t) = V_{in} \cdot (\cos(\omega \cdot t) + 1) \quad (\text{I.11})$$

devient, du fait de la tension de seuil de la diode  $V_{th1}$  :

$$v_{inter}(t) = V_{in} \cdot (\cos(\omega \cdot t) + 1) - V_{th1} \quad (\text{I.12})$$

De même, concernant le redresseur (figure I.15) l'expression provenant de l'équation I.4 :

$$V_{out} = \max(v_{inter}(t)) \quad (\text{I.13})$$

est modifiée lorsque la tension de seuil de la diode du redresseur  $V_{th2}$  est considérée :

$$V_{out} = \max(v_{inter}(t)) - V_{th2} \quad (\text{I.14})$$

Si toutes les diodes sont identiques, alors la tension de sortie d'un multiplieur à N étages est :

$$V_{out} = N \cdot \max(V_{in} \cdot (\cos(\omega \cdot t) + 1) - V_{th}) - V_{th} \quad (\text{I.15})$$

$$V_{out} = 2 \cdot N \cdot (V_{in} - V_{th}) \quad (\text{I.16})$$

La tension de sortie est donc étroitement liée à la tension de seuil des diodes utilisées. Pour baisser cette tension de seuil, beaucoup de solutions préconisent l'emploi de diodes Schottky en lieu et place des transistors MOS [22, 25, 30, 31]. Le choix des diodes Schottky ou des transistors MOS dans les multiplieurs est délicat. La diode Schottky présente effectivement une faible tension de seuil par rapport aux transistors MOS, mais elle n'est pas présente de façon standard dans toutes les technologies, et moins encore dans les technologies bas coût. Dans ce mémoire, les solutions étudiées par la suite n'utilisent que des transistors de type MOS. Par ailleurs, l'utilisation de la grille du transistor permet éventuellement d'ajuster la tension de seuil de celui-ci de manière dynamique, ce qui n'est guère possible avec une diode Schottky ou diode à jonction PN.

### 3.7 Etat de l'art des architectures

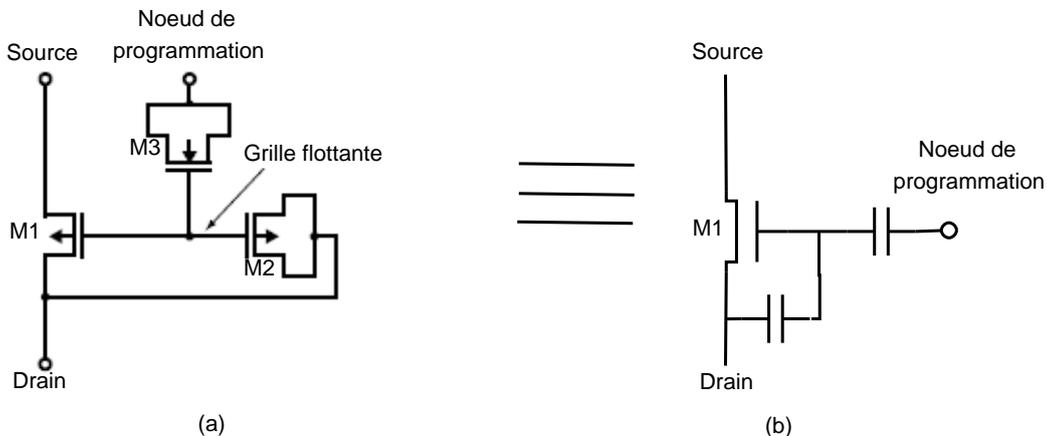
Comme le montre l'équation I.16, la diminution de la tension de seuil du transistor ou de la diode permet, pour un même nombre d'étage d'augmenter la tension de sortie du multiplieur.

De ce fait, de nombreux travaux ont été menés afin de réduire artificiellement cette tension de seuil. Pour ce faire, il existe plusieurs techniques, qui vont toutes consister à modifier d'une façon ou d'une autre le potentiel de grille.

### 3.7.1 Systèmes à grille flottante

Pour diminuer la tension de seuil d'un transistor, une première idée est d'utiliser des transistors bi-grille dont l'une est flottante tels qu'il est possible d'en trouver dans une technologie mémoire type EEPROM. Ainsi, en pré-polarisant le potentiel de la grille flottante, la tension du transistor est paramétrable. L'article [26] utilise ce type de transistor pour améliorer le rendement de son multiplieur, mais comme celui-ci l'indique, la plupart des technologies de type CMOS n'intègrent pas de transistors bi-grilles et de plus, le processus de programmation de la grille flottante impose des étapes supplémentaires dans le processus de fabrication.

Dans la référence [32], il est aussi question de transistors à grille flottante, mais il s'agit de transistors simple grille. La figure I.16 montre la diode ainsi formée.



**Figure I.16** – Schéma d'une diode NMOS avec simple grille flottante

Le transistor M1 a une tension de seuil paramétrable grâce à sa grille flottante. La polarisation de la grille est réalisée via le noeud de programmation par effet tunnel sur le transistor M3. le transistor M2 fait office de capacité de découplage entre le drain et la grille flottante. Ainsi la composante alternative potentiellement présente sur le drain viendra s'ajouter à la composante continue de la grille flottante.

Une fois de plus, au moment de la fabrication de la puce, il faut prévoir une étape pour polariser les grilles flottantes. Par ailleurs, avec le temps cette polarisation peut-être altérée, notamment à cause de fuites au niveau de la grille, car, il faut le rappeler, il s'agit ici d'utiliser une technologie CMOS quelconque dont les transistors n'ont pas été nécessairement conçus

pour conserver une polarisation au niveau de leur grille durant plusieurs années, contrairement aux transistors rencontrés dans les EEPROM. De plus, la référence [32] ne semble pas avoir étudiée la solution pour des fréquences de l'ordre de 900MHz.

### 3.7.2 Polarisation autonome

Un autre moyen de réduire la tension de seuil des transistors dans le cadre du multiplieur est de polariser les grilles de ces derniers automatiquement au moment où le tag reçoit une onde. Pour cela, l'article [33] propose de polariser la grille d'une partie des transistors du multiplieur par un autre multiplieur secondaire muni de diode Schottky (figure I.17).

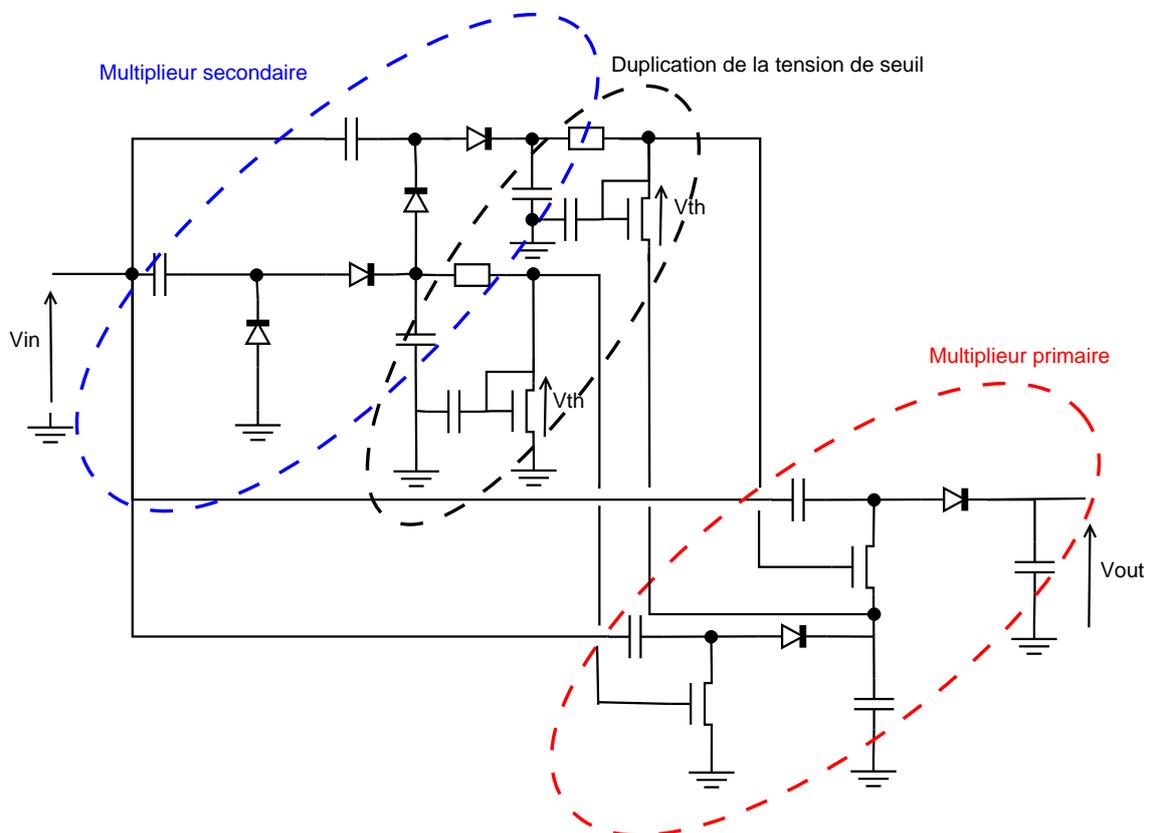


Figure I.17 – Multiplieur polarisé par un multiplieur secondaire

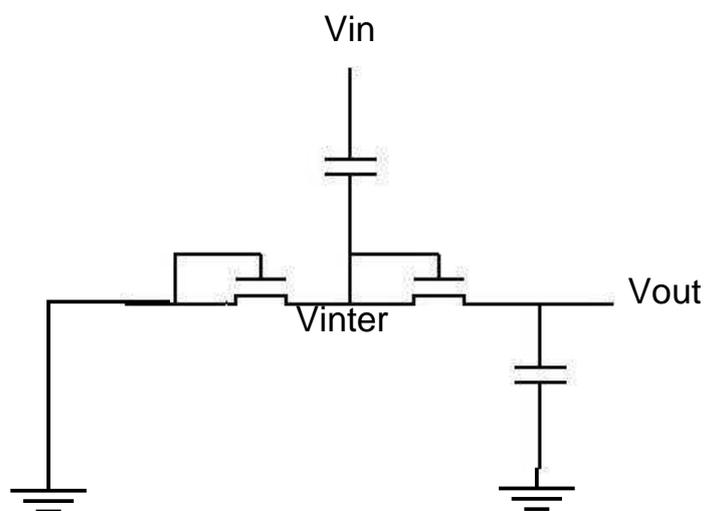
Les diodes Schottky ayant généralement une tension de seuil plus faible que les transistors MOS et le multiplieur secondaire n'étant pas chargé, les tensions en sorties des étages de ce multiplieur seront supérieures aux tensions de seuil des transistors du multiplieur primaire. Pour que la tension de grille de chaque transistor ne soit pas supérieure à la tension de seuil, ce qui pourrait provoquer des fuites, un étage de duplication de la tension de seuil est placé entre la structure secondaire et la structure primaire. Grâce à un transistor monté en diode, cet étage

permet d'obtenir une tension égale à la tension de seuil du transistor MOS entre la grille et le drain de chacun des transistors du multiplieurs primaire. La consommation de la structure secondaire et de l'étage de duplication est minimisée en réduisant la taille des composants dans ces circuits à leur minimum technologique.

L'article [33] prévoit un rendement de 8% pour la structure ainsi formée pour une consommation de  $5\mu W$  en sortie et une tension de sortie de 1.2V environ. Le circuit conçu avec une technologie CMOS  $0.35\mu m$ . Ce rendement est comparé à celui d'une multiplieur classique muni de diode Schottky uniquement dont le rendement est estimé à 4% dans les mêmes conditions.

Les inconvénients de cette solution sont d'une part, l'utilisation de diodes Schottky, ce qui implique que le circuit ne peut être conçu pour tout type de technologie, et d'autre part la polarisation que d'un seul transistor par étage.

L'article [34] propose, quant à lui, une méthode d'annulation de la tension de seuil qui n'utilise pas de diode Schottky. Le multiplieur conventionnel en technologie MOS est celui visible sur la figure I.18.



**Figure I.18** – Multiplieur conventionnel à transistor NMOS

Une variante de ce multiplieur consiste à utiliser la cellule CMOS (figure I.19). L'intérêt principal d'utiliser un transistor PMOS au niveau du redresseur est de pouvoir brancher la grille de chacun des transistors sur des nœuds présentant une tension continue par rapport à la masse du circuit. Ainsi, les pertes dues à la rapidité des signaux alternatifs sont limitées car la résistance d'accès de la grille et la capacité de grille ne filtreront plus le potentiel de grille. Par ailleurs, cela limite aussi les phénomènes de couplage au substrat qui seront vus dans le chapitre suivant.

L'article [34] améliore la structure CMOS en modifiant le branchement des grilles (figure

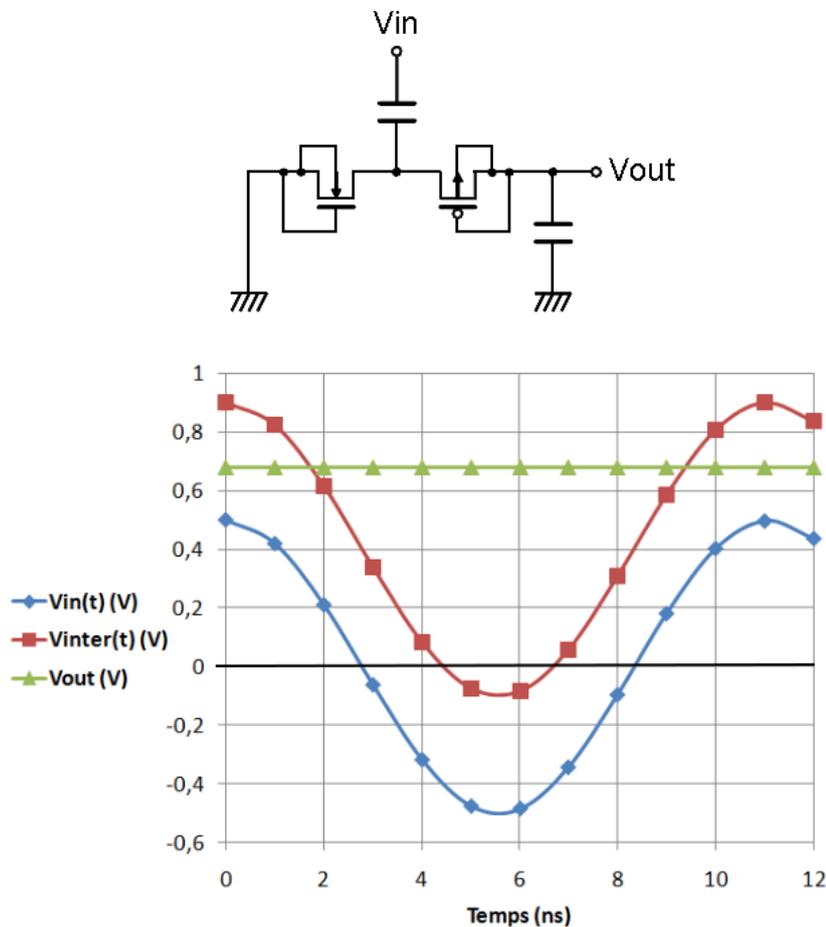


Figure I.19 – Multiplieur à cellule CMOS

I.20). Ce branchement change la tension  $V_{GS}$  des transistors et la rend plus favorable à un état passant. En effet, lorsqu'une tension  $V_{in}$  est appliquée en entrée du montage ainsi constitué, le transistor PMOS dont la grille est reliée à la masse est initialement passant et la tension  $V_{out}$  croît rapidement. Cela a pour effet de polariser le transistor NMOS et donc de baisser artificiellement sa tension de seuil, tandis que le transistor PMOS voit son état se rapprocher de l'état bloqué. Cette structure possède un rendement optimal lorsque  $V_{out}$  est très proche des tensions de seuil des transistors. Au delà, la référence [34] indique que la structure s'auto-régule.

L'avantage majeur de ce circuit est sa simplicité. La tension de seuil a pu être compensée sans ajouter de transistor supplémentaire. Bien que le rendement maximal de cette structure soit de 30% environ pour une puissance de sortie de  $30\mu W$ , comme l'affirme l'article [34], la tension de sortie n'est alors pas suffisante pour alimenter correctement le reste de la puce, d'où la nécessité de cascader le circuit.

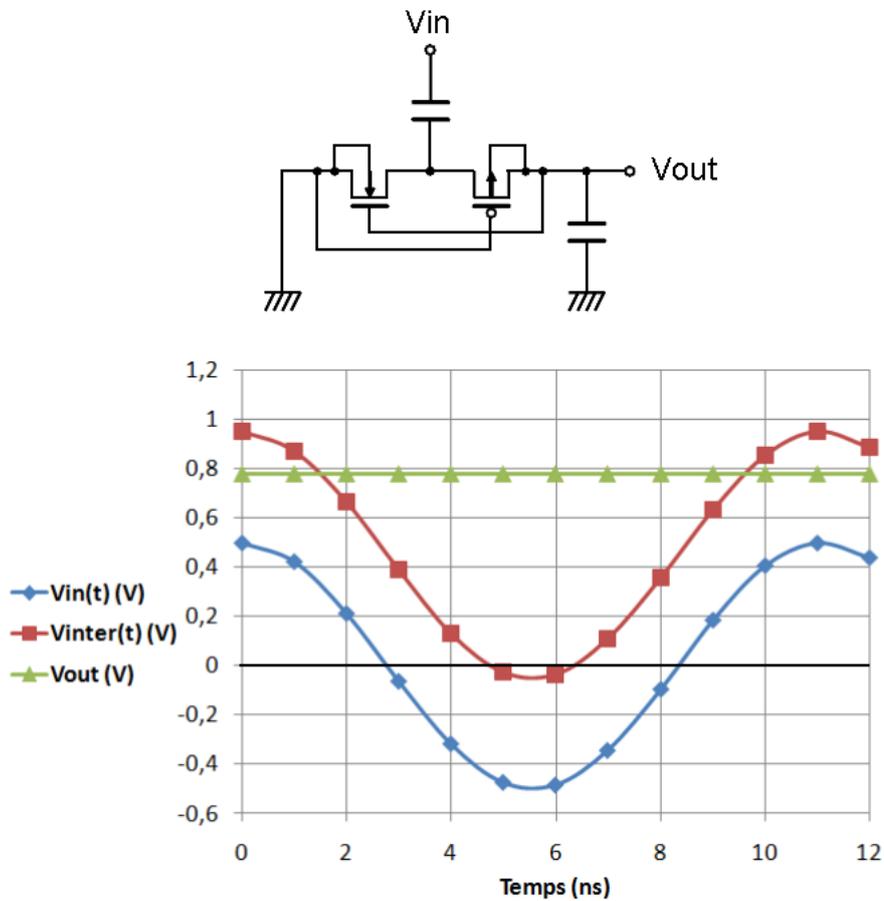


Figure I.20 – Multiplieur CMOS à tension de seuil auto-annulée

Lorsque le système est cascadié, la polarisation des points intermédiaires change, et le rendement en puissance par étage également. Ainsi, lorsqu'une structure est cascadiée, le rendement en puissance global de la structure est bien supérieur à la multiplication du rendement de chacun des étages pris isolément. D'une façon générale, les simulations électriques d'un multiplieur NMOS classique indiquent que le rendement en puissance d'une structure avec plusieurs étages est légèrement inférieur au rendement en puissance d'un étage seul.

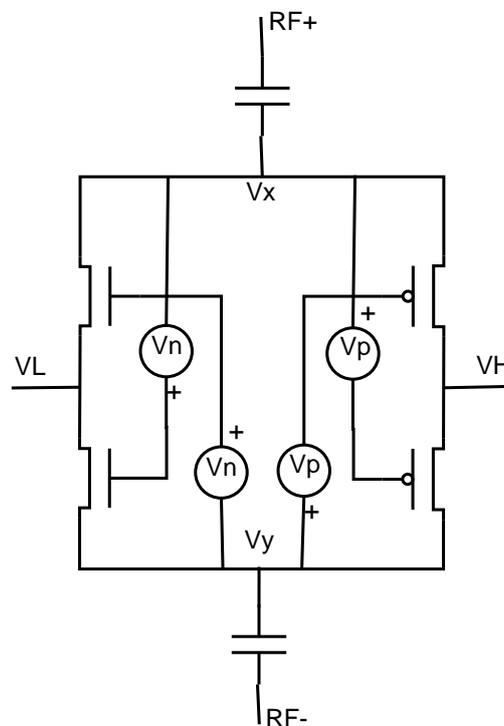
Toutefois, il n'est pas possible de cascader simplement la structure de façon à former plusieurs étages car, comme cela sera montré dans la section 4.2 du chapitre II, la montée en tension de la sortie du premier étage bloquerait le transistor PMOS du second étage, empêchant ainsi la montée en tension de la sortie du second étage.

Dans ce mémoire, il sera notamment proposé une architecture qui tire parti des avantages des solutions qui viennent d'être exposées tout en supprimant leurs inconvénients. Toutefois, l'augmentation de la distance de communication entre un tag passif et un lecteur passe égale-

ment par d'autres points critiques pour la télé-alimentation tels que l'adaptation d'impédance.

### 3.7.3 Architecture différentielle polarisée

Les solutions vues jusqu'à présent ne se fondaient que sur du redressement simple alternance, toutefois il est également possible de polariser les transistors d'une structure différentielle. L'article [35] propose une solution de ce genre. Il s'agit alors de polariser chacun des quatre transistors de chaque étage (figure I.21).



**Figure I.21** – Un étage d'un multiplieur différentiel polarisé

La polarisation se fait alors au moyen des deux circuits suivant, l'un pour les PMOS, l'autre pour les NMOS (figure I.22)

Ce genre de polarisation présente un double intérêt. Non seulement la tension moyenne appliquée sur la grille du transistor par rapport à sa source est proche de la tension de seuil, mais en plus, les alternances entre grille et source sont croisées (figure I.23).

De cette façon, les alternances favorisent toujours l'état passant des transistors et limitent les fuites pendant leur état bloqué, ce qui augmente le rendement en puissance de la structure.

L'architecture globale d'un étage du multiplieur différentiel muni de sa polarisation est donnée par la figure I.24.

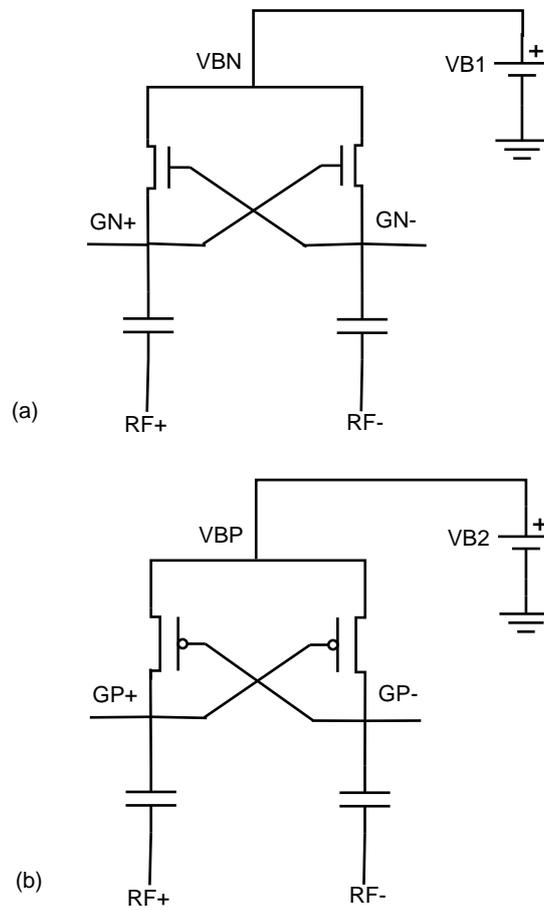


Figure I.22 – Circuits de polarisation des transistors NMOS (a) et PMOS (b) de la structure différentielle

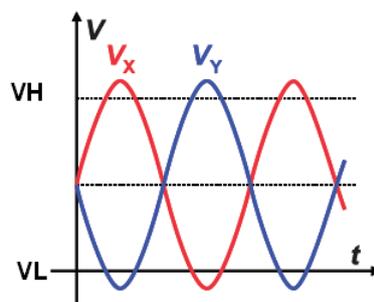


Figure I.23 – Un étage d'un multiplieur différentiel polarisé

Cette architecture présente par ailleurs l'avantage de ne pas se bloquer lorsqu'elle est cascadée. D'un point de vue du rendement, l'article [35] annonce un rendement en simulation de 60% pour une tension d'entrée de  $350mV$ , une tension de sortie de  $1V$  et une consommation en puissance en sortie de multiplieur de  $4\mu W$ .

Malgré le rendement très prometteur de cette structure, les architectures polarisées ne sont

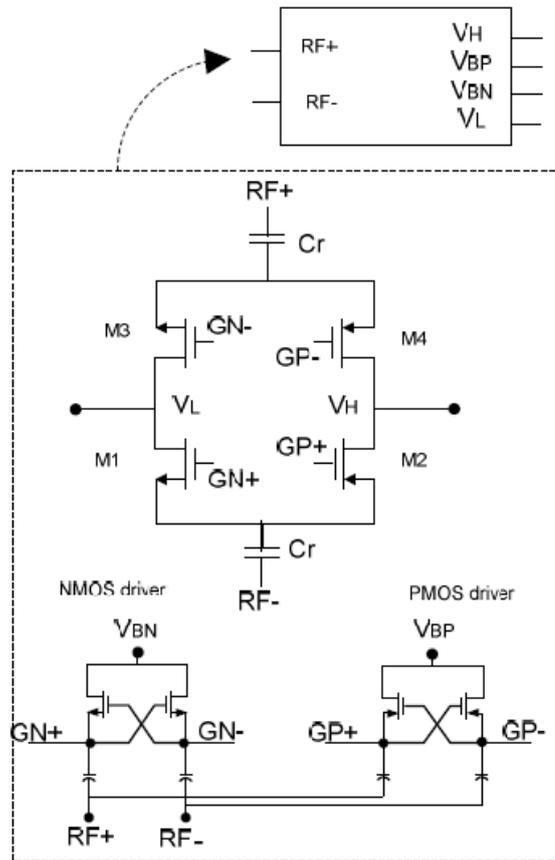


Figure I.24 – Un étage d'un multiplieur différentiel polarisé

pas davantage détaillées dans ce mémoire. Non pas qu'il n'y ait pas de potentielles améliorations à y apporter, mais le matériel nécessaire aux mesures et à la caractérisation de ce type d'architecture est fort coûteux et il n'était pas accessible.

## 4 ADAPTATION D'IMPÉDANCE

L'efficacité de la récupération d'énergie, ainsi que, d'une manière générale, la qualité des signaux en provenance d'une antenne, sont soumis à la qualité de l'adaptation entre la puce et l'antenne. En télécommunication, nombreux sont les systèmes qui ont recours à l'adaptation, notamment grâce à des circuits d'adaptation dédiés [36] [37]. Ainsi, les antennes développées peuvent être standardisées et présenter une impédance qui est généralement de  $50 \Omega$ .

L'utilisation de tels systèmes dans le cadre de circuits télé-alimentés pose un problème. Ajouter des composants à l'entrée de la puce qui n'ont pas pour objectif premier d'améliorer le rendement de la télé-alimentation risque justement d'avoir un impact négatif sur cette dernière.

En effet, tout composant placé dans un circuit représente une perte potentielle pour celui-ci, d'autant plus si ce composant est placé au niveau de signaux ultra hautes fréquences. La RFID passive étant une application devant être très basse consommation pour pouvoir fonctionner de manière optimale, l'élimination des pertes est une priorité. Le meilleur moyen de ne pas avoir de pertes est de supprimer tous les composants qui ne sont pas absolument indispensables au fonctionnement de la puce. Ainsi, dans les récepteurs passifs RFID, les antennes sont généralement conçues de façon à être directement adaptées à l'impédance de la puce [38] [39], ce qui permet de se passer de circuit d'adaptation. C'est d'ailleurs la raison pour laquelle de très nombreuses publications en RFID ont pour sujet la mesure précise de l'impédance de la puce [40] et de l'antenne [41] [42] ou encore l'étude et l'amélioration de l'adaptation puce-antenne [43] [44].

Par ailleurs, de nombreuses applications télé-communicantes (téléphonie mobile, WiFi, etc...) utilisent l'émission d'un nouveau signal afin de répondre au lieu de se baser sur la réflexion de l'onde incidente. L'adaptation d'impédance dans ces cas ne se fait alors que par étude de la puissance fournie à la charge du récepteur (ou rayonnée par l'émetteur), la puissance re-rayonnée par le récepteur (dissipée par la résistance interne de l'émetteur) n'est généralement pas étudiée car de peu d'utilité. En revanche, dans le cadre précis d'un tag passif en RFID, la théorie de l'adaptation doit prendre en compte toutes les puissances, tant absorbée par la puce que re-rayonnée. En effet, il est intéressant de connaître quelle impédance permet de maximiser la puissance absorbée par la puce, afin de favoriser la télé-alimentation ainsi que le traitement du signal incident. Mais il est également utile de savoir quelle impédance permet d'augmenter la puissance re-rayonnée, afin d'améliorer, au niveau du lecteur, le traitement du signal réfléchi.

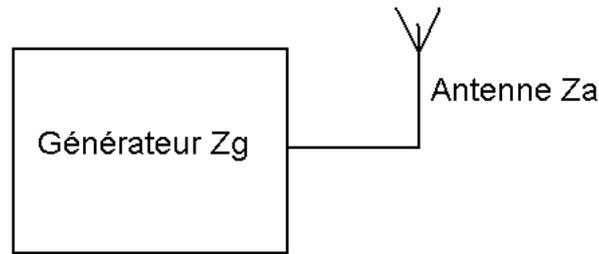
### 4.1 Cas d'une antenne en mode d'émission

L'étude classique de l'adaptation d'impédance consiste en la détermination de la puissance maximale fournie par un générateur de tension  $V_g$  et d'impédance interne fixée  $Z_g = R_g + j \cdot X_g$  à une charge quelconque, ici une antenne, d'impédance  $Z_a = R_a + j \cdot X_a$  (Figure I.25). Avec :

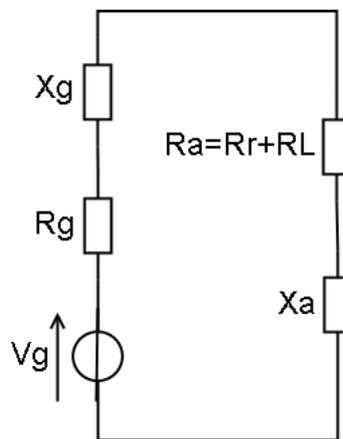
- $R_g$  la résistance interne du générateur (ohms)
- $X_g$  la réactance interne du générateur (ohms)
- $R_a$  la résistance globale de l'antenne (ohms)
- $X_a$  la réactance de l'antenne (ohms)

La résistance globale de l'antenne peut se décomposer en une résistance de rayonnement  $R_r$  et une résistance de perte  $R_L$  :

$$R_a = R_r + R_L \tag{I.17}$$



(a)



(b)

**Figure I.25** – Antenne en mode d'émission (a) et son équivalent Thévenin (b)

$I_g$  le courant qui circule dans le circuit, s'exprime alors :

$$I_g = \frac{V_g}{Z_a + Z_g} \quad (\text{I.18})$$

Et son amplitude est :

$$|I_g| = \frac{|V_g|}{\sqrt{(R_a + R_g)^2 + (X_a + X_g)^2}} \quad (\text{I.19})$$

Ainsi, si  $P_a$  est définie comme étant la puissance active fournie par le générateur et dissipée par l'antenne, et  $P_g$  la puissance active dissipée par le générateur, alors :

$$P_a = \frac{|V_g|^2}{2} \cdot \frac{R_a}{(R_a + R_g)^2 + (X_a + X_g)^2} \quad (\text{I.20})$$

$$P_g = \frac{|V_g|^2}{2} \cdot \frac{R_g}{(R_a + R_g)^2 + (X_a + X_g)^2} \quad (\text{I.21})$$

La puissance active globale fournie par le générateur est :

$$P_{total} = P_a + P_g = \frac{|V_g|^2}{2} \cdot \frac{R_a + R_g}{(R_a + R_g)^2 + (X_a + X_g)^2} \quad (\text{I.22})$$

En supposant que l'antenne ne présente pas de pertes ( $R_L = 0\Omega$ ), pour maximiser la puissance rayonnée par l'antenne, les paramètres du générateur étant fixés, il faut déterminer les valeurs de  $R_a$  et  $X_a$  telles que  $P_a$  soit maximale. Par étude de la dérivée de  $P_a$  selon  $R_a$  et  $X_a$ , ces valeurs sont :

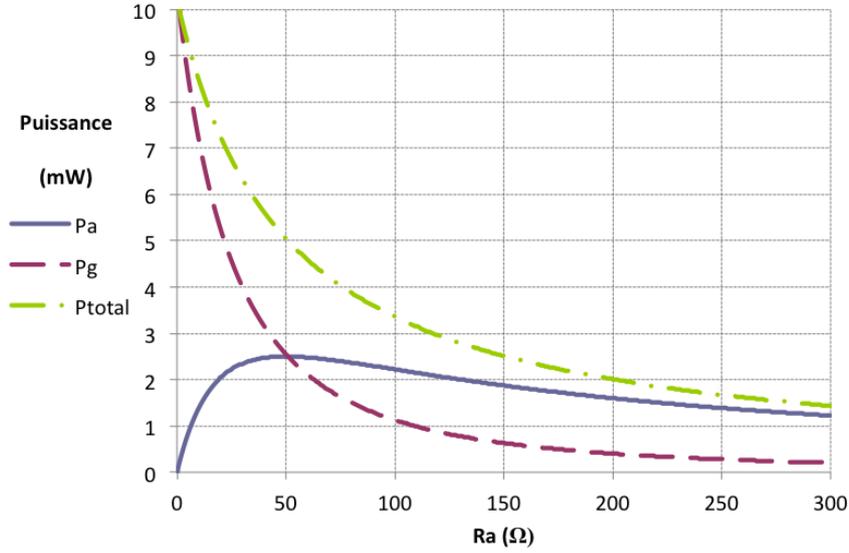
$$R_a = R_g \quad (\text{I.23})$$

$$X_a = -X_g \quad (\text{I.24})$$

Il est également intéressant de connaître intégralement les variations de puissances en fonction de l'impédance de l'antenne. Concernant la partie imaginaire de l'antenne, l'ensemble des puissances décroît rapidement si l'équation I.24 n'est plus respectée. De fait, dans la suite de cette partie, cette condition sera supposée respectée en permanence sauf indication contraire. La figure I.26 montre les variations de puissances en fonction de la valeur de la résistance d'antenne pour une tension  $|V_g| = 1V$  et  $R_g = 50\Omega$ .

Il peut sembler surprenant de voir que la puissance totale fournie par le générateur n'est pas constante mais décroissante en fonction de  $R_a$ . En réalité, cela n'a rien d'anormal et tient au fait que le générateur choisi dans l'étude est supposé être à tension constante ( $V_g = 1V$ ). Si la résistance totale ( $R_a + R_g$ ) décroît, ce qui est le cas lorsque  $R_a$  diminue et que  $R_g$  est constante, et que la tension du générateur est constante, alors le courant dans le circuit augmente et la puissance totale fournie par le générateur augmente jusqu'à une valeur maximale obtenue pour  $R_a = 0\Omega$ .

La figure I.26 montre également qu'à l'adaptation, 50% de la puissance totale fournie est dissipée (rayonnée) par l'antenne et 50% est dissipée par le générateur.



**Figure I.26** – Evolution des puissances actives en fonction de la résistance d'antenne dans le cadre d'une antenne en mode d'émission ( $|V_g| = 1V$ ,  $R_g = 50\Omega$ )

## 4.2 Cas d'une antenne en mode de réception

### 4.2.1 Variation de l'impédance de la puce

Cette fois, l'antenne reçoit une onde provenant d'un émetteur. Elle est reliée à une charge quelconque d'impédance  $Z_c = R_c + j \cdot X_c$  (figure I.27). Ce cas pourrait correspondre à un tag RFID dont la valeur de l'impédance d'antenne est déjà figée et dont l'impédance de la puce varie du fait, par exemple, d'une rétro-modulation.

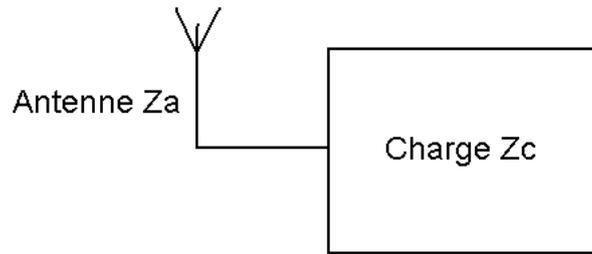
Dans ce cas, par analogie avec le cas précédent en considérant désormais la tension générée par l'antenne  $|V_a|$ ,  $P_a$  la puissance re-rayonnée par l'antenne,  $P_c$  la puissance dissipée par la charge et  $P_{total}$  la puissance totale capturée par l'antenne, les équations I.20, I.21 et I.22 deviennent :

$$P_a = \frac{|V_a|^2}{2} \cdot \frac{R_a}{(R_a + R_c)^2 + (X_a + X_c)^2} \quad (\text{I.25})$$

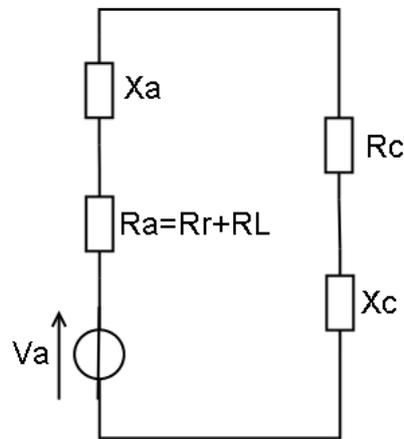
$$P_c = \frac{|V_a|^2}{2} \cdot \frac{R_c}{(R_a + R_c)^2 + (X_a + X_c)^2} \quad (\text{I.26})$$

$$P_{total} = \frac{|V_a|^2}{2} \cdot \frac{R_a + R_c}{(R_a + R_c)^2 + (X_a + X_c)^2} \quad (\text{I.27})$$

La figure I.28 illustre cette fois ci les variations de puissances en fonction de la valeur de



(a)



(b)

**Figure I.27** – Antenne en mode de réception (a) et son équivalent Thévenin (b)

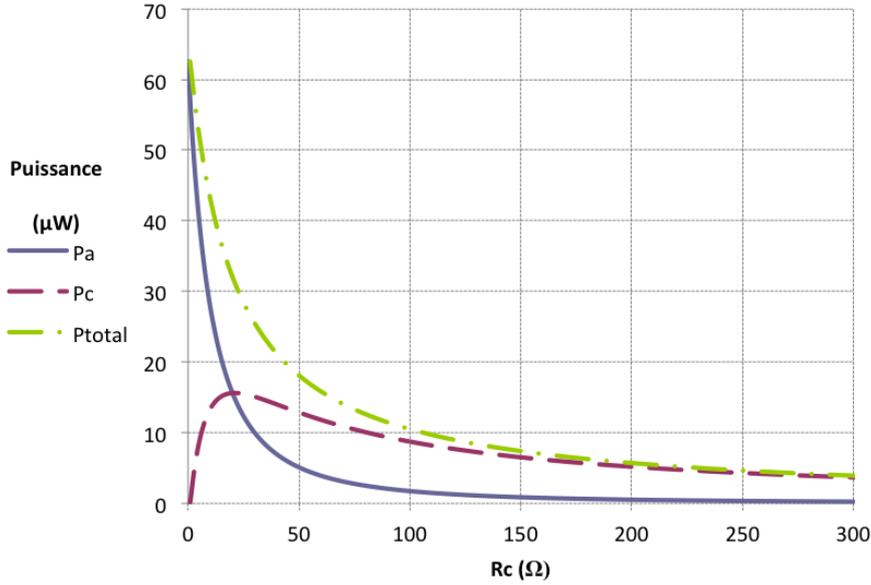
la résistance de charge lorsque la condition  $X_a = -X_c$  est vérifiée, que  $|V_a| = 50mV$  et que  $R_a = 20\Omega$ .

Une fois de plus la variation de puissance totale peut sembler surprenante mais elle pourtant cohérente. En effet, pour une antenne donnée et une distance entre l'émetteur et le récepteur donnée, la puissance disponible (puissance maximale transmissible à la charge) aux bornes de l'antenne est constante et son expression est [18] :

$$P_{max} = \iint_S W \cdot dS \tag{I.28}$$

Avec  $W$  la densité de puissance moyenne (moyenne temporelle du vecteur de Poynting). A l'adaptation I.26 et I.28 donnent :

$$\frac{|V_a|^2}{8 \cdot R_a} = P_{max} \tag{I.29}$$



**Figure I.28** – Evolution des puissances actives en fonction de la résistance d'antenne dans le cadre d'une antenne en mode d'émission ( $|V_a| = 50mV$ ,  $R_a = 20\Omega$ )

$P_{max}$  étant constante pour une antenne donnée et quelque soit la charge, la tension générée par l'antenne  $|V_a|$  est constante. Attention, il ne faut pas confondre cette tension avec la tension mesurable aux bornes de l'antenne qui, elle, dépend bien de la charge. Cela sera clairement mis en évidence au chapitre IV.  $|V_a|$  étant constante, comme pour le cas précédent, si la résistance totale diminue, alors le courant dans le circuit augmente et donc la puissance totale capturée par le tag augmente.

A partir de l'équation I.29, il est possible de réécrire les expressions I.25, I.26 et I.27 :

$$P_c = \frac{|V_a|^2}{8 \cdot R_a} \cdot \frac{4 \cdot R_a \cdot R_c}{(R_a + R_c)^2 + (X_a + X_c)^2} = P_{max} \cdot (1 - |\Gamma^*|^2) \quad (I.30)$$

$$P_a = \frac{|V_a|^2}{8 \cdot R_a} \cdot \frac{4 \cdot R_a^2}{(R_a + R_c)^2 + (X_a + X_c)^2} = P_{max} \cdot |1 - \Gamma^*|^2 \quad (I.31)$$

$$P_{total} = \frac{|V_a|^2}{8 \cdot R_a} \cdot \frac{4 \cdot R_a \cdot (R_a + R_c)}{(R_a + R_c)^2 + (X_a + X_c)^2} = P_{max} \cdot \left(1 + \frac{R_a}{R_c}\right) \cdot (1 - |\Gamma^*|^2) \quad (I.32)$$

Avec  $\Gamma^*$  un coefficient entre la puce (la charge) et l'antenne défini par :

$$\Gamma^* = \frac{Z_c - Z_a^*}{Z_c + Z_a} \quad (I.33)$$

$\Gamma^*$  est appelé coefficient adaptation-conjuguée de réflexion [18]. Dans ce mémoire, il sera

plutôt nommé par la suite coefficient d'adaptation.

Bien que le terme de coefficient de réflexion soit souvent employé pour désigner  $\Gamma^*$  [45] [46], le terme de coefficient d'adaptation est préféré dans l'étude car, lorsque les conditions d'adaptation conjuguées sont respectées,  $|\Gamma^*|$  est nul, et les puissances absorbée par la puce d'une part et dissipée par l'antenne d'autre part sont égales. Ce coefficient traduit l'état de l'adaptation du système.

Mises sous ces formes, les équations mettent alors bien en évidence la puissance disponible constante et la variation de puissance due à la désadaptation.

Il est également possible de considérer le problème à partir d'une densité de puissance incidente  $W_i$  constante, alors les puissances sont :

$$P_c = A_e \cdot W_i \quad (\text{I.34})$$

$$P_a = A_s \cdot W_i \quad (\text{I.35})$$

$$P_{totale} = A_{Capt} \cdot W_i \quad (\text{I.36})$$

Avec, par définition,  $A_e$  l'aire effective électrique équivalente de l'antenne,  $A_s$  l'aire de re-rayonnement et  $A_{Capt}$  l'aire de capture totale électrique équivalente de l'antenne. Ainsi, lorsque la résistance de charge diminue, l'aire électrique de capture augmente, il y a donc plus de puissance capturée par l'antenne. Dans ce cas, à l'adaptation (I.23 et I.24 respectées), la puissance transmise à la puce (la charge) est maximale et correspond à 50% de la puissance totale. Si l'antenne est sans pertes, alors la puissance re-rayonnée par l'antenne est maximale pour  $R_c = 0\Omega$ , et elle décroît en fonction de  $R_c$ .

De plus, la décroissance de la puissance re-rayonnée étant en  $1/x$ , pour une même variation de résistance de charge, la variation de puissance sera plus importante si la résistance diminue. La visibilité du tag étant assurée, au premier ordre, par la variation de puissance re-rayonnée, il semblerait alors qu'il soit plus intéressant de diminuer la résistance de charge plutôt que de l'augmenter pour rétro-moduler efficacement. Toutefois, une diminution de la partie réelle de l'impédance signifie indirectement une diminution de la consommation de la puce. Celle-ci étant déjà optimisée pour consommer le moins possible, il est très difficile de consommer encore moins.

En revanche, si le système est initialement désadapté de façon à ce qu'il re-rayonne plus, il est peut-être possible de retrouver une variation de puissance re-rayonnée optimale en ré-

adaptant le système au moment de la rétro-modulation. Pour cela, il faut étudier l'adaptation d'impédance à partir d'une variation de l'impédance d'antenne.

#### 4.2.2 Variation de l'impédance de l'antenne

Ce qui est recherché, dans un premier temps, c'est la meilleure impédance d'antenne tant pour la transmission de l'énergie que pour la réponse. C'est donc l'impédance de l'antenne  $Z_a$  qui est la variable et non l'impédance de la charge. L'étude de la section précédente ne suffit pas à déterminer de manière rigoureuse la meilleure impédance d'antenne possible.

Les équations I.30, I.31 et I.32 peuvent être réutilisées, cependant dans ce cas précis la puissance  $P_{max}$  est susceptible d'évoluer. En effet, modifier la résistance de l'antenne signifie que la nature même de l'antenne a été modifiée. Sa forme, le matériau utilisé pour la réaliser, son support, sa grandeur caractéristique, sont autant de paramètres qui peuvent modifier la surface fermée d'intégration de la densité de puissance moyenne, la résistance de rayonnement  $R_r$ , la résistance de perte  $R_L$  ou toutes les trois... Ou aucune ! Pour s'en rendre compte, il faut considérer une autre expression de la puissance maximale disponible aux bornes de l'antenne inspirée des équations I.34, I.35, I.36 :

$$P_{max} = A_{em} \cdot W_i \quad (I.37)$$

Où  $A_{em}$  est l'aire effective maximale de l'antenne. La densité de puissance étant constante, c'est donc cette aire qui va être potentiellement changée lorsque la résistance d'antenne va varier. L'aire effective maximale de l'antenne est définie d'une manière générale par [18] :

$$A_{em} = \frac{\lambda^2}{4 \cdot \pi} \cdot G_0 = \frac{\lambda^2}{4 \cdot \pi} \cdot e_{cd} \cdot D_0 \quad (I.38)$$

Avec  $G_0$  le gain maximal de l'antenne,  $e_{cd}$  l'efficacité de l'antenne défini par [18] :

$$e_{cd} = \frac{R_r}{R_r + R_L} = \frac{R_r}{R_a} \quad (I.39)$$

$D_0$  la directivité maximale de l'antenne, et  $\lambda$  la longueur d'onde. Dans le cadre de communications en RFID UHF respectant le protocole EPC Gen2 [4], les fréquences utilisées varient de 860MHz à 960MHz, ce qui correspond à des longueurs d'ondes définies entre 30cm et 35cm.

A partir de I.29, I.38 et I.39 il est possible de comparer les expressions de  $P_{max}$  :

$$P_{max} = \frac{|V_a|^2}{8 \cdot R_a} = \frac{\lambda^2}{4 \cdot \pi} \cdot \frac{R_r}{R_a} \cdot D_0 \cdot W_i \quad (I.40)$$

En considérant I.40, il est impossible de conclure quoi ce soit concernant l'adaptation d'impédance à partir d'une variation de l'impédance d'antenne. En effet, l'équation I.40 contient quatre variables,  $R_r$ ,  $R_L$ ,  $V_a$  et  $D_0$ , ce qui rend très difficile une estimation de la variation de  $P_{max}$  dans un cadre général. Les variables sont liées entre elles notamment par intégration des équations de Maxwell [18], mais ces calculs étant soumis à la forme de l'antenne, il ne trouvent pas de résolutions simples tant que celle-ci n'est pas figée. Une étude au cas par cas, est alors le seul moyen d'améliorer le système.

Il est néanmoins possible de dégager certaines tendances. Ainsi, une façon simple d'augmenter à la fois la puissance absorbée ainsi que la puissance re-rayonnée sera d'augmenter le gain de l'antenne tout en restant à l'adaptation. Cela signifie soit une diminution des pertes soit une augmentation de la directivité de l'antenne (ce qui a été fait dans la partie double antenne au chapitre II). Pour augmenter seulement la puissance re-rayonnée, il faut, par exemple, trouver une antenne dont la valeur de la résistance soit supérieure à la résistance de charge avec un gain constant. Le nombre de possibilité étant infini, l'étude sera donc menée pour une antenne adaptée à la puce, qui reste finalement le plus simple des cas favorables à étudier. Il faut toutefois garder à l'esprit que d'autres cas favorables peuvent exister mais qu'ils doivent être déterminés de façon empirique.

## 5 RETRO-MODULATION

L'émission d'un signal radio-fréquence de la part d'un émetteur-récepteur est une opération très gourmande en énergie en RFID. Pour s'en convaincre, il suffit de considérer la puissance émise par un lecteur RFID UHF [47] pour pouvoir communiquer à quelques mètres avec un tag. La puissance rayonnée côté lecteur est généralement de 2W ERP en norme européenne [48] (ou 4W EIRP en norme américaine) pour quelques micro-watts utilisables par le tag. Dans ce contexte, émettre un signal de réponse avec quelques micro-watts disponibles est difficile à mettre en œuvre.

Historiquement, les systèmes de réponse dans les puces RFID passives ou passives assistées par batteries (BAP) sont plutôt basés sur le principe de rétro-modulation sur la fréquence de télé-alimentation [49]. Ce principe utilise la réflexion d'une partie plus ou moins importante du signal provenant du lecteur par modification de l'adaptation entre la puce du tag et son antenne. Le principal inconvénient de ce système est qu'il dégrade la télé-alimentation si la désadaptation puce-antenne n'est pas contrôlée correctement.

Pour obtenir une solution optimale de la rétro-modulation, il faut que la télé-alimentation

soit le moins possible impactée tout en conservant une réponse du tag intelligible par le lecteur pour la distance maximale de télé-alimentation.

De nombreuses architectures de rétro-modulation ont été étudiées en RFID UHF [50] [24] [51], et un compromis entre télé-alimentation et visibilité de la réponse est souvent recherché.

Ainsi, la figure I.29 suggère une rétro-modulation de type tout ou rien directement en entrée du circuit. A l'évidence, ce type de rétro-modulation, le plus simple qu'il soit est également le

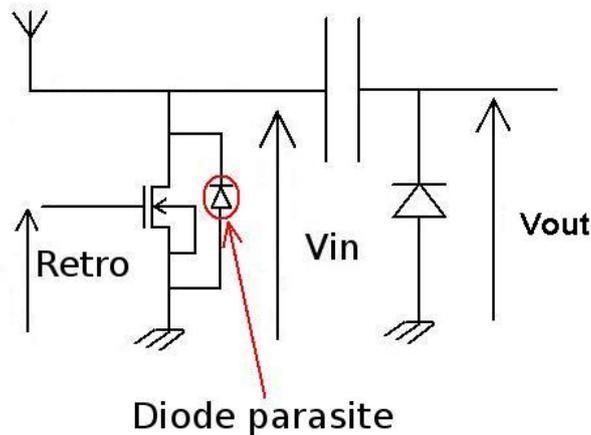


Figure I.29 – Modulation par court-circuit

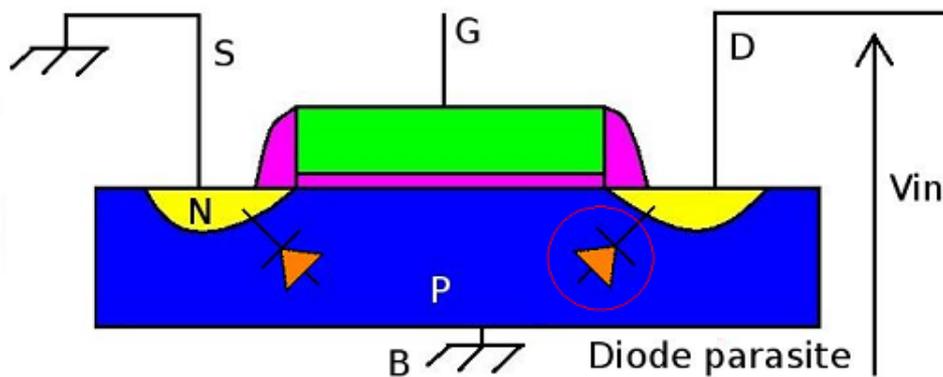


Figure I.30 – Vue en coupe du transistor de modulation et de sa diode drain-bulk

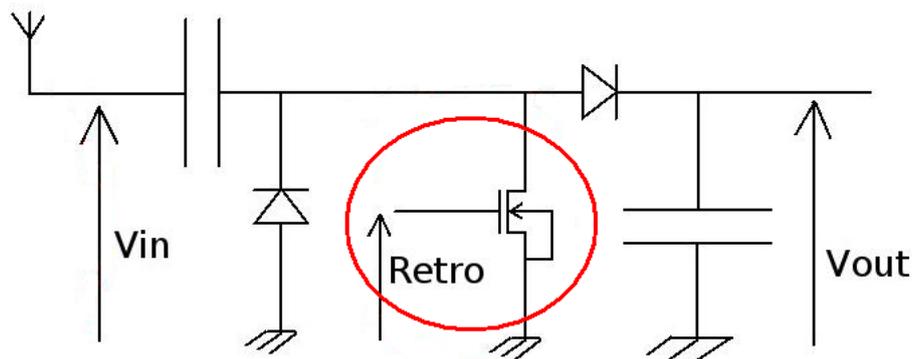
pire qu'il soit en terme de télé-alimentation. En effet, lorsque la rétro-modulation est activée, le circuit est court-circuité. Son impédance chute alors à une valeur proche de  $Z_{c2} = 0 \pm j \cdot 0$  et la valeur du module du coefficient d'adaptation  $\Gamma^*$  qui était proche de 0 pour l'état non rétro-modulé va donc devenir très proche de 1. Selon l'équation I.30, la variation de puissance

transmise à la puce est :

$$\Delta P_c = \Delta |\Gamma^*|^2 \cdot P_{max} \quad (I.41)$$

Dans ce cas de rétro-modulation, il s'agit d'une variation maximale de puissance transmise à la puce, et lors de l'état rétro-modulé, plus aucune puissance ne rentre dans la puce. Par ailleurs, dans des conditions de champ fort, c'est à dire lorsque le tag est très proche du lecteur, les amplitudes des signaux générés par l'antenne sont alors très grandes. Au delà de 600mV d'amplitude, la diode drain-bulk du transistor peut alors se mettre à conduire lors de l'alternance négative (figure I.30). Cela a pour effet de déformer le signal d'entrée ce qui peut potentiellement perturber le démodulateur.

Un autre type de rétro-modulation consiste en un court-circuitage de certain étage du multiplieur (figure I.31).



**Figure I.31** – Modulation sur un étage de multiplieur

Le circuit de récupération d'énergie qui impose dans une large mesure la valeur de l'impédance d'un circuit passif et il est cohérent de vouloir agir sur le multiplieur pour modifier l'impédance de la puce. Toutefois, changer ainsi le nombre d'étages du système de récupération d'énergie présente un double inconvénient. D'une part, bien que la télé-alimentation reste active, son rendement a tout de même chuté de manière significative. Cette perte de rendement est due à la modification de l'architecture du multiplieur qui était initialement optimisée mais aussi à la modification du coefficient d'adaptation.

Un troisième type de rétro-modulation déjà existant est une variante du premier cas. Plutôt que de court-circuiter tout le système, seule une partie du signal est déviée, via une résistance, à la masse (figure I.32). L'avantage de cette solution réside dans le fait qu'elle est très facilement paramétrable. En effet, en ajustant la valeur de la résistance, il sera aisé d'obtenir une impédance

de rétro-modulation optimisée.

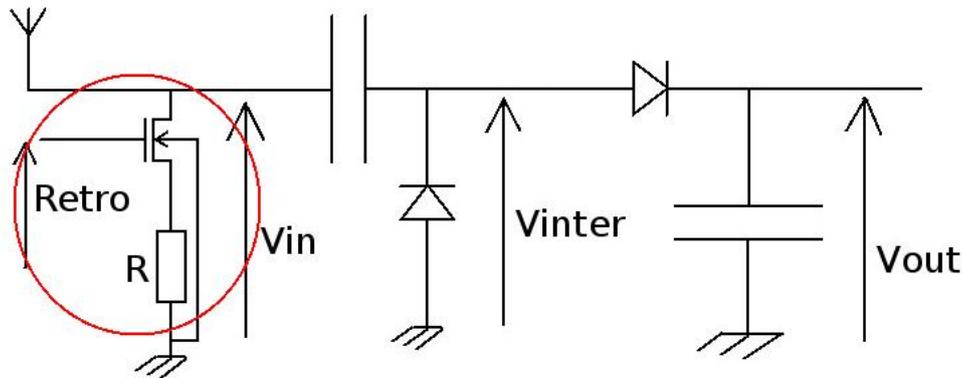


Figure I.32 – Rétro-modulation résistive

L'impédance de la puce sera alors modulée entre une impédance pour un état non rétro-modulé  $Z_{c1} = R_{c1} - j \cdot X_{c1}$  et une impédance lors d'un état rétro-modulé  $Z_{c2} = R_{c2} - j \cdot X_{c2}$ . Toutefois, les références citées précédemment n'évoquent pas de règles ou de critères concernant la valeur éventuelle de l'impédance de rétro-modulation permettant d'optimiser la distance de communication. Ce type de rétro-modulation permet donc d'ajuster l'impédance  $Z_{c2}$  mais la valeur à viser n'est pas connue.

Un dernier type de rétro-modulation régulièrement employé est celle dite capacitive (figure I.33).

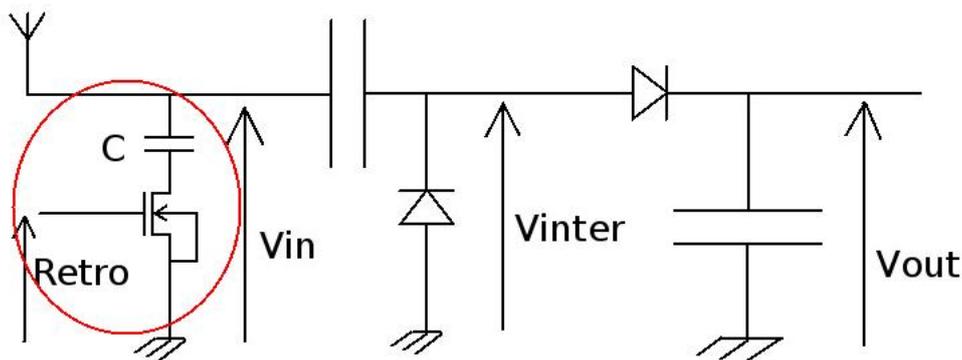


Figure I.33 – Un exemple de rétro-modulation capacitive

Ce type de rétro-modulation possède le même avantage que la rétro-modulation résistive, à savoir qu'il est possible de l'ajuster, mais le problème reste le même concernant la valeur de l'impédance de rétro-modulation.

D'une manière générale, pour pouvoir trouver un compromis sur la rétro-modulation entre

télé-alimentation et visibilité, il faut déjà déterminer la valeur optimale de l'impédance de la puce au moment de la rétro-modulation. Il sera vu dans le chapitre III comment obtenir cette impédance à partir de l'impédance de la puce hors rétro-modulation. Une fois cette impédance  $Z_{c2}$  connue, il est alors possible de choisir l'architecture de rétro-modulation qui permettra de l'obtenir d'une façon facile et fiable.

## 6 AUTO-ADAPTATION

### 6.1 Introduction

Les impédances respectives de l'antenne et de la puce évoluent en fonction de la fréquence, et il est plus que probable que l'adaptation ne soit possible que pour une fréquence particulière. Alors qu'il est possible de créer une antenne large bande pour le tag afin de limiter l'évolution de son impédance en fréquence, côté puce la valeur de l'impédance reste subie car très liée à l'architecture utilisée. Pour résoudre cet éventuel problème, il devient alors intéressant de développer des solutions qui permettent de réadapter automatiquement la puce avec son antenne.

L'auto-adaptation est une technique qui a été déjà étudiée en téléphonie mobile. C'est, par exemple, une possibilité pour réaliser des communications multibandes [52] ou encore un moyen de contourner le problème dit de "human body" (appelé aussi "finger effect") [53] [54]. Le "human body" n'est autre que la désadaptation et la perturbation subie par l'antenne d'un objet télé-communicant (un téléphone portable) lorsque celui est proche ou en contact du corps humain. Le procédé d'auto-adaptation est également utilisé dans d'autres systèmes communiquant tels que le système TETRA (TErrestrial Trunked RAdio) [55] ou encore pour le contrôle de filtres dont le facteur de qualité est très élevé [56].

Dans le domaine de la RFID, l'auto-adaptation est déjà présente dans certains cas. Elle est par exemple utilisée en régulation lors de fonctionnement en champs proche, alors qu'une variation de consommation de la puce peut perturber l'ensemble du système par couplage des mutuelles inductances [57].

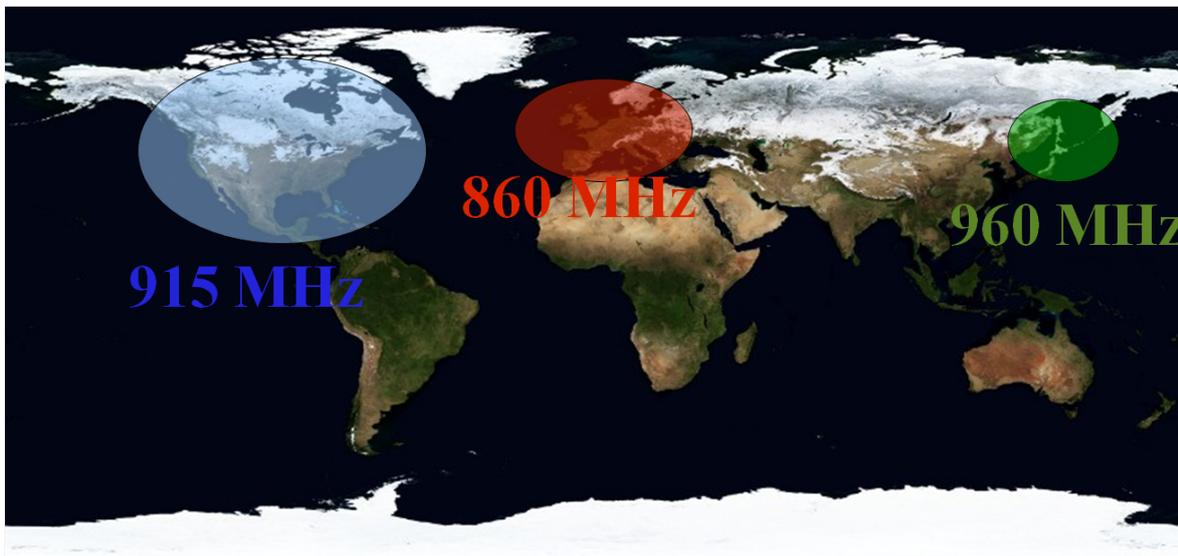
L'auto-adaptation est aussi étudiée en RFID UHF à des fins d'optimisation de la distance de télé-alimentation. Le raisonnement se fait alors non pas en champs proche mais en champs lointain. Dans ce cadre, l'auto-adaptation peut être intéressante pour deux cas de figure :

- Augmenter les performances d'un tag dont l'impédance d'antenne est impactée par le matériau sur lequel le tag est placé. Ce peut être le cas par exemple pour des supports métalliques.

- Dans le cadre de puces à fort facteur de qualité, adapter le système à la fréquence de communication, sans quoi il ne sera pas possible de couvrir toute la bande de fréquence UHF (figure I.34) avec les mêmes performances.

Toutefois, à cause de la grande variété de matériaux et de formes possible comme support pour les tags (métal, béton armé, plastique, carton, etc... / plan, boîte rectangulaire / cylindrique, etc...), le premier cas ne sera pas abordé ici. Par ailleurs, la gestion des supports utilisés est déjà souvent traitée au cas par cas via le développement d'antennes spécifiques [58] [59].

Pour l'étude du second cas, il faut considérer la régionalisation des fréquences de communications pour les tags RFID UHF qui respectent le protocole EPC [4]. Le protocole spécifie que les fréquences peuvent s'échelonner de  $860\text{MHz}$  à  $960\text{MHz}$ . Dans ce cadre, chaque région a choisi sa propre fréquence de communications pour les systèmes RFID UHF.



**Figure I.34** – La régionalisation des fréquences UHF

Ainsi, les fréquences sont (figure I.34) :

- 865MHz - 868MHz en Europe
- 902MHz - 928MHz aux Etats-Unis
- 918MHz - 926MHz en Australie et en Nouvelle-Zélande
- 958MHz généralement au Japon
- une fréquence incluse dans l'une des gammes précédentes pour les autres pays

Un système performant doit non seulement avoir grande portée, mais de plus cette portée doit être la même quelque soit la fréquence choisie dans la bande  $860\text{MHz}$  –  $960\text{MHz}$ .

Comme cela vient d'être vu, pour qu'un multiplicateur puisse générer une tension continue le plus efficacement possible, il faut que deux conditions soient réunies. D'une part, le rendement

## Chapitre I. Etude générale et systèmes préexistants

---

du système doit être élevé. D'autre part, la tension en entrée du multiplieur doit être suffisamment grande pour franchir les tensions de seuil des composants, qu'il s'agisse de diodes [60] ou de transistors MOS [34]. Une façon simple d'obtenir une tension d'entrée assez élevée, pour des distances de fonctionnement lointaines, est de réaliser un multiplieur à haut facteur de qualité.

Comme cela sera vu au chapitre suivant, la tension aux bornes de l'antenne s'exprime par la relation suivante :

$$|V_{rf}|^2 = 2 \cdot P_c \cdot \frac{R_c^2 + X_c^2}{R_c} \quad (\text{I.42})$$

Soit le coefficient de qualité, défini dans le cadre du multiplieur par [50] :

$$Q = -\frac{X_c}{R_c} \quad (\text{I.43})$$

Selon l'équation I.30, à savoir :

$$P_c = \frac{|V_a|^2}{8 \cdot R_a} \cdot \frac{4 \cdot R_a \cdot R_c}{(R_a + R_c)^2 + (X_a + X_c)^2} = P_{max} \cdot (1 - |\Gamma^*|^2) \quad (\text{I.44})$$

et les équations I.42 et I.43, la tension disponible aux bornes de l'antenne s'écrit en fonction du coefficient d'adaptation et du facteur de qualité :

$$|V_{rf}| = \sqrt{2 \cdot R_c \cdot \frac{|V_a|^2}{8 \cdot R_a} \cdot (1 - |\Gamma^*|^2) \cdot (1 + Q^2)} \quad (\text{I.45})$$

Et la tension maximale générée en entrée du circuit à l'adaptation est elle uniquement proportionnelle au facteur de qualité du système :

$$|V_{rfmax}| = \sqrt{2 \cdot R_c \cdot P_{max} \cdot (1 + Q^2)} \quad (\text{I.46})$$

Pour pouvoir continuer à dépasser la tension de seuil des composants pour des distances de plus en plus grandes, il y a donc tout intérêt à augmenter le facteur de qualité du système. Un fort facteur de qualité va toutefois à l'encontre de l'objectif précédemment cité d'obtenir des performances identiques quelque soit la fréquence choisie dans la bande. Pour pouvoir maintenir ces performances, il est nécessaire d'utiliser un système d'auto-adaptation.



Cette tension d'alimentation ne peut être fournie par le multiplieur car justement c'est cette tension, potentiellement proche de zéro que l'on cherche à faire augmenter. Il est donc nécessaire d'avoir une deuxième alimentation provenant par exemple de microsystèmes électromécaniques (MEMS) ou de cellules solaires pour faire fonctionner le système d'auto-adaptation, ce qui rend la solution moins attractive car beaucoup plus complexe.

Une autre solution déjà proposée consiste en un ajustement de l'adaptation de manière numérique [62]. Cette architecture utilise elle aussi le principe de comparaison de tension par échantillonnage, mais cette fois c'est l'évolution de la tension d'alimentation  $V_{dd}$  et non la tension d'entrée qui est analysée (figure I.36).

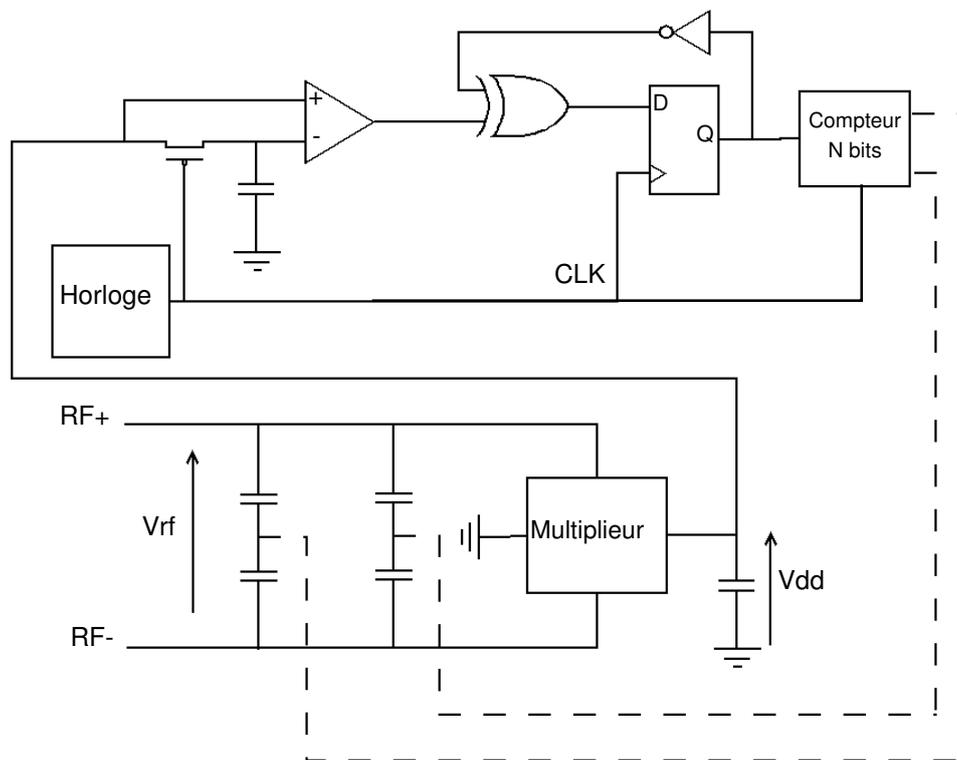


Figure I.36 – Architecture d'adaptation numérique

Cette solution présente le même problème que la précédente concernant la fréquence de l'horloge et celle-ci a également besoin d'une tension d'alimentation minimale pour fonctionner. Tension que le multiplieur ne peut pas forcément fournir, notamment si le facteur de qualité est très élevé et le système initialement très désadapté. De plus, le choix d'une adaptation numérique augmente le nombre de capacités à placer dans le silicium, ce qui implique une augmentation de la surface de silicium.

## 7 CONCLUSION

L'histoire montre que l'idée de télé-alimentation par ondes électromagnétiques n'est pas récente. Toutefois, elle n'a été utilisée que tardivement dans le cadre d'applications communicantes basse consommation telles que la RFID, et le champ de recherche est loin d'être épuisé.

En identification radio-fréquence, le choix de la fréquence de communication dépend fortement de l'application à développer. Les ultra hautes fréquences, par exemple, permettent des communications longues distances. Hors, pour améliorer la portée des communications, il faut pouvoir améliorer la récupération d'énergie.

Cette récupération d'énergie se fait, dans le cadre de la RFID UHF, par des circuits multiplicateurs dont le rendement dépend fortement de la tension de seuil des diodes ou transistors utilisés pour les constituer. Mais l'efficacité de cette récupération d'énergie passe aussi par une bonne adaptation entre la puce et l'antenne quelque soit la fréquence de communication, ainsi que par une rétro-modulation contrôlée.

Il s'agit donc là des trois axes à approfondir pour pouvoir augmenter la distance de communication entre l'étiquette RFID UHF passive et le lecteur.



---

---

# Chapitre II

---

## Architectures de multiplieurs

### 1 INTRODUCTION

La distance de fonctionnement est un facteur important en RFID UHF car c'est ce qui fait la performance du produit. L'augmentation de la distance de lecture, pour une antenne de tag donnée, signifie automatiquement une diminution de la puissance minimale de fonctionnement en entrée de la puce RFID passive. Ainsi, pour une consommation de puce donnée, pour améliorer la distance de communication entre lecteur et tag, il faut principalement augmenter le rendement des multiplieurs.

Ce chapitre se focalise donc sur l'amélioration du rendement de la structure de multiplieur à travers plusieurs points. La première partie traite du problème des pertes radio-fréquences à l'intérieur d'un multiplieur. Explications théoriques et simulations sont exposées et confortées par une série de mesures sur des circuits dont les pertes ont été, ou non, réduites. La seconde partie se concentre sur l'élimination de l'effet substrat sur les transistors du multiplieur. Une série de mesures valident la solution choisie. La troisième section se concentre quant à elle sur la réduction de la tension de seuil du transistor, point critique de l'optimisation de la structure. Une étude théorique permet d'abord de se faire une idée de la polarisation à choisir, puis une structure optimisée est proposée. Pour finir, la quatrième section étudie une approche différente du problème via un circuit à inductance, tandis que la dernière section introduit le phénomène de perte énergétique due à la rétro-modulation et tente d'en diminuer l'impact grâce à une architecture doublée.

## 2 PERTES RF

### 2.1 Problématique des pertes RF

La première des structures de multiplieur fabriquée et mesurée (figure II.1) présente une impédance simulée électriquement de  $Z_{chip} = 9,2 - j \cdot 164$  pour une puissance d'entrée à l'adaptation de  $P_{in} = -16,8 dBm$  et une consommation en sortie, en régime établi, de  $I_{out} = 5 \mu A$  sous  $V_{out} = 1V$  (soit une puissance de sortie de  $P_{out} = 5 \mu W$ ).

La consommation en courant de la puce étant proportionnelle à sa tension d'alimentation  $V_{out}$ , cette consommation est alors représentée, au premier ordre, par une résistance de valeur  $R_{out} = 200 k\Omega$ . Le rendement en puissance de la structure est alors de  $\eta_{out} = 23,8\%$ . La tension en entrée de la puce  $V_{in}$  est, dans ce cas, de  $350 mV$ .

Cette structure est mesurée à l'aide d'une station de mesure sous pointes, et d'un analyseur de réseaux. La sortie du multiplieur est chargée par une résistance de  $200 k\Omega$ . Il est effectué un balayage en puissance afin de déterminer quelle puissance d'entrée permet d'obtenir une tension de sortie de  $V_{out} = 1V$ . Cette puissance est de  $P_{in} = -11,9 dBm$ , et l'impédance mesurée du multiplieur, dans ce cas là, correspond à  $Z_{chip} = 14 - j \cdot 105$ , soit un rendement en puissance de  $\eta_{out} = 7,8\%$ . La tension en entrée de la puce est alors  $V_{in} = 320 mV$ .

Pour des amplitudes du signal d'entrée  $V_{in}$  très proches, la structure délivre bien la même tension de sortie  $V_{out}$  en simulation et en mesure. En revanche, il existe un décalage important sur le rendement en puissance entre la simulation électrique et la mesure.

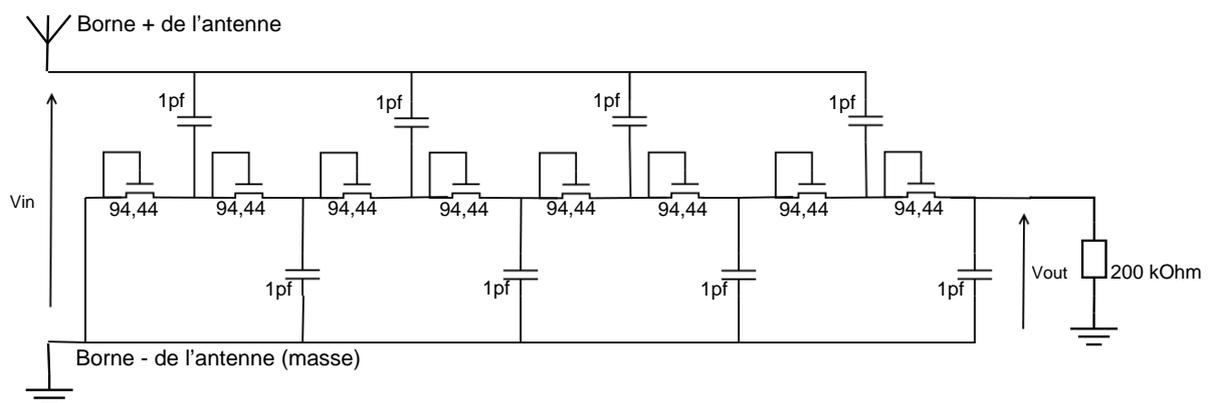
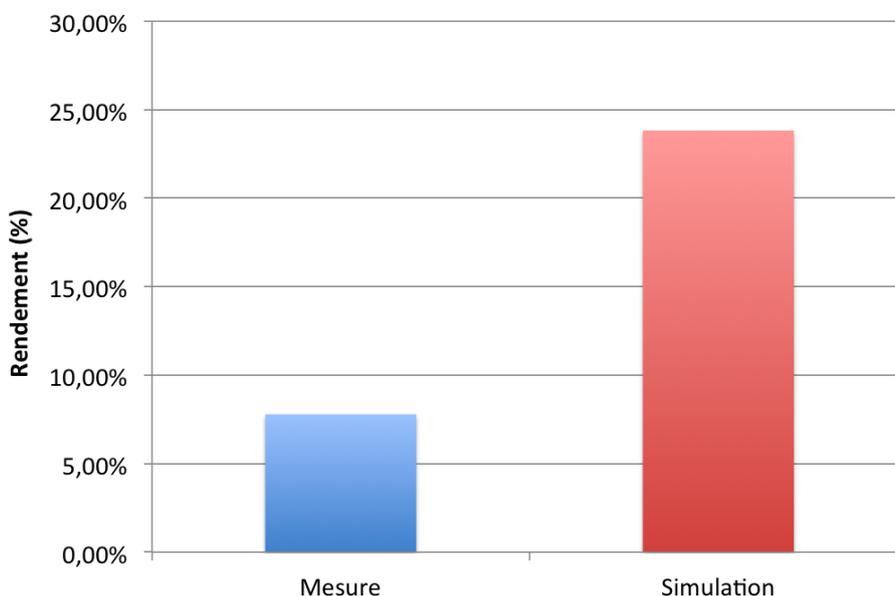


Figure II.1 – multiplieur initial simulé et mesuré

La figure II.2 met en évidence la différence de rendement en puissance. Ce décalage implique l'existence de fuites dans la structure qui ne sont pas prises en compte par les modèles électriques.



**Figure II.2** – Comparaison entre le rendement du multiplieur de test simulé et mesuré

Au vu de ces résultats, il est impératif de modéliser correctement toutes les pertes éventuelles puis de les supprimer. Les pertes observées n'étant pas prédites par les modèles électriques des composants de la technologie, il s'agit probablement de pertes électromagnétiques dues à la présence de signaux très hautes fréquences dans le circuit. Pour quantifier ces pertes, et les réinsérer dans un modèle électrique de simulation, les modèles équivalents séries et parallèles vont être utilisés (figure II.3). Les transpositions séries parallèles étant souvent utilisées par la suite, leurs expressions sont rappelées.

Soit une puce d'impédance complexe (figure II.3) :

$$Z = R_S - j \cdot X_S = \frac{R_{//}}{1 + j \cdot R_{//} \cdot C_{//} \omega} \quad (\text{II.1})$$

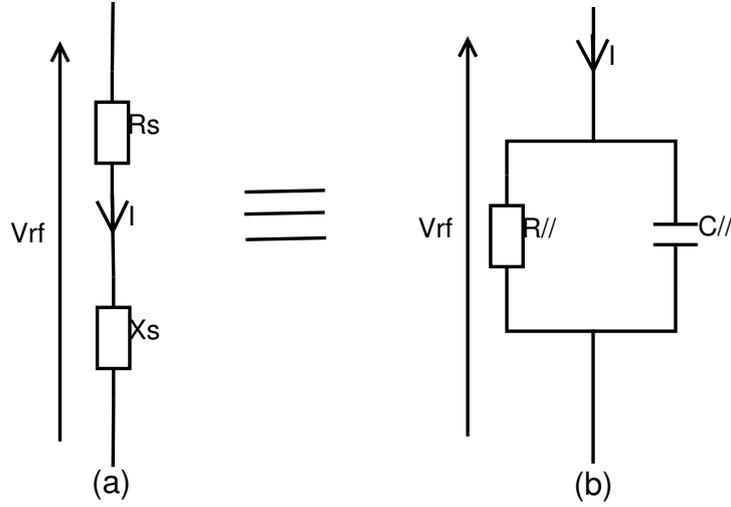
La résistance parallèle a pour expression :

$$R_{//} = \frac{R_S^2 + X_S^2}{R_S} \quad (\text{II.2})$$

Et la capacité parallèle est :

$$C_{//} = \frac{X_S}{\omega \cdot (R_S^2 + X_S^2)} \quad (\text{II.3})$$

Concernant la transposition parallèle  $\rightarrow$  série, l'expression de la partie réelle série en fonc-



**Figure II.3** – Représentation série de l'impédance de la puce (a) et son équivalent parallèle (b)

tion des coefficients parallèles est :

$$R_S = \frac{R_{//}}{1 + (R_{//} \cdot C_{//} \cdot \omega)^2} \quad (\text{II.4})$$

Et la partie imaginaire série est :

$$X_S = \frac{R_{//}^2 \cdot C_{//} \cdot \omega}{1 + (R_{//} \cdot C_{//} \cdot \omega)^2} \quad (\text{II.5})$$

Connaissant ces transpositions, il est maintenant possible d'exprimer la consommation en puissance de la puce de manière générique. En effet, la puissance active efficace consommée, pour un signal d'entrée sinusoïdal est :

$$P = \frac{1}{2} \cdot \Re(Z) \cdot I^2 = \frac{1}{2} \cdot R_S \cdot I^2 = \frac{R_S}{2} \cdot \frac{|V_{rf}|^2}{|Z|^2} \quad (\text{II.6})$$

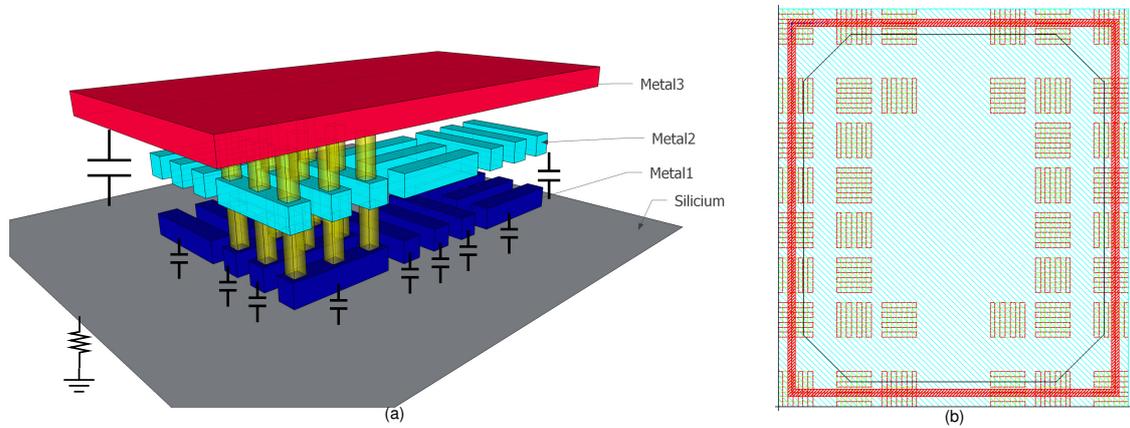
$$P = \frac{|V_{rf}|^2}{2 \cdot R_{//}} \quad (\text{II.7})$$

La valeur de la tension  $V_{rf}$  étant plus facile à mesurer ou à imposer, l'expression parallèle est pratique pour connaître facilement la consommation de la puce ainsi que la consommation des différents blocs la constituant, c'est la raison pour laquelle les expressions parallèles seront utilisées systématiquement par la suite lorsqu'il s'agira de déterminer une consommation. Les

expressions séries sont, quant à elles, très utile pour la fabrication d'une antenne adaptée et l'étude des puissances dans le cadre justement de l'adaptation.

## 2.2 Pertes sur le plot d'entrée RF et couplages dans les lignes

Une première partie des pertes provient du couplage électromagnétique entre le signal circulant dans le métal et le substrat. Ces pertes sont présentes dans les lignes de métal ainsi que dans le plot d'entrée RF (appelé PAD) dont la structure est décrite par la figure II.4.



**Figure II.4** – Vue en perspective d'une partie du PAD RF (a) et sa vue layout (b)

Comme cela est visible sur la figure ci-dessus, il y a formation d'un filtre passe-haut parasite entre le métal et la masse, la résistance du filtre provenant de la résistivité du substrat. La capacité parasite calculée à partir du layout de la structure étudiée (figure II.6(a)) est de  $200fF$  et la résistance parasite est de  $91\Omega$ . La fréquence de coupure du filtre est donc :

$$f_c = \frac{1}{2 \cdot \pi \cdot R_{parasite} \cdot C_{parasite}} = 8,75GHz \quad (II.8)$$

Le filtre étant du premier ordre, la perte en puissance est de 10dB par décade. A 900MHz, fréquence du signal utilisé, il y a donc 10% de pertes dues au couplage avec le substrat. Ces pertes sont indépendantes de la surface en regard du substrat. Prenant pour hypothèse que les prises substrat sont à une distance  $h$  supérieure à l'épaisseur  $e$  du substrat épitaxié, alors les lignes de champ vont coupler avec le substrat profond (figure II.5).

Si le PAD est un carré de côté  $L$ , l'expression de la capacité parasite est alors, au premier

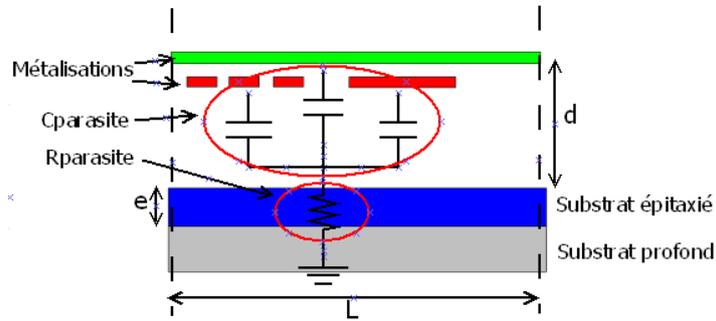


Figure II.5 – Vue en deux dimension d’une partie du PAD RF

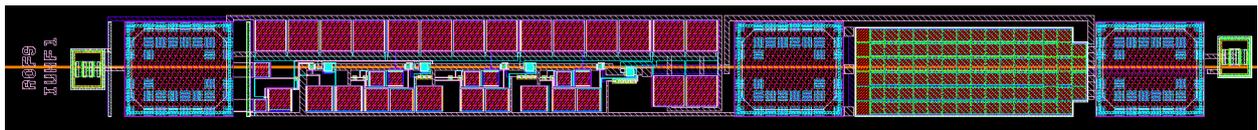
ordre, en négligeant les effets de bords :

$$C_{parasite} = \epsilon \cdot \frac{L^2}{d} \quad (\text{II.9})$$

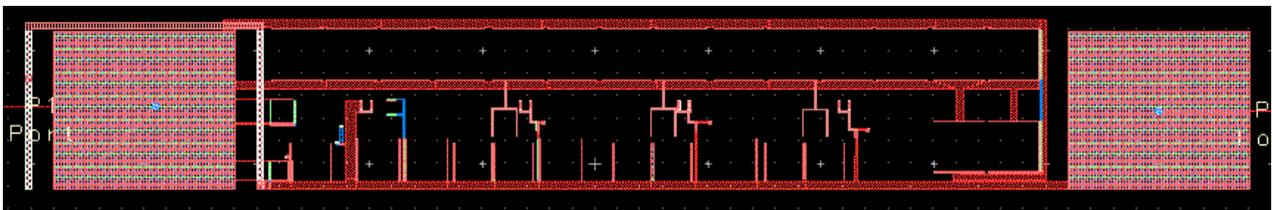
et la résistance parasite est, selon la même approximation :

$$R_{parasite} = \rho \cdot \frac{e}{L^2} \quad (\text{II.10})$$

Ainsi, si la surface diminue, la capacité parasite est réduite mais la résistance parasite augmente proportionnellement, la fréquence de coupure reste la même.



(a)



(b)

Figure II.6 – Vue layout du multiplieur étudié (a), lignes RF et lignes de masse du multiplieur sous ADS (b)

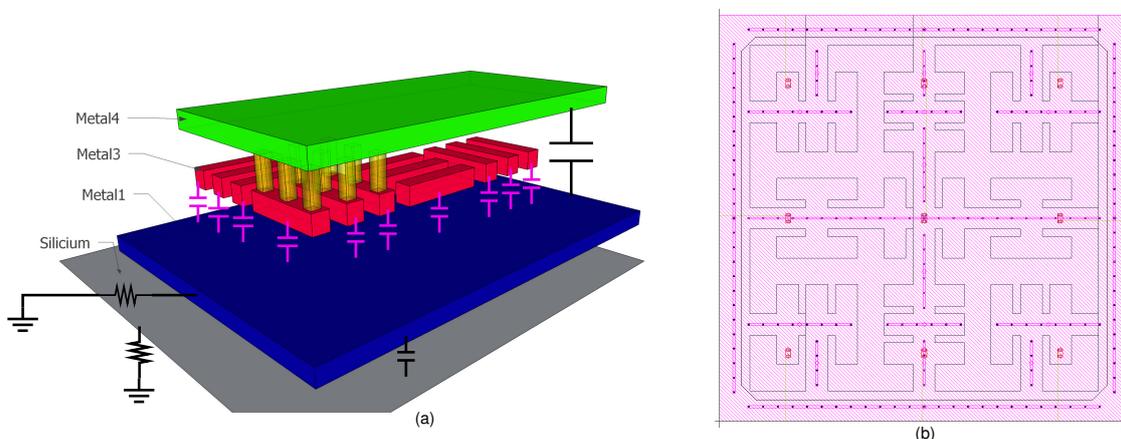
Si la tension d’entrée est  $V_{rf} = 350mV$ , ce qui correspond généralement à la tension minimale nécessaire pour franchir la tension de seuil des diodes de ce circuit, la résistance parallèle mesurée

étant de  $R_{//} = 800\Omega$ , alors selon l'équation II.7, la puissance active consommée est de :

$$P = \frac{V_{rf}^2}{2 \cdot R_{//}} = 76,4\mu W \quad (\text{II.11})$$

Sur la base des 10%, les pertes s'élèvent à  $7,6\mu W$  ce qui est déjà supérieur à la puissance en sortie du circuit. Une simulation électromagnétique des lignes radio-fréquence et du PAD, via le logiciel ADS (figure II.6(b)) évalue ces mêmes pertes, dans les mêmes conditions, à  $9\mu W$ .

Pour réduire ces pertes il faut donc diminuer la résistance et la capacité parasite. Pour minimiser la capacité, il faut prendre soin d'utiliser autant que possible la couche de métal la plus haute disponible dans la technologie utilisée. Pour limiter les coûts de fabrication, la technologie choisie, de type  $0,18\mu m$  EEPROM, ne contient que 3 niveaux voire exceptionnellement 4 niveaux de métaux. Du fait de ce faible nombre de niveaux de métaux, il n'est pas possible de diminuer de manière significative la capacité parasite, les lignes sont tout de même remontées d'un niveau et le métal 2 a été supprimé sous le PAD (figure II.7) pour limiter la capacité. Il faut toutefois noter que cela se fait au détriment de la résistance du PAD aux efforts mécaniques tels que le cisaillement, lorsqu'une pointe de test est posée dessus, ou encore l'arrachement lors d'opérations de wire-bonding ou de flip-chip.



**Figure II.7** – Vue en perspective d'une partie du nouveau PAD RF muni de son plan de masse(a) et sa vue layout (b)

En revanche, il est bien plus facile de diminuer la résistance parasite. L'utilisation d'un plan de masse en métal 1 permet d'isoler les lignes RF du substrat (voir la figure II.7). Le filtre passe-haut parasite est toujours présent mais sa fréquence de coupure a changé. Pour le même montage muni d'un bouclier, la résistance parasite est cette fois de  $3,6\Omega$  pour une capacité parasite qui a très peu évolué du fait de la remontée des métaux. La fréquence de coupure est

alors :

$$f_c = 220GHz \quad (\text{II.12})$$

Les pertes dues au couplage sont cette fois inférieures à 1%. La simulation électromagnétique les évalue cette fois à  $110nW$ , soit environ 80 fois moins. En utilisant une technologie plus spécialisée dans les radio-fréquences, telle qu'une technologie CMOS RF de  $0,13\mu m$ , il est possible de diminuer encore d'avantage ces pertes en remontant les signaux RF au 6<sup>ème</sup> et dernier niveau de métallisation.

En suivant le même raisonnement, les capacités parasites des condensateurs du circuit seront réduites en utilisant des capacités de type métal-isolant-métal (MIM) au plus haut niveau de métallisation plutôt que des capacités de type poly-poly choisies initialement pour leur faible encombrement. Il reste à présent à réduire les pertes dues aux transistors.

### 2.3 Pertes dans les transistors

Le multiplieur étudié possède quatre étages. Ce nombre d'étages a été déterminé par simulation électriques avec le logiciel CADENCE comme étant celui qui donne le meilleur rendement au vu de la tension de seuil du transistor. Cela implique donc qu'il y a au moins huit transistors dans le montage. Pour des raisons qui seront détaillées plus loin dans ce chapitre, ces huit transistors sont départagés en quatre transistors de type NMOS et quatre transistors de type PMOS.

Pour connaître leurs pertes, chacun de ces transistors a été mesuré pour une tension suffisamment faible à ses bornes pour qu'il ne puisse conduire. Les résistances parallèles des transistors ont été mesurées grâce à une station de mesure sous pointes. Une structure ne comprenant que les plots d'entrée/sortie et les lignes de métaux a été préalablement mesurée. La résistance parallèle du transistor NMOS est de  $20k\Omega$  et la résistance parallèle du transistor PMOS est de  $15k\Omega$ . Connaissant le nombre de transistors, cela implique qu'il y a une résistance parallèle de perte sur l'ensemble des transistors de  $2,14k\Omega$ . En utilisant l'équation II.7, pour une tension  $V_{rf} = 350mV$ , la puissance perdue dans l'ensemble des transistors est donc de :

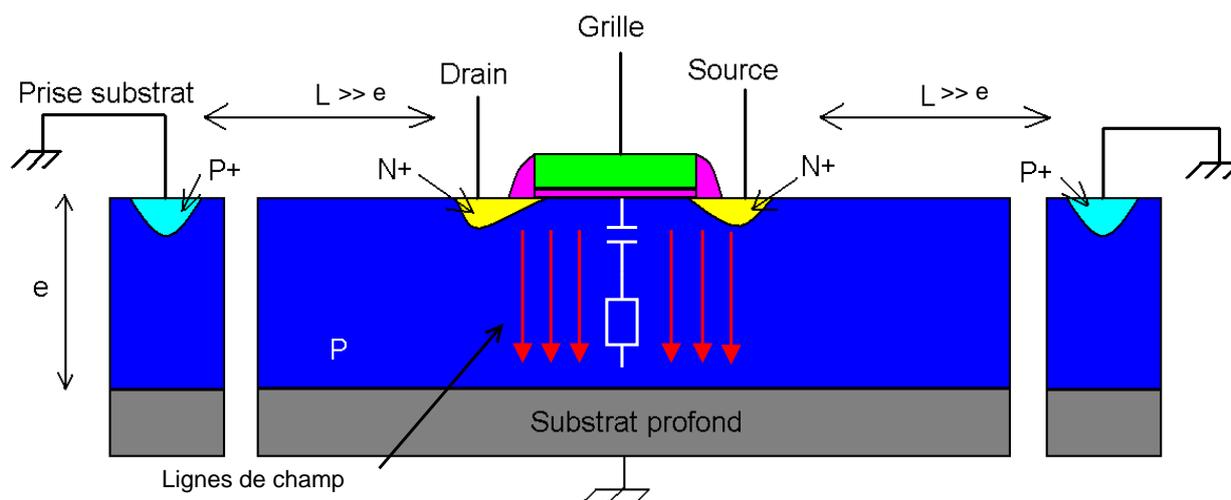
$$P_{perte} = 29\mu W \quad (\text{II.13})$$

Ainsi, entre les pertes par couplage dans les lignes et les pertes dans le transistor, environ 50% de la puissance entrante est perdue. Concernant les transistors les pertes sont également liées pour partie, au couplage avec le substrat.

### 2.3.1 La polarisation du substrat

Une partie des pertes vient du même phénomène que celui décrit dans la section 2.2. Toutefois dans ce cas, selon les équations II.9 et II.10, la proximité avec le silicium implique que la capacité de perte est proportionnellement beaucoup plus grande pour une résistance de perte donnée. La fréquence de coupure sera donc encore plus basse. Le positionnement et la forme de la prise substrat du transistor deviennent alors des facteurs primordiaux pour garder la fréquence de coupure la plus haute possible.

En considérant la figure II.8, si les prises substrat du transistor sont à une distance  $L \gg e$ , alors les lignes de champ s'orienteront plutôt en direction du substrat profond considéré comme une masse parfaite. Dans ce cas, le substrat épitaxié P est traversé par les lignes de champ dans toute sa profondeur et la résistance de perte est maximale.



**Figure II.8** – Vue en coupe d'un transistor NMOS avec ses prises substrat à une distance  $L$  très supérieure à l'épaisseur  $e$  du substrat épitaxié

Si les prises substrat sont positionnées à la distance minimale des implants  $N^+$ , alors les lignes de champ latérales sont prépondérantes (figure II.9). Dans ce cas, l'épaisseur de substrat traversée par les lignes de champs est minimisée, de même que la résistance de perte.

Il faut également que la prise entoure complètement le transistor pour bien guider les lignes, sans quoi il y a un risque que ces lignes soient captées par les prises substrat des composants à proximité ou par le substrat profond lui-même. De plus, le métal 1, assurant la connexion entre le substrat et la masse, doit être le plus large possible pour minimiser sa résistance. Ainsi, sur la figure II.10(a), qui est la vue layout d'un transistor NMOS tel qu'utilisé dans le multiplieur initial, les prises substrat, bien qu'au minimum de la distance avec les implants  $N^+$  de source

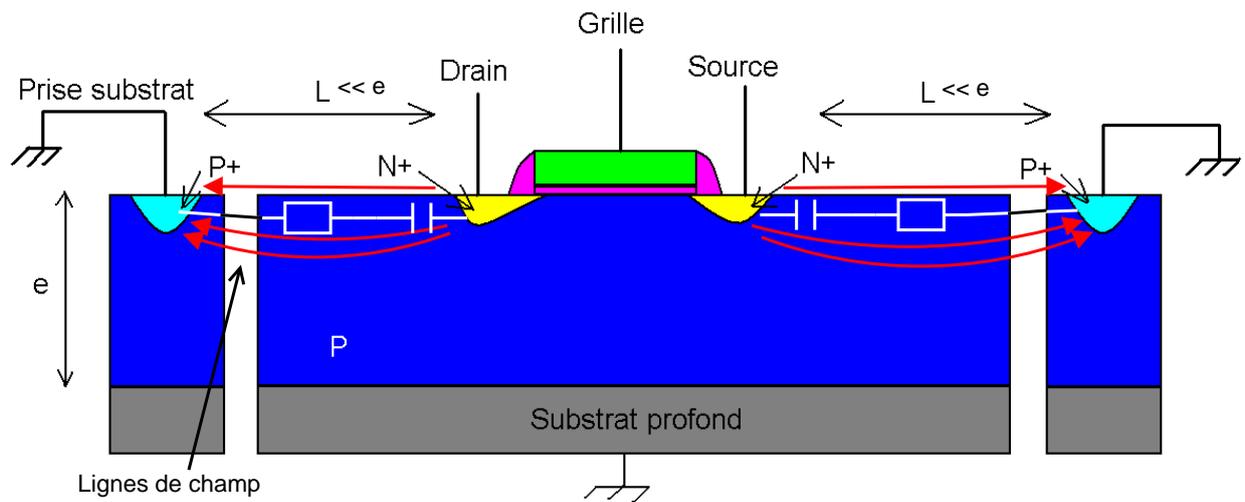


Figure II.9 – Vue en coupe d’un transistor NMOS avec ses prises substrat à une distance  $L$  très inférieure à l’épaisseur  $e$  du substrat épitaxié

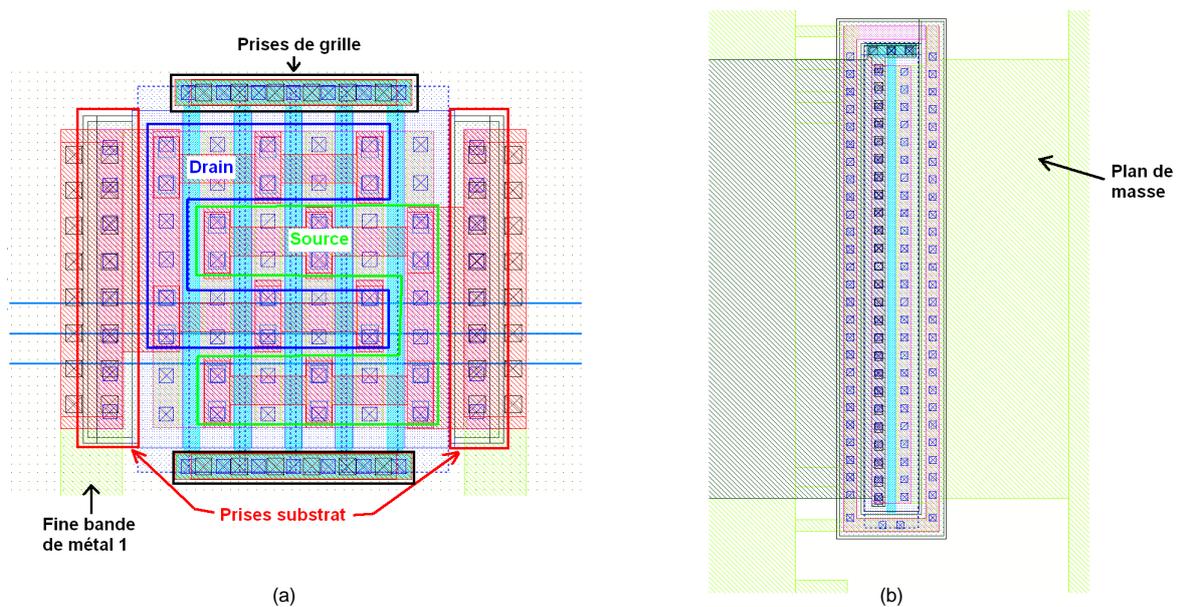


Figure II.10 – Vue layout du transistor inclus dans le multiplieur initial (a), du transistor NMOS de test  $n^o1$  (b)

et de drain, n’entourent pas le transistor, et le métal 1 qui contacte les prises substrat n’est pas très large. A contrario, dans la figure II.10(b), le transistor de test  $n^o1$  possède une prise substrat entourant le transistor à la distance minimale et cette prise est contactée par le plan de masse recouvrant toute la partie RF de la puce. Les figures II.11 et II.12 montrent quant à elles, respectivement un transistor de test ( $n^o2$ ) dont la prise substrat entoure le transistor mais

à une distance très grande de la grille, et un transistor de test ( $n^{\circ}3$ ) avec une prise substrat consistant en un nombre de contacts très faible entre le métal et le silicium et très éloignée du transistor.

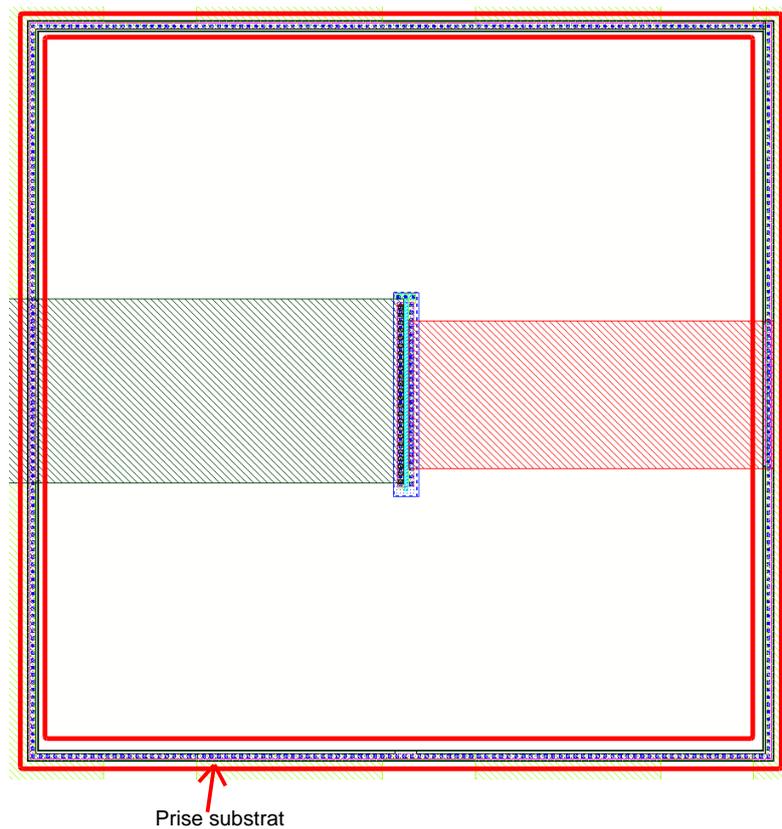


Figure II.11 – Vue layout du transistor de test  $n^{\circ}2$

Le tableau II.1 donne la valeur des résistances parallèles mesurées pour chacun des transistors NMOS évoqués ci-dessus.

Transistor NMOS	Résistance parallèle
Du multiplieur (figure II.10(a))	$20k\Omega$
Prise substrat entourant le MOS, $L \ll e$ ( $n^{\circ}1$ ) (II.10(b))	$35k\Omega$
Prise substrat entourant le MOS, $L \gg e$ ( $n^{\circ}2$ ) (II.11)	$15k\Omega$
Prise substrat ponctuelle, $L \gg e$ ( $n^{\circ}3$ ) (II.12)	$12,5k\Omega$

Tableau II.1 – Valeur de la résistance parallèle parasite de chacun des transistors NMOS mesurés

Pour les transistors PMOS, la problématique est la même et des structures de test ont également été développées. En plus de la prise substrat, il faut ici également prendre en compte la prise de caisson N. Le layout du transistor PMOS utilisé dans le multiplieur initialement est

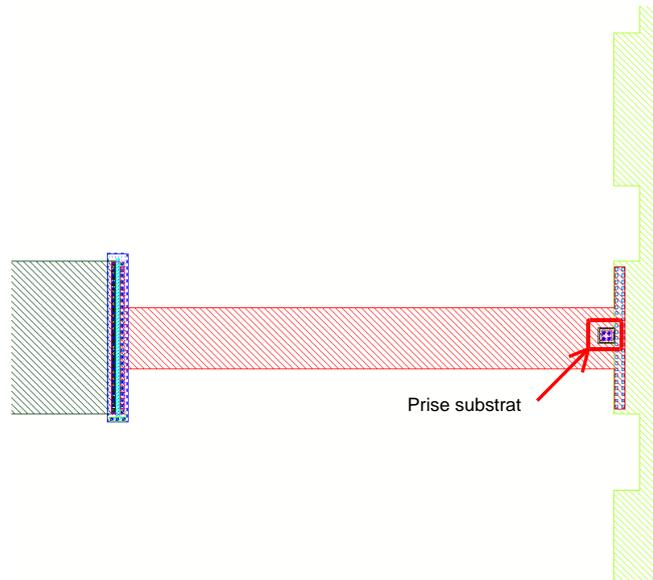


Figure II.12 – Vue layout du transistor  $n^{\circ}3$

très proche du layout du NMOS (figure II.10(a)). Pour les structures de test, toutes ont une prise caisson N et une prise substrat qui entourent le transistor. Ces prises sont à chaque fois contactées par un plan de masse. La structure de test  $n^{\circ}1p$  consiste en un transistor PMOS dont les prises caissons N et substrat sont au plus proches des implants source et drain. Le transistor de test  $n^{\circ}2p$  quant à lui, a sa prise caisson N au plus proche et sa prise substrat très éloignée. Le dernier des transistors de test ( $n^{\circ}3p$ ), a ses deux prises, caisson et substrat, très éloignées des implants source et drain du transistor.

Le tableau II.2 montre les résultats de mesure des différents transistors PMOS.

Transistor PMOS	Résistance parallèle
Du multiplieur	$15k\Omega$
Prises caisson et substrat au plus proche ( $n^{\circ}1p$ )	$40k\Omega$
Prise caisson au plus proche, prise substrat éloignée ( $n^{\circ}2p$ )	$10k\Omega$
Prise caisson et substrat éloignée ( $n^{\circ}3p$ )	$18k\Omega$

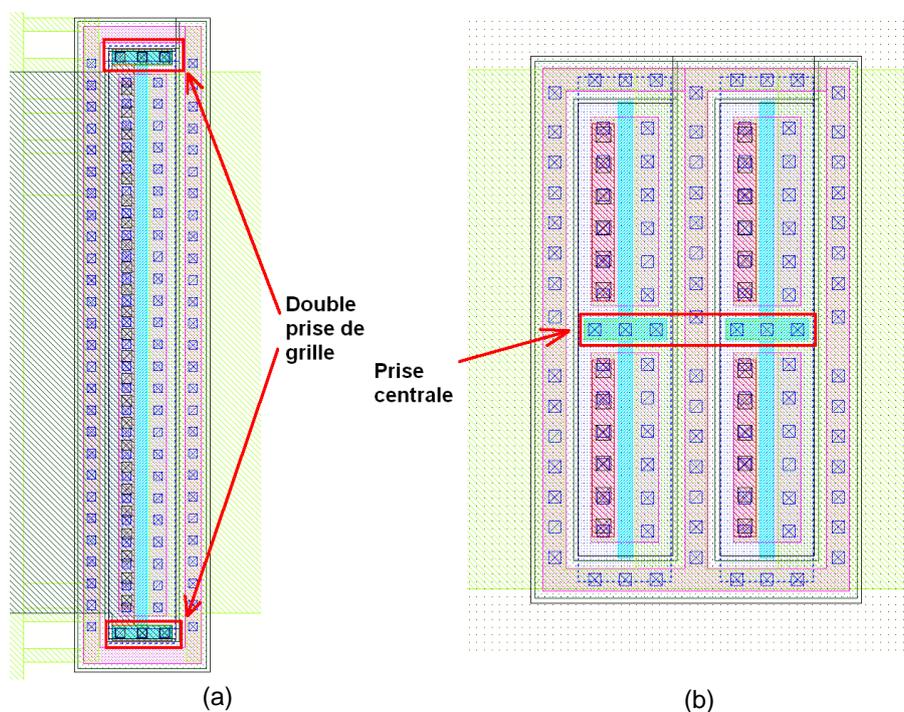
Tableau II.2 – Valeur de la résistance parallèle parasite de chacun des transistors PMOS mesurés

Les mesures confirment bien l'influence du substrat sur les pertes du transistor. Toutefois, il est possible de diminuer encore davantage les pertes en agissant sur la grille.

### 2.3.2 Optimisation des grilles

La résistivité de la grille en polysilicium étant de l'ordre de 100 fois supérieure à la résistivité des métaux pour la technologie utilisée ( $0,18\mu\text{m}$  EEPROM), et la largeur étant relativement importante (plusieurs dizaines de micromètres), il peut alors y avoir non uniformité du potentiel le long de la grille ce qui peut nuire à l'efficacité du transistor.

Pour limiter ce phénomène, il est courant de recourir au doublement de la prise de grille (structure de test  $n^{\circ}4$ , figure II.13(a)), ou encore de polariser la grille du transistor en son centre ce qui, de fait, impose un fractionnement du transistor (transistor de test  $n^{\circ}5$  figure II.13(b)).



**Figure II.13** – Vue layout du transistor de test  $n^{\circ}4$  (a) et du transistor de test  $n^{\circ}5$  (b)

Les résistances parallèles de ces deux nouveaux transistors NMOS mesurés sont comparées entre elles dans le tableau suivant.

Transistor NMOS	Résistance parallèle
Grille doublée ( $n^{\circ}4$ ) (II.13(a))	$40k\Omega$
Grille centrale ( $n^{\circ}5$ ) (II.13(b))	$45k\Omega$

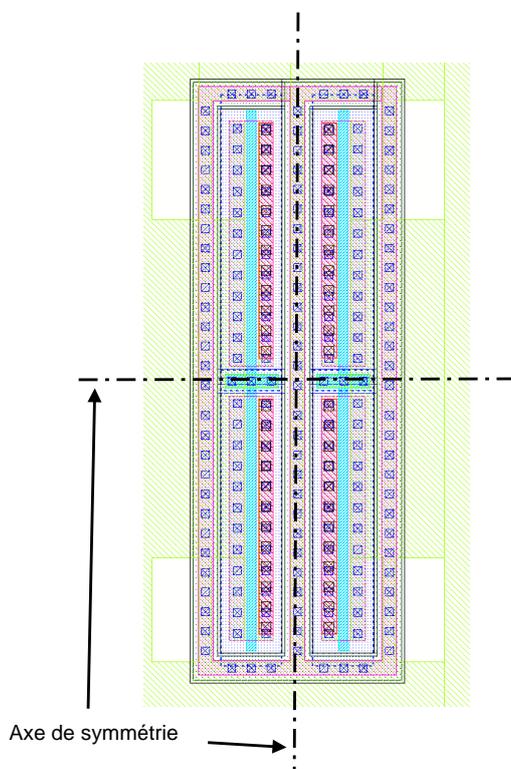
**Tableau II.3** – Comparaison de résistance parallèle entre les transistors NMOS avec double prise de grille ( $n^{\circ}4$ ) et avec fractionnement et prise centrale ( $n^{\circ}5$ )

Par l'uniformisation du potentiel de grille, les pertes ont donc encore été diminuées.

### 2.3.3 Autres optimisations

Par mesure de sécurité, et pour achever de diminuer les pertes dans le circuit de récupération d'énergie, les composants seront placés en essayant de respecter le plus de règles de symétrie possible. Toutefois, cela ne sera pas sans conséquence sur la surface occupée par le circuit.

Tout d'abord, les transistors de la structure, désormais fractionnés, peuvent être branchés de façon à ce que les branchements de source et de drain se fassent selon un centre de symétrie (transistor de test  $n^{\circ}6$ , figure II.14). Cela assure une meilleure compensation des éventuelles variations linéaires des caractéristiques de la technologie (variation de la concentration du dopage par exemple).



**Figure II.14** – Vue layout du transistor symétrisé ( $n^{\circ}6$ )

Comme le montre le tableau II.4, sur l'ensemble des transistors NMOS mesurés, ce type de transistor est celui qui présente le moins de pertes. Les transistors PMOS seront dessinés selon les mêmes règles.

Après avoir appliqué de la symétrie d'un point de vue local, l'ensemble du circuit doit être visé par ce genre de considérations.

Pour minimiser un impact éventuel du retard de phase des signaux RF entre différents points du circuit, les composants du multiplieur seront, dans la mesure du possible, placés à distance

Transistor NMOS	Résistance parallèle
Du multiplieur (figure II.10(a))	$20k\Omega$
Test $n^{\circ}1$ (II.10(b))	$35k\Omega$
Test $n^{\circ}2$ (II.11)	$15k\Omega$
Test $n^{\circ}3$ (II.12)	$12,5k\Omega$
Test $n^{\circ}4$ (II.13(a))	$40k\Omega$
Test $n^{\circ}5$ (II.13(b))	$45k\Omega$
Test $n^{\circ}6$ (II.14)	$50k\Omega$

**Tableau II.4** – Comparaison de résistance parallèle entre l'ensemble des transistors NMOS mesurés

égale de chacun des PAD d'antenne, et chacun des signaux proviendra des PAD d'antenne de façon à respecter une connexion en étoile (voir figure II.15).

Il convient également de réduire le risque d'une éventuelle perturbation des signaux entre eux en évitant au maximum le croisement des métaux, d'autant plus s'il s'agit de métaux proches (le croisement métal3/métal2, par exemple, est à limiter).

Enfin, les transistors génèrent quoi qu'il en soit des pertes. Il faudra donc s'appliquer à en minimiser le nombre voire en enlever chaque fois que cela est possible.

## 2.4 Nouveaux circuits

Pour valider l'ensemble des améliorations suggérées précédemment, deux nouveaux multiplieurs ont été développés. Le premier reprend l'ensemble des modifications évoquées, à savoir, une prise substrat entourant les transistors avec un espacement minimal, un fractionnement des transistors pour diminuer la résistance de grille, et une répartition équilibrée des composants entre les deux plots d'entrée. La technologie choisie cette fois est la  $0.13\mu m$  CMOS RF, qui possède six niveaux de métaux. Les lignes transportant les signaux radio-fréquences ont donc été remontées jusqu'à ce dernier niveau de métallisation ce qui permet de diminuer la capacité parasite. De même, le PAD d'entrée du signal haute fréquence est optimisé selon le même raisonnement que celui présenté section 2.2 du présent chapitre. En revanche, dans ce premier circuit, il n'y a pas de plan de masse et une partie des pertes par couplage des lignes et des transistors est encore présente.

Le second multiplieur est une copie à l'identique du premier. Son unique différence est la présence d'un plan de masse en métal1 isolant le substrat en silicium du reste du circuit et réduisant les pertes par couplage.

Les caractéristiques et le rendement de chacun des multiplieurs sont donnés dans le tableau II.5 pour une puissance de sortie de  $5\mu W$  ( $1V$  pour une charge de  $200k\Omega$ ) et ils sont comparés

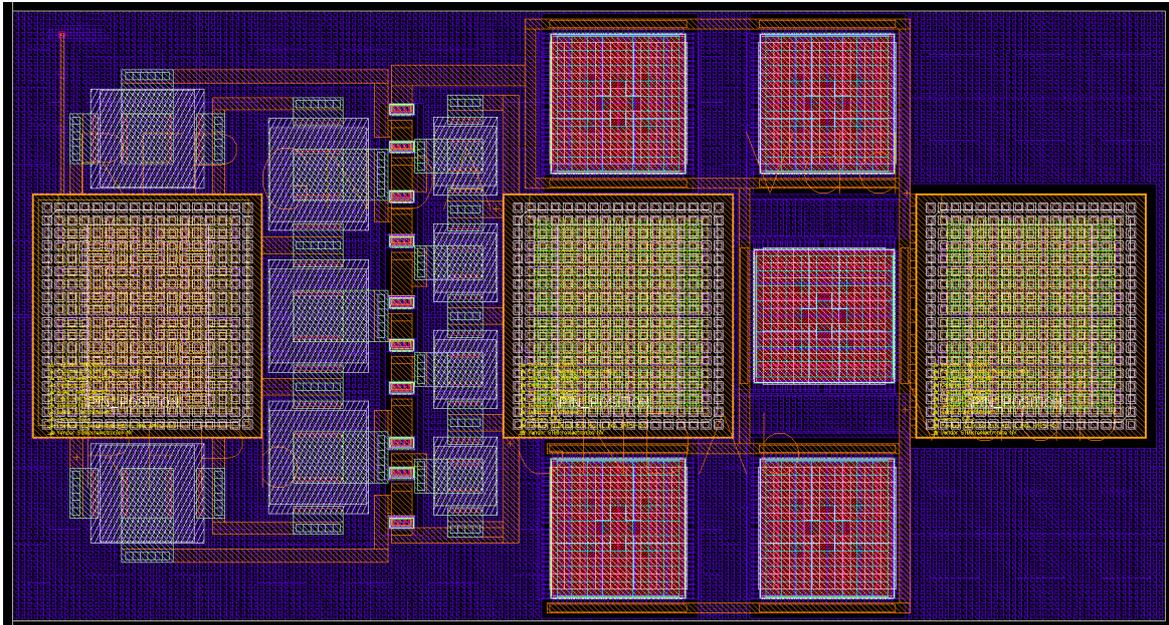


Figure II.15 – Vue layout du multiplieur optimisé avec plan de masse

avec les mêmes informations mesurées dans les mêmes conditions concernant le multiplieur non optimisé en technologie  $0,18\mu m$ , étudié depuis le début de cette section. Les résultats de simulations sont également mis en parallèle.

Multiplieur	Impédance série	Résistance parallèle	Rendement
Non optimisé, technologie $0,18\mu m$ (simulations)	$9,2 - j \cdot 164$	$2932\Omega$	23,8%
Non optimisé, $0,18\mu m$ (mesures)	$14 - j \cdot 105$	$801\Omega$	7,8%
Optimisé, $0,13\mu m$ (simulations)	$38 - j \cdot 381$	$3824\Omega$	28,6%
Optimisé sans plan de masse, $0,13\mu m$ (mesures)	$65 - j \cdot 425$	$2844\Omega$	15,18%
Optimisé avec plan de masse, $0,13\mu m$ (mesures)	$37 - j388$	$4106\Omega$	22,6%

Tableau II.5 – Comparaison des caractéristiques des différents circuits mesurés et simulés

Alors qu'il existait un grand écart entre simulation et mesure concernant les premières structures, les nouveaux multiplieurs, dont les pertes ont été considérablement réduites, voient ce décalage diminué. D'une part grâce à la réorganisation des prises substrats des transistors, à leur placement régulier et au déplacement des signaux RF dans des métallisations plus éloignées

du substrat, c'est ce que montrent les mesures de la structure sans plan de masse; d'autre part, grâce à la mise en place du plan de masse qui annule les effets néfastes du couplage électromagnétique avec le substrat, ce qui est mis en évidence par les mesures figurant à la dernière ligne du tableau II.5.

Théoriquement, il ne devrait pas y avoir de décalage entre la simulation du premier multiplieur dit "non optimisé" et la simulation des suivants. Cette différence vient de la technologie employée. Le transistor utilisé en technologie  $0,13\mu m$  possède une tension de seuil légèrement plus faible que celle de son prédécesseur, ce qui améliore le rendement de la structure. Cela sera démontré dans le prochain chapitre.

Il a été dit précédemment que la nouvelle organisation des composants pourrait avoir des conséquences sur la surface occupée par le multiplieur sur le silicium. Plus la surface occupée est importante, plus le coût de la puce l'est également. Hors pour que les étiquettes RFID soient concurrentielles face, par exemple, aux codes à barres, elles doivent être vendues le moins cher possible, et la fabrication de la puce doit se faire à moindre prix. Le coût d'une puce électronique est proportionnel à la surface de silicium qu'elle occupe. Dans ce contexte il est intéressant de comparer l'aire de l'ancienne structure, non optimisée d'un point de vue du placement, à l'aire de la nouvelle structure (tableau II.6).

Multiplieur	Surface occupée
Non optimisé	$69600\mu m^2$
Optimisé	$75777\mu m^2$

**Tableau II.6** – Surface de silicium occupée par chacun des circuits

Les surfaces de silicium occupées sont assez proches, mais il convient toutefois de nuancer ce parallèle. En effet, le nouveau multiplieur optimisé a été fondu en technologie  $0,13\mu m$  CMOS RF, qui utilise plus de niveaux de métaux, et il est plus facile de compacter le circuit car plus le nombre de niveaux de métallisation est important, plus les possibilités de routage sont grandes pour une surface donnée. A technologie équivalente, la solution optimisée serait en fait plus gourmande en place. De plus, le placement des composants en une position donnée rend cette structure rigide, alors qu'il était possible auparavant de modifier la forme du multiplieur. Cela complexifie l'intégration du multiplieur à pertes réduites dans une puce RFID.

Les pertes dues aux signaux radio-fréquences sont à présent fortement réduite. Toutefois, l'amélioration du multiplieur de type MOS n'est pas finie, il reste encore à réduire la tension de seuil des transistors.

### 3 CAISSON NISO

Pour limiter la tension de seuil dans le cadre d'une technologie MOS, Il est intéressant dans un premier temps de réduire l'effet substrat ("body effect") induit par la différence de potentiel les sources des transistors et leur prise substrat (prise bulk) qui est par défaut connectée à la masse.

La tension de seuil d'un transistor MOS est définie par [63] :

$$V_{th} = V_{T0} + \gamma \cdot \left( \sqrt{2 \cdot |\Phi_F| + V_{sb}} - \sqrt{2 \cdot |\Phi_F|} \right) \quad (\text{II.14})$$

Avec :

- $V_{T0}$  la tension de seuil du transistor lorsque la tension source bulk est nulle.
- $V_{sb}$  la tension source bulk.
- $|\Phi_F|$  le potentiel volumique défini par [64] :

$$|\Phi_F| = \frac{k \cdot T^o}{q} \cdot \ln \left( \frac{N_{sub}}{n_i} \right) \quad (\text{II.15})$$

$N_{sub}$  étant la concentration de dopant dans le substrat et  $n_i$  la concentration intrinsèque du silicium.

- $\gamma$  un coefficient dont l'expression est[64] :

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_{sub}}}{C_{ox}} \quad (\text{II.16})$$

$\epsilon_{Si}$  est la permittivité relative du silicium et  $C_{ox}$  la capacité d'oxyde de grille.

Comme il est possible de le remarquer sur la figure II.16, plus le nombre d'étage est important, plus l'effet substrat se fera sentir dans les derniers étages. L'ensemble des termes des équations précédentes sont tous constant car liés à technologie utilisée pour fabriquer le transistor, à l'exception de  $V_{sb}$ . Pour pouvoir réduire la tension de seuil du transistor il faut donc diminuer cette tension source bulk.

Visiblement, la valeur de  $V_{sb}$  permettant d'obtenir la tension de seuil de transistor minimale est  $V_{sb} = -2 \cdot |\Phi_F|$ . Toutefois, il est difficile dans le contexte d'un circuit multiplieur d'appliquer de manière simple une tension source bulk négative. Par ailleurs, l'application d'un potentiel de substrat supérieur au potentiel de source augmente de risque de fuites à travers la diode PN bulk-source (figure II.18). La solution choisie initialement est donc d'annuler la tension  $V_{sb}$  en branchant la prise substrat avec la source et la grille du transistor (figure II.17).

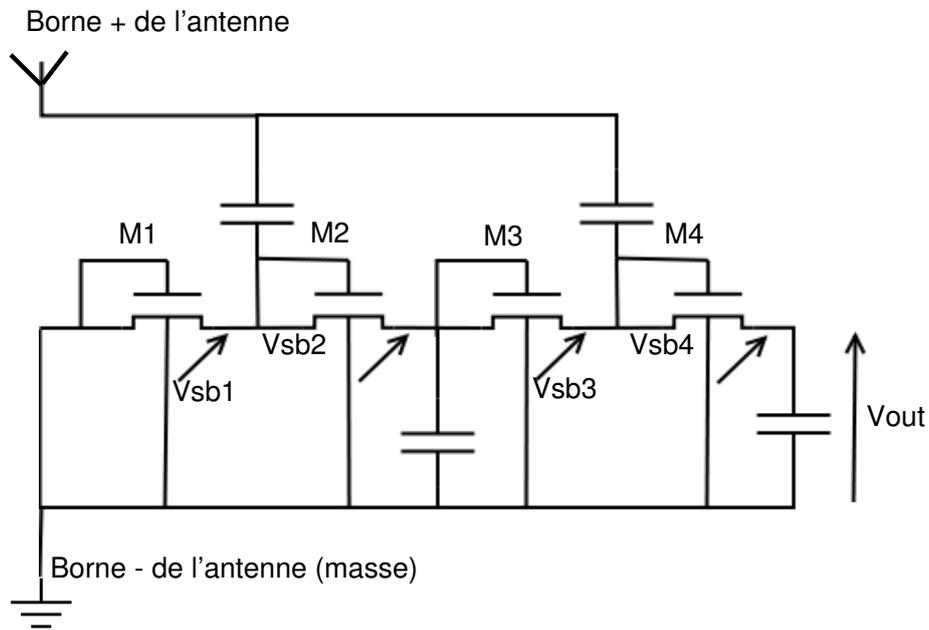


Figure II.16 – Illustration des tensions source bulk dans un multiplieur

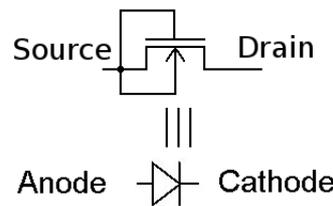
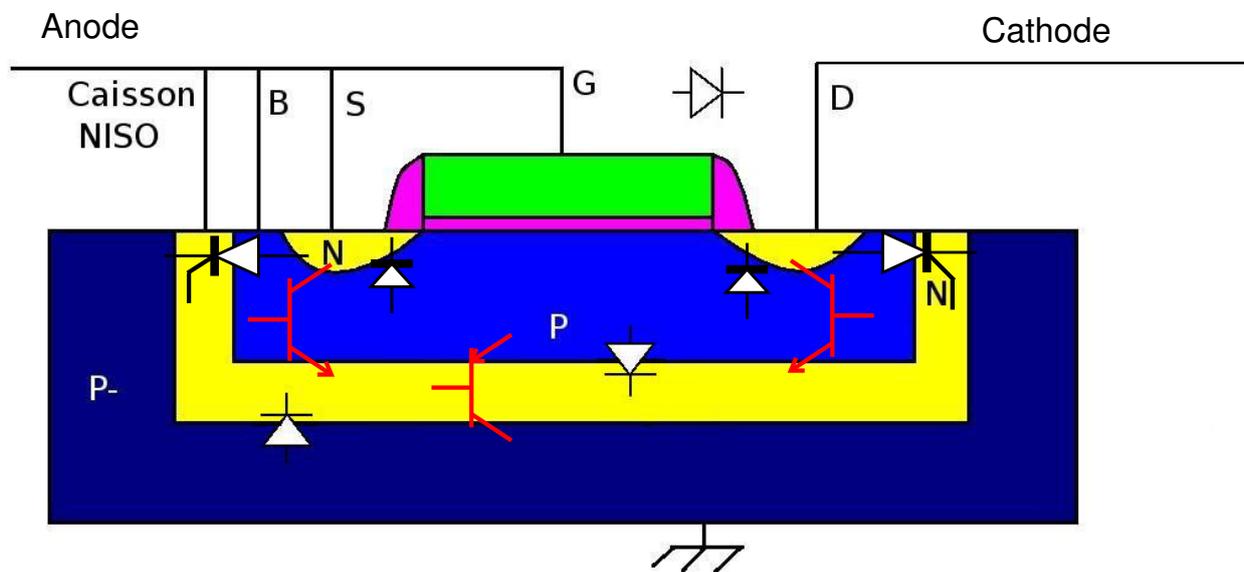


Figure II.17 – Nouveau branchement de la prise substrat du transistor NMOS monté en diode

Parce qu'ils sont tous réalisés dans le même substrat référencé à la masse, les transistors NMOS classiques ont par défaut leur prise substrat connectée à la masse. Pour polariser indépendamment, chacun des substrats des transistors NMOS, il faut concevoir un caisson dopé N qui permet d'isoler le substrat P du transistor du reste du silicium (figure II.18). Ce type de transistor sera appelé transistor NISO pour caisson N d'isolation.

Le positionnement de la source dans les figures II.17 et II.18 peut surprendre. En réalité, il faut bien garder à l'esprit que, le transistor étant une structure symétrique, les termes source et drain peuvent être interchangeables dans certaines conditions. Concernant par exemple la diode du redresseur :

- durant l'alternance positive, la source correspond à la cathode de la diode MOS, c'est qui permet de dire que la tension  $V_{gs}$  est positive et que le transistor est passant.
- durant l'alternance négative, la tension  $V_{ds}$  s'inverse, il est donc tout à fait possible de



**Figure II.18** – Vue en coupe du transistor NMOS NISO avec l'ensemble de ses composants parasites

regarder le transistor MOS avec la source côté anode, la tension  $V_{ds}$  est alors positive tandis que la tension  $V_{gs}$  est nulle et non pas négative.

La position de la source dans les schémas précédents correspond à la situation d'alternance négative. Cela mène à se demander de quel côté doit être connecté la prise substrat. Idéalement il faudrait la connecter alternativement d'un côté puis de l'autre. C'est d'ailleurs la solution adoptée dans l'article [65] pour des transistors PMOS. Toutefois, en raison de la fréquence très élevée de commutation du substrat (900 MHz) et de sa conductivité, qui n'est pas aussi bonne que celle d'un conducteur, il peut apparaître des retards dans l'établissement du potentiel dans l'ensemble du transistor. Ces retards augmentant le risque de fuites, il ne s'agit pas là de la solution optimale.

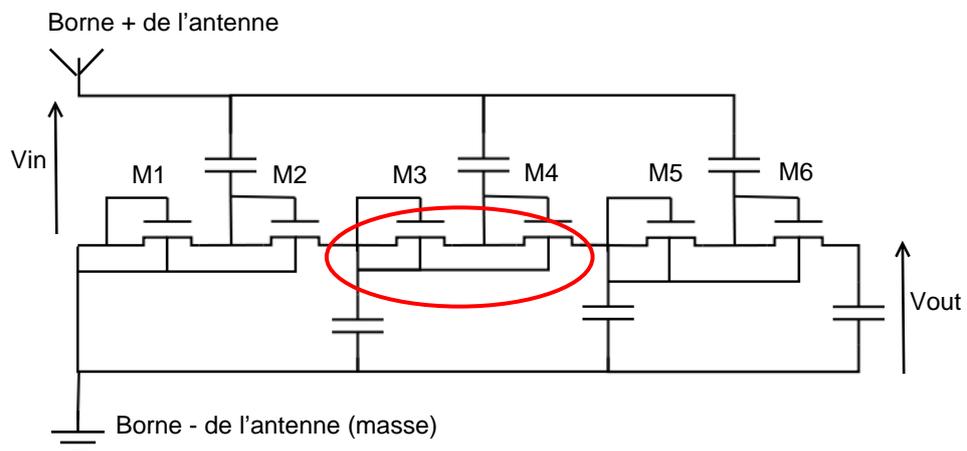
Si la prise substrat est branchée côté cathode, alors il y a bien minimisation de l'effet substrat lors de l'alternance positive, en revanche, lors de l'alternance négative il y aura un courant de fuite au niveau de la diode PN bulk-source. Finalement, le branchement proposé, avec la prise substrat côté anode, permet de diminuer l'effet substrat sans qu'il y ait des fuites pour autant.

Le choix de la polarisation du caisson est également délicat. Avec le caisson polarisé à la masse, la diode substrat-caisson est passante et le transistor fuit. Branché à la cathode, il y a alors la formation d'un transistor bipolaire parasite entre la cathode (collecteur), le substrat isolé (base), et le caisson N (émetteur). Le signal alternatif présent sur la base ou sur le collecteur est alors susceptible de rendre ce transistor passant, ce qui implique des pertes. Il est à noter que l'article [66], qui adopte la même approche du problème d'effet substrat, ne parle pas de

ces pertes éventuelles. Il n'indique pas non plus le potentiel du caisson. Le brevet [67] évoque quant à lui ce genre de problèmes.

Toujours pour limiter les pertes, il est préférable de ne pas brancher le substrat isolé et le caisson sur un nœud soumis à un signal alternatif ultra haute fréquence, et ce, encore une fois, à cause des retards éventuels dans l'établissement des potentiels de substrat et de caisson. Par ailleurs, la présence d'un signal alternatif en cet endroit risquerait d'enclencher l'un des thyristors formé par l'empilement de couche NPNP entre drain ou source, bulk, caisson NISO et substrat global.

La solution finalement retenue est de brancher le substrat et le caisson, conformément à la figure II.19, à l'entrée de l'étage du multiplieur, dont la tension est continue.



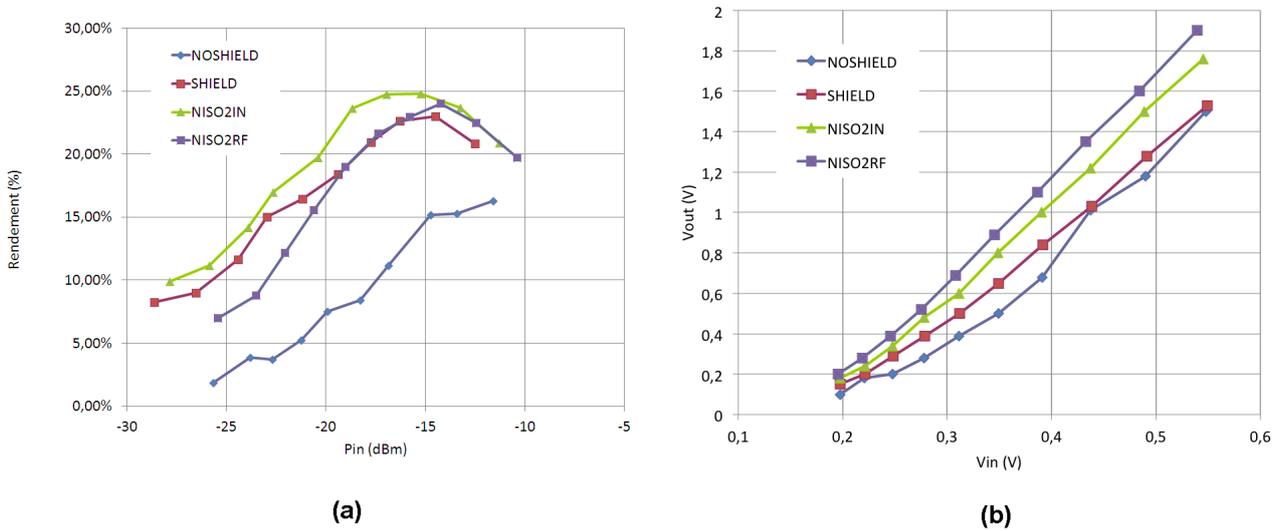
**Figure II.19** – Un multiplieur avec transistors NMOS NISO dont les prises substrat sont reliées aux entrées de leurs étages respectifs

Des multiplieurs de test ont été développés pour valider ces solutions. Les mesures ont été menées sur quatre structures en tous points identiques, à quelques exceptions près :

- La première structure (NOSHIELD) est un circuit témoin composé d'un multiplieur simple alternance, à 5 étages, en technologie  $0.13\mu m$ , à base de transistors NMOS montés en diode, sans compensation de l'effet substrat et sans plan de masse.
- La seconde structure (SHIELD) comporte un plan de masse.
- La troisième (NISO2RF), en plus du plan de masse, inclue des transistors NMOS NISO montés en diode en lieu et place des transistors NMOS classiques. Chaque prise substrat est reliée à l'anode de son transistor.
- La dernière structure (NISO2IN) comporte plan de masse et transistor NMOS NISO. Les prises substrat sont branchées cette fois à l'entrée de chaque étage.

Toutes les structures sont mesurées à l'analyseur de réseau, avec une charge en sortie de  $200k\Omega$

représentative de la consommation de la puce. Les graphes de la figure II.20 montrent l'évolution du rendement de chacune des structures en fonction de la puissance d'entrée.



**Figure II.20** – Evolution du rendement en puissance de chacune des structures en fonction de la puissance d'entrée (a) et évolution de la tension de sortie en fonction de la tension d'entrée (b)

Les graphes mettent bien en évidence la différence entre un système fonctionnant en puissance et un système fonctionnant en tension. Si la tension d'entrée provenait d'un générateur parfait, alors la solution avec transistors NMOS avec bulk connectés à la source est la meilleure car elle est plus efficace en tension. Par contre, dans le cadre d'une étiquette RFID passive, pour une distance donnée, c'est la puissance qui est constante et non la tension. C'est donc le rendement en puissance qu'il convient de regarder. Pour le multiplieur avec transistors NISO branchés en entrée d'étage, la puissance d'entrée pour obtenir  $5\mu W$  en sortie est de  $-17dBm$ , ce qui fait un rendement de 25%, tandis que pour le multiplieur avec transistors NISO branchés à l'anode, la puissance d'entrée est inférieure à  $-16dBm$ , soit un rendement de 22%. Cette fois, c'est la solution avec transistors NMOS avec bulk connectés en entrée d'étage qui est plus intéressante.

## 4 POLARISATION DE TRANSISTORS

### 4.1 Etude théorique

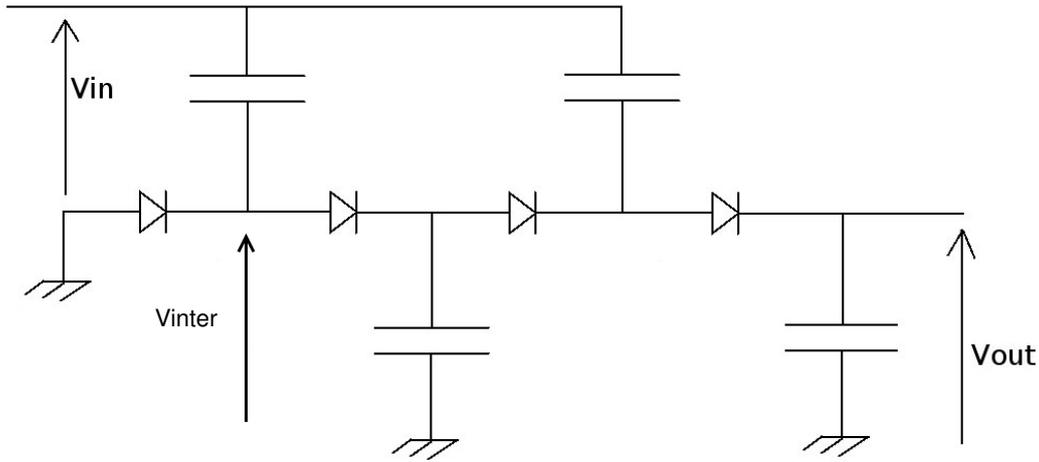
L'élimination de l'effet substrat a permis de rééquilibrer les tensions de seuil des transistors. Toutefois, la tension de seuil intrinsèque de ces derniers reste encore inchangée. Comme cela a été

évoqué au chapitre I, la diminution de la tension seuil est vue comme une étape importante vers l'amélioration du rendement du récupérateur d'énergie [29], [27]. Toutefois, bien que certains articles évoquent une valeur de polarisation idéale de la tension de grille des transistors [26], [32], ils ne fournissent pas d'explication quant à la valeur de cette tension. Il va donc être montré pourquoi la polarisation de la grille doit se faire à une valeur qui n'est pas nécessairement égale à la tension de seuil du transistor.

Selon [24] et [68], le courant continu délivré en sortie de multiplieur est égal à la moyenne sur une période  $T$  du courant traversant une des diodes du multiplieur :

$$I_{OUT} = \frac{1}{T} \cdot \int_0^T i_{DS}(t) dt \quad (\text{II.17})$$

Si tous les transistors monté en diode du multiplieur sont identiques et tous monté en diode de la même manière, alors il est possible d'étudier le courant traversant n'importe lequel d'entre eux, et a fortiori le premier d'entre eux qui est relié à la masse (figure II.21).



**Figure II.21** – Multiplieur simple alternance à deux étages

La forme de la tension  $v_{inter}(t)$  est rappelée :

$$v_{inter}(t) = V_{in} \cdot (\cos(\omega \cdot t) + 1) - v(V_{th}) \quad (\text{II.18})$$

Avec  $0 < v(V_{th}) < V_{th}$  une tension proche de la tension de seuil et proportionnelle à cette dernière lorsque le multiplieur est soumis à sa puissance minimale d'entrée de fonctionnement. La tension  $v(V_{th})$  est représentée sur la figure II.22. Par soucis de simplification, il sera supposé que  $v(V_{th}) \approx V_{th}$ .

La valeur du courant drain-source d'un transistor est fonction de la tension  $V_{GS}$  qui lui

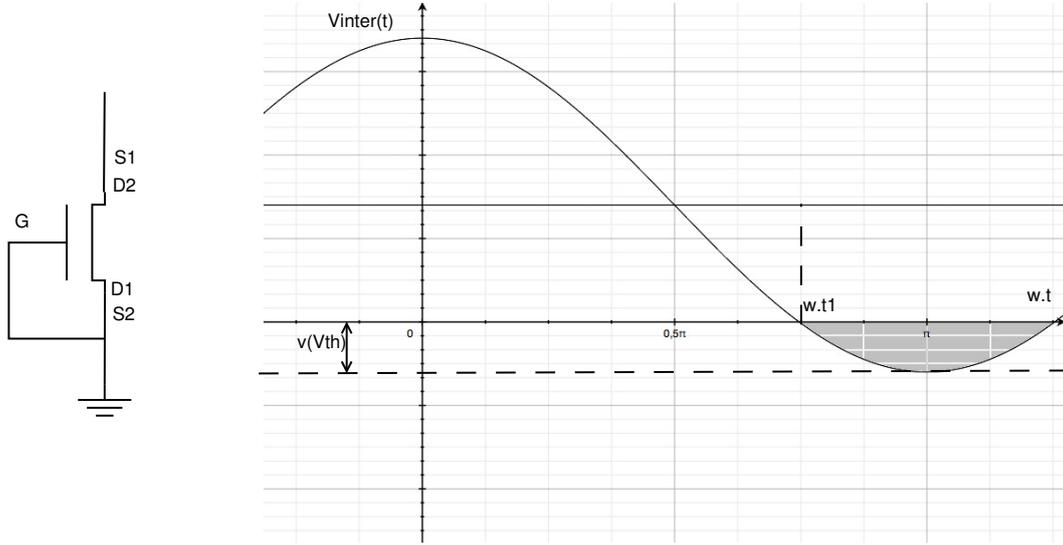


Figure II.22 – Evolution de la tension  $v_{inter}(t)$  sur une demi-période

est appliqué. Dans le cas du transistor de la figure II.22, cette tension  $V_{GS}$  sera fonction de la tension  $v_{inter}(t)$  et de la masse. La tension choisie étant sinusoïdale, l'étude peut être ramenée à une demi-période, l'équation II.17 devenant :

$$I_{OVT} = \frac{2}{T} \cdot \int_0^{T/2} i_{DS}(t) dt \quad (\text{II.19})$$

Pour  $t \in [0; T/4]$ , le transistor est soumis à l'inversion drain-source déjà évoquée dans la section précédente. Dans ce cas :

$$V_{GS} = V_{GS_2} = 0V \quad (\text{II.20})$$

Tandis que pour  $t \in [T/4; T/2]$ , la tension grille-source est :

$$V_{GS} = V_{GS_1} = v_{inter}(t) \quad (\text{II.21})$$

Soit  $t_1$  l'instant tel que  $v_{inter}(t_1) = 0V$ , au delà de cet instant le courant dans le transistor commence à circuler du drain  $D_1$  vers la source  $S_1$ . l'expression de  $t_1$  est :

$$t_1 = \frac{1}{\omega} \cdot \arccos \left( \frac{V_{th}}{V_{in}} - 1 \right) \quad (\text{II.22})$$

## II.4 POLARISATION DE TRANSISTORS

---

L'intégrale de courant traversant le transistor durant une demi-période est alors :

$$\int_0^{T/2} i_{DS}(t)dt = \int_0^{t_1} i_{D_2S_2}(t)dt + \int_{t_1}^{T/2} i_{D_1S_1}(t)dt \quad (\text{II.23})$$

Avec, selon [69] :

$$\int_0^{t_1} i_{D_2S_2}(t)dt = K \cdot v_t^2 \cdot \frac{W}{L} \int_0^{t_1} \exp\left(\frac{-V_{th} + \beta \cdot V_{D_2S_2}}{n \cdot v_t}\right) \cdot \left(1 - \exp\left(-\frac{V_{D_2S_2}}{v_t}\right)\right) dt \quad (\text{II.24})$$

Avec :

- K un facteur fonction de la technologie généralement de l'ordre de  $1 \cdot 10^{-4} A/\mu m^2$
- $v_t$  la tension thermique dont la valeur est  $25mV$  à  $27^\circ C$
- W la largeur du transistor
- L la longueur du transistor
- n le coefficient d'effet substrat, dépendant de la technologie utilisée. Il sera ici supposé égal à 1 pour simplifier l'étude
- $\beta$  le coefficient de l'abaissement de la barrière de potentiel induite par le drain (DIBL) dont la valeur usuelle est proche de 0,1 [70]

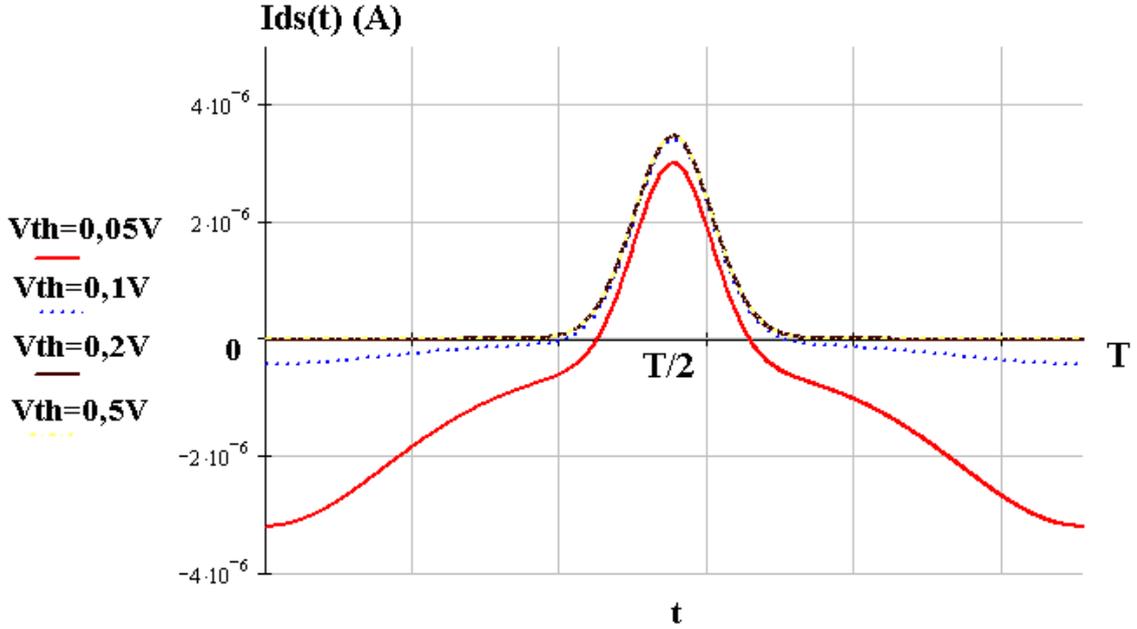
De même :

$$\int_{t_1}^{T/2} i_{D_1S_1}(t)dt = K \cdot v_t^2 \cdot \frac{W}{L} \int_{t_1}^{T/2} \exp\left(\frac{V_{GS_1} - V_{th} + \beta \cdot V_{D_1S_1}}{n \cdot v_t}\right) \cdot \left(1 - \exp\left(-\frac{V_{D_1S_1}}{v_t}\right)\right) dt \quad (\text{II.25})$$

Il n'est pas possible de résoudre analytiquement les intégrales II.24 et II.25. Il est envisageable d'utiliser un développement en série afin d'en connaître des valeurs approchées mais le calcul reste compliqué. Toutefois, l'utilisation des formules présentes dans les intégrales reste elle assez simple.

Ainsi, l'observation du courant  $i_{DS}(t)$  sur une période T, obtenu par le calcul, permet de se faire une idée de la valeur de la tension de seuil permettant d'obtenir un courant  $I_{out}$  optimal. La figure II.23 montre qu'en dessous d'une tension de seuil de  $0,1V$ , le courant de fuite du transistor augmente rapidement. Cette augmentation du courant de fuite est principalement due au phénomène d'abaissement de la barrière de potentiel induit par le drain (Drain Induced Barrier Lowering ou DIBL). Pour s'en convaincre, il suffit de comparer le courant drain-source avec et sans DIBL pour une tension de seuil de  $50mV$  (figure II.24).

Le courant de sortie est donc maximisé pour des tensions de seuils supérieures à  $0,1V$ . A



**Figure II.23** – Evolution du courant drain-source sur une période du signal d'entrée avec  $V_{in} = 300mV$ ,  $W/L = 55,56$  et pour différentes valeurs de la tension de seuil  $V_{th}$

contrario, en accord avec l'équation I.16 :

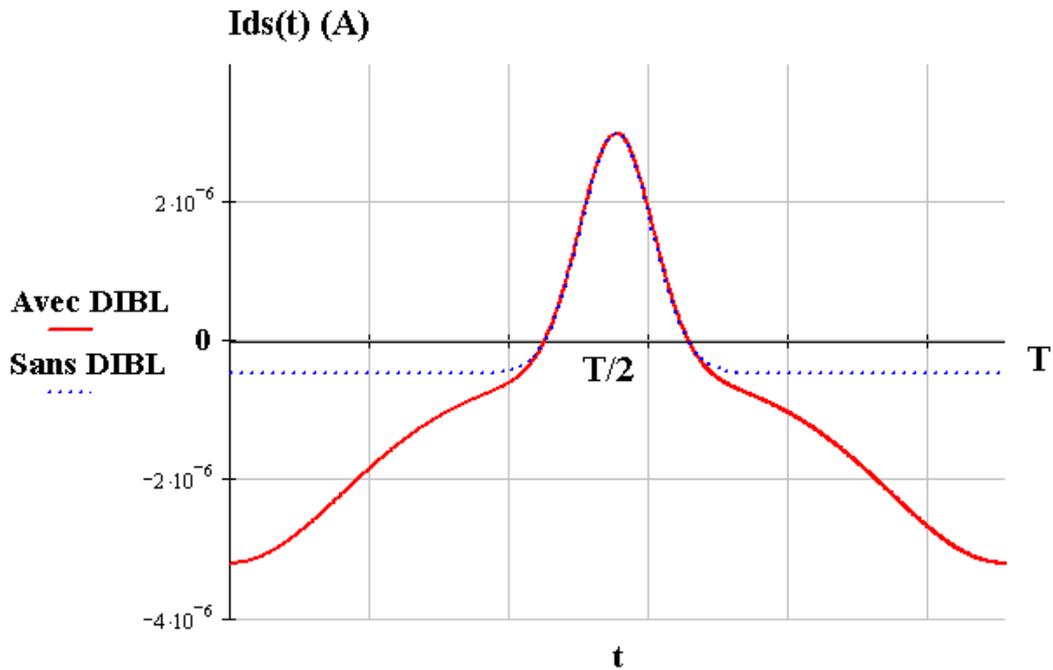
$$V_{out} = 2 \cdot N \cdot (V_{in} - V_{th}) \quad (\text{II.26})$$

La tension de sortie est maximisée lorsque la tension de seuil est la plus petite possible. Le meilleur rendement en puissance du multiplieur sera donc obtenu pour une tension de seuil proche de  $V_{th} = 0,1V$ , ce qui est d'ailleurs en accord avec les valeurs trouvées dans les articles [26] et [32]. La valeur de cette tension est due au la valeur du coefficient d'effet substrat  $n$  ainsi qu'à la valeur du coefficient de DIBL. Cette valeur peut donc varier selon la technologie utilisée.

## 4.2 Architecture proposée

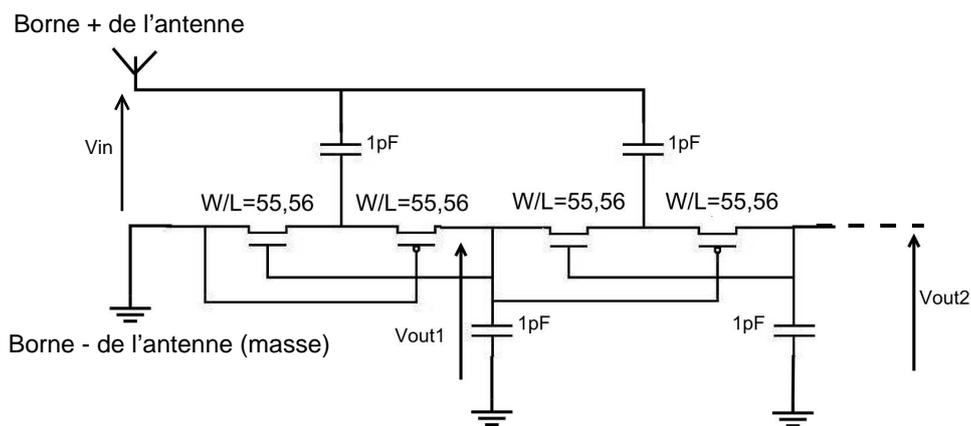
L'architecture qui est proposée à présent prend en compte les résultats théoriques précédents et les études faites antérieurement. Elle s'inspire principalement des références [33] et [34] vues au chapitre I en cherchant à utiliser leurs avantages tout en éliminant leurs inconvénients.

Comme cela a été évoqué dans le précédent chapitre, le multiplieur de l'article [34] ne peut se cascader simplement. En effet, dans le cas d'une superposition simple de deux étages (figure



**Figure II.24** – Comparaison entre courant drain-source en prenant en compte le phénomène de DIBL et sans le prendre en compte pour une tension de seuil de  $V_{th} = 50mV$  une amplitude d'entrée  $V_{in} = 300mV$  et un ratio  $W/L = 55,56$

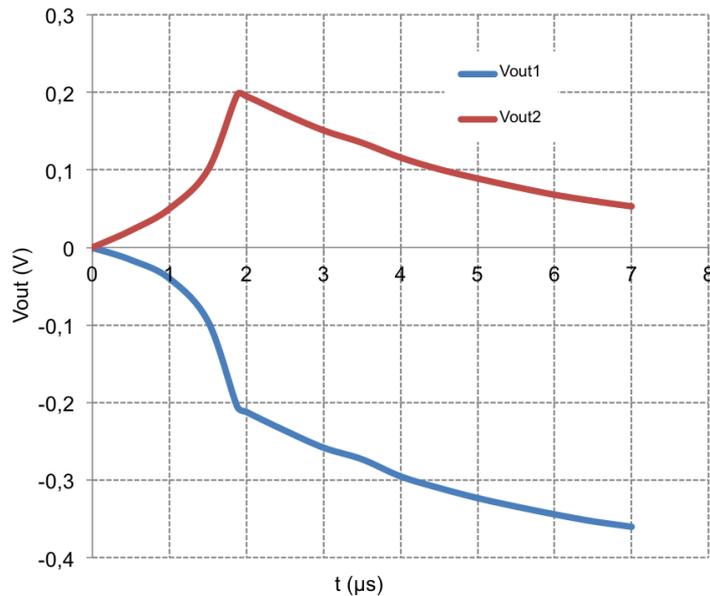
II.25), le deuxième étage va initialement "absorber" les charges disponibles en sortie du premier étage.



**Figure II.25** – Multiplieur CMOS à tension de seuil auto-annulée à 2 étages

Dans une structure classique, cela serait sans conséquence, mais dans ce cas précis, l'absorption de charge va légèrement diminuer la tension  $V_{out1}$  rendant ainsi le transistor PMOS

du second étage davantage passant et le transistor NMOS du premier étage davantage bloqué. Par conséquent, le déséquilibre ne pourra pas être rattrapé et il va même aller en s'accroissant (figure II.26).



**Figure II.26** – Evolution des tensions  $V_{out1}$  et  $V_{out2}$  du multiplieur à tension de seuil auto-annulée à 2 étages pour une tension d'entrée d'amplitude  $V_{in} = 300mV$  et une fréquence de  $900MHz$

En effet, étant plus passant, le PMOS du second étage va alors absorber plus de charges tandis que le NMOS du premier étage, de plus en plus bloqué, en fournit de moins en moins. Il y a alors effondrement de la tension  $V_{out1}$  ce qui empêche le multiplieur de fonctionner correctement et la tension  $V_{out2}$  de monter.

Pour contrer ce problème, il convient de contrôler la montée de chacun des étages en forçant leur fonctionnement. La montée du dernier étage s'effectue en premier, son entrée étant à la masse, puis la montée de l'avant-dernier et ainsi de suite jusqu'au premier. Il faut donc pouvoir faire basculer l'entrée de chaque étage entre la masse et la sortie de l'étage précédent.

La figure II.27 montre un exemple de contrôle des étages. Initialement, le dernier étage est référencé à la masse. Puis, lorsque sa tension de sortie est suffisamment élevée, les interrupteurs basculent pour ajouter la tension de sortie du premier étage.

Cette solution comporte néanmoins un inconvénient majeur, les interrupteurs devront être constitués de transistor, en l'occurrence, un transistor PMOS pour le référencement à la masse et un transistor NMOS sur la branche principale. Ce dernier transistor va générer d'importantes pertes, notamment à cause de la chute de tension  $V_{ds}$  qu'il y aura nécessairement lorsqu'il sera passant.

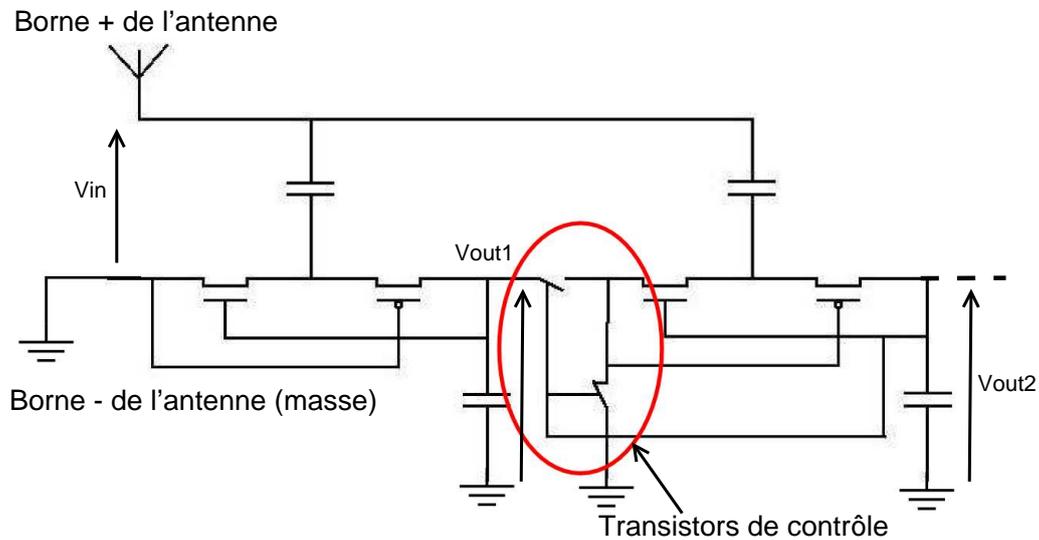


Figure II.27 – Multiplieur CMOS à tension de seuil auto-annulée à 2 étages contrôlés

Pour limiter un maximum les pertes, il faut le moins de composants possibles sur la branche principale du multiplieur. Cela implique qu'il n'est pas possible de contrôler directement la jonction entre l'entrée d'un étage  $n$  et la sortie d'un étage  $n-1$  sans déséquilibrer les polarisations des transistors.

Il faut donc revenir à structure plus classique avec des transistors montés en diode. Toutefois, pour pouvoir minimiser la tension de seuil des transistors, une polarisation supplémentaire sera ajoutée sur les grilles des transistors (figure II.28).

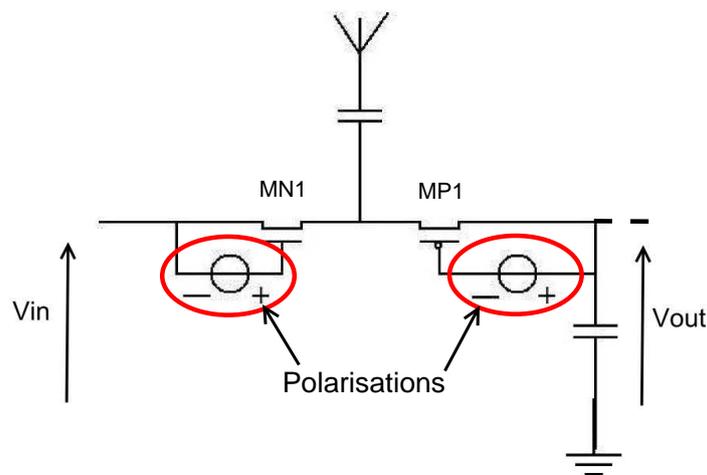


Figure II.28 – Un étage du multiplieur polarisé

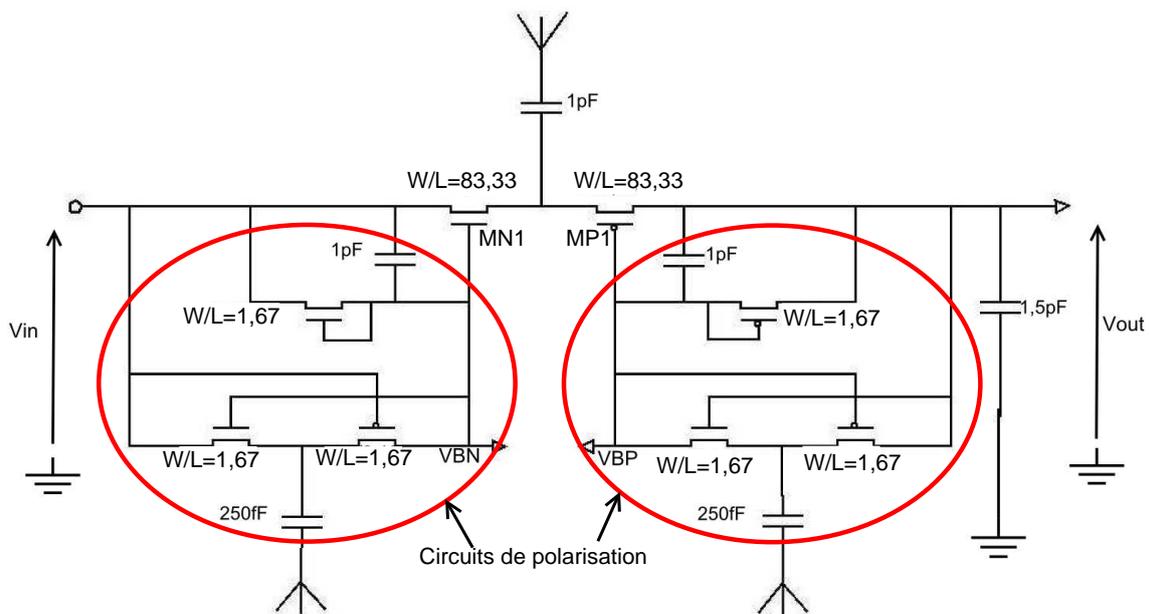
Cette nouvelle structure présente un double avantage. D'une part, le dernier transistor

## Chapitre II. Architectures de multiplieurs

PMOS ne sera pas directement impacté par la tension en entrée de l'étage, et d'autre part, il est dorénavant possible de contrôler indépendamment les tensions d'entrée et de sortie de l'étage d'une part et les tensions de grilles d'autre part. Il reste toutefois à trouver quelles sont les structures permettant de réaliser les polarisations.

Idéalement, il faudrait que les polarisations des grilles correspondent à celles obtenues avec l'architecture à tensions de seuil auto-annulées. Il faut alors que le potentiel de grille du transistor NMOS soit polarisé à une valeur proche de la tension à la sortie de l'étage et le potentiel de grille du transistor PMOS à une valeur proche de la tension en entrée de l'étage du multiplieur.

Le multiplieur à tension de seuil auto-annulée va être utilisé pour réaliser les polarisations. La figure II.29 montre un étage du multiplieur polarisé avec ses polarisations à base de multiplieur à tension de seuil auto-annulée.



**Figure II.29** – Un étage du multiplieur polarisé avec le détail de ses polarisations

La polarisation du transistor NMOS est réalisée à partir de l'entrée de l'étage par une structure à tension de seuil auto-annulée. Afin que la tension de sortie de la polarisation ne soit pas trop élevée, un transistor monté en diode va permettre de contrôler le potentiel  $V_{BN}$  de sorte que :

$$V_{BN} - V_{in} \leq V_{th} \quad (\text{II.27})$$

## II.4 POLARISATION DE TRANSISTORS

---

La polarisation du transistor PMOS se fait quant à elle à partir de la tension de sortie. Cette fois la structure à tension de seuil auto-annulée est disposée à l'envers afin de générer une tension négative par rapport à la tension de sortie de l'étage  $V_{out}$ . Ici encore, le potentiel de grille est contrôlé par une diode MOS de sorte que :

$$V_{BP} - V_{out} \leq V_{th} \quad (\text{II.28})$$

Les tailles des transistors dans les polarisations sont aux dimensions minimales de la technologie choisie, à savoir  $0,18\mu m$  EEPROM. De cette manière, le courant circulant dans les branches de polarisation est le plus faible possible et les pertes sont minimisées. De toute façon, étant donnée qu'il s'agit de polariser des grilles, il n'est pas nécessaire de faire passer beaucoup de courant dans ces branches.

La taille des capacités en sortie de polarisation est volontairement grande ( $1pF$ ) afin de lisser au maximum les tensions VBN et VPN, et minimiser les fluctuations de tensions sur les grilles des transistors.

La taille des transistors principaux ( $W/L = 83,33$ ) est obtenue par simulation. C'est la taille optimale pour qu'un courant moyen d'environ  $5\mu A$  circule dans la branche principale avec le meilleur rendement possible.

Pour empêcher la structure de se bloquer de la même façon que le multiplieur à tension de seuil auto-annulée, les potentiels d'entrée, de sortie et de polarisations de chaque étages sont contrôlés. Pour ne pas générer trop de pertes en incorporant le contrôle des étages, aucun transistor supplémentaire ne doit être disposé sur la branche principale de la structure. Les potentiels seront alors équilibrés en parallélisant temporairement les étages.

La figure II.30 montre une vue d'ensemble du multiplieur polarisé avec ses branches de contrôle.

Initialement, les derniers étages sont court-circuités par les transistors M1, M2 et M3. De même, les transistors NMOS sont tous mis au même potentiel via les transistors M4 et M5 et les transistors PMOS via les transistors M6 et M7.

Il ne s'agit pas ici de faire circuler un fort courant dans les branches de dérivation mais seulement d'équilibrer les tensions lors du démarrage de la structure. Aussi les tailles des transistors M1 à M7 sont au minimum technologique, c'est à dire  $W/L = 1,67$ .

Lorsque le potentiel V1 atteint la tension de seuil  $V_{th}$  des transistors, alors M1 se bloque de même que M3. Le second étage commence alors à fonctionner, se qui provoque le blocage de M5 et M7 rendant indépendantes les polarisations entre le premier et deuxième étage.

De même, le transistor M2 va progressivement se bloquer, libérant le dernier étage de la

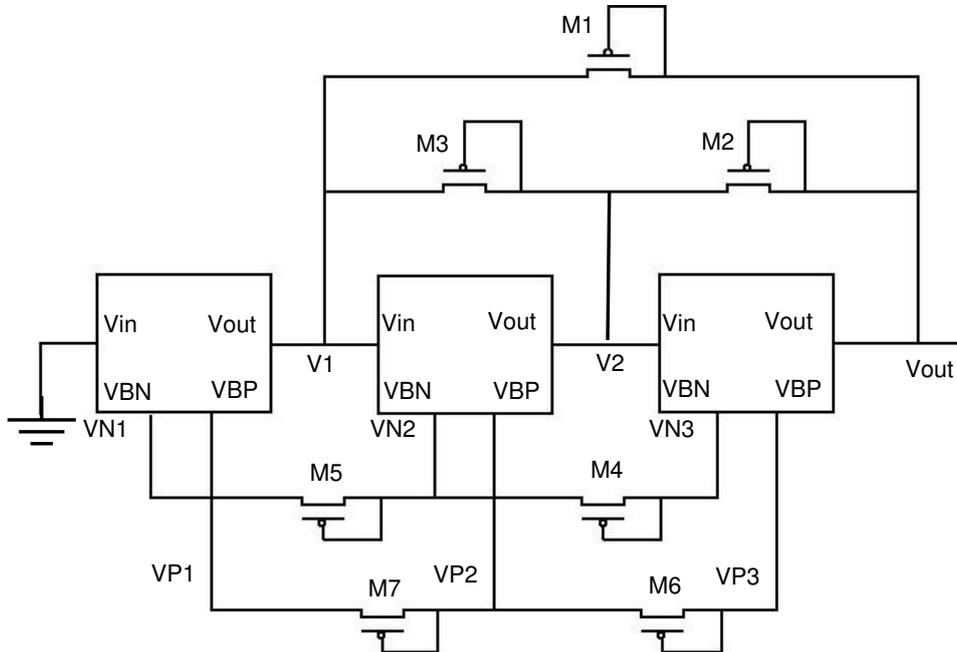


Figure II.30 – Multiplieur polarisé à 3 étages avec ses branches de contrôle

structure et les transistors M4 et M6 se bloqueront à leur tour.

La figure II.31 montre l'évolution des tensions en sortie d'étage et des tensions de polarisation lors du démarrage de la structure.

Pour résumer, les quatre transistors M4 à M7 garantissent la stabilité des polarisations, ainsi les tensions aux sorties ne peuvent pas s'effondrer, et les trois transistors M1 à M3 assurent l'ordre de démarrage qui évite de voir une tension en entrée d'étage supérieure à la tension en sortie.

Pour une puissance de sortie de  $5\mu W$ , une tension de sortie de  $1V$  et un signal d'entrée à une fréquence de  $900MHz$ , le tableau II.7 donne les caractéristiques simulées de cette structure.

	Multiplieur polarisé
Impédance d'entrée ( $Z$ )	$53 - j \cdot 533$
Facteur de qualité ( $Q$ )	10
Puissance absorbée par la structure ( $P_{in}$ )	$-19,5dBm$
Rendement en puissance de la structure ( $\eta$ )	45%

Tableau II.7 – Caractéristiques du multiplieur polarisé

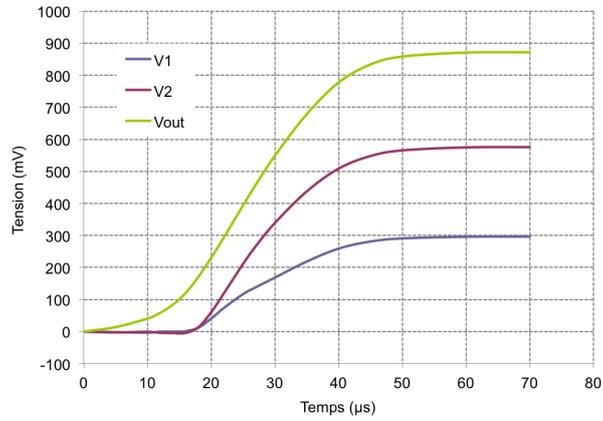
Il y a une forte amélioration du rendement par rapport aux structures sans polarisation évaluées dans les parties précédentes de ce chapitre. Il est intéressant de noter que ce dernier circuit, à transistor polarisé ne nécessite que trois étages pour obtenir une tension de sortie de

## II.4 POLARISATION DE TRANSISTORS

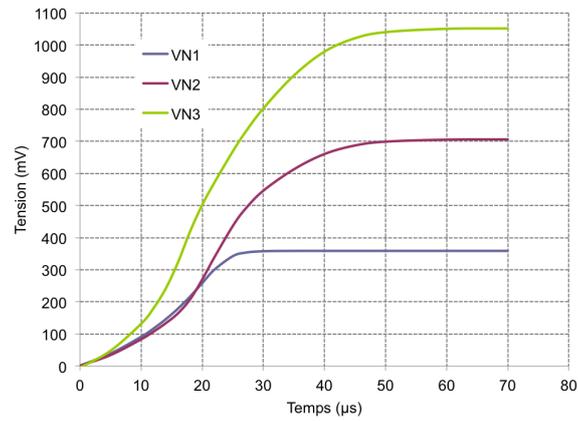
---

1V et une puissance de sortie de  $5\mu W$  alors que les précédentes demandaient quatre voire cinq étages, pour obtenir cette même tension de sortie. Nécessitant plus de transistors de grande surface (fort ratio  $W/L$ ), les premiers circuits présentent donc plus de pertes. Il est donc logique que leur rendement soit inférieur.

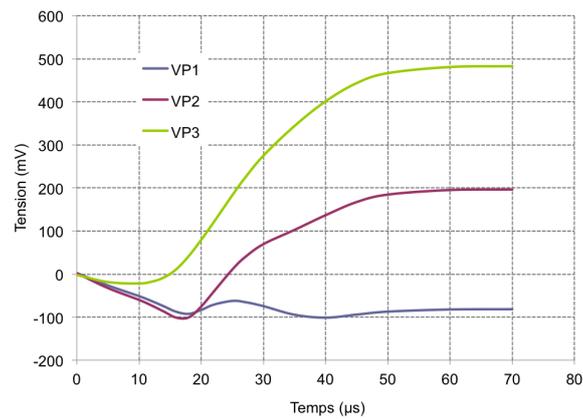
Un prototype de ce multiplieur est actuellement en cours de fabrication, les mesures permettront alors de valider les simulations de cette architecture.



(a)



(b)



(c)

**Figure II.31** – Evolution en fonction du temps des tensions en sortie d'étage (a), aux polarisations des transistors NMOS (b) et PMOS (c) pour une tension d'entrée d'amplitude  $350mV$  et une fréquence de  $900MHz$

## 5 RECTENNA

Pour obtenir des rendements encore plus important que ceux qui ont été vus précédemment, il va falloir changer profondément et appliquer, plus que jamais, le principe selon lequel moins ils y a de composants, moins il y a de pertes, meilleur est le système. L'idée, pour diminuer les pertes, est de générer une puissante résonance en entrée du circuit de récupération d'énergie afin de n'avoir qu'un seul étage. La résonance s'obtient facilement avec l'emploi d'inductance, toutefois, intégrer des inductances dans le silicium est irréaliste car leur encombrement serait alors beaucoup trop important. A titre d'exemple, une inductance d'environ  $1nH$  pour une fréquence de  $900MHz$  nécessiterai environ  $1mm^2$  de silicium. Les valeurs d'inductance utilisées par la suite vont être supérieure à  $30nH$ .

Pour pouvoir utiliser des inductances d'une telle valeur, il faut les "externaliser". C'est à dire que l'inductance ne sera pas faite sur silicium. Le concept de rectenna donne alors un bon exemple de ce qu'il est possible de faire. Le principe de la rectenna est d'intégrer dans l'antenne le convertisseur RF/DC. Une tension continue est ainsi directement obtenue. Plutôt utilisées à partir de  $2,4GHz$  [71] [72] pour limiter leur encombrement, les rectennas présentent généralement la structure montrée dans la figure II.32 [73] [74].



**Figure II.32** – Schéma bloc d'une rectenna

Toutefois, dans les articles précédemment cités, la récupération d'énergie à proprement parlé, à savoir l'ensemble "diode passe-bas", est conçu selon le modèle du multiplieur de Cockcroft-Walton déjà vu dans le chapitre I. Les inductances sont dédiées à l'adaptation d'impédance éventuelle et à la création du filtre passe-bande [71, 72, 75, 76].

Au contraire, il est proposé ici non seulement de ramener la structure à un unique étage, mais aussi de supprimer un transistor à chaque fois que cela semble possible. Ainsi, la diode du redresseur du montage classique (figure I.7) est remplacée par une inductance afin de former un filtre passe-bas. Cette inductance forme par ailleurs un circuit passe-haut résonant avec la capacité de l'élévateur, la diode continuant à jouer son rôle d'élévation de tension (figure II.33).

L'étude de ce système dans son ensemble est relativement compliquée, notamment car la fonction de transfert n'est pas simple à trouver et mène vers un filtre d'ordre 3 dont il est difficile de trouver analytiquement les expressions exactes de la fréquence de résonance et du facteur de qualité. Toutefois, lorsque  $C_2 \gg C_1$ , ce qui est le cas ici, car la capacité  $C_2$  est une capacité de

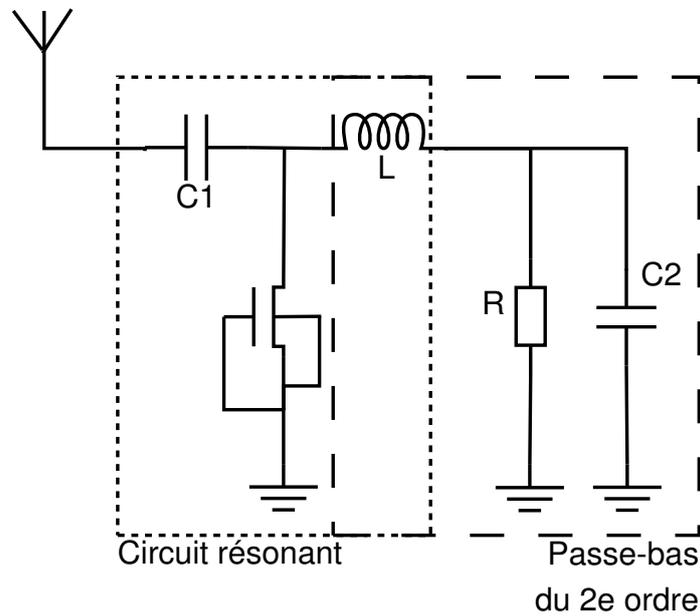


Figure II.33 – Schéma bloc de la solution proposée

stockage choisie aussi grande que possible et  $C_1$  une capacité de filtrage généralement choisie aussi faible que possible, alors la capacité de stockage  $C_2$  sera "vue" comme un fil par le circuit résonnant. Cela permet de déterminer la fréquence de résonance et le facteur de qualité du système en l'assimilant à la fréquence de résonance et au facteur de qualité du filtre passe-haut. Pour déterminer la fonction de transfert de ce filtre (figure II.34) la diode MOS est assimilée à sa résistance de perte  $R_{MOS}$ .

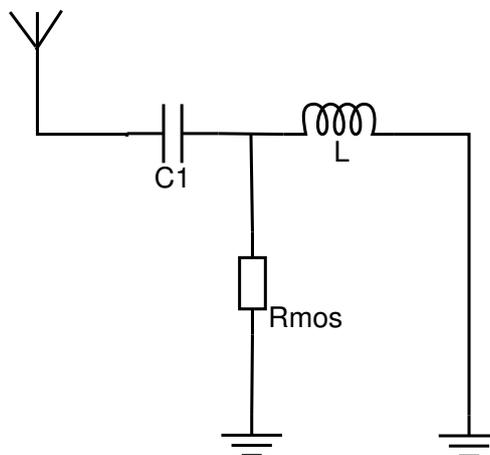


Figure II.34 – Filtre passe-haut résultant de la simplification pour l'étude de la résonance

La fonction de transfert est :

$$H = \frac{-L \cdot C_1 \cdot \omega^2}{1 - L \cdot C_1 \cdot \omega^2 + j \cdot \frac{L}{R} \cdot \omega} \quad (\text{II.29})$$

La fréquence de résonance est donc :

$$f_0 = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot C_1}} \quad (\text{II.30})$$

Et le facteur de qualité :

$$Q = R_{MOS} \cdot \sqrt{\frac{C_1}{L}} \quad (\text{II.31})$$

Attention, cela ne veut pas dire que le système dans son ensemble se comportera comme un passe-haut. Il s'agit là uniquement d'une méthode permettant de déterminer rapidement, et sans étudier la fonction de transfert globale, les caractéristiques principales du système.

Ainsi, en prenant des valeurs usuelles pour les composants du système, à savoir :

- $C_1 = 1pF$
- $C_2 = 100pF$
- $R = 200k\Omega$
- $W/L = 16,67$  pour les dimensions du transistor soit  $R_{MOS} \approx 70k\Omega$  (valeur cohérente avec celles qui ont été vues à la première section du présent chapitre)

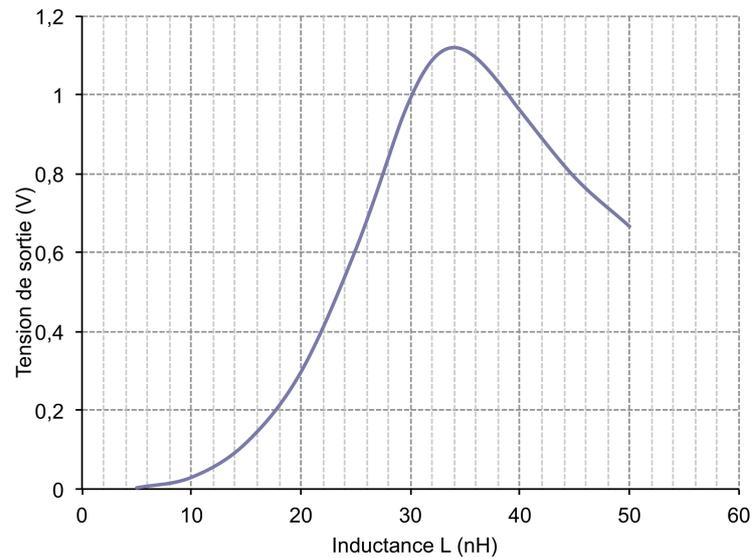
Alors, conformément à la figure II.35, l'évolution de la tension de sortie du montage  $V_{DD}$  en fonction de la valeur de l'inductance va permettre de déterminer la résonance.

La valeur optimale de l'inductance obtenue par simulation est de  $34nH$  environ. L'équation II.30 donne quant à elle une valeur d'inductance de  $31nH$  pour obtenir la résonance.

Si ces valeurs sont choisies pour constituer le nouveau récupérateur d'énergie, alors ses caractéristiques seront les suivantes (tableau II.8).

Le rendement de la structure est très intéressant, cependant son facteur de qualité et son impédance d'entrée vont rendre l'adaptation d'impédance réellement difficile. En effet, à cause du facteur de qualité, la précision exigée dans la fabrication et dans l'assemblage de l'antenne devra être extrême. De plus, la valeur de la résistance série imposée implique d'obtenir une antenne dont les pertes seraient pour ainsi dire nulle et la résistance de rayonnement d'une valeur très faible et très précise.

Pour diminuer le facteur de qualité tout en gardant la même fréquence de résonance, confor-



**Figure II.35** – Evolution de la tension de sortie de la rectenna étudiée en fonction de la valeur de l'inductance à 900MHz

	rectenna 1
$C_1$	1pF
$L$	31nH
Impédance d'entrée (Z)	$0,238 - j \cdot 2,815$
Facteur de qualité (Q)	400
Puissance absorbée par la structure ( $P_{in}$ )	-21,7dBm
Rendement en puissance de la structure ( $\eta$ )	74%

**Tableau II.8** – Caractéristiques de la première structure de rectenna

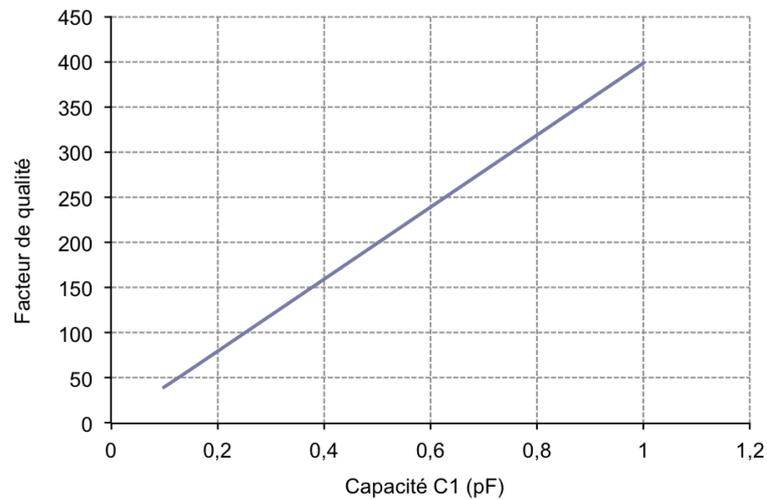
mément aux équations II.30 et II.31, il faut diminuer le ratio  $C_1/L$  tout en maintenant le produit  $L \cdot C_1$  constant. Cela implique donc d'avoir :

$$L = \frac{1}{4 \cdot \pi \cdot f^2 \cdot C_1} \tag{II.32}$$

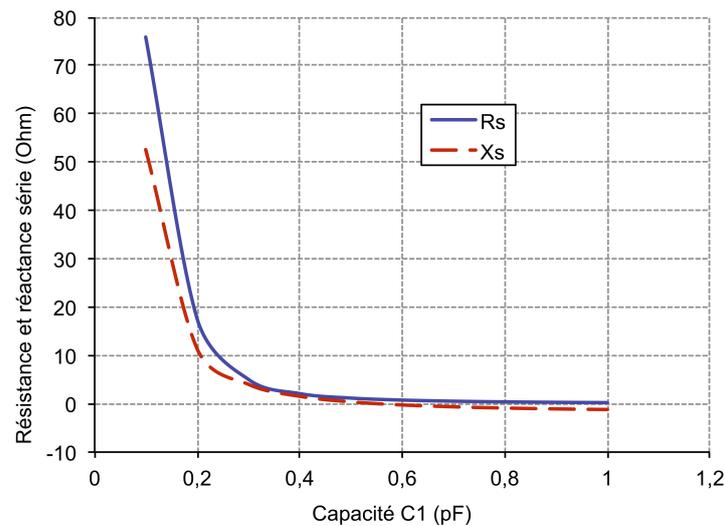
$$Q = 2 \cdot \pi f \cdot R_{MOS} \cdot C_1 \tag{II.33}$$

Les figures II.36 et II.37 montrent respectivement l'évolution du facteur de qualité et de l'impédance de la structure en fonction de la valeur de  $C_1$ , le produit  $L \cdot C_1$  restant constant.

Plus la valeur de la capacité sera faible, plus le facteur de qualité sera raisonnable et plus il sera facile de concevoir une antenne adaptée au système. En revanche, cela implique une augmentation significative de l'inductance. La nouvelle valeur choisie pour  $C_1$  est de  $200fF$ .



**Figure II.36** – Evolution du facteur de qualité en fonction de la capacité  $C_1$ , pour une fréquence de résonance constante de  $900MHz$



**Figure II.37** – Evolution des parties réelle et imaginaire de l'impédance d'entrée du système en fonction de la capacité  $C_1$ , pour une fréquence de résonance constante de  $900MHz$

Cela permet de limiter le facteur de qualité et de remonter raisonnablement la partie réelle de l'impédance. Une capacité intégrée en silicium peut être diminuée jusqu'à des valeurs de l'ordre de la centaine de femto Farad voire la dizaine de femto Farad, mais la valeur de  $C_1$  a été limitée à  $200fF$  pour plusieurs raisons. D'abord, pour limiter l'augmentation de la valeur de l'inductance, ensuite, parce que, dans le cadre d'un système réel, il faut également considérer les capacités de PAD qui sont justement d'environ  $100fF$ , et dont l'une d'entre elle va venir s'ajouter à la capacité d'entrée  $C_1$ .

## Chapitre II. Architectures de multiplieurs

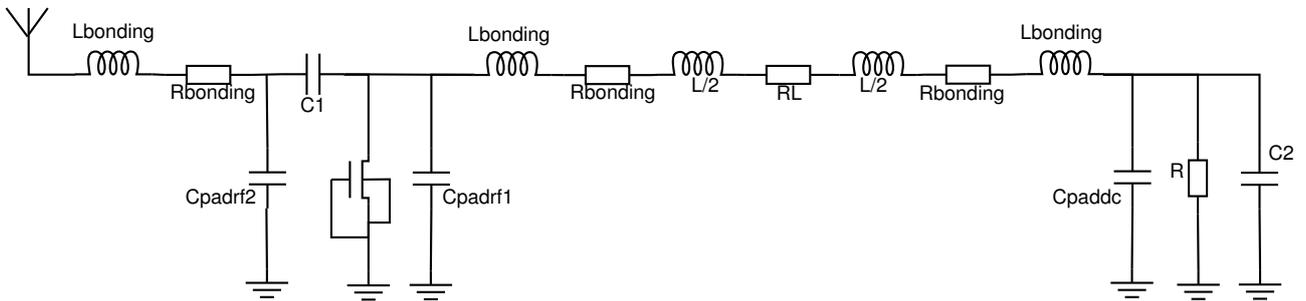
Les nouvelles caractéristiques de la rectenna sont alors :

	rectenna 2
$C_1$	200fF sans capacité de PAD
$L$	156nH
Impédance d'entrée (Z)	$6,26 + j \cdot 9,079$
Facteur de qualité (Q)	80
Puissance absorbée par la structure ( $P_{in}$ )	-21,7dBm
Rendement en puissance de la structure ( $\eta$ )	74%

**Tableau II.9** – Caractéristiques de la seconde structure de rectenna

Il est intéressant de constater que le facteur de qualité a été baissé, que l'impédance est plus convenable, et que le rendement n'a par contre pas chuté.

En conditions réelles, il faut considérer l'ensemble des éléments parasites qui interviennent dans le montage, à savoir, les résistances et les inductances de bonding, les capacités de PAD et la résistance interne de l'inductance. Cela conduit alors au schéma de la figure II.38.



**Figure II.38** – Schéma de la rectenna incluant les parasites

La fréquence de résonance est alors de la forme :

$$f_0 \simeq \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot (C_1 + C_{Padrf1})}} \quad (\text{II.34})$$

Pour une capacité  $C_1 = 200fF$  et  $C_{padrf1} = 100fF$ , l'équation II.34 donne une inductance  $L_1$ , pour obtenir une fréquence de résonance de 900MHz, de 104nH. La simulation électrique (figure II.39), donne une inductance de 100nH ce qui donne 102nH environ après l'ajout des fils de bonding.

En intégrant les pertes, la simulation donne cette fois les résultats suivants (rectenna 3) comparée aux résultats précédents :

Les résistances de bonding impactent fortement le rendement du montage. Pour pouvoir

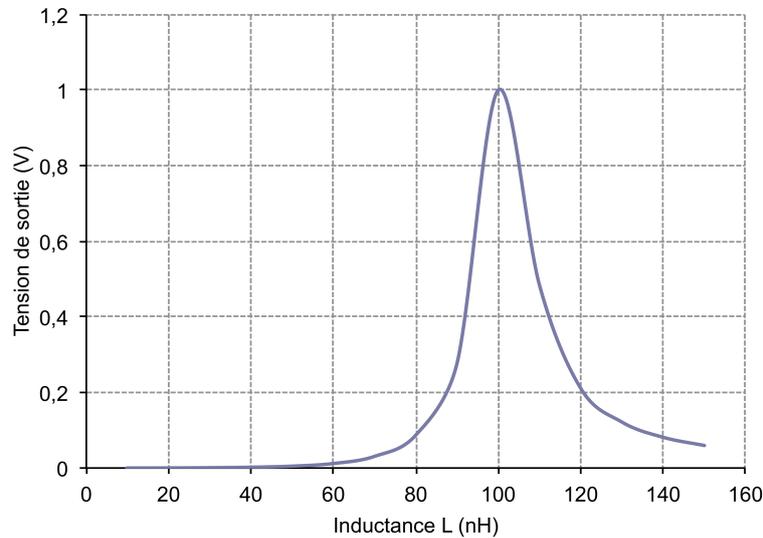


Figure II.39 – Variation de la tension de sortie en fonction de la valeur de l’inductance

	rectenna 1	rectenna 2	rectenna 3
$C_1$	$1pF$	$200fF$	$200fF$ sans capacité de PAD
$C_{pdrf1}$			$100fF$
$L$	$31nH$	$156nH$	$100nH$
$L_{bonding}$			$1nH$
$R_{bonding}$			$1,5\Omega$
$R_L$			$1m\Omega$
$Z$	$0,238 - j \cdot 2,815$	$6,26 + j \cdot 9,079$	$13,87 - j \cdot 14,36$
$Q$	400	80	53
$P_{in}$	$-21,7dBm$	$-21,7dBm$	$-17,87dBm$
$\eta$	74%	74%	31%

Tableau II.10 – Récapitulatif des caractéristiques de chaque rectenna

solutionner ce problème, il faudrait pouvoir augmenter encore davantage la partie réelle de la structure sans pertes mais cela impliquerait de d’augmenter encore plus la taille de l’inductance.

Il reste encore un grand travail de recherche à effectuer sur ce système. Il faudrait voir, par exemple, s’il n’est pas possible d’insérer un inverseur d’admittance [37] dans le circuit pour diminuer la taille de l’inductance. Ou encore tenter de synthétiser un filtre de Tchebychev réalisant la même fonction que les rectennas étudiées précédemment, l’ondulation du filtre étant vue cette fois comme un paramètre que l’on cherche à favoriser et non comme un inconvénient.

Des circuits de rectennas ont été réalisés, il reste encore à positionner l’inductance externe pour procéder aux mesures de la structure.

# 6 DOUBLE MULTIPLIEUR

Une fois l'architecture de multiplieur optimale choisie, il reste encore possible d'améliorer la distance de lecture de l'étiquette RFID passive. La communication en retour entre le tag et le lecteur se base sur la réflexion d'une partie de l'énergie incidente. Ce système de réflexion s'appelle la rétro-modulation. Cela a pour avantage de simplifier le système de communication du tag, mais aussi pour principal inconvénient de nuire à l'approvisionnement en énergie de la puce puisqu'une partie de cette énergie est réfléchi afin de transmettre de l'information. Il s'agit à présent de minimiser l'impact de la rétro-modulation sur la récupération d'énergie tout en conservant la visibilité de la réponse côté lecteur.

Il existe de nombreuses études concernant les optimisations de rétro-modulation, et elles seront davantage détaillées dans le chapitre III. Pour le moment, le présent chapitre se focalisant sur les multiplieurs, il est présenté une structure gravitant autour de ceux-ci. Les améliorations du bloc de rétro-modulation en lui-même seront abordées, quant à elles, dans le prochain chapitre.

La solution présentée ici consiste à continuer à alimenter le système même lorsque la rétro-modulation est activée. Pour ce faire, une architecture avec de multiples entrées est proposée. Ce type d'architecture a déjà été étudié dans l'article [77], et certaines puces RFID UHF passives utilisent déjà une architecture à entrées multiples [78]. Toutefois, dans les références su-citées, il s'agit avant tout de rendre le système omnidirectionnel, mais pas spécialement d'améliorer la télé-alimentation pendant la phase de rétro-modulation.

## 6.1 Les limitations du système à un port d'entrée/sortie

D'une manière générale, pour pouvoir fonctionner, un système nécessite une puissance d'entrée minimale notée  $P_{min}$ . Dans le cadre d'une puce RFID passive, une manière très simple de rétro-moduler consiste à court-circuiter les plots d'antenne (entrée/sortie de la puce), ce qui modifie grandement l'impédance de la puce et augmente la puissance réfléchi (tout les détails du bilan de puissance à l'interface puce/antenne se trouvent au début du chapitre III). Toutefois, le protocole de communication imposant un rapport cyclique de 0,5 pour la rétro-modulation, cela a pour inconvénient de stopper tout approvisionnement en énergie pendant la moitié du temps lorsque le tag envoie sa réponse au lecteur.

Ainsi, pendant une réponse, la puissance nécessaire au fonctionnement de la puce  $P_r$  est

telle que :

$$P_{out} = \eta_{min} \cdot P_{min} = \eta_r \cdot \frac{P_r}{2} \quad (\text{II.35})$$

$$P_r = 2 \cdot \frac{\eta_{min}}{\eta_r} \cdot P_{min} \quad (\text{II.36})$$

Avec  $\eta_{min}$  et  $\eta_r$  les rendements du multiplieur pour les puissances d'entrées  $P_{min}$  et  $P_r$ . Pour rappel,  $P_{out}$  est la puissance consommée en sortie du multiplieur. Par conséquent, selon l'équation de Friis [16] déjà évoquée au chapitre I, la distance de lecture est réduite d'un facteur  $1/\sqrt{2 \cdot \eta_{min}/\eta_r}$  lorsque le système répond. Les rendements  $\eta_{min}$  et  $\eta_r$  étant relativement proches, ce facteur est de l'ordre de 0,7, ce qui représente donc une diminution de la distance de télé-alimentation d'environ 30%.

Une réponse du tag peut durer plus d'une seconde. Pendant cet intervalle de temps, la puce consomme plus de  $1\mu A$  de courant ( $5\mu A$  en moyenne et jusqu'à plus de  $20\mu A$  lors de pics de consommation). Si il est choisi de placer une capacité de stockage en sortie du multiplieur pour que la puce puisse être approvisionnée sans risque de coupure énergétique durant la réponse, en supposant que la chute de tension maximale qu'il est possible d'admettre dans la puce fait passer la tension d'alimentation de  $1,5V$  à  $1V$ , alors la valeur de la capacité doit être de :

$$C = \frac{i}{\Delta U} \cdot \Delta t = \frac{1 \cdot 10^{-6}}{0,5} \cdot 1 = 2\mu F \quad (\text{II.37})$$

Intégrer une capacité de type MOS de cet ordre de grandeur dans une technologie CMOS telle que la  $0,18\mu m$  nécessite plus de  $90mm^2$  de silicium. La taille totale d'une puce RFID UHF passive est généralement l'ordre de  $1mm^2$  voire inférieure, de ce fait, même si la capacité est cent fois plus petite, cela reste trop encombrant pour pouvoir être intégré dans une puce. Par conséquent le tag ne peut pas stocker toute la puissance dont il a besoin pour communiquer.

## 6.2 Solution à double ports

La solution proposée pour solutionner ce problème consiste en une puce contenant deux multiplieurs reliés à deux antennes et dont seul un port sur les deux peut rétro-moduler, le second étant uniquement dédié à la télé-alimentation (figure II.40). Ainsi la rétro-modulation n'affecte en théorie que la moitié de la puissance incidente.

Pour simplifier l'étude, il est considéré dans un premier temps que la puissance reçue par l'ensemble de la double antenne est égale à la puissance de l'antenne simple (c'est à dire que le

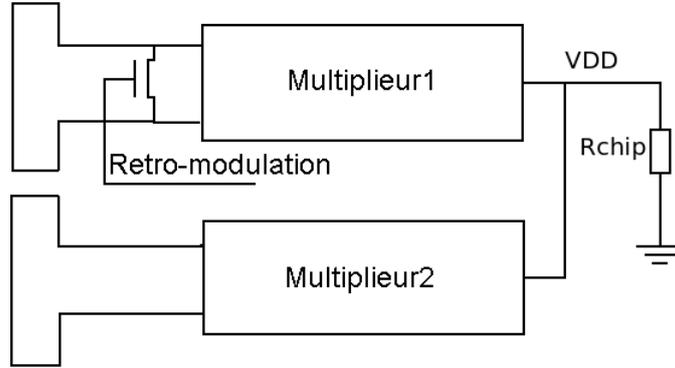


Figure II.40 – Schéma bloc du convertisseur RF/DC à deux ports

gain de la double antenne et le gain de la simple antenne sont identiques). Avec cette hypothèse, la puissance reçue par chacune des entrées du système à deux ports est :

$$P_{multiplieur1,2} = \frac{1}{2} \cdot P_r \quad (\text{II.38})$$

Pendant la rétro-modulation, la puissance absorbée par la puce est la moyenne des puissances provenant de chaque multiplieur, ce qui donne :

$$\eta_{min} \cdot P_{min} = \eta_1 \cdot \frac{P_{multiplieur1}}{2} + \eta_2 \cdot P_{multiplieur2} \quad (\text{II.39})$$

Soit, si  $\eta_1 = \eta_2 = \eta_{1,2}$  :

$$\eta_{min} \cdot P_{min} = \frac{3 \cdot \eta_{1,2}}{4} \cdot P_r \quad (\text{II.40})$$

$$P_r = \frac{4}{3} \cdot \frac{\eta_{min}}{\eta_{1,2}} \cdot P_{min} \quad (\text{II.41})$$

A partir des équations II.36 et II.41, il est possible de constater que pour que le système multi-ports soit plus intéressant que le système à un port, il faut que la condition suivante soit respectée [79] :

$$\eta_{1,2} \geq \frac{2}{3} \cdot \eta_r \quad (\text{II.42})$$

Des structures de test ont donc été développées afin de savoir si cette condition est respectée et si la solution choisie améliore réellement la portée du tag.

### 6.3 Validation par la mesure

Les structures de test ont été réalisées en technologie  $0,18\mu m$  CMOS EEPROM. Il y a deux circuits, le premier est constitué de deux multiplieurs identiques et d'un bloc de rétro-modulation connecté que sur un seul des deux récupérateurs d'énergie. La figure II.41 montre une photo de ce circuit avec l'emplacement des plots d'entrées/sorties. Le second circuit est une structure témoin possédant un unique multiplieur identique aux précédents et un bloc de rétro-modulation. Sur les deux structures, les entrées/sorties sont composées des plots RF pour le branchement de l'antenne, d'une entrée pour la commande de rétro-modulation, et d'une sortie pour l'observation de l'évolution de la tension d'alimentation.

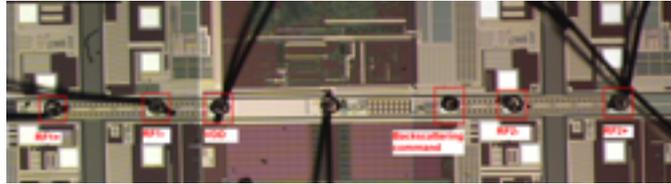


Figure II.41 – Photographie de la structure double ports

Afin de déterminer leurs impédances respectives, chaque puce a été mesurée sous pointes, à 915MHz, à l'aide d'un analyseur de réseau. Ces mesures sont réalisées dans un premier temps avec une rétro-modulation désactivée, c'est à dire que l'entrée de rétro-modulation est forcée à la masse du circuit. La sortie  $V_{DD}$  est chargée avec une résistance de  $200k\Omega$  afin d'avoir une consommation de  $6\mu W$  pour une tension d'alimentation minimale de  $1,1V$ . Une fois la puissance d'entrée minimale et l'impédance hors-rétro-modulation connue pour  $V_{DD} = 1,1V$ , la rétro-modulation est activée (tension continue de  $1,1V$  appliquée sur la commande de rétro-modulation) et les impédances sont mesurées à nouveau. Le tableau II.11 donne l'ensemble des valeurs des impédances.

	Structure simple port	Structure double ports	
		Multiplieur 1	Multiplieur 2
Impédance hors rétro-modulation	$23 - j \cdot 131$	$20 - j \cdot 133$	$23 - j \cdot 176$
Impédance avec rétro-modulation	$35 - j \cdot 68$	$37 - j \cdot 69$	$24 - j \cdot 176$
Puissance d'entrée	$-11,49dBm$	$-10,73dBm$	

Tableau II.11 – Mesures des puissances d'entrées pour une tension de sortie de  $1,1V$  et de leurs impédances respectives

A partir des valeurs présentes dans le tableau, il est possible d'en conclure que les rendements des structures mono-multiplieur et bi-multiplieur, hors rétro-modulation, pour une puissance

## Chapitre II. Architectures de multiplieurs

---

consommée de  $6\mu W$ , sont respectivement :

$$\eta_{mono} = 8,46\% \quad (\text{II.43})$$

$$\eta_{bi} = 7,10\% \quad (\text{II.44})$$

Ces valeurs respectent bien la condition II.42.

L'extraction des impédances va servir à caractériser la rétro-modulation. En effet, comme cela sera démontré dans le chapitre suivant, les puissances, transmise à la puce et re-rayonnée par l'antenne, sont fonction des impédances de la puce et de l'antenne. Si l'impédance de l'une est le conjugué de l'impédance de l'autre, alors un maximum de puissance est transférée à la puce. Dans un cas général, il faut essayer d'être le plus proche possible de ce point dit d'adaptation parfaite. En revanche, lors de la rétro-modulation, il faut au contraire essayer de maximiser l'écart entre l'impédance de l'antenne et l'impédance de la puce afin de maximiser les variations du signal re-rayonné. C'est la raison pour laquelle une manière simple de faire de la rétro-modulation est de court-circuiter l'entrée de la puce.

En situation réelle, le tag RFID est alimenté à distance par un lecteur, la puissance disponible en sortie du bloc de récupération d'énergie s'exprime donc à partir de l'équation de Friis dans les conditions optimales de polarisation et de directivité :

$$P_{OUT} = \eta \cdot (1 - |\Gamma^*|^2) \cdot G_{TAG} \cdot G_{lecteur} \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \cdot P_{lecteur} \quad (\text{II.45})$$

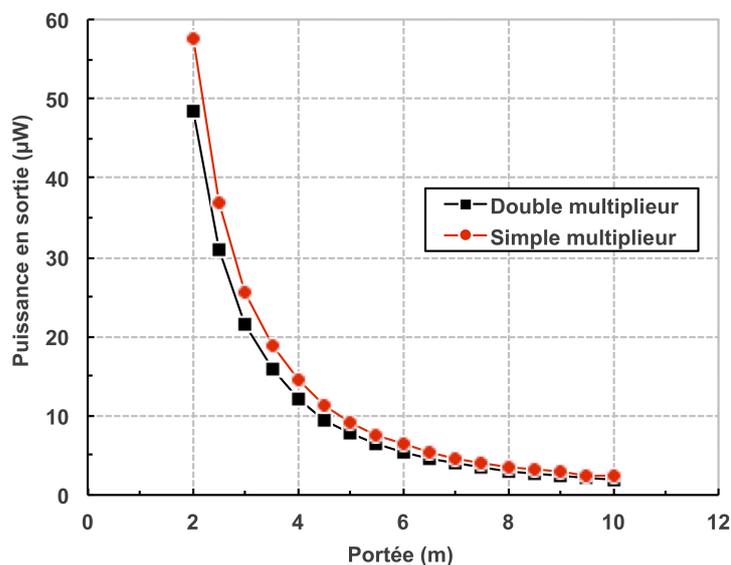
Si  $|\Gamma^*| = 0$  alors le système est parfaitement adapté. Plus  $|\Gamma^*|$  est grand, plus le système est désadapté.

La puissance isotrope rayonnée équivalente (EIRP) au niveau du lecteur est typiquement de  $4W$ . C'est à dire :

$$G_{lecteur} \cdot P_{lecteur} = 4W \quad (\text{II.46})$$

Dans ces conditions, en supposant que le gain de l'antenne utilisée pour chacune des structures est le même et égal à un (antenne isotrope), l'évolution de la puissance disponible en sortie de multiplieur peut être calculée, pour chaque structure, en fonction de la distance lecteur-tag à partir des rendements obtenus dans les équations II.43 et II.44. Cette puissance est décrite par le graphe de la figure II.42.

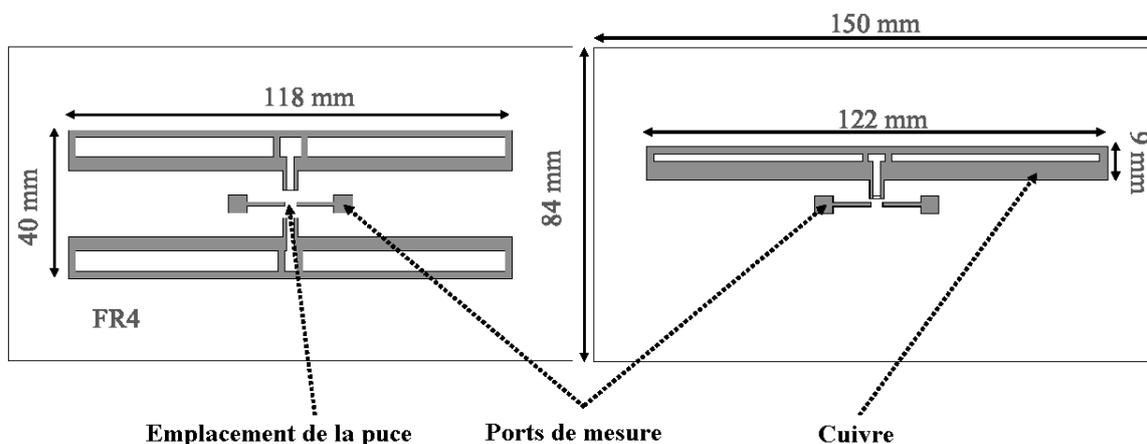
Pour le moment, aucun effet bénéfique dû au double multiplieur n'est observé, au contraire



**Figure II.42** – Puissances de sortie calculées en fonction de la distance lecteur-tag, rétro-modulation désactivée, à 915 MHz, avec une adaptation parfaite et des gains de 1 dBi

son rendement semble plutôt l’handicaper.

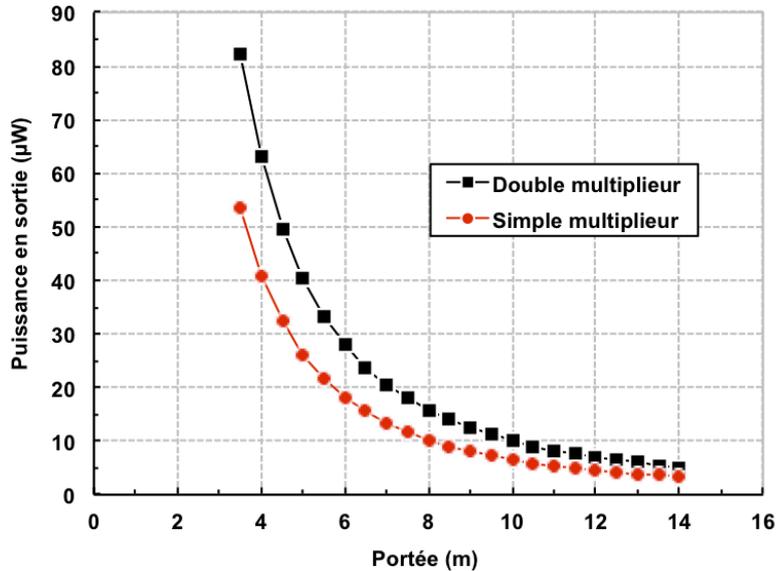
En réalité, les gains des antennes utilisées pour chacune des structures sont bien différents. Deux antennes spécifiques ont été développées pour tester les structures (figure II.43). Le substrat utilisé pour les fabriquer est de l’époxy FR4 d’une épaisseur de 0,8mm et une permittivité relative de 4,4. La simulation de ces antennes sous HFSS donne, à 915MHz des gains de 2,4dBi pour l’antenne dipole simple et de 5,03dBi.



**Figure II.43** – Antennes de tag RFID pour la configuration double et simple ports

## Chapitre II. Architectures de multiplieurs

En réutilisant l'équation II.45 avec ces nouveaux gains, la nouvelle puissance de sortie calculée est visible sur la figure II.44.



**Figure II.44** – Puissances de sortie calculées en fonction de la distance lecteur-tag, rétro-modulation désactivée, à 915 MHz, avec une adaptation parfaite et des conditions de gains réels

Cette fois, grâce au gain de la double antenne, la structure doublée est plus intéressante du point de vue de la télé-alimentation. Sa portée maximale est alors proche des 13 mètres contre environ 11 mètres pour le dipôle simple.

Les impédances de la mono et de la double antenne sont choisies au plus proche du conjugué des impédances des puces. Toutefois, il est très difficile d'obtenir l'adaptation parfaite. L'impédance de la mono-antenne est de :

$$Z_{Amono} = 20 + j \cdot 190 \quad (\text{II.47})$$

Et les impédances de la double-antenne sont de :

$$Z_{Abi1} = 20 + j \cdot 130 \quad (\text{II.48})$$

$$Z_{Abi2} = 20 + j \cdot 170 \quad (\text{II.49})$$

Ce à quoi il faut encore ajouter environ  $2nH$  par fil de bonding pour le calcul d'une adaptation proche de la réalité. Cela permet de calculer la puissance consommée en sortie de multiplieur

en fonction de la distance entre le lecteur et le tag dans les conditions réelles de mesure (figure II.47).

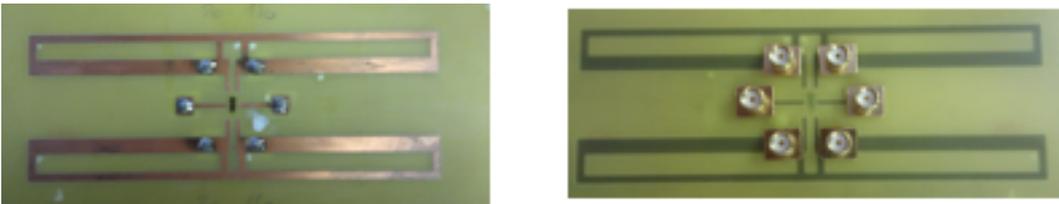
Le comportement de la puce pendant la rétro-modulation est quant à lui difficile à approximer, c'est la raison pour laquelle des mesures en chambre anéchoïque sont menées pour chacun des tags. Les structures sont placées successivement dans la chambre, à une distance de un mètre de l'antenne d'émission. Les tags sont orientés de façon à ce qu'ils soient placés dans les meilleures conditions de polarisation et de directivité. Un générateur de signaux couplé à un amplificateur  $+45dB$  est connecté à l'antenne d'émission. Le gain de cette antenne d'émission est de  $2,13dBi$  à  $915MHz$ , les pertes dans les câbles RF entre le générateur et l'antenne ont été mesurées et sont de  $4,1dB$ . L'adaptation côté antenne d'émission est considérée comme étant parfaite.

Pendant la mesure, l'antenne d'émission délivre une onde non modulée. La puissance qu'elle admet à ses bornes peut varier entre  $15dBm$  et  $30dBm$  afin de représenter les différentes distances théoriques entre lecteur et tag. En effet, grâce à l'équation de Friis (équation II.45), il est possible de lier une variation de puissance émise ( $P_{var}$ ) à une variation de distance ( $R_{var}$ ) :

$$R_{var} = \sqrt{\frac{P_{cst}}{P_{var}}} \cdot R_{cst} \quad (II.50)$$

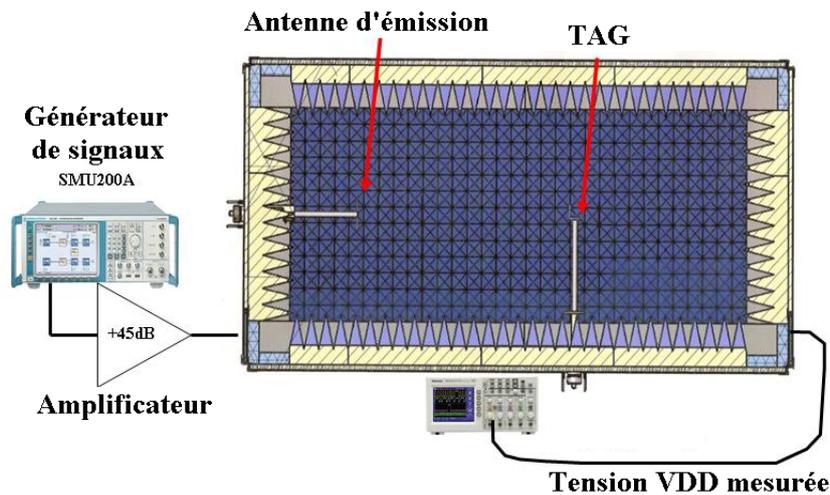
Avec  $R_{cst} = 1$  mètre pour une puissance variable et  $P_{cst} = \frac{4}{G_{lecteur}}$  pour  $4W$  EIRP avec une distance variable. Ainsi, chaque puissance est associée à une distance équivalente, ce qui évite de déplacement le tag dans la chambre pour chaque mesure, ce qui est long, fastidieux et de toute façon irréaliste puisque la chambre utilisée ne mesure pas plus de 2 mètres.

Le port  $V_{DD}$  des structures est relié via un connecteur SMA (figure II.45) à une résistance de  $250k\Omega$  et à un oscilloscope d'impédance d'entrée  $1M\Omega$ . De même la commande de rétro-modulation est relié via un connecteur SMA à une alimentation délivrant  $0V$  ou  $1,1V$  selon la mesure effectuée. La figure II.46 montre une représentation schématique de l'expérience.



**Figure II.45** – Vue des deux faces du tag double dipôle munie de ses connecteurs SMA

La première série de mesures est effectuée à  $915MHz$  avec la commande de rétro-modulation

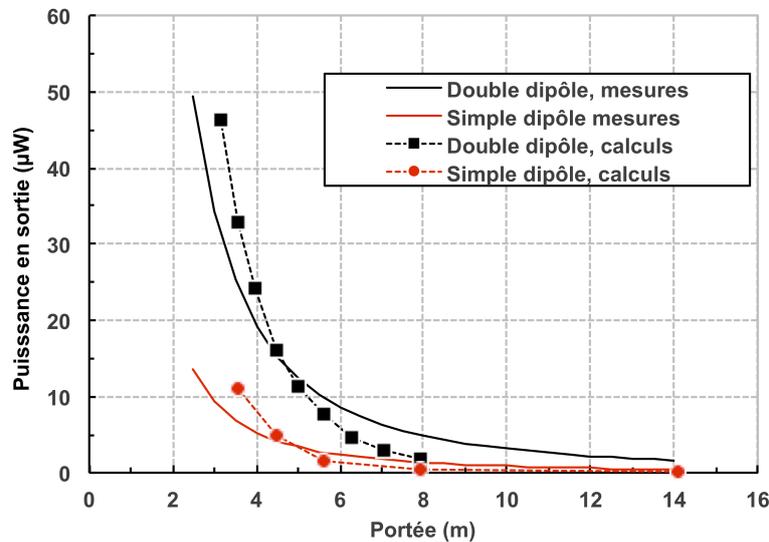


**Figure II.46** – Schéma de l'expérience en chambre anéchoïque

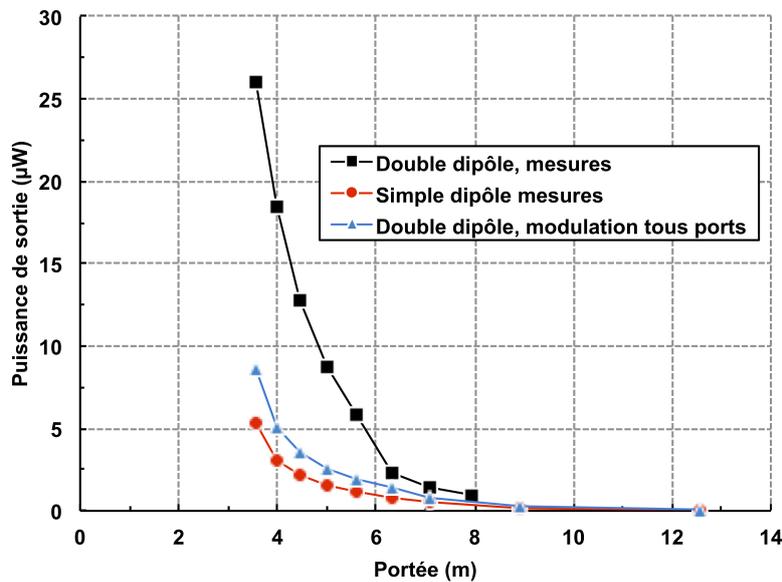
désactivé (0V). La puissance consommée en sortie du tag est recalculée à partir de la tension mesurée. La figure II.47 donne l'évolution des puissances de sortie mesurées des tags double dipôle et simple dipôle et permet de les comparer avec les valeurs calculées en tenant compte du gain et de la désadaptation. Les courbes théoriques et les mesures sont très proches, ce qui rend le modèle plutôt crédible. Les écarts entre le calcul et la mesure sont principalement dus au fait que le rendement des multiplieurs n'est en réalité pas constant, mais fonction de la puissance disponible en entrée de la structure.

Une seconde série de mesures est réalisée avec, cette fois, la rétro-modulation activée (1,1V). Dans ce cas, les résultats (figure II.48) montrent une différence beaucoup plus marquée entre les deux solutions. Malgré le fait que la rétro-modulation soit bloqué à l'état "1", le système double ports parvient à alimenter la puce à une distance proche de 6 mètres, tandis que l'autre structure ne peut dépasser les 4 mètres.

Afin de confirmer que l'amélioration ne provient pas uniquement du gain de l'antenne, qui est meilleur pour le double dipôle, aussi de la structure de la puce avec une rétro-modulation sur un seul port, permettant à l'autre de continuer à alimenter le tag, une estimation d'une structure rétro-modulant sur tous les ports est également représentée dans la figure II.48. Cette estimation est basée sur les mesures effectuées préalablement. L'impact dû au gain et l'impact dû à l'architecture sont alors clairement observables.



**Figure II.47** – Puissances de sortie calculées, avec une adaptation et des conditions de gains réels, et mesurées en fonction de la distance lecteur-tag, rétro-modulation désactivée, à 915 MHz



**Figure II.48** – Puissances de sortie mesurées en fonction de la distance lecteur-tag, rétro-modulation activée, à 915 MHz, et estimation d'une structure double comportant des blocs de rétro-modulation sur tous les ports

## 7 CONCLUSION

Dans ce chapitre, plusieurs solutions visant à améliorer le rendement des multiplieurs ont été vues. Le récapitulatif de ces solutions est visible dans le tableau II.12.

Multiplieur	Rendement
A transistors MOS montés en diode, pertes RF non supprimées (0, 18 $\mu m$ EEPROM)	7, 8%
A polarisation autonome [33] (CMOS 0, 35 $\mu m$ )	8%
A tension de seuil auto-annulée [34]	30% pour une puissance de sortie de 30 $\mu W$
A transistors MOS montés en diode, pertes RF supprimées, sans plan de masse (0, 13 $\mu m$ CMOS RF)	15, 18%
A transistors MOS montés en diode, pertes RF supprimées, avec plan de masse (0, 13 $\mu m$ CMOS RF)	22, 6%
Différentiel polarisé [35]	60% pour une puissance de sortie de 4 $\mu W$
Polarisé à tension de seuil auto-annulé (0, 18 $\mu m$ EEPROM)	45%
Rectenna (0, 13 $\mu m$ CMOS RF)	31% (avec pertes) et 74% (sans pertes)

**Tableau II.12** – Rendement des multiplieurs étudiés pour une puissance de sortie de 5 $\mu W$

L'influence des pertes RF a ainsi été mise en évidence, et une nouvelle architecture à transistors polarisés est proposée. Cette architecture présente un rendement bien supérieur aux structures à montage en diode ou polarisées précédemment étudiées. Seuls les circuits à inductance dit rectenna ou différentiel polarisé semble pouvoir concurrencer l'architecture simple alternance polarisée proposée. Toutefois, la rectenna souffre de pertes difficilement supprimables qui font chuter grandement son rendement théorique.

La fin du chapitre aborde le problème des pertes énergétiques lors de la rétro-modulation. Ces pertes peuvent représenter une diminution de la distance de télé-alimentation d'environ 30%. Afin de minimiser ce phénomène, il est proposé de doubler la récupération d'énergie et de ne rétro-moduler que sur une seule des deux entrées. Cette solution permet de gagner plusieurs mètres en distance de communication. Le chapitre suivant va se focaliser, quant à lui, sur le bloc de rétro-modulation afin d'en trouver une architecture qui minimise les pertes énergétiques.

---

---

# Chapitre III

---

## Conception d'une rétro-modulation optimisée

### 1 INTRODUCTION

Toute solution de rétro-modulation est basée sur un compromis : il faut que la télé-alimentation soit le moins possible impactée et conserver une réponse du tag intelligible par le lecteur pour la distance maximale de télé-alimentation.

Nombreuses sont les études concernant la rétro-modulation [80] [81] . Malheureusement bien peu arrivent à fixer des spécifications pour la conception des puces RFID, ou bien ces critères ne sont pas exploitables en-dehors de certains cas particuliers [51] . Plus généralement, les études menées se focalisent sur des méthodes de mesure de la visibilité de la rétro-modulation [82] [83] et non sur la manière de concevoir la réponse.

Dans ce chapitre, une étude théorique est développée pour déterminer quelle est la variation d'impédance de la puce qui permet d'obtenir la solution optimale de rétro-modulation pour une sensibilité de lecteur donnée. Puis, des circuits de rétro-modulation basés sur les résultats de l'étude théorique sont élaborés.

### 2 ETUDE DU COMPROMIS TELE-ALIMENTATION / RETRO-MODULATION

Concernant l'adaptation d'impédance, une fois l'impédance de l'antenne choisie, il convient de déterminer quelle est la variation d'impédance au niveau de la puce RFID qui limite l'impact sur la télé-alimentation tout en restant visible par le lecteur. Pour trouver le compromis il est nécessaire d'intégrer le lecteur dans l'étude et de lier la variation d'impédance côté tag à la sensibilité du lecteur. Généralement, en RFID UHF, les lecteurs développés utilisent la démodulation IQ pour détecter les réponses provenant des tags interrogés [84–89] ce qui permet de détecter non seulement les variations d'amplitude des signaux mais également les variations

de phase. Dans ce type de démodulation, le signal entrant est amplifié puis divisé en deux signaux de référence l'un en phase et l'autre en quadrature de phase (figure III.1).

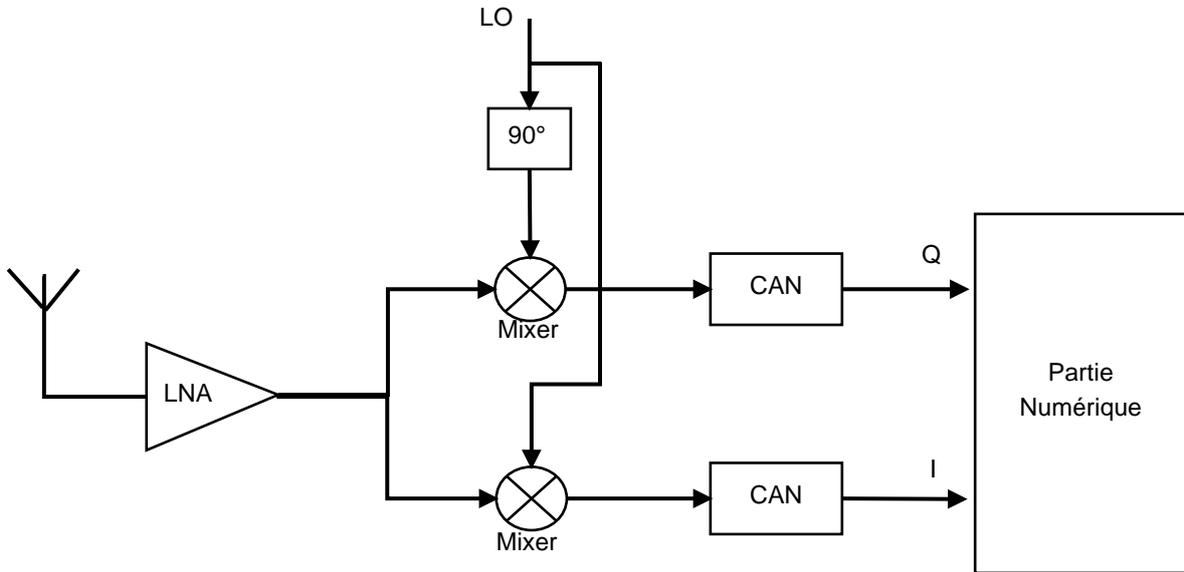


Figure III.1 – Schéma de principe d'un démodulateur IQ

Le bilan de liaison tag-lecteur est étudié ici dans le cadre d'un tag passif UHF avec une fréquence de porteuse de 915MHz et respectant les spécifications de la norme EPC Gen2 [4] (figure III.2).

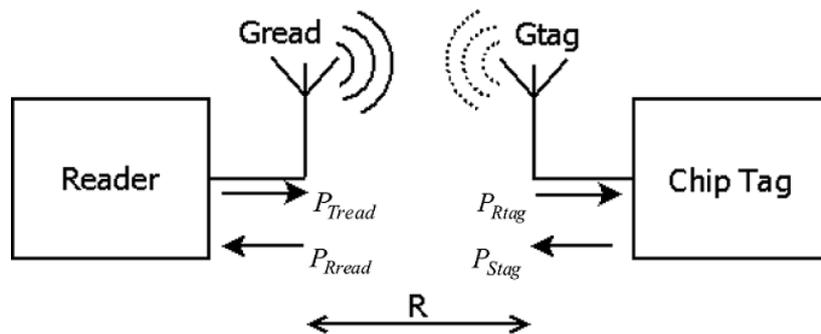


Figure III.2 – Vue d'ensemble d'une communication avec un tag RFID passif

L'étude doit être réalisée pour la distance maximale de télé-alimentation. L'impédance de la puce au repos, c'est-à-dire hors rétro-modulation, est d'environ  $Z_{c1} = 20 - j \cdot 200$  [90] [91]. L'antenne du tag est une antenne dipôle de gain  $G_{tag}$  de valeur 1dBi et le gain de l'antenne du lecteur  $G_{read}$  est de 5.9dBi. Ce dernier délivre une puissance  $P_{Tread}$  de 1W à son antenne et possède une sensibilité  $S_{dBm}$  de -80dBm [92]. L'étude se fait en champs lointain, c'est-à-dire

## III.2 ETUDE DU COMPROMIS TELE-ALIMENTATION / RETRO-MODULATION

---

pour une distance  $R$  entre le tag et le lecteur telle que [18] :

$$R \geq \frac{2 \cdot D^2}{\lambda} \quad (\text{III.1})$$

$D$  étant la plus grande des dimensions physique de l'antenne. La taille d'une antenne dans le cadre d'un tag passif UHF à 915MHz ne dépasse généralement pas  $\lambda/2$ , donc la condition (III.1) devient :

$$R \geq \frac{\lambda}{2} \quad (\text{III.2})$$

Cette étude restera valable théoriquement tant que la distance entre le tag et le lecteur sera supérieure à 16cm environ. En utilisant l'équation de Friis, valable uniquement pour les champs lointains, il est possible d'exprimer la puissance reçue par le tag [16] :

$$P_{Rtag} = G_{read}(\theta \phi) \cdot G_{tag}(\theta \phi) \cdot (1 - |\Gamma_{read}^*|^2) \cdot (1 - |\Gamma_{tag}^*|^2) \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \cdot |\cos(\psi)|^2 \cdot P_{Tread} \quad (\text{III.3})$$

Le terme  $|\cos(\psi)|^2$  est le facteur de pertes par polarisation. Pour simplifier l'étude, le système sera considéré comme parfaitement polarisé. De même, toujours par souci de simplification, l'étude sera faite pour les gains maxima des antennes, c'est-à-dire dans la direction la plus favorable à une communication en terme de portée. Par exemple, pour une antenne dipôle cela correspond à un angle d'incidence  $\theta = \pi/2$ . Côté lecteur, l'antenne sera considérée comme étant parfaitement adaptée ( $|\Gamma_{read}^*| = 0$ ). Le coefficient d'adaptation du tag  $\Gamma_{tag}^*$  sera noté  $\Gamma^*$  dans la suite. L'équation III.3 se réécrit donc :

$$P_{Rtag} = (1 - |\Gamma^*|^2) \cdot G_{read} \cdot G_{tag} \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \cdot P_{Tread} \quad (\text{III.4})$$

La puissance minimale de fonctionnement du tag étant fixée à -18dBm, la distance maximale de télé-alimentation sera :

$$R = \sqrt{G_{read} \cdot G_{tag} \cdot \left( \frac{\lambda}{4 \cdot \pi} \right)^2 \cdot \frac{P_{Tread}}{P_{Rtag}}} \approx 15m \quad (\text{III.5})$$

L'étude sera faite pour une distance de 15 mètres, ce qui respecte bien la condition de champs lointain III.2. Bien entendu, il serait possible de réaliser l'étude de la même façon avec de toutes autres données du moment que la condition de champs lointain est respectée.

## 2.1 Démodulation IQ et sensibilité

Afin d'établir un lien entre la variation d'impédance de la puce du récepteur et la sensibilité du lecteur, donnée fournie théoriquement par le fabricant, il est nécessaire tout d'abord de définir ce qu'est la sensibilité et de montrer comment il est possible de la relier aux paramètres I-Q.

La sensibilité d'un lecteur RFID se définit comme n'importe quelle sensibilité d'appareil électronique communiquant par les ondes tels que les téléphones portables, les récepteurs GPS, ou encore les récepteurs Wifi. Par définition, la sensibilité d'un récepteur correspond au niveau de puissance minimal pour qu'un signal soit distinguable des bruits. Les bruits se composent du bruit thermique ainsi que du bruit généré par le récepteur lui-même. L'expression de la sensibilité en dBm est alors [93] [94] :

$$S_{dBm} \leq 10 \cdot \log(k \cdot T)_{dBm} + NF_{dB} + \left( \frac{S_{out}}{N_{out}} \right)_{dB} + 10 \cdot \log(B) \quad (\text{III.6})$$

Avec  $k$  la constante de Boltzmann,  $T$  la température ambiante,  $B$  la largeur de bande du signal radio-fréquence détecté,  $NF$  le facteur de bruit du récepteur et  $\frac{S_{out}}{N_{out}}$  le rapport signal sur bruit en sortie du récepteur, c'est à dire en entrée du convertisseur analogique-numérique.

La sensibilité est ainsi définie car généralement, lors de la conception d'un système, les données possédées sont la température, le rapport signal à bruit, le facteur de bruit et la largeur de bande. Toutefois dans le cadre de cette étude, ni le facteur de bruit, ni le rapport signal à bruit ne sont connus. Il est alors nécessaire d'exprimer différemment la sensibilité.

Soit la sensibilité exprimée en watts :

$$S_W \leq k \cdot T \cdot B \cdot \frac{S_{out}}{N_{out}} \cdot NF \quad (\text{III.7})$$

En considérant le gain  $G$  du récepteur,  $E_b$  l'énergie dans l'intervalle du bit et  $R_{bit}$  le nombre de bits par seconde, alors le signal de sortie et le bruit de sortie s'expriment [93] :

$$S_{out} = G \cdot S_{in} = G \cdot E_b \cdot R_{bit} \quad (\text{III.8})$$

$$N_{out} = G \cdot N_{in} \cdot NF = G \cdot k \cdot T \cdot B \cdot NF \quad (\text{III.9})$$

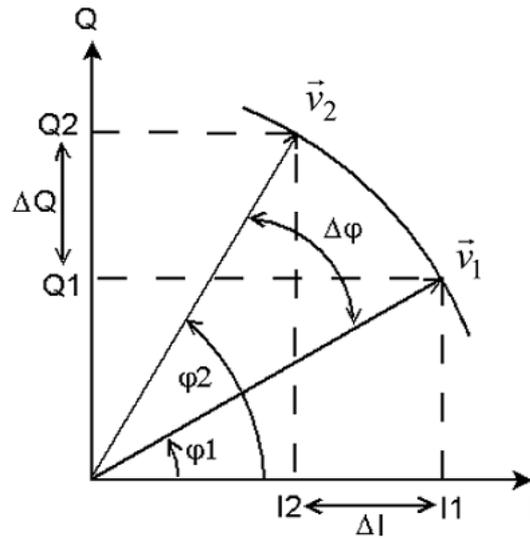
## III.2 ETUDE DU COMPROMIS TELE-ALIMENTATION / RETRO-MODULATION

L'équation III.7 se simplifie alors :

$$S_W \leq E_b \cdot R_{bit} \quad (\text{III.10})$$

La figure III.3 montre la représentation IQ des signaux provenant du tag.  $\vec{v}_1$  étant le signal pour un état non rétro-modulé et  $\vec{v}_2$  le signal pour un état rétro-modulé. L'impédance d'entrée d'un lecteur étant généralement de  $50\Omega$ , l'amplitude d'un signal pour un état quelconque «x» s'exprime de la manière suivante [95] :

$$|\vec{v}_x| = \sqrt{2 \cdot 50 \cdot P_{Tread(x)}} = \sqrt{I_x^2 + Q_x^2} \quad (\text{III.11})$$



**Figure III.3** – Diagramme IQ des signaux reçus par le lecteur

L'amplitude du signal modulé  $v_{12}$ , qui est le signal à détecter, a pour expression :

$$|v_{12}| = |\vec{v}_1 - \vec{v}_2| = \sqrt{2 \cdot 50 \cdot E_b \cdot R_{bit}} \quad (\text{III.12})$$

Si la puissance du signal modulé se situe à la limite de la sensibilité du récepteur, alors selon III.10, III.12 et le théorème d'Al Kashi, on obtient :

$$|v_{12}|^2 = 2 \cdot 50 \cdot S_W = |\vec{v}_1|^2 + |\vec{v}_2|^2 - 2 \cdot |\vec{v}_1| \cdot |\vec{v}_2| \cdot \cos(\Delta\varphi) \quad (\text{III.13})$$

$$2 \cdot 50 S_W = |\sqrt{2 \cdot 50 \cdot P_{Rread(1)}}|^2 + |\sqrt{2 \cdot 50 \cdot P_{Rread(2)}}|^2 - 2 \cdot |\sqrt{2 \cdot 50 \cdot P_{Rread(1)}}| \cdot |\sqrt{2 \cdot 50 \cdot P_{Rread(2)}}| \cdot \left(1 - 2 \cdot \sin^2 \left(\frac{\Delta\varphi}{2}\right)\right) \quad (\text{III.14})$$

$$S_W = P_{Rread(1)} + P_{Rread(2)} - 2 \cdot \sqrt{P_{Rread(1)}} \cdot \sqrt{P_{Rread(2)}} + 4 \cdot \sqrt{P_{Rread(1)}} \cdot \sqrt{P_{Rread(2)}} \cdot \sin^2 \left(\frac{\Delta\varphi}{2}\right) \quad (\text{III.15})$$

$$S_W = \left(\sqrt{P_{Rread(1)}} - \sqrt{P_{Rread(2)}}\right)^2 + 4 \cdot \sqrt{P_{Rread(1)}} \cdot \sqrt{P_{Rread(2)}} \cdot \sin^2 \left(\frac{\Delta\varphi}{2}\right) \quad (\text{III.16})$$

L'équation III.16 permet de montrer que les solutions trouvées seront valables pour tout type de modulation mélangeant variation d'amplitude et de phase. Ainsi, pour une variation d'amplitude pure, dans le cadre d'une modulation ASK par exemple, on obtient :

$$S_W = \left(\sqrt{P_{Rread(1)}} - \sqrt{P_{Rread(2)}}\right)^2 \quad (\text{III.17})$$

Tandis qu'une variation de phase uniquement, telle une modulation PSK, donnerait :

$$S_W = 4 \cdot P_{Rread(1)} \cdot \sin^2 \left(\frac{\Delta\varphi}{2}\right) = 4 \cdot P_{Rread(2)} \cdot \sin^2 \left(\frac{\Delta\varphi}{2}\right) \quad (\text{III.18})$$

Le lien entre la sensibilité, la variation de puissance et la variation de phase du signal reçu par lecteur a été établi dans cette partie. Toutefois, cela ne permet pas d'obtenir directement des critères de conception faciles à utiliser.

## 2.2 De la sensibilité aux impédances

Le lien entre la sensibilité du lecteur et les puissances qu'il reçoit étant maintenant établi, il ne reste plus qu'à relier cette sensibilité aux variations d'impédances de la puce. En effet, dans le cadre de la conception d'un système de réponse dans une puce RFID, la donnée la plus facile à exploiter pour le concepteur est l'impédance de la puce. Pour établir ce lien, il nous faut réutiliser l'équation de Friis mais cette fois-ci afin d'exprimer la puissance reçue par le lecteur [16]. Ici encore, il est supposé que les pertes par polarisation sont nulles, que l'angle d'incidence de l'onde sur l'antenne est optimal et que l'adaptation est parfaite au niveau du

### III.2 ETUDE DU COMPROMIS TELE-ALIMENTATION / RETRO-MODULATION

---

lecteur :

$$P_{Rread(x)} = G_{read} \cdot G_{tag} \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \cdot P_{Stag(x)} \quad (\text{III.19})$$

Avec  $P_{Stag(x)}$  la puissance re-rayonnée par l'antenne du tag dans un état quelconque de rétro-modulation. En se référant à l'article [96] ou encore en utilisant l'équation I.31 à savoir :

$$P_{Stag(x)} = P_{max} \cdot |1 - \Gamma_x^*|^2 \quad (\text{III.20})$$

l'équation I.37 :

$$P_{max} = A_{em} \cdot W_i \quad (\text{III.21})$$

et l'équation I.38 :

$$A_{em} = \frac{\lambda^2}{4 \cdot \pi} \cdot G_{tag} \quad (\text{III.22})$$

La densité de puissance incidente  $W_i$  étant :

$$W_i = \frac{G_{read} \cdot P_{Tread}}{4 \cdot \pi \cdot R^2} \quad (\text{III.23})$$

l'expression de la puissance re-rayonnée se retrouve facilement :

$$P_{Stag(x)} = G_{tag} \cdot \frac{\lambda^2}{4 \cdot \pi} \cdot |1 - \Gamma_x^*|^2 \cdot \frac{G_{read} \cdot P_{Tread}}{4 \cdot \pi \cdot R^2} \quad (\text{III.24})$$

En utilisant III.24 et III.19 la puissance reçue par le lecteur peut s'exprimer en fonction de la puissance qu'il a émise et du coefficient d'adaptation au niveau du tag :

$$P_{Rread(x)} = G_{read}^2 \cdot G_{tag}^2 \cdot |1 - \Gamma_x^*|^2 \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^4 \cdot P_{Tread} \quad (\text{III.25})$$

Cette équation est connue sous le nom d'équation du radar. En utilisant l'équation I.33, c'est à dire :

$$\Gamma^* = \frac{Z_c - Z_a^*}{Z_c + Z_a} \quad (\text{III.26})$$

l'équation III.13 :

$$|v_{12}|^2 = 2 \cdot 50 \cdot S_W = |v_1|^2 + |v_2|^2 - 2 \cdot |v_1| \cdot |v_2| \cdot \cos(\Delta\varphi) \quad (\text{III.27})$$

et l'équation III.25, il est à présent possible de lier sensibilité et variation d'impédance :

$$S_W = P_{Rread(1)} + P_{Rread(2)} - 2 \cdot \sqrt{P_{Rread(1)}} \cdot \sqrt{P_{Rread(2)}} \cdot \cos(\Delta\varphi) \quad (\text{III.28})$$

$$S_W = G_{read}^2 \cdot G_{tag}^2 \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^4 \cdot P_{Tread} \cdot \left[ |1 - \Gamma_1^*|^2 + |1 - \Gamma_2^*|^2 - 2 \cdot |1 - \Gamma_1^*| \cdot |1 - \Gamma_2^*| \cdot \cos(\Delta\varphi) \right] \quad (\text{III.29})$$

$$S_W = G_{read}^2 \cdot G_{tag}^2 \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^4 \cdot P_{Tread} \cdot \left[ |1 - \Gamma_1^*|^2 + |1 - \Gamma_2^*|^2 - 2 \cdot \Re((1 - \Gamma_1^*) \cdot (1 - \Gamma_2^*)^*) \right] \quad (\text{III.30})$$

$$S_W = G_{read}^2 \cdot G_{tag}^2 \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^4 \cdot P_{Tread} \cdot |1 - \Gamma_1^* - (1 - \Gamma_2^*)|^2 \quad (\text{III.31})$$

$$S_W = G_{read}^2 \cdot G_{tag}^2 \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^4 \cdot P_{Tread} \cdot 4 \cdot R_a^2 \cdot \left| \frac{1}{Z_{c1} + Z_a} - \frac{1}{Z_{c2} + Z_a} \right|^2 \quad (\text{III.32})$$

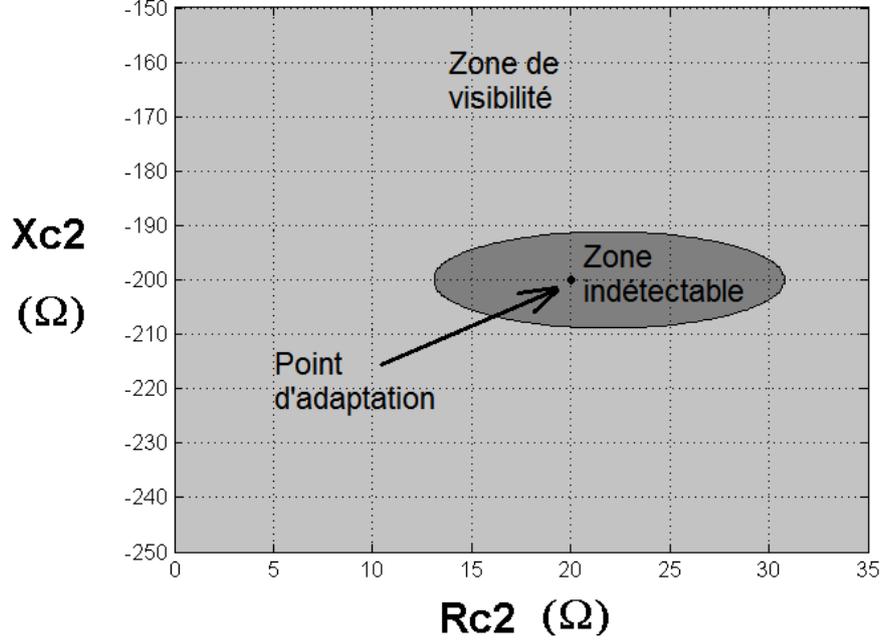
L'équation III.32 lie la sensibilité du lecteur à la variation d'impédance du tag. Elle est cohérente, par ailleurs, avec la notion de « différence vectorielle de surface équivalente radar » définie dans plusieurs articles [97] [98].

Grâce à l'équation III.32, connaissant tous les autres paramètres, toutes les impédances de rétro-modulation  $Z_{c2}$  peuvent être calculées au seuil de sensibilité (Figure III.4).

### 2.3 Minimisation de l'impact sur la télé-alimentation

Pour optimiser la rétro-modulation, il ne s'agit pas que de se placer à la limite de la sensibilité du lecteur, il faut avant tout minimiser l'impact de celle-ci sur la télé-alimentation. Pour cela, il faut trouver l'impédance de rétro-modulation qui minimisera la variation de puissance transmise à la puce. Ainsi, en reprenant l'équation III.4, à savoir :

$$P_{Rtag} = (1 - |\Gamma^*|^2) \cdot G_{read} \cdot G_{tag} \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \cdot P_{Tread} \quad (\text{III.33})$$



**Figure III.4** – Valeurs possibles des parties réelles et imaginaires de l’impédance de rétro-modulation en limite de détectabilité à 15 mètres et pour une sensibilité de -80dBm, pour une impédance d’antenne  $Z_{ant} = 20 + j \cdot 200$

pour l’état non rétro-modulé 1 et l’état rétro-modulé 2, la variation de puissance en entrée de la puce RFID s’exprime de la manière suivante :

$$\Delta P_{Rtag} = G_{read} \cdot G_{tag} \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \cdot P_{Tread} \cdot \left[ (1 - |\Gamma_1^*|^2) - (1 - |\Gamma_2^*|^2) \right] \quad (III.34)$$

En supposant que, lors de l’état non rétro-modulé, puce et antenne sont parfaitement adaptées, alors  $|\Gamma_1^*| = 0$  et III.34 devient :

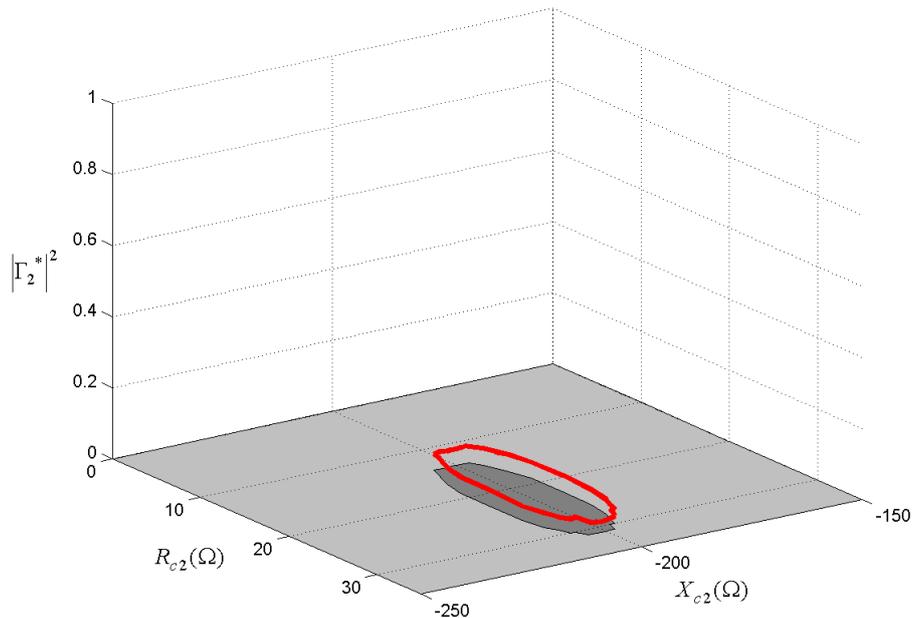
$$\Delta P_{Rtag} = |\Gamma_2^*|^2 \cdot G_{read} \cdot G_{tag} \cdot \left( \frac{\lambda}{4 \cdot \pi \cdot R} \right)^2 \cdot P_{Tread} \quad (III.35)$$

Pour minimiser la variation de puissance,  $|\Gamma_2^*|^2$  doit être le plus petit possible tout en assurant la détectabilité de la réponse. La figure III.5 montre l’évolution de  $|\Gamma_2^*|$  au seuil de détectabilité d’un lecteur de sensibilité -80dBm à 15m de distance. Pour tout point en limite de sensibilité, il n’y a pour ainsi dire aucune différence concernant la valeur de  $|\Gamma_2^*|^2$ , la valeur reste très faible proche de 0,05 et favorise donc la transmission de puissance à la puce tout en maintenant la

### Chapitre III. Conception d'une rétro-modulation optimisée

visibilité. Il est toutefois possible d'obtenir par le calcul, pour une impédance d'antenne de  $Z_{ant} = 20 + j \cdot 200$  et pour une distance  $R = 15m$ , quatre valeurs remarquables d'impédance de rétro-modulation :

- $Z_{c2} = 14 - j \cdot 200$ , mais obtenir cette impédance signifierais que la résistance parallèle est augmentée lors de la rétro-modulation et que la consommation a été diminuée, ce qui n'est pas simple à réaliser.
- $Z_{c2} = 20 - j \cdot 209$ , pour obtenir cette impédance il faudrait diminuer la capacité parallèle la puce au moment de la rétro-modulation, chose qui n'est possible qu'en ajoutant une inductance, ce qui est généralement évité pour minimiser la surface occupée par le circuit, ou en modifiant également de manière significative la partie réelle de l'impédance.
- $Z_{c2} = 20 - j \cdot 193$  qui sera utilisée pour une rétro-modulation capacitive.
- $Z_{c2} = 31 - j \cdot 200$  qui sera plus indiquée pour une rétro-modulation résistive.

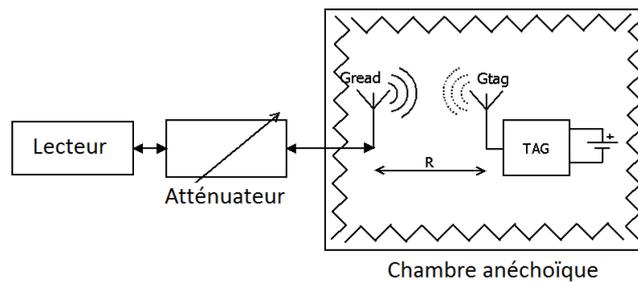


**Figure III.5** – Impact de la rétro-modulation sur la télé-alimentation pour l'ensemble des valeurs possible de l'impédance de rétro-modulation en limite de détectabilité à 15 mètres et pour une sensibilité de -80dBm, pour une impédance d'antenne de  $Z_{ant} = 20 + j \cdot 200$

Ces points sont intéressants car alors, il est possible de supposer au premier ordre que seule la partie réelle ou la partie imaginaire de la puce est modifiée ce qui a l'avantage de simplifier l'étude en vue de réaliser des architectures de rétro-modulation optimisées.

## 2.4 Validation par mesure de sensibilité

Pour vérifier les résultats précédents, il a été décidé de réaliser une mesure de validation (figure III.6). Il s'agit d'utiliser un lecteur couramment employé en RFID UHF dont la sensibilité est donnée par le constructeur. Le lecteur Speedway correspond à ces attentes [92]. La sortie du lecteur est connectée à une série d'atténuateurs réglables dont la plage de variation globale va de 0dB à 81dB avec une précision de 1dB. Le grand avantage de ce lecteur est qu'il est paramétrable en sensibilité. Pour la mesure en question, il génère un signal d'une puissance de 15dBm à une fréquence de 866MHz. La fréquence de rétro-modulation telle que définie dans la norme EPC Gen2 [4] est de 320kHz. C'est cette fréquence qui conditionne le nombre de bit par seconde et donc la sensibilité. La sensibilité maximale du lecteur est de -80dBm, et il est possible de la régler jusqu'à -30dBm.



**Figure III.6** – Schéma de principe de l'expérience réalisée pour la mesure de sensibilité

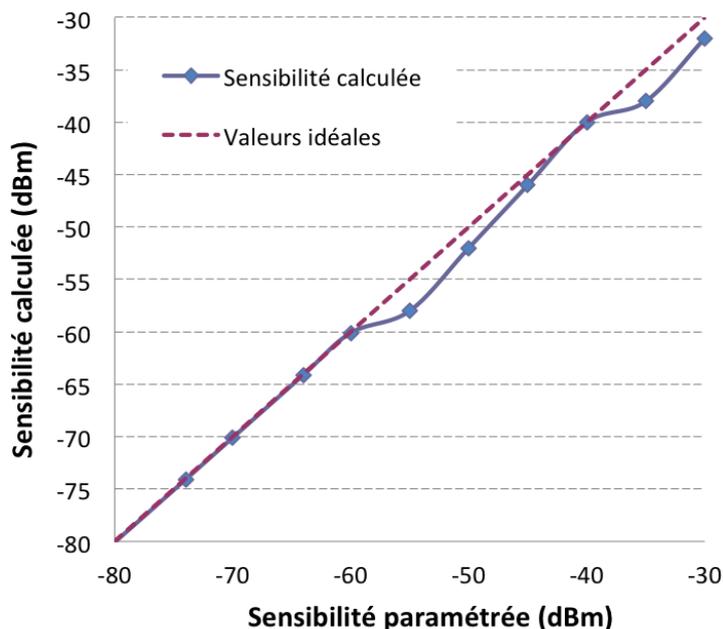
Le dernier des atténuateurs est connecté à une antenne dont le gain maximal, donné par le constructeur de l'antenne, est de 5,81dBi. Les pertes dans les câbles entre le lecteur et son antenne ont été mesurées à l'analyseur réseau et ont une valeur globale de 2,1dB. Le rapport d'onde stationnaire (SWR) est donnée également par le constructeur de l'antenne et est de 2,64 pour une fréquence de 860MHz. L'antenne est placée dans une chambre anéchoïque à une distance R de 60cm du tag.

Ce tag est basé sur une puce batterie assistée, ce qui rend donc l'impédance hors rétro-modulation indépendante de la distance tant que la condition III.2,  $R \geq \frac{\lambda}{2}$ , est respectée, ce qui est le cas ici. Le gain de l'antenne du tag a été mesuré et est de 1dBi. Son impédance est suffisamment proche de l'impédance de la puce hors rétro-modulation pour que antenne et puce soient supposées parfaitement adaptées initialement. L'impédance de la puce a été mesurée à une valeur de  $Z_{c1} = 16 - j \cdot 272$  dans l'état non rétro-modulé et de  $Z_{c2} = 33 - j \cdot 1$  dans l'état rétro-modulé.

Dans ces conditions, le modèle précédent permet de calculer la sensibilité théorique obtenue.

En utilisant les données expérimentales et notamment les valeurs de l'atténuation au moment

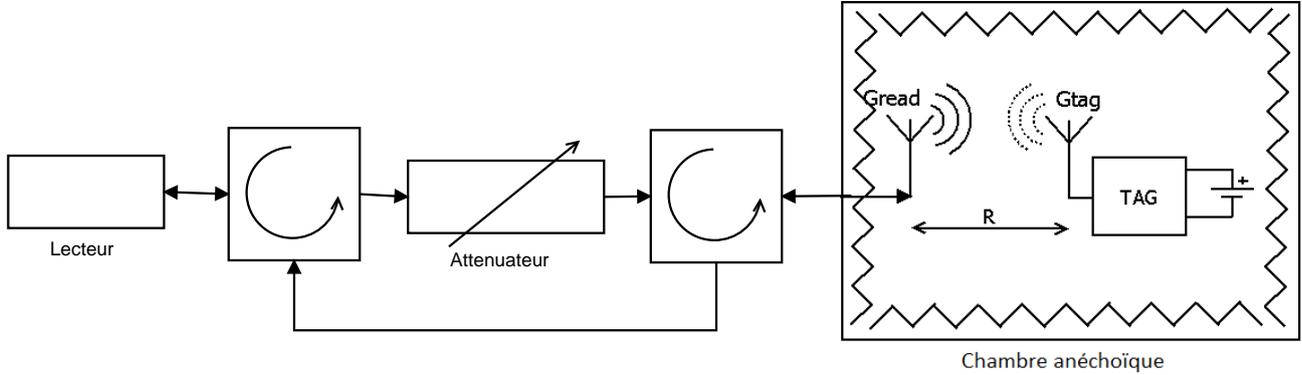
de l'interruption de la communication, les valeurs théoriques de la sensibilité du lecteur peuvent être recalculées et comparées aux valeurs paramétrées dans le lecteur. La figure III.7 montre ainsi qu'il y a une très bonne corrélation entre les résultats calculés et les valeurs paramétrées.



**Figure III.7** – Comparaison entre les sensibilités calculées et les valeurs paramétrées dans le lecteur

Pour être certain que l'interruption de la communication est bien le fait de la sensibilité du lecteur et non de la sensibilité du démodulateur du tag, une manipulation préliminaire est nécessaire (figure III.8). En réglant la sensibilité à son maximum côté lecteur, et grâce à des circulateurs, seule l'émission est atténuée. Ainsi, si la valeur de l'atténuation dans ce cas de figure est la même que pour une atténuation en émission et en réception, cela signifie que la sensibilité du tag est limitante. Dans ce cas il ne sera pas possible de réaliser la mesure. En revanche, s'il faut d'avantage atténuer en émission seule pour obtenir une interruption de la communication que dans le cas émission-réception. Cela veut dire que c'est la sensibilité du lecteur qui est le facteur limitant de la communication. Dans notre cas, il faut ajuster l'atténuation en émission seule à 33dB pour obtenir l'interruption de la communication alors que celle-ci intervient dès 25dB si la liaison est atténuée dans les deux sens. Cela démontre bien qu'ici la sensibilité du lecteur est le facteur limitant la communication.

Les nouvelles architectures pourront donc être paramétrées finement pour respecter la sensibilité du lecteur tout en ne détériorant pas trop la télé-alimentation.



**Figure III.8** – Schéma de principe de la manipulation pour déterminer quelle sensibilité, côté tag ou côté lecteur, limite la distance de communication

### 3 ARCHITECTURES DE RETRO-MODULATION INNOVANTES

#### 3.1 Rétro-modulation résistive ajustée

A partir d'une impédance de puce donnée hors rétro-modulation, par exemple  $Z_{c1} = 20 - j \cdot 200$ , il est recherché l'impédance de rétro-modulation qui présente le meilleur compromis entre télé-alimentation et détection de la réponse. Cette impédance se trouve pour une distance donnée. Ainsi, pour  $R = 15m$ , l'impédance de rétro-modulation à viser sera de  $Z_{c2} = 31 - j \cdot 200$ .

Dans le cadre de l'optimisation de la rétro-modulation, il est intéressant dans un premier temps de revenir sur un cas déjà existant, vu dans la section 5 du chapitre I (figure III.9), et qui est désormais paramétrable grâce aux résultats des calculs théoriques de la section précédente. L'avantage de cette solution réside dans le fait qu'elle est très facilement ajustable. En effet, en calculant la valeur optimale de la résistance, il sera aisé d'obtenir une impédance de rétro-modulation optimisée.

En réutilisant l'équation II.2, à savoir :

$$R_{//} = \frac{R_c^2 + X_c^2}{R_c} \quad (\text{III.36})$$

sachant que l'impédance série de la puce dans l'état non rétro-modulé est  $Z_{c1} = R_{c1} - j \cdot X_{c1}$  et son impédance pour l'état rétro-modulé est  $Z_{c2} = R_{c2} - j \cdot X_{c2}$  et en considérant la figure III.10, il est possible d'exprimer la résistance parallèle dans les états non rétro-modulé et rétro-modulé

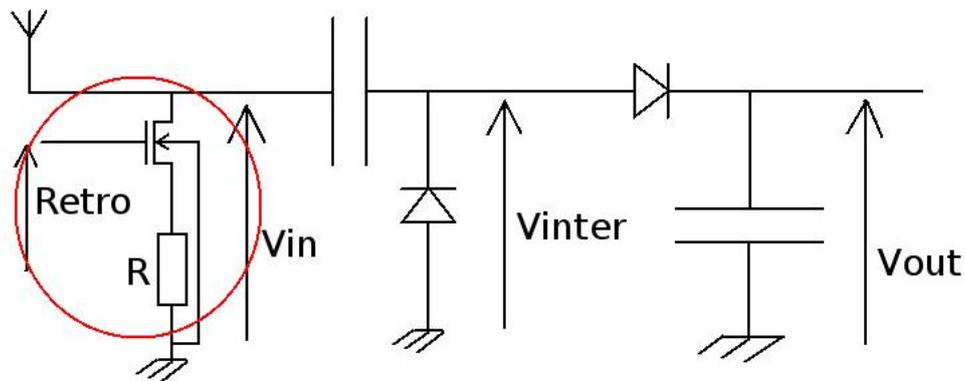


Figure III.9 – Rétro-modulation résistive

de la façon suivante :

$$R_{//1} \simeq R \quad (\text{III.37})$$

$$R_{//2} = \frac{R \cdot R_{retro}}{R + R_{retro}} \quad (\text{III.38})$$

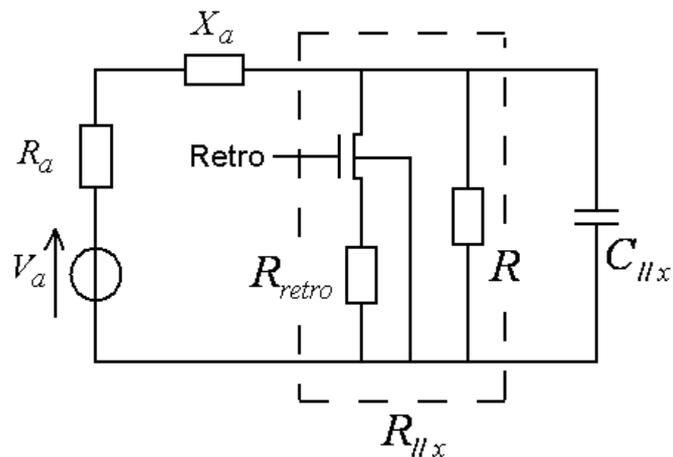


Figure III.10 – Représentation des résistances parallèles de la puce

A partir de III.37 et de III.38, il est possible de retrouver la valeur de la résistance  $R_{retro}$  de rétro-modulation :

$$R_{retro} = \frac{R_{//1} \cdot R_{//2}}{R_{//1} - R_{//2}} \quad (\text{III.39})$$

### III.3 ARCHITECTURES DE RETRO-MODULATION INNOVANTES

$$R_{retro} = \frac{\frac{R_{c2}^2 + X_{c2}^2}{R_{c2}} \cdot \frac{R_{c1}^2 + X_{c1}^2}{R_{c1}}}{\frac{R_{c1}^2 + X_{c1}^2}{R_{c1}} \cdot \frac{R_{c2}^2 + X_{c2}^2}{R_{c2}}} \quad (\text{III.40})$$

Donc, pour une impédance  $Z_{c1} = 20 - j \cdot 200$  et une impédance  $Z_{c2} = 31 - j \cdot 200$ , la valeur de la résistance de rétro-modulation est  $R_{retro} = 3,8k\Omega$ .

La capacité parallèle n'ayant pas été modifiée, la partie imaginaire ne vaut plus  $200\Omega$ . Il faudrait procéder à un ajustement de la capacité parallèle. Toutefois, dans cet exemple, la variation de partie imaginaire est faible, sa nouvelle valeur étant de  $198\Omega$ , ce qui peut être considéré comme négligeable.

La solution présentée ici, bien que facilement paramétrable présente toutefois des inconvénients. Tout d'abord, elle ne résout pas le problème de diode drain-bulk sur le transistor de commande qui reste présent dans ce type de solution. Une solution pourrait être l'intégration d'un transistor sur caisson isolé tel que ceux qui ont été étudiés dans le chapitre II. Un autre inconvénient est que dans ce cas de figure, la puissance transférée de l'antenne vers la puce  $P_{Rtag}$  n'est pas utilisée dans sa totalité par le multiplieur. Effectivement, structurellement cette façon de rétro-moduler dissipe de l'énergie par effet joule.

Soit la puissance absorbée pendant la rétro-modulation par la puce définie par l'équation II.7 :

$$P_{Rtag(2)} = \frac{|V_{rf2}|^2}{2 \cdot R_{//2}} \quad (\text{III.41})$$

Cette puissance se départage entre la puissance dissipée par effet joule dans la résistance de rétro-modulation :

$$P_{RtagJoule} = \frac{|V_{rf2}|^2}{2 \cdot R_{retro}} \quad (\text{III.42})$$

et la puissance effectivement absorbée par le multiplieur :

$$P_{RtagMulti} = \frac{|V_{rf2}|^2}{2 \cdot R} \simeq \frac{|V_{rf2}|^2}{2 \cdot R_{//1}} \quad (\text{III.43})$$

La résistance parallèle de la puce sans rétro-modulation est, selon l'équation III.36, de  $R_{//1} = 2020\Omega$  et de  $R_{//2} = 1320\Omega$  pendant la rétro-modulation. La part de puissance envoyée

dans le multiplieur pendant la rétro-modulation est donc de :

$$\rho_{mult} = \frac{P_{RtagMulti}}{P_{Rtag(2)}} = \frac{R_{//2}}{R} \simeq \frac{R_{//2}}{R_{//1}} = \frac{1320}{2020} = 65\% \quad (\text{III.44})$$

Tandis que la part de puissance dissipée par effet joule dans la résistance de rétro-modulation est de 35%. Comme il a été vu dans les chapitres précédents, le rendement du multiplieur est lié à la puissance disponible à ses bornes. Hors celui-ci est généralement conçu afin que son rendement optimal corresponde à la puissance disponible pour la distance maximale de télé-alimentation. Par conséquent, non seulement la télé-alimentation est impactée à cause de la déviation de la puissance, mais en plus le rendement intrinsèque du multiplieur est détérioré.

### 3.2 Rétro-modulation capacitive ajustée

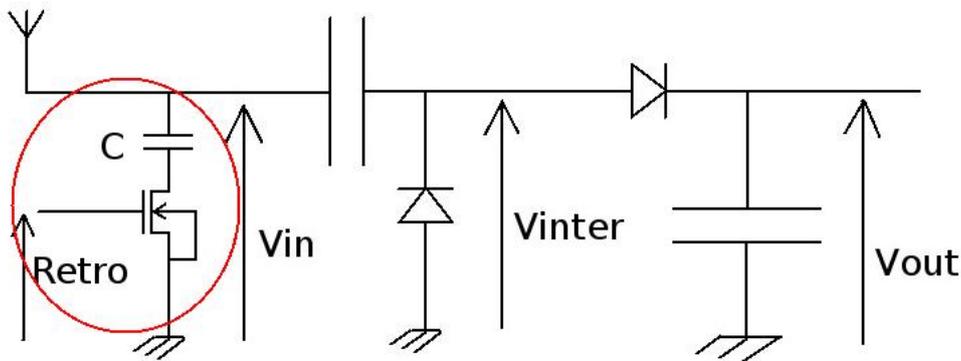


Figure III.11 – Un exemple de rétro-modulation capacitive

Une autre rétro-modulation paramétrable déjà vue au chapitre I est la rétro-modulation par capacité (figure III.11. Dans ce cas, pour obtenir l'impédance de rétro-modulation de  $20 - j \cdot 193$  (déterminée à la fin de la section 2.3 du présent chapitre), selon l'équation II.3 à savoir :

$$C_{//} = \frac{X_S}{\omega \cdot (R_S^2 + X_S^2)} \quad (\text{III.45})$$

il faudrait que la valeur de la capacité à ajouter soit de  $C = 32fF$ . La partie réelle passe alors de  $20\Omega$  à  $19\Omega$  ce qui reste suffisamment faible pour ne pas avoir à recourir à une compensation.

### 3.3 Rétro-modulation intégrée au multiplieur

L'idée ici est de fondre le bloc de rétro-modulation à l'intérieur du bloc de récupération d'énergie. En intégrant la rétro-modulation dans le multiplieur, il n'y a plus à se demander quel est le ratio de puissance qui est vu par ce dernier. Cela règle également le problème de diode drain-bulk parasite.

#### 3.3.1 Variation de la largeur des transistors du multiplieur

Une première solution simple de rétro-modulation intégrée au multiplieur consiste à faire varier virtuellement la largeur des transistors montés en diode (figure III.12). Cette variation

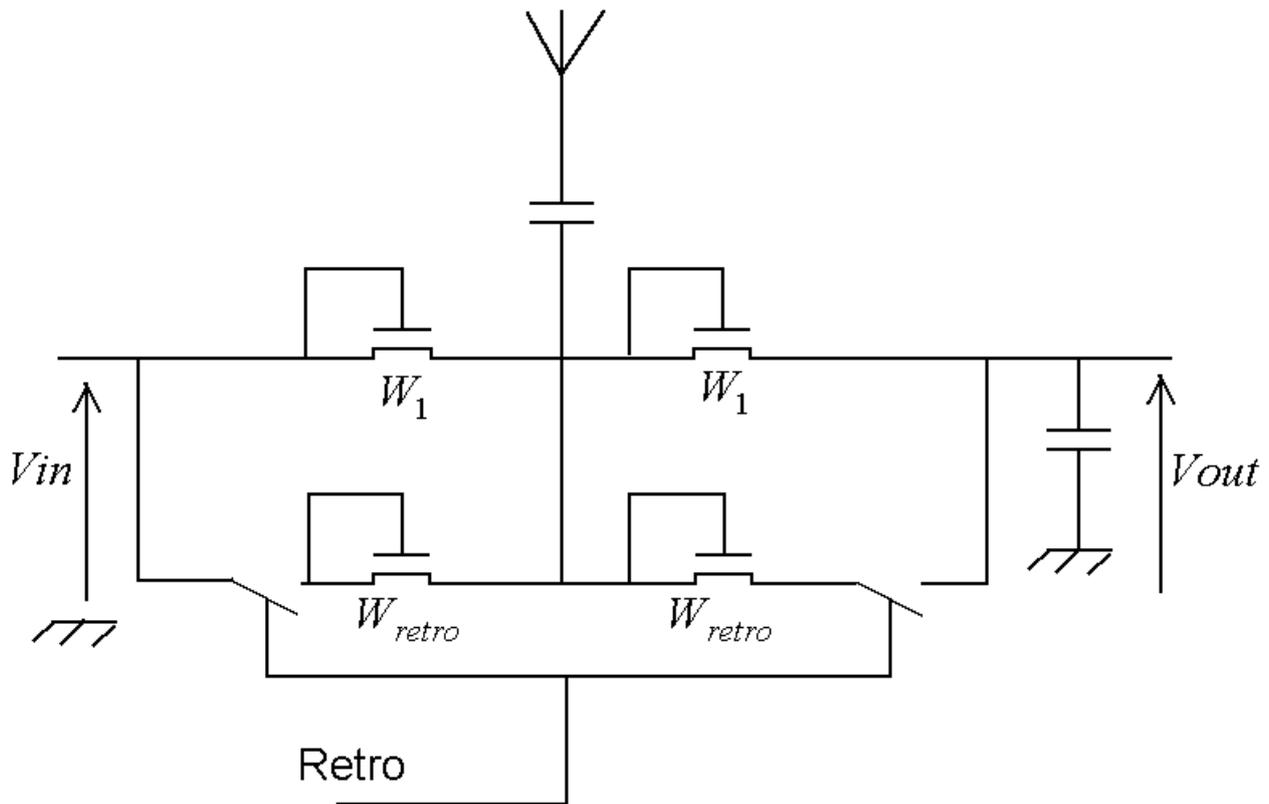
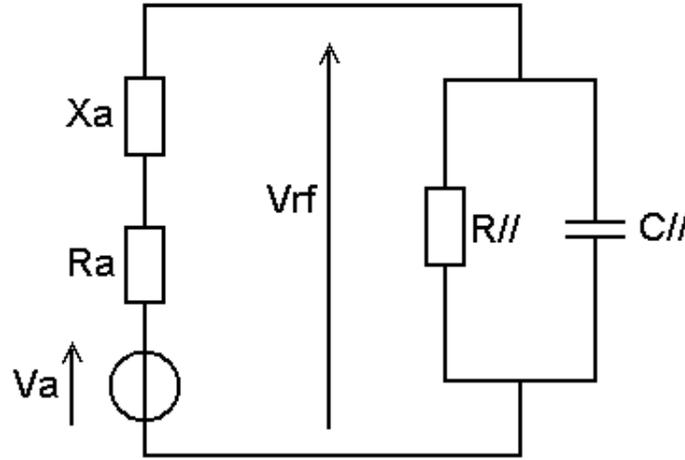


Figure III.12 – Un étage du multiplieur avec sa rétro-modulation intégrée

est assurée par les transistors d'une largeur  $W_{retro}$  montés en diode en parallèle aux transistors présents usuellement dans un multiplieur. Lors de l'état "1" de la rétro-modulation, le courant passe dans l'ensemble des transistors alors qu'il ne circule que dans les transistors de largeur  $W_1$  lorsque la rétro-modulation n'est pas activée. Cela aura pour effet de faire varier la consommation du système de récupération d'énergie, et donc son impédance. Toutefois, il serait

intéressant d'avoir une idée de la largeur du transistor de rétro-modulation pour pouvoir réaliser l'architecture d'une manière optimisée et contrôlée. Cela implique de connaître la variation de la résistance parallèle de la puce en fonction de la largeur des transistors du multiplieur. Par ailleurs, la variation de cette résistance parallèle aura également un impact sur la désadaptation et sur la tension disponible en entrée de puce  $V_{rf}$  (figure III.13). En effet, la puissance transférée à la puce est, selon l'équation II.7 :

$$P_{Rtag} = \frac{|V_{rf}|^2}{2 \cdot R_{//}} \quad (\text{III.46})$$



**Figure III.13** – Représentation équivalente de l'antenne en impédance série et de la puce en impédance parallèle

Ainsi, en utilisant I.30, pour rappel :

$$P_{Rtag(x)} = P_{max} \cdot (1 - |\Gamma_x^*|^2) \quad (\text{III.47})$$

l'expression du ratio des puissances transférées à la puce lors de l'état non rétro-modulé et lors de l'état rétro-modulé est :

$$\frac{P_{Rtag(1)}}{P_{Rtag(2)}} = \frac{(1 - |\Gamma_1^*|^2)}{(1 - |\Gamma_2^*|^2)} = \frac{|V_{rf1}|^2}{|V_{rf2}|^2} \cdot \frac{R_{//2}}{R_{//1}} \quad (\text{III.48})$$

Le ratio des coefficients d'adaptation est fixé et connu de même que le ratio des résistances parallèles. Cela permet de connaître la nouvelle tension  $V_{rf2}$  pour une tension à l'adaptation  $V_{rf1}$  déterminée par la puissance de l'onde incidente. Connaissant  $V_{rf2}$  il devient possible de

### III.3 ARCHITECTURES DE RETRO-MODULATION INNOVANTES

calculer le ratio de largeur  $W_2/W_1$  avec  $W_2 = W_1 + W_{retro}$ . Selon l'article [99], la partie résistive de l'impédance d'un transistor MOSFET dans le cadre d'un multiplieur est :

$$R_{mos} = \frac{|V_{rf}|}{|I_{dfund}|} \quad (III.49)$$

Avec  $I_{dfund}$  le fondamental de la transformée de Fourier du courant drain-source du transistor. Ce dernier n'est en effet pas linéaire, et l'harmonique prépondérant est le fondamental. Son expression est proportionnelle à  $W$ ,  $L$  et  $V_{rf}$  :

$$I_{dfund} \propto \frac{W \cdot |V_{rf}|^2}{L} \quad (III.50)$$

Donc selon III.49 et III.50 :

$$R_{mos} \propto \frac{L}{W \cdot |V_{rf}|} \quad (III.51)$$

En considérant le circuit équivalent du multiplieur , la résistance parallèle du circuit s'exprime en fonction de  $R_{mos}$  :

$$R_{//} = \frac{1}{2 \cdot N} \cdot R_{mos} \quad (III.52)$$

Avec  $N$  le nombre d'étage du multiplieur.

$$R_{//} \propto \frac{L}{W \cdot |V_{rf}|} \cdot \frac{1}{2 \cdot N} \quad (III.53)$$

Le rapport des résistances donne alors :

$$\frac{R_{//2}}{R_{//1}} \simeq \frac{W_1 \cdot |V_{rf1}|}{W_2 \cdot |V_{rf2}|} \quad (III.54)$$

Ainsi, pour une valeur de  $V_{rf1}$  fixée pour une puissance minimale disponible à l'adaptation et connaissant  $V_{rf2}$  grâce à l'équation III.48, le ratio des largeurs peut-être retrouvé. Pour une architecture donnée dont la largeur du transistor a été optimisée et est connue, la largeur du transistor de rétro-modulation  $W_{retro}$  à imposer peut être trouvée.

En considérant les valeurs d'impédances fixées précédemment dans ce chapitre,  $Z_{c1} = 20 - j \cdot 200$  et  $Z_{c2} = 31 - j \cdot 200$ , selon III.44 ( $\rho_{mult} = \frac{R_{//2}}{R_{//1}}$ ) le ratio des résistances vaut 0.65 avec  $R_{//1} = 2020\Omega$  et  $R_{//2} = 1320\Omega$ . Pour une puissance minimale de fonctionnement de  $-18dBm$

et une adaptation parfaite ( $|\Gamma_1^*| = 0$ ), selon III.46 la tension d'entrée hors rétro-modulation vaut  $|V_{rf1}| = 253mV$ . Lors de la rétro-modulation, en accord avec l'impédance  $Z_{c2}$  qui doit être obtenue, le coefficient d'adaptation est tel que  $|\Gamma_2^*|^2 = 0.047$ . Ce qui permet, grâce à l'équation III.48 de déterminer la tension aux bornes de la puce lors de l'état rétro-modulé  $|V_{rf2}| = 200mV$ . Le ratio des largeurs est alors :

$$\frac{W_2}{W_1} = 1,96 \quad (\text{III.55})$$

La valeur du ratio calculée par simulation eldo vaut quant à elle 1,8. Le modèle développé ici est très proche de la simulation. Cela signifie que si, par exemple, les transistors du multiplieur ont une largeur de  $10\mu m$ , alors le transistor de rétro-modulation devra avoir une largeur de  $9\mu m$  environ pour obtenir l'impédance de rétro-modulation visée.

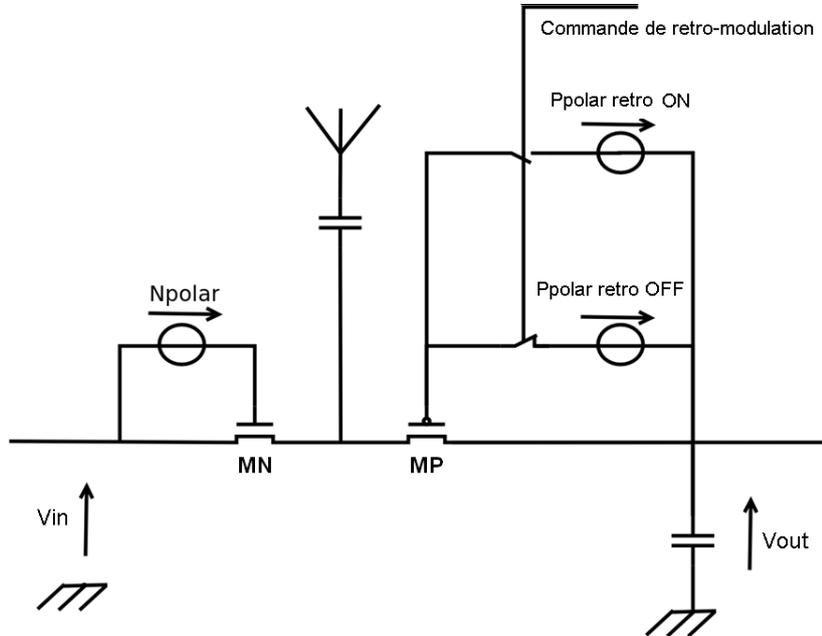
### 3.3.2 Variation des potentiels de grille

Une autre manière d'envisager la rétro-modulation à l'intérieur du multiplieur consisterait plutôt à faire varier le potentiel de grille des transistors (figure III.14). Comme cela a été vu dans la section 4.1 du chapitre II, les transistors du multiplieur alternent entre des états passant et bloqué à une fréquence de 900MHz. Le courant circulant dans les transistors est principalement régis par l'équation II.25 [69], c'est à dire :

$$i_{DS}(t) = K \cdot v_t^2 \cdot \frac{W}{L} \exp\left(\frac{V_{GS} - V_{th} + \beta \cdot V_{DS}}{n \cdot v_t}\right) \cdot \left(1 - \exp\left(-\frac{V_{DS}}{v_t}\right)\right) \quad (\text{III.56})$$

Pour rappel,  $\beta$  est le coefficient de l'abaissement de la barrière de potentiel induite par le drain (DIBL), et  $n$  est le coefficient d'effet substrat. En considérant l'équation précédente, et comme cela a été vu au chapitre II, lorsque la tension grille-source  $V_{GS}$  est augmentée, ce qui revient virtuellement à baisser la tension de seuil  $V_{th}$ , le courant de fuite augmente de manière exponentielle du fait de l'effet DIBL. L'augmentation du courant de fuite fait alors baisser le rendement de la structure, ce qui se caractérise par une diminution de la résistance parallèle de la puce.

Il est donc possible d'ajuster finement l'impédance de rétro-modulation en faisant varier la polarisation des transistors. Le potentiel à déterminer étant fortement dépendant de l'architecture du multiplieur ainsi que de la technologie utilisée, il ne peut être trouver facilement et sera obtenu par simulation électrique pour chaque circuit de récupération d'énergie conçu. La figure III.15 montre une implémentation de la rétro-modulation dans la structure de multiplieur



**Figure III.14** – Schéma de principe de la rétro-modulation par variation du potentiel de grille sur un étage du multiplieur

polarisé étudiée dans le chapitre II.

La polarisation du transistor PMOS est commandée par deux transistors suffisamment larges pour se comporter comme des interrupteurs sans pour autant perturber la polarisation lorsque la rétro-modulation est désactivée. Lorsque la commande de rétro-modulation est à l'état haut, le faible courant circulant dans l'étage de polarisation passe alors par les transistors NMOS montés en résistance de ratio  $W/L = 1$ , ce qui a pour effet de faire passer la valeur de la tension de polarisation du transistor PMOS de "Ppolar retro OFF" à "Ppolar retro ON" et donc l'impédance de la puce.

Ainsi, l'impédance obtenue par simulation électrique de la puce contenant un multiplieur polarisé avec une rétro-modulation intégrée au multiplieur est de :

$$Z_{c1} = 53 - j \cdot 533 \quad (\text{III.57})$$

lorsque la rétro-modulation est désactivée.

L'impédance de la puce au repos n'est pas proche de l'impédance visée initialement, c'est à dire  $20 - j \cdot 200$ . Le calcul de l'impédance de rétro-modulation reste toutefois valable.

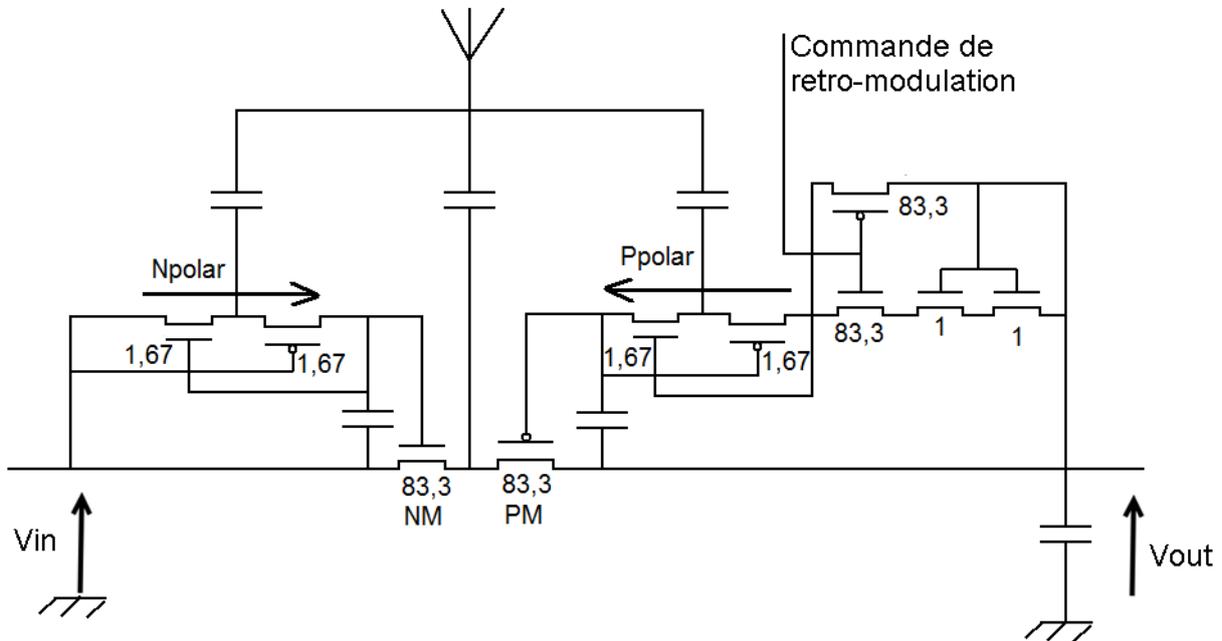


Figure III.15 – Implémentation de la rétro-modulation dans un étage du multiplieur polarisé

En ajustant les paramètres d'impédance, dans les mêmes conditions de sensibilité, de fréquence et de distance de fonctionnement, la nouvelle valeur optimale d'impédance calculée pour une rétro-modulation résistive devrait être de :

$$Z_{c2} = 82 - j \cdot 533 \quad (\text{III.58})$$

Toutefois, la simulation électrique de la structure pendant la rétro-modulation donne une impédance de :

$$Z_{c\text{retro}} = 152 - j \cdot 472 \quad (\text{III.59})$$

La visibilité de la communication est garantie car la valeur de rétro-modulation simulée se situe dans la zone de visibilité du lecteur mais en revanche, concernant la télé-alimentation, la rétro-modulation vue dans la figure III.15 est surdimensionnée. En effet, la valeur du module au carré du coefficient d'adaptation sera alors de :

$$|\Gamma_{\text{retro}}^*|^2 = 0,296 \quad (\text{III.60})$$

Ce qui est relativement éloigné de la valeur visée qui est :

$$|\Gamma_2^*|^2 = 0,046 \quad (\text{III.61})$$

Ce défaut d'ajustement vient du fait que la présence de la rétro-modulation à l'intérieur de l'architecture du multiplieur modifie l'impédance de celui-ci. Pour compenser ce défaut d'ajustement, il faudrait modifier la taille des transistors NMOS montées en résistance qui assurent le contrôle de la polarisation de manière itérative. Cet ajustement n'a pas été fait pour le moment. Il sera effectué après que les premières mesures eu été faites.

Concernant les mesures, les circuits présentés précédemment sont en cours de fabrication. Ils seront donc mesurés prochainement.

## 4 CONCLUSION

La rétro-modulation a été étudiée sous plusieurs aspects. Tout d'abord, il a été proposé une méthodologie qui permet d'aboutir à une impédance de rétro-modulation que le concepteur se doit d'obtenir s'il veut que son système soit optimisé. Ensuite, à partir des résultats théoriques, des ajustements sur des systèmes de rétro-modulation déjà existant ont été proposés. Puis, de nouvelles architectures de rétro-modulation, intégrées dans le multiplieur ont été étudiées.

Les points essentiels à retenir sont les suivants. Pour une impédance de puce de  $Z_{c1} = 20 - j \cdot 200$  et une antenne dont l'impédance est l'adaptation-conjuguée de celle de la puce, pour une sensibilité de lecteur de -80dBm et une sensibilité de tag de -18dBm, une impédance de rétro-modulation de  $Z_{c2} = 31 - j \cdot 200$  ou de  $Z_{c2} = 20 - j \cdot 193$  permettrai au tag d'optimiser sa télé-alimentation tout en restant visible pour le lecteur.

Dans le cas du multiplieur polarisé vu dans le chapitre II, l'impédance de la puce est alors de  $Z_{c1} = 53 - j \cdot 533$ . Un nouveau calcul donne une impédance de rétro-modulation optimale de  $Z_{c2} = 82 - j \cdot 533$ . La rétro-modulation est alors un peu surdimensionnée car elle impose une impédance de  $Z_{c2retro} = 152 - j \cdot 472$ . Pour se rapprocher de l'impédance visée, il faudrait modifier la taille des transistors NMOS qui permettent d'ajuster la polarisation pendant la rétro-modulation.



---

---

# Chapitre IV

---

## L'auto-adaptation. Principes et circuits

### 1 INTRODUCTION

Jusqu'à présent, les améliorations effectuées ne l'ont été que pour une fréquence donnée, généralement de  $900MHz$ . Toutefois, la plage de fréquence en RFID UHF s'étend de  $860MHz$  à  $960MHz$ , et comme cela a été vu dans le chapitre I, il n'est pas possible habituellement de conserver l'adaptation d'impédance quelque soit la fréquence. Par ailleurs, l'effet de la désadaptation se fait d'autant plus sentir que le système possède un facteur de qualité élevé. Avoir un fort coefficient de qualité peut être intéressant du point de vue la télé-alimentation dans certain cas. Ainsi, l'architecture dite de rectenna, étudiée dans la section 5 du chapitre II possède un facteur de qualité important ce qui permet de minimiser le nombre d'étage de la structure et donc de minimiser les pertes dues aux transistors. Grâce à cela, cette structure possède un rendement théorique élevé. Pour conserver cet avantage dû au fort facteur de qualité, il est intéressant d'adapter automatiquement la puce à son antenne en fonction de la fréquence.

Dans ce chapitre, une étude théorique de l'auto-adaptation d'une puce RFID UHF passive en champs lointain est donc proposée pour commencer. Puis plusieurs architectures sont ensuite abordées afin de répondre au mieux aux contraintes imposées par la théorie.

### 2 ETUDE THEORIQUE

#### 2.1 Choix du facteur de qualité

Le facteur de qualité va grandement influencer l'efficacité du système dans la bande passante. Par ailleurs, la manière dont ce facteur de qualité est choisi va également impacter le développement de l'antenne du tag. Il est donc important d'étudier différent type de facteur de qualité afin de comprendre l'utilité de l'auto-adaptation.

## Chapitre IV. L'auto-adaptation. Principes et circuits

---

L'impédance de la puce utilisée dans les parties précédentes est généralement de  $Z_{c1Q10} = 20 - j \cdot 200$  pour une fréquence centrale de 910MHz, ce qui donne  $Q = 10$ . Pour rappel l'expression du coefficient de qualité pour un multiplieur de tension est :

$$Q = -\frac{X_c}{R_c} \quad (\text{IV.1})$$

Comparons ce facteur de qualité avec  $Q = 20$  et  $Q = 30$ . En supposant qu'il n'y a qu'une variation de partie réelle entre les cas, les impédances obtenues sont respectivement de  $Z_{c1Q20} = 10 - j \cdot 200$  et  $Z_{c1Q30} \approx 7 - j \cdot 200$  à 910MHz. Il serait aisé de montrer que les résultats sont similaires pour une modification de la partie imaginaire entre les cas.

Soit la capacité série de la puce, définie telle que :

$$C_c = -\frac{1}{2 \cdot \pi \cdot f \cdot X_c} \quad (\text{IV.2})$$

Donc à 910MHz, pour  $X_c = -200$ ,  $C_c \approx 875\text{fF}$ .

En supposant que le facteur de qualité et la capacité série de la puce sont stables en fréquence (ce qui sera confirmé par les mesures ensuite), alors selon IV.2 et IV.1, il y aura évolution de la partie réelle et de la partie imaginaire de la puce en fonction de la fréquence. En tenant compte de ces variations, il est possible de comparer les tensions en entrée de la puce en fonction de la fréquence et du facteur de qualité.

La figure IV.1(a) montre le comparatif entre les différentes tensions d'entrée de la puce. Ces tensions sont obtenues via les équations I.45 et I.40, à savoir :

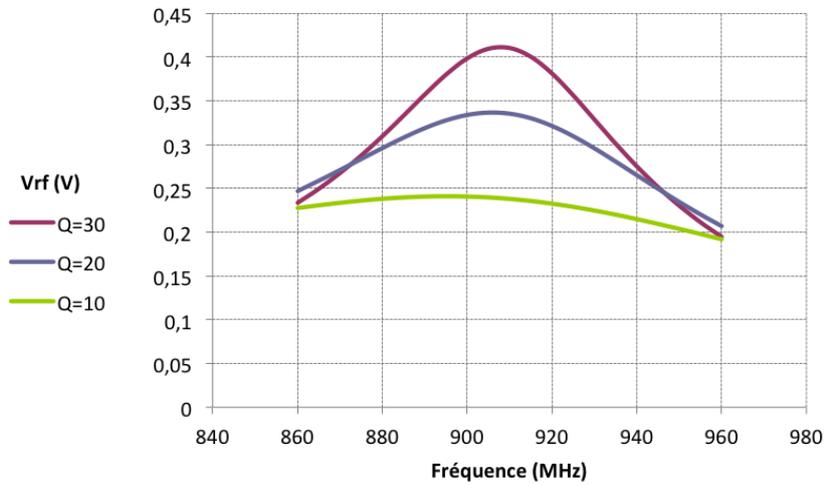
$$|V_{rf}| = \sqrt{2 \cdot R_c \cdot P_{max} \cdot (1 - |\Gamma^*|^2) \cdot (1 + Q^2)} \quad (\text{IV.3})$$

$$P_{max} = \frac{\lambda^2}{4 \cdot \pi} \cdot G_0 \cdot W_i \quad (\text{IV.4})$$

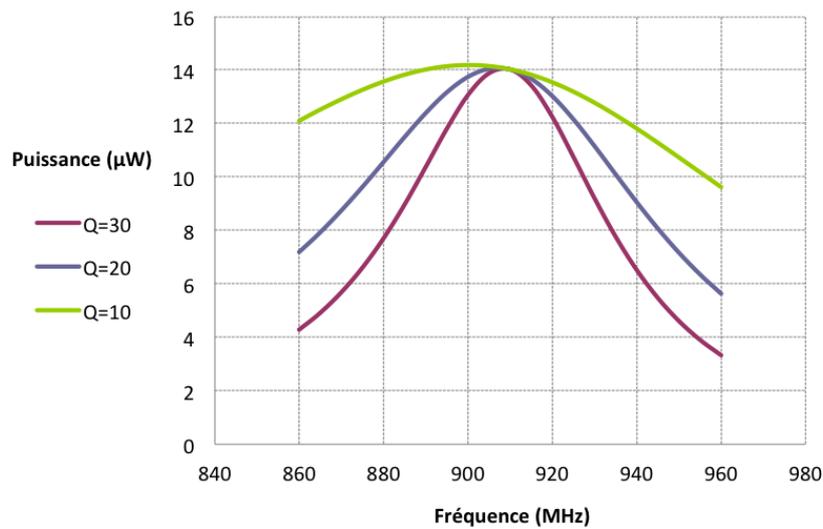
Avoir un fort facteur de qualité permet d'augmenter la tension en entrée de la puce lorsque la fréquence est telle que le système puce antenne est adapté. Hors adaptation, pour ce qui est de la tension d'entrée, avoir un fort facteur de qualité ne semble pas pénaliser le système. Ainsi, un important facteur de qualité facilite le franchissement des tensions de seuil.

En revanche, la figure IV.1(b) montre que l'évolution de la puissance entrante en fonction de la fréquence est moins intéressante pour la récupération d'énergie lorsque le facteur de qualité est élevé et le système désadapté.

Avoir une solution d'auto-adaptation devient alors intéressant si le système ne fonctionne pas



(a)



(b)

**Figure IV.1** – Evolution (a) de la tension en entrée de puce (b) de la puissance entrante dans le multiplieur, en fonction de la fréquence et pour différents facteurs de qualité, pour une densité de puissance incidente de  $1mW/m^2$  et un gain de l'antenne du tag  $G_0 = 2.1dB$ .

faute de puissance mais faute de tension suffisamment importante en entrée. Pour un facteur de qualité de 30, le système pourrait alors fonctionner quelque soit la fréquence avec une puissance en entrée constante et une tension d'entrée plus grande qu'avec un facteur de qualité de 10.

## 2.2 Fonctionnement de l'auto-adaptation

Pour comprendre comment il est possible de réadapter de manière dynamique le système puce-antenne, il faut reprendre une étude des impédances de la puce et de l'antenne. Soit l'impédance parallèle de la puce définie par l'équation II.1, c'est à dire :

$$Z_c = \frac{R_{//}}{1 + j \cdot R_{//} \cdot C_{//} \cdot \omega} \quad (\text{IV.5})$$

L'impédance d'antenne restant définie par :

$$Z_a = R_a + j \cdot X_a = R_a + j \cdot L_a \cdot \omega \quad (\text{IV.6})$$

Avec  $L_a$  l'inductance équivalente de l'antenne qui sera considérée constante en fonction de la fréquence. Pour rappel, les conditions d'adaptation entre la puce et son antenne (voir les équations I.23 et I.24) sont :

$$R_a = \Re(Z_c) = R_c = \frac{R_{//}}{1 + (R_{//} \cdot C_{//} \cdot \omega)^2} \quad (\text{IV.7})$$

$$X_a = L_a \cdot \omega = -\Im(Z_c) = -X_c = \frac{R_{//}^2 \cdot C_{//} \cdot \omega}{1 + (R_{//} \cdot C_{//} \cdot \omega)^2} \quad (\text{IV.8})$$

Ce qui peut, compte tenu des impédances utilisées en RFID UHF, peut se simplifier par :

$$R_a \simeq \frac{1}{R_{//} \cdot (C_{//} \cdot \omega)^2} \quad (\text{IV.9})$$

$$L_a \simeq \frac{1}{C_{//} \cdot \omega^2} \quad (\text{IV.10})$$

Toujours selon la même simplification :

$$R_{//} = \frac{R_c^2 + X_c^2}{R_c} \simeq -Q \cdot X_c \quad (\text{IV.11})$$

$$C_{//} = -\frac{X_c}{\omega \cdot (R_c^2 + X_c^2)} \simeq -\frac{1}{X_c \cdot \omega} = C_c \quad (\text{IV.12})$$

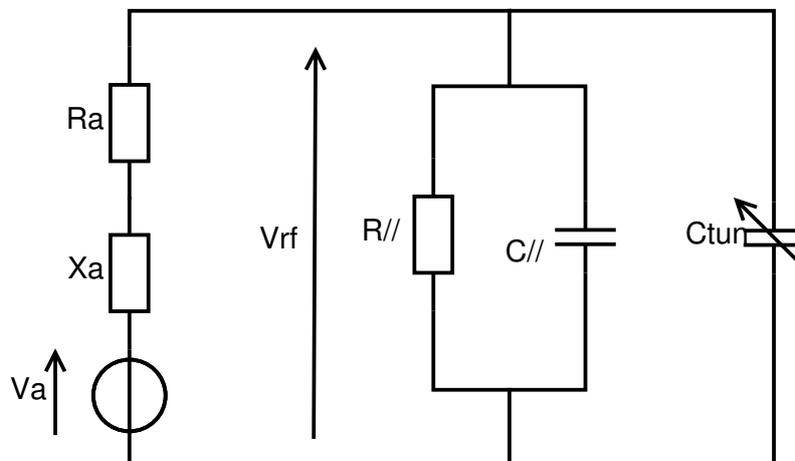
Les équations IV.9 et IV.10 peuvent donc s'exprimer finalement de la façon suivante :

$$R_a \simeq \frac{1}{Q \cdot C_{//} \cdot \omega} \quad (\text{IV.13})$$

$$L_a \simeq \frac{1}{C_{//} \cdot \omega^2} \quad (\text{IV.14})$$

Au vu des conditions IV.13 et IV.14, il est possible de conclure que, d'une part, une compensation de la capacité parallèle de la puce permettrait de valider une des deux conditions quelque soit la fréquence. Et d'autre part, que compte tenu de sa plus grande dépendance avec la fréquence, il est plus intéressant de chercher à respecter systématiquement la condition IV.14 plutôt que la condition IV.13.

Afin de respecter cette condition, une capacité d'adaptation variable  $C_{tun}$  est donc implantée en entrée du circuit (figure IV.2).



**Figure IV.2** – Représentation d'un tag muni d'une capacité d'adaptation

Grâce à cette capacité, la condition IV.14 se réécrit donc :

$$L_a = \frac{1}{(C_{tun} + C_{//}) \cdot \omega^2} \quad (\text{IV.15})$$

Ainsi, si la valeur de la capacité est ajustée de façon à ce que :

$$C_{tun} = \frac{1}{B \cdot \omega^2} - C_{//} \quad (\text{IV.16})$$

avec  $B$  une constante de la valeur de l'inductance de l'antenne, alors la condition d'adaptation sera toujours respectée.

Ainsi, en plaçant une capacité variable, pour un système adapté à  $960\text{MHz}$  au repos (c'est à dire, lorsque la valeur de la capacité variable est à zéro), les valeurs de la capacité variable  $C_{tun}$  en fonction de la fréquence sont les suivantes :

Fréquence (MHz)	$C_{tun}$ (fF)
860	204,2
880	157,8
900	114,4
910	93,8
920	73,9
940	35,9
960	0,2

**Tableau IV.1** – Valeur de  $C_{tun}$  en fonction de la fréquence

Il faudra donc placer une capacité variable dont la valeur maximale sera au minimum de  $200\text{fF}$ .

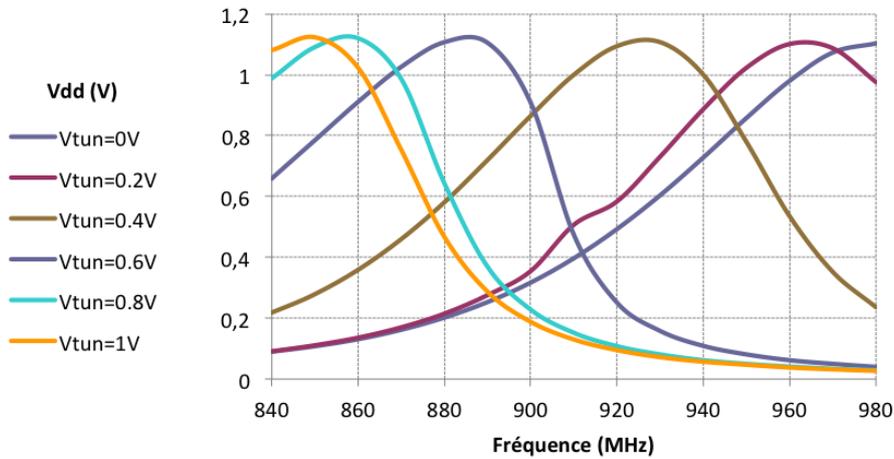
### 3 ARCHITECTURES D'AUTO-ADAPTATION

Qu'il s'agisse de l'état de l'art ou des systèmes proposés par la suite, tous ont une caractéristique commune. La capacité variable est composée systématiquement de deux transistors PMOS connectés ensemble par leur bulk au point  $V_{tun}$  et dont leur grille respective est sur une des entrées radio-fréquence de la puce. Formant ainsi deux capacités MOS en série, ce système à l'avantage de ne prendre que très peu de place sur le silicium. La figure IV.3 montre la simulation de l'évolution de la valeur de  $V_{dd}$  en fonction de la fréquence et de la valeur de  $V_{tun}$  qui commande la capacité variable PMOS choisie.

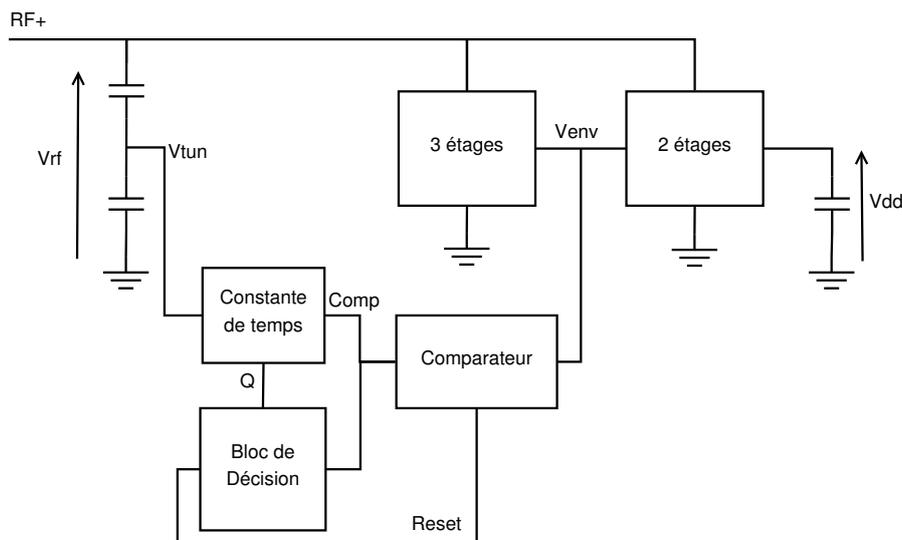
#### 3.1 Systèmes à comparateurs

Afin de ne pas être inquieté par l'alimentation d'une éventuelle horloge, contrairement aux systèmes présentés dans l'état de l'art au chapitre I [61] [62], le système proposé (figure IV.4) fonctionne de façon totalement asynchrone. Par ailleurs, cela limite la consommation du système d'auto-adaptation.

Ce système se base sur un détecteur de champ réalisé par les premiers étages du multiplieur. Cela permet d'obtenir une tension suffisamment élevée pour que le comparateur (figure IV.5)



**Figure IV.3** – Evolution de la tension d'alimentation  $V_{dd}$  en fonction de la valeur du potentiel d'adaptation  $V_{tun}$



**Figure IV.4** – Architecture proposée, avec détecteur de champs

puisse en interpréter ses variations sans pour autant être trop proche de la tension d'alimentation d'alimentation  $V_{dd}$ , ce qui poserait également un problème d'interprétation.

Lorsque le système est désadapté, initialement, la tension d'alimentation est très faible. Le point de polarisation  $V_{tun}$  va croître très lentement à travers la constante de temps (figure IV.6).

La valeur de cette constante de temps a été déterminée empiriquement par simulation. Il s'agit d'un compromis entre vitesse et précision. Le système doit avoir son état stable en moins  $1ms$ , car selon le protocole de communication, la modulation est susceptible de commencer au delà de ce délai. D'un autre côté, si le système est trop rapide, le potentiel  $V_{tun}$  ne pourra pas

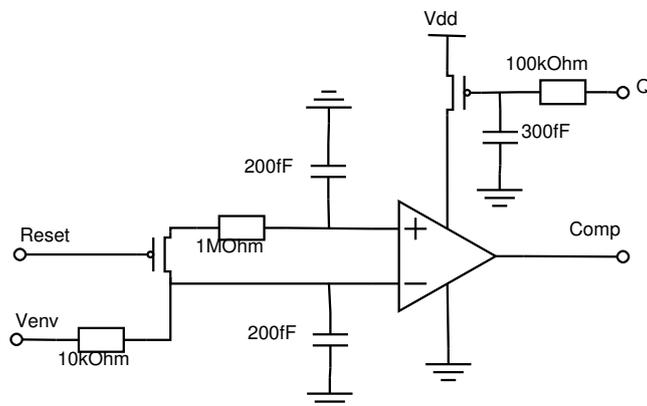


Figure IV.5 – Comparateur permettant d'analyser l'évolution de la tension en entrée du multiplieur

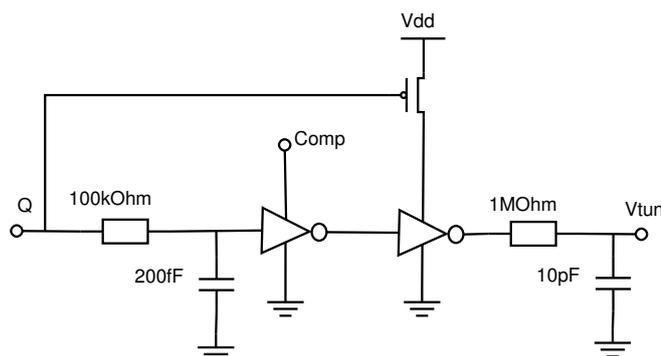


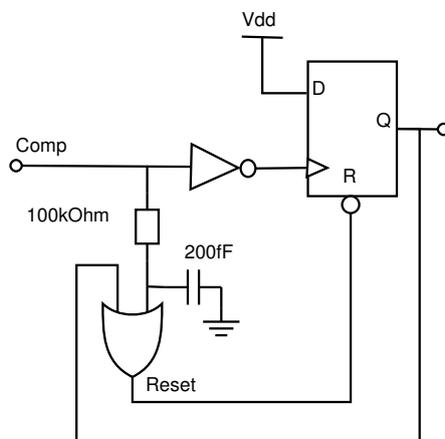
Figure IV.6 – Constante de temps commandée par le bloc de décision et le comparateur

être fixé avec précision.

Le système se rapproche du point d'adaptation et la tension  $V_{env}$  va croître. La sortie du comparateur  $Comp$  reste à l'état bas, de même que l'ensemble des autres potentiels du système à l'exception de l'entrée d'horloge de la bascule flip-flop du bloc de décision (figure IV.7).

Une fois que le potentiel est monté à un point tel que l'adaptation est dépassée, la tension  $V_{env}$  décroît via le retard présent sur l'entrée + du comparateur (figure IV.5). On a alors  $V_{env}(t - dt) > V_{env}(t)$  et la sortie du comparateur "Comp" passe à l'état haut. Cela va alimenter l'inverseur et décharger le potentiel  $V_{tun}$  afin de se rapprocher du point d'adaptation (figure IV.6). Via la porte OU, le RESET de la bascule (figure IV.7) est désactivé et la tension en retard présente sur l'entrée + du comparateur est échantillonnée.

La tension  $V_{env}$  croît donc de nouveau, lorsqu'elle dépasse la tension échantillonnée,  $Comp$



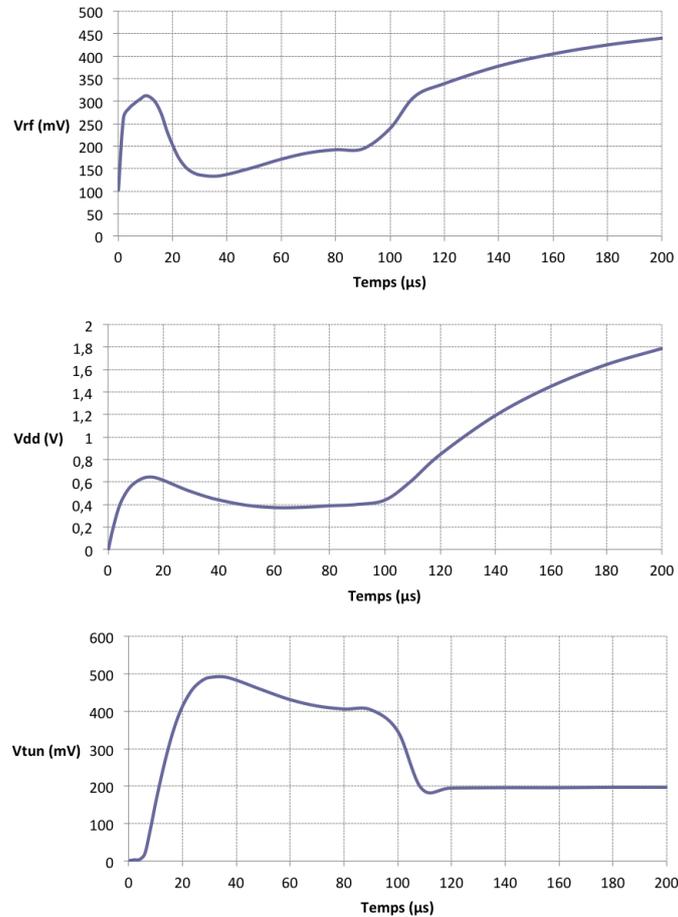
**Figure IV.7** – Bloc de décision, commandant l'arrêt de l'auto-adaptation

repassse à l'état bas, le front montant sur l'entrée d'horloge de la bascule flip-flop fait passer sa sortie "Q" à l'état haut. L'échantillonnage est maintenu, ainsi que la désactivation du RESET. Par ailleurs, le système bloque la valeur du signal  $V_{tun}$ , le point d'adaptation est obtenu.

L'instant d'après, le système se met en veille en désactivant le comparateur afin de réduire la consommation.

Les simulations montrent que, à 960MHz (figure IV.8), le système étant proche de l'adaptation, la tension d'alimentation  $V_{dd}$  augmente rapidement. Cela se traduit par une croissance rapide de  $V_{tun}$ . Le système dépasse alors le point d'adaptation, la tension  $V_{rf}$ , après être passée par un maximum, décroît rapidement. Le potentiel  $V_{tun}$  se décharge donc jusqu'à atteindre de nouveau le point d'adaptation, le système est alors bloqué.

A 860MHz (figure IV.9), le fonctionnement est similaire. Seulement l'adaptation est cette fois plus longue à atteindre. En effet, le système étant initialement adapté pour une fréquence proche de 960MHz, il faut traverser toute la plage de fréquence pour obtenir l'adaptation à 860MHz. Le système est volontairement lent afin de gagner en précision. Par ailleurs, le choix des constantes de temps d'entrée (au niveau du comparateur) et de sortie (au niveau de  $V_{tun}$ ) est important. Si la constante de temps d'entrée est trop faible par rapport à la constante de temps de sortie, le retard ne sera pas suffisant pour croiser les deux signaux et le système ne fonctionnera pas. Si elle trop importante, le système manquera de précision. Lorsqu'on augmente justement la précision du système, il y a également risque d'instabilité au niveau du comparateur. Les tensions à comparer se croisant très lentement, les simulations monte-carlo montrent qu'une légère variation de process peut générer une forte dispersion au niveau de la sortie  $Comp$  et donc bloquer  $V_{tun}$  à une valeur non optimale.



**Figure IV.8** – Evolution de la tension  $V_{tun}$  ainsi que des tensions d'entrée  $V_{r.f}$  et de sortie  $V_{dd}$  du multiplieur en fonction du temps à 960MHz

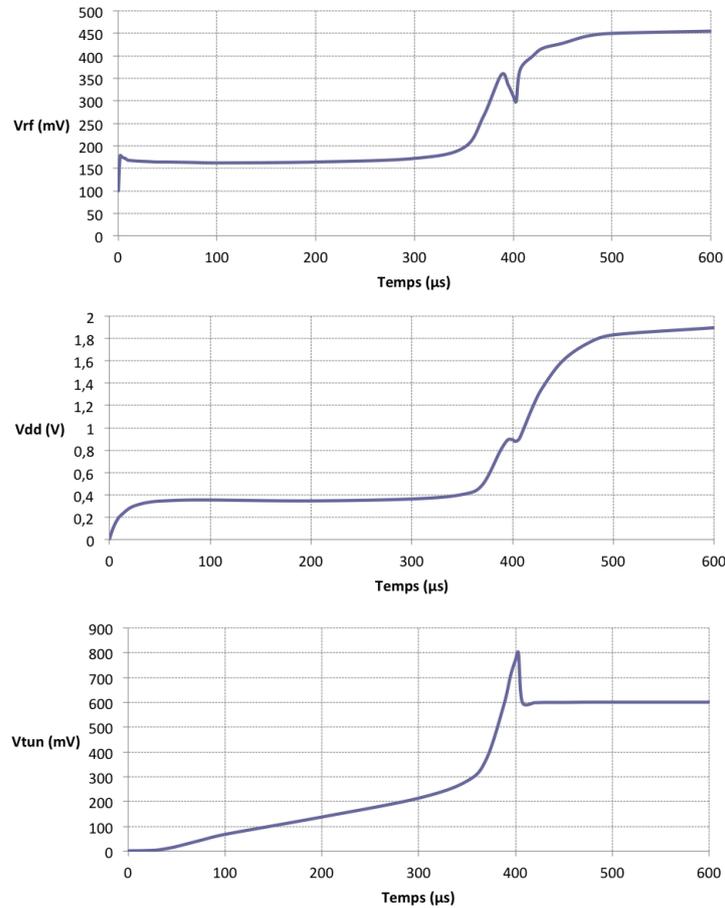
## 3.2 Adaptation par constante de temps

### 3.2.1 Architecture

Une autre méthode, ne nécessitant ni horloge ni comparateur, donc très basse consommation et avec des instabilités très limitées, consiste à utiliser des constantes de temps afin de trouver le point d'adaptation. Selon l'étude théorique, la variation de la capacité d'adaptation doit être linéaire, et plus la fréquence est basse plus sa valeur doit être grande. L'adaptation par défaut sera donc faite à la fréquence la plus élevée, soit 960MHz. Cela évite l'utilisation d'inductances qui sont difficiles à intégrer dans le silicium et cela limite aussi la complexité du système car le balayage en fréquence ne se fera que dans un sens, de la fréquence la plus haute vers la fréquence la plus basse.

Comme pour la solution précédente, le principe ici, est de laisser augmenter le potentiel de

### IV.3 ARCHITECTURES D'AUTO-ADAPTATION



**Figure IV.9** – Evolution de la tension  $V_{tun}$  ainsi que des tensions d'entrée  $V_{rf}$  et de sortie  $V_{dd}$  du multiplieur en fonction du temps à 860MHz

contrôle de l'adaptation  $V_{tun}$ . Toutefois, afin de s'affranchir du comparateur, il n'y a, cette fois, pas de détection de maximum pour la tension d'alimentation  $V_{dd}$ . En réalité, le potentiel de contrôle est stoppé lorsque la tension d'alimentation est suffisante.

La figure IV.10 montre le schéma de principe de l'architecture proposée. Quelque soit la fréquence utilisée, le multiplieur va générer une tension  $V_{dd}$  à sa sortie. Initialement cette tension pourra être rapidement élevée, si la fréquence est proche de 960MHz, ou bien très faible si la fréquence est plutôt proche de 860MHz. Quelque soit cette tension, le potentiel de contrôle  $V_{tun}$  va se charger lentement à travers le circuit RC. En augmentant, le potentiel de contrôle modifie l'impédance de la puce et la rapproche du point d'adaptation. Par conséquent, le signal radio-fréquence d'entrée  $V_{rf}$  ainsi que la puissance absorbée par la puce augmentent (voir figure IV.1). Cela a pour effet d'augmenter la tension d'alimentation de la puce  $V_{dd}$  et, par effet de boucle, le potentiel  $V_{tun}$  également et ce de plus en plus rapidement.

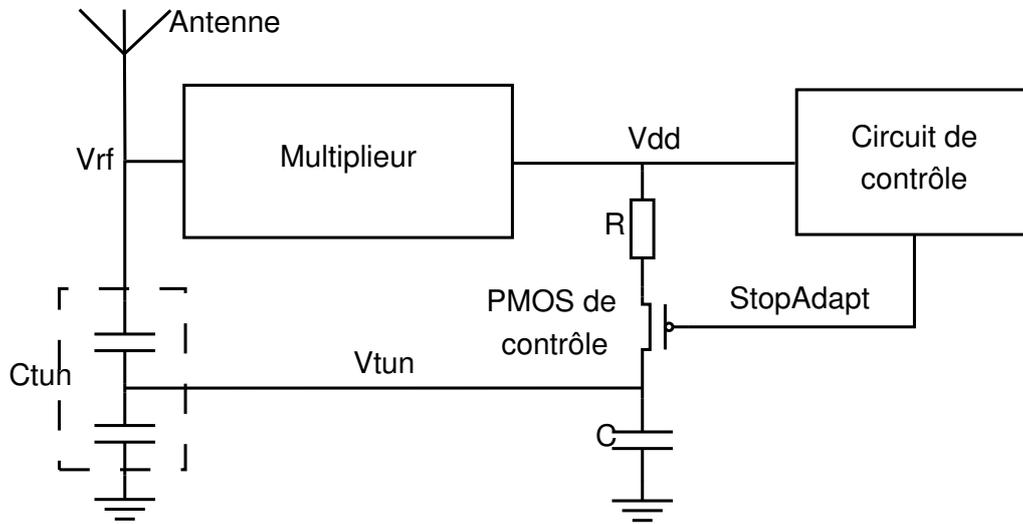


Figure IV.10 – Schéma de principe du système d'auto-adaptation à constante de temps

Lorsque  $V_{dd}$  atteint une valeur suffisante pour alimenter la puce, alors le circuit de contrôle de l'adaptation active sa sortie qui était à un état bas jusqu'à présent. Ainsi, le transistor PMOS va se bloquer, alors que le potentiel  $V_{tun}$  aura valeur suffisante pour permettre à la puce de fonctionner.

Le circuit de contrôle de l'adaptation est décrit dans la figure IV.12. Pour limiter au maximum la consommation du système d'auto-adaptation, le circuit de contrôle utilise un bloc déjà existant dans la puce qui est le circuit d'initialisation de la puce dit "Power On Reset" (POR), évoqué dans le premier chapitre. Un exemple de POR est donné en figure IV.11. Lorsque  $V_{dd}$  augmente, après un bref instant d'initialisation des inverseurs correspondant à un  $V_{dd}$  très faible, la sortie du POR prend la valeur de la tension d'alimentation. Puis lorsque la condition

$$V_{dd} > V_{ref1} + V_{th} \quad (IV.17)$$

est vérifiée, alors les inverseurs changent d'états et la sortie du POR passe à l'état bas. Il y a alors initialisation de la puce.

Au début de la communication, le potentiel  $V_{dd}$  est très faible, le signal de RESET de la bascule D-latch est donc à l'état bas (figure IV.12), ce qui initialise la sortie de la bascule à un "0" logique. Le transistor PMOS est passant, le potentiel  $V_{tun}$  augmente progressivement avec la tension d'alimentation comme décrit précédemment. Lorsque  $V_{dd}$  est suffisamment élevée pour que la sortie du POR passe à l'état haut (voir figure IV.13), alors la bascule entre en état mémoire grâce au passage du signal d'horloge (CLK) à "0", tandis que le RESET de la bascule est désactivé. Si le tag est à une distance inférieure ou égale à sa distance maximale de

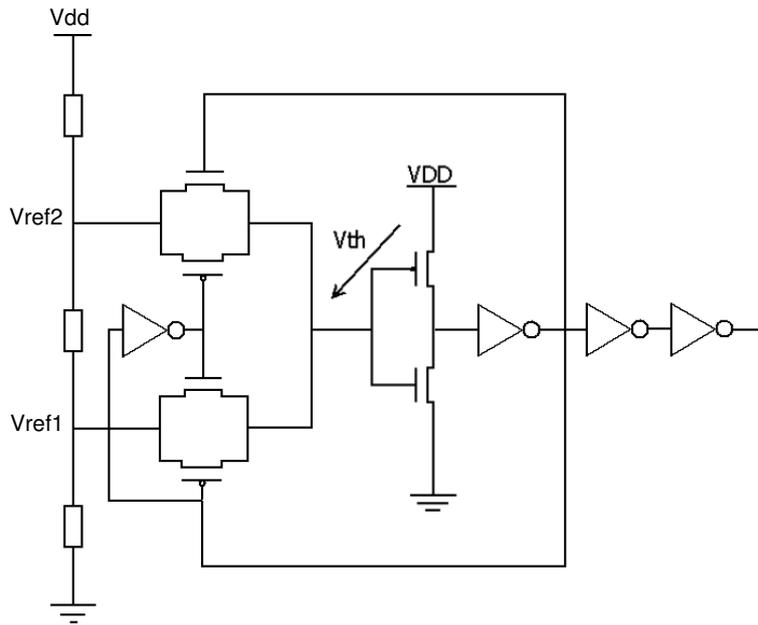


Figure IV.11 – Exemple de circuit de POR

télé-alimentation, alors la tension d'alimentation continue d'augmenter jusqu'à ce que le POR s'active et que sa sortie repasse à l'état bas (figure IV.13). La sortie Q de la bascule passe alors à "1" ce qui bloque le transistor PMOS, maintient le RESET à l'état haut et fige le potentiel de contrôle.

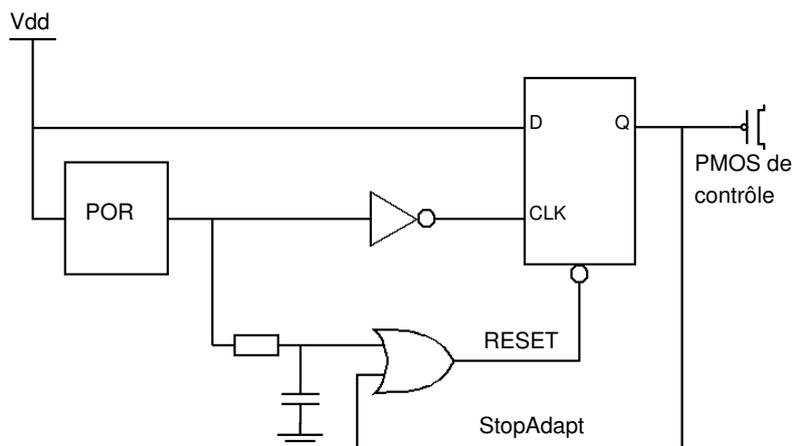
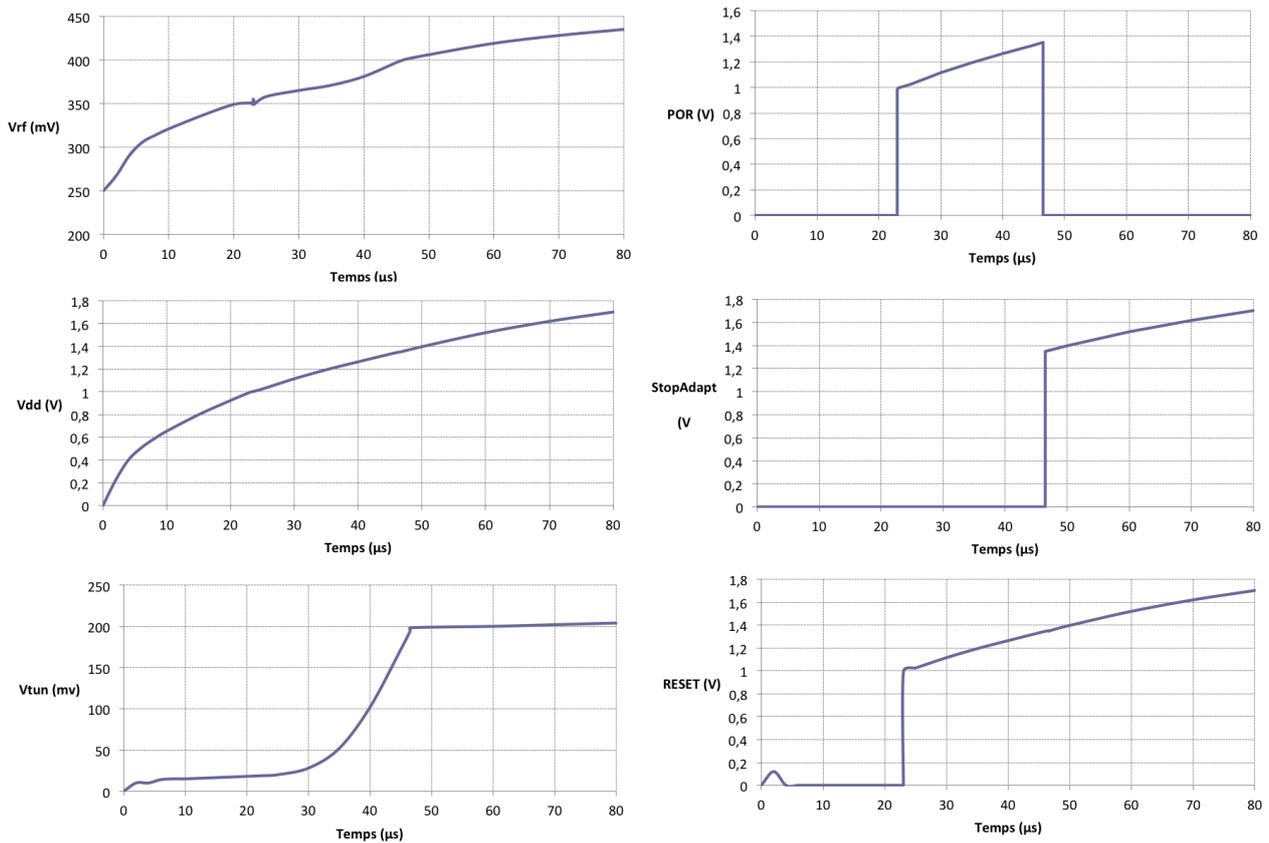


Figure IV.12 – Schéma du circuit de contrôle

### 3.2.2 Simulations

Les simulations, avec un système adapté initialement pour une fréquence légèrement supérieure à 960MHz et pour une puissance minimale de -18dBm donnent un fonctionnement cohérent. Ainsi, à 960MHz (figure IV.13), le système trouve le point d'adaptation très rapidement. Les croissances de  $V_{rf}$  et de  $V_{dd}$  sont très rapides, le POR s'enclenche en un laps de temps très court, ce qui stoppe la montée du potentiel  $V_{tun}$  à une valeur proche de celle observée à 960MHz sur la figure IV.3. Il en va de même pour la simulation à 860MHz. Là encore, pour la puissance minimale de fonctionnement, la valeur du potentiel  $V_{tun}$  au moment du blocage correspond à la valeur attendue à cette fréquence pour obtenir l'adaptation.



**Figure IV.13** – Evolution des tensions caractéristiques du circuit en fonction du temps à 960MHz

Pour obtenir ces valeurs, il a fallu régler finement la constante de temps présente entre  $V_{dd}$  et  $V_{tun}$ . Si l'architecture du multiplieur est modifiée et que son rendement et/ou son impédance change, alors il faut trouver une nouvelle constante de temps qui permette d'obtenir l'adaptation à toutes les fréquences.

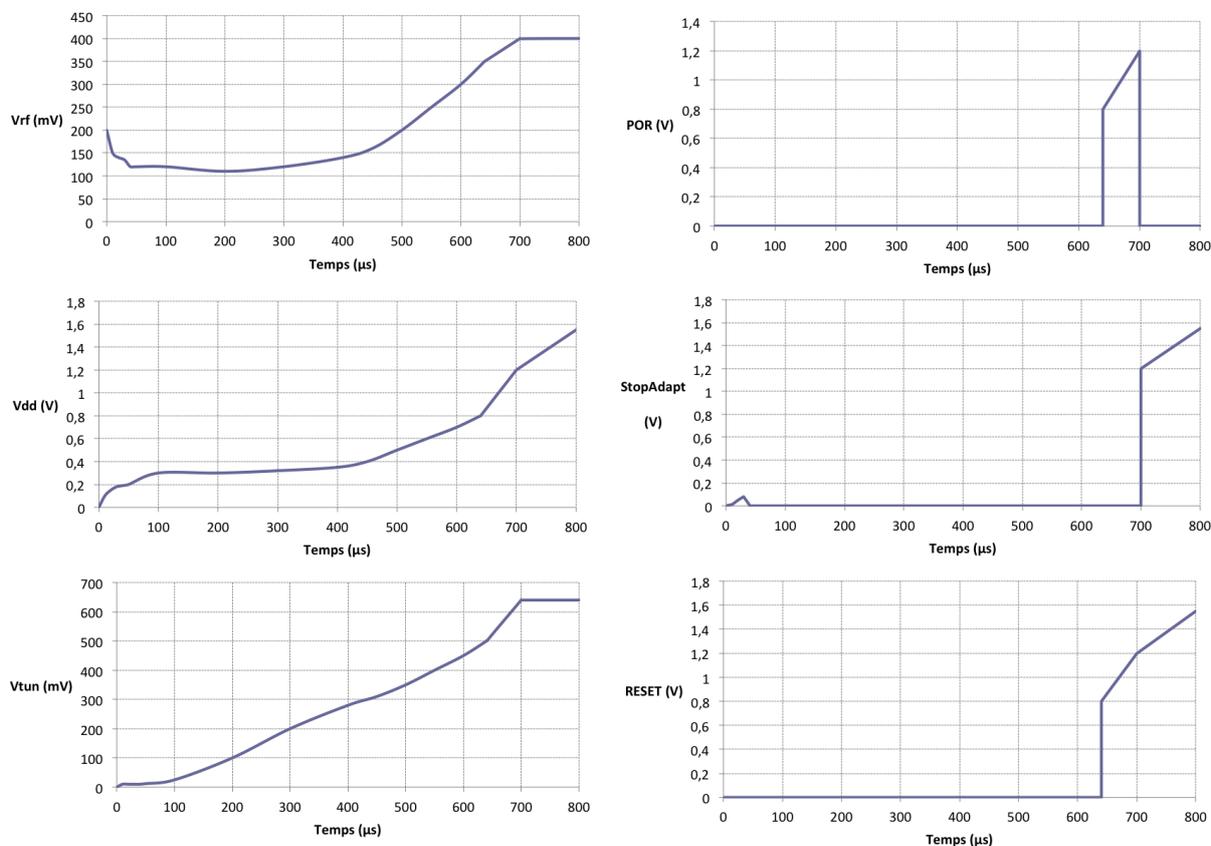


Figure IV.14 – Evolution des tension caractéristiques du circuit en fonction du temps à 860MHz

### 3.2.3 Limitations du système

Cette architecture a pour avantage d'être plus stable que la précédente. En effet les simulations Monte-Carlo indiquent que le système est stable à 95% pour de variations de process typiques de la technologie utilisée (ici F8H 0,18µm). Cela est du à l'absence de comparateur.

En revanche, cette architecture se base sur le postulat, prédit par les simulations, que pour une puissance donnée, la variation d'impédance de la puce en fonction de la fréquence est linéaire. De ce fait, la recherche du point de tuning a été grandement simplifiée par rapport à la toute première solution évoquée [61]. Cette simplification, et notamment, le blocage du potentiel d'adaptation  $V_{tun}$ , bien que favorable à une faible consommation et une absence d'oscillations, fait apparaître des points bloquants. Ainsi, si le tag entre lentement, dans un champs électromagnétique généré par un lecteur déjà actif, la puce ne pourra s'adapter correctement. En effet, le tag est d'abord au-delà de sa distance maximale de fonctionnement, le signal de POR ne pourra donc pas s'activer et le blocage ne se fera donc pas. La capacité variable sera donc polarisée à une valeur non maîtrisée.

Il existe également un problème similaire lorsque le tag est éloigné lentement du lecteur. Si le champ électromagnétique est activé par le lecteur est activé alors que la distance tag-lecteur n'est pas maximale, alors le point de polarisation  $V_{tun}$  a été bloqué de façon à obtenir le bon fonctionnement de la puce mais pas son adaptation. Ainsi, lorsque le tag est éloigné du lecteur, il y aura rapidement coupure de la communication, faute de tension d'alimentation.

Pour synthétiser l'ensemble des données de ce chapitre, le tableau IV.2 revient sur les principales caractéristiques des systèmes étudiés.

méthode d'auto-adaptation	Précision	Tension requise	Stabilité
Par source secondaire [61]	Variable	élevée (0.8V minimum)	Bonne
Par adaptation numérique [62]	Variable	moyenne (0.4V minimum)	Bonne
Par comparateur	Moyenne	Faible (pas de limite basse)	Mauvaise
Par constante de temps	Faible	Faible (pas de limite basse)	Bonne

**Tableau IV.2** – Tableau récapitulatif des différents systèmes d'auto-adaptation étudiés

Chaque structure possède ses avantages et ses inconvénients. Toutefois, les circuits proposés dans ce mémoire sont les seuls à ne pas avoir de limite basse pour leur tension de fonctionnement, ce qui leur permet de ne pas avoir besoin de source d'alimentation supplémentaire.

## 4 CONCLUSION

Dans ce chapitre, le problème de désadaptation entre la puce et l'antenne du tag en fonction de la fréquence a été étudié. Si le facteur de qualité de la puce est très important, alors ses performances peuvent être dégradées de manière significative au niveau des fréquences extrêmes de la bande 860MHz - 960MHz. Pour contrer ce problème, des solutions d'auto-adaptation, inspirées principalement de la téléphonie mobile, ont été étudiées. Les solutions déjà présentes dans l'état de l'art semblent être certes performantes, mais elles ont en contrepartie des exigences en terme d'alimentation que le multiplicateur seul ne peut assumer dans tout les cas de figures.

Deux solutions ont donc été développées afin d'éviter cet inconvénient. La première utilise un détecteur de champs à comparateur pour trouver le point d'adaptation. Une fois celui-ci obtenu, le système se met en veille pour minimiser la consommation. Les simulations de ce

ystème semblent satisfaisantes, toutefois la précision exigée au niveau du comparateur rend le système susceptible d'instabilité si les variations de process sont trop importantes au moment de la fabrication.

La seconde solution, supprime ces instabilités ainsi qu'une éventuelle surconsommation due au comparateur en utilisant le signal de Power On Reset de la puce pour déclencher l'auto-adaptation. Là encore, les simulations effectuées sont satisfaisantes.



---

## Conclusion générale

Les informations contenues dans ce mémoire concernent l'amélioration de la portée des systèmes télé-alimentés en RFID UHF. Ces optimisations peuvent se faire suivant des axes distincts et chacun d'entre eux a été exposé dans un chapitre différent afin de montrer que ces améliorations peuvent être considérées indépendamment les unes des autres.

Le premier axe était l'optimisation des systèmes de récupération d'énergie, le second l'amélioration de la rétro-modulation et enfin le dernier, le développement de systèmes d'auto-adaptation.

Le premier chapitre a introduit les notions de base des systèmes passifs en RFID UHF. Puis un récapitulatif des études déjà effectuées dans chacun des axes a été fait. Cela a permis de dégager la problématique de chacun des axes. Concernant le multiplieur, l'attention principale devait se focaliser sur la tension de seuil des composants, pour la rétro-modulation, le point clef était la connaissance de la valeur de l'impédance de rétro-modulation, tandis que pour l'auto-adaptation, il s'agissait de créer un système totalement autonome.

Le chapitre II a d'abord mis en évidence l'impact des pertes RF dans les récupérateurs d'énergie. A partir de ces résultats, il a été déduit des règles de conception à respecter afin de minimiser ces pertes. Ensuite, la réduction de la tension de seuil des composants du multiplieur a été étudiée, d'une part en annulant l'effet substrat présent sur les transistors, et d'autre part en polarisant les grilles des transistors de façon à faire baisser virtuellement leur tension de seuil, tout en prenant garde aux fuites générées par l'effet DIBL. Une solution de récupérateur d'énergie avec inductance a également été envisagée afin de limiter le nombre de transistors, toutefois les pertes dues au bonding semble limiter ses performances. Enfin, il a été proposé de doubler le bloc de récupération d'énergie afin de limiter l'impact de la rétro-modulation sur la télé-alimentation. L'ensemble de ces résultats ont été validés par simulations sous CADENCE ou par mesures.

Le chapitre III proposait dans un premier temps une étude théorique permettant de dé-

terminer l'impédance de rétro-modulation optimale pour un système passif en RFID UHF à partir de son impédance hors rétro-modulation. Ce modèle se basant sur la définition de la sensibilité d'un récepteur radio, il a été validé en comparant la sensibilité d'un lecteur donnée par le constructeur avec celle calculée. A la lumière des résultats obtenus, il a ensuite été proposé de modifier des solutions de rétro-modulation déjà existantes afin de minimiser les pertes énergétiques pendant la rétro-modulation, puis de nouvelles architectures de rétro-modulation ont été exposées.

Dans le dernier chapitre, des solutions d'auto-adaptation autonomes ont été montrées. Ces solutions ont pour avantage de ne pas nécessiter d'alimentation secondaire et fonctionnent avec des tensions très faibles contrairement aux systèmes existant. En revanche, elles souffrent d'un manque de précision et peuvent devenir instables dans certains cas de figure.

Bien que les recherches concernant la télé-alimentation aient commencées il y plus d'un siècle, il reste encore beaucoup à faire. Ainsi, concernant la télé-alimentation en ultra hautes fréquences, le développement de rectennas peu impactées par les pertes du bonding ou encore l'élaboration d'un compromis permettant de tirer parti de l'ensemble des avantages de chacune des solutions d'auto-adaptation pourrait repousser encore davantage les limites en terme de portée de ces puces. De plus, le cas du redressement différentiel, bien que non exposé ici par manque de temps et de moyen de mesure, est très prometteur en terme d'efficacité. Par ailleurs, l'extension du marché de la RFID devrait permettre à terme l'utilisation de technologies couteuses pour le moment, mais dont les courants de fuites dans les transistors sont moins importants. Cela permettrait de diminuer encore un peu plus leur tension de seuil afin de se rapprocher le plus possible du modèle de la diode parfaite.

---

## Références bibliographiques

- [1] A. ASHRY AND K. SHARAF. Ultra low power uhf rfid tag in 0.13  $\mu\text{m}$  cmos. In *Microweconomics, 2007. ICM 2007. International Conference on*, pages 283 –286 dec. (2007). 2
- [2] J.D. COCKCROFT AND E.T. WALTON. *Production of high velocity positive ions*. Proceedings of the Royal Society, A **136**, 619 – 630 (1932). 2, 15
- [3] H. STOCKMAN. *Communication by means of reflected power*. Proceedings of the IRE **36**(10), 1196 – 1204 oct. (1948). 3, 7
- [4] Epc radio-frequency identity protocols class-1 generation-2 uhf rfid protocol for communications at 860mhz - 960mhz, oct. (2008). Version 1.2.0. 3, 12, 14, 39, 45, 104, 113
- [5] W.C. BROWN. *The history of power transmission by radio waves*. Microwave Theory and Techniques, IEEE Transactions on **32**(9), 1230 – 1242 sep (1984). 5
- [6] N. TESLA. System of electric lighting. United States Patent 0454622 June (1891). 5
- [7] H.A.H. BOOT AND J.T. RANDALL. *Historical notes on the cavity magnetron*. Electron Devices, IEEE Transactions on **23**(7), 724 – 729 jul (1976). 5
- [8] P.E. GLASER. The satellite solar power station. In *Microwave Symposium, 1973 IEEE G-MTT International*, pages 186 –188 june (1973). 7
- [9] R.H. NANSEN. *Wireless power transmission : the key to solar power satellites*. Aerospace and Electronic Systems Magazine, IEEE **11**(1), 33 –39 jan (1996). 7
- [10] A. SCHIRMACHER, S. WINTERS, S. FISCHER, J. GOEKE, H.-J. GALLA, U. KULLNICK, E. B. RINGELSTEIN, AND F. STÖGBAUER. *Electromagnetic fields (1.8 ghz) increase the permeability to sucrose of the blood-brain barrier invitro*. Bioelectromagnetics **21**, 338 – 345 (2000). 7

- [11] N. SHINOHARA AND S. KAWASAKI. Recent wireless power transmission technologies in japan for space solar power station/satellite. In *Radio and Wireless Symposium, 2009. RWS '09. IEEE*, pages 13 –15 jan. (2009). 7
- [12] L.M. JENKINS. Concepts for demonstration of wireless power transfer for space-based solar power. In *Aerospace Conference, 2011 IEEE*, pages 1 –5 march (2011). 7
- [13] H. WHITESIDES, L. Researchers beam "space" solar power in hawaii, Sept. (2008). 7
- [14] A.R. KOELLE, S.W. DEPP, AND R.W. FREYMAN. *Short-range radio-telemetry for electronic identification, using modulated rf backscatter*. Proceedings of the IEEE **63**(8), 1260 – 1261 aug. (1975). 7
- [15] Dynamic infrastructure helping build a smarter planet, Feb. (2009). 7
- [16] H.T. FRIIS. *A note on a simple transmission formula*. Proceedings of the IRE **34**(5), 254 – 256 may (1946). 10, 93, 105, 108
- [17] R.H. VARIAN AND S.F. VARIAN. *A high frequency oscillator and amplifier*. Journal of Applied Physics **10**(5), 321 – 327 May (1939). 11
- [18] C.A. BALANIS. *Antenna Theory : Analysis and Design*. Wiley, 3rd edition (2005). 11, 36, 37, 39, 40, 105
- [19] K. FINKEZELLER. *RFID handbook, Radio-Frequency Identifications Fundamentals and Applications*. John wiley and son, 2nd edition (2003). 11
- [20] U. KARTHAUS AND M. FISCHER. *Fully integrated passive uhf rfid transponder ic with 16.7- mu ;w minimum rf input power*. Solid-State Circuits, IEEE Journal of **38**(10), 1602 – 1608 oct. (2003). 15
- [21] G. DE VITA AND G. IANNACCONE. *Design criteria for the rf section of uhf and microwave passive rfid transponders*. Microwave Theory and Techniques, IEEE Transactions on **53**(9), 2978 – 2990 sept. (2005). 15, 21
- [22] R. BARNETT, S. LAZAR, AND JIN LIU. Design of multistage rectifiers with low-cost impedance matching for passive rfid tags. In *Radio Frequency Integrated Circuits (RFIC) Symposium, 2006 IEEE*, page 4 pp. june (2006). 15, 23
- [23] J. DICKSON. *On-chip high-voltage generation in nmos integrated circuits using an improved voltage multiplier technique*. IEEE Journal of Solid-State Circuits **11**(6), 374 – 378 June (1976). 15
- [24] J-P. CURTY. *Analysis and optimization of passive UHF RFID systems*. Thèse de Doctorat, Ecole Polytechnique Fédérale de Lausanne (2005). 15, 17, 19, 20, 41, 73

- [25] R.E. BARNETT, JIN LIU, AND S. LAZAR. *A rf to dc voltage conversion model for multi-stage rectifiers in uhf rfid transponders*. Solid-State Circuits, IEEE Journal of **44**(2), 354–370 feb. (2009). 21, 22, 23
- [26] S. MANDAL AND R. SARPESHKAR. *Low-power cmos rectifier design for rfid applications*. Circuits and Systems I : Regular Papers, IEEE Transactions on **54**(6), 1177–1188 june (2007). 21, 24, 73, 76
- [27] YUAN YAO, JIE WU, YIN SHI, AND F.F. DAI. *A fully integrated 900-mhz passive rfid transponder front end with novel zero-threshold rf/dc rectifier*. Industrial Electronics, IEEE Transactions on **56**(7), 2317–2325 july (2009). 21, 73
- [28] J.-P. CURTY, N. JOEHL, F. KRUMMENACHER, C. DEHOLLAIN, AND M.J. DECLERCQ. *A model for mu;-power rectifier analysis and design*. Circuits and Systems I : Regular Papers, IEEE Transactions on **52**(12), 2771–2779 dec. (2005). 22
- [29] T. UMEDA, H. YOSHIDA, S. SEKINE, Y. FUJITA, T. SUZUKI, AND S. OTAKA. *A 950-mhz rectifier circuit for sensor network tags with 10-m distance*. Solid-State Circuits, IEEE Journal of **41**(1), 35–41 jan. (2006). 22, 73
- [30] E. BERGERET, P. PANNIER, AND J. GAUBERT. Optimization of uhf voltage multiplier circuit for rfid application. In *Microelectronics, 2005. ICM 2005. The 17th International Conference on*, page 6 pp. dec. (2005). 23
- [31] SHIHO KIM, JUNG-HYUN CHO, AND SUK-KYUNG HONG. *A full wave voltage multiplier for rfid transponders*. IEICE Transactions on Communications **E91-B**(1), 388–391 jan (2008). 23
- [32] C. PETERS, J. HANDWERKER, F. HENRICI, M. ORTMANN, AND Y. MANOLI. Experimental results on power efficient single-poly floating gate rectifiers. In *Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on*, pages 1097–1100 may (2009). 24, 25, 73, 76
- [33] T. FELDENGUT, R. KOKOZINSKI, AND S. KOLNSBERG. A uhf voltage multiplier circuit using a threshold-voltage cancellation technique. In *Research in Microelectronics and Electronics, 2009. PRIME 2009. Ph.D.*, pages 288–291 july (2009). 25, 26, 76, 102
- [34] K. KOTANI AND T. ITO. High efficiency cmos rectifier circuit with self-vth-cancellation and power regulation functions for uhf rfids. In *Solid-State Circuits Conference, 2007. ASSCC '07. IEEE Asian*, pages 119–122 nov. (2007). 26, 27, 46, 76, 102
- [35] A.S. BAKHTIAR, M.S. JALALI, AND S. MIRABBASI. A high-efficiency cmos rectifier for low-power rfid tags. In *RFID, 2010 IEEE International Conference on*, pages 83–88 april (2010). 29, 30, 102

- [36] XINHUA YU, LI WANG, AND HAOGANG WANG. Matching network optimization for indoor mimo. In *Computational Problem-Solving (ICCP), 2010 International Conference on*, pages 175 –178 dec. (2010). 31
- [37] M. BATTISTA, J. GAUBERT, M. EGELS, S. BOURDEL, AND H. BARTHELEMY. *High-voltage-gain cmos lna for 6-8.5-ghz uwb receivers*. Circuits and Systems II : Express Briefs, IEEE Transactions on **55**(8), 713 –717 aug. (2008). 31, 91
- [38] SUNG-LIN CHEN, KEN-HUANG LIN, AND R. MITTRA. *A measurement technique for verifying the match condition of assembled rfid tags*. Instrumentation and Measurement, IEEE Transactions on **59**(8), 2123 –2133 aug. (2010). 32
- [39] J. CHOO, J. RYOO, J. HONG, H. JEON, C. CHOI, AND M.M. TENTZERIS. T-matching networks for the efficient matching of practical rfid tags. In *Microwave Conference, 2009. EuMC 2009. European*, pages 5 –8 29 2009-oct. 1 (2009). 32
- [40] P.V. NIKITIN, K.V.S. RAO, R. MARTINEZ, AND S.F. LAM. *Sensitivity and impedance measurements of uhf rfid chips*. Microwave Theory and Techniques, IEEE Transactions on **57**(5), 1297 –1302 may (2009). 32
- [41] P. PURSULA, D. SANDSTROM, AND K. JAAKKOLA. *Backscattering-based measurement of reactive antenna input impedance*. Antennas and Propagation, IEEE Transactions on **56**(2), 469 –474 feb. (2008). 32
- [42] KIN SEONG LEONG, MUN LENG NG, AND P.H. COLE. Investigation of rf cable effect on rfid tag antenna impedance measurement. In *Antennas and Propagation Society International Symposium, 2007 IEEE*, pages 573 –576 june (2007). 32
- [43] V. PILLAI. Impedance matching in rfid tags : to which impedance to match ? In *Antennas and Propagation Society International Symposium 2006, IEEE*, pages 3505 –3508 july (2006). 32
- [44] G. SEIGNEURET, E. BERGERET, AND P. PANNIER. Auto-tuning in passive uhf rfid tags. In *NEWCAS Conference (NEWCAS), 2010 8th IEEE International*, pages 181 –184 june (2010). 32
- [45] C.-H. LOO, K. ELMAHGOUB, F. YANG, A. ELSHERBENI, D. KAJFEZ, A. KISHK, T. ELSHERBENI, L. UKKONEN, L. SYDANHEIMO, M. KIVIKOSKI, S. MERILAMPI, AND P. RUUSKANEN. *Chip impedance matching for uhf rfid tag antenna design*. Progress In Electromagnetics Research **81**, 359 – 370 (2008). 38
- [46] CHIH-CHUAN YEN, A.E. GUTIERREZ, D. VEERAMANI, AND D. VAN DER WEIDE. *Radar cross-section analysis of backscattering rfid tags*. Antennas and Wireless Propagation Letters, IEEE **6**, 279 – 281 (2007). 38

- 
- [47] I. MAYORDOMO, R. BERENGUER, A. GARCIA-ALONSO, I. FERNANDEZ, AND I. GUTIERREZ. *Design and implementation of a long-range rfid reader for passive transponders*. Microwave Theory and Techniques, IEEE Transactions on **57**(5), 1283 –1290 may (2009). 40
- [48] WANG SHENGLI, GU CHANGZHAN, SHAN QIAO, CUI WANGZHAO, MA WEI, JIANGTAO HUANGFU, AND LIXIN RAN. Design for the reader of uhf radio frequency identification. In *Wireless, Mobile and Sensor Networks, 2007. (CCWMSN07). IET Conference on*, pages 32 –35 dec. (2007). 40
- [49] LE YE, HUAILIN LIAO, FEI SONG, JIANG CHEN, HUILIN XIAO, RUIQIANG LIU, JUNHUA LIU, XINAN WANG, AND YANGYUAN WANG. A 900mhz uhf rfid reader transceiver in 0.18  $\mu\text{m}$  cmos technology. In *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on*, pages 1569 –1572 oct. (2008). 40
- [50] E. BERGERET. *Récupération d'énergie pour système RFID*. Thèse de Doctorat, Université d'Aix-Marseille I dec. (2007). 41, 46
- [51] I. MAYORDOMO, R. BERENGUER, I. FERNANDEZ, I. GUTIERREZ, W. STRAUSS, AND J. BERNHARD. Simulation and measurement of a long-range passive rfid system focused on reader architecture and backscattering communication. In *Microwave Conference, 2008. EuMC 2008. 38th European*, pages 1058 –1061 oct. (2008). 41, 103
- [52] LIBO HUANG, W.L. SCHROEDER, AND P. RUSSEK. Theoretical and experimental investigation of adaptive antenna impedance matching for multiband mobile phone applications. In *Wideband and Multi-band Antennas and Arrays, 2005. IEE (Ref. No. 2005/11059)*, pages 13 – 17 sept. (2005). 44
- [53] P. RAMACHANDRAN, Z.D. MILOSAVLJEVIC, AND C. BECKMAN. Adaptive matching circuitry for compensation of finger effect on handset antennas. In *Antennas and Propagation, 2009. EuCAP 2009. 3rd European Conference on*, pages 801 –804 march (2009). 44
- [54] I. IDA, J. TAKADA, T. TODA, AND Y. OISHI. An adaptive impedance matching system and its application to mobile antennas. In *TENCON 2004. 2004 IEEE Region 10 Conference*, pages 543 –546 Vol. 3 nov. (2004). 44
- [55] J. DE MINGO, A. VALDOVINOS, A. CRESPO, D. NAVARRO, AND P. GARCIA. *An rf electronically controlled impedance tuning network design and its application to an antenna input impedance automatic matching system*. Microwave Theory and Techniques, IEEE Transactions on **52**(2), 489 – 497 feb. (2004). 44
- [56] T. SUMESAGLAM AND A.I. KARSILAYAN. *A digital automatic tuning technique for high-order continuous-time filters*. Circuits and Systems I : Regular Papers, IEEE Transactions on **51**(10), 1975 – 1984 oct. (2004). 44

- [57] BING JIANG, J.R. SMITH, M. PHILIPPOSE, S. ROY, K. SUNDARA-RAJAN, AND A.V. MAMISHEV. *Energy scavenging for inductively coupled passive rfid systems*. Instrumentation and Measurement, IEEE Transactions on **56**(1), 118 –125 feb. (2007). 44
- [58] SHAN JIANG AND S.V. GEORGAKOPOULOS. Optimum wireless power transmission through reinforced concrete structure. In *RFID (RFID), 2011 IEEE International Conference on*, pages 50 –56 april (2011). 45
- [59] T. DELERUYELLE, P. PANNIER, J. ALARCON, M. EGELS, AND E. BERGERET. Rfid tag antennas with stable impedance to mounted material. In *Microwave Conference (EuMC), 2010 European*, pages 1090 –1093 sept. (2010). 45
- [60] A. NAVARRO AND J.L. DEL VALLE. Voltage generator for uhf rfid passive tags using schottky diodes based on a 0.5  $\mu\text{m}$  cmos technology. In *Electrical and Electronics Engineering, 2006 3rd International Conference on*, pages 1 –4 sept. (2006). 46
- [61] S. MANDAL AND R. SARPESHKAR. Far-field rf power extraction circuits and systems. United States Patent 7167090B1 Massachusetts Institute of Technology Jan. (2007). 47, 132, 141, 142
- [62] A.S. BAKHTIAR, M.S. JALALI, AND S. MIRABBASI. An rf power harvesting system with input-tuning for long-range rfid tags. In *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on*, pages 4085 –4088 june (2010). 48, 132, 142
- [63] E. KUSSENER. *Conception de circuits intégrés : conception, simulation et layout*. ISEN-Toulon, (2007). 68
- [64] S. BERNARDINI. *Modélisation des structures metal-oxide-semiconducteur (MOS) : applications aux dispositifs mémoires*. Thèse de Doctorat, Université d’Aix-Marseille I oct. (2004). 68
- [65] C.-L. CHEN, K.-H. CHEN, AND S.-I. LIU. *Efficiency-enhanced cmos rectifier for wireless telemetry*. Electronics Letters **43**(18), 976 –978 31 (2007). 70
- [66] YING-KHAI TEH, F. MOHD-YASIN, F. CHOONG, M.I. REAZ, AND A.V. KORDESCH. *Design and analysis of uhf micropower cmos dtmost rectifiers*. Circuits and Systems II : Express Briefs, IEEE Transactions on **56**(2), 122 –126 feb. (2009). 70
- [67] M. BATTISTA, H. CHALOPIN, AND H. BARTHELEMY. Electronic circuit having a diode-connected mos transistor with an improved efficiency. United States Patent 0034000A1 STMicroelectronics and Université de Provence Feb. (2010). 71
- [68] G. GOSSET AND D. FLANDRE. *Fully-automated and portable design methodology for optimal sizing of energy-efficient cmos voltage rectifiers*. Emerging and Selected Topics in Circuits and Systems, IEEE Journal on **1**, 141 – 149 June (2011). 73

- 
- [69] M. BAWEDIN AND D. IZAMOVA. *Transistor MOS submicronique*. Université Catholique de Louvain, (2001). 75, 122
- [70] X. XI, K.M. CAO, H. WAN, M. CHAN, AND C. HU. *BSIM4.2.1 MOSFET model*. Department of Electrical Engineering and Computer Sciences University of California, Berkeley, 2.1 edition, (2001). 75
- [71] U. OLGUN, CHI-CHIH CHEN, AND J.L. VOLAKIS. Wireless power harvesting with planar rectennas for 2.45 ghz rfids. In *Electromagnetic Theory (EMTS), 2010 URSI International Symposium on*, pages 329 –331 aug. (2010). 85
- [72] G.A. VERA, A. GEORGIADIS, A. COLLADO, AND S. VIA. Design of a 2.45 ghz rectenna for electromagnetic (em) energy scavenging. In *Radio and Wireless Symposium (RWS), 2010 IEEE*, pages 61 –64 jan. (2010). 85
- [73] NING ZHU, KIHUN CHANG, MINGGUANG TUO, PENG JIN, HAO XIN, AND R.W. ZIOLKOWSKI. Design of a high-efficiency rectenna for 1.575 ghz wireless low power transmission. In *Radio and Wireless Symposium (RWS), 2011 IEEE*, pages 90 –93 jan. (2011). 85
- [74] A. DOUYERE, F. ALICALAPA, J.-D. LAN SUN LUK, AND A. CELESTE. Losses analysis and performance improvement of a rectenna for rfid systems. In *Electronics, Circuits and Systems, 2008. ICECS 2008. 15th IEEE International Conference on*, pages 1083 –1086 31 2008-sept. 3 (2008). 85
- [75] A. GEORGIADIS, G. ANDIA, AND A. COLLADO. *Rectenna design and optimization using reciprocity theory and harmonic balance analysis for electromagnetic (em) energy harvesting*. *Antennas and Wireless Propagation Letters, IEEE* **9**, 444 –446 (2010). 85
- [76] A. COSTANZO, M. FABIANI, A. ROMANI, D. MASOTTI, AND V. RIZZOLI. Co-design of ultra low power rf/microwave receivers and converters for rfid and energy harvesting applications. In *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, page 1 may (2010). 85
- [77] P.V. NIKITIN AND K.V.S. RAO. Performance of rfid tags with multiple rf ports. In *Antennas and Propagation Society International Symposium, 2007 IEEE*, pages 5459 –5462 june (2007). 92
- [78] Impinj. *Monza 4 tag chip datasheet*, 3.0 edition, (2010). 92
- [79] G. SEIGNEURET, T. DELERUYELLE, E. BERGERET, AND P. PANNIER. Backscattering optimization on rfid tags with multiple rf ports. In *Wireless Information Technology and Systems (ICWITS), 2010 IEEE International Conference on*, pages 1 –4 28 2010-sept. 3 (2010). 94
- [80] F. FUSCHINI, C. PIERSANTI, F. PAOLAZZI, AND G. FALCIASECCA. *Analytical approach to the backscattering from uhf rfid transponder*. *Antennas and Wireless Propagation Letters, IEEE* **7**, 33 –35 (2008). 103

- [81] J. JOHNSON AND R. SAINATI. Investigation of uhf rfid tag backscatter. In *Antennas and Propagation Society International Symposium, 2007 IEEE*, pages 2753 –2756 june (2007). 103
- [82] A. POUZIN, T.P. VUONG, S. TEDJINI, M. POUYET, J. PERDEREAU, AND L. DREUX. Determination of measurement uncertainties applied to the rcs and the differential rcs of uhf passive rfid tags. In *Antennas and Propagation Society International Symposium, 2009. APSURSI '09. IEEE*, pages 1 –4 june (2009). 103
- [83] P.V. NIKITIN AND K.V.S. RAO. *Theory and measurement of backscattering from rfid tags*. *Antennas and Propagation Magazine, IEEE* **48**(6), 212 –218 dec. (2006). 103
- [84] JINGCHAO WANG, BAUYONG CHI, XUGUANG SUN, TONGQIANG GAO, CHUN ZHANG, AND ZHIHUA WANG. System design considerations of highly-integrated uhf rfid reader transceiver rf front-end. In *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on*, pages 1560 –1563 oct. (2008). 103
- [85] F. FUSCHINI, C. PIERSANTI, F. PAOLAZZI, AND G. FALCIASECCA. *On the efficiency of load modulation in rfid systems operating in real environment*. *Antennas and Wireless Propagation Letters, IEEE* **7**, 243 –246 (2008). 103
- [86] I. KIPNIS, S. CHIU, M. LOYER, J. CARRIGAN, J. RAPP, P. JOHANSSON, D. WESTBERG, AND J. JOHANSSON. A 900mhz uhf rfid reader transceiver ic. In *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, pages 214 –598 feb. (2007). 103
- [87] C. ANGERER, R. LANGWIESER, G. MAIER, AND M. RUPP. Maximal ratio combining receivers for dual antenna rfid readers. In *Wireless Sensing, Local Positioning, and RFID, 2009. IMWS 2009. IEEE MTT-S International Microwave Workshop on*, pages 1 –4 sept. (2009). 103
- [88] ZHANG CHUN, ZHANG WENQIANG, WANG ZIQIANG, AND WANG JINGCHAO. A 1.65 mw direct-conversion receiver for uhf rfid readers. In *Microelectronics Electronics, 2009. PrimeAsia 2009. Asia Pacific Conference on Postgraduate Research in*, pages 109 –112 jan. (2009). 103
- [89] P.B. KHANNUR, XUESONG CHEN, DAN LEI YAN, DAN SHEN, BIN ZHAO, M. KUMARASAMY RAJA, YE WU, A.B. AJJIKUTTIRA, WOOL GAN YEOH, AND R. SINGH. An 860 to 960mhz rfid reader ic in cmos. In *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*, pages 269 –272 june (2007). 103
- [90] Impinj. *Monza 5 tag chip datasheet*, 1.0 edition, apr (2011). 104
- [91] Alien Technology. *Higgs 4 IC product overview*, apr (2011). 104
- [92] Impinj. *Speedway reader mini specification sheet*, (2008). 104, 113

- [93] MAXIM. Receiver sensitivity equation for spread spectrum systems. Application Note 1140 jun (2002). 106
- [94] ECOLE POLYTECHNIQUE DE MONTRÉAL. *Eléments de base des communications par satellite*. Département du génie électrique et génie informatique, 1 edition, jun (2007). 106
- [95] S. SKALI, C. CHANTEPY, AND S. TEDJINI. On the measurement of the delta radar cross section ( $\delta rcs$ ) for uhf tags. In *RFID, 2009 IEEE International Conference on*, pages 346–351 april (2009). 107
- [96] A. POUZIN, TAN-PHU VUONG, S. TEDJINI, M. POUYET, AND J. PERDEREAU. Determination of the activation range of passive uhf rfid transponders by radar cross-section measurements. In *Microwave Conference, 2009. EuMC 2009. European*, pages 009–012 oct. (2009). 109
- [97] P.V. NIKITIN, K.V.S. RAO, AND R.D. MARTINEZ. *Differential rcs of rfid tag*. Electronics Letters **43**(8), 431–432 12 (2007). 110
- [98] D.G. KUESTER, D.R. NOVOTNY, J.R. GUERRIERI, R.H. DIREEN, AND Z. POPOVIC. Reference modulation for calibrated measurements of tag backscatter. In *RFID (RFID), 2011 IEEE International Conference on*, pages 154–161 april (2011). 110
- [99] E. BERGERET, J. GAUBERT, P. PANNIER, AND J.M. GAULTIER. *Modeling and design of cmos uhf voltage multiplier for rfid in an eeprom compatible process*. Circuits and Systems II : Express Briefs, IEEE Transactions on **54**(10), 833–837 oct. (2007). 121

## Références bibliographiques

---

---

## Liste des publications scientifiques

- G. Seigneuret, E. Bergeret, C. Moreaux, P. Pannier,  
Influence of Multiantenna Tag on the Read Range of a Passive UHF RFID System,  
IEEE Antennas and Wireless Propagation Letters, 2011, pp.1174-1177.
- G. Seigneuret, T. Deleruyelle, E. Bergeret, P. Pannier,  
Backscattering optimization on RFID tags with multiple RF ports,  
IEEE International Conference on Wireless Information Technology and Systems, 2010,  
pp.1-4.
- G. Seigneuret, E. Bergeret, P. Pannier,  
Auto-tuning in passive UHF RFID tags,  
IEEE International NEWCAS Conference, 2010, pp. 181-184.
- G. Seigneuret, E. Bergeret, P. Pannier,  
Shield Impact and Limitation of the Body Effect on a UHF RFID Rectifier,  
IEEE International Conference on RFID, 2011, Poster n°17, pp.122-123.
- G. Seigneuret, G. Bas, C. Moreaux,  
Procédé pour moduler l'impédance d'un circuit d'antenne,  
Brevet d'invention déposé par STMicroelectronics en novembre 2010.
- G. Seigneuret, E. Bergeret, P. Pannier  
Recycling of RF energy for autonomous system : Narrow Band problematic  
Présentation au Symposium ST Energy Harvesting Council, 2011.
- G. Seigneuret, E. Bergeret, G. Bas, P. Pannier  
Design criteria for an Optimized Backscattering on UHF RFID Tags,  
A paraître.





Les étiquettes d'identification radiofréquence passifs (RFID) sont des systèmes télé-communiquant dont l'approvisionnement en énergie se fait via les ondes électromagnétiques. De plus en plus présents dans notre environnement (passeport, badge d'accès, gestion de stock), ils ont l'avantage d'avoir une durée de vie presque infinie, et ne consomment de l'énergie que lorsqu'ils sont sollicités. Par ailleurs, leur moyen de communiquer, sans fil, permet de les utiliser dans des endroits difficiles d'accès pour des lecteurs optiques type code à barre. Toutefois, la portée de tels systèmes est limitée par l'efficacité de la récupération de l'énergie provenant des ondes. Dans ce cadre, l'augmentation de la portée des étiquettes RFID, notamment pour les applications de logistique est un élément primordial.

Sont présentés dans cette thèse différents moyens d'augmenter cette portée notamment grâce à l'amélioration des blocs de récupération d'énergie ou l'adaptation d'impédance, tout en respectant des contraintes liées au coût du système. La première partie se focalise sur la réduction des pertes du bloc de récupération d'énergie par l'optimisation du layout. Une architecture à haut rendement à transistor polarisé est ensuite proposée. Pour finir, l'impact de la rétro-modulation et de l'adaptation d'impédance en fréquence sur la récupération d'énergie sont étudiés et améliorés.

Mots clés : RFID, UHF, télé-alimentation, redresseur de tension, CMOS, rétro-modulation, adaptation d'impédance

The passive radio frequency identification tags (RFID) systems communicate with a remote power supply thanks to electromagnetic waves. Increasingly present in our environment (biometric passport, inventory management), they present the advantage to have an almost infinite lifetime, and consume energy only when they are solicited. Moreover, because it is a wireless way to communicate, it is possible to use these systems places inaccessible to optical drives type bar code. However, the range of such systems is limited by the efficiency of the recovery of energy from waves. In this context, increasing the range of RFID tags, especially for logistics applications is essential.

In this these, different ways to increase the range are studied. The first part focuses on the reduction of losses on the rectifying circuitry thanks to layout optimization. An high performances architecture with transistor biased is then proposed. Finally, the impact of backscattering and impedance matching on the energy recovery are studied and improved.

Keywords : RFID, UHF, Energy harvesting, rectifier, CMOS, backscattering, impedance matching