

UNIVERSITE BORDEAUX I

ECOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

THESE

Pour obtenir le grade de

DOCTEUR

Discipline : ELECTRONIQUE

Présentée publiquement par

MAGDALENA SIENKIEWICZ

METHODOLOGIE DE LOCALISATION DES DEFAUTS SOFT DANS LES CIRCUITS INTEGRES MIXTES ET ANALOGIQUES PAR STIMULATION PAR FAISCEAU LASER : ANALYSE DE RESULTATS DES TECHNIQUES DYNAMIQUES PARAMETRIQUES

Soutenu le 28 mai 2010 devant le jury composé de :

Dean LEWIS	Professeur	Université de Bordeaux 1	Directeur
Philippe PERDU	Chargé de recherches	CNES, Toulouse	Responsable
Olivier CREPEL	Docteur, Manager	Freescale, Toulouse	Responsable
Abdellatif FIRITI	Docteur, Ingénieur	Freescale, Toulouse	Responsable
Marise BAFLEUR	Directrice de recherche	LAAS-CNRS, Toulouse	Rapporteur
Philippe DESCAMPS	Professeur	ENSICAEN, Caen	Rapporteur
Vincent POUGET	Chargé de recherches	CNRS	Examinateur
Nathalie LABAT	Professeur	Université de Bordeaux 1	Président

REMERCIEMENTS

Cette thèse a été réalisée dans le laboratoire du Centre National d'Etudes Spatiale (CNES) au sein du service DCTVAQLE et dans le laboratoire de la division Qualité à Freescale Semiconductor, et en collaboration avec le laboratoire IMS de l'Université de Bordeaux 1. Ce travail n'aurait pas pu être accompli sans le support de nombreuses personnes à qui je tiens remercier.

Tout d'abord, je tiens à remercier à Monsieur Patrick SAUNIER, Sous-Directeur de la division Assurance Qualité au CNES et Monsieur Francis PRESSEQ chef du service AQ/LE au CNES ainsi qu'à Monsieur Frédéric PUEL, Directeur de la division Qualité à Freescale, et Monsieur Pascal SEGART, responsable du Laboratoire de Développement et d'Analyse Produits à Freescale, pour m'avoir accueilli au sein de leur entreprises, site de Toulouse.

Je remercie également à Monsieur Philippe PERDU, mon responsable côté CNES, pour toutes les discussions que j'ai pu avoir avec lui, sa confiance et son appui tout au long du cheminement de cette thèse.

Mes remerciements s'adressent aussi à mes responsables côté Freescale, Messieurs Abdellatif FIRITI et Olivier CREPEL et à mon Directeur de thèse, Monsieur Dean LEWIS du laboratoire IMS pour leur support et les conseils durant cette thèse.

Je ne saurais oublier Kevin SANCHEZ du CNES pour son support technique et nombreuses conseils pratiques qui m'ont fait avancé plus rapidement mes recherches.

Je tiens à remercier Florie MIALHE pour son support technique dans le domaine d'analyse physique des CI.

Je remercie également à tous mes collègues du laboratoire Qualité de Freescale, de mon service au CNES ainsi qu'aux teams THALES et NOVAMEMS (en particulier mes

collègues de bureau Djemel LELLOUCHI et Jérémie DENIN) pour leur accueil chaleureux, leur convivialité, leur humeur et le soutiens tout au long de ma thèse.

Enfin, mes remerciements s'adressent aussi aux personnes du laboratoire Produits Automobiles (TSPG) et les designers auprès desquelles j'ai aussi beaucoup appris au niveau technique mais aussi au niveau humain.

Table des matières

INTRODUCTION.....	9
-------------------	---

CHAPITRE I

ANALYSE DE DEFAILLANCE ET LOCALISATION DE DEFAUTS DANS LES CIRCUITS INTEGRES

1. ANALYSE DE DEFAILLANCE	15
1.1. GENERALITE	15
1.2. PROCEDURE	16
2. TECHNIQUES DE LOCALISATION DES DEFAUTS DANS LES CIRCUITS INTEGRES : ETAT DE L'ART	24
2.1. MICROSCOPIE MAGNETIQUE	26
2.2. MICROSCOPIE A EMISSION DE LUMIERE.....	27
2.3. MICROSCOPIE A EMISSION THERMIQUE	30
2.4. TECHNIQUES BASEES SUR LE <i>MICRO- & NANOPROBING</i>	31
2.5. CRISTAUX LIQUIDES	34
3. LOCALISATION DE DEFAUTS PAR FAISCEAU LASER	35
3.1. PRINCIPE	36
3.2. RESOLUTION SPATIALE D'IMAGERIE LASER	38
3.3. PHENOMENES INDUITS.....	39
3.3.1. <i>Photoélectrique</i>	39
3.3.1.a. Absorption.....	40
3.3.1.b. Photo génération des porteurs libres.....	43
3.3.1.c. Génération du photocourant en présence du champ électrique	44
3.3.2. <i>Photo-thermique</i>	46
3.3.2.a. Variation de résistance	47
3.3.2.b. Effet Seebeck.....	48
3.4. CLASSEMENT DES TECHNIQUES DE STIMULATION LASER	49
3.4.1. <i>Photo-thermique ou photoélectrique</i>	49
3.4.2. <i>Statique ou dynamique</i>	50
3.4.3. <i>Faisceau laser continu, modulé ou pulsé</i>	53
4. CI ANALOGIQUES ET MIXTES VERSUS CI DIGITAUX.....	56
4.1. CARACTERISTIQUE GENERALE.....	56
4.2. COMPLEXITE VIS-A-VIS DE LA LOCALISATION DE DEFAUTS DANS LE MODE DYNAMIQUE.....	58
5. CONCLUSION	60

CHAPITRE II

NOUVELLE METHODOLOGIE : MODELISATION ET SIMULATION DE L'INTERACTION FAISCEAU LASER-CI

1. INTERET ET PRINCIPE.....	65
2. STRUCTURES DE TEST.....	67
2.1. CONCEPTION.....	67
2.2. PRESENTATION.....	67
2.2.1. <i>Miroir de courant</i>	68
2.2.2. <i>Level shifter</i>	70
3. EFFET PHOTO-THERMIQUE.....	72
3.1. INTRODUCTION.....	72
3.2. MODELISATION.....	73
3.2.1. <i>Transistors bipolaires</i>	73
3.2.2. <i>Transistors MOSFET</i>	79
3.2.3. <i>Résistor</i>	83
3.3. SIMULATIONS.....	83
3.3.1. <i>Miroirs de courant</i>	83
3.3.1.a. Configuration électrique.....	83
3.3.1.b. Montage PNP.....	85
- Analyse de la variation d'amplitude du signal de sortie Vout.....	86
- Analyse du délai sur le front montant du signal de sortie Vout.....	87
- Analyse du délai sur le front descendant du signal de sortie Vout.....	89
3.3.1.c. Montage NPN.....	91
- Analyse de la variation d'amplitude du signal de sortie Vout.....	92
- Analyse du délai sur le front descendant du signal de sortie Vout.....	94
3.3.2. <i>Level shifter</i>	95
3.3.2.a. Configuration électrique.....	95
- Analyse du délai sur le front montant du signal de sortie Vout.....	97
- Analyse du délai sur le front descendant du signal de sortie Vout.....	98
4. EFFET PHOTOELECTRIQUE.....	100
4.1. INTRODUCTION.....	101
4.2. MODELISATION.....	102
4.2.1. <i>Transistors bipolaires</i>	102
4.2.1.a. Transistor PNP.....	103
4.2.1.b. Transistor NPN.....	106
4.2.2. <i>Transistors MOSFET</i>	110
4.3. SIMULATIONS.....	113
4.3.1. <i>Miroirs de courant</i>	113
4.3.1.a. Configuration électrique.....	113
4.3.1.b. Montage PNP.....	115
- Analyse de la variation d'amplitude du signal de sortie Vout.....	116
- Analyse du délai sur le front montant du signal de sortie Vout.....	116
- Analyse du délai sur le front descendant du signal de sortie Vout.....	118
4.3.1.c. Montage NPN.....	119
- Analyse de la variation d'amplitude du signal de sortie Vout.....	120
- Analyse du délai sur le front montant du signal de sortie Vout.....	121
- Analyse du délai sur le front descendant du signal de sortie Vout.....	122
4.3.2. <i>Level shifter</i>	123
- Analyse du délai sur le front montant du signal de sortie Vout.....	125
- Analyse du délai sur le front descendant du signal de sortie Vout.....	126
5. CONCLUSION.....	128

CHAPITRE III

EXPERIMENTATIONS ET VALIDATION DE LA METHODOLOGIE

1. BANC DE MESURE	133
2. STRUCTURES DE TEST : EXPERIMENTATIONS ET VALIDATION DE LA METHODOLOGIE	136
2.1. PHENOMENE THERMIQUE	137
2.1.1. <i>Miroirs de courants</i>	137
2.1.1.a. Montage PNP	137
2.1.1.b. Montage NPN	140
2.1.2. <i>Level shifter</i>	142
2.2. PHENOMENE PHOTOELECTRIQUE	145
2.2.1. <i>Miroirs de courant</i>	145
2.2.1.a. Montage PNP	145
2.2.1.b. Montage NPN	148
2.2.2. <i>Level shifter</i>	150
3. EXEMPLES D'APPLICATION SUR DES CI COMPLEXES	155
3.1. CAS D'ETUDE 1	155
3.1.1. <i>Présentation du circuit analysé</i>	155
3.1.2. <i>Configuration électrique expérimentale</i>	156
3.1.3. <i>Résultats expérimentaux</i>	157
3.1.4. <i>Simulations électriques</i>	159
3.2. CAS D'ETUDE 2	160
3.2.1. <i>Présentation du CI analysé et de son mode de défaillance</i>	160
3.2.2. <i>Configuration électrique expérimentale</i>	161
3.2.3. <i>Résultats expérimentaux</i>	162
3.2.4. <i>Simulations électriques</i>	164
4. CONCLUSIONS	166
CONCLUSION ET PERSPECTIVES	169
REFERENCES	171
PUBLICATIONS	179

INTRODUCTION

Le champ d'application des Circuits Intégrés (CI) est actuellement très vaste et s'élargit de jour en jour. Les CI sont utilisés dans des domaines variés, comme l'automobile, la téléphonie, les consoles de jeux vidéo ou encore le domaine du spatial. Selon leurs spécifications, ces puces électroniques sont censées fonctionner correctement dans différentes conditions environnementales et ce durant plusieurs années. Néanmoins, il arrive que les CI tombent en panne. Dans ce cas, les conséquences peuvent être plus ou moins importantes en fonction de l'application. Un téléphone portable défaillant peut être remplacé rapidement par un autre. Par contre, lorsque qu'un satellite tombe en panne, les conséquences peuvent être plus graves. En effet, certaines fonctionnalités (par exemple transfert de données, gestion de fonctions mécaniques...) ne sont pas forcément réparables à distance à partir de la Terre. Le rétablissement des fonctionnalités manquantes peut ainsi coûter très cher, nécessitant éventuellement la mise en orbite d'un nouveau satellite.

Pour toutes les puces électroniques, utilisées dans les systèmes embarqués (automobile, aéronautique, spatial) ou ailleurs, il est important d'anticiper les problèmes de fonctionnement. Des essais (uniquement au niveau terrestre pour les CI utilisés dans le spatial) sont effectués sur ces puces électroniques, durant lesquels celles-ci sont placées dans des conditions expérimentales très proches des conditions réelles de fonctionnement. Lorsqu'une anomalie est détectée, une analyse de la défaillance permet de mettre en place des actions correctives. En d'autres termes, le problème consiste à comprendre l'origine de la défaillance et de prendre les mesures correctives nécessaires, cela dans le but d'éviter la réapparition du même défaut. Outre le diagnostic et l'analyse physique du défaut, l'analyse de défaillance comporte une étape primordiale : la localisation de l'élément défaillant dans un circuit pouvant comporter jusqu'à des centaines de millions de structures élémentaires (transistors et interconnexions).

Les techniques de localisation des défauts dans les CI existent depuis longtemps. Leur évolution au cours des années est liée à l'augmentation de la complexité des CI

(miniaturisation, nombre de couches de métal croissant, augmentation de la densité d'intégration, techniques d'encapsulation...). Actuellement, les techniques les plus couramment utilisées sont basées sur l'*émission de lumière* et la *stimulation laser* en faible perturbation.

Les techniques de stimulation par faisceau laser, objet de cette thèse, consistent à mesurer un des paramètres électriques du circuit défaillant sous test lorsque celui-ci est balayé par un faisceau laser. Grâce à un phénomène photo-thermique ou photoélectrique induit ponctuellement dans le CI, nous pouvons observer une variation instantanée d'un paramètre électrique choisi. Par une corrélation de la position du faisceau laser et de la mesure électrique une cartographie des zones sensibles au phénomène induit est créée.

Pour les cas d'analyse simples où les techniques statiques (circuit alimenté en régime stationnaire) de stimulation par faisceau laser sont utilisées, ces zones sensibles correspondent souvent au défaut. Cependant, ces techniques très bien maîtrisées ne permettent pas la localisation de tous les types de défauts. En particulier, les défauts intermittents qui sont présents uniquement dans certaines conditions (électriques ou environnementales) lorsque le CI est en fonctionnement dynamique. Ce type de défauts, appelés *soft*, est localisé à l'aide des techniques dynamiques plus avancées de stimulation laser. Celles-ci permettent de localiser les défauts fonctionnels, souvent marginaux, de plus en plus présents dans les CI complexes mixtes et analogiques. Cependant, les résultats obtenus par l'application de ces techniques sont beaucoup plus difficiles à interpréter. En particulier, les CI mixtes et analogiques sont naturellement très sensibles aux phénomènes photo-thermique et photoélectrique et l'analyse des résultats devient très complexe.

Ce travail de recherche est un fruit d'une collaboration entre le CNES à Toulouse, Freescale Semiconductor à Toulouse et le laboratoire IMS à Bordeaux. L'objectif de cette thèse a été de développer une méthodologie permettant l'analyse des résultats issus des techniques dynamiques de stimulation par faisceau laser sur CI mixtes et analogiques. En particulier, le but a été de pouvoir différencier les zones naturellement sensibles des zones défaillantes (défaillance physique) ou marginales (défaillance liée au *design*). Le développement et l'implémentation de cette méthodologie sont présentés dans ce manuscrit de thèse.

Le chapitre I sensibilise le lecteur au domaine d'analyse de défaillances des CI. Différentes techniques de localisation des défauts sont présentées, en particulier, les techniques basées sur la microscopie confocale à balayage laser. La problématique de localisation de défauts dans les CI analogiques et mixtes à l'aide de ces dernières techniques est exposée ainsi que les axes de recherches constituant le fil conducteur de ce manuscrit de thèse.

Dans le chapitre II, nous présentons une nouvelle méthodologie dont le but est d'améliorer la localisation de défauts de type « soft » sur les cartographies de stimulation dynamique laser DLS (ang. *Dynamic Laser Stimulation*). Pour valider cette méthodologie, nous décrirons les structures de test conçues spécialement à cet effet. Ces structures de tests intègrent des transistors bipolaires et MOSFET. Nous décrirons ensuite des modèles équivalents prenant en compte les phénomènes photo-thermique et photoélectrique. En conclusion, nous présentons des résultats de simulations électriques obtenus sur les structures de base décrites auparavant. Ces résultats de simulations seront comparés dans le chapitre III à des résultats expérimentaux afin de vérifier l'exactitude des modèles proposés.

Le chapitre III présente les résultats expérimentaux pour lesquels les techniques dynamiques paramétriques de stimulation par faisceau laser continu sont appliquées (phénomènes photo-thermique et photoélectrique). Nous nous intéressons tout d'abord aux structures de test afin de valider les modèles et la nouvelle méthodologie proposés dans le chapitre II, pour ensuite étudier des circuits plus complexes. Ce chapitre s'achèvera sur un cas d'étude pour lequel un défaut de type « design » a été localisé en utilisant la nouvelle méthodologie.

CHAPITRE I :

ANALYSE DE DEFAILLANCE ET LOCALISATION DE DEFAUTS DANS LES CIRCUITS INTEGRES

Près requis : physique des semi-conducteurs, Circuit Intégré.

1. ANALYSE DE DEFAILLANCE

1.1. Généralités

L'analyse de défaillance d'un Circuit Intégré (CI) est un processus qui a pour but d'identifier le mécanisme de la défaillance et la cause de la défaillance. Autrement dit, nous cherchons à savoir où, pourquoi et comment le défaut est apparu. La réponse à ces questions permet de cibler les faiblesses d'un CI et donc d'avoir un point de départ pour la mise en place des actions correctives et des améliorations. Cela dans le but de mieux répondre aux exigences définies par le client dans le cahier des charges (adaptation aux fonctions électriques, meilleure robustesse, etc.) et ainsi éviter des défaillances inattendues.

L'analyse de défaillance intervient principalement à deux stades du cycle de vie d'un composant électronique : dans sa « jeunesse » et pendant sa « vie utile ». La figure I-1 représente la distribution du taux de défauts durant le cycle de vie d'un produit. Dans la phase dite de « jeunesse » ou encore de « rodage » des produits, le taux de défaut est relativement élevé mais en décroissance. Ces défauts, présents dans la phase de développement du produit, sont dus principalement aux problèmes de conception, de matériaux ou d'assemblage. Dans la phase dite « vie utile » le taux de défauts est faible et constant. Le produit est devenu robuste, il a atteint sa maturité. Dans la phase de « vieillissement » le taux de défaut augmente à cause de l'usure du produit et de son temps de vie limité.

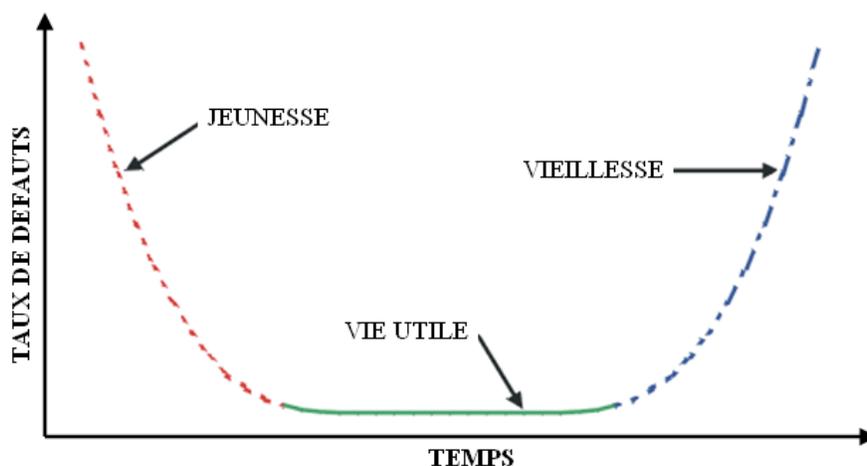


Figure I-1: Courbe en « baignoire » - la distribution du taux de défauts durant le cycle de vie d'un produit.

Le cycle de vie d'un produit présenté ci-dessus est un concept général, utilisé souvent dans l'ingénierie de la fiabilité. La figure I-2 représente le cycle de vie d'un CI avec en particulier, les phases de « jeunesse » et de « vie utile » où l'analyse de défaillance intervient. Comme nous avons vu précédemment, le taux de défauts est élevé dans la phase de « jeunesse ». Durant cette phase, la majorité des analyses se fait au cours de la qualification d'un produit où de nombreux tests révèlent ses faiblesses. Ensuite, lorsque le circuit est qualifié et est mis en vente, il passe dans la phase de « vie utile ». Les raisons des retours clients sont variées, l'incompatibilité avec l'application du client ou mauvais usage du produit peuvent être une source d'endommagement. Il est également possible de trouver quelques rares pièces qui possèdent des défauts de fabrication ou d'assemblage. Toutes ces pièces doivent donc être analysées afin de répondre aux questions précédemment posées : comment, où et pourquoi?

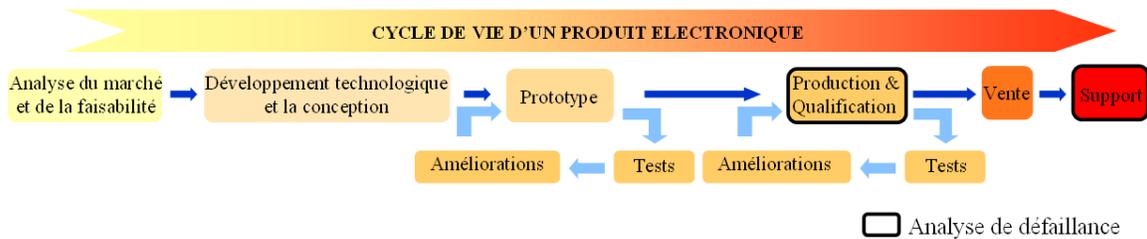


Figure I-2: Analyse de défaillance dans un cycle de vie d'un CI.

1.2. Procédure

L'analyse de défaillance est un processus très complexe qui se compose de plusieurs étapes. Celles-ci sont présentées à la figure I-3. Dans certains cas spécifiques qui seront évoqués par la suite nous verrons qu'il est possible de s'affranchir de certaines étapes et donc de gagner du temps.

Une fois la demande d'analyse de défaillance initiée, celle-ci commence. La demande contient les informations importantes sur l'historique du composant et constitue donc une base de compréhension des conditions d'apparition du défaut. L'inspection optique du boîtier (Fig.I-4) est la première étape effectuée par un analyste. Grâce à un microscope optique nous pouvons observer des défauts tels que des broches tordues ou manquantes qui pourraient expliquer un mauvais contact, une brûlure ponctuelle du boîtier qui pourrait être la conséquence d'une surcharge électrique importante (ang. *EOS* : *Electrical Overstress*), etc.

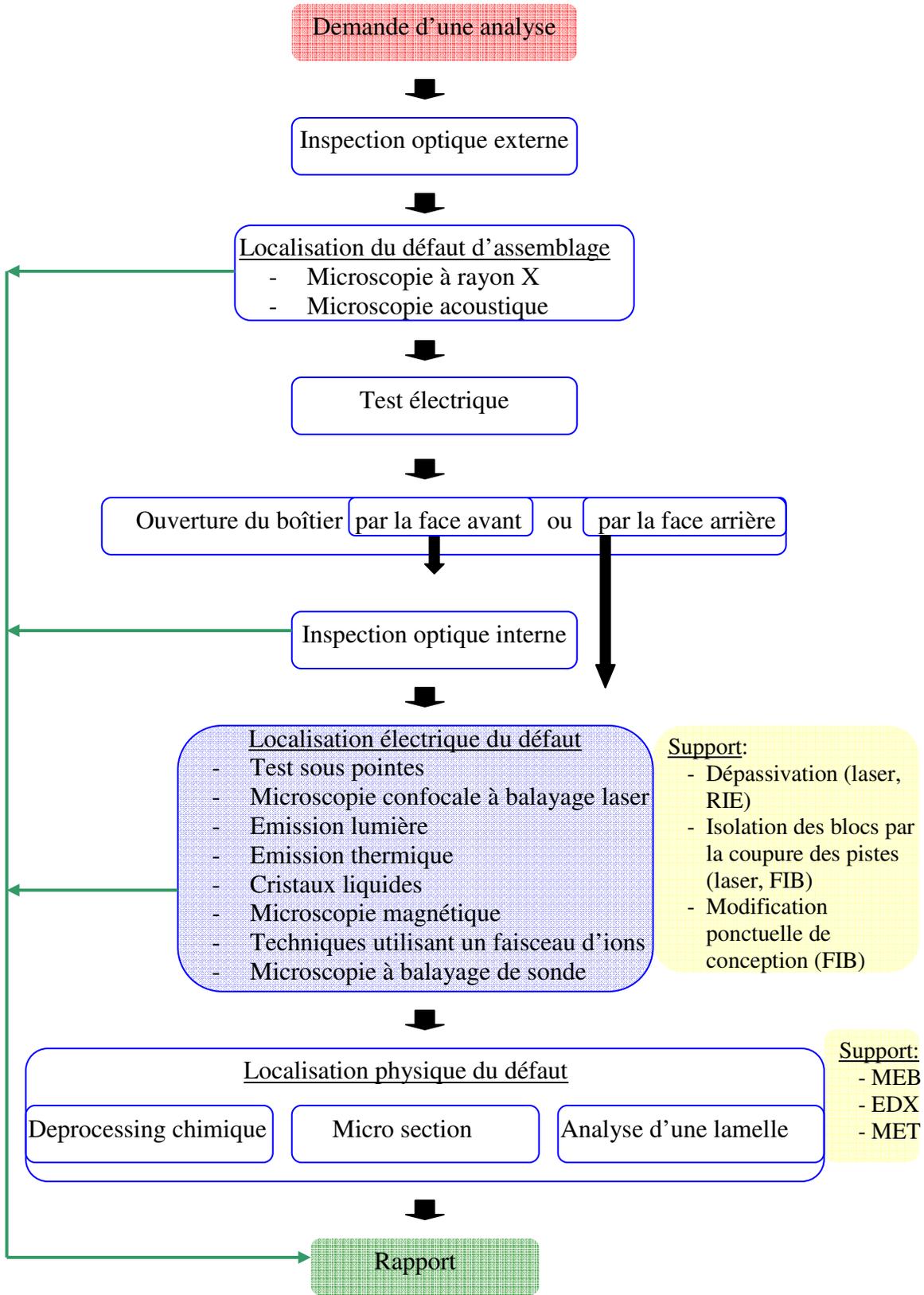


Figure I-3: Schéma de la procédure utilisée lors de l'analyse de défaillance.

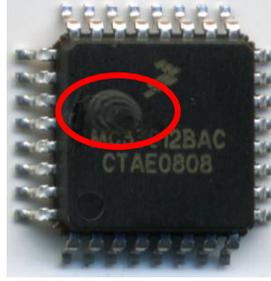


Figure I-4: Inspection optique du boîtier - fusion observée sur la face avant du boîtier plastique.

Les défauts d'assemblage sont révélés lors d'analyses non destructives telles que la microscopie acoustique ou l'imagerie par rayons X. La microscopie acoustique est une technique qui utilise les ultrasons pour imager la distribution spatiale des propriétés mécaniques d'un échantillon (Fig.I-5). Il existe deux modes de fonctionnement : la microscopie acoustique en réflexion (ang. *SAM* : *Scannig Acoustic Microscopy*) et en transmission (ang. *SAT* : *Scanning Acoustic Transmission*). Dans les deux cas un transducteur piézoélectrique servant de générateur d'ultrasons assure la conversion du signal électrique en un signal acoustique. L'onde ultrasonore se propage à travers l'eau avant de se focaliser sur les différentes interfaces du boîtier. Les ondes acoustiques réfléchies (pour le SAM) ou transmises (pour le SAT), contenant l'information sur l'inhomogénéité du matériau, sont reconverties à la réception en un signal électrique (effet piézoélectrique inverse). Cette technique permet de détecter une éventuelle délamination au niveau des interfaces résine epoxie/puce ou puce/*lead frame* (ang.), des bulles d'air dans la colle chargée argent (ang. *die attach*) ou bien des fissures du boîtier ou de la puce.

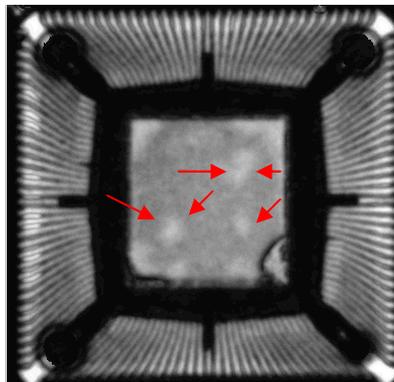


Figure I-5 : Analyse par la microscopie acoustique - des bulles d'air détectées dans la colle chargée argent.

Comme la radiographie médicale, l'imagerie par rayon X (ang. *X-Ray*) utilise les rayons X. L'image, autrefois enregistrée sur une plaque photosensible, est aujourd'hui traitée à travers des chaînes de détection de plus en plus performantes. Le niveau de gris correspond au niveau d'absorption des rayons X par le matériau. Les matériaux apparaissent en clair ou en foncé en fonction de leur nombre atomique Z. Cette technique est utilisée pour détecter un mauvais centrage de la puce dans un boîtier, la présence de particules étrangères, des bulles d'air dans le *die attach* (avec une précision inférieure à celle de la microscopie acoustique), des courts-circuits entre les fils connectant la puce aux pattes externes du boîtier (ang. *bonding*), des fils fondus par le passage trop important de courant (Fig.I-6).

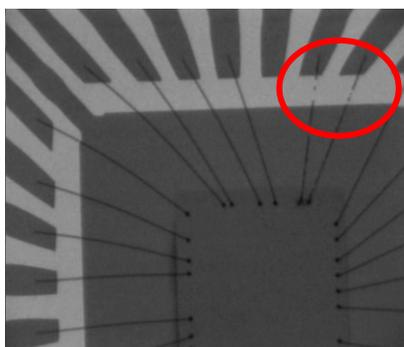


Figure I-6 : Imagerie par les rayons X - discontinuité de la connexion entre la puce électronique et le « lead frame ».

L'étape suivante est le test électrique qui a pour but d'identifier et de reproduire électriquement la défaillance annoncée dans la demande. Lors des mesures, pour chaque produit, une carte d'application spécifique est utilisée, elle est souvent accompagnée d'autres outils tels qu'une alimentation en tension ou en courant, un oscilloscope, un générateur de fonctions, un analyseur de spectre, un testeur électrique, un système de régulation de la température, etc. Lorsque le défaut ne peut pas être reproduit, le composant est envoyé au test automatique (ang. *ATE : Automatic Test Pattern*). Toutes ses fonctionnalités électriques sont revérifiées. Des mesures sont effectuées afin de savoir si la défaillance a évolué ou bien disparue (mise en évidence par exemple de défauts intermittents...). Dans le cas contraire nous passons à l'étape suivante qui consiste à ouvrir le boîtier ponctuellement en préservant l'intégrité électrique et physique de la pièce (Fig.I-7). Par la suite, l'analyse se focalise seulement sur la puce électronique. Il

existe principalement deux moyens d'ouverture du boîtier plastique : par voie chimique ou par voie mécanique. Pendant l'ouverture chimique des produits tels que les acides sulfuriques ou les acides nitriques fumants sont utilisés pour graver une fenêtre dans la résine d'époxy par la face avant et ainsi créer l'accès physique à la puce électronique. Dans le cas des circuits complexes (avec un nombre de niveaux de métallisation important), il est plus facile de localiser le défaut en analysant la puce par la face arrière à travers son substrat. Par conséquent, l'accès à la puce se fait par la face arrière. Il est communément effectué par voie mécanique à l'aide d'une microfraiseuse. Pour faire apparaître la puce, le *lead frame* et la colle chargée argent sont enlevés par le polissage grossier. Ensuite, pour amincir le silicium (Si), on applique le polissage fin. Pour obtenir une surface polie de qualité optique, l'étape finale consiste à utiliser quelques gouttes de solution chimique (par exemple diamant) permettant d'attaquer localement le silicium avec des grains extrêmement fins. Le substrat de silicium peut être aminci jusqu'à quelques dizaines de micromètres. L'ouverture par la face arrière dure environ trois heures alors que l'ouverture par la face avant demande seulement une quinzaine de minutes en moyenne.

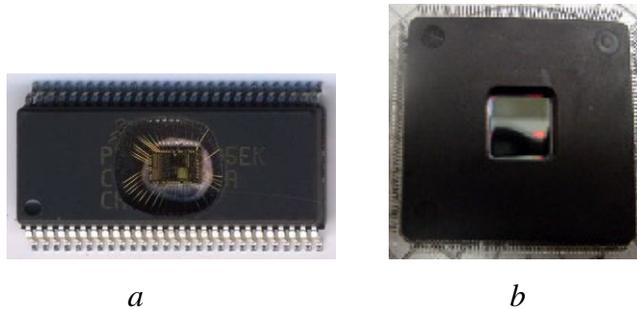


Figure I-7 : Accès à une puce électronique a. par la face avant via une ouverture chimique, b. par la face arrière via une ouverture mécanique.

Dernièrement, une nouvelle technique est apparue sur le marché. Elle consiste à utiliser une source laser de longueur d'onde λ égale à 1064nm qui permet de faire une ouverture localisée de la face avant et de finir la préparation par voie chimique pour obtenir un poli de qualité optique. L'avantage de cette technique est la possibilité d'ouverture localisée du boîtier (si deux puces se trouvent dans le même boîtier, une seule peut être découverte). Le gain de temps est ainsi non négligeable : 3 à 4 minutes en moyenne.

Après l'ouverture du boîtier toutes les étapes suivantes auront pour but la localisation précise du défaut.

Une puce ouverte par la face avant est soumise à l'inspection au microscope optique (Fig.I-8). Nous cherchons à révéler tous les défauts grossiers tels qu'un défaut induit par un *EOS*, les défauts du métal supérieur, le désalignement des fils de *bonding*, etc. Au cas où aucune anomalie n'a pu être observée à ce stade, l'étape suivante est la localisation électrique du défaut. Cette étape consiste à localiser précisément la source d'anomalie électrique, à quelques micromètres près, à l'aide d'une technique dédiée et à priori non-destructive. A cause de la complexité des CI, il est parfois nécessaire d'utiliser plusieurs techniques. De plus en plus souvent la corrélation de tous les résultats permet de localiser le défaut. Les différentes techniques de localisation des défauts ainsi que leurs avantages et inconvénients seront décrits en détail dans le sous-chapitre suivant.

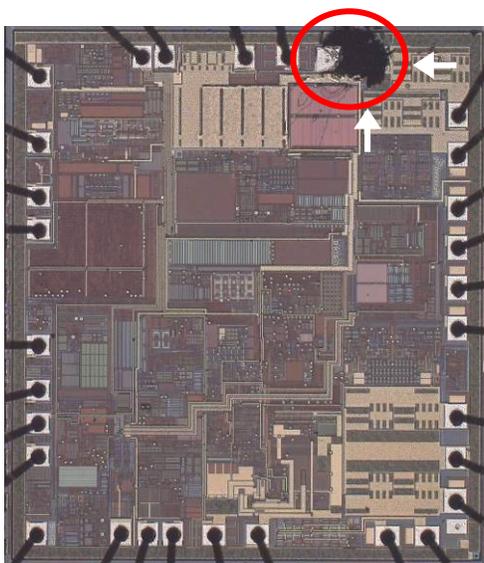


Figure I-8 : Inspection optique de la puce électronique – dans ce cas (flèches blanches) une fusion des fils et endommagement du métal et de l'oxyde (signature d'un EOS, ang. Electrical OverStress).

La localisation physique du défaut succède à la localisation électrique. Cette étape a pour but la visualisation du défaut afin de comprendre le mécanisme physique à l'origine du mauvais fonctionnement électrique. Plusieurs techniques destructives sont disponibles en fonction du résultat de la localisation électrique.

Le *deprocessing* (ang.) consiste à retirer (ou graver) sélectivement toutes les couches successives d'un CI pour enfin permettre une observation du défaut mis à nu. Il existe deux types de *deprocessing* : de type chimique et de type plasma/polissage. Lors du *deprocessing* de type chimique la puce est plongée dans un bain d'une solution chimique à température donnée. En fonction du type de solution chimique, les différentes couches du CI sont gravées. Le *deprocessing* de type plasma/polissage se compose de la gravure plasma et du polissage parallèle ou bien seulement du polissage. La gravure plasma (ang. *RIE : Reactive Ion Etching*) est basée sur une gravure ionique qui permet d'enlever une couche de passivation et des couches diélectriques (ang. *ILD : Inter Dielectric Layer*). Un plasma, généré sous vide secondaire par une tension RF (ang. *Radio Frequency*) et le champ électrique entre les deux électrodes planaires, induit un bombardement ionique de l'échantillon. Des réactions chimiques entre le matériau attaqué et les ions qui le bombardent contribuent aussi à la gravure. Quant au polissage appliqué lors du *deprocessing*, l'échantillon est maintenu sur un support mécanique puis plaqué sur un disque de rotation contenant l'abrasif. Le frottement des grains de matériaux permet d'éroder une à une les couches constituant le CI. Pour éliminer les résidus de polissage et pour réduire l'échauffement dû au frottement, l'écoulement d'un fluide est assuré (plus souvent de l'eau déionisée). Lorsque la puce est polie toutes les couches peuvent être ainsi gravées les unes après les autres. Le *deprocessing* permet de visualiser les défauts du type particule étrangère ou les défauts créés par une décharge électrostatique (ang. *ESD : Electrostatic Discharge*), EOS, etc.

Pour observer les défauts ayant une localisation électrique très précise nous procédons à une microsection qui est une coupe perpendiculaire à la surface de la puce électronique. Elle permet d'observer les défauts tels qu'une particule étrangère coincée entre deux couches ou des résidus/manque de métal ou autre matière (défauts de la fabrication). Des microsections très précises peuvent être réalisées par le FIB (ang. *Focused Ion Beam*). Cet appareil utilise un faisceau d'ions gallium qui, focalisé sur la puce, érode les couches du composant résultant en une micro-section ponctuelle (Fig.I-9).

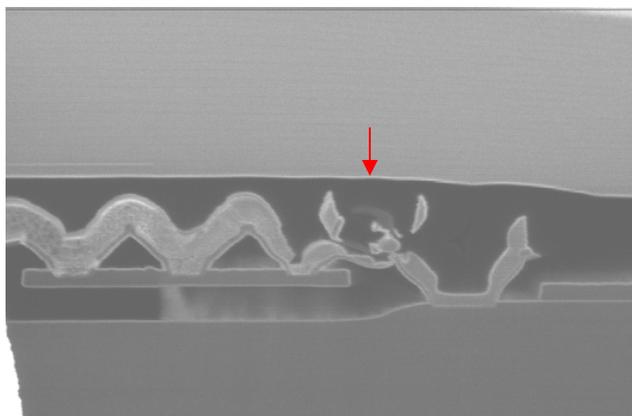


Figure I-9 : Analyse par microsection - une particule déposée lors de la fabrication a créé un court-circuit entre deux pistes métalliques.

Avec l'avancement technologique et notamment la miniaturisation des CI, les défauts très fins apparaissent de plus en plus souvent, par exemple la dislocation au niveau cristallin. Le MET, Microscope Electronique à Transmission (ang. *TEM : Transmission Electron Microscope*) est utilisé afin d'observer ce type de défauts (Fig.I-10). La préparation de l'échantillon se fait au FIB où une lamelle de l'épaisseur de quelques dizaines de nanomètres est réalisée. Ensuite, dans le MET un faisceau d'électrons est transmis à travers cette lamelle. L'interaction entre les électrons et l'échantillon donne naissance à une image dont la résolution est au-dessous d'un Angstrom. Ce grossissement est obtenu grâce à la lentille magnétique. L'image du réseau cristallin est créée par interférence des électrons transmis avec les électrons diffractés. L'image des électrons diffractés est obtenue par changement de la distance focale de la lentille magnétique. Cette dernière image est utilisée pour étudier la structure cristalline, l'orientation des cristaux, etc.

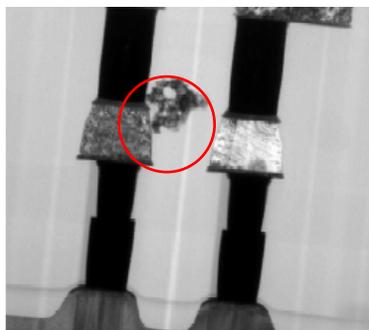


Figure I-10 : L'observation d'une lamelle au MET - présence d'une particule de métal (tungsten).

Lors d'une localisation physique du défaut il est également possible de faire une analyse chimique d'une surface/particule. La technique utilisée, EDX (ang. *Energy Dispersive X-ray spectrometry*), permet d'analyser le spectre de rayons X par dispersion d'énergie. En effet, l'émission de photons X caractéristique de la nature chimique d'un atome (« raies » X) provient du retour à l'état fondamental de celui-ci après qu'il a été ionisé par un faisceau d'électrons incident ad hoc. Cette technique est souvent utilisée pour détecter la contamination présente au niveau de la puce électronique (particules étrangères déposées lors de la fabrication) ou pour vérifier la composition intermétallique (microsection d'un *bonding*), etc.

La dernière étape de l'analyse de défaillance est la rédaction du rapport d'analyse qui résume tout le travail mené à partir de la réception de la puce électronique au laboratoire jusqu'à l'analyse physique. Il est communiqué au client avant d'être placé dans la base de données qui peut être consultée par les ingénieurs du laboratoire d'analyse de défaillance.

La procédure générale d'analyse de défaillance décrite ci-dessus n'est pas suivie scrupuleusement dans tous les cas. Parfois, selon l'historique de la pièce, il est possible de s'affranchir de certaines étapes ou même de cibler juste une étape précise, par exemple la détection d'une délamination par la microscopie acoustique. Cela arrive souvent lors de la phase de qualification de la puce électronique, lorsqu'il existe plusieurs rejets du même type. La connaissance de l'historique d'un rejet permet d'aller directement observer le mécanisme de défaillance par lequel plusieurs puces électroniques ont été impactées.

Il existe bien sûr d'autres techniques qui sont utilisées lors des investigations engagées lors de l'étude d'une puce électronique afin de détecter ou localiser différentes anomalies. Néanmoins, les exemples donnés ci-dessus constituent une base incontournable et couramment utilisée dans de nombreux laboratoires d'analyse de défaillance.

2. TECHNIQUES DE LOCALISATION DES DEFAUTS DANS LES CIRCUITS INTEGRES : ETAT DE L'ART

L'évolution technologique des CI (Fig.I-11) a imposé le développement de différentes techniques de localisation des défauts. Suite à la miniaturisation des puces électroniques, il est constamment nécessaire d'améliorer la résolution spatiale des appareils de mesures. L'accroissement du nombre de couches de métal est à l'origine de la recherche des

techniques permettant de localiser les défauts intermétalliques, en particulier dans les couches intermédiaires ou proches des zones actives. L'augmentation de la densité de transistors sur les puces électroniques a initié le développement des techniques de localisation des défauts liés à la dissipation de la chaleur. L'exécution par les CI de fonctions de plus en plus complexes se traduit par l'augmentation du nombre de défauts apparaissant dans le mode électrique fonctionnel (observation des différents paramètres de signaux AC, contrairement au mode électrique statique où les signaux DC sont observés).

L'intérêt d'utiliser les différentes techniques est leur complémentarité. Chaque technique possède ses avantages mais aussi ses limitations. Le choix d'appliquer une technique spécifique se fait principalement suite à la caractérisation électrique du défaut (étape du test électrique dans la procédure d'analyse de défaillance) mais aussi en fonction du type de boîtier, du nombre de couches de métal et du type de circuit (analogique ou numérique). Dans le domaine de l'analyse de défaillance des CI, il n'existe pas de technique universelle mais éventuellement des techniques incontournables.

Par la suite, nous présentons les techniques de localisation des défauts couramment utilisées dans les nombreux laboratoires. Nous nous focaliserons plus en détail sur les techniques basées sur la stimulation par faisceau laser qui font l'objet de cette thèse.

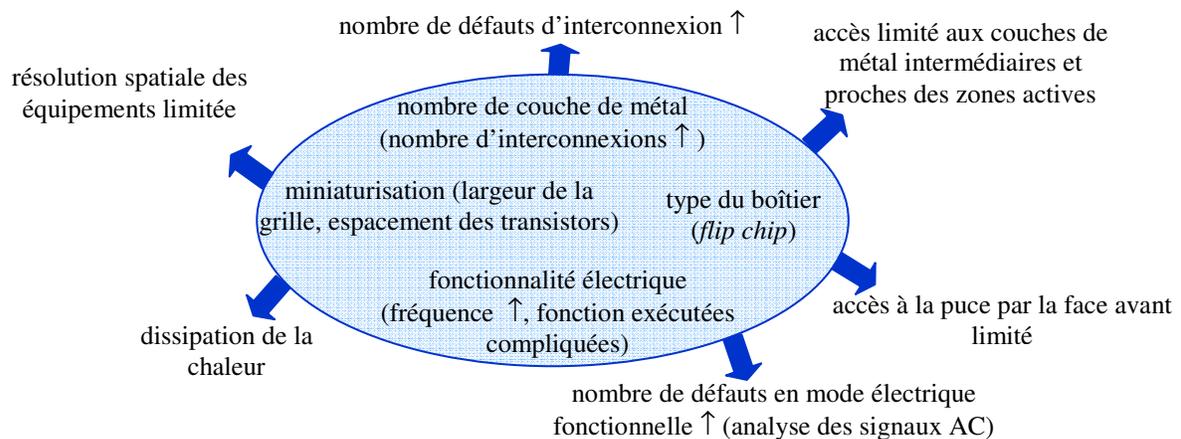


Figure I-11 : Problématique des techniques de localisation de défauts vis-à-vis de l'évolution technologique des CI.

2.1. Microscopie magnétique

La microscopie magnétique est une technique non-destructive qui permet d'imager les courants parcourant le CI [KNA04]. Cette technique, appliquée par la face avant ou par la face arrière du CI, peut être appliquée sur un CI encapsulé dans son boîtier. Le champ magnétique, induit par les courants circulant dans le circuit alimenté, est mesuré par un détecteur de champ magnétique qui balaye le CI. En prenant en compte ces mesures et la distance entre l'échantillon et le détecteur, il est possible de calculer la densité du courant et la représenter sous la forme d'une cartographie 2D (Fig.I-12). En effet, le lien entre les grandeurs magnétiques et électriques est établi grâce à la loi de Biot-Savart.

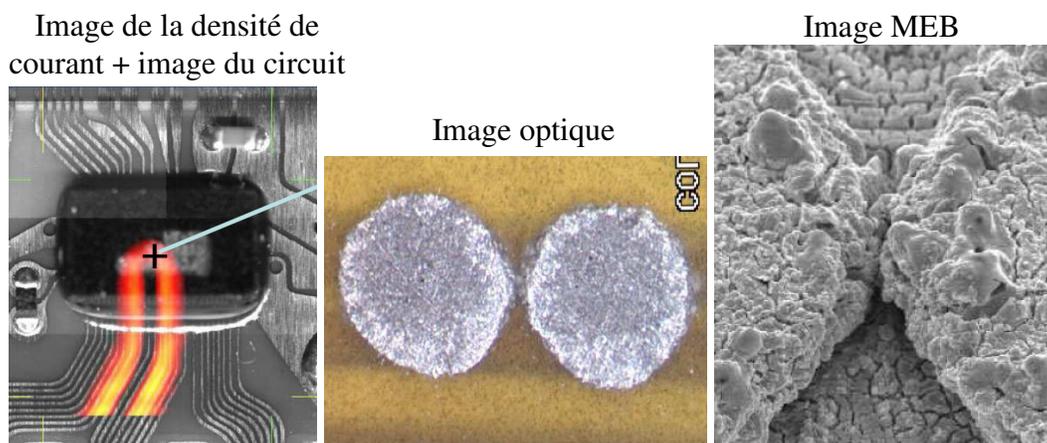


Figure I-12 : Application de la microscopie magnétique : localisation du court circuit entre deux bumps [VAL02].

Cette technique permet de localiser les défauts *hard*¹ liés à des courants anormaux DC ou AC, à basse fréquence circulant dans un CI. Elle est couramment utilisée pour localiser les courts circuits au niveau de la puce électronique, de l'assemblage ou du boîtier ainsi que les défauts caractérisés par une résistance élevée comme un via délaminé ou une fissure sur une piste de métal qui peut introduire une faible variation dans le champ magnétique mesuré.

L'avantage de cette technique est la possibilité de localiser les défauts dans les CI assemblés dans les boîtiers *flip chip* ou dans les CI où plusieurs puces électroniques sont superposées. La sensibilité du courant détecté dépend du détecteur utilisé, elle varie de

¹ Les défauts toujours observables électriquement indépendamment de la configuration électrique de la puce électronique et des conditions environnementales.

~500nA (détecteur SQUID, résolution spatiale ~30 μ m, distance de travail ~400 μ m) à quelques μ A (détecteur GMR, résolution spatiale ~100nm, distance de travail ~dizaine de μ m). La limitation majeure de cette technique est liée à la distance de travail du détecteur qui est de l'ordre de quelques centaines de μ m qui limite la résolution spatiale. La sensibilité du détecteur est inversement proportionnelle au carré de la distance de travail.

2.2. Microscopie à émission de lumière

La microscopie à émission de lumière est une technique non destructive connue depuis la fin des années 80 [KHU86]. Elle consiste à observer via une caméra spécifique des photons émis suite à une recombinaison des porteurs libres et/ou la désexcitation radiative dans les zones actives du CI alimenté, dans son mode défaillant. La longueur d'onde des photons émis varie entre le visible et le proche infrarouge. Elle dépend de la tension d'alimentation du CI, de la polarisation des jonctions et de la technologie de fabrication du CI. Antérieurement, cette émission était observée sur la face avant des CI. Suite à l'augmentation du nombre de couches de métal, la capture des photons émis par les zones actives n'est plus possible (photons bloqués par le métal ou réfléchis). Par conséquent, afin d'avoir un accès plus facile aux zones émettrices, l'observation de l'émission se fait actuellement très souvent par la face arrière des CI, à travers le substrat de silicium aminci [BAR96].

Parmi les techniques basées sur l'émission de lumière, nous distinguons une technique statique et deux techniques dynamiques. La technique statique, l'*EMMI* (ang. *Emission Microscopy*), consiste à observer les photons émis par les zones actives du CI qui est alimenté par les signaux électriques DC, AC ou les deux. L'image d'émission obtenue, indépendante des signaux électriques appliqués sur le CI, est statique (Fig.I-13). Cela veut dire que toute l'émission capturée par une caméra spécifique (CCD, MCT, InGaAs...), pendant un temps donné, est intégrée et représentée sur une image. Il est donc impossible d'extraire des informations temporelles à partir de cette cartographie d'émission.

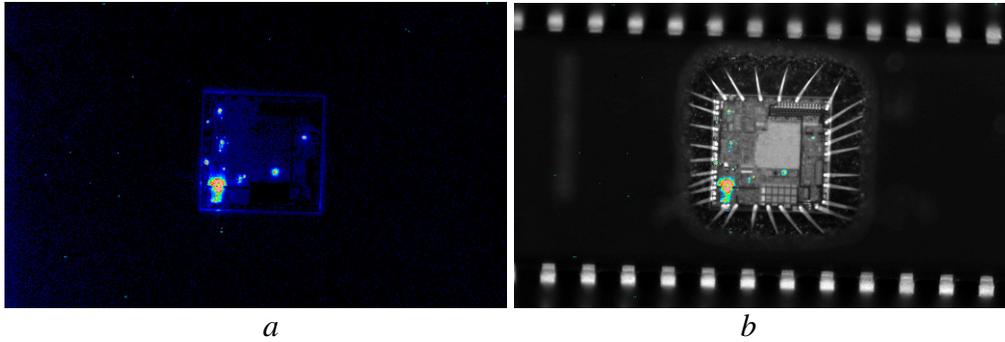


Figure I-13 : Détections des émissions des photons à l'aide d'une technique statique EMMI. L'acquisition macro (objectif 0,8x) de 30 secondes a été faite par la face avant. a. Image brute des émissions enregistrées par le capteur CCD. b. Localisation des zones émissives par superposition de l'image de la puce électronique avec l'image brute des émissions.

Au contraire, les techniques dynamiques délivrent des informations temporelles. Elles sont utilisées principalement sur les CI numériques pour lesquels les signaux AC sont appliqués en boucle. Dans la technique *PICA* (ang. *Picosecond Imaging Circuit Analysis*) [KAS98] un détecteur MPC-PMT (ang. *Microchannel Plate – Photomultiplier Tube*), des photomultiplicateurs à galettes des microcanaux, permet d'enregistrer spatialement et temporellement l'émission des photons (Fig.I-14). Cette émission provenant des transistors MOSFET a lieu dans le régime de saturation suite à la désexcitation des porteurs chauds créés grâce à un champ électrique élevé [TAM84]. Le résultat est représenté sous forme d'un film où l'émission des photons est observée avec une résolution temporelle de quelques dizaines de picosecondes. La fenêtre d'observation peut couvrir la surface entière d'une puce électronique.

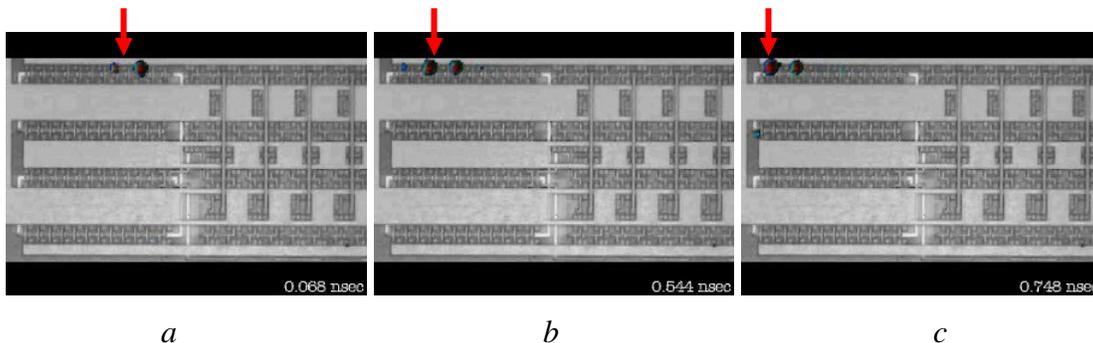


Figure I-14 : Détection spatio-temporelle des émissions de photons à l'aide d'une technique dynamique *PICA*. Images d'un oscillateur en anneau (CMOS 0,6 μ m) superposées à des images brutes d'émissions de photons à l'instant : a. $t=68ps$, b. $t=544ps$, c. $t=748ps$ [KAS98].

Il est également possible de présenter les résultats sous forme de courbes d'émission des photons captés en fonction du temps (Fig.I-15). Cette représentation est appelée TRE (ang. *Time Resolved Emission*) et est parfois perçue comme une technique pouvant être utilisée indépendamment de la technique PICA. Dans ce cas, l'émission de photons est capturée non pas sur l'ensemble de la surface de la puce dans le champ de vision mais à l'aide d'un détecteur monopoint sur une zone réduite. Il est possible d'analyser les points d'émission d'un ou de quelques transistors. Afin d'analyser le décalage temporel dans l'émission de photons des différents transistors, il est nécessaire de faire des acquisitions séparées sur chacun de transistors. Les zones d'émission sont souvent identifiées préalablement via une technique statique EMMI.

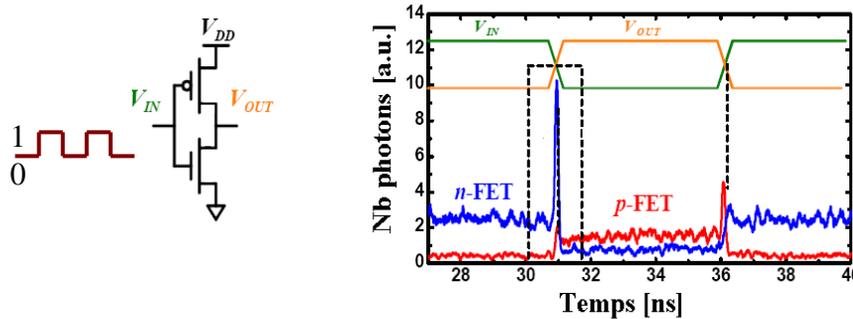


Figure I -15: Détection résolue en temps des émissions de photons à l'aide d'une technique TRE. Deux courbes représentent les photons émis par un n-FET et par un p-FET de l'inverseur quand un signal 0/1 a été envoyé en boucle sur Vin [STE06].

Les techniques basées sur l'émission de lumière sont très efficaces dans la localisation des défauts dans les jonctions PN, le claquage d'oxyde de grille, le *latch-up*, le défaut de conception, etc. Parfois un point d'émission ne correspond pas à une localisation exacte du défaut mais représentent sa conséquence. Dans ce cas, l'étude du schéma électrique et/ou les résultats obtenus par une autre technique de localisation des défauts sont nécessaires.

Les limitations principales de techniques basées sur l'émission de lumière sont liées à l'évolution des technologies des CI. La diminution de la tension d'alimentation contribue à affaiblir l'émission de photons et induit un décalage du spectre d'émission vers les longueurs d'ondes infrarouges. Les détecteurs disponibles sur le marché permettent de

faire face à ces limitations (bande spectrale, efficacité quantique, résolution spatiale de mesure). Néanmoins, des recherches sont menées afin d'améliorer les systèmes existants.

2.3. Microscopie à émission thermique

La miniaturisation des CI ainsi que l'augmentation de leur vitesse de travail sont les sources majeures d'accroissement du nombre de défauts liés à la température. Il existe plusieurs techniques permettant de caractériser la distribution spatiale de température sur les CI. Dans ce manuscrit trois techniques sont présentées: la thermographie, la thermographie *lock-in* et la technique de cristaux liquides. Néanmoins, pour les personnes intéressées par ce domaine nous donnons une référence bibliographique complémentaire [CHR07].

Thermographie

La thermographie est une technique non destructive qui permet d'imager l'émission de chaleur d'un objet avec une résolution spatiale de $3\mu\text{m}$ et une résolution thermique de $0,01\text{K}$ à 1K . Cette technique est souvent utilisée pour évaluer les performances des CI et leur fiabilité. Les défauts du type résistif se caractérisent par une augmentation ponctuelle de la température. En utilisant comme détecteur spécifique une caméra infrarouge ($2-10\mu\text{m}$), il est possible de mesurer la température sur la surface d'une puce électronique (luminance de l'objet) et aussi ses variations spatiales et temporelles. Une cartographie « lisible » par l'œil humain constitue le résultat obtenu grâce au système de traitement d'image.

Le principe de la thermographie est basé sur l'hypothèse que tout corps de température supérieure au zéro absolu émet des radiations infrarouges. La température de l'objet sur la surface se calcule en prenant en compte la luminance énergétique spectrale du corps noir (objet idéal) définie par la loi de Planck, la luminance énergétique spectrale directionnelle de l'objet analysé et sa température relative mesurée [BRE03].

Une des limitations de la thermographie est la résolution en température. Dans l'analyse de défaillance de plus en plus de défauts sont caractérisés par une puissance dissipée très faible, de quelques μW . Cela demande une sensibilité thermique au dessous d' $1\mu\text{K}$. La thermographie *lock-in* (par la détection synchrone) permet de s'approcher de cette sensibilité.

Thermographie *lock-in*

Le principe de la thermographie *lock-in* (ang. *LiT*: *Lock-in Thermography*) consiste à introduire dans le CI un échauffement périodique par modulation du signal d'alimentation et à enregistrer avec une caméra infrarouge plusieurs prises de vue durant l'excitation du CI (Fig.I-16). En appliquant un facteur multiplicatif, il est ainsi possible d'extraire une image en phase (0°) et une image déphasée (-90°) par rapport à l'échauffement périodique (tension d'alimentation). Par la suite, les images d'amplitude et de phase peuvent être extraites.

L'avantage de cette technique est sa sensibilité élevée au changement de la température ($<1\mu\text{K}$). De plus, il est possible de l'appliquer sur les CI ouverts par la face avant ou par la face arrière ainsi que sur les CI non ouverts. Dernièrement, des études ont été menées sur l'extraction de l'information sur la profondeur à laquelle se trouve le défaut à partir de l'information sur la phase [SCH08].

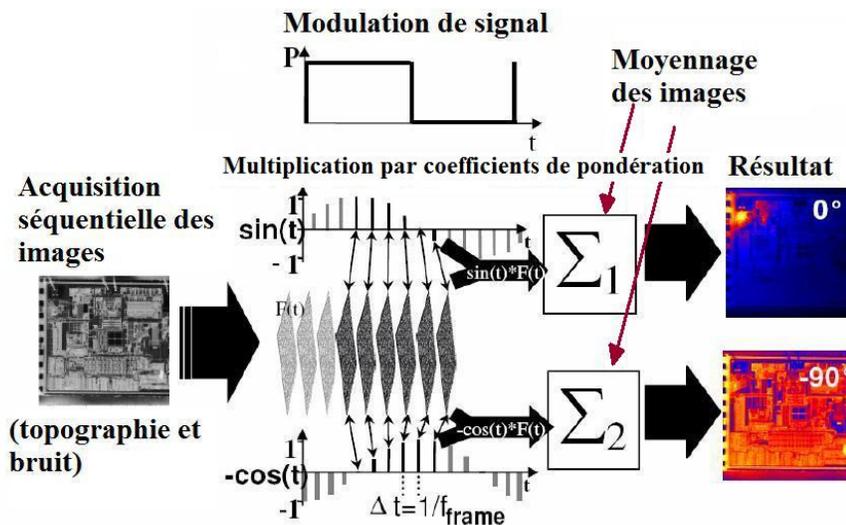


Figure I-16 : Principe de la thermographie *lock-in* [BRE02].

2.4. Techniques basées sur le *micro- & nanoprobing*

Le *microprobing* constitue la première technique utilisée pour mesurer les signaux à l'intérieur de la puce électronique [GOL67]. Grâce à ces mesures effectuées sur les CI ouverts par la face avant, il est possible de remonter jusqu'à la source du dysfonctionnement et donc localiser le composant défaillant. En utilisant une ou plusieurs pointes montées sur un microlevier, il est possible de mesurer les niveaux des signaux

électriques dans le circuit en fonctionnement ou de caractériser les composants simples (par exemple transistor, résistance). Pour le *microprobing*, qui est une technique intrusive, la mesure est effectuée via un contact entre la pointe et les zones spécifiques du CI. Ces zones représentent des points de test prévus auparavant lors la phase de conception du circuit. Dans le cas de l'absence d'un tel point à l'endroit où la mesure est nécessaire, une piste de métal assez large peut être utilisée. Une autre solution, plus coûteuse en temps et en argent, est la création d'un point de test supplémentaire grâce au FIB. Un dépôt de platine se fait sur la couche de métal supérieure pour faire remonter un signal d'une couche inférieure ou tout simplement pour agrandir la surface conductrice et poser une pointe. La technique de *microprobing*, toujours appliquée sur les CI développés en anciennes technologies, possède certaines limitations notamment pour les circuits récents. Suite à la miniaturisation des puces électroniques, à l'augmentation du nombre de couches de métal et de la densité des composants, le nombre de points de test est insuffisant, les pistes de métal deviennent trop étroites pour permettre une mesure des signaux. De plus, pour garder l'intégralité de fonctionnement de la puce, le *microprobing* peut être appliqué uniquement par la face avant, sur la couche supérieure du CI. Ainsi l'accès à certains signaux est limité. D'autres paramètres, tels que l'impédance d'une pointe, la bande passante du système de mesure, la capacité introduite par une pointe sur le circuit peuvent aussi rendre difficile les mesures. Cette technique est souvent utilisée conjointement à d'autres techniques de localisation de défauts (EMMI, OBIRCH [NIK97] ...).

Suite aux limitations mentionnées ci-dessus une technique de *nanoprobing* a été développée pour permettre la caractérisation électrique au niveau du transistor des CI fabriqués en technologies avancées (jusqu'au 65nm) [LIN06]. Cette technique est utilisée principalement après une pré-localisation et une isolation de quelques transistors. Par la suite, la caractérisation électrique permet d'identifier le transistor défaillant. Les mesures s'effectuent dans le SEM ou dans le FIB où la résolution spatiale est de l'ordre de quelques nanomètres. Grâce à l'utilisation des « piezotranslators », la précision de positionnement des pointes est aussi de l'ordre de quelques nanomètres comparée à $\sim 1\mu\text{m}$ pour le *microprobing* classique. L'avantage d'utiliser cette technique avec le FIB est la possibilité de faire une modification ponctuelle du CI (par exemple isolation des pistes)

avant ou entre deux mesures. L'inconvénient rencontré par certains opérateurs est lié au chargement des surfaces par le faisceau d'ions pour certaines technologies [CAM97, HEN08]. Par conséquent, les valeurs de paramètres de transistors (par exemple la tension, V_t , la transconductance ou la mobilité) peuvent changer légèrement amenant ainsi le risque d'obtenir des mesures erronées.

Un autre problème est l'accès aux signaux internes des CI montés dans le boîtier en *flipchip*. Il n'est pas possible d'utiliser la technique du *microprobing* classique ni du *nanoprobing* à travers le silicium. Pour analyser ces signaux une technique appelée LVP (ang. *Laser Voltage Probing*) a été introduite [HEI87, PAN98]. Les systèmes actuels, pour lesquels un laser impulsionnel (largeur des impulsions ~ 35 ps) de longueur d'onde égale à $1,06\mu\text{m}$ (proche infrarouge) balaye le CI à travers le substrat aminci (~ 50 - $100\mu\text{m}$), permettent de mesurer le niveau de tension et les instants de basculement des signaux dans le temps. Le signal est obtenu grâce à deux phénomènes : l'effet Franz-Keldysh et l'absorption par porteurs libres [KEL58, EIL99]. La bande interdite des semi-conducteurs change en fonction du champ électrique appliqué. Par conséquence, l'indice de réfraction dans le silicium change en fonction du champ électrique. D'autre part, l'absorption d'un faisceau de photons dans le silicium dépend de cet indice de réfraction. En conclusion, l'intensité et la phase du faisceau laser réfléchi sont modulées par le champ électrique dans les CI.

La technique LVP est principalement utilisée pour isoler les nœuds défectueux en mesurant le décalage temporel, le temps de montée et le temps de descente du signal. Son point faible est le couplage diaphonique qui, pour les CI fabriqués en technologies très avancées où les jonctions sont très proches, peut rendre les mesures erronées. Effectivement, pour le faisceau laser focalisé, le paramètre qui est la largeur du faisceau laser à mi-hauteur de son amplitude (FWHM, ang. *Full Width at Half Maximum*) est de $\sim 0,77\mu\text{m}$ et peut être corrigé avec les lentilles liquides à immersion (ang. *liquid immersion lens*) jusqu'à $0,5\mu\text{m}$ [NAT02].

Plusieurs techniques basées sur la microscopie à balayage de sonde (SPM, ang. *Scanning Probe Microscopy*) ont été développées et appliquées dans le domaine de la localisation des défauts dans les CI [NAR05]. Elles utilisent une sonde pour balayer un échantillon en mode contact ou sans contact. Le résultat de l'interaction entre la sonde et la surface est

corrélé avec la position de la sonde. En fonction de cette interaction, les différents paramètres peuvent être imagés sous forme de cartographies. Ces techniques, dont la résolution spatiale peut atteindre quelques Å, permettent de déterminer entre autres la topographie de l'échantillon en 3D (AFM, ang. *Atomic Force Microscopy*, [BIN86], [ZHO92]), ses propriétés magnétiques (MFM, ang. *Magnetic Force Microscopy*) ou électriques (SKPM, ang. *Scanning Kelvin Probe Microscopy*; EFM, ang. *Electrostatic Force Microscopy*) telles que la concentration de porteurs ou de dopants, sa résistivité (SSRM, ang. *Scanning Spreading Resistive Microscopy*), sa conductivité (CAFM, ang. *Conductive AFM*; TAFM, ang. *Tunneling AFM*), ou ses propriétés thermiques (SthM, ang. *Scanning Thermal Microscopy*). Un grand avantage de ces techniques est la résolution spatiale qui dépend du diamètre de la pointe utilisée dans la sonde. L'inconvénient est le champ de balayage qui est limité à quelques dizaines de micromètres carrés et le temps d'acquisition assez important (~15-30min).

2.5. Cristaux liquides

Une des plus anciennes techniques de localisation de défauts est la technique des cristaux liquides (ang. *Liquid Cristal*). Elle permet de localiser les défauts par la face avant où l'augmentation de la température a été induite localement, par exemple par un court circuit. En effet, on utilise la propriété des cristaux liquides nématiques où ce composé chimique possède un état intermédiaire entre l'état solide (anisotrope) et l'état liquide (isotrope) [LEH08]. Le passage entre cet état et l'état liquide a lieu à une température donnée T . Le principe de la technique consiste à déposer une fine couche de cristaux liquides sur la face avant de la puce électronique alimentée dans sa configuration défaillante de telle façon que la puissance générée par le CI permet de dépasser légèrement la température T à l'endroit défaillant. Grâce à un système de détection composé d'un microscope optique, un polariseur et un analyseur croisé, il est possible d'imager les points chauds qui correspondent au défaut. Lorsque la lumière polarisée arrive sur les cristaux liquides dans la phase anisotrope (au dessous de la température T), les molécules de cristaux liquides se tournent de telle façon que la lumière peut passer par l'analyseur. Par contre lorsque la lumière polarisée arrive aux cristaux liquides dans la phase isotrope (au dessus de la température T), les molécules de cristaux liquides ne

dérivent pas leur position. En conséquence, la lumière ne peut pas traverser l'analyseur et le point noir, correspondant au défaut, est visible (Fig.I-17).

Cette technique, même si elle est toujours utilisée pour localiser les défauts dans le CI de puissance, possède des limitations. La résolution spatiale allant de $2\mu\text{m}$ à $5\mu\text{m}$ n'est plus suffisante compte tenu de la miniaturisation des CI. Il est difficile de localiser les défauts qui se trouvent dans les couches basses du CI multicouche (plusieurs couches de métal). Quant aux défauts caractérisés par une faible résistance, par exemple un filament dans une couche diélectrique, le choix des conditions électriques (tension/courant) pour basculer la phase de cristaux liquides peut se révéler destructive vis-à-vis du défaut (fusion d'un filament).

Actuellement, la majorité des défauts du type résistif est traitée avec les techniques de stimulation laser statique décrites dans le point 3 de ce chapitre.

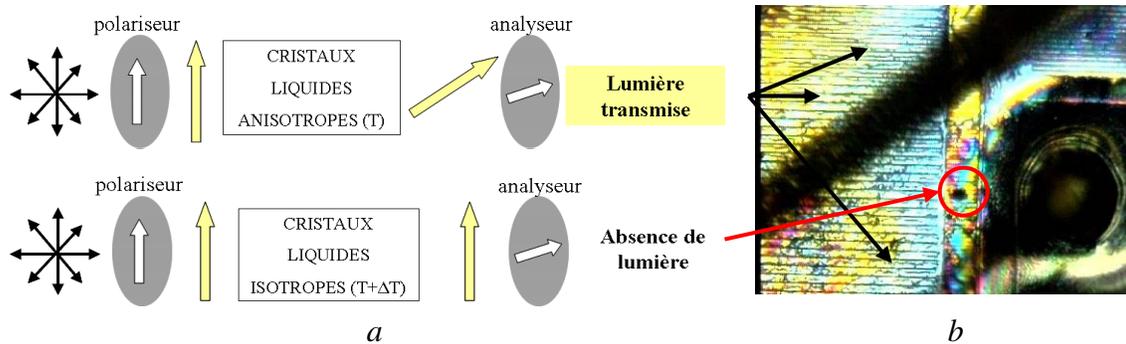


Figure I-17: a. Principe de la technique basée sur les cristaux liquides avec b. un exemple d'application. La localisation du point chaud qui correspond au court-circuit mesuré lors du test électrique.

3. LOCALISATION DE DEFAUTS PAR FAISCEAU LASER

Les techniques basées sur la stimulation par faisceau laser sont des techniques non-intrusives, parmi les plus déployées au sein des laboratoires d'analyse de défaillances. Leur succès est dû à une relativement simple mise en œuvre. De plus, ces techniques possèdent de nombreux avantages des techniques auparavant présentées : une bonne résolution spatiale, la possibilité d'application par la face avant ou par la face arrière, elles sont non-intrusives et très efficaces dans la localisation de défauts résistifs en particulier sur les CI mixtes et analogiques qui font l'objet de cette thèse.

3.1. Principe

Un CI, ouvert par la face avant ou par la face arrière, dans une configuration électrique révélant sa défaillance ou proche de cet état, est balayé par un faisceau laser continu (faible injection) qui est focalisé sur la puce électronique (Fig.I-18). Pour une analyse par la face arrière à travers le substrat de silicium, une partie de l'énergie de ce faisceau laser incident est absorbée par le substrat, une partie est réfléchiée et une partie est transmise à travers le substrat de silicium. Grâce à l'énergie apportée localement au CI sous test, ses propriétés physiques et ensuite électriques sont modifiées localement, et par conséquent son comportement électrique global peut être altéré. Les techniques qui permettent la détection de ces perturbations induites par le faisceau laser continu et focalisé sur la puce font partie des techniques dites en mode « pompe ». Cela signifie que les perturbations induites dans le CI sont détectées par l'intermédiaire des mesures électriques. Dans d'autres types de techniques, en mode « sonde », les perturbations induites dans le CI sont mesurées par la voie optique où le faisceau laser réfléchi ou transmis est analysé. En effet, les paramètres optiques de l'onde réfléchiée sont modifiés suite aux perturbations locales du CI causées par l'activité électrique. Dans la suite de ce manuscrit, nous allons nous intéresser uniquement aux techniques en mode « pompe » qui sont les techniques le plus facilement transférables à un environnement industriel.

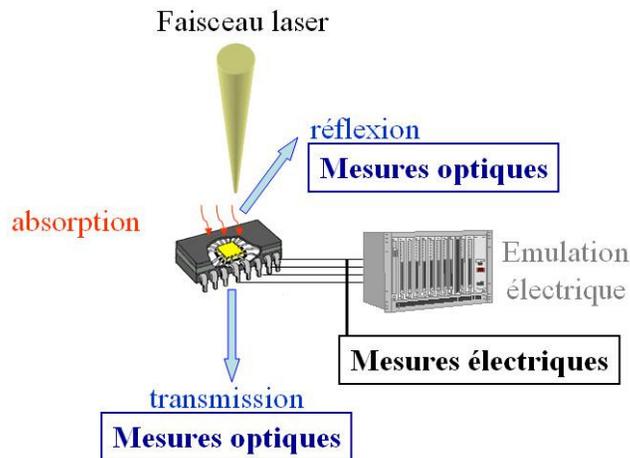


Figure I-18 : Représentation de l'interaction du faisceau laser avec un CI. Les perturbations induites dans le CI peuvent être détectées par mesures optiques (techniques en mode « sonde ») ou par mesures électriques (techniques en mode « pompe »).

Les techniques en mode « pompe » sont implémentées sur les systèmes de localisation des défauts dont le schéma typique est présenté sur la figure I-19a. Le fonctionnement de ces systèmes est basé sur la microscopie confocale à balayage laser [COX82, JUS94] (Fig.I-19b) qui permet de focaliser le faisceau laser sur une puce électronique sous test et de scanner une certaine surface de cette puce. Cette focalisation est très précise grâce à un diaphragme de faible dimension (ang. *pinhole*) placé devant le détecteur. Seule l'onde correspondant au plan focal de l'objet arrive au détecteur. Toute autre onde est occultée. Un miroir dichroïque est utilisé pour, d'une part diriger le faisceau laser vers l'échantillon (fonction : réflexion), d'autre part faire passer l'onde réfléchie vers une photodiode (fonction : transparence). La photodiode convertit le signal optique (intensité lumineuse) en signal électrique analogique. L'image 2D est créée suite au déplacement du faisceau laser point par point à l'aide des miroirs de balayage. En effet, ces miroirs orthogonaux permettent le déplacement en axes x et y. La figure I-19c représente la façon dont le faisceau laser se déplace lors du balayage. Les lignes continues correspondent au déplacement pendant lesquels la sortie du circuit OUT est mesurée. Les lignes en pointillés correspondent au déplacement du faisceau laser pour atteindre une colonne suivante sans que les mesures soient acquises. Les unités de contrôle et de traitement d'image permettent la gestion du changement de la position des miroirs de balayage et du fonctionnement du laser (puissance du faisceau laser, type du laser lorsque deux lasers différents sont montés sur le même système...). A la fin du balayage, le système génère une cartographie des zones sensibles ou défaillantes. Cette cartographie est le résultat de la corrélation entre la position du faisceau laser et la mesure effectuée à la sortie OUT du CI sous test lorsque le faisceau laser se trouve à cette position.

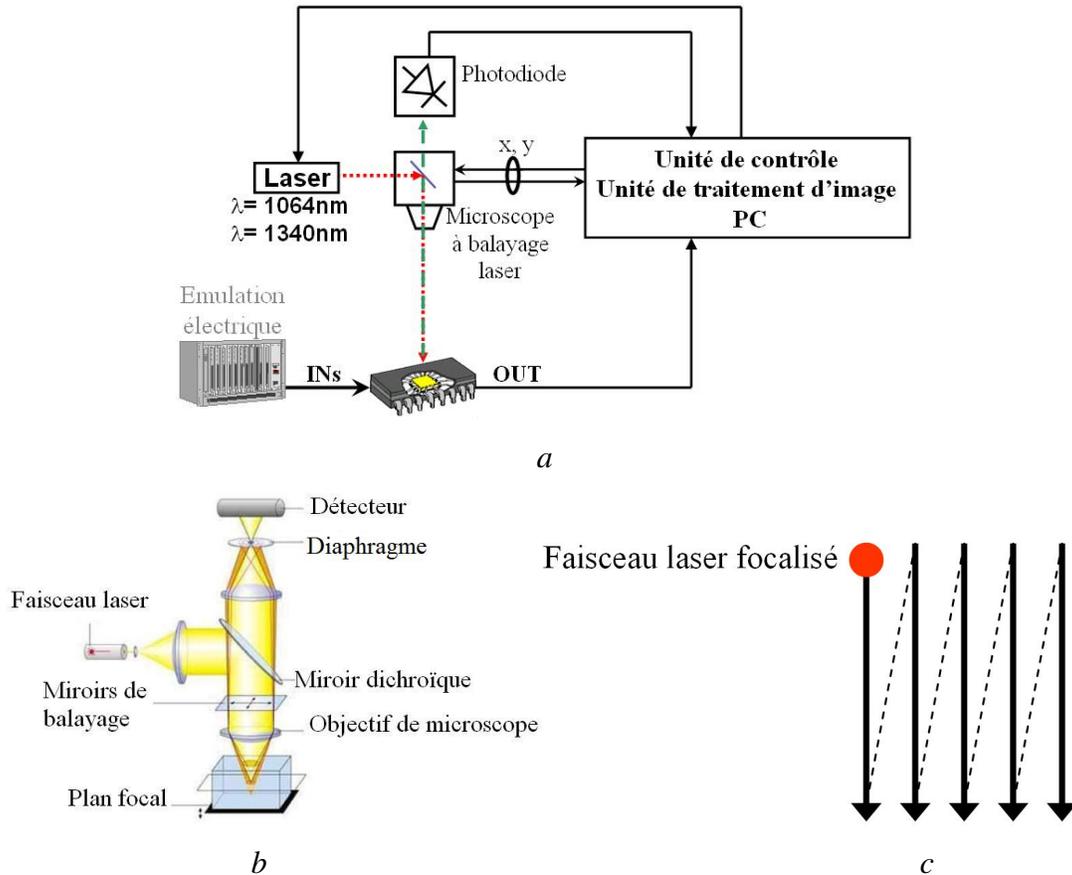


Figure I-19 : a. Système de localisation de défauts basé sur la microscopie confocale à balayage laser. b. Principe de fonctionnement du microscope confocal à balayage (ang. LSM : Laser Scanning Microscope). c. Dynamique du balayage du faisceau laser.

3.2. Résolution spatiale de l'imagerie laser

La résolution spatiale d'un système de localisation de défauts basé sur la microscopie confocale à balayage laser est limitée par le phénomène de diffraction et est définie par le critère de Rayleigh (Eq. I-1).

$$d_{\min} = \frac{0,61 \cdot \lambda}{NA} \quad (\text{Eq.I-1})$$

où d_{\min} est la résolution spatiale latérale, λ est la longueur d'onde du faisceau laser et NA est l'ouverture numérique de la lentille de l'objectif (ang. Numerical Aperture).

En réalité, cette résolution spatiale latérale est limitée par la taille du spot laser. La distribution latérale du faisceau laser sert à déterminer la résolution spatiale latérale de la

technique laser. Elle est décrite par $\omega(z)$ (Eq.I-2) qui est le rayon du faisceau pour lequel l'amplitude du champ électrique et l'intensité diminuent respectivement de $1/e$ et $(1/e)^2$ leurs valeurs axiales (Fig.I-20).

$$\omega(z) = \omega_0 \cdot \sqrt{1 + \left(\frac{\lambda \cdot z}{\pi \cdot \omega_0}\right)^2} \quad (\text{Eq.I-2})$$

où ω_0 est la valeur minimum de $\omega(z)$, ($2\omega_0$ est un diamètre minimal du faisceau (ang. *beam waist*)) ; λ est la longueur d'onde du faisceau laser et z est la distance par rapport au plan focal suivant la direction de propagation.

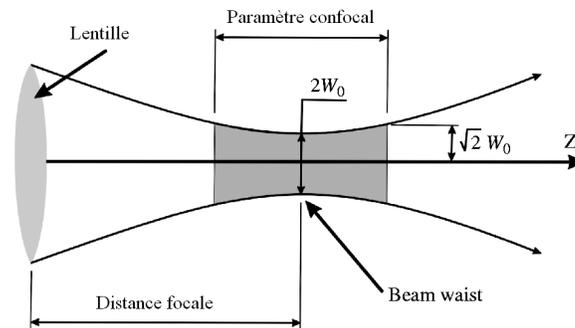


Figure I-20 : La taille du faisceau laser gaussien par rapport à l'axe de sa propagation.

3.3. Phénomènes induits

3.3.1. Photoélectrique

Dans le domaine de la localisation de défauts dans les CI, le phénomène photoélectrique est utilisé pour générer ponctuellement un courant additionnel dans le semiconducteur. Le rôle de ce courant photo-généré est de localiser les zones où l'injection instantanée d'un faible courant peut perturber le fonctionnement du circuit. En particulier, nous cherchons à identifier des zones affaiblies soit par un stress du composant électronique soit à cause d'une mauvaise conception, soit suite à des défaillances déjà présentes. Le passage du courant supplémentaire dans ces zones permet leur localisation. Les exemples de défauts que le phénomène photoélectrique peut détecter sont les défauts dans les jonctions, dans les oxydes de grille, les circuits ouverts, les structures parasites telles qu'un thyristor parasite (phénomène du *latch-up*), etc. Pour que le phénomène photoélectrique se produise, trois phénomènes sont nécessaires :

1. Absorption des photons dans le silicium.

2. Photo génération de paires électron-trou par absorption inter-bande.
3. Génération du photocourant en présence du champ électrique.

Ces trois phénomènes demandent des conditions bien précises qui seront décrites ci-dessous.

3.3.1.a. Absorption

Pour parler de l'absorption optique dans le silicium, il est nécessaire de faire référence à la théorie des bandes d'énergie dans les matériaux semi-conducteurs. Pour le silicium monocristallin, la largeur de la bande interdite E_G est égale à 1,12eV à la température de 300K et la longueur d'onde lui correspondant λ_G est égale à 1,107 μ m. Dans le silicium intrinsèque (monocristallin non dopé), nous parlons de l'absorption inter-bande. Autrement dit, un photon incident est absorbé si son énergie (E_{photon}) permet la transition d'un électron de la bande de valence (E_V) vers la bande de conduction (E_C) (Fig.I-21). Par conséquent, cette énergie doit être égale ou supérieure à E_G (Einstein) (Eq.I-3).

$$E_{photon} [eV] = \frac{h \cdot c}{\lambda} = \frac{1,24}{\lambda} \geq E_G \quad (\text{Eq.I-3})$$

où h est la constante de Planck, $h = 6,626$ [Js], c est la vitesse de la lumière dans le vide, $c = 3 \cdot 10^8$ [m/s], λ est la longueur d'onde du faisceau laser et E_G est la largeur de la bande interdite (gap) du semi-conducteur, pour le silicium monocristallin $E_G \cong 1,12$ [eV] à 300K.

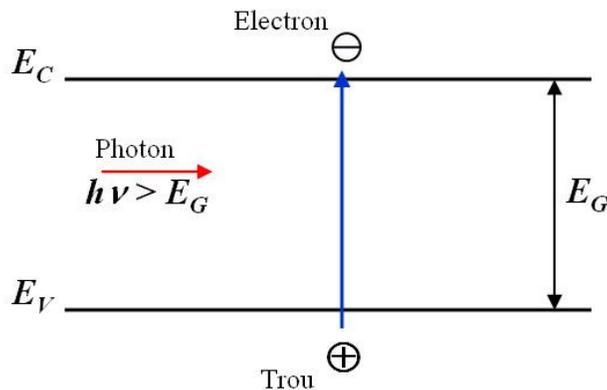


Figure I-21 : Représentation du mécanisme de l'absorption inter-bande d'un photon dans le silicium monocristallin non dopé (intrinsèque).

Les photons ayant une énergie inférieure à E_G traversent le substrat de silicium (matériau transparent pour des longueurs d'ondes supérieures à 1,107 μ m).

Le taux d'absorption (toujours pour le silicium intrinsèque) est une fonction de la longueur d'onde des photons incidents λ (Fig.I-22) et s'exprime selon l'équation I-4 [SAR87, GER93].

$$\alpha(\text{cm}^{-1}) = \left(\frac{85,015}{\lambda(\mu\text{m})} - 77,104 \right)^2 \quad \text{pour } 0,8\mu\text{m} \leq \lambda \leq 1,06\mu\text{m} \quad (\text{Eq.I-4})$$

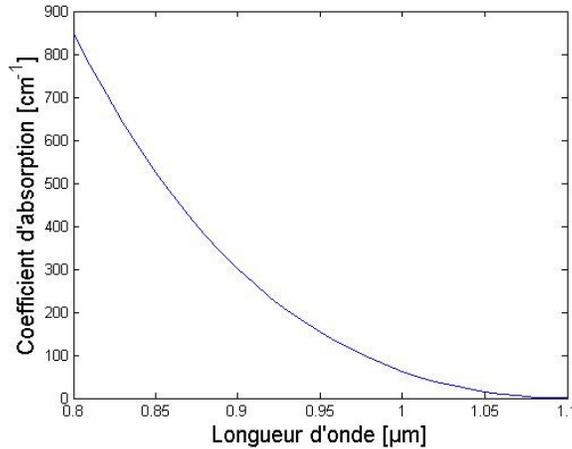


Figure I-22 : Coefficient d'absorption optique en fonction de la longueur d'onde pour le silicium intrinsèque.

Dans la réalité, le silicium utilisé pour fabriquer le substrat dans les CI, est souvent dopé (extrinsèque) afin d'améliorer les performances électriques des circuits électroniques. Ce dopage, par les atomes de la colonne III (dopage du type P) ou V (dopage du type N) du tableau de Mendeleïev, induit des impuretés et par conséquent entraîne l'apparition d'un pseudo niveau d'énergie dans la bande interdite. Pour le silicium dopé N, ce pseudo niveau, appelé niveau donneur, se trouve au dessous de la bande de conduction et contient des atomes électro-négatifs. Les électrons en excès demandent peu d'énergie pour passer dans la bande de conduction (Fig.I-23a). De même, pour le silicium dopé P ce pseudo niveau, appelé niveau accepteurs, se trouve au dessus de la bande de valence et contient les atomes électro-positifs. Ses trous en excès sont prêts à accueillir des électrons de la bande de valence avec l'apport de l'énergie faible (Fig.I-23b). Due aux impuretés, cette absorption ne permet pas la génération des paires électron-trou comme c'est le cas de l'absorption inter-bande, et donc ne contribue pas à la génération du photocourant.

Néanmoins, nous parlons de l'absorption due aux impuretés car elle modifie le coefficient d'absorption du silicium [SPI57, HAR66]. C'est un type d'absorption par porteurs libres.

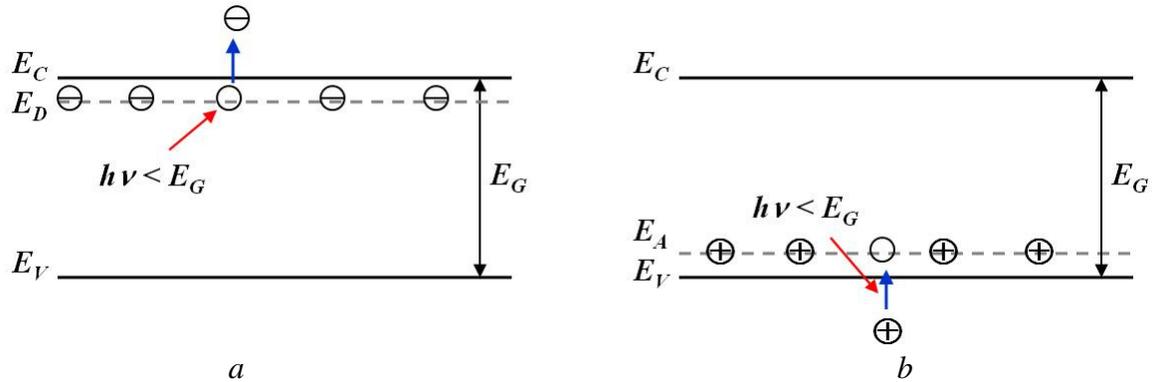


Figure I-23 : Représentation du mécanisme d'absorption d'un photon due aux impuretés présentes dans le réseau cristallin du silicium monocristallin dopé (extrinsèque) a. du type N et du b. type P à température de 0K.

Il existe d'autres types d'absorption comme l'absorption par porteurs libres intra-bande où les photons incidents de l'énergie $h\nu < E_G$ peuvent être absorbés par les porteurs libres augmentant ainsi leur énergie. Cette absorption est appelée intra-bande car ces porteurs libres ne changent pas de bande : les électrons restent dans le bande de valence et les trous restent dans la bande de conduction. Le nombre de porteurs libres augmente avec la température (ionisation des atomes dopants) et à 300K cette absorption prend de l'importance. Cependant, elle ne contribue pas à la génération du photocourant mais elle modifie le coefficient d'absorption qui est proportionnel à λ^2 .

La figure I-24 présente l'évolution du coefficient d'absorption α en fonction de l'énergie des photons incidents (et de la longueur d'onde λ leur correspondant) pour les différents taux de dopage du type P (Fig.I-24a) et du type N (Fig.I-24b). Dans les deux cas, nous remarquons que suite à l'augmentation du dopage du silicium, le coefficient d'absorption augmente. Il est nécessaire de rappeler que seule l'absorption inter-bande permet de générer les paires électron-trou et ainsi induire le phénomène photoélectrique. Cette absorption est prédominante pour les énergies supérieures à 1,12eV.

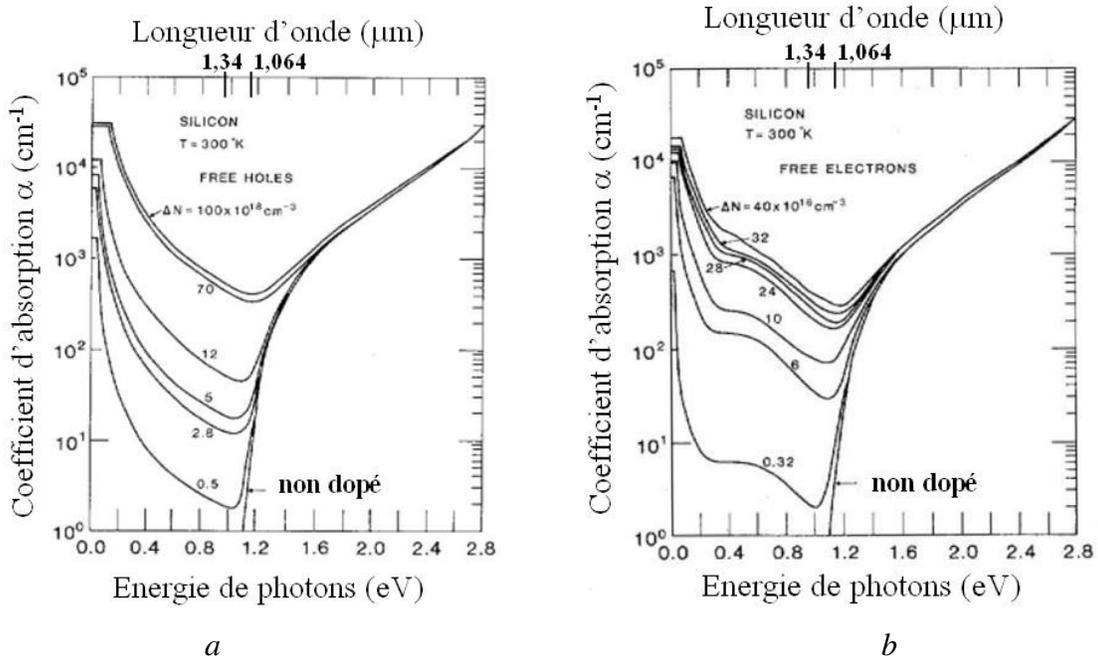


Figure I-24 : Coefficient d'absorption α dans le silicium dopé a. type P et b. type N pour différents taux de dopage en fonction de l'énergie des photons et de la longueur d'onde [SOR87].

3.3.1.b. Photo génération de paires électron-trou

Comme nous avons mentionné précédemment, seule une partie de l'énergie des photons absorbés est utilisée pour propulser les électrons de la bande de valence vers la bande de conduction et ainsi générer des paires électron-trou. Le reste de l'énergie se transforme en énergie cinétique ou bien en phonons (vibrations en phase des atomes du réseau cristallin auxquelles une énergie et un vecteur d'onde sont associés) qui représentent des effets thermiques.

Lors de la photo génération, deux types de transition des électrons de la bande de valence vers la bande de conduction (transition électronique) sont possibles. Elles résultent du fait que le silicium est un semi-conducteur à bande interdite indirecte (Fig.I-25). Cela signifie que le maximum de la bande de valence et le minimum de la bande de conduction ne sont pas au même endroit de la zone de Brillouin. Autrement dit, le maximum de la bande de valence n'est pas aligné avec le minimum de la bande de conduction. Par conséquent, nous pouvons avoir :

1. Transition électronique directe où un électron excité se déplace du haut de la bande de valence vers la bande de conduction sans changement du vecteur d'onde k . Cela

demande une énergie $h\nu_1$ de 3,2eV à 300K et, selon l'équation I-1, la longueur d'onde du photon incident doit être inférieure à 387,5nm. Lorsque l'énergie du photon incident est supérieure à 3,2eV le surplus de cette énergie peut être perdu progressivement par l'interaction des électrons qui font la transition avec des phonons (phénomène de thermalisation).

2. Transition électronique indirecte où un électron excité se déplace du haut de la bande de valence vers le bas de la bande de conduction avec changement du vecteur d'onde k . Cela demande la présence d'un photon de l'énergie de 1,12eV et d'un phonon (conservation de l'énergie et du moment). Par conséquent, l'énergie utilisée $h\nu_2$ est la somme des énergies du photon et du phonon.

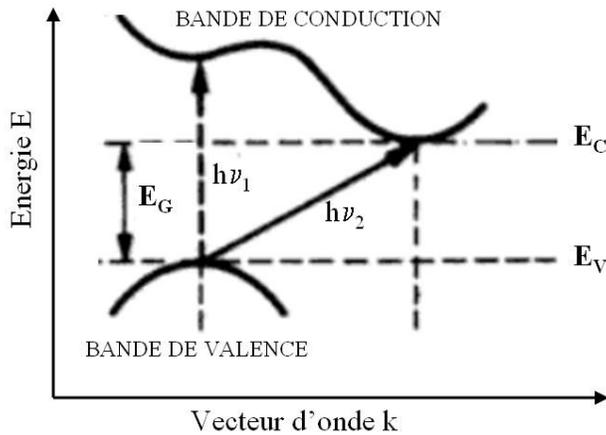


Figure I-25 : Transition électronique dans un semi-conducteur à bande interdite indirecte.

3.3.1.c. Génération du photocourant en présence du champ électrique

Suite au phénomène de photo génération, nous avons un excès de porteurs libres. Ces porteurs libres, en absence de champ électrique, diffusent et se recombinent en se thermalisant afin de ramener le matériau à l'état d'équilibre. Dès qu'un champ électrique est présent, les électrons libres et les trous libres vont être séparés suivant des directions opposées et ainsi participer à la création du courant I_{ph} de nature photoélectrique (Fig.I-26).

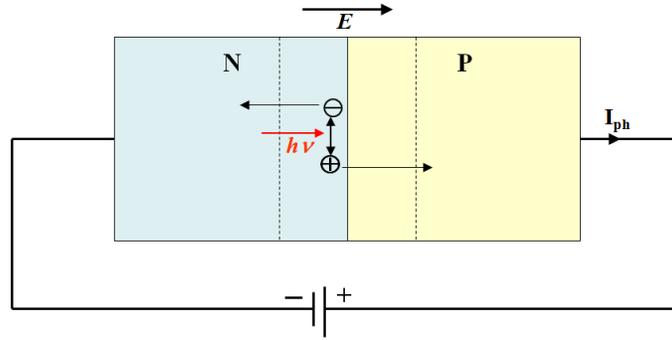


Figure I-26 : Mécanisme de création du photocourant suite à la photo génération des porteurs libres en présence du champ électrique dans la jonction PN en silicium.

La localisation de défauts dans les CI sur le substrat de silicium par le phénomène photoélectrique peut être mise en application à l'aide d'un faisceau laser dont la longueur d'onde est inférieure à 1107nm (énergie des photons supérieure à 1,12eV). En réalité, les longueurs d'ondes les plus utilisées se trouvent entre 600nm et 800nm. Cela est valable uniquement pour l'analyse des CI par la face avant. Pour l'analyse des CI par la face arrière (CI très complexes avec plusieurs couches de métal), la longueur d'onde communément choisie est de 1064nm (laser YAG). Ce choix est justifié par deux contraintes :

1. Un effet photoélectrique doit être suffisant au niveau des zones actives pour induire un photocourant; la longueur d'onde λ diminue.
2. Une absorption dans le substrat de silicium doit être suffisamment faible pour limiter les pertes de l'effet photoélectrique et donc obtenir suffisamment d'énergie au niveau des zones actives.

La grandeur qui permet de décrire la transparence du substrat est la transmittance définie au premier ordre par la loi Beer-Lambert dans l'équation I-5.

$$T = \frac{I}{I_0} = e^{-\alpha d} \quad (\text{Eq.I-5})$$

où I est l'intensité de la lumière transmise, I_0 est l'intensité de la lumière incidente, α est le coefficient d'absorption du silicium qui dépend du dopage et d est l'épaisseur du substrat.

La figure I-27 présente la transmittance T [%] du silicium dopé P en fonction de la longueur d'onde λ pour les différents taux de dopage et l'épaisseur du substrat fixe (Fig.I-27a), et pour les différentes épaisseurs du substrat et le taux de dopage fixe (Fig.I-27b). Nous pouvons remarquer que la transmittance pour le silicium dopé P est faible ou même absente pour les longueurs d'onde visibles. Elle augmente pour les longueurs d'onde du proche infrarouge d'où la nécessité d'utiliser la longueur d'onde 1064nm pour induire le phénomène photoélectrique en préservant l'absorption inter-bande ($\lambda_G < 1107\text{nm}$) proche des zones actives.

De plus, nous constatons la réduction de la transmittance du silicium lorsque le taux de dopage augmente. Ceci est une tendance technologique. D'autre part, lorsque nous amincissons le substrat, cette transmittance augmente. Par conséquent, l'amincissement du substrat est couramment pratiqué lors de l'analyse par la face arrière pour la mise en œuvre des techniques photoélectriques.

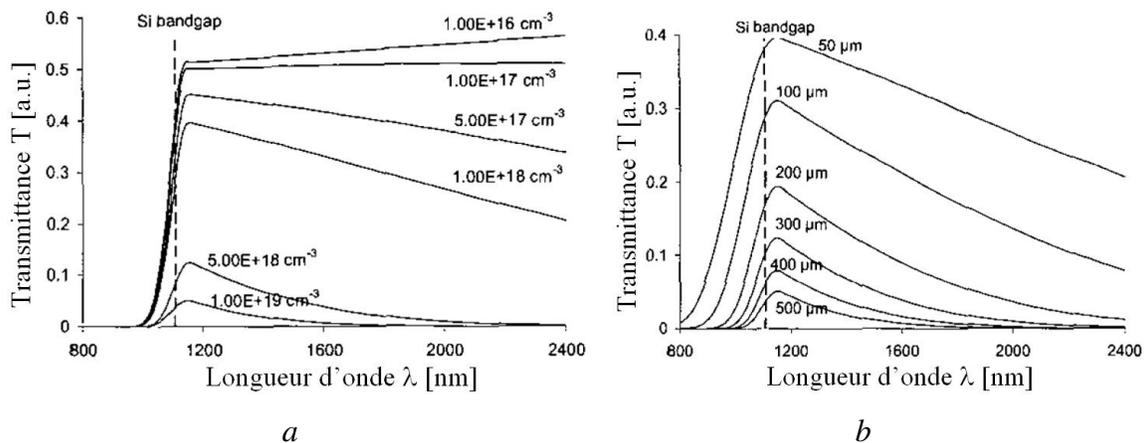


Figure I-27 : Transmittance optique du silicium dopé P en fonction de la longueur d'onde λ et a. des différents taux de dopage pour une épaisseur de substrat fixé à $500\mu\text{m}$, b. pour les différentes épaisseurs de substrat de silicium et taux de dopage fixé à 10^{19} cm^{-3} [AW91].

3.3.2. Photo-thermique

Comme le phénomène photoélectrique, le phénomène photo-thermique est utilisé pour perturber localement les propriétés physiques de la puce électronique et par conséquent, induire des variations dans les caractéristiques électriques. Cette fois, la perturbation est de nature purement thermique. La longueur d'onde choisie pour induire ce phénomène est autour de 1300nm. Un faisceau laser à cette longueur d'onde est fortement absorbé par

les parties métalliques du CI, les zones constituées de semiconducteurs polycristallins ou de semiconducteurs fortement dopés, et conduit à l'échauffement local. Pour la longueur d'onde de 1300nm, l'énergie du photon est égale à 0,925eV. Par conséquent, en première approximation, nous nous affranchissons du phénomène photoélectrique (absorption inter-bande n'a pas lieu car la longueur d'onde est trop élevée et autres types d'absorption sont négligeables).

Le phénomène photo-thermique permet la localisation de défauts d'origine résistive et de défauts dans les jonctions détectés à l'aide de l'effet Seebeck, par exemple un filament parasite entre deux pistes de métal, un chemin conducteur dans un isolant, un via avec une bulle d'air à l'intérieur, etc.

3.3.2.a. Variation de résistance

Le phénomène photo-thermique, où l'on utilise une variation de résistance pour localiser un défaut, peut être illustré par l'échauffement d'une ligne métallique à l'aide d'un faisceau laser de longueur d'onde λ égale à 1340nm (Fig.I-28).

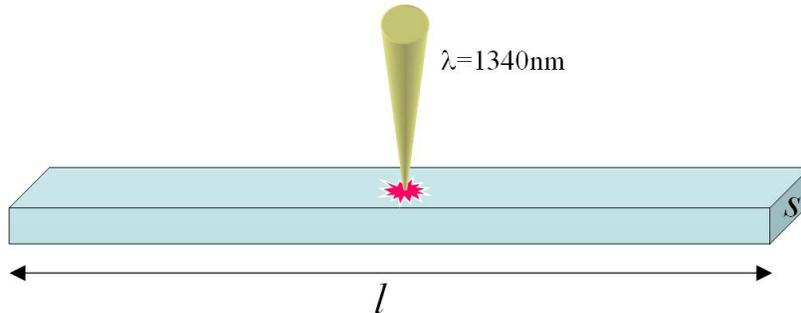


Figure I-28 : Illustration de la variation de résistance d'une ligne métallique de volume $l \cdot s$ induite par le faisceau laser de longueur d'onde λ égale à 1340nm.

La valeur de la résistance d'une telle piste métallique en absence du phénomène photo-thermique est décrite par l'équation I-6.

$$R = \frac{\rho \cdot l}{s} \quad (\text{Eq.I-6})$$

où ρ est la résistivité du matériau, l est la longueur de la section et s est la surface de la section.

La résistivité ρ d'un matériau est un paramètre qui dépend directement de la température T (Eq.I-7). Un changement de température modifie la mobilité des porteurs qui participent à la conduction du courant électrique. Le coefficient thermique de résistivité α_{TCR} tient compte de ce phénomène. De plus, une dilatation thermique δ_T peut influencer la valeur de la résistivité.

$$\rho = \rho_0 \cdot (\alpha_{TCR} - 2 \cdot \delta_T) \cdot T \quad (\text{Eq.I-7})$$

où ρ_0 est la résistivité du matériau à température de référence, α_{TCR} est le coefficient thermique de la résistivité qui est propre à chaque matériau (il peut avoir des valeurs positives ou négatives), δ_T est le coefficient de dilatation thermique et T est la température du matériau.

Finalement, lorsque la température d'une piste métallique augmente, la variation de la résistance se calcule (au 1^{er} ordre) selon l'équation I-8. La dilatation thermique peut être négligée dans la plupart de cas, car les pistes métalliques à l'intérieur du CI sont enrobées d'oxyde de silicium (contrainte pour la dilatation, $\delta_T \ll \alpha_{TCR}$) [BEA03]. En fonction du coefficient α_{TCR} qui peut prendre des valeurs positives ou négatives, la variation de la résistance peut être positive ou négative suite à un l'échauffement provoqué par le faisceau laser. En fonction du sens de variation (positive ou négative), nous pouvons notamment déduire le type de matériau qui est à l'origine de cette variation.

$$\Delta R = \frac{\rho_0 \cdot l}{s} \cdot \alpha_{TCR} \cdot \Delta T \quad (\text{Eq.I-8})$$

Cette variation de la valeur de résistance induite à l'intérieur du CI peut affecter son fonctionnement électrique. Ainsi, les perturbations induites dans le signal électrique aux sorties du CI suite à la simulation par le faisceau laser du CI permettent la localisation des zones normalement et anormalement sensibles au phénomène thermique.

3.3.2.b. Effet Seebeck

L'effet Seebeck [KAS97] est un phénomène de nature thermoélectrique découvert en 1821 par Thomas Johann Seebeck. Il s'agit de la perturbation du fonctionnement électrique du CI suite à l'échauffement local d'une jonction entre deux matériaux

différents. En effet, lorsqu'une jonction métal-métal ou métal-polysilicium est soumise à la stimulation par faisceau laser un gradient de température apparaît (Fig.I-29). Par conséquent, l'énergie cinétique des porteurs augmente du côté chauffé ainsi contribuant à leur diffusion vers le côté plus froid de la jonction. Une force électromotrice (tension Seebeck) est générée au niveau de cette jonction (Eq. I-9). Elle dépend de la variation de la température et de la différence de pouvoir thermoélectrique de la jonction. Cette tension Seebeck s'écrit :

$$\Delta V = Q_{1-2} \cdot \Delta T \quad (\text{Eq.I-9})$$

où ΔV est la force électromotrice (tension Seebeck), Q_{1-2} est le pouvoir thermoélectrique relatif qui peut prendre des valeurs positive ou négative en fonction des matériaux interfacés (valeurs typiques : quelques $\mu\text{V/K}$) et ΔT est le gradient de température induit par le faisceau laser au niveau de la jonction métal-métal ou métal-polysilicium.

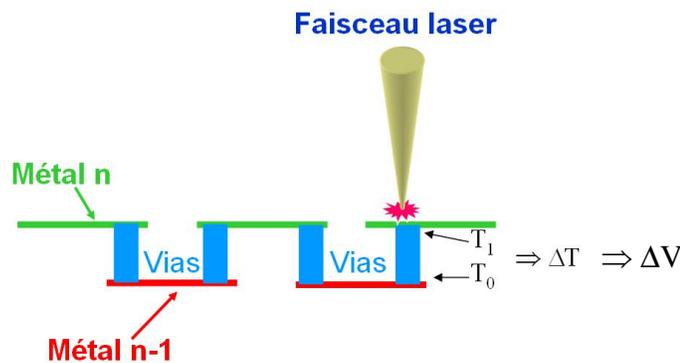


Figure I-29 : Principe de l'effet Seebeck induit par le faisceau laser.

L'effet Seebeck permet principalement la localisation de défauts dans des jonctions et donc dans les vias (exemple bulle d'air). La criticité de ce type de défauts augmente avec l'augmentation du nombre d'interconnexions dans le CI.

3.4. Classement des techniques de stimulation laser

3.4.1. Photo-thermique ou photoélectrique

Toutes les techniques de stimulation par faisceau laser continu peuvent être classées en fonction du phénomène physique induit qu'elles utilisent photo-thermique ($\lambda \cong 1300\text{nm}$) ou photoélectrique ($\lambda < 1100\text{nm}$ pour les CI sur le substrat de silicium)). Dans le tableau I-1, nous présentons des exemples de techniques photos-thermiques et photoélectriques.

Afin de différencier les techniques photoélectriques entre elles et les techniques photo-thermiques entre elles, nous avons indiqué pour chacune leur configuration électrique. Par exemple, la tension constante est appliquée au CI lorsque nous utilisons une technique OBIC ou OBIRCH. Des cartographies obtenues à l'aide de ces techniques présentent des variations du courant induites par le phénomène photoélectrique (OBIC) ou photo-thermique (OBIRCH).

PHOTOELECTRIQUE			PHOTO-THERMIQUE		
Acronyme	Nom de la technique	Configuration électrique	Acronyme	Nom de la technique	Configuration électrique
OBIC [WIL87]	<u>O</u> ptical <u>B</u> eam <u>I</u> nduced <u>C</u> urrent	<i>Statique :</i> - V=const - Mesure de I	OBIRCH [NIK97]	<u>O</u> ptical <u>B</u> eam <u>I</u> nduced <u>R</u> esistance <u>C</u> Hanges	<i>Statique :</i> - V=const - Mesure de I
LIVA [COL94]	<u>L</u> ight <u>I</u> nduced <u>V</u> oltage <u>A</u> lteration	<i>Statique :</i> - I=const - Mesure de V	TIVA [COL99]	<u>T</u> hermally <u>I</u> nduced <u>V</u> oltage <u>A</u> lteration	<i>Statique :</i> - I=const - Mesure de V
LADA [ROW03]	<u>L</u> aser <u>A</u> ssisted <u>D</u> evice <u>A</u> lteration	<i>Dynamique :</i> - Testeur (vecteurs de test) - Analyse des états logiques (PASS/FAIL)	SEI [COL99]	<u>S</u> eebeck <u>E</u> ffect <u>I</u> maging	<i>Statique :</i> - CI non alimenté - Mesure de V
			SDL [BRU02]	<u>S</u> oft <u>D</u> efect <u>L</u> ocalization	<i>Dynamique :</i> - Testeur (vecteurs de test) - Analyse des états logiques (PASS/FAIL)

Tableau I-1 : Classement non exhaustif des techniques de stimulation par faisceau laser continu selon le phénomène principal induit, photoélectrique ou photo-thermique.

3.4.2. Statique ou dynamique

Nous pouvons également classer les techniques de stimulation par faisceau laser continu en fonction de la configuration électrique dans laquelle le défaut se présente. Nous parlons de la configuration électrique statique lorsque le signal analysé est un signal DC et du point de vue électrique le défaut est présent tout le temps, par exemple un court-

circuit entre deux broches. Dans les circuits mixtes et analogiques les défauts présents en mode statique représentaient plus de 90% des défauts analysés jusqu'à la fin des années 90. Les techniques statiques de stimulation par faisceau laser notamment la technique OBIRCH sont massivement utilisées pour localiser ce type de défauts.

En raison de l'augmentation constante de la complexité des CI (augmentation du nombre de couches de métal, du nombre d'interconnexions et de fonctions exécutées, mixité des blocs analogiques et numériques, etc.), de nouveaux modes de défaillance ont fait leur apparition. Il s'agit de défaillances que nous pouvons observer uniquement lorsque la configuration électrique du CI est dynamique, c'est à dire lorsqu'une anomalie est présente dans le signal AC.

De plus, la signature de cette anomalie peut être variable en fonction de la température, de la fréquence, de la tension ou d'un autre paramètre défini dans la spécification du produit. Ce type de défaut est appelé *soft* (ang. *Soft Defect*). Il est de plus en plus présent dans les CI. Toutefois, il ne peut pas être traité avec les outils utilisés précédemment pour l'analyse statique. Par conséquent, des techniques dynamiques dédiées à la localisation de défauts *soft* ont été développées à partir de l'année 2001 [COL01]. La configuration du CI et du système de localisation des défauts sont plus complexes dans le cas d'analyses dynamiques. La figure I-30 présente le principe des techniques dynamiques de stimulation par faisceau laser utilisées dans la localisation de défauts *soft*. Le CI est alimenté et est configuré dans l'état défaillant ou très proche de cet état à l'aide du microcontrôleur, du générateur de fonctions (signal AC), du testeur électrique (vecteurs de test) ou autre outil. Le CI est illuminé par le faisceau laser qui se déplace lentement pixel par pixel. Pour chaque pixel, au moins une période de ce signal AC (ou un pattern de test : ensemble des vecteurs de test) est exécutée. Ceci afin qu'à chaque position du faisceau laser, une mesure puisse être effectuée sur le signal de sortie OUT. Le déplacement du faisceau laser peut être synchronisé par la séquence envoyée sur l'entrée IN du CI pour s'assurer qu'une période ou un pattern de test est exécuté pour chaque pixel et si besoin, fixer l'instant dans la période du signal pour lequel la mesure doit être effectuée. Grâce au phénomène photo-thermique ou photoélectrique, le comportement du CI peut être perturbé. En effet, ces phénomènes peuvent induire une faible variation du signal de sortie ou un changement du signal de sortie de l'état PASS (fonctionnement

correct) à l'état FAIL (fonctionnement défectueux). Le signal de sortie est soit directement envoyé à l'unité de traitement d'image (information binaire PASS/FAIL), soit post-traité ou soit analysé à l'aide de mesures spécifiques effectuées via des outils complémentaires (variation analogique de l'amplitude, du décalage temporel de signal...). La corrélation entre ces mesures effectuées et les positions du faisceau laser permettent à l'unité de traitement d'image de construire une cartographie des zones sensibles ou défaillantes.

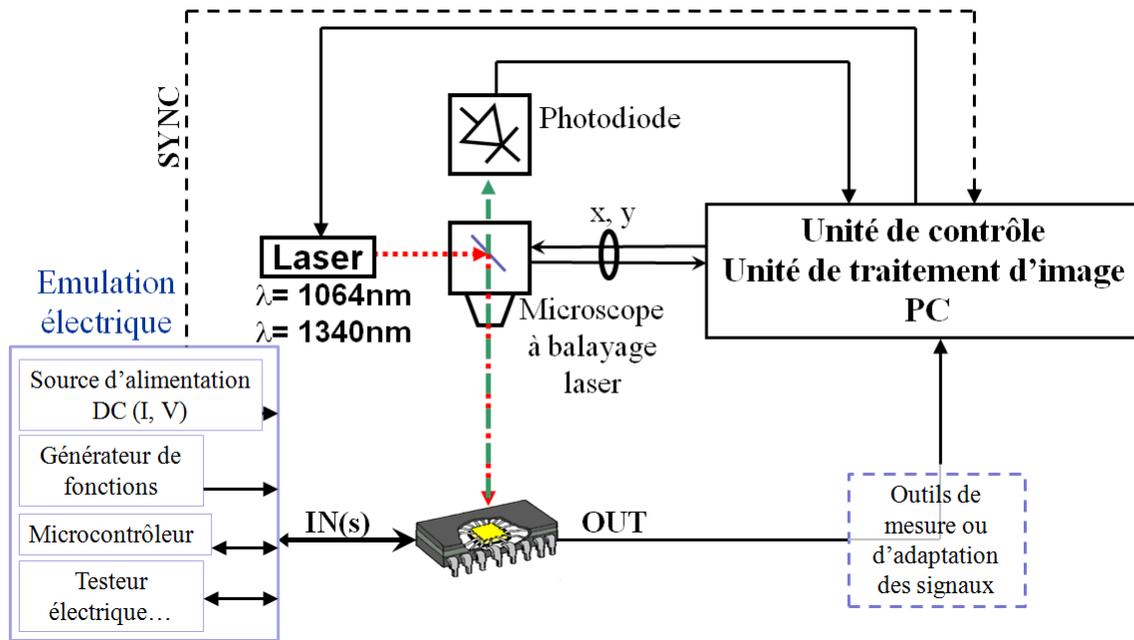


Figure I-30 : Principe de la localisation de défauts soft dans les CI à l'aide des techniques dynamiques de stimulation par faisceau laser.

Le tableau I-2 présente le classement des techniques de stimulation par faisceau laser continu en fonction de la configuration électrique du CI défaillant. Comme nous pouvons le remarquer, il existe des techniques PVM (ang. *Phase Variation Mapping*), DVM (ang. *Delay Variation Mapping*) dont la dénomination n'est pas liée au phénomène induit mais au paramètre mesuré, par exemple la phase du signal pour le PVM et le décalage temporel du signal pour le DVM. Pour ces deux techniques, il s'agit de mesures paramétriques contrairement aux cas des autres techniques (par exemple LADA, SDL) qui sont basées sur le seuillage et où l'information utile du comportement du CI est binaire. Comme nous allons voir dans la suite de ce manuscrit, les techniques dynamiques

paramétriques sont particulièrement intéressantes pour la localisation de défauts dans les circuits mixtes et analogiques.

STATIQUE			DYNAMIQUE		
Acronyme	Nom de la technique	Phénomène induit	Acronyme	Nom de la technique	Phénomène induit
OBIC [WIL87]	<u>O</u> ptical <u>B</u> eam <u>I</u> nduced <u>C</u> urrent	Photo- électrique	LADA [ROW03]	<u>L</u> aser <u>A</u> ssisted <u>D</u> evice <u>A</u> lteration	Photo- électrique
LIVA [COL94]	<u>L</u> ight <u>I</u> nduced <u>V</u> oltage <u>A</u> lteration	Photo- électrique	SDL [BRU02]	<u>S</u> oft <u>D</u> efect <u>L</u> ocalization	Photo- thermique
TIVA [COL99]	<u>T</u> hermally <u>I</u> nduced <u>V</u> oltage <u>A</u> lteration	Photo- thermique	RIL [COL01]	<u>R</u> esistive <u>I</u> nterconnection <u>L</u> ocalization	Photo- thermique
OBIRCH [NIK97]	<u>O</u> ptical <u>B</u> eam <u>I</u> nduced <u>R</u> esistance <u>C</u> Hanges	Photo- thermique	TLSIM [FAL03]	<u>T</u> hermal <u>L</u> aser <u>S</u> ignal <u>I</u> njection <u>M</u> icroscopy	Photo- thermique
SEI [COL99]	<u>S</u> eebeck <u>E</u> ffect <u>I</u> maging	Photo- thermique	DVM [SAN05]	<u>D</u> elay <u>V</u> ariation <u>M</u> apping	Photo- thermique ou photo- électrique
			PVM [SAN07]	<u>P</u> hase <u>V</u> ariation <u>M</u> apping	Photo- thermique ou photo- électrique

Tableau I-2 : Classement des techniques choisies de stimulation par faisceau laser continu selon la configuration électrique du CI en mode défaillant, statique ou dynamique.

3.4.3. Faisceau laser continu, modulé ou impulsionnel

Les techniques de stimulation par faisceau laser peuvent être classées en fonction du type de faisceau laser utilisé : continu, modulé ou impulsionnel. Les premières techniques lasers utilisaient le faisceau laser continu [WIL87]. L'intérêt d'utiliser le faisceau laser modulé et couplé avec la détection synchrone (ang. *lock-in*) [CHI00, PAL01, BAR05] par rapport au faisceau laser continu est la réduction du bruit mesuré. En effet, comme la modulation du faisceau laser et la détection synchrone se font à quelques kHz ou

quelques dizaines de kHz, cela garantit une bande passante de mesure étroite. En conséquence, on s'affranchit notamment du bruit du secteur électrique (50Hz/60Hz) et on réduit significativement le bruit $1/f$ et le bruit blanc. Finalement, on obtient une amélioration du rapport signal sur bruit (S/N) et une augmentation de la sensibilité des signaux mesurés. Sur la figure I-31, nous présentons un exemple de technique où un faisceau laser modulé de longueur d'onde de 1340nm est utilisé avec la détection synchrone : MTLS (ang. *Modulated Thermal Laser Stimulation*) [REV08]. Cette technique très prometteuse, en supplément de la localisation 2D du défaut permet d'extraire une information sur la profondeur à laquelle se trouve ce défaut grâce aux mesures de phase et l'analyse des constantes de temps thermiques TTC (ang. *Thermal Time Constant*).

Comme nous l'avons déjà évoqué, l'avantage principal d'utiliser le faisceau laser modulé est l'amélioration du rapport S/N. Une des limitations des techniques utilisant le faisceau laser modulé est le temps de balayage. En effet, pour que le phénomène photo thermique ou photoélectrique puisse se produire, il est nécessaire de balayer la puce électronique plus lentement que lorsque le faisceau laser continu est utilisé (acquisition d'une image de résolution 512x512 prend environ 2h pour le laser modulé). Jusqu'à maintenant ces techniques sont appliquées pour la localisation des défauts présents en mode électrique statique. En fonction de la longueur d'onde utilisée, il est possible de localiser les défauts résistifs dans un isolant, dans des interconnexions (phénomène photo-thermique), dans les jonctions, les circuits ouverts (phénomène photoélectrique), etc.

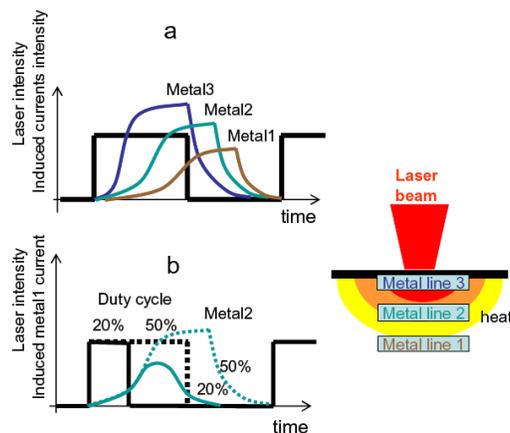


Figure I-31 : Principe de la technique MTLS - l'intensité du courant induit en fonction du niveau de métal et en fonction du temps de cycle de la modulation du laser pour le niveau de métal2 [BAD05].

Les techniques de stimulation par faisceau laser impulsif [BER92, BUC88, POU00] sont utilisées uniquement pour induire le phénomène photoélectrique ($\lambda < 1100\text{nm}$ pour le silicium) notamment pour reproduire les effets des radiations ionisantes. L'effet photoélectrique permet de générer localement dans le substrat de silicium des courants parasites transitoires. Pour des impulsions laser de durée supérieure à la picoseconde, on parle d'absorption linéaire un photon. La longueur d'onde du laser est inférieure à 1100nm pour le silicium. Les techniques qui utilisent des impulsions laser de durée supérieure aux picosecondes sont appliquées dans le domaine d'analyse de défaillance ou de l'injection de fautes. Pour des impulsions de durée de l'ordre de la femtoseconde, le phénomène physique permettant la création des courants parasites est l'absorption linéaire classiquement utilisée mais aussi l'absorption non-linéaire deux photons [RAM03, MOR04]. Dans ce dernier cas, la longueur d'onde du laser est supérieure à 1100nm pour le silicium et l'énergie par impulsion est assez importante (quelques nJ), la zone de photogénération est limitée spatialement suivant la direction de propagation au niveau du col du faisceau (ang. *beam waist*), ce qui permet de réaliser des investigations en 3D. Les techniques qui utilisent des impulsions laser de durée d'une femtoseconde sont aussi appliquées dans le domaine d'analyse de défaillance ou de l'injection de fautes. L'avantage du faisceau laser impulsif est la limitation de l'effet thermique. En effet, le faisceau laser continu de longueur d'onde inférieure à 1100nm a un effet secondaire sur les CI sur le substrat de silicium qui est l'échauffement thermique. Dans le cas du laser impulsif l'énergie amenée sur le CI diminue en raison de la brièveté des impulsions, par conséquent, l'effet thermique est limité. De plus, les courtes impulsions nous permettent d'émuler un CI à une fréquence très élevée (plusieurs centaines de MHz). Par conséquent, nous obtenons des temps d'acquisition de cartographie assez courts, inférieurs à une minute pour une image de résolution 1024×1024 .

Les techniques utilisant le faisceau laser impulsif peuvent être appliquées sur les CI dont la configuration électrique est statique (mesure du courant transitoire induit par le faisceau laser [ESS06]) ou dynamique. Elles permettent d'obtenir des informations temporelles avec une très bonne résolution (étude de fenêtres temporelles, du temps de propagation [DOU07]). Un exemple de cette dernière application est présenté sur la

figure I-32. Ce type d'analyse avancée sur un circuit complexe défaillant peut demander beaucoup de temps.

Dans le cadre de cette thèse nous allons travailler uniquement avec les techniques de stimulation par le faisceau laser continu.

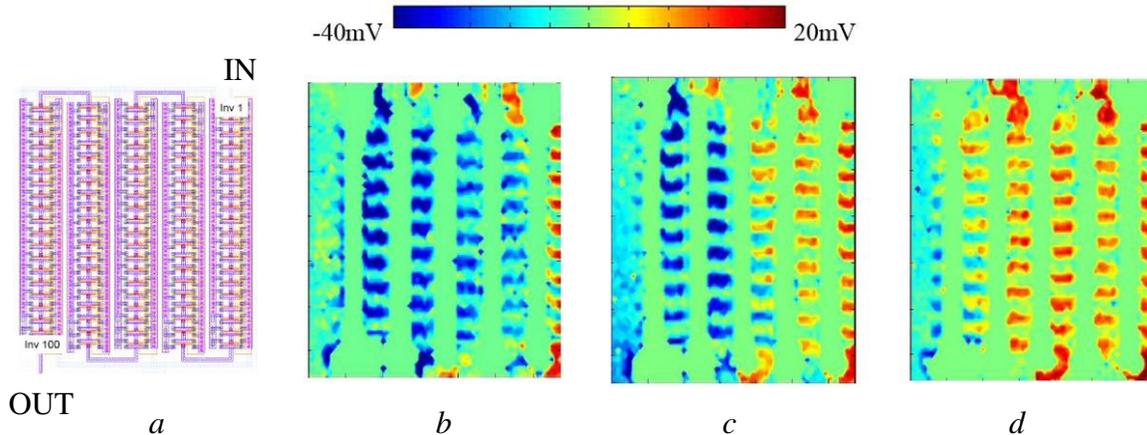


Figure I-32 : a. Layout d'une chaîne d'inverseurs fabriquée en technologie BiCMOS $0,35\mu\text{m}$ et cartographies TRLS (ang. Time Resolved Laser Stimulaion [POU04]) qui représentent la propagation de la transition électrique pour les différents retards entre l'impulsion laser et le moment de la mesure : b. 2ns, c. 6ns, d. 10ns [DOU07].

4. CI ANALOGIQUES ET MIXTES ET CI NUMERIQUES

4.1. Caractéristiques générales

L'invention des CI date de 1958 [KIL59, NOY59]. Les CI analogiques ont tout d'abord vu le jour, suivis par les CI numériques. Le développement constant des CI logiques a permis de remplacer certaines fonctions analogiques pour le traitement du signal, le filtrage, le stockage de données, etc. Les CI numériques possèdent de nombreux avantages : niveau de précision élevée comparée aux CI analogiques, faible sensibilité au bruit, facilité à programmer, applications nombreuses, circuits peu couteux... Néanmoins, les CI numériques ne peuvent pas remplacer certaines fonctions analogiques. Les CI analogiques assurent toujours l'interface entre les signaux réels (physiques) et les CI logiques de traitement du signal. Les exemples d'applications analogiques sont donnés ci-dessous :

- transmission et réception dans les communications sans fil,
- acquisition, amplification de signaux dans les détecteurs,

- amplification audio et vidéo,
- systèmes de mesures,
- ...

Les principales différences entre les CI analogiques et numériques sont présentées dans le tableau I-3.

ANALOGIQUE	NUMERIQUE
Signal à temps <u>continu</u> , peut prendre une valeur quelconque dans une gamme de valeurs précisées (par exemple sinusoïde, rampe...).	Signal à temps <u>discret</u> , carré qui selon la logique booléenne peut prendre une de deux valeurs (0/1).
<u>Forte sensibilité</u> intrinsèque aux différents paramètres (température, changement des valeurs de signaux internes, bruit, etc.).	<u>Faible sensibilité</u> aux différents paramètres (température, changement des valeurs de signaux internes, bruit, etc.).
<u>Grande variété d'éléments utilisés</u> (résistance, diode, transistor bipolaire...).	<u>Faible variété d'éléments utilisés</u> (par exemple transistor MOS pour les CI numériques CMOS).
Grande <u>variété de circuits</u> pour différentes applications. La réutilisation de blocs demande souvent leur modification (custom design).	Le <u>nombre limité de cellules de base</u> et des blocs fonctionnels qui servent à concevoir un circuit quelconque (design automatisé).
Le <u>test est complexe</u> et demande des <u>mesures analogiques très précises</u> .	Le <u>test prend du temps</u> mais sa conception est <u>simple</u> . Il demande la différenciation entre deux niveaux : 0/1.

Tableau I-3 : Différences principales entre les CI analogiques et numériques.

Suite à un fort développement des CI, à partir des années 90, nous observons une tendance à intégrer les différentes fonctions dans le même circuit et donc sur le même substrat (CI mixtes). Les deux principaux intérêts d'avoir des produits mixtes sont la baisse du coût de production et les applications qui en résultent. Avoir un circuit qui permet d'exécuter par exemple les fonctions telles que la modulation (analogiques), la conversion analogique - numérique (ou numérique - analogique), la détection et la correction d'erreurs (numérique) représente un grand avantage. De plus, leur champ d'application est très large, par exemple le marché automobile, la téléphonie, les réseaux. De nombreuses technologies mixtes existent sur le marché, par exemple BiCMOS (produits rapides à faible consommation), SmartMOS[®] (produits de gestion intelligente de puissance de Freescale Semiconductor), BCD (Bipolar-CMOS-DMOS, produits de

gestion intelligente de puissance de STMicroelectronics). Néanmoins, ces circuits mixtes sont aussi complexes à concevoir qu'à expertiser et pour cela des connaissances de haut niveau sont demandées. Dans ce type de produit on rencontre la problématique des CI analogiques et numériques ainsi que la problématique des circuits d'interfaces qui les relie.

4.2. Complexité vis-à-vis de la localisation de défauts dans le mode dynamique

Suite aux différences entre les CI analogiques et numérique décrites précédemment, la problématique qui se présente lors de la localisation de défauts n'est pas la même dans les deux cas. Dans les CI numériques, de plus en plus souvent, la localisation de défauts se fait lors du diagnostic électrique. Ce diagnostic, basé sur certaines lois de probabilité, permet d'identifier à partir de plusieurs tests le ou les transistors à l'origine du dysfonctionnement. Ainsi, la puce électronique peut directement subir une analyse physique pour observer le défaut. Dans d'autres cas, une technique basée sur l'émission de lumière, le balayage par faisceau laser etc. peut être appliquée. Dans ce cas, la mise en place du *setup* électrique du CI (configuration électrique défaillante) couplé avec un outil de localisation de défauts (stimulation par faisceau laser) demande beaucoup plus de temps. Celui-ci peut atteindre plusieurs heures.

Dans le cas des CI analogiques ou mixtes, il n'existe aucun logiciel permettant à partir du test électrique d'identifier le composant (par exemple transistor) qui est à l'origine du dysfonctionnement lorsque le CI est défaillant. Cela impose l'utilisation de techniques spécifiques de localisation de défauts sur ce type de produits. Les techniques basées sur la stimulation par faisceau laser ou l'émission de lumière, souvent couplées au *microprobing* sont les techniques les plus souvent utilisées. En particulier, les défaillances des CI dont le comportement électrique peut être perturbé d'une façon anormale par l'exposition à la lumière ou à la température (défaut *soft*) sont analysées à l'aide de techniques basées sur la stimulation par faisceau laser continu (phénomène photoélectrique ou photo-thermique). En plus de la configuration électrique qui est souvent compliquée à mettre en œuvre, les résultats obtenus sous forme de cartographies sont complexes et leur analyse demande beaucoup de temps et d'expertise. En effet, le

fonctionnement des CI analogiques ou mixtes (analyse dynamique) implique l'activation de nombreux blocs à l'intérieur du CI et par conséquent l'exécution de multiples fonctions. En raison de la sensibilité intrinsèque de ces CI, en particulier des blocs analogiques les constituants, aux changements de paramètres électriques (par exemple courant) ou environnementaux (par exemple température), lors de l'illumination du CI par le faisceau laser, de nombreuses zones sensibles peuvent être observées sur une cartographie (Fig.I-33). Parmi ces zones, il peut exister des zones correspondant au défaut, mais aussi d'autres zones naturellement sensibles qui ne sont pas liées à la présence d'un défaut. Comme nous pouvons l'imaginer, l'analyse de ce type de cartographie est très difficile. Dans certains cas, il est possible de faire une analyse comparative entre deux cartographies acquises sur un circuit de référence et sur un circuit défaillant. Néanmoins, ceci n'est pas toujours possible, comme c'est le cas pour un circuit en cours de développement.

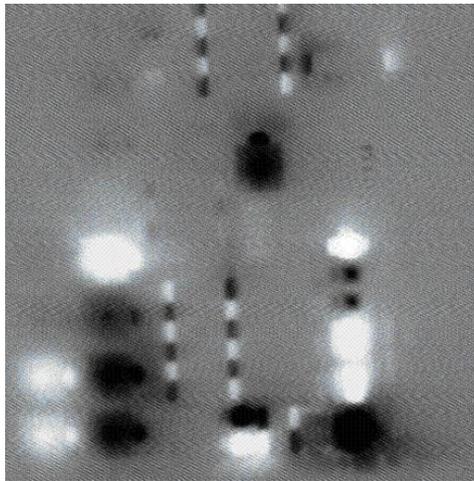


Figure I-33 : Cartographie PVM (Phase Variation Mapping) d'un pilote d'amplificateur de puissance, un bloc faisant partie d'un circuit mixte utilisé dans l'application RF. Les variations positives (couleur blanc) et négatives (couleur noir) ainsi que la sensibilité variable du CI illuminé par le faisceau laser (différents intensités) sont représentées sur cette cartographie.

De plus, comme nous pouvons l'observer sur la cartographie de la figure I-33, la sensibilité du CI illuminé par faisceau laser peut varier d'un composant à l'autre. Cette cartographie, obtenue à l'aide de la technique dynamique paramétrique de stimulation par faisceau laser (PVM), révèle une certaine particularité rencontrée pour les CI mixtes mais

aussi pour les CI analogiques. Lorsque la zone défaillante est peu sensible au phénomène induit par le faisceau laser ou lorsque nous observons une faible variation dans le paramètre mesuré à la sortie du circuit, nous pouvons localiser ou non le défaut suivant la technique utilisée. En effet, nous pouvons noter une perte d'information sur la sensibilité des CI mixtes et analogiques en appliquant les techniques basées sur le seuillage (par exemple SDL) où l'information décrivant le comportement du CI sous test est binaire. Ces techniques sont très efficaces pour la localisation de défauts dans les CI numériques où la sortie peut prendre uniquement deux états 0 ou 1. Cependant, dans le cas des CI mixtes ou analogiques, le composant le plus sensible ne correspond pas nécessairement au composant défectueux. Cette particularité limite le champ d'application des techniques de localisation de défauts à seuillage. Nous pouvons citer l'exemple où la variation du signal mesurée à la sortie du CI ne dépasse pas le seuil établi (composant faiblement sensible à la stimulation par faisceau laser). Dans l'optique d'acquérir le plus d'informations possibles sur les zones sensibles, il est souhaitable d'utiliser les techniques paramétriques telles que les techniques PVM ou DVM. Ces deux techniques paramétriques permettent de mesurer respectivement la variation de phase et de décalage temporel induits dans le signal suite à la stimulation du CI par faisceau laser. Néanmoins, il existe d'autres paramètres intéressants à exploiter afin de construire des cartographies de zones sensibles, comme par exemple le temps de cycle, le spectre, etc.

5. CONCLUSION

Dans ce chapitre, nous avons introduit l'analyse de défaillance des Circuits Intégrés (CI) avec ses différentes étapes et nous avons présenté les différentes techniques de localisation de défauts utilisées dans les laboratoires d'analyse de défaillance. Par la suite, nous avons présenté en détail les techniques basées sur la stimulation par faisceau laser continu et les phénomènes induits par cette stimulation. Ensuite, nous avons décrit les évolutions de ces techniques en fonction des technologies et des types des défauts présents dans le CI. Les techniques dynamiques sont complémentaires aux techniques statiques et permettent la localisation de défauts *soft*. Elles apparaissent très prometteuses. Néanmoins, la problématique de la localisation de ces défauts *soft* n'est pas la même pour les CI analogiques et mixtes par rapport au CI numériques. Dans le cas des CI mixtes et

analogiques, une caractérisation paramétrique plus détaillée est nécessaire. Nous avons déjà évoqué un grand potentiel des techniques dynamiques paramétriques permettant d'acquérir des informations plus détaillées sur la variation des paramètres électriques du CI stimulé par faisceau laser. Cependant, ces résultats (cartographies) sont difficiles à analyser, offrant un vaste champ de recherche qui a motivé ce travail de thèse. Nous proposons d'améliorer la compréhension des cartographies des zones sensibles à l'aide d'une nouvelle méthodologie. Cette méthodologie sera présentée dans le chapitre II et elle conduira à extraire parmi toutes les zones sensibles, les zones sensibles liées à la défaillance.

CHAPITRE II :

NOUVELLE METHODOLOGIE : MODELISATION ET SIMULATION DE L'INTERACTION FAISCEAU LASER- CIRCUIT INTEGRE

Pré-requis : régimes de fonctionnement des transistors bipolaires et MOSFET.

1. INTERET ET PRINCIPE

Dans le chapitre précédent, nous avons évoqué les difficultés d'interprétation des cartographies de zones sensibles à la stimulation par faisceau laser continu, acquises sur des CI analogiques ou mixtes configurés en mode dynamique. Par conséquent, la nécessité de faciliter l'analyse de ces cartographies existe bel et bien. La compréhension de ces cartographies très complexes réclame beaucoup de temps et il n'est pas rare d'être dans l'incapacité d'expliquer certains comportements y compris dans les cas où l'on dispose du schéma électrique et du *layout*. Par conséquent, nous sommes obligés de recourir à une autre technique afin de limiter la zone suspectée et faciliter la localisation du défaut. Une technique complémentaire couramment utilisée est le *microprobing*. Néanmoins, cette technique de test sous pointes possède certains inconvénients, elle peut notamment s'avérer destructive. L'intégration toujours plus importante des CI entraîne une difficulté d'accès à certains signaux internes. Dans certains cas, cet accès peut être obtenu à l'aide du FIB. Cette solution demande souvent beaucoup de temps et n'aboutit pas systématiquement à une localisation précise du défaut. Ce n'est pas toujours acceptable du point de vue industriel. Pour contourner cette limitation, nous avons développé une méthodologie (Fig.II-1) permettant de réduire le temps de ce type d'analyse et d'augmenter le taux de réussite sans pour autant abîmer le CI. Cette nouvelle approche a pour but d'analyser les cartographies obtenues à l'aide des techniques dynamiques de stimulation laser grâce à des simulations électriques du phénomène induit (photo-thermique ou photoélectrique) dans le circuit en fonctionnement. Dans cette nouvelle approche, il est également possible d'utiliser une base de données dans laquelle sont stockés les résultats de simulations électriques faites auparavant sur les blocs analogiques simples. Cette base de données nous aidera à confirmer ou infirmer le fonctionnement correct du circuit ou de certains blocs.

Dans le cas idéal, ces simulations peuvent se substituer à l'utilisation d'autres techniques de localisation de défauts parfois destructives. Dans la réalité, nous avons souvent besoin d'utiliser conjointement ces différentes approches qui fournissent des informations complémentaires afin d'aboutir à un résultat satisfaisant.

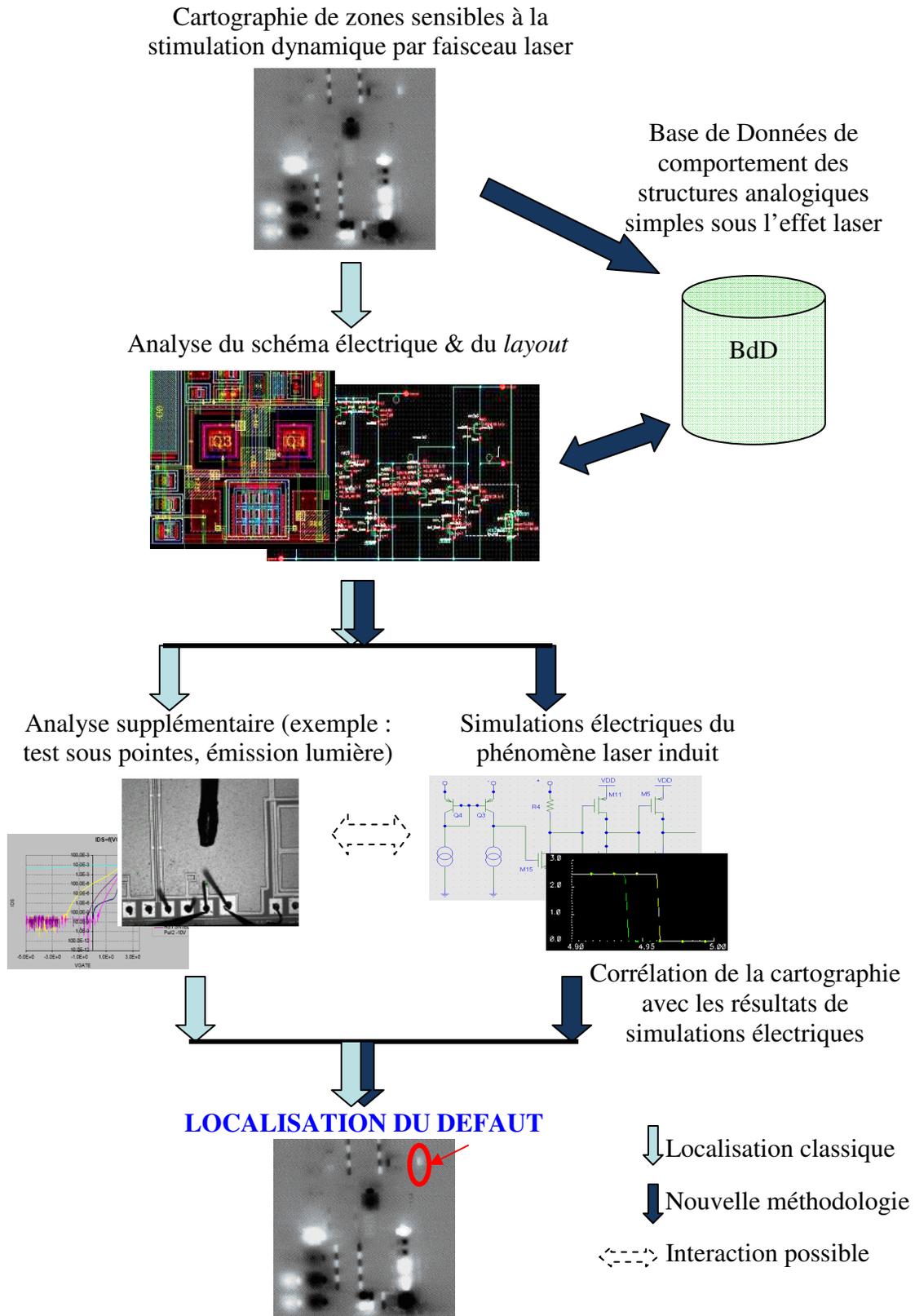


Figure II-1 : Principe de localisation de défauts à l'aide d'une approche classique (flèche bleu clair) et de la nouvelle méthodologie (flèche bleu foncé).

Dans ce chapitre nous nous attacherons, grâce à une étude complète, méticuleuse et relativement exhaustive d'établir pour la première fois une base de données de modèles de composants analogiques soumis à une irradiation laser de nature photoélectrique et photo-thermique.

2. STRUCTURES DE TEST

2.1. Conception

Cette nouvelle méthodologie est basée sur la corrélation des résultats issus des simulations électriques de l'interaction laser-CI et des cartographies obtenue par stimulation dynamique laser du CI. Dans un premier temps, nous décidons de valider les modèles d'interaction laser-CI à l'aide de structures de test simples. Celles-ci ont été spécialement conçues à cet effet dans l'optique de bien mettre en évidence le comportement de structures élémentaires comme le transistor qui sont soumises au phénomène photo-thermique ou photoélectrique. Enfin pour valider notre méthodologie, nous utiliserons des circuits réels. Le cahier des charges intègre les structures analogiques simples présentes dans tous les composants mixtes de Freescale Semiconductor. La conception des schémas électriques et du *layout* a été faite dans l'environnement *CADENCE* (simulateur *mica*) et la fabrication des structures sur le silicium a été réalisée à Freescale Semiconductor. Le même environnement a été utilisé pour la modélisation et les simulations des phénomènes photo-thermique et photoélectrique induits.

2.2. Présentation

Les structures de test sélectionnées sont des miroirs de courant et des *levels shifter* (bascules de niveaux de tension). La figure II-2 présente une image optique des structures de test fabriquées sur le *wafer* silicium.

A l'intérieur de ce boîtier en plastique nous retrouvons une puce électronique intégrant deux exemplaires des structures considérées, séparées par symétrie verticale (ligne rouge sur Fig.II-2). La description précise des structures de test choisies est présentée ci-dessous.

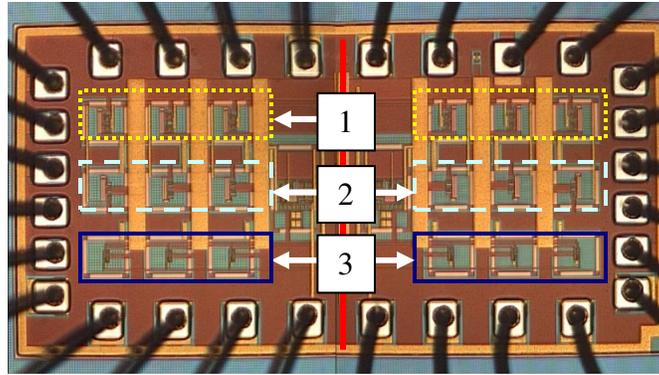


Figure II-2 : Image optique des structures de test conçues pour valider les modèles d'interaction laser - CI (phénomènes photo-thermique et photoélectrique). 1 - miroirs de courants montés en configuration PNP, 2 - miroirs de courants montés en configuration NPN, 3 - level shifters.

2.2.1. Miroir de courant

Une des structures analogiques les plus utilisées dans les CI mixtes ou analogiques est le miroir de courant. Il est un des éléments constitutifs des amplificateurs opérationnels, des convertisseurs analogique-numérique (CAN) et des convertisseurs numérique-analogique (CNA). Il peut également servir de source d'alimentation pour d'autres blocs, de courant de référence, etc. Un miroir de courant est un circuit constitué de deux transistors identiques dont le rôle est de délivrer à sa sortie un courant égal à celui présent à son entrée.

Pour notre étude nous avons conçu deux types de miroirs de courant basés sur les transistors bipolaires en configuration PNP (Fig.II-3a) et NPN (Fig.II-3b). Nous avons modifié le schéma classique qui fait apparaître un courant d'entrée et un courant de sortie. Pour faciliter l'expérimentation nous avons relié les émetteurs (configuration PNP) et les collecteurs (configuration NPN) entre eux. Lors des simulations et des mesures nous avons observé la tension de sortie directement issue du courant de sortie (équations sur la Fig.II-3).

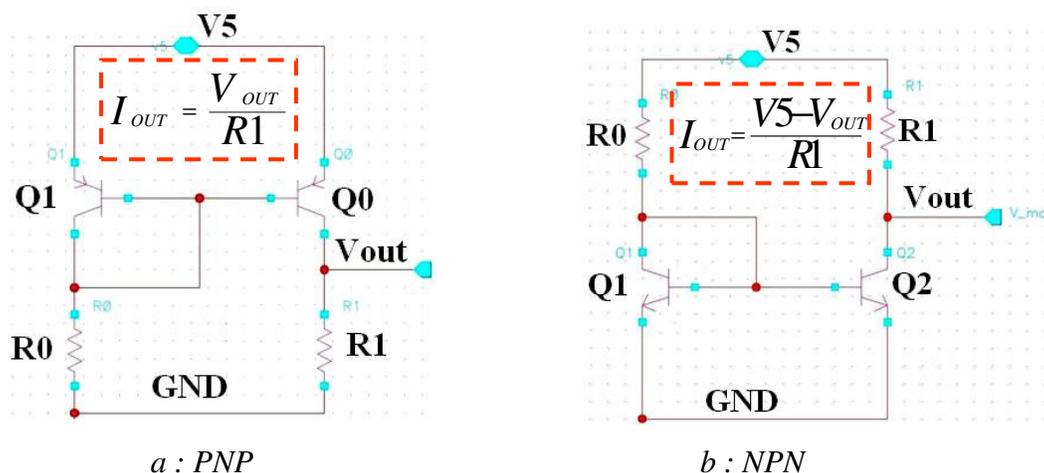


Figure II-3 : Schéma électrique des miroirs de courant montés en configuration a. PNP et b. NPN conçus et fabriqués à Freescale Semiconductor pour valider les modèles d'interaction laser-CI.

Pour chaque montage, nous considérons trois miroirs de courant différents pour lesquels nous avons fait varier la taille des transistors. Le tableau II-1 résume les dimensions de tous les transistors utilisés dans notre étude.

	PNP			NPN		
$I_{\text{émetteur}}[\mu\text{m}]$	2,5	3,5	4,5	3	5	7
Numéro de structure	1 (CM1)	2 (CM2)	3 (CM3)	4 (CM4)	5 (CM5)	6 (CM6)

Tableau II-1 : Dimensions des miroirs de courant montés en configuration PNP et NPN conçus et fabriqués à Freescale Semiconductor pour valider les modèles d'interaction laser-CI.

Les transistors PNP utilisés dans les miroirs de courant sont des transistors PNP latéraux. Dans ces transistors le flux de courant circule entre l'émetteur et le collecteur en traversant la structure horizontalement. Nous notons aussi un courant entre l'émetteur et la base. Les transistors NPN utilisés dans les miroirs de courant sont des transistors NPN verticaux. Dans ce transistor le flux de courant circule entre le collecteur et l'émetteur en traversant la structure verticalement. Nous notons aussi un courant entre la base et le collecteur. La figure II-4 représente des vues en coupe d'un transistor PNP (a) et d'un transistor NPN (b).

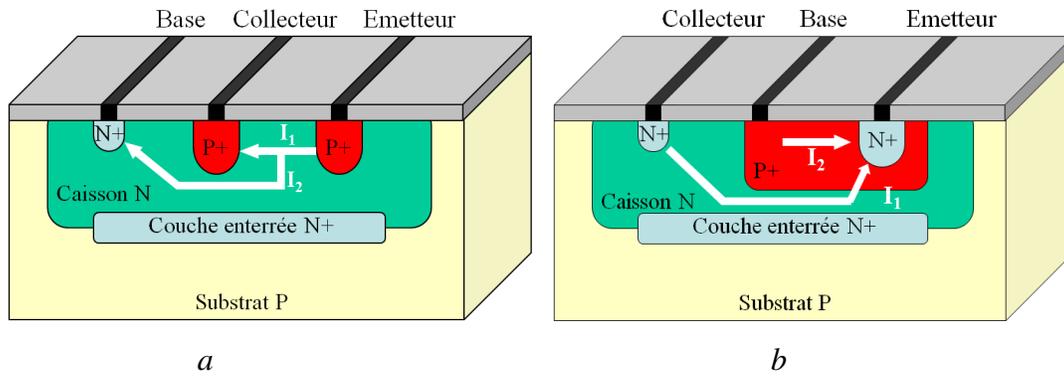


Figure II-4 : Vues en coupe des transistors a. PNP latéral et b. NPN vertical utilisés dans le montage des miroirs de courant.

La figure II-5 présente des images optiques de ces miroirs de courant en montage PNP et NPN. Les zones d'émetteurs, de collecteurs et de bases ont été indiquées. Les images ont été obtenues à l'aide d'un microscope confocal à balayage laser ($\lambda=1340\text{nm}$).

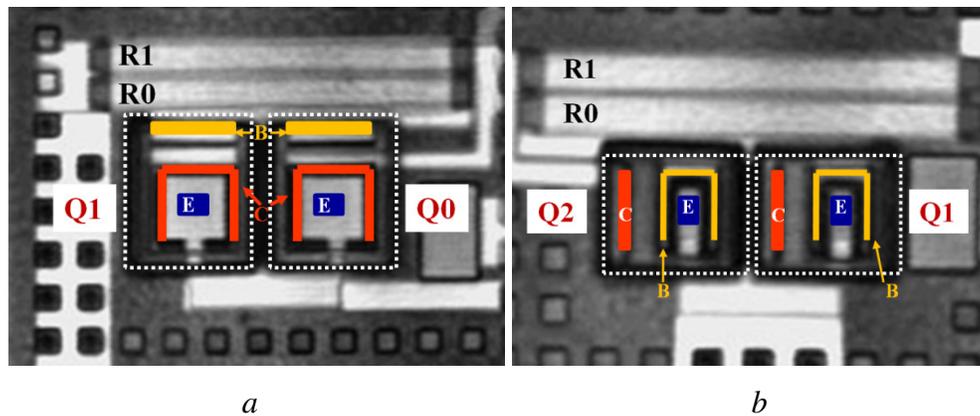


Figure II-5 : Images des miroirs de courant réels, montés en configuration a. PNP et b. NPN obtenues à l'aide d'un microscope confocal à balayage laser.

2.2.2. Level shifter

Un *level shifter* a pour rôle d'ajuster les niveaux de tension à l'interface des blocs. Cette conversion se fait à partir d'une tension basse (0,5V-2,5V) vers une tension plus élevée (3,3V-5V) ou inversement. En effet, lorsque les CI deviennent de plus en plus complexes (multitude de fonctions exécutées, présence de blocs numériques et analogiques, augmentation du nombre de transistors dans une puce, etc.), il est nécessaire de limiter leur consommation globale qui est la somme des consommations de chacun des blocs constitutifs. Pour diminuer la consommation globale des CI, des blocs basse tension ont été développés. Néanmoins, il existe une différence de tension d'alimentation entre ces

nouveaux blocs et les blocs utilisés jusqu'à présent. Les *levels shifter* sont utilisés pour interfacier ces deux types de bloc.

Pour notre étude nous avons conçu des *levels shifter* qui permettent uniquement une transition de la tension basse (V_{LOW}) de 2,5V vers une tension plus élevée (V_{HIGH}) de 3,3V ou 5V. La figure II-6 présente le schéma électrique de cette structure. Des transistors MOS à enrichissement ont été utilisés. Les grilles des transistors PMOS P1 et P2 sont plus grandes que celles des transistors NMOS N1 et N2 qui sont fixées à $1\mu\text{m}$. Nous avons choisi trois longueurs différentes de grilles de transistors P1 et P2 : $5\mu\text{m}$ (structure 1 : LS1), $4\mu\text{m}$ (structure 2 : LS2) et $3\mu\text{m}$ (structure 3 : LS3).

Les vues en coupe des transistors PMOS et NMOS utilisés dans la conception des *levels shifter* sont présentées à la figure II-7. Une image de la structure réelle est présentée à la figure II-8. Cette image a été prise à l'aide d'un microscope confocal à balayage laser ($\lambda=1340\text{nm}$). Les transistors et les inverseurs du *level shifter* ont été indiqués.

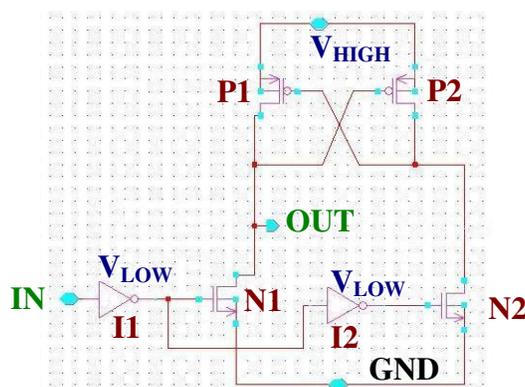


Figure II-6 : Schéma électrique du level shifter conçu et fabriqué à Freescale Semiconductor pour valider les modèles d'interaction laser-CI.

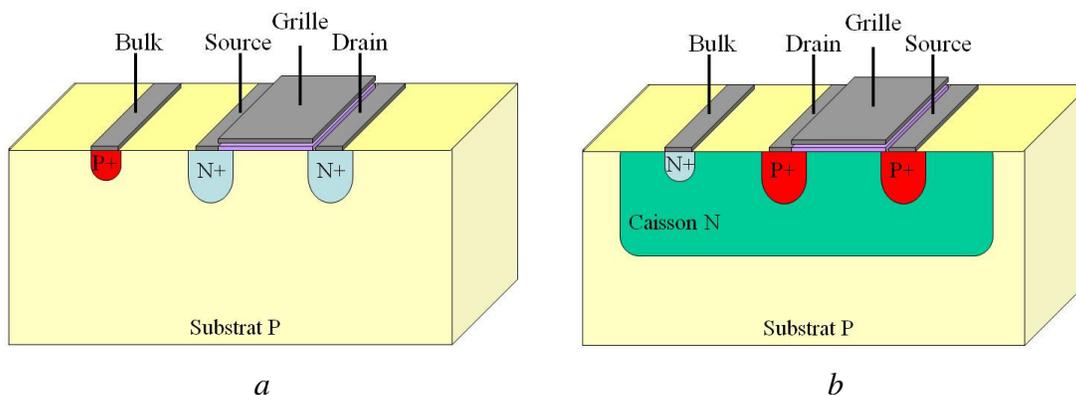


Figure II-7 : Vues en coupe des transistors a. NMOS et b. PMOS utilisés dans le montage des *levels shifter*.

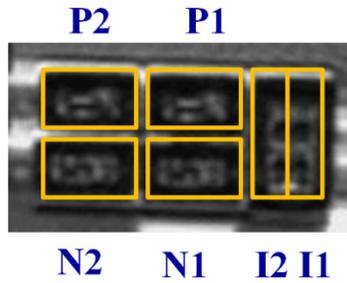


Figure II-8 : Image du level shifter réel prise à l'aide d'un microscope confocal à balayage laser.

3. EFFET PHOTO-THERMIQUE

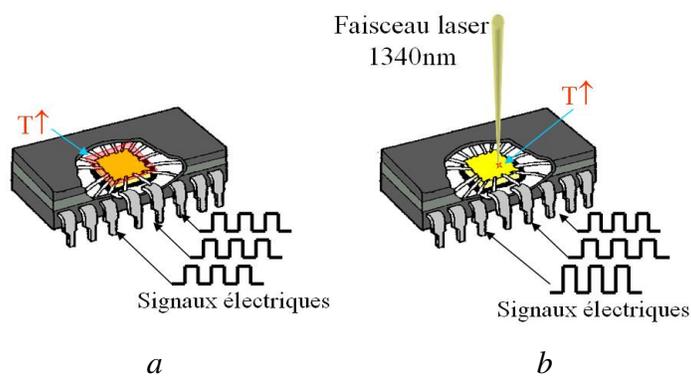
3.1. Introduction

Nous souhaitons simuler l'impact du phénomène photo-thermique induit par le faisceau laser sur un CI en fonctionnement dynamique. Autrement dit, nous cherchons à simuler les variations dans le signal AC à la sortie du circuit, qui résultent des changements des propriétés physiques et électriques au sein des composants (transistors, résistances, etc.), induits par l'énergie délivrée par le faisceau laser ($\lambda=1340\text{nm}$) lors du balayage de ce composant. Pour cela, nous cherchons des modèles électriques simples à implémenter dans les circuits complexes et compatibles avec des simulateurs utilisés dans le milieu industriel. Le but n'est pas nécessairement de créer des modèles quantitatifs, ceux-ci doivent permettre d'interpréter des cartographies laser.

Pour la modélisation et les simulations électriques nous avons utilisé le logiciel *Cadence* avec les bibliothèques *Spice* utilisées à Freescale Semiconductor. Ce logiciel permet de configurer et de simuler le comportement électrique du CI entier ou d'un bloc particulier du CI, à une température donnée (Fig.II-9a). Contrairement à une approche traditionnelle qui est couramment utilisée pour vérifier si le fonctionnement du CI est correct vis-à-vis de sa spécification, nous avons introduit des modifications locales de la température au niveau d'un seul composant (transistors, résistances...) (Fig.II-9b). Par conséquent, lors des simulations nous agissons sur certains paramètres électriques du modèle de ce composant (transistors, résistances...). Nous modifions plus particulièrement les paramètres qui dépendent de la température dans la description du modèle, par exemple V_t , I_s , β (transistors bipolaires), V_{th} , μ (transistor CMOS), les coefficients de température

(résistances)... Dans ces modèles nous ne prenons pas en compte les données des procédés de fabrication (ang. *process data*) qui sont des données confidentielles.

Dans cette étude nous n'étudierons ni l'échauffement des pistes métalliques qui relient les différents composants, ni la dissipation de la chaleur provenant de ces pistes métalliques. Lorsque nous faisons des simulations sur une structure de test donnée, nous augmentons la température d'un seul composant élémentaire à la fois. Les autres composants de cette structure restent à la même température qui est fixée à une valeur de référence. Pour simplifier l'étude, nous supposons que l'échauffement thermique induit par le faisceau laser aux niveaux de différents composants (transistors et résistances) est identique.



*Figure II-9 : Concept de la simulation électrique en température d'un CI sous test
a. dans le contexte de la qualification d'un produit (changement globale de la température) et b. dans le contexte de la stimulation par faisceau laser (changement local de la température).*

Les simplifications présentées ci-dessus et utilisées dans la modélisation, permettent d'obtenir rapidement des résultats qualitatifs lors des simulations. Dans le chapitre III, nous comparerons ces résultats de simulations aux résultats expérimentaux. Cette comparaison nous conduira à valider ou non les modèles proposés. Finalement, nous pourrions conclure à la possibilité d'utiliser les simulations pour analyser les cartographies obtenues à l'aide des techniques dynamiques de stimulation photo-thermique laser.

3.2. Modélisation

3.2.1. Transistors bipolaires

Le modèle grand signal du transistor bipolaire est représenté dans la figure II-10. Ce modèle, appelé le modèle de Gummel-Poon (GP), est un modèle utilisé depuis les années

70. Il est basé sur un principe de superposition de deux modes de fonctionnement : en direct où des charges sont injectées dans la base par la jonction BE (base-émetteur) et en inverse où des charges sont injectées dans la base par la jonction BC (base-collecteur). Le modèle présenté sur la figure comprend les résistances d'accès à la base R_B , à l'émetteur R_E et au collecteur R_C .

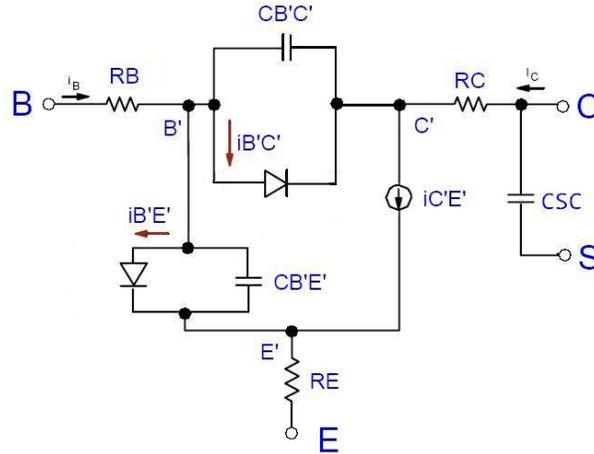


Figure II-10 : Schéma du transistor bipolaire selon le modèle grand signal de Gummel-Poon.

Nous négligeons la diminution de la tension sur ces résistances d'accès. Par conséquent, $V_{B'E'} = V_{BE}$ et $V_{B'C'} = V_{BC}$. Le courant de base se calcule selon l'équation II-1.

$$i_B = i_{BE} + i_{BC} = \frac{i_f}{\beta_F} + i_{BErec} + \frac{i_r}{\beta_R} + i_{BCrec} \quad (\text{Eq.II-1})$$

où i_f est le courant de diffusion en mode direct (Eq.II-2), i_r est le courant de diffusion en mode inverse (Eq.II-4), β_F et β_R sont les gains en courant idéaux respectivement en mode direct (ang. *forward*) et inverse (ang. *reverse*), i_{BErec} et i_{BCrec} sont les courants de recombinaison respectifs des jonctions BE (Eq.II-3) et BC (Eq.II-5).

$$i_f = I_S \cdot \left[\exp\left(\frac{V_{BE}}{N_F \cdot V_T}\right) - 1 \right] \quad (\text{Eq.II-2})$$

où I_S est le courant de saturation, N_F est le coefficient de courant en mode direct et V_T est la tension thermique ($V_T = kT/q$, k - constante de Boltzmann, T - température (K), q - charge de l'électron).

$$i_{BErec} = I_{SE} \cdot \left[\exp\left(\frac{V_{BE}}{N_E \cdot V_T}\right) - 1 \right] \quad (\text{Eq.II-3})$$

où I_{SE} est le courant de fuite dans la jonction BE en régime de saturation et N_E est le coefficient de courant de fuite pour la jonction BE.

$$i_r = I_S \cdot \left[\exp\left(\frac{V_{BC}}{N_R \cdot V_T}\right) - 1 \right] \quad (\text{Eq.II-4})$$

où N_R est le coefficient de courant en mode inverse.

$$i_{BCrec} = I_{SC} \cdot \left[\exp\left(\frac{V_{BC}}{N_C \cdot V_T}\right) - 1 \right] \quad (\text{Eq.II-5})$$

où I_{SC} est le courant de fuite dans la jonction BC en régime de saturation et N_C est le coefficient de courant de fuite pour la jonction BC.

En injectant les équations II-2 à II-5 dans l'équation II-1, le courant de base s'exprime comme suit :

$$\begin{aligned} i_B = & \frac{I_S}{\beta_F} \cdot \left[\exp\left(\frac{V_{BE}}{N_F \cdot V_T}\right) - 1 \right] + I_{SE} \cdot \left[\exp\left(\frac{V_{BE}}{N_E \cdot V_T}\right) - 1 \right] + \\ & + \frac{I_S}{\beta_R} \cdot \left[\exp\left(\frac{V_{BC}}{N_R \cdot V_T}\right) - 1 \right] + I_{SC} \cdot \left[\exp\left(\frac{V_{BC}}{N_C \cdot V_T}\right) - 1 \right] \end{aligned} \quad (\text{Eq.II-6})$$

Le courant de collecteur peut être calculé selon l'équation II-7.

$$\begin{aligned} i_C = & \frac{i_f - i_r}{NqB} - \frac{i_r}{\beta_F} - i_{BCrec} = \frac{I_S}{NqB} \cdot \left\{ \left[\exp\left(\frac{V_{BE}}{N_F \cdot V_T}\right) - 1 \right] - \left[\exp\left(\frac{V_{BC}}{N_R \cdot V_T}\right) - 1 \right] \right\} - \\ & - \frac{I_S}{\beta_R} \cdot \left[\exp\left(\frac{V_{BC}}{N_R \cdot V_T}\right) - 1 \right] - I_{SC} \cdot \left[\exp\left(\frac{V_{BC}}{N_C \cdot V_T}\right) - 1 \right] \end{aligned} \quad (\text{Eq.II-7})$$

où NqB est la charge relative de la base. Ce paramètre prend en compte le changement de la largeur de la base sous l'effet de la tension (effet Early) ainsi que le phénomène de forte injection.

Les capacités parasites de la jonction BC polarisée en inverse et de la jonction BE polarisée en direct peuvent être calculées respectivement selon les équations II-8 et II-9. Dans le cas de la jonction BE, la capacité est la somme de la capacité de diffusion et de la capacité de déplétion associée à la charge d'espace.

$$C_{B'C'} = \frac{C_{JC}}{\left(1 - \frac{V_{BC}}{V_{JC}}\right)^{MJC}} + \frac{T_R}{N_R \cdot V_T} \cdot \frac{I_S}{NqB} \cdot \exp\left(\frac{V_{BC}}{N_R \cdot V_T}\right) \quad (\text{Eq.II-8})$$

où C_{JC} est la capacité de jonction BC en l'absence de polarisation, V_{JC} est la barrière de potentiel de la jonction BC (ang. *build-in potential of BC junction*), MJC est le facteur exponentiel de la jonction BC et T_R est le temps de transition idéal en mode inverse.

$$C_{B'E'} = \frac{C_{JE}}{\left(1 - \frac{V_{BE}}{V_{JE}}\right)^{MJE}} + \frac{T_F}{N_F \cdot V_T} \cdot \frac{I_S}{NqB} \cdot \exp\left(\frac{V_{BE}}{N_F \cdot V_T}\right) \quad (\text{Eq.II-9})$$

où C_{JE} est la capacité de la jonction BE en l'absence de polarisation, V_{JE} est la barrière de potentiel de la jonction BE (ang. *build-in potential of BE junction*), MJE est le facteur exponentiel de la jonction BE et T_F est le temps de transition.

Le temps de transition est décrit par l'équation II-10 :

$$T_F = \tau_F \cdot \left[1 + X_{TF} \cdot \left(\frac{i_F}{i_F + i_{TF}} \right)^2 \cdot \exp\left(\frac{V_{BC}}{1,44 \cdot V_{TF}}\right) \right] \quad (\text{Eq.II-10})$$

où τ_F est le temps de transition idéal en mode direct, X_{TF} est le coefficient qui décrit la dépendance de τ_F à la polarisation, i_{TF} est le paramètre utilisé pour les effets à forte injection et V_{TF} est la tension qui décrit la dépendance de V_{BC} à τ_F .

Tous les paramètres décrits ci-dessus sont directement ou indirectement dépendants de la température. Les équations II-11 à II-15 décrivent cette dépendance pour les paramètres les plus importants : le courant de saturation $I_S(T)$, la barrière de potentiel de la jonction BE V_{JE} , la capacité de la jonction BE en l'absence de polarisation C_{JE} , le courant de fuite dans la jonction BE en régime de saturation I_{SE} et le gain en courant $\beta(T)$. Ces équations font partie du modèle électrique du transistor bipolaire en température qui est utilisé pour simuler l'influence de la stimulation photo-thermique laser sur ce transistor.

Le courant de saturation :

$$I_S(T) = I_S \cdot \left(\frac{T}{T_{nom}} \right)^{XTI} \cdot \exp \left[\left(\frac{T}{T_{nom}} - 1 \right) \cdot \frac{E_G}{V_T} \right] \quad (\text{Eq.II-11})$$

où T est la température du transistor, T_{nom} est la température de référence, XTI est le paramètre qui décrit l'effet exponentiel de I_S en température (mobilité des porteurs minoritaires dans la région de base) et E_G est l'énergie de la bande interdite du silicium.

La barrière de potentiel de la jonction BE est donnée par :

$$V_{JE}(T) = V_{JE} \cdot \left(\frac{T}{T_{nom}} \right) - 3V_T \cdot \log \left(\frac{T}{T_{nom}} \right) - E_G(T) \quad (\text{Eq.II-12})$$

où $E_G(T)$ est la fonction de l'énergie de la bande interdite du silicium qui tient compte du changement de la température du matériau.

La capacité de la jonction BE en l'absence de polarisation est donnée par :

$$C_{JE}(T) = C_{JE} \cdot \left\{ 1 + MJE \cdot \left[400 \cdot \exp(-6 \cdot (T - T_{nom})) - \frac{V_{JE}(T)}{V_{JE}} + 1 \right] \right\} \quad (\text{Eq.II-13})$$

Le courant de fuite dans la jonction BE en régime de saturation est décrit par l'équation suivante :

$$I_{SE}(T) = I_{SE} \cdot \left(\frac{T}{T_{nom}} \right)^{-XTB} \cdot \exp \left(\frac{I_S(T)}{I_S} \right)^{\frac{1}{N_E}} \quad (\text{Eq.II-14})$$

où XTB est le coefficient de température pour le β en mode direct ou inverse.

Le gain en courant est donné par :

$$\beta(T) = \beta \cdot \left(\frac{T}{T_{nom}} \right)^{XTB} \quad (\text{Eq.II-15})$$

où β est le gain en courant idéal en mode direct ou inverse.

Nous avons vu que les valeurs des différents paramètres électriques dans un transistor bipolaire peuvent varier en fonction de sa température. Par conséquent, la réponse électrique de ce transistor peut aussi dépendre de la température. Dans le cas, où on analyse le transistor bipolaire dans le mode dynamique c'est à dire en régime de

commutation (Fig.II-11), on peut distinguer trois zones de comportements possibles, résultant du phénomène photo-thermique : une modification du front montant du signal de sortie (Fig.II-11, t_{on}), une modification du front descendant du signal de sortie (Fig.II-11, t_{off}) et une modification de l'amplitude du signal de sortie (I_{C1} - qui représente un courant en régime de saturation ou en régime linéaire, Fig.II-11). Pour calculer le temps de montée et de descente dans le signal de sortie i_c , l'analyse des charges est souvent utilisée [ZEG07]. Pour notre étude cela n'est pas nécessaire. Cependant, il est important de noter qu'avec l'augmentation du courant de base le retard à la saturation (t_{on}) diminue car les capacités de la figure II-10 se chargent plus rapidement. Le retard au blocage (t_{off}) augmente lorsque le courant de base augmente car la décharge des capacités de la figure II-10 dure plus longtemps. Le niveau de l'amplitude du signal de sortie I_{C1} varie avec la température. Cette variation dépend, entre autres, du régime de fonctionnement dans lequel se trouve le transistor, à savoir saturé ou linéaire.

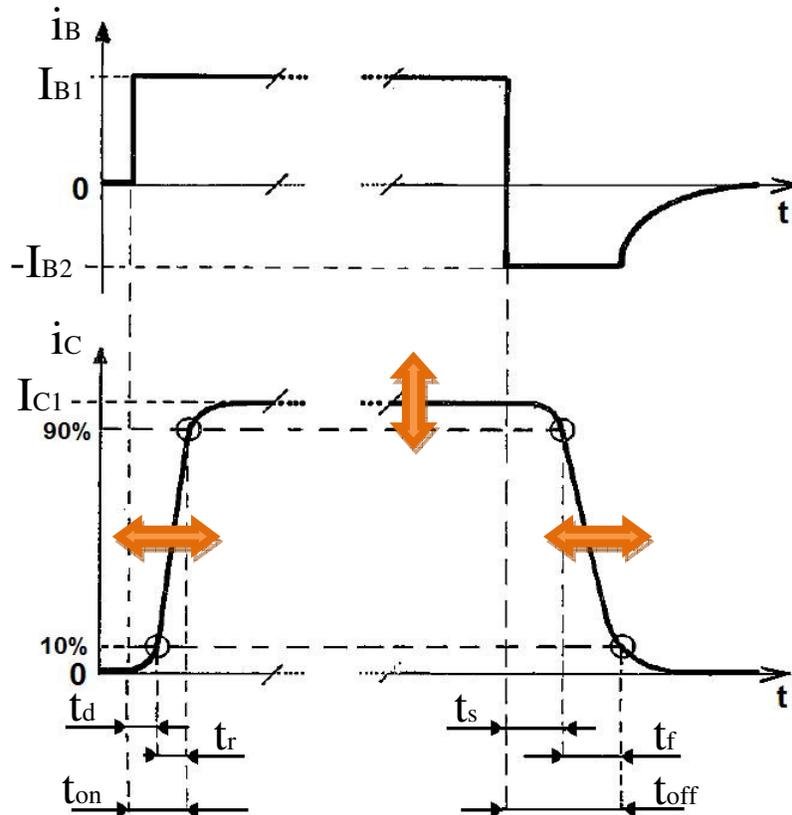


Figure II-11 : Temps de commutation dans un transistor bipolaire [FOU86].
 t_d - retard à la conduction, t_r - temps de montée, t_{on} - retard à la saturation, t_s - temps de stockage, t_f - temps de descente, t_{off} - retard au blocage.

3.2.2. Transistors MOSFET

Pour modéliser l'influence de l'effet photo-thermique induit dans les transistors MOSFET nous utilisons le model BSIM3 (ang. *Berkeley Short-channel IGFET Model*) [LIU05] qui a été créé à l'Université de Californie à Berkley en 1996. Ce modèle évolutif, robuste et précis, basé sur la physique des semi-conducteurs, constitue un standard industriel utilisé par de nombreuses entreprises dans le monde. Le modèle simplifié d'un transistor MOS utilisé lors de l'analyse transitoire est présenté sur la figure II-12.

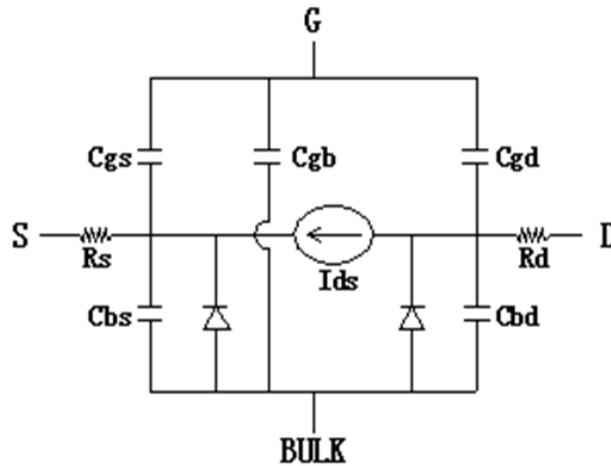


Figure II-12 : Schéma du transistor MOSFET selon le modèle simplifié BSIM utilisé dans l'analyse transitoire.

Suite à l'augmentation de la température du transistor MOS, certains de ses paramètres subissent une légère modification. Par conséquent, les caractéristiques électriques de ce transistor sont affectées. Les paramètres dépendants de la température, qui contribuent fortement au changement des caractéristiques électriques transitoires des transistors MOS, sont la mobilité des porteurs μ et la tension de seuil V_{th} .

Lorsque la température du transistor MOS augmente, la mobilité des porteurs μ diminue selon l'équation II-16.

$$\mu(T) = \mu_0 \cdot \left(\frac{T}{T_0} \right)^{-\mu_{te}} \quad (\text{Eq.II-16})$$

où μ_0 est la mobilité des porteurs (électrons ou trous) à température nominale T_0 et μ_{te} est le coefficient de température [OSM95].

Lorsque la température du transistor MOS augmente, sa tension de seuil V_{th} diminue [WAN71] selon l'équation II-17.

$$V_{th}(T) = V_{T_0} - \kappa \cdot (T - T_0) \quad (\text{Eq.II-17})$$

où V_{T_0} est la tension de seuil à température nominale T_0 , κ est le coefficient de température et T est la température de la jonction.

La figure II-13 présente l'influence de la température sur les paramètres V_{th} et μ et son impact sur la caractéristique $I_{DS}(V_{GS})$ du transistor MOS. Le courant drain-source I_{DS} augmente avec la température pour la tension de grille V_{GS} faible. Ceci est lié à la diminution de la tension de seuil V_{th} . Pour la tension de grille V_{GS} plus forte le courant I_{DS} diminue à cause de la diminution de la mobilité des porteurs lorsque la température augmente.

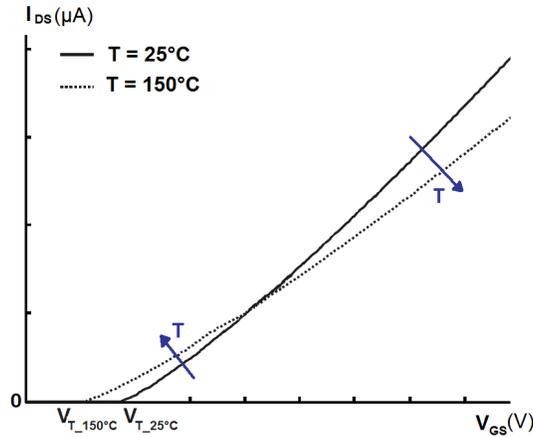


Figure II-13 : Influence de la température sur la caractéristique $I_{DS}(V_{GS})$ d'un transistor NMOS ou PMOS. V_{DS} est fixé de telle façon que $V_{DS} > V_{th}$ et $V_{DS} > V_{GS}$ (NMOS) et $V_{DS} < V_{th}$ et $V_{DS} < V_{GS}$ (PMOS).

Le courant I_{DS} dans le régime linéaire (ohmique) varie en température selon l'équation II-18. Le signe + correspond au transistor NMOS, le signe - correspond au transistor PMOS.

$$I_{DS}(T) = \pm \mu(T) \cdot C_{ox} \cdot \frac{w}{l} \cdot \left[(V_{GS} - V_{th}(T)) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (\text{Eq.II-18})$$

où $\mu(T)$ est la mobilité des porteurs, C_{ox} est la capacité d'oxyde mince, w est la largeur du canal, l est la longueur du canal, V_{GS} est la tension grille-source, $V_{th}(T)$ est la tension de seuil et V_{DS} est la tension drain-source.

De même, le courant I_{DS} dans le régime saturé varie en fonction de la température selon l'équation II-19. Le signe + correspond au transistor NMOS, le signe - correspond au transistor PMOS.

$$I_{DS}(T) = \pm \mu(T) \cdot C_{OX} \cdot \frac{w}{l} \cdot (V_{GS} - V_{th}(T))^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (\text{Eq.II-19})$$

où λ est le paramètre de modulation de la longueur du canal.

L'influence de la température sur les caractéristiques transitoires est présentée à travers l'exemple de l'inverseur (Fig.II-14). La capacité C_{OUT} tient compte de la capacité de charge ainsi que des capacités du modèle présenté sur la figure II-12.

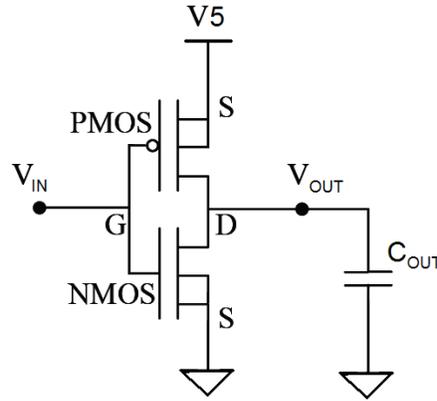


Figure II-14 : Schéma électrique d'un inverseur CMOS.

Le signal de sortie V_{OUT} est donné par les équations II-20 (régime linéaire) et II-21 (régime saturé). Le signe + correspond au transistor NMOS, le signe - correspond au transistor PMOS. Pour le transistor NMOS $V_{GS}(t) = V_{IN}(t)$. Pour le transistor PMOS $V_{GS}(t) = V_{IN}(t) - V5$.

$$C_{OUT} \cdot dV_{OUT}(t, T) = \mp \mu(T) \cdot C_{OX} \cdot \frac{w}{l} \cdot \left[(V_{GS}(t) - V_{th}(T)) \cdot V_{OUT}(t, T) - \frac{V_{OUT}^2(t, T)}{2} \right] \quad (\text{Eq.II-20})$$

$$C_{OUT} \cdot dV_{OUT}(t, T) dt = \mp \mu(T) \cdot C_{OX} \cdot \frac{w}{l} \cdot (V_{GS}(t) - V_{th}(T))^2 \cdot (1 + \lambda \cdot V_{OUT}(t, T)) \quad (\text{Eq.II-21})$$

Pour mieux comprendre l'effet de la température sur le comportement transitoire d'un inverseur, la solution des équations ci-dessus est présentée sur les figures II-15 pour le transistor NMOS et sur la figure II-16 pour le transistor PMOS lorsqu'un signal carré est

envoyé à l'entrée V_{IN} . La figure II-15 présente les effets liés à l'augmentation de la température du transistor NMOS sur le décalage temporel du front descendant (a) et du front montant (b) du signal de sortie V_{OUT} . Pour des faibles valeurs de la tension d'entrée V_{IN} (V_{GS} petit), proches de la tension de seuil V_{th} où le transistor NMOS se trouve dans le régime de fonctionnement linéaire (zones en zoom), nous observons une anticipation du front descendant du signal de sortie V_{OUT} et un retard du front montant du signal de sortie V_{OUT} . Lorsque le transistor se trouve dans le régime saturé, le front descendant du signal de sortie V_{OUT} est retardé et le front montant du signal de sortie V_{OUT} est avancé. La figure II-16 présente l'influence de l'augmentation de la température du transistor PMOS sur le décalage temporel du front descendant (a) et du front montant (b) du signal de sortie V_{OUT} . Pour les valeurs élevées de la tension d'entrée V_{IN} (V_{GS} grand), proches de la tension de seuil V_{th} et où le transistor PMOS se trouve donc dans le régime de fonctionnement linéaire (zones en zoom), nous observons un retard dans le front descendant du signal de sortie V_{OUT} et une anticipation dans le front montant du signal de sortie V_{OUT} . Lorsque le transistor se trouve dans le régime saturé, le front descendant du signal de sortie V_{OUT} est avancé et le front montant du signal de sortie V_{OUT} est retardé.

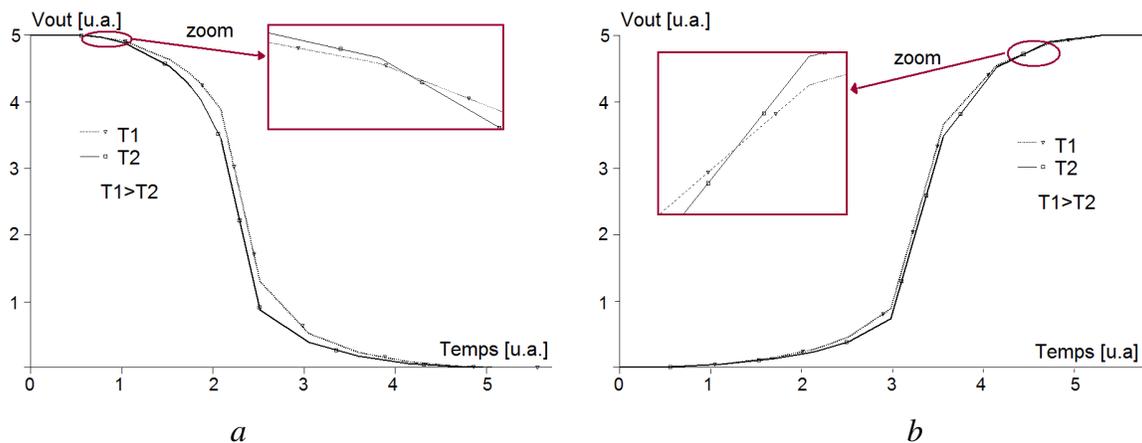


Figure II-15 : Influence de l'augmentation de la température du transistor NMOS sur la sortie V_{out} d'un inverseur lorsque le signal à l'entrée bascule a. du niveau bas au niveau haut et b. du niveau haut au niveau bas.

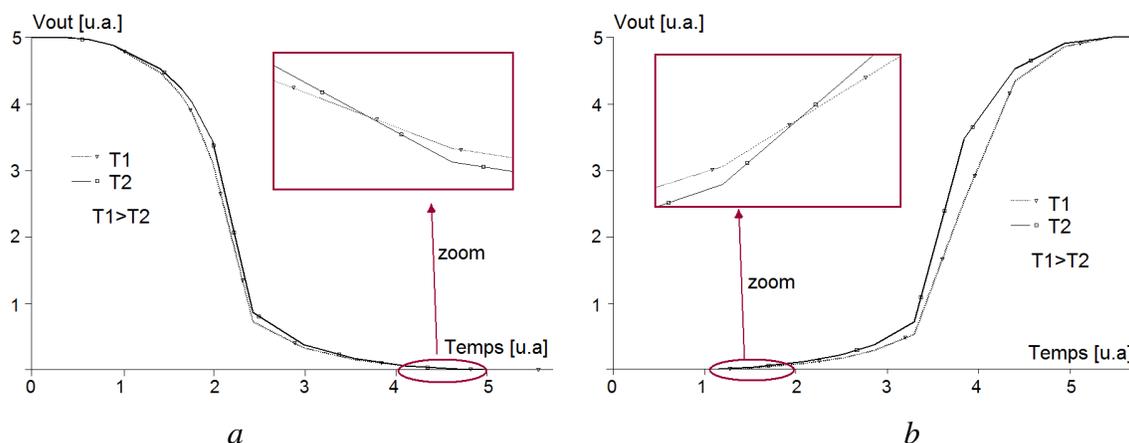


Figure II-16 : Influence de l'augmentation de la température du transistor PMOS sur la sortie V_{out} d'un inverseur lorsque le signal à l'entrée varie a. du niveau bas au niveau haut et b. du niveau haut au niveau bas.

3.2.3. Résistance

La valeur de la résistance (Fig.II-17) varie en fonction de la température selon l'équation II-22. Cette variation peut prendre des valeurs aussi bien positives que négatives. Cela dépend du signe des coefficients de température qui est fonction du matériau utilisé pour la réalisation de la résistance.



Figure II-17 : Symbole d'une résistance dans le simulateur SPICE.

$$R(T) = R \cdot \left(1 + TC_1 \cdot (T - T_{nom}) + TC_2 \cdot (T - T_{nom})^2 \right) \quad (\text{Eq.II-22})$$

où R est la valeur de la résistance à température nominale, TC_1 est le coefficient linéaire de température et TC_2 est le coefficient quadratique de température.

3.3. Simulations

3.3.1. Miroirs de courant

3.3.1.a. Configuration électrique

Pour simuler l'influence de la stimulation photo-thermique sur le comportement des miroirs de courant en fonctionnement dynamique, nous avons effectué des simulations transitoires. Le signal carré périodique d'amplitude 5V cadencé à 5kHz a été envoyé à l'entrée V_5 . Tous les miroirs de courant en montage PNP et NPN travaillent entre le

régime bloqué (niveau bas) et le régime linéaire (niveau haut). Nous analysons les variations induites dans le signal de sortie V_{out} lorsque la température d'un composant est augmentée de $2,5^{\circ}\text{C}$ par rapport à la température globale de la structure de test (Fig.II-18 pour les miroirs de courant en montage PNP et Fig.II-19 pour les miroirs de courant en montage NPN). Nous nous sommes intéressés au décalage temporel induit sur le front montant et sur le front descendant du signal de sortie V_{out} ainsi qu'à la variation de l'amplitude du signal de sortie (Fig.II-20). Ces simulations ne tiennent compte ni de l'augmentation de la température des pistes métalliques et des contacts, ni de la diffusion de la chaleur en provenance de ces pistes et de ces contacts.

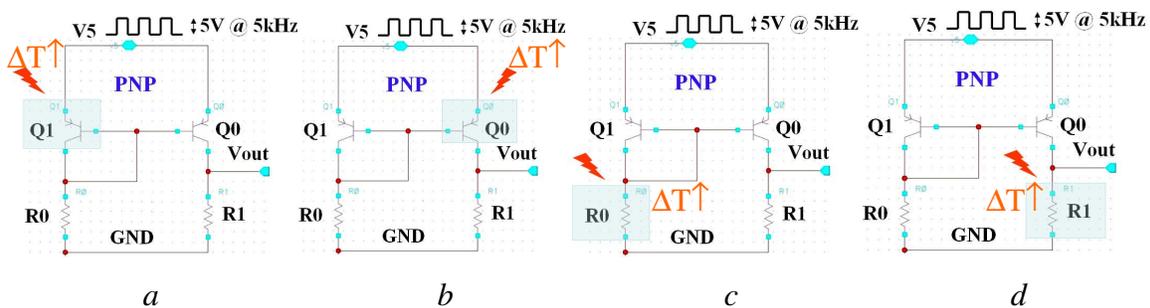


Figure II-18 : Représentation des configurations électriques utilisées dans les simulations du phénomène photo-thermique induit dans les miroirs de courant en montage PNP par augmentation de la température des transistors a. $Q1$, b. $Q0$ et des résistances c. $R0$ et d. $R1$.

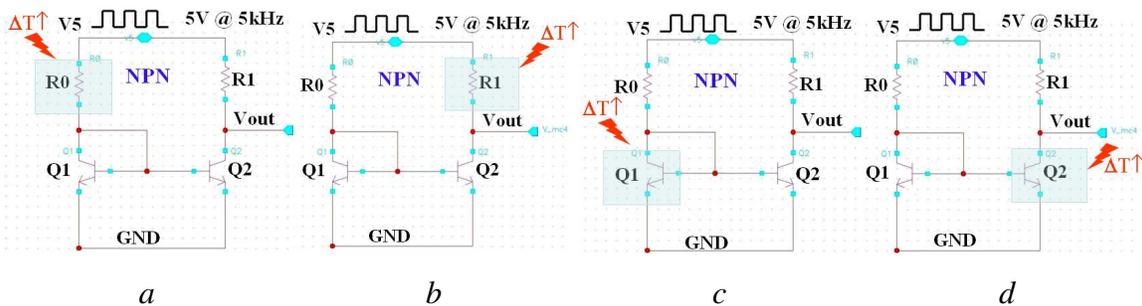


Figure II-19 : Représentation des configurations électriques utilisées dans les simulations du phénomène photo-thermique induit dans les miroirs de courant en montage NPN par augmentation de la température des résistances a. $R0$ et b. $R1$ et des transistors c. $Q1$ et d. $Q2$.

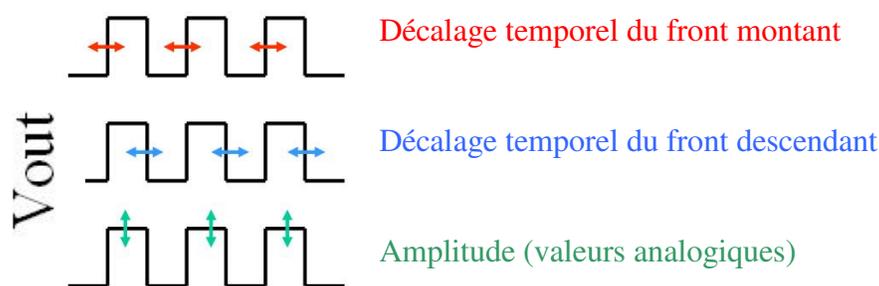


Figure II-20 : Paramètres observés à la sortie V_{out} des miroirs de courant en montage PNP et NPN lorsque le phénomène photo-thermique est induit.

3.3.1.b. Montage PNP

La figure II-21 résume les résultats des simulations électriques où nous avons étudié l'impact du phénomène photo-thermique sur les miroirs de courant en montage PNP. Les courbes noires continues représentent le signal de sortie V_{out} lorsque la stimulation photo-thermique n'est pas appliquée. Les courbes rouges en pointillé représentent le signal V_{out} lorsque les structures de test sont soumises à une stimulation photo-thermique laser. Lorsque la température du transistor Q1 augmente, l'amplitude du signal V_{out} diminue, son front montant est retardé et son front descendant est avancé (Fig.II-21a). Inversement, lorsque la température du transistor Q0 augmente, l'amplitude du signal V_{out} augmente, son front montant est avancé et son front descendant est retardé (Fig.II-21b). Lorsque la température de la résistance R0 augmente, l'amplitude du signal V_{out} augmente, son front montant est avancé et son front descendant est retardé (Fig.II-21c). Inversement, lorsque la température de la résistance R1 augmente, l'amplitude du signal V_{out} diminue, son front montant est retardé et son front descendant est avancé (Fig.II-21d).

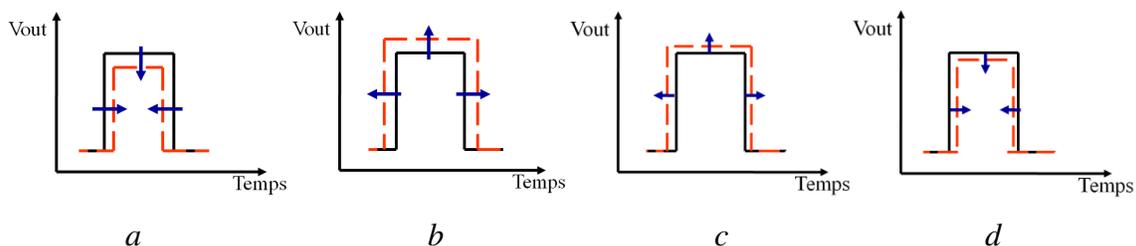


Figure II-21 : Représentation des simulations de l'influence du phénomène photo-thermique sur le signal de sortie V_{out} des miroirs de courant en montage PNP lorsque la température des transistors a. Q1, b. Q0 et des résistances c. R0 et d. R1 augmente.

La variation du signal V_{out} induite par l'augmentation de la température des résistances est moins importante comparée à celle induite par l'augmentation de la température des transistors. Dans la suite de ce sous-chapitre, nous allons analyser ces résultats plus en détail. Compte tenu du fait que les résultats des simulations sont qualitatifs, nous avons choisi une échelle arbitraire.

- Analyse de la variation de l'amplitude du signal de sortie V_{out}

La figure II-22 présente les résultats des simulations électriques où nous étudions la variation d'amplitude du signal de sortie V_{out} des miroirs de courant en montage PNP lorsque la température des différents composants (Q0, Q1, R0 et R1) augmente. L'augmentation de la température du transistor Q1 (Fig.II-18a) déséquilibre la structure du miroir de courant où habituellement deux transistors possèdent les mêmes caractéristiques. Nous observons une augmentation du gain en courant β_{Q1} du transistor Q1 ainsi que des courants de collecteur I_{C1} et de base I_{B1} du même transistor ($\Delta I_{B1} < \Delta I_{C1}$). Sa tension V_{BE} diminue. Cette tension est commune aux deux transistors (Q1 et Q0). Par conséquent, le courant de base I_{B0} et ensuite le courant de collecteur I_{C0} du transistor Q0 diminuent. Finalement, conformément à la loi d'Ohm, la diminution du courant de collecteur I_{C0} induit une diminution de la tension à la sortie V_{out} (Fig.22, Q1).

Le miroir de courant est déséquilibré de la même manière lorsque la température du transistor Q0 augmente (Fig.II-18b). Nous observons une augmentation du gain en courant β_{Q0} du transistor Q0 ainsi que des courants de base I_{B0} et de collecteur I_{C0} du même transistor ($\Delta I_{B0} < \Delta I_{C0}$). Selon la loi d'Ohm, l'augmentation du courant de collecteur I_{C0} induit une augmentation de la tension à la sortie V_{out} (Fig.II-22, Q0). Lorsque la température de chacun des transistors augmente, leur régime de fonctionnement reste inchangé : ils restent en régime bloqué pour le niveau bas du signal et ils restent en régime linéaire pour le niveau haut du signal.

Nous pouvons remarquer que l'augmentation de la température du transistor Q0 a plus d'influence sur la sortie V_{out} que l'augmentation de la température du transistor Q1. Nous avons vu précédemment que cette tension V_{out} est proportionnelle au courant I_{C0} (I_{out} de l'équation II-3a). L'augmentation de ce courant est liée à l'augmentation de la température du transistor Q0 mais aussi à l'augmentation du courant de base I_{B0} . Par

conséquent, la variation de la sortie V_{out} est la plus importante lorsque la température du transistor Q0 augmente.

Les résistances R0 et R1 présentes dans les miroirs de courant sont constituées de polysilicium. Leur coefficient de température est négatif. Par conséquent, leur résistance diminue en fonction de la température.

Lorsque la température de la résistance R0 augmente (Fig.II-18c), la valeur de sa résistance diminue et donc le courant traversant cette résistance augmente. Nous observons une augmentation des courants I_{C1} , I_{B1} et I_{B0} . Par conséquent, le courant I_{C0} augmente aussi. Conformément à la loi d'Ohm, nous notons une augmentation de la tension à la sortie V_{out} (Fig.II-22, R0).

Lorsque la température de la résistance R1 augmente (Fig.II-18d), la valeur de sa résistance diminue. A courant I_{C0} fixé, nous obtenons une diminution de la tension à la sortie V_{out} (Fig.II-22, R1).

Nous pouvons remarquer que la variation du signal de sortie V_{out} est plus importante lorsque le phénomène photo-thermique est induit dans les composants actifs, à savoir ici dans les transistors bipolaires.

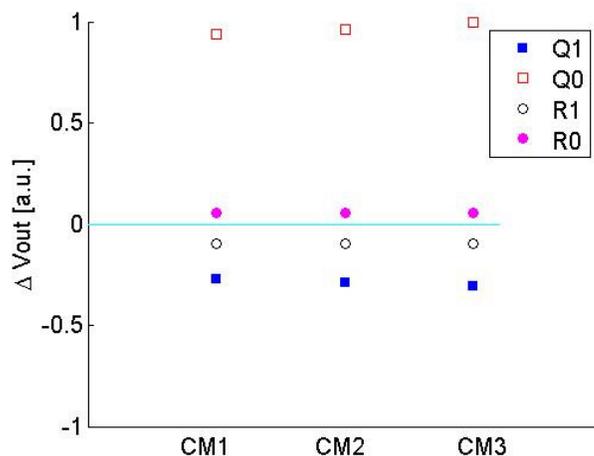


Figure II-22 : Résultats des simulations électriques sur l'influence du phénomène photo-thermique sur le niveau de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration PNP, induit par l'échauffement des différents composants (Q0, Q1, R0, R1).
Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

- Analyse du décalage temporel sur le front montant du signal de sortie V_{out}

La figure II-23 présente les résultats des simulations électriques où nous étudions le décalage temporel induit sur le front montant du signal V_{out} par l'échauffement d'un des

composants élémentaires (Q0, Q1, R0 et R1). Nous nous intéressons avant tout au signe du décalage temporel dans le signal (avance ou retard).

Dans les transistors bipolaires, la durée du front montant du courant de collecteur correspond au temps de charge de la base par les porteurs minoritaires injectés à l'intérieur. Lorsque la tension à l'entrée V5 passe du niveau bas (régime bloqué du transistor) au niveau haut (régime linéaire du transistor), la tension V_{BE} augmente ainsi que les courants I_{b1} et I_{b0} . Ensuite, nous observons une augmentation des courants I_{c1} et I_{c0} avec un certain retard. Ces courants sont proportionnels à la charge des porteurs minoritaires en excès. Dans notre cas, suite à l'augmentation de la température du transistor Q1, sa tension V_{BE} diminue. Par conséquent, lors du basculement de tension du niveau bas au niveau haut à l'entrée V5, cette tension V_{BE} augmente plus lentement. Comme cette tension est commune pour les deux transistors (Q1 et Q0), la charge de la base du transistor Q0 est aussi plus lente tout comme l'augmentation du courant I_{c0} . Finalement, nous observons un retard sur le signal V_{out} (Fig.II-23, Q1).

Nous avons précisé précédemment que suite à l'augmentation de la température du transistor Q0, ses courants I_{c0} et I_{b0} augmentent. Lors du passage de tension du niveau bas au niveau haut à l'entrée V5, le front montant du courant I_{c0} est avancé par le phénomène photo-thermique. De plus, la base de ce transistor se charge plus rapidement à cause de l'augmentation du courant I_{b0} . Par conséquent, l'augmentation du courant I_{c0} est encore plus avancée. Finalement, le signal V_{out} est avancé (Fig.II-23, Q0).

Lorsque la température de la résistance R0 augmente nous observons une augmentation du courant de base I_{b0} du transistor Q0. Lors du basculement de tension du niveau bas au niveau haut à l'entrée V5, ce courant de base prend des valeurs légèrement supérieures par rapport à l'état d'équilibre, sans augmentation de température. Le courant I_{c0} suit l'évolution du courant de base en prenant des valeurs légèrement supérieures à celles de l'état d'équilibre. Par conséquent, le front montant du signal V_{out} est détecté en avance (Fig.II-23, R0).

Lorsque la température de la résistance R1 augmente, la valeur de sa résistance diminue. Le signal V_{out} prend des valeurs légèrement inférieures à celle de l'état d'équilibre, obtenue sans augmentation de température. Lors du passage de tension du niveau bas au

niveau haut à l'entrée V5, le front montant du signal V_{out} est détecté avec un retard (Fig.II-23, R1).

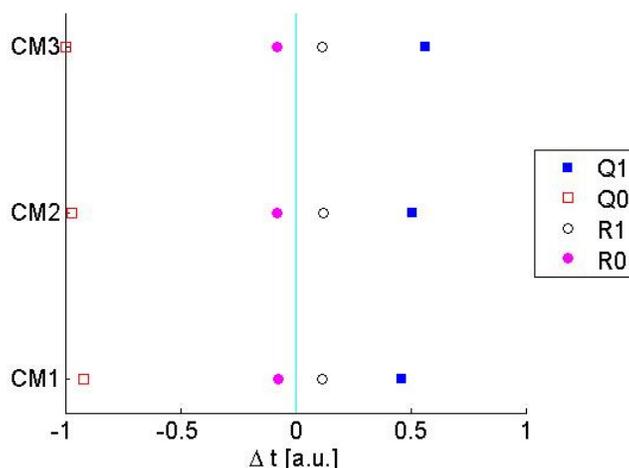


Figure II-23 : Résultats des simulations électriques de l'influence du phénomène photo-thermique sur le décalage temporel du front montant du signal de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration PNP induit par l'échauffement des différents composants (Q0, Q1, R0, R1). Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

- Analyse du décalage temporel sur le front descendant du signal de sortie V_{out}

La figure II-24 présente les résultats des simulations électriques où nous étudions le décalage temporel induit sur le front descendant du signal V_{out} par l'échauffement d'un des composants (Q0, Q1, R0 ou R1). Nous nous intéressons avant tout au signe de ce décalage temporel induit dans le signal.

Dans les transistors bipolaires, la durée du front descendant du courant de collecteur correspond au temps d'écoulement des porteurs en excès se trouvant dans la base. Lorsque la tension à l'entrée V5 passe du niveau haut (régime linéaire du transistor) au niveau bas (régime bloqué du transistor), les courants dans les collecteurs des transistors Q1 et Q0 sont présents aussi longtemps que les charges sont présentes dans les bases de ces transistors. Ensuite, ces courants (I_{c1} et I_{c0}) atteignent leurs valeurs minimales. Lorsque la température du transistor Q1 s'élève, sa tension V_{BE} diminue. Par conséquent, lors du basculement de tension du niveau haut au niveau bas à l'entrée V5, cette tension V_{BE} descend plus rapidement. Comme cette tension est commune aux deux transistors Q1 et Q0, le courant de base I_{b0} du transistor Q0 diminue aussi plus rapidement car la base

contient moins de charges à évacuer. Il en va de même pour le courant de collecteur I_{c0} . Finalement, le signal V_{out} est avancé (Fig.II-24, Q1).

Nous avons dit précédemment que lorsque la température du transistor Q0 augmente, son courant I_{c0} et I_{b0} augmentent. Lors du basculement de la tension du niveau haut au niveau bas à l'entrée V5, l'augmentation du courant I_{c0} due au phénomène thermique contribue à ce que le courant de collecteur I_{c0} soit maintenu plus longtemps et donc à l'observation d'un retard sur le front descendant. De plus la base de ce transistor, possédant plus de charges par rapport à l'état d'équilibre du miroir de courant, se décharge plus lentement. Par conséquent, le courant I_{c0} diminue plus lentement. Finalement, le signal V_{out} subit un retard (Fig.II-24, Q0).

Lorsque la température de la résistance R0 augmente, nous observons l'augmentation du courant de base I_{b0} de transistor Q0. Lors du basculement de la tension du niveau haut au niveau bas à l'entrée V5, ce courant de base prend des valeurs légèrement supérieures par rapport à l'état d'équilibre, sans augmentation de température. Le courant I_{c0} suit l'évolution du courant de base. Il prend des valeurs légèrement supérieures par rapport à l'état d'équilibre. Par conséquent, le front descendant du signal V_{out} est détecté en retard (Fig.II-24, R0).

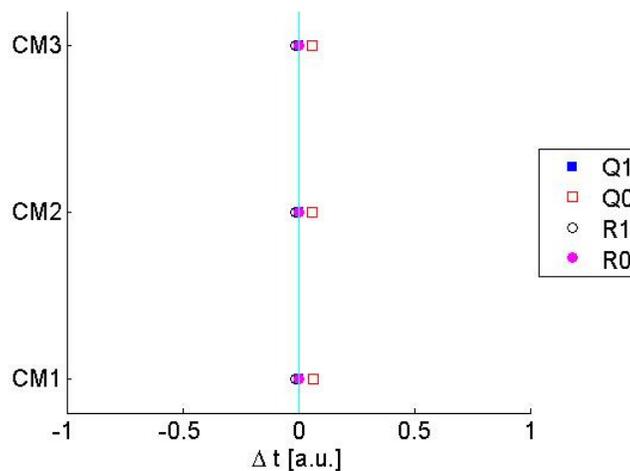


Figure II-24 : Résultats des simulations électriques de l'influence du phénomène photo-thermique sur le décalage du front descendant du signal de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration PNP induit par l'échauffement des différents composants (Q0, Q1, R0, R1). Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

Lorsque la température de la résistance R1 augmente, la valeur de sa résistance diminue. Le signal V_{out} prend des valeurs légèrement inférieures à celle de l'état d'équilibre, sans augmentation de température. Lors du basculement de la tension du niveau haut au niveau bas à l'entrée V5, le front descendant du signal V_{out} est détecté en avance (Fig.II-24, R1).

Pour toutes les simulations, nous pouvons remarquer que la sensibilité de la structure augmente lorsque la taille de transistor augmente.

3.3.1.c. Montage NPN

La figure II-25 résume les résultats des simulations électriques où nous avons étudié l'impact du phénomène photo-thermique sur les miroirs de courant en montage NPN. Les courbes noires continues représentent le signal de sortie V_{out} lorsque la stimulation photo-thermique n'est pas appliquée. Les courbes rouges en pointillés représentent le signal V_{out} lorsque les structures de test sont soumises à une stimulation photo-thermique laser. Aucune variation n'est détectée sur le front montant du signal de sortie. Lorsque la température du transistor Q1 augmente, l'amplitude du signal V_{out} augmente et son front descendant est retardé (Fig.II-25a). Inversement, lorsque la température du transistor Q2 augmente l'amplitude du signal V_{out} diminue et son front descendant est avancé (Fig.II-25b). Lorsque la température de la résistance R0 augmente, l'amplitude du signal V_{out} diminue et son front descendant est avancé (Fig.II-25c). Inversement, lorsque la température de la résistance R1 augmente, l'amplitude du signal V_{out} augmente et son front descendant est retardé (Fig.II-25d).

Comme dans le cas des structures en montage PNP, la variation du signal V_{out} induite par l'augmentation de la température des résistances est moins importante que celle induite par l'augmentation de la température des transistors. Dans la suite de ce sous-chapitre, nous allons analyser ces résultats plus en détail. Compte tenu du fait que les résultats des simulations sont qualitatifs, nous avons choisi une échelle arbitraire. Cette échelle est plus étendue que celle du montage PNP à cause d'une plus grande variation du signal.

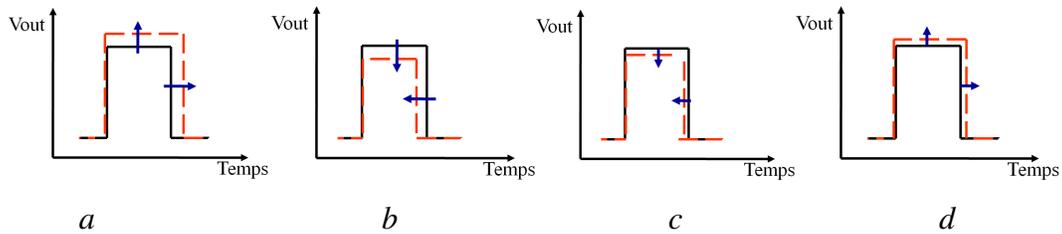


Figure II-25 : Représentation de l'influence du phénomène photo-thermique sur le signal de sortie V_{out} des miroirs de courant en montage NPN lorsque la température des transistors a. Q1, b. Q2 et des résistances c. R0 et d. R1 augmente.

- Analyse de la variation de l'amplitude du signal de sortie V_{out}

La figure II-26 présente les résultats des simulations électriques où nous étudions la variation d'amplitude du signal de sortie V_{out} des miroirs de courant en montage NPN lorsque la température des différents composants (Q1, Q2, R0, R1) augmente.

L'augmentation de la température du transistor Q1 (Fig.II-19c) déséquilibre la structure du miroir de courant où habituellement deux transistors ont les mêmes caractéristiques. Nous observons une augmentation du gain en courant β_{Q1} du transistor Q1 ainsi que des courants de collecteur I_{C1} et de base I_{B1} du même transistor ($\Delta I_{B1} < \Delta I_{C1}$). Sa tension V_{BE} diminue. Cette tension est commune aux deux transistors (Q1 et Q2). Par conséquent, le courant de base I_{B2} , et ensuite le courant de collecteur du transistor Q2 diminuent. Finalement, conformément à la formule de la figure II-3b, la diminution du courant de collecteur sur le transistor Q2 induit une augmentation de la tension à la sortie V_{out} (Fig.II-26, Q1).

Le miroir de courant est aussi déséquilibré lorsque la température du transistor Q2 augmente (Fig.II-19d). Nous observons une augmentation du gain en courant β_{Q2} du transistor Q2 ainsi que du courant de base I_{B2} et du courant de collecteur I_{C2} du même transistor ($\Delta I_{B2} < \Delta I_{C2}$). Selon la loi d'Ohm (équation de la figure II-3b), l'augmentation du courant de collecteur I_{C2} induit une diminution de la tension à la sortie V_{out} (Fig.II-26, Q2).

Contrairement à ce que nous avons vu dans le cas du montage PNP, dans le montage NPN l'augmentation de la température du transistor Q1 (source de courant) a plus d'influence sur la sortie V_{out} qu'une augmentation de la température du transistor Q2. Cette variation est moins importante dans le cas de l'échauffement du transistor Q2 car son régime de fonctionnement change. L'augmentation de la température du transistor Q2

provoque son passage du régime linéaire au régime saturé suite à la polarisation en direct de deux jonctions du transistor. Ceci entraîne l'augmentation du courant I_{c2} du transistor Q2. Néanmoins, cette augmentation est moins importante que celle du régime linéaire. Par conséquent, le signal de sortie V_{out} est moins perturbé (I_{OUT} de l'équation II-3b).

Les résistances R0 et R1 présentes dans les miroirs de courant sont constituées de polysilicium. Leur coefficient de température est négatif. Par conséquent, leur résistance diminue avec l'augmentation de la température.

Lorsque la température de la résistance R0 augmente (Fig.II-19a), la valeur de sa résistance diminue et donc le courant traversant cette résistance augmente. Nous observons une augmentation des courants I_{c1} , I_{B1} et I_{B2} . Par conséquent, le courant I_{c2} augmente aussi. Conformément à la loi d'Ohm, nous notons une diminution de la tension à la sortie V_{out} (Fig.II-26, R0).

Lorsque la température de la résistance R1 augmente (Fig.II-19b), la valeur de sa résistance diminue. A courant I_{c2} inchangé, nous observons une augmentation de la tension à la sortie V_{out} (Fig.II-26, R1).

Comme pour les structures en montage PNP, nous pouvons remarquer que la variation du signal de sortie V_{out} est plus importante lorsque le phénomène thermique est induit dans les composants actifs à savoir ici dans les transistors bipolaires.

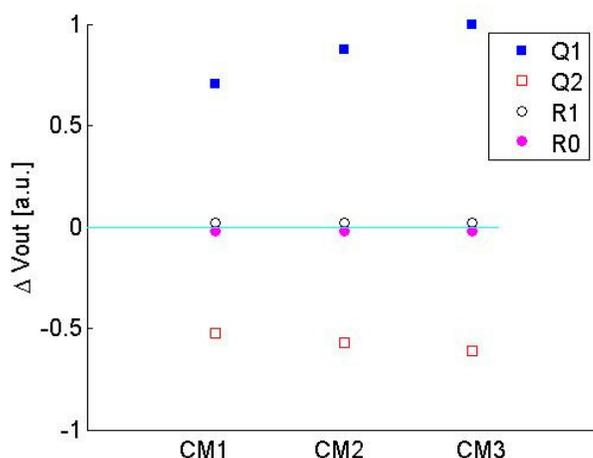


Figure II-26 : Résultats des simulations électriques de l'influence du phénomène photo-thermique sur le niveau de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration NPN induit par l'échauffement des différents composants (Q1, Q2, R0, R1). Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

- Analyse du décalage temporel sur le front descendant du signal de sortie V_{out}

La figure II-27 présente les résultats des simulations électriques où nous étudions le décalage temporel induit sur le front descendant du signal V_{out} par l'échauffement d'un des composants (Q1, Q2, R0, R1). Aucune variation n'est détectée dans le front montant du signal V_{out} lors des simulations.

Dans les transistors bipolaires, la durée du front descendant du courant de collecteur correspond au temps d'écoulement des porteurs en excès se trouvant dans la base. Lorsque la tension à l'entrée V5 bascule du niveau haut (régime linéaire du transistor) au niveau bas (régime bloqué du transistor), les courants de collecteur des transistors Q1 et Q2 sont présents aussi longtemps que les charges sont présentes dans les bases de ces transistors. Ensuite, nous observons une diminution des courants I_{c1} et I_{c2} avec un certain retard. Suite à l'augmentation de la température du transistor Q1 sa tension V_{BE} diminue. Par conséquent, lors du basculement de tension du niveau haut au niveau bas à l'entrée V5, cette tension V_{BE} diminue plus rapidement. Comme cette tension est commune aux deux transistors (Q1 et Q2), l'évacuation des charges qui sont moins nombreuses dans la base du transistor Q2 est aussi plus rapide tout comme la diminution du courant I_{c2} . Finalement, le signal V_{out} subit un retard (Fig.II-27, Q1).

Lorsque la température du transistor Q2 augmente, les valeurs de ses courants I_{c2} et I_{b2} augmentent. Lors du basculement de tension du niveau haut au niveau bas à l'entrée V5 la base de ce transistor se décharge plus lentement. En effet, il existe plus de charges en excès dans cette base par rapport à l'état d'équilibre à cause de l'augmentation du courant I_{b2} . Par conséquent, nous observons aussi une diminution plus lente du courant I_{c2} . Finalement, selon l'équation de la figure II-3b le signal V_{out} est avancé (Fig.II-27, Q2).

Pour tous les paramètres observés, les miroirs de courant en montage NPN sont plus sensibles à l'augmentation de température que les miroirs de courant en montage PNP. Ceci est lié au fait que dans le montage NPN, le courant est constitué par les électrons dont la mobilité est plus élevée et donc plus sensible à la température.

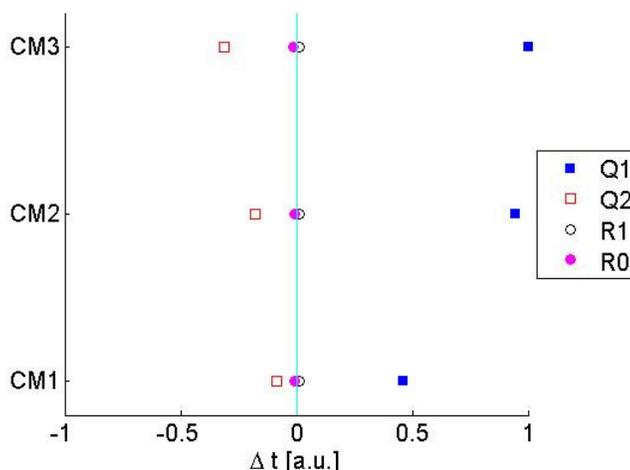


Figure II-27 : Résultats des simulations électriques de l'influence du phénomène photo-thermique sur le décalage induit sur le front descendant du signal de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration NPN par l'échauffement des différents composants ($Q1$, $Q2$, $R0$, $R1$). Un signal carré périodique d'amplitude 5V@5kHz est envoyé à l'entrée $V5$.

3.3.2. Level shifter

3.3.2.a. Configuration électrique

Pour simuler le comportement des *levels shifter* en mode dynamique nous avons effectué des simulations transitoires. Le signal carré d'amplitude 2,5V et de fréquence 5kHz a été envoyé à l'entrée V_{IN} . Nous avons observé les variations induites dans le signal de sortie V_{out} lorsque la température d'un seul des composants a été augmentée de 2,5°C par rapport à la température globale de la structure de test (Fig.II-28a-d). Nous nous sommes plus particulièrement intéressés au décalage temporel induit sur le front montant et sur le front descendant du signal de sortie V_{out} (Fig.II-29). Nous avons extrait uniquement les valeurs du décalage temporel mesurées à mi-hauteur du front montant et du front descendant lorsque les transistors se trouvent dans le régime saturé. Ces simulations ne tiennent compte ni de l'augmentation de la température des pistes métalliques et des contacts ni de la diffusion de chaleur en provenance de ces pistes et de ces contacts.

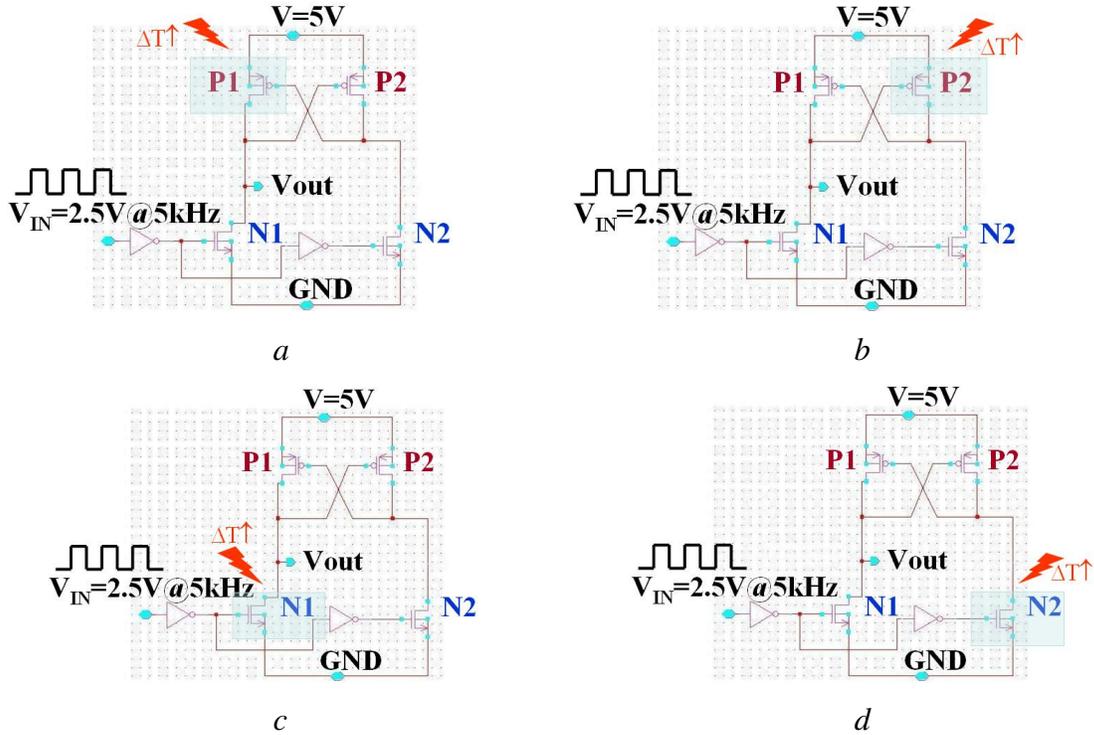


Figure II-28 : Représentation des configurations électriques utilisées dans les simulations du phénomène photo-thermique induit dans les levels shifter lorsque la température des transistors a. P1, b. P2, c. N1 d. N2 augmente.

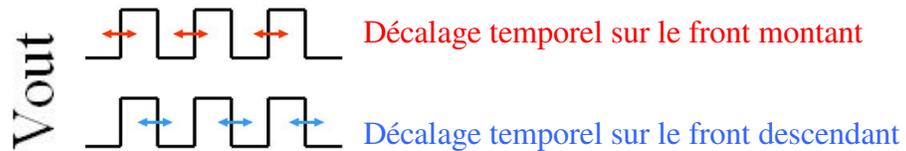


Figure II-29 : Paramètres observés à la sortie V_{out} des levels shifter.

La figure II-30 résume les résultats des simulations électriques pour l'étude de l'influence du phénomène photo-thermique sur les *levels shifter*. Les courbes noires continues représentent le signal de sortie V_{out} lorsque la stimulation photo-thermique n'est pas appliquée. Les courbes rouges en pointillé représentent le signal V_{out} lorsque les structures de test sont soumises à une stimulation photo-thermique laser. Lorsque la température du transistor P1 augmente le front montant du signal V_{out} est retardé et le front descendant est avancé (Fig.II-30a). Lorsque la température du transistor P2 augmente aucune variation n'est détectée sur le front montant du signal V_{out} , par contre le front descendant est retardé (Fig.II-30b). Lorsque la température du transistor N1 augmente, le front montant du signal V_{out} est avancé légèrement et le front descendant

est retardé (Fig.II-30c). Lorsque la température du transistor N2 augmente, le front montant du signal V_{out} est retardé; par contre aucune variation n'est détectée sur le front descendant (Fig.II-30d). Dans la suite de ce sous-chapitre, nous allons analyser ces résultats plus en détail. Comme pour les études précédentes, nous avons choisi une échelle arbitraire.

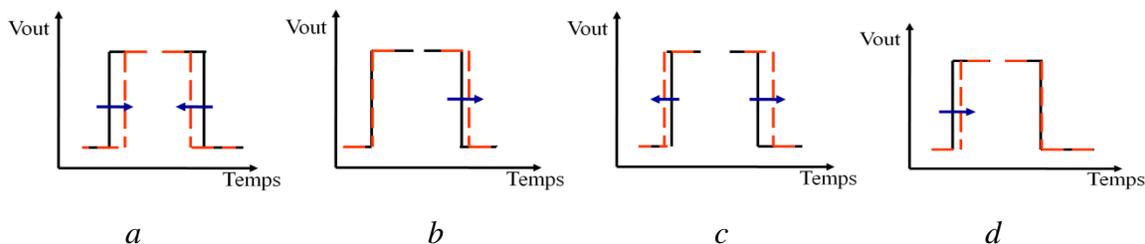


Figure II-30 : Représentation de l'influence du phénomène photo-thermique sur la sortie V_{out} des levels shifter lorsque la température des transistors a. P1, b. P2, c. N1 et d. N2 augmente.

- Analyse du décalage temporel sur le front montant du signal de sortie V_{out}

La figure II-31 présente les résultats des simulations électriques qui permettent d'obtenir le décalage temporel induit sur le front montant du signal V_{out} suite à l'augmentation de la température de chacun des transistors MOS (P1, P2, N1 ou N2). Pour commenter ces résultats, déterminons d'abord l'état de chacun des transistors MOS. Lorsque le signal V_{IN} passe du niveau bas au niveau haut les transistors P1 et N2 s'activent et les transistors P2 et N1 se désactivent. L'influence de la température sur la tension de sortie des transistors MOS en cours d'activation est plus importante que celle des transistors MOS en cours de désactivation. Une augmentation de la température des transistors MOS indirectement connectés au nœud V_{out} a moins d'influence sur le signal de sortie V_{out} qu'une augmentation de la température des transistors MOS directement connectés à ce nœud. La taille du transistor compte également : plus grande est la taille du transistor soumis à une variation de température, plus perturbée est sa sortie. Selon les simulations (Fig.II-31) l'augmentation de la température du transistor P1 induit le plus grand décalage temporel du signal V_{out} . Ce transistor se trouve dans sa phase d'activation et est directement connecté au nœud de mesure V_{out} . Conformément à notre modèle de transistor en régime saturé (Fig.II-16b), le signal de sortie est retardé. Nous observons aussi que l'impact photo-thermique diminue lorsque la taille du transistor diminue. L'augmentation de la température du transistor N1 induit un faible décalage temporel

dans le signal V_{out} . Ce transistor se trouve dans une phase de désactivation, par contre il est directement connecté au nœud de mesure V_{out} . Conformément à notre modèle (Fig.II-15b) le signal de sortie est avancé. L'augmentation de la température du transistor P2 n'induit aucun décalage temporel dans le signal V_{out} . Ce transistor se trouve dans la phase de désactivation et de plus, il n'est pas directement connecté au nœud de mesure V_{out} . Finalement, l'augmentation de la température du transistor N2 induit un faible décalage temporel du signal V_{out} . Ce transistor se trouve dans la phase d'activation mais il n'est pas directement connecté au nœud de mesure V_{out} . Conformément à notre modèle (Fig.II-15a), le signal de sortie est alors retardé.

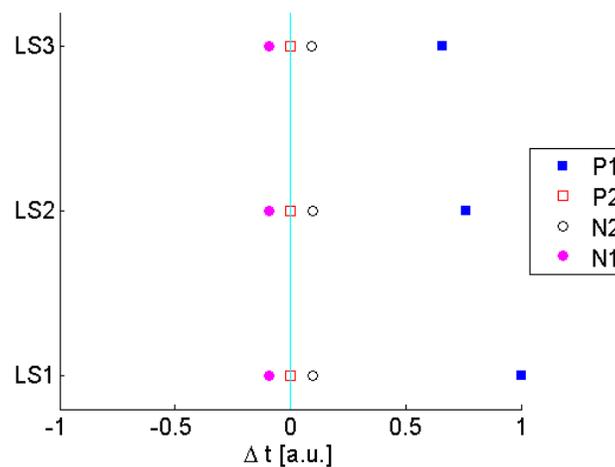


Figure II-31 : Résultats des simulations électriques illustrant l'influence du phénomène photo-thermique sur le décalage induit sur le front montant du signal de sortie V_{out} de l'ensemble des levels shifter par l'échauffement des transistors P1, P2, N1 et N2. Un signal carré périodique d'amplitude 2,5V@ 5kHz est envoyé sur V_{IN} .

- Analyse du décalage temporel sur le front descendant du signal de sortie V_{out}

La figure II-32 présente les résultats des simulations électriques pour l'étude du décalage temporel induit sur le front descendant du signal V_{out} suite à l'augmentation de la température de chacun des transistors MOS (P1, P2, N1 ou N2). Comme précédemment, déterminons les états dans lesquels se trouvent chacun de ces transistors MOS. Lorsque le signal V_{IN} bascule du niveau haut au niveau bas, les transistors N1 et P2 s'activent et les transistors N2 et P1 se désactivent. L'influence de la température sur la tension de sortie des transistors MOS en cours d'activation est plus importante que celle des transistors MOS en cours de désactivation. L'augmentation de la température des transistors MOS indirectement connectés au nœud V_{out} perturbe moins le signal de sortie V_{out} que celle

des transistors MOS directement connectés à ce nœud. La taille du transistor compte également : plus grande est la taille du transistor soumis à une augmentation de la température, plus perturbée est sa sortie. Selon les simulations (Fig.II-32), l'augmentation de la température du transistor P1 induit le décalage temporel le plus important sur le signal V_{out} . Ce transistor se trouve dans la phase de désactivation, par contre il est directement connecté au nœud de mesure V_{out} . Conformément à notre modèle de transistor en régime saturé (Fig.II-16a) le signal de sortie est avancé. Comme dans le cas précédent, nous observons aussi que l'influence de la température diminue lorsque la taille du transistor diminue. L'augmentation de la température du transistor N1 induit un décalage temporel important sur le signal V_{out} . Conformément à notre modèle (Fig.II-15a), le signal de sortie est retardé. Bien que ce transistor se trouve dans la phase d'activation et qu'il est directement connecté au nœud de mesure V_{out} , l'augmentation de température de ce transistor perturbe moins la sortie que l'augmentation de température du transistor P1. Ceci est probablement lié à la taille du transistor N1 qui est plus petite par rapport à la taille du transistor P1. L'augmentation de la température du transistor P2 induit un faible décalage temporel sur le signal V_{out} . Ce transistor se trouve dans la phase d'activation, par contre il n'est pas directement connecté au nœud de mesure V_{out} . Finalement, l'augmentation de la température du transistor N2 n'induit aucun décalage temporel sur le signal V_{out} . Ce transistor se trouve dans la phase de désactivation et de plus, il n'est pas directement connecté au nœud de mesure V_{out} .

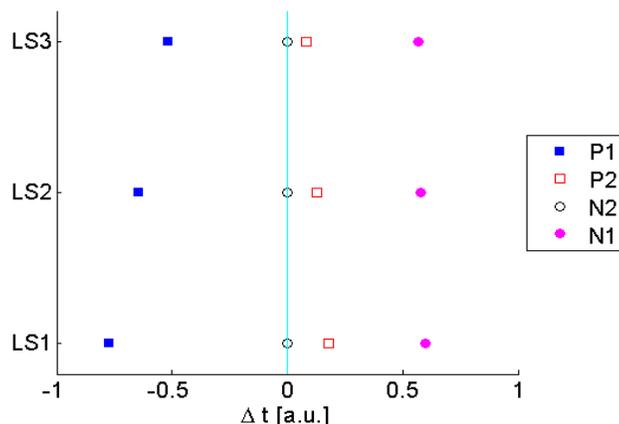


Figure II-32 : Résultats des simulations électriques illustrant l'influence du phénomène photo-thermique sur le décalage induit sur le front descendant du signal de sortie V_{out} de l'ensemble des levels shifter par l'échauffement des transistors P1, P2, N1 et N2. Un signal carré périodique d'amplitude 2,5V@ 5kHz est envoyé sur V_{IN} .

3.4. Conclusion

Le tableau II-2 résume les résultats de simulation de l'influence du phénomène photo-thermique sur les structures de test élémentaires. Une meilleure connaissance de l'influence de la température sur ces structures nous conduira à une meilleure compréhension et interprétation des résultats expérimentaux.

Structure stimulée	Signe de la variation induite dans le signal de sortie		
	Amplitude	Front montant	Front descendant
Miroir de courant PNP			
Q0	+	+	-
Q1	-	-	+
R0	+	+	-
R1	-	-	+
Miroir de courant NPN			
Q1	+	/	-
Q2	-	/	+
R0	-	/	+
R1	+	/	-
Level shifter			
P1		-	+
N1		+	-
P2		/	-
N2		-	/

Tableau II-2 : Synthèse des résultats de simulations du décalage temporel et de l'amplitude induits par stimulation photo-thermique dans les différents structures de test ; + signal avancé ou augmentation de l'amplitude, - signal retardé ou diminution de l'amplitude, / variation non détectée.

4. EFFET PHOTOELECTRIQUE

4.1. Introduction

Nous souhaitons simuler l'impact du phénomène photoélectrique induit par le faisceau laser sur un CI en fonctionnement dynamique. Comme dans le cas du phénomène photo-thermique, nous cherchons à simuler les variations du signal de sortie du circuit induites par la stimulation de ce CI par un faisceau laser de longueur d'onde inférieure à 1100nm (pour les circuits en silicium). Ces variations sont reliées à l'énergie fournie par le faisceau laser qui modifie légèrement les propriétés physiques et électriques des composants actifs (transistors). Encore une fois, nous cherchons des modèles simples pour les implémenter sur des circuits complexes et compatibles avec des simulateurs utilisés dans le milieu industriel. Le but n'est pas de créer des modèles quantitatifs, néanmoins ceux-ci doivent permettre l'analyse des cartographies photoélectriques laser.

Pour la modélisation et les simulations électriques du phénomène photoélectrique, nous avons utilisé le logiciel *Cadence* avec les bibliothèques *Spice* utilisés par Freescale Semiconductor. Le phénomène photoélectrique est un phénomène prépondérant lorsque la stimulation par faisceau laser de longueur d'onde de 1064nm est appliquée sur les CI fabriqués en silicium. Lors de la modélisation et des simulations électriques, nous négligeons l'effet thermique local. En effet, dès qu'un champ électrique règne au voisinage de la zone de photo génération, des porteurs de charges sont séparés. Il y a création d'un photocourant devant lequel toute contribution photo-thermique devient négligeable. Lors des simulations électriques, nous agissons localement sur les courants d'un seul composant actif (Fig.II-33). Plus particulièrement, ces courants sont ajustés par la modification de certains paramètres électriques et/ou physiques du modèle du composant. Dans les modèles présentés ci-après, nous ne prenons pas en compte l'évolution des capacités parasites suite à la stimulation photoélectrique laser.

Il existe déjà des modèles des transistors MOS stimulé par le faisceau laser continu [SAN07] et impulsionnel [POU00, DOU08]. Néanmoins, ces modèles ne remplissent pas aussi bien les conditions du cahier des charges que notre modèle (modèle simple, facile d'utilisation, facilement adaptable dans les CI complexes qui donne des résultats qualitatifs).

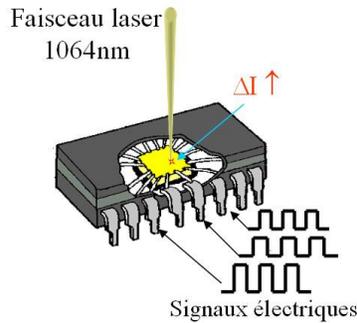


Figure II-33 : Concept de la simulation électrique du phénomène photoélectrique induit dans le CI sous test par un faisceau laser de longueur d'onde 1064nm (génération locale du photocourant dans les zones actives).

Ces modèles simplistes permettent d'obtenir les résultats qualitatifs lors des simulations et de mieux interpréter par la suite les résultats expérimentaux du chapitre III. Ainsi, nous allons déduire leur niveau de corrélation et valider ou non les modèles proposés. Finalement, nous pourrions alors conclure sur la possibilité d'utiliser les simulations pour interpréter les cartographies obtenues à l'aide des techniques dynamiques de stimulation photoélectrique laser ($\lambda=1064\text{nm}$).

4.2. Modélisation

4.2.1. Transistors bipolaires

Pour modéliser les courants supplémentaires d'origine photoélectrique induits par le faisceau laser ($\lambda=1064\text{nm}$) dans le transistor bipolaire, il est nécessaire de raisonner sur une vue en coupe. En effet, il faut considérer les différentes jonctions PN dans le transistor en tenant compte de leurs configurations électriques. Avant d'étudier le transistor en coupe, raisonnons d'abord sur une diode qui représente une jonction PN (Fig.II-34).

Comme il a été expliqué dans le chapitre I (3.3.1.c), les jonctions polarisées en inverse se caractérisent par un champ électrique plus ou moins élevé. Grâce à ce champ, les porteurs libres photogénérés (électrons et trous) lors du balayage de la zone active par un faisceau laser peuvent être séparés et ainsi participer à la création du courant supplémentaire I_{PHi} . Un champ électrique est aussi présent dans d'autres configurations électriques. En particulier, dans une jonction PN polarisée en direct le champ électrique est moins fort par rapport à celui dans une jonction PN polarisée en inverse, mais suffisant pour qu'une

partie des porteurs libres participe à la création du photocourant (I_{PHd}). De même, dans une jonction PN non-polarisée ou court-circuitée, il existe un champ électrique naturel qui a pour rôle d'assurer l'état d'équilibre dans la jonction (courant de diffusion égal au courant de saturation). Ce champ contribue aussi à la création du courant supplémentaire dans le circuit (I_{PHn}). Dans la suite du sous-chapitre dédié à la modélisation, nous allons prendre en compte ces différentes contributions.

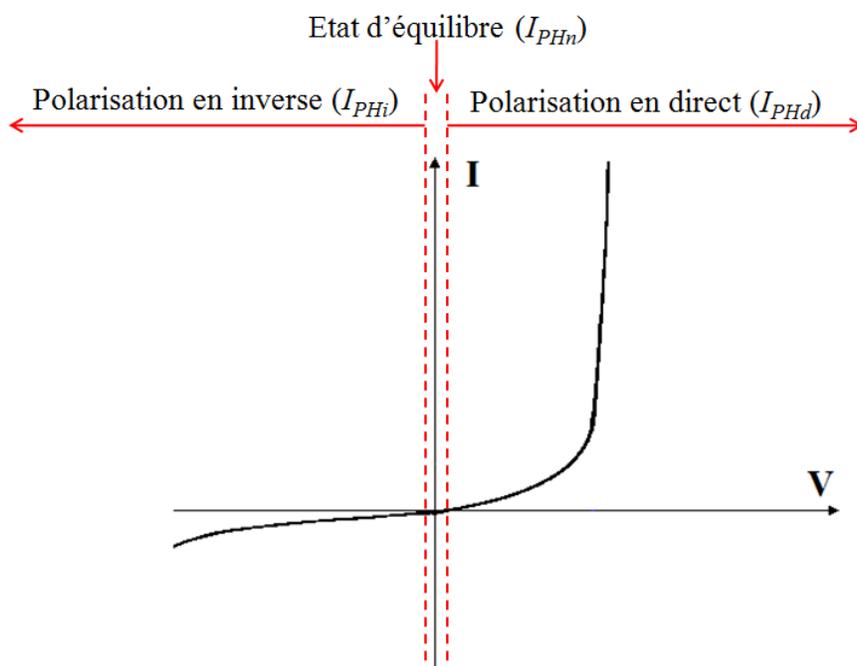


Figure II-34 : Caractéristique I/V d'une diode avec les contributions possibles du photocourant suivant la polarisation de la jonction PN.

4.2.1.a. Transistor PNP

La figure II-35 présente une vue en coupe d'un transistor bipolaire PNP. Supposons que les contacts de base et de collecteur de ce transistor sont connectés ($V_B=V_{C1}$), que la tension de ce nœud varie entre 0V et 5V et que la tension d'émetteur V_{E1} est égale à 5V (montage en diode). En fonctionnement normal, deux courants I_1 et I_2 circulent, respectivement, entre l'émetteur et le collecteur et entre l'émetteur et la base. Remarquons que cette configuration correspond au transistor Q1 du miroir de courant en montage PNP (Fig.II-3a). Pour les conditions de polarisations présentées ci-dessus, il existe une jonction PN polarisée en inverse (entre le caisson N et le substrat), une jonction PN polarisée en direct (entre l'émetteur et le caisson N) et une jonction PN non

polarisée (entre le collecteur et le caisson N). Lorsque ce transistor est soumis à une stimulation par faisceau laser de longueur d'onde 1064nm, nous pouvons identifier trois courants supplémentaires : I_{PHi} , I_{PHd} , I_{PHn} . Le courant I_{PHi} apparaît entre le caisson N (base) et le substrat. Nous estimons que ce courant est le courant le plus fort parmi les courants photo-induits. Ceci est lié au fait que le champ électrique de la jonction PN polarisée en inverse est le plus fort, et ainsi la capacité de séparer les électrons des trous la plus élevée. De plus, cette jonction présente la surface la plus importante. Le courant I_{PHd} entraîne une augmentation du courant d'émetteur. Ce courant est plus faible car nous parlons d'une jonction PN polarisée en direct. Ce courant circule principalement entre l'émetteur et la base. Une partie de ce courant circule vers le collecteur et le substrat. Finalement, un courant quasi nul I_{PHn} apparaît entre le caisson N (base) et le collecteur où le champ naturel de la jonction PN existe.

Vu de l'extérieur les courants I_{PHi} , I_{PHd} , I_{PHn} influencent les caractéristiques électriques du transistor PNP monté en diode de la manière suivante : le courant de base diminue, les courants d'émetteur, de collecteur et de substrat augmentent.

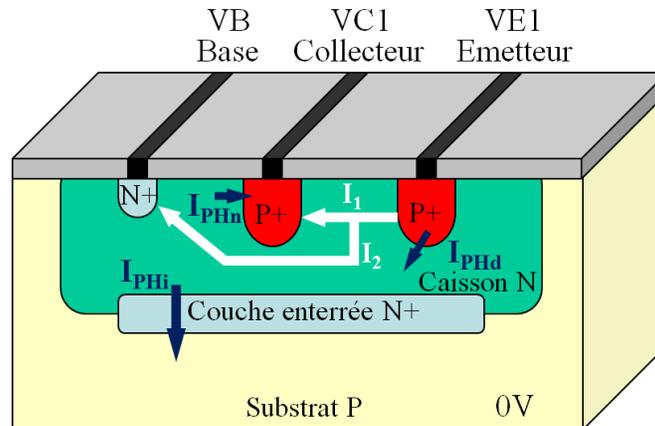


Figure II-35 : Modèle du transistor bipolaire PNP soumis à un balayage par faisceau laser de longueur d'onde 1064nm. I_{PH} représentent des courants induits suite à ce balayage sous les conditions électriques suivantes : $V_B=V_{C1}$, $V_{E1}=5V$, $0V < V_B < 5V$ (transistor Q1 du miroir de courant en montage PNP - Fig.II-3a).

Après avoir décrit l'impact interne et externe du phénomène photoélectrique sur le transistor bipolaire PNP monté en diode, nous pouvons nous pencher sur le modèle électrique de ce transistor. Pour modéliser le comportement électrique du premier ordre du transistor soumis à la stimulation photoélectrique laser, nous augmentons la taille de la

zone active du transistor (émetteur) de 5%. Cela nous permet d'augmenter tous les courants (I_{E1} , I_{C1} , I_{B1}) sans modifier le régime de travail du transistor. Ensuite, pour diminuer le courant de base I_{B1} nous augmentons le coefficient β du transistor de 5%.

Maintenant, prenons un transistor bipolaire PNP polarisé différemment. La figure II-36 présente une vue en coupe de ce transistor. Supposons que ce transistor est polarisé de telle façon que sa tension d'émetteur V_{E0} est égale à 5V, la tension du collecteur V_{C0} est supérieure à 0V et la tension de base V_B est plus grande que V_{C0} et est inférieure à V_{E0} . En fonctionnement normal, deux courants I_1 et I_2 sont présents, respectivement, entre l'émetteur et le collecteur et entre l'émetteur et la base. Remarquons que cette polarisation correspond au transistor Q0 du miroir de courant en montage PNP (Fig.II-3a). Pour les conditions de polarisations présentées ci-dessus, il existe deux jonctions PN polarisées en inverse (entre le caisson N et le substrat et entre le caisson N et le collecteur) et une jonction PN polarisée en direct (entre l'émetteur et le caisson N). Lorsque ce transistor est soumis à une stimulation par faisceau laser de longueur d'onde 1064nm, nous pouvons noter trois courants supplémentaires : I_{PHi1} , I_{PHi2} et I_{PHd} . Le courant I_{PHi1} circule entre le caisson N (base) et le substrat. Nous estimons que ce courant est le courant le plus fort parmi les courants photo-induits car il circule dans la jonction PN de plus grande surface qui est polarisée en inverse. Le courant I_{PHi2} circule entre le caisson N (base) et le collecteur. Ce courant est important car il apparaît dans une jonction PN polarisée en inverse. Le courant I_{PHd} est plus faible car la jonction PN est polarisée en direct. Il circule principalement entre l'émetteur et la base. Une partie de ce courant circule vers le collecteur et le substrat.

Vu de l'extérieur, les courants I_{PHi1} , I_{PHi2} , I_{PHd} influent sur les caractéristiques électriques du transistor PNP de la manière suivante : le courant de base diminue fortement, les courants d'émetteur, de collecteur et du substrat augmentent.

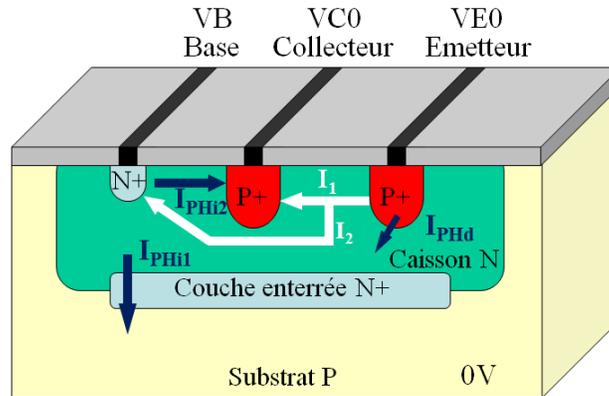


Figure II-36 : Modèle d'un transistor bipolaire PNP soumis à un balayage par faisceau laser de longueur d'onde 1064nm. I_{PH} représentent des courants induits suite à ce balayage sous les conditions électriques suivantes : $VC0 > 0V$, $VE0 = 5V$, $VC0 < VB < VE0$ (transistor Q0 du miroir de courant en montage PNP - Fig.II-3a).

Après avoir décrit l'impact interne et externe du phénomène photoélectrique sur le transistor bipolaire PNP, nous pouvons nous intéresser au modèle électrique de ce transistor. Pour modéliser le comportement électrique au premier ordre du transistor soumis à la stimulation photoélectrique laser, nous augmentons la taille de la zone active du transistor (émetteur) de 5%. Cela nous permet d'augmenter tous les courants (I_{E0} , I_{C0} , I_{B0}) sans changer le régime de fonctionnement du transistor. Ensuite, pour diminuer le courant de base I_{B0} , nous augmentons le coefficient β du transistor de 8%.

4.2.1.b. Transistor NPN

La figure II-37 présente une vue en coupe d'un transistor bipolaire NPN. Supposons que la base et le collecteur de ce transistor sont connectés ($VB = VC1$), que la tension de ce nœud varie entre 0V et 5V et la tension d'émetteur $VE1$ est égale à 0V (montage en diode). En fonctionnement normal, deux courants I_1 et I_2 circulent, respectivement, entre le collecteur et l'émetteur et entre la base et l'émetteur. Remarquons que cette configuration correspond au transistor Q1 du miroir de courant en montage NPN (Fig.II-3b). Pour les conditions de polarisation présentées ci-dessus, il existe une jonction PN polarisée en inverse (entre le caisson N et le substrat), une jonction PN polarisée en direct (entre la base et l'émetteur) et une jonction PN non polarisée (entre la base et le caisson N). Lorsque ce transistor est soumis à une stimulation par faisceau laser de longueur d'onde 1064nm, nous identifions trois courants supplémentaires : I_{PHi} , I_{PHd} , I_{PHn} . Le

courant I_{PHi} apparaît entre le caisson N (collecteur) et le substrat. Nous estimons que ce courant est le courant le plus fort parmi les courants photo-induits. Ceci est lié au fait que le champ électrique de la jonction PN polarisée en inverse est le plus fort, et ainsi la capacité de séparer les électrons des trous la plus élevée. De plus, cette jonction possède la surface la plus importante. Le courant I_{PHd} circule entre la base et l'émetteur. Ce courant est plus faible car nous sommes en présence d'une jonction PN polarisée en direct. Finalement, le courant le plus faible (quasi nul) I_{PHn} apparaît entre le caisson N et la base où le champ interne de la jonction PN existe.

Vu de l'extérieur, les courants I_{PHi} , I_{PHd} , I_{PHn} influent sur les caractéristiques électriques du transistor NPN monté en diode de la manière suivante : les courants de collecteur, de substrat, de base et d'émetteur augmentent.

Afin d'obtenir un modèle électrique au premier ordre du transistor Q1 soumis à la stimulation photoélectrique laser qui correspond à la modélisation physique présentée ci-dessus, nous augmentons la taille de la zone active de ce transistor (émetteur) de 5%. Ceci permet d'augmenter les courants d'émetteur, de base et de collecteur sans changer le régime de fonctionnement du transistor.

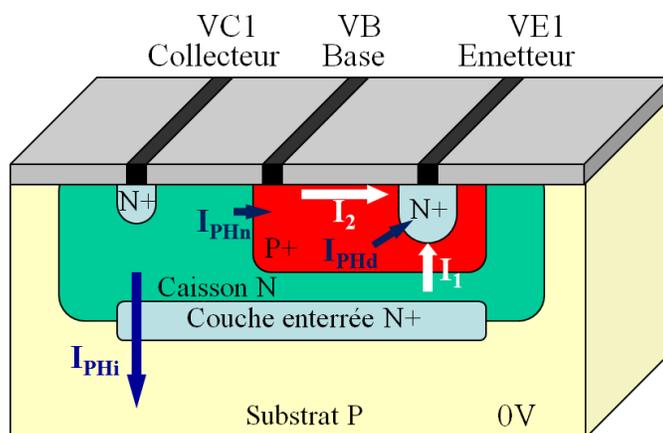


Figure II-37 : Modèle du transistor bipolaire NPN soumis à un balayage par faisceau laser de longueur d'onde 1064nm. I_{PH} représentent des courants induits suite à ce balayage sous les conditions électriques suivantes : $VB=VC1$, $VE1=0V$, $0V < VB < 5V$ (transistor Q1 du miroir de courant en montage NPN - Fig.II-3b).

Maintenant prenons un transistor bipolaire NPN avec une autre polarisation électrique. La figure II-38 présente une vue en coupe de ce transistor. Supposons que ce transistor est polarisé de telle façon que la tension d'émetteur VE2 est égale à 0V, que la tension de

base V_B est supérieure à 0V et que la tension de collecteur V_{C2} est supérieure à V_B et inférieure à 5V. En fonctionnement normal, deux courants I_1 et I_2 sont présents, respectivement, entre le collecteur et l'émetteur et entre la base et l'émetteur. Remarquons que cette polarisation correspond au transistor Q2 du miroir de courant en montage NPN (Fig.II-3b). Pour les conditions de polarisation présentées ci-dessus, il existe deux jonctions PN polarisées en inverse (entre le caisson N et le substrat, entre le caisson N et la base) et une jonction polarisée en direct (entre la base et l'émetteur). Lorsque ce transistor est soumis à une stimulation par faisceau laser de longueur d'onde 1064nm, nous observons trois courants supplémentaires : I_{PH1} , I_{PH2} et I_{PHd} . Le courant I_{PH1} circule entre le caisson N (collecteur) et le substrat. Nous estimons que ce courant est important car il est présent dans la jonction PN de plus grande surface qui est de plus polarisée en inverse. Le courant I_{PH2} circule entre le caisson N et la base. Une partie de ce courant contribue à la diminution du courant de base. Le reste du courant I_{PH2} traverse la base pour arriver à l'émetteur. Un autre courant I_{PHd} , plus faible car jonction PN est polarisée en direct, circule entre la base et l'émetteur.

Vu de l'extérieur les courants I_{PH1} , I_{PH2} , I_{PHd} influent sur les caractéristiques électriques de notre transistor NPN de la manière suivante : les courants de collecteur, d'émetteur et du substrat augmentent. Le courant de base diminue légèrement.

Afin d'obtenir un modèle électrique au premier ordre du transistor Q2 sous stimulation photoélectrique laser qui correspond à la modélisation physique présentée ci-dessus, nous augmentons la taille de la zone active de ce transistor (émetteur) de 5%. Cela permet d'augmenter les courants d'émetteur, de base et de collecteur. Ensuite, pour diminuer le courant de base I_{B2} nous augmentons le coefficient β de transistor de 3%.

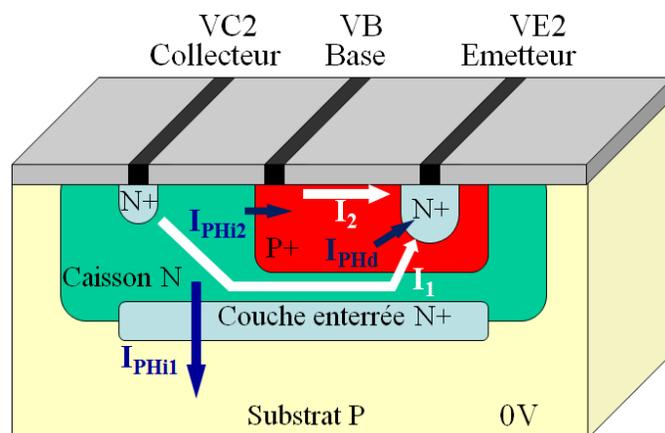


Figure II-38 : Modèle du transistor bipolaire NPN soumis à un balayage par faisceau laser de longueur d'onde 1064nm. I_{PH} représentent des courants induits suite à ce balayage sous les conditions électriques suivantes : $VC2 < VB$, $VE2 = 0V$, $0V < VB < VC2$ (transistor Q2 du miroir de courant en montage NPN - Fig.II-3b).

Dans le cas du transistor Q2 utilisé dans le miroir de courant de la figure II-3b, il est possible que les conditions de polarisation soient modifiées. En effet, dans ce montage une augmentation importante des photocourants peut conduire à une situation où la tension de base VB est supérieure à la tension de collecteur VC2 (tension d'émetteur $VE2 = 0V$). Etudions la vue en coupe du transistor Q2 dans ces nouvelles conditions électriques (Fig.II-39). En fonctionnement normal, deux courants I_1 et I_2 sont présents, respectivement, entre collecteur et émetteur et entre base et émetteur. Pour ces conditions de polarisation, il existe une jonction PN polarisée en inverse (entre le caisson N et le substrat) et deux jonctions polarisées en direct (entre la base et l'émetteur, entre la base et le caisson N). Lorsque ce transistor est soumis à une stimulation par faisceau laser de longueur d'onde 1064nm, nous observons trois courants supplémentaires : I_{PHi} , I_{PHd1} et I_{PHd2} . Le courant I_{PHi} circule entre le caisson N (collecteur) et le substrat. Le courant I_{PHd1} circule entre la base et l'émetteur. Un autre courant I_{PHd2} circule entre la base et le caisson N. Ce dernier courant affaiblit le courant I_1 puisqu'il circule à contre sens.

Vu de l'extérieur, nous observons une augmentation de tous les courants. Ces augmentations sont moins importantes comparées à celles correspondants au modèle de la figure II-38.

Le modèle électrique au premier ordre du transistor Q2 soumis à la stimulation photoélectrique laser est obtenu par l'augmentation de la taille de sa zone active (émetteur) de 4%.

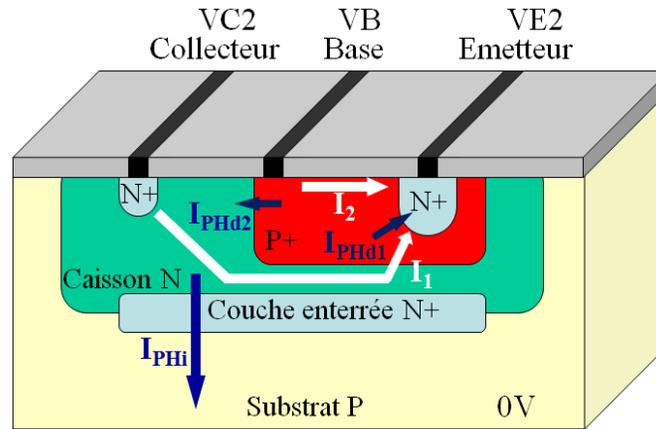


Figure II-39 : Modèle d'un transistor bipolaire NPN soumis à un balayage par faisceau laser de longueur d'onde 1064nm. I_{PH} représentent des courants induits suite à ce balayage sous les conditions électriques suivantes : $0V < VC1 < VB$, $VE1 = 0V$, $VB < 5V$ (transistor Q2 du miroir de courant en montage NPN - Fig.II-3b).

4.2.2. Transistors MOSFET

L'impact de la stimulation photoélectrique par faisceau laser continu sur les transistors MOS, en particulier sur leurs caractéristiques transitoires, a déjà été étudié et modélisé à plusieurs reprises [BUR84, SAN05]. Dans cette partie, avant d'établir un modèle très simple à utiliser dans les simulations électriques, nous allons étudier les courants supplémentaires induits suite au balayage d'un transistor MOS par un faisceau laser ($\lambda=1064\text{nm}$) lorsqu'il est dans un régime de fonctionnement saturé. Les simulations et les mesures expérimentales présentées plus loin ont été faites lorsque les transistors se trouvent dans ce régime précis. Comme il a été expliqué dans le chapitre I (3.3.1.c), plus le champ électrique est élevé, plus les porteurs libres, injectés lors du balayage de la zone active par un faisceau laser photoélectrique seront séparés et plus le courant supplémentaire I_{PH} sera élevé. Ce champ électrique est le plus élevé pour une jonction PN polarisée en inverse (courants I_{PHi}). Il est beaucoup moins fort pour une jonction non-polarisée où il existe un champ naturel de jonction PN (courants I_{PHn}). Dans la suite de ce sous-chapitre dédié à la modélisation, nous allons tenir compte de ces différentes contributions.

La figure II-40 présente une vue en coupe d'un transistor NMOS. Supposons qu'il se trouve dans le régime saturé de sorte que $V_{gs} > V_{th}$, $V_{ds} > V_{gs} - V_{th}$ et $V_b = V_s = 0V$. En fonctionnement normal, un courant I_1 circule entre le drain et la source. Lorsque le phénomène photoélectrique est présent dans ce transistor suite à un balayage par faisceau laser, nous observons deux courants supplémentaires photo-induits : I_{PHi} et I_{PHn} . Le courant I_{PHi} est beaucoup plus fort que le courant I_{PHn} car il circule dans une jonction PN polarisée en inverse. En conclusion, nous observons une augmentation du courant de drain car I_{PHi} s'ajoute au courant I_1 . Le courant de bulk (substrat) est important et négatif. Le courant de source diminue très légèrement car I_{PHn} s'oppose au courant I_1 .

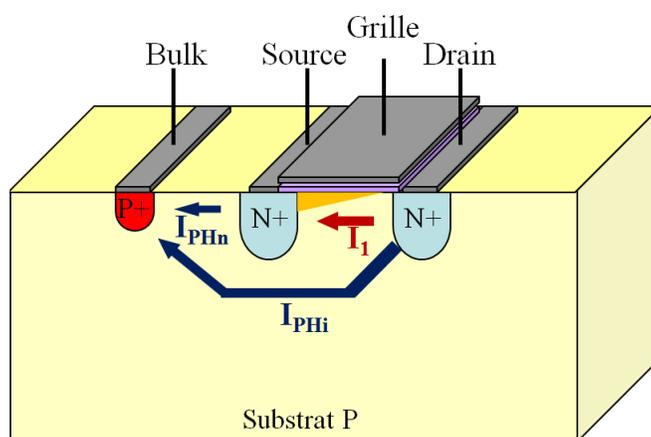


Figure II-40 : Modèle du transistor NMOS soumis à un balayage par faisceau laser de longueur d'onde 1064nm. I_{PH} représentent des courants induits suite à ce balayage lorsque le transistor fonctionne en régime saturé. $V_{gs} > V_{th}$, $V_{ds} > V_{gs} - V_{th}$, $V_b = V_s = 0V$.

Maintenant, analysons un transistor PMOS dont une vue en coupe est présentée sur la figure II-41. Supposons qu'il se trouve aussi dans le régime saturé de telle façon que $V_{gs} < V_{th} < 0V$, $V_{ds} < V_{gs} - V_{th}$, $V_b = V_s = 5V$. En fonctionnement normal, un courant I_1 circule entre la source et le drain. Lorsque le phénomène photoélectrique est induit dans ce transistor suite à un balayage par faisceau laser, nous observons trois courants supplémentaires, photo-induits : I_{PHi1} , I_{PHi2} et I_{PHn} . Les courants I_{PHi1} et I_{PHi2} sont beaucoup plus forts que le courant I_{PHn} car ils circulent dans une jonction PN polarisée en inverse. En conclusion, nous observons une augmentation importante du courant de drain car I_{PHi1} s'ajoute au courant de fonctionnement normal I_1 . Le courant du bulk (caisson)

est important et positif. Le courant de substrat est important et négatif. Le courant de source diminue très légèrement car I_{PHn} s'oppose au courant de fonctionnement normal I_I .

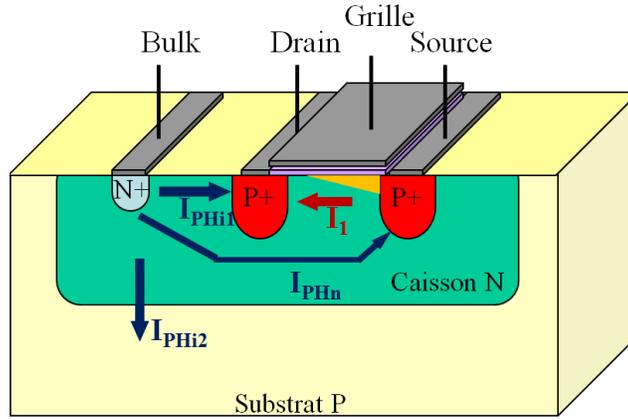


Figure II-41 : Modèle d'un transistor PMOS soumis à un balayage par faisceau laser de longueur d'onde 1064nm. I_{PH} représentent des courants induits suite à ce balayage lorsque le transistor se trouve en régime saturé. $V_{gs} < V_{th} < 0V$, $V_{ds} < V_{gs} - V_{th}$, $V_b = V_s = 5V$.

Nous avons vu que dans le cas de deux transistors (NMOS et PMOS), le courant de drain augmente. Dans le régime saturé, ce courant de drain est exprimé par l'équation II-23. Le signe + correspond au transistor NMOS, le signe - correspond au transistor PMOS.

$$I_D = \pm \mu \cdot C_{OX} \cdot \frac{w}{l} \cdot (V_{GS} - V_{th})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (\text{Eq.II-23})$$

L'influence du phénomène photoélectrique sur les caractéristiques transitoires des transistors NMOS et PMOS est présenté à travers l'exemple d'un inverseur logique (Fig.II-42). La capacité C_{OUT} prend en compte la capacité de la charge ainsi que les capacités du modèle présenté à la figure II-12.

Le signal de sortie V_{OUT} est exprimé par l'équation II-24 (régime saturé). Le signe - correspond au transistor NMOS, le signe + correspond au transistor PMOS. Pour le transistor NMOS $V_{GS}(t) = V_{IN}$. Pour le transistor PMOS $V_{GS}(t) = V_{IN} - V_5$.

$$C_{OUT} \cdot dV_{OUT}(t)dt = \mp \mu \cdot C_{OX} \cdot \frac{w}{l} \cdot (V_{GS}(t) - V_{th})^2 \cdot (1 + \lambda \cdot V_{OUT}(t)) \quad (\text{Eq.II-24})$$

Suite à la stimulation photoélectrique laser du transistor PMOS, le front montant du signal de sortie V_{OUT} est avancé et le front descendant est retardé. Lorsque le transistor NMOS est soumis à la stimulation par faisceau laser, le front montant du signal de sortie V_{OUT} est retardé et le front descendant est avancé.

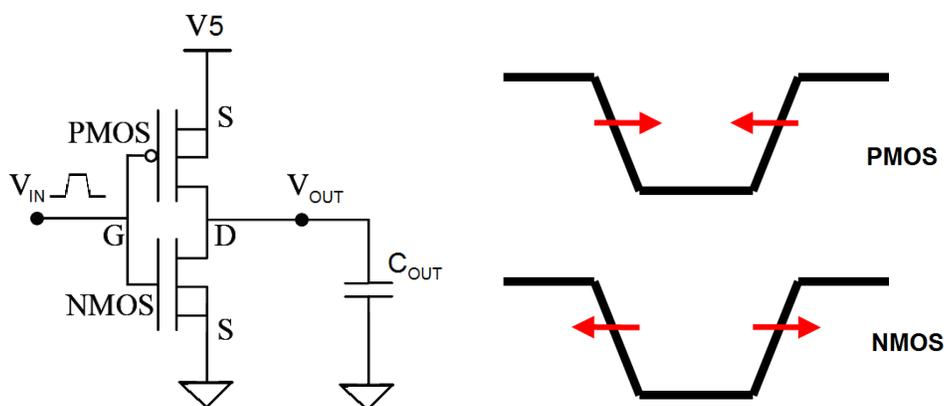


Figure II-42 : Schéma électrique d'un inverseur CMOS et représentation de la perturbation induite sur le front montant et descendant du signal de sortie V_{OUT} suite à la stimulation photoélectrique laser des transistors NMOS et PMOS.

Le modèle électrique utilisé pour prendre en compte la stimulation photoélectrique laser simulations est obtenu pour la diminution de la longueur de grille l de 5% pour les transistors NMOS et PMOS. Ce modèle est très simpliste car il ne tient compte ni de la modification des capacités parasites ni de la modulation de la longueur du canal induites par le phénomène photoélectrique. Néanmoins, il est suffisant pour obtenir des résultats qualitatifs et donc prédire le signe de la variation du décalage temporel induit par le phénomène photoélectrique.

4.3. Simulations

4.3.1. Miroirs de courant

4.3.1.a. Configuration électrique

Pour simuler l'influence du phénomène photoélectrique sur le comportement des miroirs de courant en fonctionnement dynamique, nous avons réalisé des simulations transitoires. Un signal carré d'amplitude 5V et de fréquence 5kHz est appliqué à l'entrée $V5$. Tous les miroirs de courant en montage PNP et NPN sont en régime bloqué (niveau bas) et en régime linéaire (niveau haut). Nous avons observé les variations induites dans le signal de sortie V_{out} lorsque le modèle électrique d'un transistor est perturbé et les autres transistors fonctionnent normalement (sans perturbation photoélectrique). Lors de ces simulations, nous avons tenu compte des modèles présentés dans le sous-chapitre 4.2.1.

Pour les miroirs de courant en montage PNP, la configuration électrique est présentée sur la figure II-43. De même, la figure II-44 présente la configuration électrique pour les miroirs de courant en montage NPN. Nous nous sommes particulièrement intéressés au décalage temporel induit sur le front montant et sur le front descendant du signal de sortie V_{out} ainsi qu'à la variation de l'amplitude du signal de sortie (Fig.II-45).

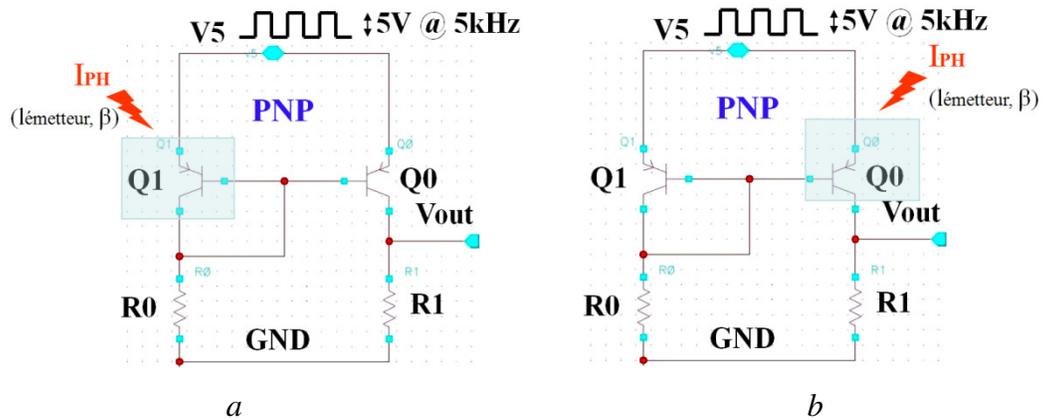


Figure II-43 : Représentation des configurations électriques utilisées dans les simulations du phénomène photoélectrique induit dans les miroirs de courant en montage PNP. Les courants des transistors a. $Q1$ et b. $Q0$ sont modifiés.

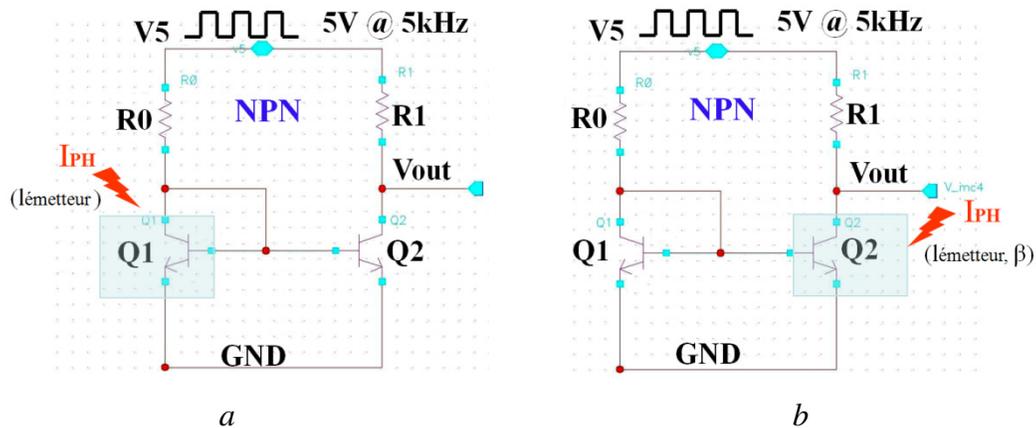


Figure II-44 : Représentation des configurations électriques utilisées lors des simulations du phénomène photoélectrique induit dans les miroirs de courant en montage NPN. Les courants des transistors a. $Q1$ et b. $Q2$ sont modifiés.

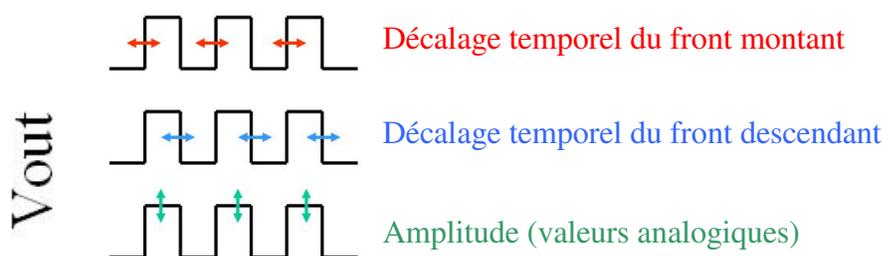


Figure II-45 : Paramètres observés à la sortie V_{out} des miroirs de courant en montage PNP et NPN lors des simulations du phénomène photoélectrique induit sur les miroirs de courant.

4.3.1.b. Montage PNP

La figure II-46 résume les résultats des simulations électriques où nous avons étudié l'influence de la stimulation photoélectrique sur les miroirs de courant en montage PNP. Les courbes noires représentent le signal de sortie V_{out} lorsque la stimulation photoélectrique n'est pas appliquée. Les courbes rouges en pointillé représentent le signal V_{out} lorsque les structures de test sont soumises à une stimulation photoélectrique laser. Lorsque le transistor Q1 est soumis à une stimulation photoélectrique laser, l'amplitude du signal V_{out} diminue, son front montant est retardé et son front descendant est avancé (Fig.II-46a). Lorsque le transistor Q0 est soumis à une stimulation photoélectrique laser, nous observons le contraire : l'amplitude du signal V_{out} augmente, son front montant est avancé et son front descendant est retardé (Fig.II-46b). Dans la suite de ce sous-chapitre, nous allons analyser ces résultats plus en détail. Les résultats des simulations sont qualitatifs, donc nous avons choisi une échelle arbitraire.

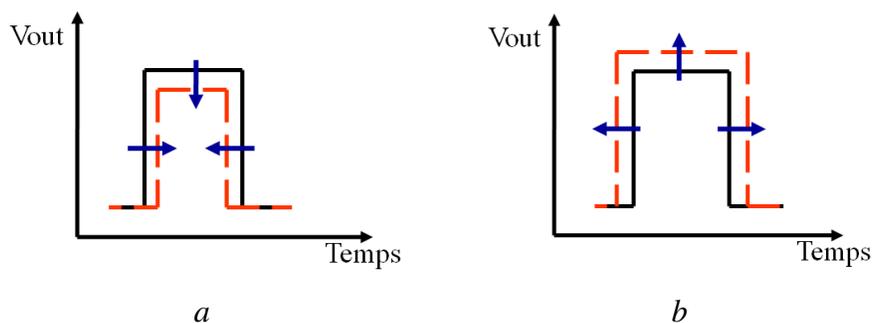


Figure II-46 : Représentation des simulations de l'influence de la stimulation photoélectrique sur le signal de sortie V_{out} des miroirs de courant en montage PNP : les transistors a. Q1, b. Q0 sont soumis à la stimulation par faisceau laser de $\lambda=1064\text{nm}$.

- Analyse de la variation de l'amplitude du signal de sortie V_{out}

La figure II-47 présente les résultats des simulations électriques pour l'étude de la variation d'amplitude du signal de sortie V_{out} lorsque les transistors Q1 et Q0 sont soumis à une stimulation photoélectrique laser. Lors de la stimulation du transistor Q1 (Fig.II-43a), la structure du miroir de courant est déséquilibrée. Selon le modèle établi précédemment, les courants d'émetteur I_{E1} et de collecteur I_{C1} augmentent et le courant de base I_{B1} diminue. Par conséquent, la diminution de la tension V_{BE} , commune aux deux transistors, entraîne une diminution du courant I_{B0} et donc le courant de collecteur du transistor Q0 diminue. Finalement, conformément à la loi d'Ohm, la diminution du courant de collecteur du transistor Q0 conduit à une diminution de la tension à la sortie V_{out} (Fig.47, Q1).

La structure de miroir de courant est déséquilibrée de la même manière lorsque le transistor Q0 est stimulé (Fig.II-43b). Selon le modèle établi précédemment, nous observons une augmentation importante du courant de collecteur. Selon la loi d'Ohm, cette augmentation conduit à une augmentation de la tension à la sortie V_{out} (Fig.II-47, Q0).

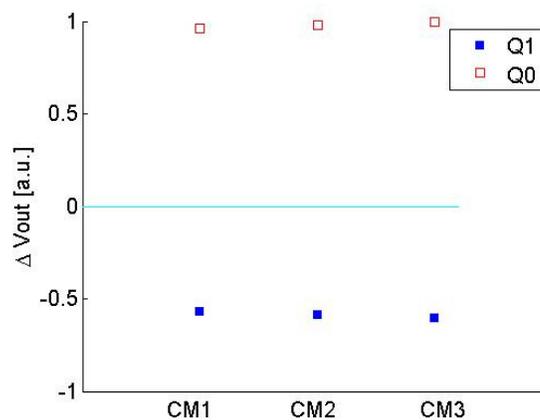


Figure II-47 : Résultats des simulations électriques de l'influence du phénomène photoélectrique sur le niveau de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration PNP, induit sur les transistors Q1 et Q0. Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

- Analyse du décalage temporel sur le front montant du signal de sortie V_{out}

La figure II-48 présente les résultats des simulations électriques pour l'étude du décalage temporel induit sur le front montant du signal V_{out} lorsque les transistors Q1 et Q0 sont

soumis à une stimulation photoélectrique laser. Nous nous intéressons avant tout au signe du décalage temporel du signal.

Dans les transistors bipolaires, la durée du front montant du courant de collecteur correspond au temps de charge de la base par les porteurs minoritaires injectés. Lorsque la tension à l'entrée V5 bascule du niveau bas (régime bloqué du transistor) au niveau haut (régime linéaire du transistor), la tension V_{BE} augmente ainsi que les courants I_{b1} et I_{b0} . Ensuite, les courants I_{c1} et I_{c0} augmentent avec un certain retard. Chacun de ces courants est proportionnel à la charge des porteurs minoritaires en excès. Maintenant, lorsque le transistor Q1 est stimulé, son courant I_{b0} augmente plus lentement en présence du contre-courant photo-induit I_{PHi} . Par conséquent, l'augmentation de la tension V_{BE} commune aux deux transistors est retardée. La charge de la base du transistor Q0 subit aussi un retard tout comme le courant I_{c0} . Finalement, le signal V_{out} subit un retard (Fig.II-48, Q1).

Comme dans le cas précédent, lorsque le transistor Q0 est stimulé, l'augmentation du courant I_{b0} est retardée à cause de contre-courant photo-induit I_{PHi1} . Néanmoins, il existe un autre courant photo-induit I_{PHi2} qui, indépendamment de I_{PHi1} , circule entre la base et le collecteur. Lors du passage de tension du niveau bas au niveau haut à l'entrée V5, même si la base de ce transistor se charge plus lentement, le courant I_{c0} est avancé. Par conséquent, le front montant du signal V_{out} est avancé (Fig.II-48, Q0).

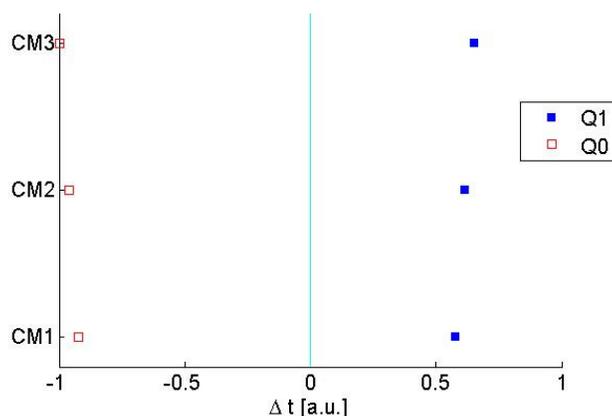


Figure II-48 : Résultats des simulations électriques de l'influence du phénomène photoélectrique sur le décalage du front montant du signal de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration PNP, induit sur les transistors Q1 et Q0. Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

- Analyse du décalage temporel sur le front descendant du signal de sortie V_{out}

La figure II-49 présente les résultats des simulations électriques dédiées à l'étude du décalage temporel induit sur le front descendant du signal V_{out} lorsque les transistors Q1 et Q0 sont soumis à une stimulation photoélectrique laser. Comme dans le cas précédent, nous nous intéressons surtout au signe du décalage temporel du signal.

Dans les transistors bipolaires, la durée du front descendant du courant de collecteur correspond au temps d'écoulement des porteurs en excès se trouvant dans la base. Lorsque la tension V5 bascule du niveau haut (régime linéaire du transistor) au niveau bas (régime bloqué du transistor), les courants de collecteur des deux transistors Q1 et Q0 sont présents aussi longtemps que les charges sont présentes dans les bases de ces transistors. Ensuite, ces courants (I_{c1} et I_{c0}) diminuent. Lorsque le transistor Q1 est stimulé, l'évacuation des charges de sa base se déroule plus rapidement grâce au contre-courant photo-induit I_{PH1} présent entre la base et le substrat. La tension V_{BE} diminue plus rapidement. Comme cette tension est commune pour ces deux transistors, lors du passage de tension du niveau haut au niveau bas à l'entrée V5, le courant I_{b0} est avancé tout comme le courant I_{c0} . Finalement, le front descendant du signal V_{out} est avancé (Fig.II-49, Q1).

Comme dans le cas précédent, lorsque le transistor Q0 est stimulé, une partie des charges dans la base de ce transistor s'évacue plus rapidement à cause du contre-courant photo-induit I_{PH1} . Néanmoins, un autre courant photo-induit I_{PH2} existe qui, indépendamment de I_{PH1} , circule entre la base et le collecteur et ainsi maintient le courant de collecteur. Lors du passage de la tension du niveau haut au niveau bas à l'entrée V5, le courant I_{c0} subit un retard. Par conséquent, le front descendant du signal V_{out} subit aussi un retard (Fig.II-49, Q0).

Pour toutes les simulations, nous pouvons remarquer que l'augmentation de la sensibilité des structures en fonction des dimensions de transistors. L'augmentation des surfaces des jonctions PN entraîne l'augmentation du nombre de paires électron-trou qui peuvent participer à la création des photocourants.

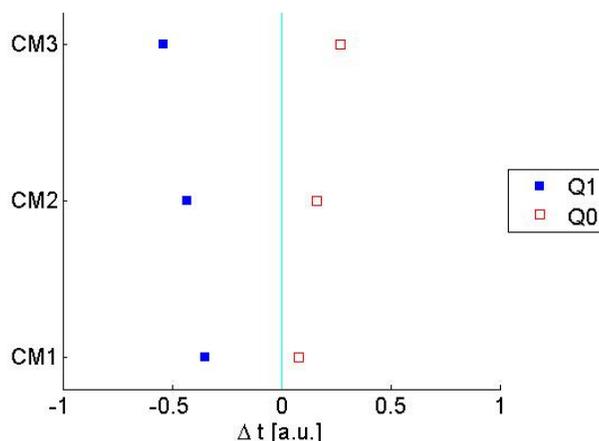


Figure II-49 : Résultats des simulations électriques de l'influence du phénomène photoélectrique sur le décalage du front descendant du signal de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration PNP, induit sur les transistors $Q1$ et $Q0$. Un signal carré périodique d'amplitude $5V@ 5kHz$ est envoyé à l'entrée $V5$.

4.3.1.c. Montage NPN

La figure II-50 résume les résultats des simulations électriques dédiées à l'étude de l'impact du phénomène photoélectrique sur les miroirs de courant en montage NPN. Les courbes noires représentent le signal de sortie V_{out} en l'absence de stimulation photoélectrique. Les courbes rouges en pointillés représentent le signal V_{out} lorsque les structures de test sont soumises à une stimulation photoélectrique laser. Lorsque le transistor $Q1$ est soumis à une stimulation photoélectrique laser, l'amplitude du signal V_{out} augmente, son front montant est avancé et son front descendant est retardé (Fig.II-50a). Inversement, lorsque le transistor $Q2$ est soumis à une stimulation photoélectrique laser, l'amplitude du signal V_{out} diminue, son front montant est retardé et son front descendant est avancé (Fig.II-50b). Dans la suite de ce sous-chapitre, nous allons analyser ces résultats plus en détail.

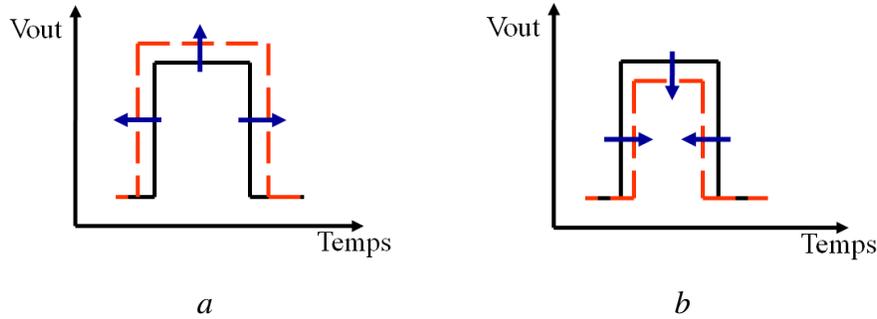


Figure II-50 : Représentation des simulations de l'influence de la stimulation photoélectrique sur le signal de sortie V_{out} des miroirs de courant en montage NPN. Les transistors a. Q1, b. Q2 sont soumis à la stimulation par faisceau laser de $\lambda=1064\text{nm}$.

- Analyse de la variation de l'amplitude du signal de sortie V_{out}

La figure II-51 présente les résultats des simulations électriques pour l'étude de la variation d'amplitude du signal de sortie V_{out} lorsque les transistors Q1 et Q2 sont soumis à une stimulation photoélectrique laser. Lors de la stimulation du transistor Q1 (Fig.II-44a), la structure de miroir de courant se déséquilibre. Selon le modèle établi précédemment, les courants d'émetteur I_{E1} , de collecteur I_{C1} et de base I_{B1} augmentent. En conséquent, la tension V_{BE} diminue. Comme cette tension est commune aux deux transistors, le courant de base I_{B2} diminue aussi. Par conséquent, le courant de collecteur du transistor Q2 diminue. Finalement, conformément à la formule de la figure II-3b, une diminution du courant de collecteur sur le transistor Q2 conduit à une augmentation de la tension à la sortie V_{out} (Fig.II-51, Q1).

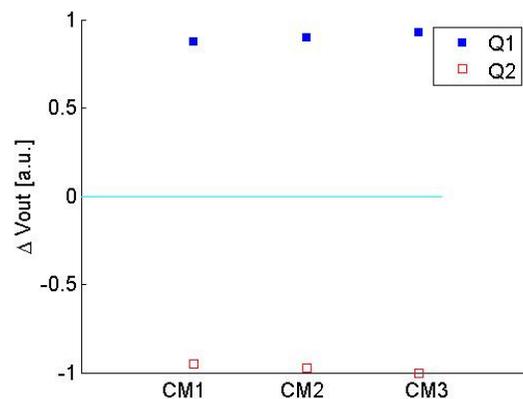


Figure II-51 : Résultats des simulations électriques de l'influence du phénomène photoélectrique sur le niveau de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration NPN, induit sur les transistors Q1 et Q2. Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

La structure de miroir de courant se déséquilibre aussi lorsque le transistor Q2 est stimulé (Fig.II-44b). Selon les modèles établis précédemment, le courant de base I_{B2} augmente (Fig.II-39) ou diminue légèrement (Fig.II-38). Dans tous les cas, nous observons une augmentation importante du courant de collecteur I_{C2} . Cette augmentation provoque une diminution de la tension à la sortie V_{out} (Fig.II-51, Q2).

- Analyse du décalage temporel sur le front montant du signal de sortie V_{out}

La figure II-52 présente les résultats des simulations électriques pour l'étude du décalage temporel induit sur le front montant du signal V_{out} lorsque les transistors Q1 et Q2 sont soumis à une stimulation photoélectrique laser. Nous nous intéressons avant tout au signe du décalage temporel du signal.

Dans les transistors bipolaires, la durée du front montant du courant de collecteur correspond au temps de charge de la base par les porteurs minoritaires injectés. Lorsque le signal de tension à l'entrée V_5 bascule du niveau bas (régime bloqué du transistor) au niveau haut (régime linéaire du transistor), la tension V_{BE} augmente ainsi que les courants I_{B1} et I_{B2} . Ensuite, les courants I_{C1} et I_{C2} augmentent avec un certain retard. Chacun de ces courants est proportionnel à la charge des porteurs minoritaires en excès. Maintenant, lorsque le transistor Q1 est stimulé, son courant I_{C1} augmente plus rapidement en présence du courant photo-induit I_{PH1} circulant dans la même direction que le courant de fonctionnement normal. Le courant I_{B1} augmente aussi plus rapidement en présence du courant photo-induit I_{PHd} circulant dans la même direction que le courant de fonctionnement normal. Par conséquent, l'augmentation de la tension V_{BE} , commune pour les deux transistors, est accélérée. La charge de la base du transistor Q2 subit aussi une accélération et par conséquent, l'augmentation du courant I_{C2} débute plus rapidement. Finalement, le front montant du signal V_{out} est retardé (Fig.II-52, Q1).

Lorsque le transistor Q2 est stimulé, l'augmentation du courant I_{B2} est soit légèrement retardée (selon le modèle de la Fig.II-38) par le contre-courant photo-induit I_{PH2} , soit avancée par les courants photo-induit I_{PHd1} et I_{PHd1} circulant dans la même direction que le courant de fonctionnement normal (Fig.II-39). Néanmoins, il existe un autre courant photo-induit I_{PH1} qui, indépendamment des autres photocourants, circule entre le collecteur et le substrat. Lors du basculement de tension du niveau bas au niveau haut à

l'entrée V5, même si la base de ce transistor se charge plus lentement, le courant I_{c2} est avancé. Par conséquent, le front montant du signal V_{out} subit un retard (Fig.II-52, Q2).

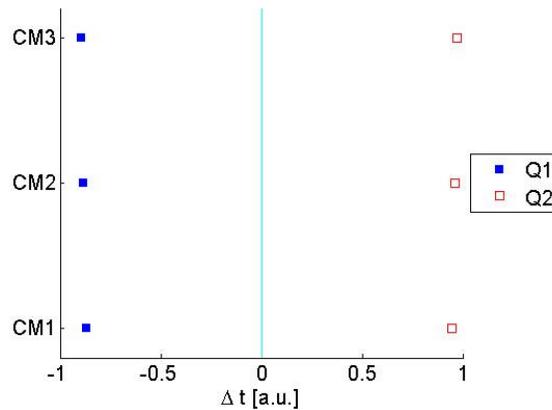


Figure II-52 : Résultats des simulations électriques de l'influence du phénomène photoélectrique sur le décalage du front montant du signal de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration NPN, induit sur les transistors Q1 et Q2. Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

- Analyse du décalage temporel sur le front descendant du signal de sortie V_{out}

La figure II-53 présente les résultats des simulations électriques dédiées à l'étude du décalage temporel induit sur le front descendant du signal V_{out} lorsque les transistors Q1 et Q2 sont soumis à une stimulation photoélectrique laser. Comme dans le cas précédent, nous nous intéressons surtout au signe du décalage temporel du signal.

Rappelons que dans les transistors bipolaires, la durée du front descendant du courant de collecteur correspond au temps d'écoulement des porteurs en excès se trouvant dans la base. Lorsque la tension à l'entrée V5 passe du niveau haut (régime linéaire du transistor) au niveau bas (régime bloqué du transistor), les courants dans les collecteurs des transistors Q1 et Q2 sont présents aussi longtemps que les charges sont présentes dans les bases de ces transistors. Ensuite, ces courants (I_{c1} et I_{c2}) atteignent les valeurs minimales. Lorsque le transistor Q1 est stimulé, l'évacuation des charges de sa base se déroule plus lentement à cause du courant photo-induit I_{PHd} circulant dans la même direction que le courant normal. En effet, nous observons plus de charges que dans le cas d'équilibre. Le courant I_{c1} diminue aussi plus lentement à cause du courant photo-induit I_{PHi} circulant dans la même direction que le courant de fonctionnement normal. Par conséquent, la tension V_{BE} diminue plus lentement. Comme cette tension est commune aux deux transistors, lors du basculement de tension du niveau haut au niveau bas à l'entrée V5, le

courant I_{b2} subit un retard. De même, le courant I_{c2} subit un retard. Finalement, le front descendant du signal V_{out} est avancé (Fig.II-53, Q1).

Lorsque le transistor Q2 est stimulé, l'évacuation des charges de la base de ce transistor est soit légèrement accélérée (selon le modèle de la Fig.II-38) grâce au contre-courant photo-induit I_{PHi2} , soit retardée (selon le modèle de la Fig.II-39) en présence des courants photo-induit I_{PHd1} et I_{PHi1} circulant dans la même direction que le courant de fonctionnement normal. Néanmoins, dans les deux cas il existe un autre courant photo-induit I_{PHi2} qui indépendamment des autres photocourants circule entre la base et le substrat. Il retarde la diminution du courant de collecteur lors du passage de tension du niveau haut au niveau bas à l'entrée V5. Par conséquent, le front descendant du signal V_{out} est avancé (Fig.II-53, Q2).

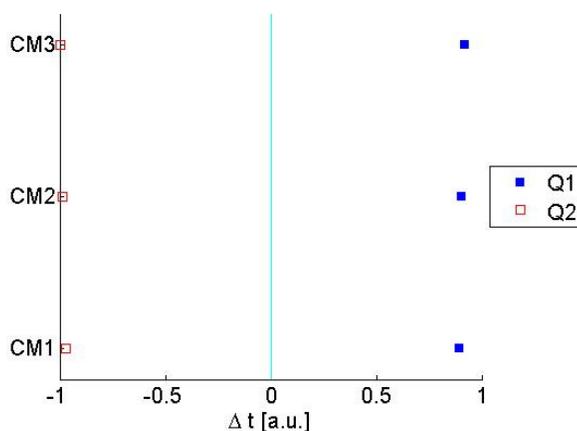


Figure II-53 : Résultats des simulations électriques de l'influence du phénomène photoélectrique sur le décalage du front descendant du signal de sortie V_{out} de l'ensemble des miroirs de courant montés en configuration NPN, induit sur les transistors Q1 et Q2. Un signal carré périodique d'amplitude 5V@ 5kHz est envoyé à l'entrée V5.

Pour toutes les simulations, nous pouvons remarquer que l'augmentation de la sensibilité des structures est liée à l'augmentation des dimensions de transistors. L'augmentation des surfaces des jonctions PN se traduit par une augmentation du nombre de paires électron-trou qui peuvent participer à la création des photocourants.

4.3.2. Level shifter

Pour simuler le comportement des *levels shifter* en mode dynamique, nous avons réalisé des simulations transitoires. Le signal carré d'amplitude 2,5V et de fréquence 5kHz a été

envoyé à l'entrée V_{IN} . Nous avons observé les variations induites dans le signal de sortie V_{out} lorsque le fonctionnement d'un seul transistor MOS et les autres transistors fonctionnent normalement (Fig.II-54a-d). Plus particulièrement, nous nous sommes intéressés au décalage induit sur le front montant et sur le front descendant du signal de sortie V_{out} (Fig.II-55). Nous avons extrait uniquement les valeurs du décalage mesuré à mi-hauteur du front montant et du front descendant lorsque les transistors se trouvent dans le régime de fonctionnement saturé. Nous considérons que l'énergie amenée par le phénomène photoélectrique n'est pas suffisante pour affecter le régime de fonctionnement des transistors qui reste inchangé. Ces simulations ne tiennent pas compte des effets thermiques.

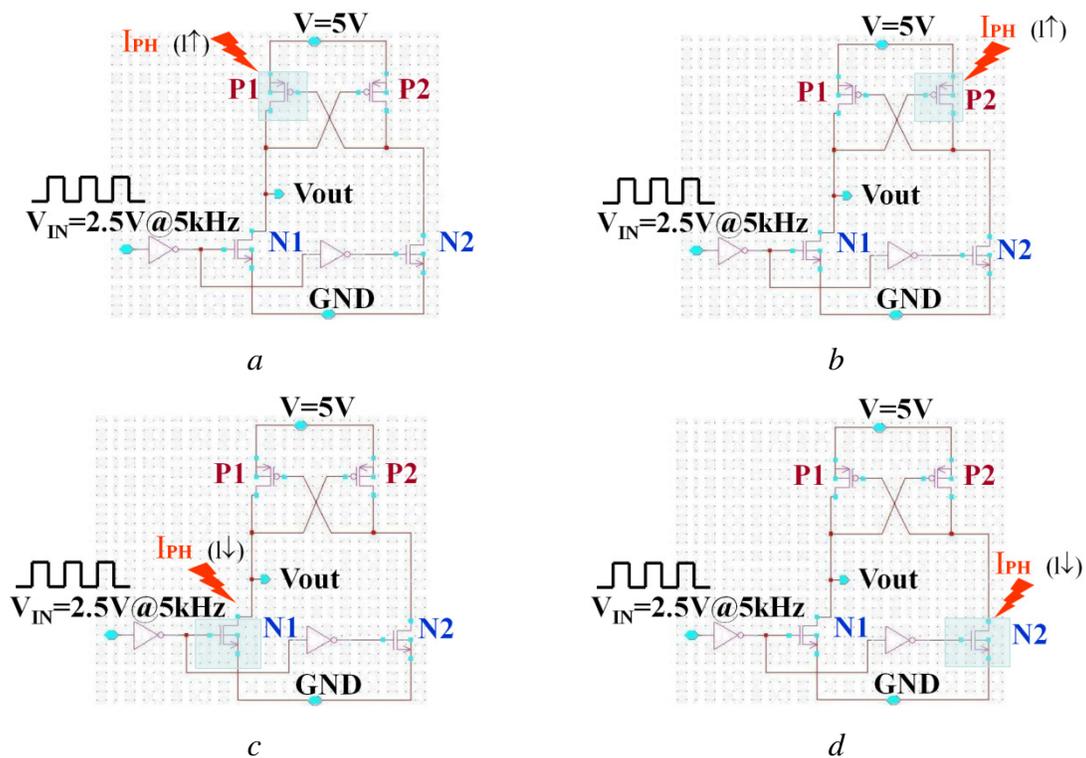


Figure II-54 : Représentation des configurations électriques utilisées dans les simulations du phénomène photoélectrique induit dans les levels shifter. Le faisceau laser stimule les transistors a. P1, b. P2, c. N1 et d. N2.

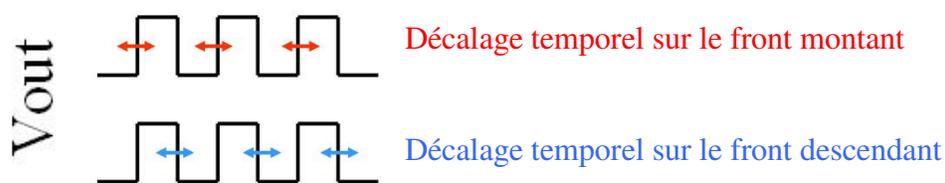


Figure II-55 : Paramètres observés à la sortie V_{out} des levels shifter.

La figure II-56 résume les résultats des simulations électriques dédiées à l'étude de l'impact du phénomène photoélectrique sur les *levels shifter*. Les courbes noires continues représentent le signal de sortie V_{out} en l'absence de stimulation photoélectrique. Les courbes rouges en pointillés représentent le signal V_{out} lorsque les structures de test sont soumises à une stimulation photoélectrique laser. Lorsque le transistor P1 est soumis à une stimulation photoélectrique laser le front montant du signal V_{out} est avancé et le front descendant du même signal est retardé (Fig.II-56a). Inversement, lorsque le transistor P2 est soumis à une stimulation photoélectrique laser, le front montant du signal V_{out} est retardé et le front descendant du même signal est avancé (Fig.II-56b). Lorsque le transistor N1 est soumis à une stimulation photoélectrique laser le front montant du signal V_{out} est retardé légèrement et le front descendant est avancé (Fig.II-56c). Lorsque le transistor N2 est soumis à une stimulation photoélectrique laser, aucune variation n'est détectée dans le signal V_{out} (Fig.II-56d). Dans la suite de ce sous-chapitre, nous allons analyser ces résultats plus en détail.

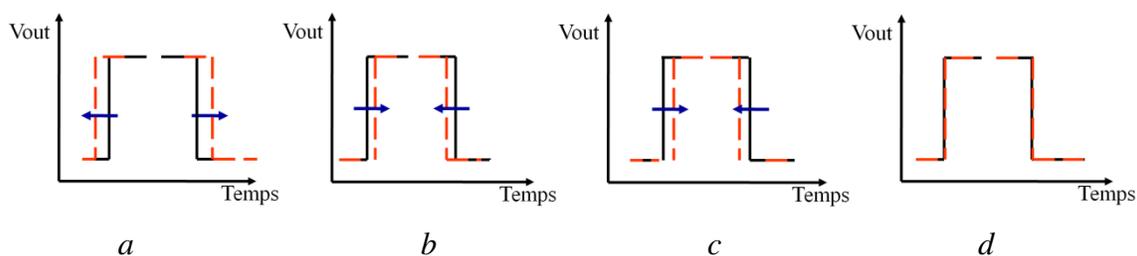


Figure II-56 : Représentation des simulations de l'effet photoélectrique sur la sortie V_{out} des levels shifter lorsque les transistors a. P1, b. P2, c. N1 et d. N2 sont soumis à la stimulation par faisceau laser de longueur d'onde 1064nm.

- Analyse du décalage temporel sur le front montant du signal de sortie V_{out}

La figure II-57 présente les résultats des simulations du phénomène photoélectrique induit dans les transistors MOS (P1, P2, N1 ou N2), enregistrés pour le front montant du signal V_{out} . Comme dans le cas du phénomène photo-thermique, plus grande est la

surface d'un transistor, plus fort est l'impact du phénomène photoélectrique sur la sortie V_{out} . De plus, l'effet de la stimulation des transistors MOS dont la sortie est directement connectée au nœud V_{out} est plus important sur la sortie V_{out} que lorsque les transistors sont indirectement connectés à ce nœud. Lors des simulations, le décalage temporel le plus important est induit par la stimulation photoélectrique laser du transistor P1 (Fig.II-57, P1). Entre les deux transistors P1 et N1 directement connectés au nœud V_{out} , le transistor P1 est de plus grande dimension. Conformément à notre modèle (Fig.II-42), le signal de sortie est avancé. Le transistor N1 soumis à une stimulation photoélectrique laser induit un décalage moins important que le transistor P1. Il est plus petit en surface et la configuration électrique des *levels shifter* impose que les champs électriques sont moins élevés (tension de grille des transistors NMOS est plus basse). Conformément au modèle de la figure II-42, le signal de sortie est retardé. Les deux transistors P2 et N2 dont la sortie n'est pas directement connectée au nœud de mesure ont peu d'influence voire aucune influence. Le transistor P2 soumis à une stimulation photoélectrique laser induit un retard du signal V_{out} . Nous observons aussi que l'influence du phénomène photoélectrique diminue légèrement avec la diminution de la taille du transistor.

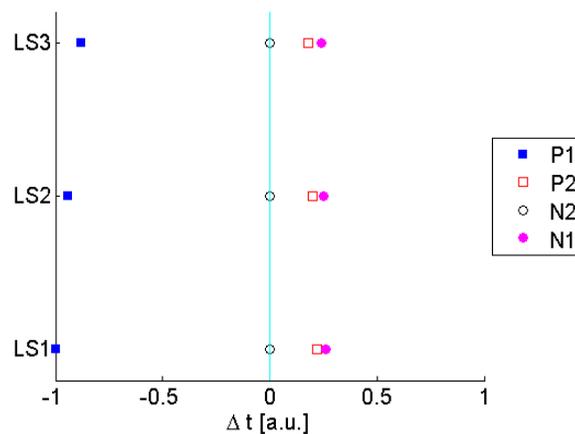


Figure II-57 : Résultats des simulations électriques de l'influence du phénomène photoélectrique sur le décalage du front montant du signal de sortie V_{out} induit dans l'ensemble des *levels shifter*. Les transistors P1, P2, N1 et N2 sont stimulés un après l'autre. Un signal carré périodique d'amplitude 2,5V@ 5kHz est envoyé sur l'entrée V_{IN} .

- Analyse du décalage temporel sur le front descendant du signal de sortie V_{out}

La figure II-58 présente les résultats des simulations du phénomène photoélectrique induit dans les transistors MOS (P1, P2, N1 ou N2), enregistrés pour le front descendant

du signal V_{out} . Comme dans le cas du phénomène photo-thermique, plus grande est la surface d'un transistor, plus forte est l'influence du phénomène photoélectrique sur la sortie V_{out} . De plus, la contribution des transistors directement connectés à la sortie V_{out} est plus importante que celle des transistors indirectement connectés à V_{out} . Lors des simulations, le décalage temporel le plus important est induit par la stimulation photoélectrique laser du transistor P1 (Fig.II-58, P1). Entre deux transistors P1 et N1 directement connectés au nœud V_{out} , le transistor P1 est de plus grande taille. Conformément à notre modèle (Fig.II-42) le signal de sortie est retardé. Le transistor N1 soumis à une stimulation photoélectrique laser induit un décalage moins important que le transistor P1 soumis à une stimulation photoélectrique. Conformément au modèle de la figure II-42 le signal de sortie est avancé. Les deux transistors P2 et N2 dont la sortie n'est pas directement connectée au nœud de mesure ont peu d'influence voire aucune influence. Le transistor P2 soumis à une stimulation photoélectrique laser induit une avance du signal V_{out} . Nous observons aussi que l'impact du phénomène photoélectrique diminue légèrement lorsque la taille des transistors diminue.

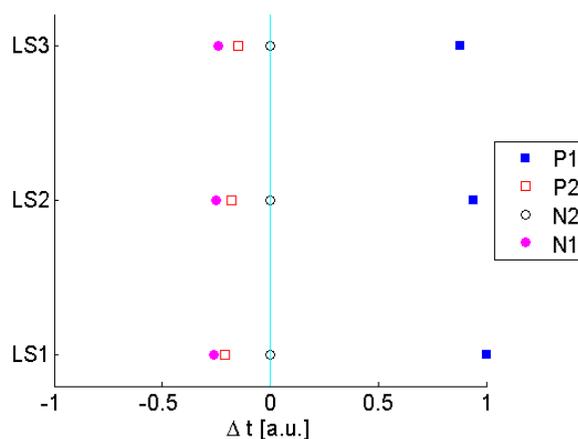


Figure II-58 : Résultats des simulations électriques illustrant l'influence du phénomène photoélectrique sur le décalage du front descendant du signal de sortie V_{out} de l'ensemble des levels shifter. Les transistors P1, P2, N1 et N2 sont stimulés un après l'autre. Un signal carré périodique d'amplitude 2,5V@ 5kHz est envoyé sur l'entrée V_{IN} .

4.4. Conclusion

Le tableau II-3 résume les résultats de simulation de l'influence du phénomène photoélectrique sur les structures de test élémentaires. Une meilleure compréhension des

effets de l'interaction entre le faisceau laser photoélectrique et les transistors de ces structures nous conduira à une meilleure compréhension et interprétation des résultats expérimentaux.

Structure stimulée	Signe de la variation induite dans le signal de sortie		
	Amplitude	Front montant	Front descendant
Miroir de courant PNP			
Q0	+	+	-
Q1	-	-	+
Miroir de courant NPN			
Q1	+	+	-
Q2	-	-	+
Level shifter			
P1		+	-
N1		-	+
P2		-	+
N2		/	/

Tableau II-3 : Synthèse des résultats de simulations du décalage temporel et de l'amplitude induits par stimulation photoélectrique dans les différents structures de test ; + signal avancé ou augmentation de l'amplitude, - signal retardé ou diminution de l'amplitude, / variation non détectée.

5. CONCLUSION

Dans le chapitre II, nous avons présenté une méthodologie approfondie pour l'analyse et la compréhension des cartographies de stimulation par faisceau laser obtenues sur les CI en fonctionnement dynamique. Cette méthodologie a pour but de différencier les zones naturellement sensibles des zones défailtantes ou responsables d'une marginalité fonctionnelle. Dans la suite de ce chapitre, nous avons modélisé puis simulé l'impact des phénomènes photo-thermique et photoélectrique sur deux types de structures en mode de fonctionnement dynamique. De par leur forte présence dans les CI mixtes, les structures que nous avons choisies sont : un miroir de courant en montage PNP et NPN et une

bascule de niveaux de tension (*level shifter*). Lors de cette étude, nous avons tout d'abord analysé l'influence de ces phénomènes sur le comportement électrique des transistors bipolaires (PNP et NPN) et MOSFET (NMOS et PMOS) isolés. Nous avons ensuite procédé à l'analyse des structures auxquelles ces transistors sont intégrés. Des modèles simples permettant une analyse qualitative ont ainsi pu être proposés.

Il est bien connu qu'une faible perturbation induite dans un CI mixte ou analogique via la stimulation par faisceau laser peut altérer les paramètres électriques du circuit et par la suite perturber le signal de sortie. Dans les blocs analogiques, ce signal de sortie risque de subir une perturbation plus critique que pour des blocs logiques. Une faible perturbation au niveau transistor peut entraîner une importante perturbation du signal analogique de sortie.

Pour les défauts de type *statique*, il n'est pas nécessaire de modéliser l'interaction entre le faisceau laser et le circuit alimenté et configuré. En effet, il est relativement aisé de localiser le défaut à partir d'une cartographie qui contient un point très sensible. Généralement, des fonctions simples sont exécutées par le circuit et peu de blocs sont alors activés. Dans certains cas l'analyse peut se révéler plus compliquée. Néanmoins, il reste possible de localiser précisément un problème avec l'aide de quelques mesures sous pointes supplémentaires.

En revanche, lors d'une analyse dynamique à l'aide de laquelle nous cherchons à localiser un défaut de type *soft* ou une marginalité, le problème devient plus compliqué. Des fonctions plus complexes sont alors exécutées par le circuit où souvent de nombreux blocs sont activés. Il existe plusieurs paramètres observables, par exemple le temps de montée/descente, le décalage temporel, la phase, le temps de cycle du signal... L'intérêt d'observer plusieurs paramètres résulte de l'apport complémentaire d'informations sur les zones sensibles du CI. En fonction de la configuration électrique de ce dernier et du paramètre mesuré, la sensibilité de certaines zones peut être modifiée et rendre difficile leur localisation. Nous mentionnons ici le phénomène mais ne l'approfondirons pas plus dans ce manuscrit. Cependant, nous pouvons constater que les cartographies faites sur le CI en mode dynamique à l'aide des paramètres mentionnés précédemment sont beaucoup plus complexes à analyser que celles faites sur le CI en mode statique. De plus, les cartographies des blocs analogiques contiennent souvent des zones naturellement

sensibles dont la sensibilité peut être plus forte que celle d'une zone défailante. Finalement, avec l'augmentation de la complexité des CI (nombre de transistors, de couches de métal...), l'accès à certains signaux n'est plus aussi aisé qu'auparavant et la faisabilité de mesures supplémentaires sous pointes est donc très limitée. Notre nouvelle méthodologie intervient précisément à ce niveau.

Dans notre étude, nous nous sommes limités à trois paramètres électriques : le décalage temporel sur le front montant, le décalage temporel sur le front descendant et l'amplitude du signal de sortie. Ces paramètres sont en effet suffisants pour évaluer la fiabilité de la méthodologie proposée. Il serait néanmoins tout à fait envisageable et intéressant d'analyser d'autres paramètres.

Dans le chapitre III, nous allons présenter des résultats expérimentaux pour lesquels les paramètres précédemment cités ont été mesurés dans le but d'évaluer le degré de corrélation entre les simulations du chapitre II et les cartographies obtenues. Cela nous permettra de valider notre méthodologie et de prouver de sa grande utilité dans un contexte industriel.

CHAPITRE III :

EXPERIMENTATIONS ET VALIDATION DE LA METHODOLOGIE

1. BANC DE MESURE

Pour nos expérimentations nous utilisons deux techniques : DVM (ang. *Delay Variation Mapping*) et SDL analogique (ang. *Soft Defect Localization*). Grâce à la technique DVM nous pouvons observer un décalage temporel induit sur le front montant ou descendant du signal de sortie des structures soumises à la stimulation par faisceau laser. La technique SDL analogique permet de mesurer périodiquement une variation de l'amplitude du signal de sortie lors du balayage des structures par le faisceau laser. Pour appliquer ces techniques nous avons utilisé deux bancs de mesure différents. Le premier banc de mesure est présenté sur la figure III-1. Ce banc de mesure est universel, car il permet d'obtenir une cartographie des zones sensibles ou défailtantes à partir de n'importe quel paramètre électrique mesuré par l'oscilloscope. Cette méthodologie s'inspire des développements réalisés sur la plateforme ATLAS du Laboratoire IMS [POU98]. Le signal AC est envoyé sur l'entrée IN de la structure de test lorsque celle-ci est soumise à une stimulation par faisceau laser. Grâce à l'oscilloscope, nous pouvons sélectionner un paramètre qui sera mesuré à la sortie OUT de la structure de test pour ensuite être converti en niveau de tension et finalement envoyé sur l'unité de traitement d'image. Afin d'effectuer cette conversion, nous avons utilisé une version modifiée d'un logiciel dédié² qui récupère les mesures du paramètre donné, les convertit en niveau de tension de sorte que les valeurs de cette tension ne dépassent pas les valeurs maximales de l'unité de traitement d'image. Ensuite, le signal de tension est envoyé via la sortie AUX de l'oscilloscope à l'unité de traitement d'image qui le convertit en niveau de gris. La position du faisceau laser est corrélée avec la valeur de la tension mesurée (niveau de gris). Nous obtenons ainsi une cartographie des zones sensibles ou défailtantes.

Dans ce *setup*, il n'est pas nécessaire de synchroniser le déplacement du faisceau laser avec le signal de sortie de la structure de test OUT. Néanmoins, il est important de s'assurer que le temps d'exposition laser d'un pixel (ang. *pixel dwell time*) soit suffisamment long pour que l'application exécutée par l'oscilloscope puisse traiter et envoyer les données mesurées à l'unité de traitement d'image. Lors de l'expérimentation nous avons estimé la valeur moyenne de ce temps à 7ms. L'avantage du banc de mesure

² Nous remercions Docteur K. Sanchez pour nous avoir fourni les sources.

présenté ci-dessous est sa simplicité d'utilisation. Pour obtenir les cartographies de différents paramètres, il suffit juste de sélectionner sur l'oscilloscope le paramètre désiré. De plus, cette configuration garantit que le signal envoyé sur l'unité de traitement d'image ne dépasse pas les consignes. Il est facile d'acquérir les cartographies pour les comparer par la suite. L'inconvénient de ce *setup* est la précision de mesure qui n'est pas aussi bonne que celle que l'on pourrait espérer obtenir à l'aide d'un outil dédié. Par exemple, notre oscilloscope est capable de faire des mesures de décalage du front montant du signal avec une précision de l'ordre d'une centaine de nanosecondes. L'outil dédié, le convertisseur temps-amplitude (ang. *TAC : Time to Amplitude Converter*), possède une précision de 50 ps. Un autre inconvénient déjà mentionné est le temps d'exposition laser d'un pixel qui est assez élevé (7ms).

Le *setup* de la figure III-1 a été utilisé pour acquérir toutes les cartographies SDL analogique et la majorité des cartographies DVM qui seront présentées par la suite.

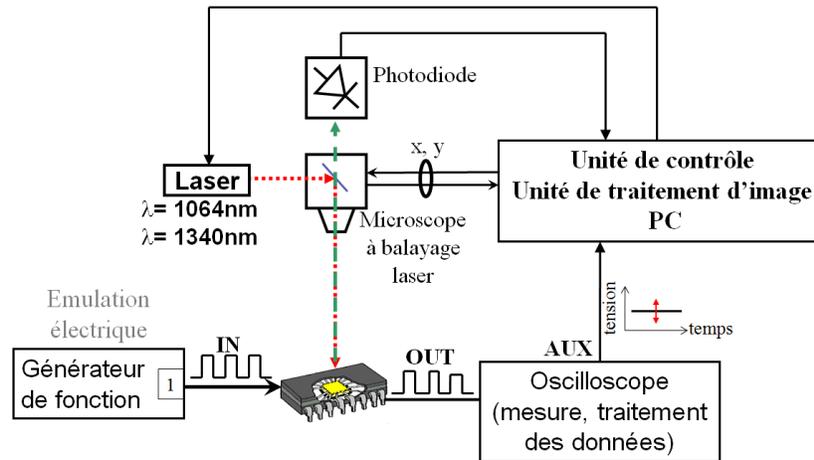


Figure III-1 : Banc de mesure universel utilisé lors de la localisation des zones sensibles ou défaillantes à l'aide des techniques de stimulation par faisceau laser. Une variation d'un paramètre électrique donné mesurable par un oscilloscope peut être visualisée grâce à ce montage.

Le deuxième banc de mesure est présenté sur la figure III-2. Ce banc de mesure est uniquement dédié à la réalisation de cartographies laser où le paramètre mesuré est le décalage temporel induit par stimulation laser sur un front montant ou descendant du signal. Le signal AC est connecté à l'entrée IN de la structure de test lorsque celle-ci est soumise à une stimulation par faisceau laser. Grâce au TAC, nous pouvons mesurer un

décalage temporel induit sur le front montant ou descendant du signal de sortie OUT de la structure de test. Cet outil permet également de convertir ce décalage temporel en niveau de tension. A la sortie du TAC, nous obtenons une impulsion d'amplitude variable en fonction du décalage mesuré qui est par la suite envoyée sur l'unité de traitement d'image. Il est important de s'assurer que l'amplitude de cette impulsion ne dépasse pas les valeurs de tension maximales de l'unité de traitement d'image. Comme dans le *setup* précédent, l'unité de traitement d'image convertit le signal reçu du TAC en niveau de gris. Une corrélation entre la position du faisceau laser et la valeur de tension mesurée (niveau de gris) donne une cartographie des zones sensibles ou défailtantes.

Ce banc de mesure impose une synchronisation entre le déplacement du faisceau laser, le signal de sortie de la structure de test OUT et la sortie du TAC. L'avantage du banc de mesure présenté ci-dessous est la résolution temporelle de mesure qui est de 5ps. Son inconvénient est sa complexité liée à la synchronisation des signaux. Il est beaucoup moins facile d'acquérir les cartographies dans le but de les comparer. De plus, il existe un risque d'endommagement de l'unité de traitement d'image car cette configuration ne garantit pas que le signal appliqué respecte les consignes.

Le banc de mesure de la figure III-2 a été utilisé pour acquérir une cartographie DVM et pour les cas d'étude.

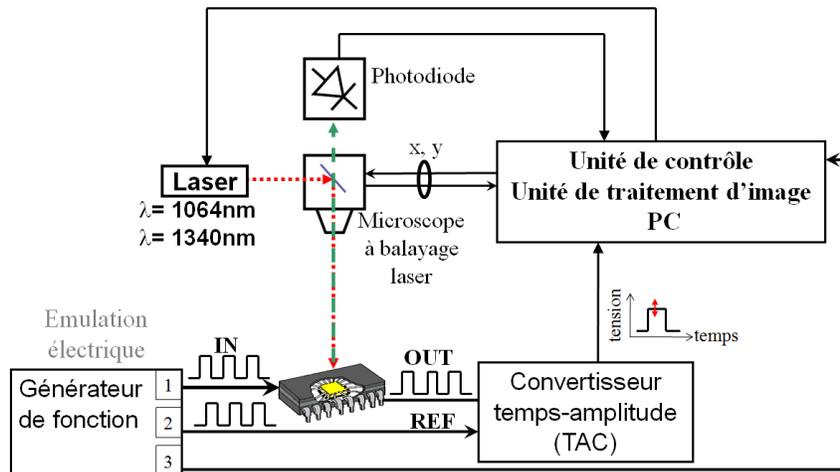


Figure III-2 : Banc de mesure utilisé lors de la localisation des zones sensibles ou défailtantes à l'aide d'une technique de stimulation par le faisceau laser DVM (ang. Delay Variation Mapping). Un décalage temporel induit sur le front montant ou descendant du signal de sortie OUT par le phénomène photo-thermique ou photoélectrique peut être mesuré et visualisé grâce à ce montage.

2. STRUCTURES DE TEST : EXPERIMENTATIONS ET VALIDATION DE LA METHODOLOGIE

Toutes les cartographies ont été réalisées sur une puce électronique qui contient toutes les structures de test. Elle a été ouverte par la face arrière et sa couche de silicium a été amincie pour atteindre une épaisseur de 100 μ m. Sauf contre-indication, le banc de mesure de la figure III-1 a été utilisé pour toutes les expérimentations. Pour chacun des résultats nous avons utilisé un objectif 50x avec un zoom numérique 2x. Pour chaque type de structure et chaque paramètre, deux cartographies sont présentées, correspondant, respectivement, à la plus petite et la plus grande structure. La figure III-3 présente la technique avec laquelle le signal *Vout* a été mesuré et converti en niveaux de gris pour obtenir des cartographies SDL analogiques et DVM. Pour toutes les cartographies, la variation du signal *Vout* (les courbes verte et rouge en pointillés : Laser ON) est mesurée par rapport au signal de référence (la courbe noire en pointillés). Ensuite, cette valeur mesurée est convertie en niveaux de gris selon l'échelle présentée sur la figure III-3. Les zones où la stimulation par faisceau laser n'induit aucun changement dans le signal *Vout* sont représentées par une couleur grise sur les cartographies (la courbe violette en continu). Lorsque la technique SDL analogique est appliquée, le signal *Vout* est mesuré périodiquement à l'instant *t*, comme le présente la figure III-3. Sur les cartographies, l'augmentation du signal est représentée par une couleur claire et la diminution du signal est représentée par une couleur foncée. Lorsque la technique DVM est appliquée, le signal *Vout* est mesuré lorsqu'il atteint 50% de son amplitude maximale. Sur les cartographies, l'avance du front montant du signal *Vout* est représentée par une couleur claire et le retard induit sur le front montant correspond à une couleur foncée. Inversement, lorsqu'on mesure une variation dans le front descendant du signal *Vout*, le signal avancé correspond à une couleur foncée sur les cartographies et le signal retardé correspond à une couleur claire sur les cartographies.

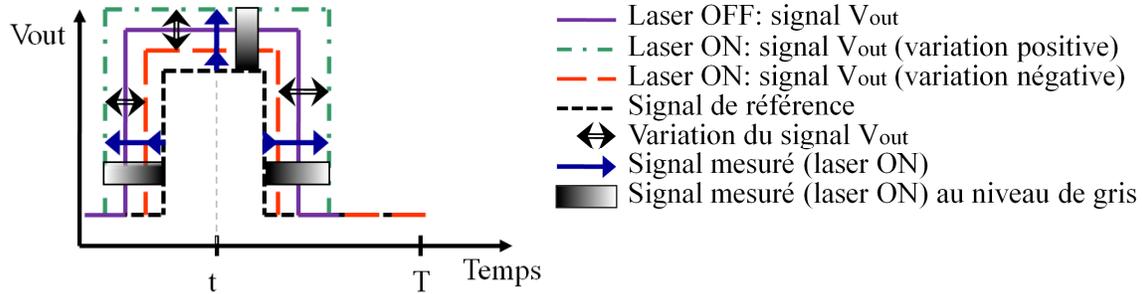


Figure III-3 : Résumé du setup de mesures lors des techniques SDL analogique et DVM (front montant et descendant) sont appliquées sur les structures de test.

2.1. Phénomène thermique

2.1.1. Miroirs de courants

Le *setup* électrique utilisé lors des expérimentations est exactement le même que celui utilisé lors des simulations présentées dans le chapitre II. Le signal carré périodique d'amplitude de 5V à 5kHz est envoyé à l'entrée V5 de chaque structure du miroir de courant.

Les cartographies SDL analogiques des miroirs de courant en montage PNP et NPN sont comparables entre elles car les mêmes conditions de mesures ont été appliquées et la même échelle de variation a été utilisée. Les cartographies DVM (fronts montant et descendant) des miroirs de courant en montage PNP sont comparables entre elles. Il en est de même pour les cartographies associées au montage NPN pour lesquelles l'échelle de variation du signal mesuré a été choisie plus large que pour le montage PNP.

2.1.1.a. Montage PNP

La figure III-4 présente les résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage PNP. Nous remarquons que toute la zone active est sensible au phénomène photo-thermique. Lorsque le transistor Q1 est soumis à la stimulation par faisceau laser, l'amplitude du signal de sortie V_{out} diminue (couleur noire). Lorsque le transistor Q0 est soumis à la stimulation par faisceau laser, l'amplitude du signal de sortie V_{out} augmente (couleur blanche). La variation du signal V_{out} est plus importante dans le cas du transistor Q0. La variation du signal est plus forte au niveau des contacts de bases et d'émetteur. Des réflexions au niveau métallique et la dissipation thermique contribuent à une faible variation du signal au niveau de la couche de métal 1. Nous observons aussi une faible variation aux extrémités des résistances, au

niveau des contacts métal 1 - polysilicium. Cette variation du signal est due à l'échauffement du thermocouple associé à ces contacts. Remarquons aussi que l'influence du phénomène photo-thermique sur le signal de sortie V_{out} est d'autant plus importante que la dimension de la structure est grand. Nous pouvons en effet enregistrer une plus grande variation du signal V_{out} .

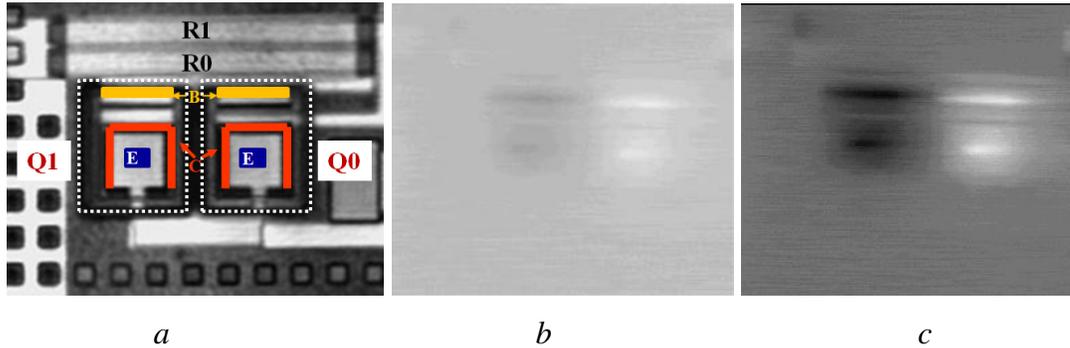


Figure III-4 : Résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage PNP. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM1 (lémetteur=2,5µm), c. cartographie du miroir de courant CM3 (lémetteur=4,5µm). $P_{laser}=25mW$, $\lambda_{laser}=1340nm$, $t_{pixel}=13ms$.

Les figures III-5 et III-6 présentent les résultats expérimentaux de l'application de la technique DVM sur les miroirs de courant en montage PNP, respectivement pour le front montant et descendant. Lorsque le transistor Q1 est soumis à la stimulation par faisceau laser, le front montant du signal de sortie V_{out} est retardé (Fig.III-5) et le front descendant du même signal est avancé (Fig.III-6). Lorsque le transistor Q0 est soumis à la stimulation par faisceau laser, le front montant du signal de sortie V_{out} est avancé (Fig.III-5) et le front descendant est retardé (Fig.III-6). La variation du signal est plus importante dans le cas du transistor Q0. La qualité de ces cartographies est moins bonne que dans le cas de l'application de la technique SDL analogique. Ceci est dû au phénomène photo-thermique qui malgré une assez forte puissance de laser utilisée (50mW) induit une très faible variation temporelle dans le signal V_{out} (au dessous de la microseconde). Par conséquent, le banc de mesure fonctionne en limite de détection. Néanmoins, nous pouvons remarquer sur ces deux figures que les zones les plus sensibles se situent au niveau des contacts de base et d'émetteur ainsi qu'au niveau des contacts métal 1 - polysilicium aux extrémités des résistances (surtout R1). Nous observons aussi

que la variation du signal de sortie V_{out} est légèrement plus importante lorsque nous enregistrons la variation induite dans le front montant plutôt que dans le front descendant. Remarquons aussi que plus grande est la taille de la structure, plus le phénomène photo-thermique influe sur le signal de sortie V_{out} (par exemple, Fig.III-5b versus Fig.III-5c).

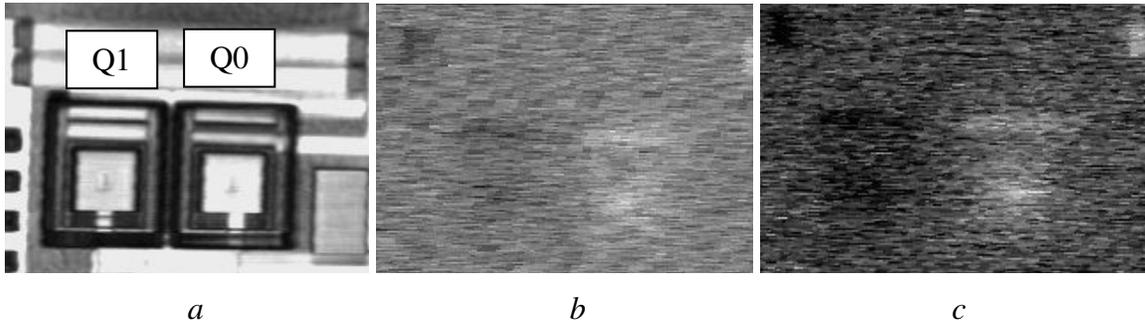


Figure III-5 : Résultats expérimentaux de l'application de la technique DVM sur front montant pour les miroirs de courant en montage PNP. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM1 ($l_{émetteur}=2,5\mu m$), c. cartographie du miroir de courant CM3 ($l_{émetteur}=4,5\mu m$). $P_{laser}=50mW$, $\lambda_{laser}=1340nm$, $t_{pixel}=7ms$.

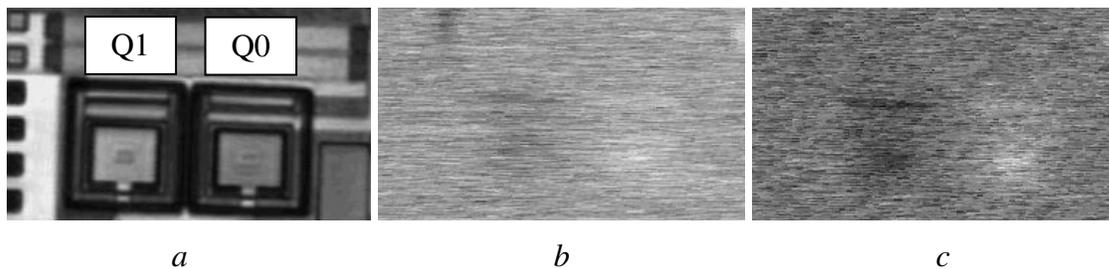


Figure III-6 : Résultats expérimentaux de l'application de la technique DVM sur front descendant pour les miroirs de courant en montage PNP. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM1 ($l_{émetteur}=2,5\mu m$), c. cartographie du miroir de courant CM3 ($l_{émetteur}=4,5\mu m$). $P_{laser}=50mW$, $\lambda_{laser}=1340nm$, $t_{pixel}=7ms$.

Les résultats expérimentaux présentés ci-dessus sont bien corrélés avec les résultats de simulations présentés dans le chapitre II.3.3.1.b. Le signe de variation de l'amplitude du signal V_{out} et des décalages temporels des fronts montant et descendant ont été correctement prédits par les simulations électriques. De plus, les deux approches montrent bien que la contribution du transistor Q0 est la plus importante. Finalement, les mêmes résultats ont été obtenus pour la détection du décalage temporel du signal ; le front montant varie plus lorsque la structure est soumise à la stimulation par faisceau laser ($\lambda=1340nm$). En ce qui concerne les résistances, lors des expérimentations nous ne

notons pas de sensibilité lorsqu'ils ont été soumis à la stimulation photo-thermique laser, à l'exception des thermocouples. Les simulations ont toutefois montré que ces composants stimulés ont une influence moins forte sur le signal de sortie V_{out} que les transistors bipolaires. L'erreur de prévision vient probablement de l'hypothèse que la variation de température induite dans les transistors est la même que dans les résistances. En réalité, cette variation de température est plus faible pour les résistances. En effet, pour les éléments étudiés les coefficients thermiques de transistors influent plus sur la variation de leurs paramètres électriques comparés aux coefficients de température de résistance. Si nous tenons compte de ceci, la variation du signal de sortie V_{out} simulée devient quasi nulle.

2.1.1.b. Montage NPN

La figure III-7 présente les résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage NPN. Nous remarquons que toute la zone active est sensible au phénomène photo-thermique. Lorsque le transistor Q1 est soumis à la stimulation par faisceau laser, l'amplitude du signal de sortie V_{out} augmente (couleur blanche). Lorsque le transistor Q2 est soumis à la stimulation par faisceau laser, l'amplitude du signal de sortie V_{out} diminue (couleur noire). La variation du signal V_{out} est plus importante dans le cas du transistor Q1. Pour les deux transistors la variation du signal est plus importante au niveau des contacts des émetteurs et des bases. Au niveau des contacts des collecteurs nous observons une sensibilité moindre. Comme pour les structures en montage PNP, l'augmentation de la température des zones métallisées est plus importante, ceci étant dû aux réflexions du faisceau laser. De plus, l'effet de la dissipation thermique contribue à l'augmentation de la température au voisinage de l'endroit visé et induit ainsi une faible variation du signal V_{out} . En revanche, aucune variation n'est observée sur les résistances. Remarquons aussi que plus grande est la dimension de la structure, plus le phénomène photo-thermique influe sur le signal de sortie V_{out} , la variation enregistrée sur le signal V_{out} est alors plus importante.

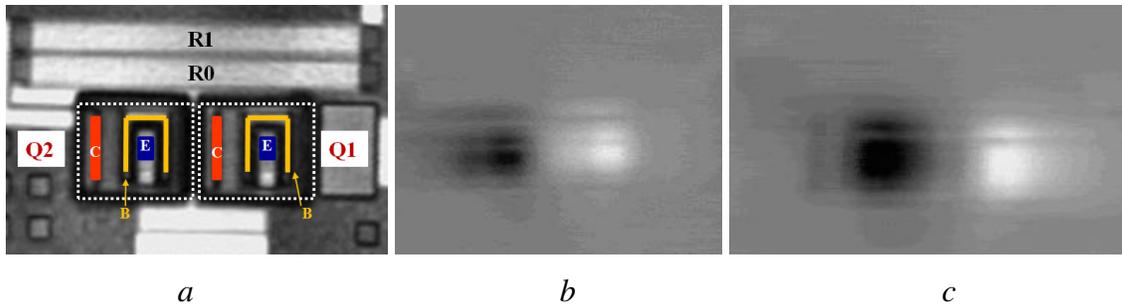


Figure III-7 : Résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage NPN. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM4 (lémetteur=3µm), c. cartographie du miroir de courant CM6 (lémetteur=7µm). $P_{laser}=25mW$, $\lambda_{laser}=1340nm$, $t_{pixel}=13ms$.

Les figures III-8 et III-9 présentent les résultats expérimentaux de l'application de la technique DVM, respectivement pour le front montant et descendant. Aucun décalage temporel n'a été détecté sur le front montant du signal V_{out} (Fig.III-8). Le front descendant du signal de sortie V_{out} est retardé lorsque le transistor Q1 est soumis à la stimulation par faisceau laser et est avancé lorsque le transistor Q2 est soumis à la stimulation par faisceau laser (Fig.III-9). La variation du signal est plus importante dans le cas du transistor Q1. Nous observons que les zones les plus sensibles se situent au niveau des contacts des émetteurs et des bases. Une faible variation du signal est détectée lorsque le faisceau laser se situe au dessus des contacts des collecteurs. Remarquons que plus grande est la dimension de la structure, plus le phénomène photo-thermique influe sur le signal de sortie V_{out} (par exemple, Fig.III-9b versus Fig.III-9c).

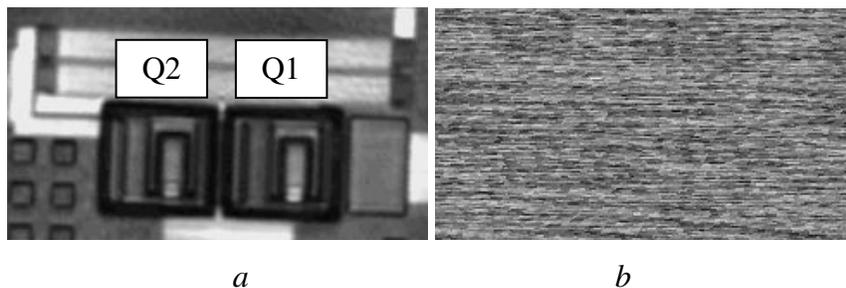


Figure III-8 : Résultats expérimentaux de l'application de la technique DVM sur front montant pour les miroirs de courant en montage NPN. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM6 (lémetteur=7µm). $P_{laser}=50mW$, $\lambda_{laser}=1340nm$, $t_{pixel}=7ms$.

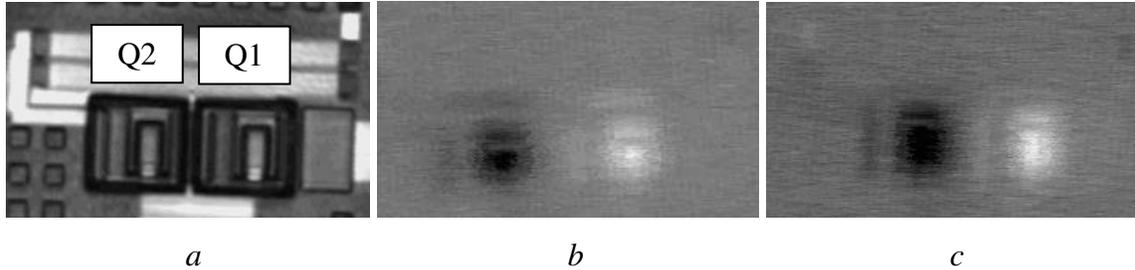


Figure III-9 : Résultats expérimentaux de l'application de la technique DVM sur front descendant pour les miroirs de courant en montage NPN. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM4 (l'émetteur= $3\mu\text{m}$), c. cartographie du miroir de courant CM6 (l'émetteur= $7\mu\text{m}$). $P_{\text{laser}}=50\text{mW}$, $\lambda_{\text{laser}}=1340\text{nm}$, $t_{\text{pixel}}=7\text{ms}$.

Les résultats expérimentaux présentés ci-dessus sont en accord avec les résultats des simulations présentées dans le chapitre II.3.3.1.c. Le signe de la variation de l'amplitude et du décalage temporel dans le front descendant du signal V_{out} ont été correctement prédits par les simulations électriques. De plus, le transistor Q1 qui lors des simulations s'est avéré plus sensible l'a aussi été lors des expérimentations. Finalement, les mêmes résultats ont été obtenus pour la détection de la variation temporelle du signal ; le front descendant est sensible à l'effet thermique. Le décalage temporel n'a pas été détecté dans le front montant du signal ni lors des simulations électriques ni lors des expérimentations. Lors des expérimentations nous n'avons enregistré aucune contribution des résistances lorsqu'elles ont été soumises à la stimulation photo-thermique laser. Les simulations ont toutefois montré que l'effet thermique sur ces composants induit une variation très faible dans le signal de sortie V_{out} comparé aux transistors bipolaires. Comme pour les structures en montage PNP, l'erreur vient probablement de l'hypothèse que pour une puissance laser donnée, la même variation de température dans les transistors et dans les résistances est obtenue. En réalité, cette variation de température est plus faible pour les résistances. Si nous tenons compte de ceci, la variation du signal de sortie V_{out} simulée devient quasi nulle.

2.1.2. Level shifter

Le *setup* électrique utilisé lors des expérimentations est le même que celui utilisé lors des simulations présentées dans le chapitre II. Un signal carré périodique d'amplitude 2,5V à 5kHz est connecté à l'entrée V_{IN} de chaque structure du *level shifter*. Nous avons mesuré uniquement le décalage temporel induit par le phénomène photo-thermique sur le front

montant et descendant du signal V_{out} . Lors des expérimentations le *setup* de la figure III-1 a été utilisé. La puissance laser a été fixée à 49mW et le temps par pixel est égal à 7ms. Les mêmes conditions de mesures ayant été appliquées et la même échelle de variation ayant été utilisée, tous les résultats présentés ci-dessus sont comparables.

Les figures III-10 et III-11 présentent les résultats expérimentaux de l'application de la technique DVM sur les *levels shifter*, respectivement pour le front montant et descendant. Analysons d'abord les cartographies obtenues par les mesures du front montant (Fig.III-10). Le transistor P1 apporte la plus forte contribution dans la variation du signal de sortie V_{out} lorsque la structure est soumise à la stimulation par faisceau laser. Suite à cette perturbation, le front montant du signal est retardé. Nous remarquons que la réduction de la taille de ce transistor diminue l'influence photo-thermique (Fig.III-10b,c). Nous observons une faible variation du signal V_{out} lorsque les transistors N1 et N2 sont soumis à la stimulation par faisceau laser. Ceci uniquement sur la figure III-10b, où la taille des grilles de transistors PMOS est plus grande (sur la figure III-10c ces variations du signal sont noyées dans le bruit au niveau plus élevé). L'augmentation de la température du transistor N1 conduit à l'accélération du signal V_{out} . L'augmentation de la température du transistor N2 conduit au retard du signal V_{out} .

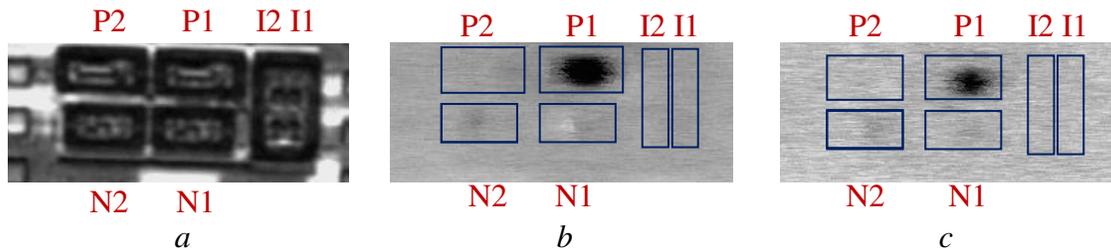


Figure III-10 : Résultats expérimentaux de l'application de la technique DVM sur front montant pour les *levels shifter*. a. Image laser réfléchi du *level shifter*, b. cartographie de la structure LS1 ($l_{P1,P2}=5\mu m$), c. cartographie de la structure LS3 ($l_{P1,P2}=3\mu m$).

$P_{laser}=49mW$, $\lambda_{laser}=1340nm$, $t_{pixel}=7ms$.

Les cartographies obtenues par les mesures du front descendant sont présentées sur la figure III-11. Le transistor P1 apporte la plus forte contribution à la variation du signal de sortie V_{out} lorsque la structure est soumise à la stimulation par faisceau laser. Suite à cette perturbation, le front descendant du signal est avancé. Nous remarquons que la diminution de la taille de ce transistor diminue l'influence de l'effet photo-thermique (Fig.III-11b,c). Sur la figure III-11b, où la taille des grilles de transistors PMOS est plus

grande, nous observons aussi une variation du signal de sortie lorsque les transistors N1 et P2 sont soumis à la stimulation par faisceau laser. L'augmentation de la température des ces transistors conduit au retard du signal V_{out} . Pour la structure où les grilles de transistors PMOS sont plus petites, nous observons une anomalie au niveau du transistor P2 et N2. Contrairement aux autres transistors, toute la surface du transistor P2 et une grande partie de la surface du transistor N2 sont sensibles à la stimulation par faisceau laser. De plus, pour le transistor P2 le signe de la variation est contraire à ce que nous avons prédit en simulation. Nous supposons que ce comportement décrit un phénomène de *latch-up* ou un autre type de fuite qui peut être destructif. Dans le cas du *level shifter* LS3, les transistors PMOS ont été sous dimensionnés. Lors des simulations nous n'avons pas pu détecter cette marginalité. Cette erreur intentionnelle de conception du circuit a été mise en évidence lors de cette expérimentation.

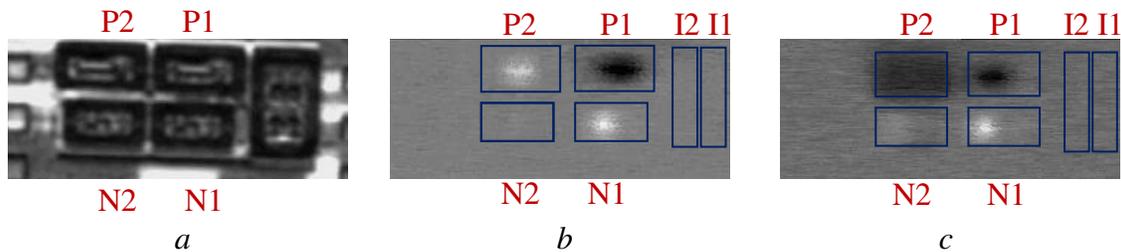


Figure III-11 : Résultats expérimentaux de l'application de la technique DVM sur front descendant pour les levels shifter. a. Image laser réfléchie du level shifter, b. cartographie de la structure LS1 ($l_{P1,P2}=5\mu m$), c. cartographie de la structure LS3 ($l_{P1,P2}=3\mu m$). $P_{laser}=49mW$, $\lambda_{laser}=1340nm$, $t_{pixel}=7ms$.

Les résultats expérimentaux présentés ci-dessus coïncident bien avec ceux issus des simulations présentées dans le chapitre II.3.3.2. La sensibilité relative des transistors et le signe de variation dans le front montant et descendant du signal V_{out} ont été correctement prédits pour les transistors MOS lors des simulations électriques. Une marginalité du type « design » a été localisée sur une des structures grâce à la divergence des résultats des simulations et les résultats expérimentaux.

2.2. Phénomène photoélectrique

2.2.1. Miroirs de courant

Le *setup* électrique utilisé lors des expérimentations est le même que celui utilisé lors des simulations électriques présentées dans le chapitre II. Le signal carré périodique d'amplitude 5V à 5kHz est envoyé à l'entrée V5 de chaque structure du miroir de courant. Les cartographies SDL analogiques des miroirs de courant en montage PNP et NPN sont comparables entre elles, les mêmes conditions de mesures et la même échelle de la variation ont été appliquées. Les cartographies DVM (fronts montant et descendant) des miroirs de courant en montage PNP sont comparables entre elles. Les cartographies DVM (fronts montant et descendant) des miroirs de courant en montage NPN sont comparables entre elles bien que l'échelle de la variation a été choisie plus large que pour le montage PNP.

2.2.1.a. Montage PNP

La figure III-12 présente les résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage PNP. Nous remarquons que toute la zone active est sensible au phénomène photoélectrique. Lorsque le transistor Q1 est soumis à la stimulation par faisceau laser, l'amplitude du signal de sortie V_{out} diminue (couleur noire). Lorsque le transistor Q0 est soumis à la stimulation par faisceau laser, l'amplitude du signal de sortie V_{out} augmente (couleur blanche). La variation du signal V_{out} est plus importante dans le cas du transistor Q0. La variation du signal de sortie est plus importante au niveau des contacts des bases. Lors de la modélisation, nous avons vu que le photocourant induit au niveau de la base des deux transistors est très important par la présence des jonctions PN polarisées en inverse. L'apparition de ce courant contribue fortement à la variation du signal V_{out} . Nous observons aussi une faible variation du signal de sortie lorsque les zones des émetteurs des deux transistors sont soumises à la stimulation photoélectrique laser. De même, pour la zone de collecteur du transistor Q0. N'oublions pas qu'en plus du phénomène photoélectrique, le laser de longueur d'onde égale à 1064nm induit aussi le phénomène thermique. Ce phénomène a été négligé lors des simulations du phénomène photoélectrique. Néanmoins, même si ce n'est pas l'effet

principal, l'effet thermique est présent sur toutes les cartographies du sous-chapitre 2.2. (réflexions au niveau métallique, dissipation thermique...) [BRA06].

Remarquons aussi que plus grande est la taille de la structure, plus grande est l'influence du phénomène photoélectrique sur le signal de sortie V_{out} . Nous enregistrons en effet une variation plus importante du signal V_{out} .

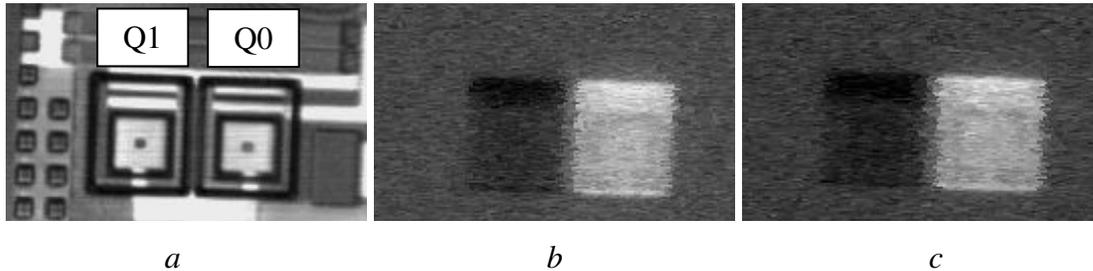


Figure III-12 : Résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage PNP. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM1 (lémetteur=2,5 μ m), c. cartographie du miroir de courant CM3 (lémetteur=4,5 μ m). Plaser=4,4mW, λ_{laser} =1064nm, t_{pixel} =7ms.

Les figures III-13 et III-14 présentent les résultats expérimentaux de l'application de la technique DVM sur le front montant pour les miroirs de courant en montage PNP. Pour les cartographies de la figure III-13 (CM1 et CM3), nous avons utilisé le banc de mesure universel (Fig.III-1). Pour la cartographie de la figure III-14 (CM2), nous avons utilisé le banc de mesure spécifique (Fig.III-2) avec une puissance de faisceau laser légèrement plus élevée et un temps par pixel divisé par deux (3,4ms). Nous allons analyser ce dernier résultat car la cartographie est plus précise. Toute la zone active est sensible à la stimulation photoélectrique. Lorsque le transistor Q1 est soumis à la stimulation par faisceau laser, le front montant du signal de sortie V_{out} est retardé (couleur noire). Lorsque le transistor Q0 est soumis à la stimulation par faisceau laser, le front montant du signal de sortie V_{out} est avancé (couleur blanche). Cette variation du signal est plus importante dans le cas du transistor Q0. Pour deux transistors, la variation du signal de sortie est très importante au niveau des contacts des bases. Lors de la modélisation, nous avons vu que la perturbation du courant de base est significative. L'apparition de ce courant contribue fortement à la variation du signal V_{out} . Nous observons aussi une variation importante du signal de sortie lorsque les zones de collecteur et d'émetteur du

transistor Q0 sont soumises à la stimulation photoélectrique laser. Cette variation s'explique respectivement par un photocourant dans une jonction polarisée en inverse et en direct. Une faible variation est enregistrée au niveau de l'émetteur du transistor Q1. Cette perturbation est due à la circulation du photocourant dans une jonction polarisée en direct. Comme dans le cas précédent, cette cartographie comprend certainement une contribution de l'effet thermique.

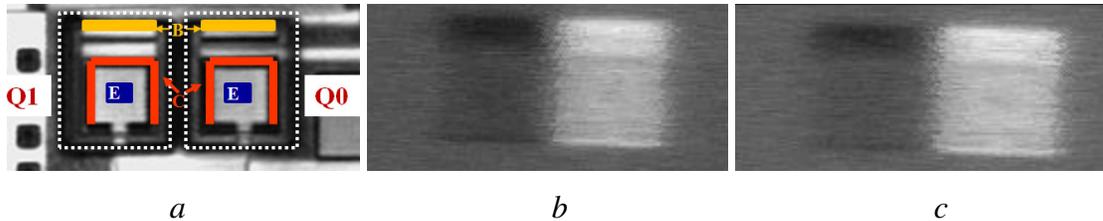


Figure III-13 : Résultats expérimentaux de l'application de la technique DVM sur front montant pour les miroirs de courant en montage PNP. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM1 (lémetteur=2,5µm), c. cartographie du miroir de courant CM3 (lémetteur=4,5µm). $P_{laser}=4,4mW$, $\lambda_{laser}=1064nm$, $t_{pixel}=7ms$.

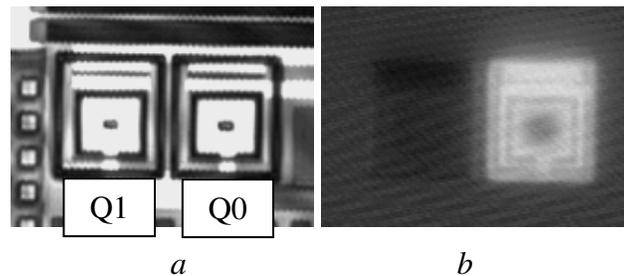


Figure III-14 : Résultats expérimentaux de l'application de la technique DVM sur front montant pour les miroirs de courant en montage PNP. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM2 (lémetteur=3,5µm). $P_{laser}=5mW$, $\lambda_{laser}=1064nm$, $t_{pixel}=3,4ms$. Le banc de mesure de la figure III-2 a été utilisé.

La figure III-15 présente le résultat expérimental de l'application de la technique DVM sur front descendant pour le miroir de courant en montage PNP. La sensibilité de la structure enregistrée sur le front descendant est moins forte comparée aux cartographies où la variation du front montant a été mesurée (Fig.III-13). Nous pouvons quand même observer que la stimulation par faisceau laser du transistor Q1 induit une anticipation du front descendant du signal de sortie V_{out} . Lorsque le transistor Q0 est soumis à la stimulation par faisceau laser, le front descendant du signal de sortie V_{out} est légèrement retardé. Le transistor Q1 est plus sensible que le transistor Q0. De plus, lorsque

l'émetteur du transistor Q0 est stimulé, le signal de sortie est légèrement avancé. Ceci est probablement lié à l'effet photoélectrique qui induit dans cette zone un courant stimulant l'accélération de l'évacuation de la base des porteurs en excès (jonction PN polarisée en direct entre l'émetteur et la base, jonction PN polarisée en inverse entre la base et le substrat).

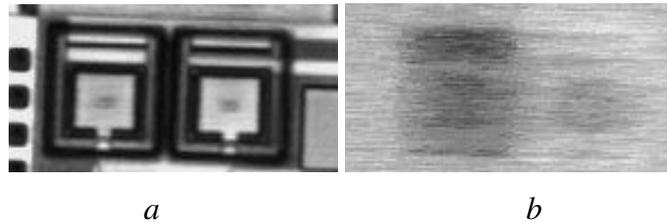


Figure III-15 : Résultats expérimentaux de l'application de la technique DVM sur front descendant pour les miroirs de courant en montage PNP. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM3 ($l_{\text{émetteur}}=4,5\mu\text{m}$).

$P_{\text{laser}}=4,4\text{mW}$, $\lambda_{\text{laser}}=1064\text{nm}$, $t_{\text{pixel}}=7\text{ms}$.

Les résultats expérimentaux présentés ci-dessus correspondent bien aux résultats des simulations présentés dans le chapitre II.4.3.1.b. Le signe des variations de l'amplitude et du décalage temporel dans le front montant et descendant du signal V_{out} ont été correctement prédits lors des simulations électriques. Les approches théorique et expérimentale montrent bien que la contribution du transistor Q0 est la plus importante. Finalement, les résultats des simulations et des expérimentations coïncident bien en ce qui concerne le comportement du signal ; le front montant est plus sensible au phénomène photoélectrique que le front descendant.

2.2.1.b. Montage NPN

La figure III-16 présente les résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage NPN. Comme précédemment, nous observons que toute la zone active est sensible à la stimulation photoélectrique. Lorsque le transistor Q1 est soumis à la stimulation par faisceau laser l'amplitude du signal de sortie V_{out} augmente (couleur blanche). A l'inverse, lorsque le transistor Q2 est soumis à la stimulation par faisceau laser l'amplitude du signal de sortie V_{out} diminue (couleur noire). L'amplitude de la variation du signal V_{out} est du même ordre pour ces deux transistors. Nous observons que la zone la plus sensible du transistor Q1 est l'émetteur.

Ceci est dû au photocourant entre l'émetteur et la base dans la jonction PN polarisée en direct. Une perturbation du courant de base influe sur le signal V_{out} à la sortie du miroir de courant. Dans le transistor Q2 nous observons deux zones très sensibles : au niveau de l'émetteur et au niveau de la base. Ceci est dû aux photocourants entre l'émetteur et la base (jonction PN polarisée en direct) et entre le collecteur et la base (jonction PN polarisée en inverse).

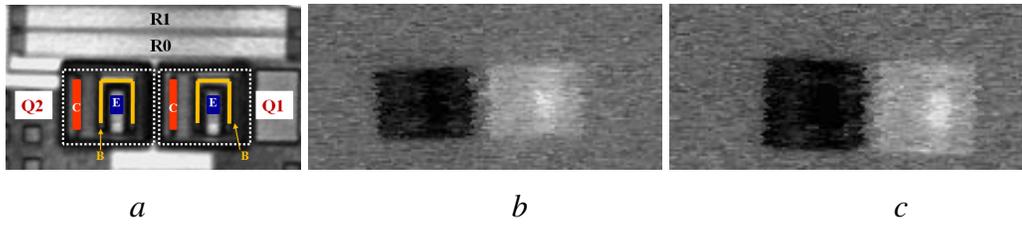


Figure III-16 : Résultats expérimentaux de l'application de la technique SDL analogique sur les miroirs de courant en montage NPN. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM4 (l'émetteur= $3\mu\text{m}$), c. cartographie du miroir de courant CM6 (l'émetteur= $7\mu\text{m}$). $P_{laser}=4,4\text{mW}$, $\lambda_{laser}=1064\text{nm}$, $t_{pixel}=7\text{ms}$.

Les figures III-17 et III-18 présentent les résultats expérimentaux de l'application de la technique DVM, respectivement sur front montant et descendant, pour les miroirs de courant en montage NPN. Toute la zone active est sensible au phénomène photoélectrique. Lorsque le transistor Q1 est soumis à la stimulation par faisceau laser, le front montant du signal de sortie V_{out} est avancé et le front descendant du même signal est retardé. Lorsque le transistor Q2 est soumis à la stimulation par faisceau laser, le front montant du signal de sortie V_{out} est retardé et le front descendant du même signal est avancé.

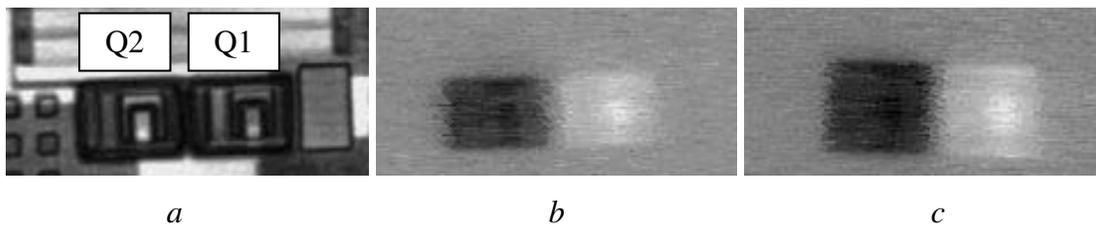


Figure III-17 : Résultats expérimentaux de l'application de la technique DVM sur front montant pour les miroirs de courant en montage NPN. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM4 (l'émetteur= $3\mu\text{m}$), c. cartographie du miroir de courant CM6 (l'émetteur= $7\mu\text{m}$). $P_{laser}=4,4\text{mW}$, $\lambda_{laser}=1064\text{nm}$, $t_{pixel}=7\text{ms}$.

Pour les deux transistors, nous observons que la variation du signal de sortie est plus forte lorsque le laser balaye la zone de l'émetteur. De plus, nous observons une sensibilité au niveau de la base du transistor Q2. Les origines de ces comportements sont des photocourants induits entre l'émetteur et la base (Q1, Q2) et entre le collecteur et la base (Q2) qui indirectement perturbent le signal V_{out} . Les amplitudes de la variation induite dans le front montant et descendant sont du même ordre.

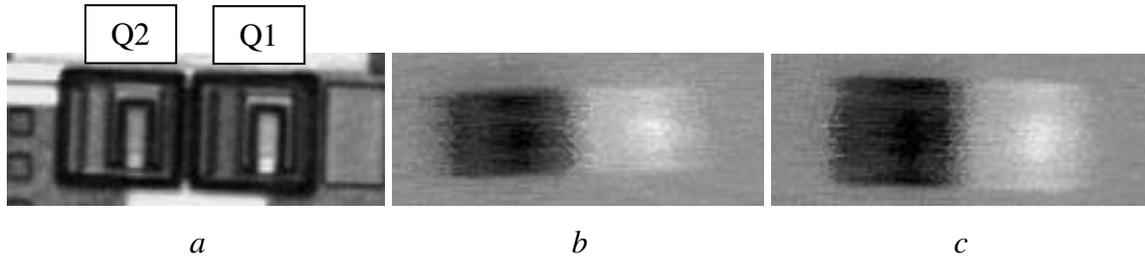


Figure III-18 : Résultats expérimentaux de l'application de la technique DVM sur front descendant pour les miroirs de courant en montage NPN. a. Image laser réfléchie du miroir de courant, b. cartographie du miroir de courant CM4 (lémetteur= $3\mu\text{m}$), c. cartographie du miroir de courant CM6 (lémetteur= $7\mu\text{m}$). $P_{laser}=4,4\text{mW}$, $\lambda_{laser}=1064\text{nm}$, $t_{pixel}=7\text{ms}$.

Les résultats expérimentaux présentés ci-dessus coïncident bien avec les ceux des simulations électriques présentées dans le chapitre II.4.3.1.c. Le signe des variations de l'amplitude et du décalage temporel dans le front montant et descendant du signal V_{out} ont été correctement prédits pour les simulations électriques. Nous constatons que le décalage induit sur les fronts montant et descendant du signal est le même pour les deux approches. L'amplitude des variations a été similaire pour les deux transistors. Les modèles créés dans le chapitre II nous ont aidés dans la compréhension des zones les plus sensibles des transistors.

2.2.2. Level shifter

Le *setup* électrique utilisé lors des expérimentations est le même que celui utilisé lors des simulations électriques présentées dans le chapitre II. Le signal carré d'amplitude 2,5V à 5kHz est envoyé à l'entrée V_{IN} de chaque structure du *level shifter*. Nous avons mesuré uniquement le décalage temporel induit par le phénomène photoélectrique dans le front montant et descendant du signal V_{out} . Lors des expérimentations le *setup* de la figure III-1 a été utilisé. La puissance laser a été fixée à 4mW et le temps par pixel a été fixé à 7ms.

Tous les résultats présentés ci-dessus sont comparables car les mêmes conditions de mesures ont été appliquées et la même échelle de variation a été utilisée.

Les figures III-19 et III-20 présentent les résultats expérimentaux de l'application de la technique DVM sur les *levels shifter*, respectivement sur le front montant et descendant. Analysons d'abord les cartographies obtenues par les mesures sur front montant (Fig.III-19). Le transistor P1 induit la plus forte variation du signal de sortie V_{out} lorsque la structure est soumise à la stimulation par faisceau laser. Suite à cette perturbation, le front montant du signal est avancé. Nous observons une faible variation du signal V_{out} lorsque le transistor N1 est soumis à la stimulation par faisceau laser. Par conséquent, le signal est retardé. Le transistor P2 soumis à la stimulation photoélectrique laser induit un faible retard du signal de sortie V_{out} . Aucune sensibilité n'est détectée lorsque le transistor N2 est soumis à la stimulation photoélectrique laser. Nous observons que l'impact de la stimulation photoélectrique est légèrement réduit lorsque la taille des transistors diminue (P1, P2). Nous remarquons que le signal de sortie est plus fortement modifié lorsque le phénomène photoélectrique est induit sur les transistors dont la sortie est directement connectée au nœud V_{out} . De plus, la probabilité de créer des paires électron-trou et le courant additionnel est plus grande lorsque nous augmentons la taille du transistor.

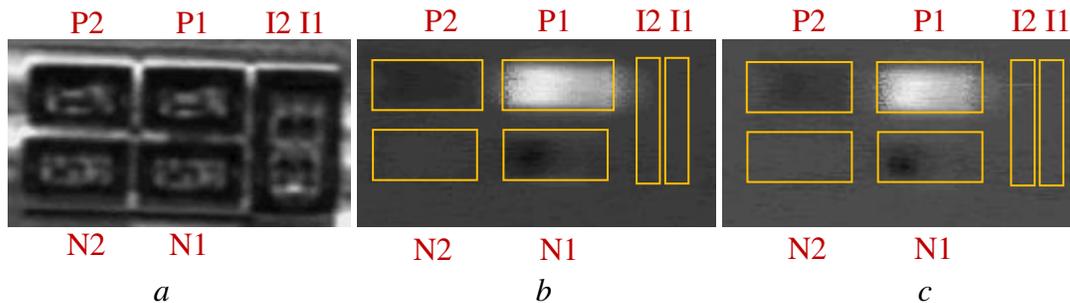


Figure III-19 : Résultats expérimentaux de l'application de la technique DVM sur front montant pour les *levels shifter*. a. Image laser réfléchie du *level shifter*, b. cartographie de la structure LS1 ($lp1-p2=5\mu m$), c. cartographie de la structure LS3 ($lp1-p2=3\mu m$).

$$P_{laser}=4mW, \lambda_{laser}=1064nm, t_{pixel}=7ms.$$

Les cartographies obtenues par les mesures du front descendant sont présentées sur la figure III-20). Le transistor P1 induit toujours une variation très importante dans le signal de sortie V_{out} lorsque la structure est soumise à la stimulation par faisceau laser. Suite à cette perturbation, le front descendant du signal est retardé. Nous observons une forte

variation du signal V_{out} lorsque les transistors NMOS sont soumis à la stimulation photoélectrique laser. Cela ne coïncide pas avec les simulations présentées dans le chapitre II. Nous suspectons que la mesure a été effectuée lorsque le signal a atteint plus de 50% de son amplitude maximale et donc les transistors NMOS se trouvaient en régime linéaire et non en régime saturé. Dans le chapitre II, nous n'avons pas présenté de modèle du transistor NMOS en régime linéaire, cependant nous pouvons retrouver une description détaillée dans [SAN07]. Dans le régime linéaire, l'augmentation du courant I_D liée au phénomène photoélectrique contribue à l'augmentation de la tension V_{DS} du transistor. Par conséquent, le courant I_{DS} augmente encore plus. Lorsque la taille des transistors PMOS diminue (Fig.III-20c), nous observons aussi une forte variation du signal V_{out} lorsque les transistors NMOS sont soumis à la stimulation photoélectrique laser. Néanmoins, cette variation est différente. Le signal V_{out} est plus perturbé lorsque le transistor N2 est soumis à la stimulation photoélectrique laser. Ce transistor connecté indirectement au nœud de mesure possède deux zones sensibles. La zone claire sur la droite au bord du transistor N2 semble être anormalement sensible. Il est difficile de déduire la source du problème à partir de cette cartographie. Il serait souhaitable d'appliquer la technique DVM en utilisant le *setup* de la figure III-2 qui donne des résultats plus précis. Néanmoins, nous avons déjà vu une anomalie lors de l'application de la stimulation photo-thermique laser sur la même structure (les transistors PMOS sont sous dimensionnés). Lors des simulations électriques, le transistor N2 sous l'effet de la stimulation photoélectrique laser n'induisait aucune variation du signal V_{out} . Encore une fois, les résultats des simulations ne coïncident pas avec les résultats expérimentaux. Cependant, une allure anormale de la zone sensible au niveau du transistor N2 ainsi que les résultats précédents, en ce qui concerne l'impact du phénomène photo-thermique sur la même structure, indiquent bien une anomalie. Encore une fois, après avoir fait des simulations électriques, cette erreur intentionnelle de la conception du circuit a été mise en évidence lors des expérimentations.

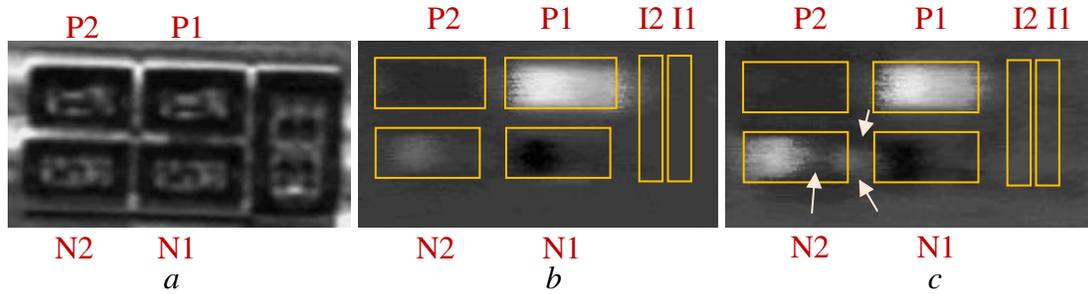


Figure III-20 : Résultats expérimentaux de l'application de la technique DVM sur front descendant pour les levels shifter. a. Image laser réfléchie du level shifter, b. cartographie de la structure LS1 ($l_{P1-P2}=3\mu m$), c. cartographie de la structure LS3 ($l_{P1-P2}=5\mu m$). $P_{laser}=4mW$, $\lambda_{laser}=1064nm$, $t_{pixel}=7ms$.

Les résultats expérimentaux présentés ci-dessus coïncident bien avec les simulations électriques présentées dans le chapitre II.4.3.2. La sensibilité relative des transistors et le signe du décalage temporel induit sur le front montant du signal V_{out} par le phénomène photoélectrique ont été correctement prédits pour les transistors MOS lors des simulations électriques. Quant aux simulations du décalage du front descendant, nous avons pu expliquer les résultats non attendu par le décalage entre le point de mesure prévu où tous les transistors se trouvent dans le régime saturé et le point de mesure réel où les transistors NMOS se trouvent dans le régime linéaire et les transistors PMOS se trouvent dans le régime saturé. De plus, le décalage entre résultats expérimentaux et résultats de simulations nous a permis mettre en évidence la marginalité d'une structure (LS3). Cette structure intégrée dans un circuit complexe pourrait marcher correctement en fonction des conditions électriques et environnementales, ou pourrait bien être une source de défaut intermittente.

2.3. Conclusion

Les tableaux III-1 et III-2 comparent les résultats expérimentaux aux résultats de simulation pour l'influence de l'effet respectivement photo-thermique et photoélectrique sur les structures de test issus de CI mixtes et analogiques. Nous pouvons noter une bonne corrélation des résultats théoriques avec les résultats expérimentaux. Cette première validation de l'influence de l'interaction du faisceau laser continu sur le comportement du CI est très prometteuse. Néanmoins, nous notons une erreur de prévision pour les résistances lors de l'étude de l'effet photo-thermique (tableau III-1).

Ceci vient de l'hypothèse que la variation de température induite dans les transistors est la même que dans les résistances. En réalité, cette variation de température est plus faible pour les résistances. L'étude systématique et méticuleuse de l'effet photoélectrique nous a permis de détecter une anomalie dans la structure du *level shifter* (tableau III-2, front descendant du *level shifter*).

La suite de cette étude et donc la dernière partie portera sur la validation de la méthodologie développée sur des structures plus complexes, les CI commerciaux. Cela démontrera le potentiel en termes d'applications industrielles de cette méthodologie.

Structure stimulée	Signe de la variation du signal de sortie issu des expérimentations (et des simulations)		
	Amplitude	Front montant	Front descendant
Miroir de courant PNP			
Q0	+ (+)	+ (+)	- (-)
Q1	- (-)	- (-)	+ (+)
R0	/ (+)	/ (+)	/ (-)
R1	/ (-)	/ (-)	/ (+)
Miroir de courant NPN			
Q1	+ (+)	/ (/)	- (-)
Q2	- (-)	/ (/)	+ (+)
R0	/ (-)	/ (/)	/ (+)
R1	/ (+)	/ (/)	/ (-)
Level shifter			
P1		- (-)	+ (+)
N1		+ (+)	- (-)
P2		/ (/)	- (-)
N2		- (-)	/ (/)

Tableau III-1 : Synthèse des résultats expérimentaux et de simulations du décalage temporel et de l'amplitude induits par stimulation photo-thermique dans les différents structures de test ; + signal avancé ou augmentation de l'amplitude, - signal retardé ou diminution de l'amplitude, / variation non détectée.

Structure stimulée	Signe de la variation du signal de sortie issu des expérimentations (et des simulations)		
	Amplitude	Front montant	Front descendant
Miroir de courant PNP			
Q0	+ (+)	+ (+)	- (-)
Q1	- (-)	- (-)	+ (+)
Miroir de courant NPN			
Q1	+ (+)	+ (+)	- (-)
Q2	- (-)	- (-)	+ (+)
Level shifter			
P1		+ (+)	- (-)
N1		- (-)	+ (+)
P2		- (-)	/ (+)
N2		/ (/)	- (/)

Tableau III-2 : Synthèse des résultats expérimentaux et de simulations du décalage temporel et de l'amplitude induits par stimulation photoélectrique dans les différents structures de test ; + signal avancé ou augmentation de l'amplitude, - signal retardé ou diminution de l'amplitude, / variation non détectée.

3. EXEMPLES D'APPLICATION SUR DES CI COMPLEXES

3.1. Cas d'étude 1

3.1.1. Présentation du circuit analysé

Afin de valider notre méthodologie sur un circuit réel complexe, nous avons choisi un CI mixte de Freescale Semiconductor sans défaut qui est couramment utilisé dans le domaine des radiofréquences (RF). L'observation des zones actives de ce circuit est impossible par la face avant car il est fabriqué en technologie BiCMOS avec trois couches de métal. Par conséquent, nous avons décidé de l'analyser par la face arrière.

Parmi de nombreux blocs analogiques, nous avons sélectionné pour notre étude un bloc responsable du pilotage de l'amplificateur de puissance. Son schéma électrique simplifié est présenté dans la figure III-21. Les signaux *VCC*, *IN*, *OUT* et *GND* sont des signaux

auxquels nous avons accès par les broches externes du CI. Le signal *V1* est un signal interne au CI.

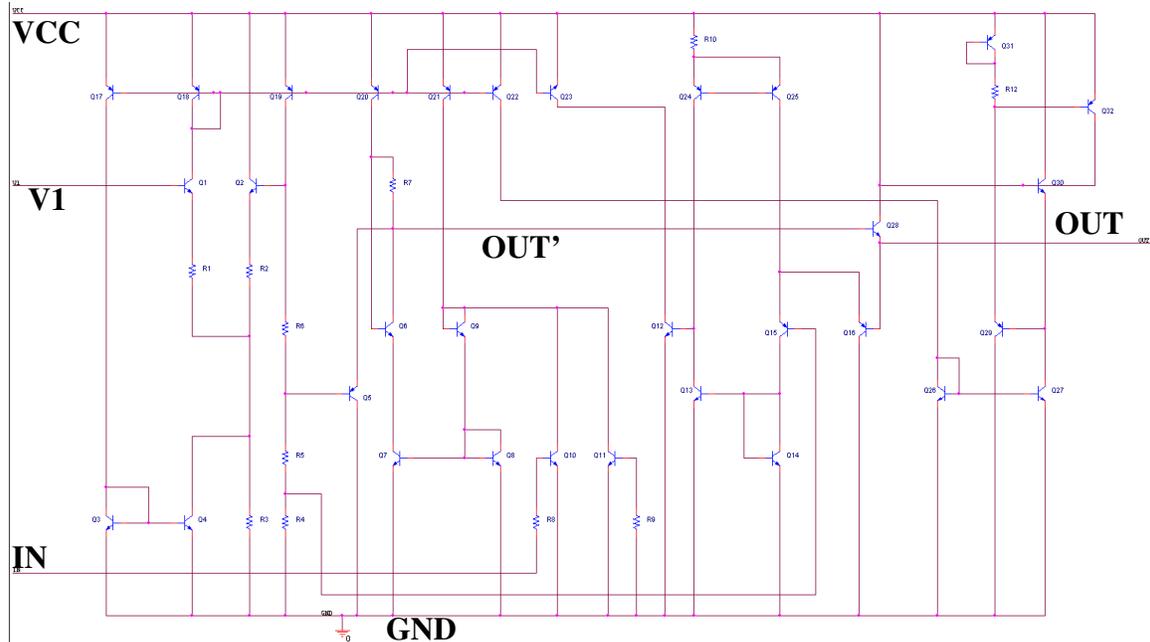


Figure III-21 : Schéma électrique simplifié du pilote de l'amplificateur de puissance issu d'un CI RF mixte provenant de Freescale Semiconductor.

Les données sont envoyées sur une broche externe *IN* qui ensuite pilote l'étage de sortie RF dans le bloc de l'amplificateur de puissance. La broche *OUT* sert à contrôler la puissance en sortie du CI.

3.1.2. Configuration électrique expérimentale

La tension *VCC* est fixée à 3V. Un signal carré périodique d'amplitude 2,5V à 5kHz est envoyé sur l'entrée *IN*. Nous avons décidé de mesurer le décalage temporel induit sur le front montant du signal *OUT* lorsque le circuit est soumis à la stimulation photo-thermique par faisceau laser ($\lambda=1340\text{nm}$). Une technique DVM dédiée de localisation de défauts a été appliquée. La figure III-22 présente le *setup* électrique qui permet la localisation des zones sensibles ou défailtantes grâce à la mesure d'un paramètre du signal électrique qui dans notre cas est le décalage temporel. Le décalage temporel entre les signaux synchrones *IN* (signal de référence) et *OUT* (signal variable) est converti en niveau de tension grâce au convertisseur temps-amplitude pour chaque position du

faisceau laser. Ce niveau de tension corrélé avec la position du faisceau laser permet de cartographier les zones sensibles ou défailtantes.

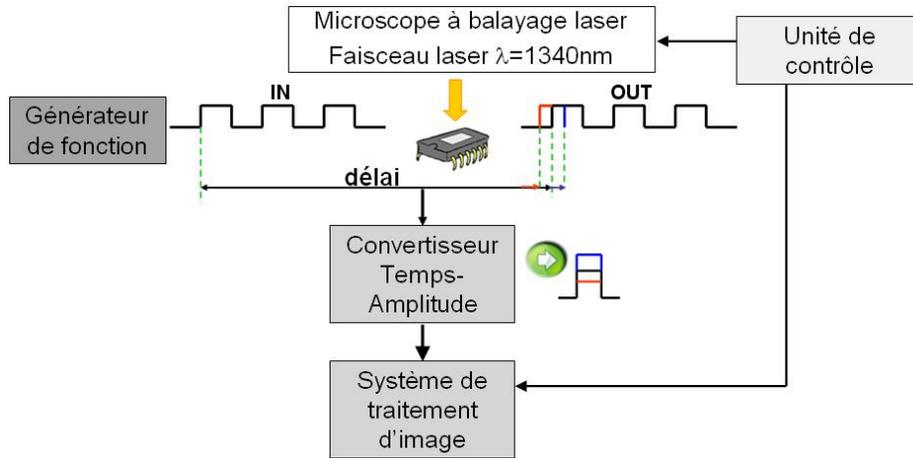


Figure III-22 : Setup électrique utilisé lors d'une analyse DVM (ang. Delay Variation Mapping) faite sur un des blocs du CI RF mixte responsable du pilotage de l'amplificateur de puissance.

3.1.3. Résultats expérimentaux

La figure III-23 présente les résultats expérimentaux où les zones sensibles sont localisées à l'aide d'une technique DVM dans un des blocs du CI RF mixte responsable de pilotage de l'amplificateur de puissance. Ces zones sensibles (Fig.III-23a) représentent une anticipation (couleur claire) ou un retard (couleur foncée) induit sur le front montant du signal de sortie *OUT* suite au balayage de la puce électronique par le faisceau laser de longueur d'onde de 1340nm. La superposition de la cartographie DVM avec l'image de la zone observée de la puce électronique permet d'identifier les composants sensibles (Fig.III-23b) à savoir les transistors bipolaires Q7, Q8, Q10 et Q20. En réalité, les transistors Q7 et Q10 se composent de deux transistors montés en parallèle. Ceci explique les deux zones sensibles observées qui correspondent à chacun de ces transistors.

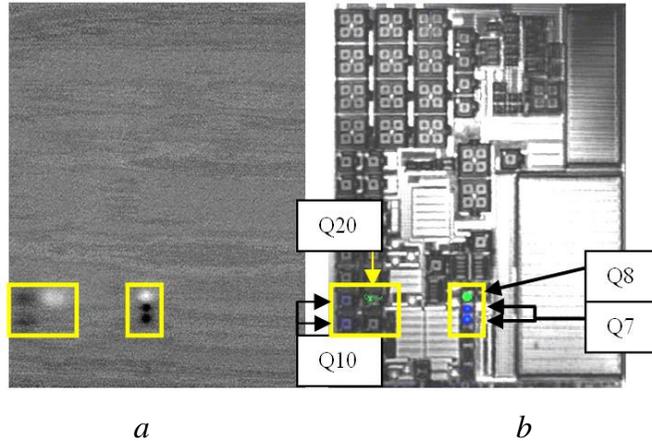


Figure III-23 : Localisation des zones sensibles dans un des blocs du CI RF mixte qui est responsable de pilotage de l'amplificateur de puissance : a. cartographie DVM (ang. Delay Variation Mapping), b. superposition de la cartographie DVM et de l'image laser réfléchie de la zone observée.

La figure III-24 représente un extrait du schéma électrique de la figure III-21 qui contient plus spécifiquement les zones localisées de la figure III-23. Une anticipation du front montant du signal de sortie *OUT* est enregistrée lorsque le faisceau laser balaye au dessus des transistors Q8 et Q20. Un retard du front montant du signal de sortie *OUT* est enregistré lorsque le faisceau laser balaye au dessus des transistors Q7 et Q10. Les transistors Q7 et Q8 de la zone observée sont les plus sensibles au phénomène photo-thermique. Ils constituent un miroir de courant.

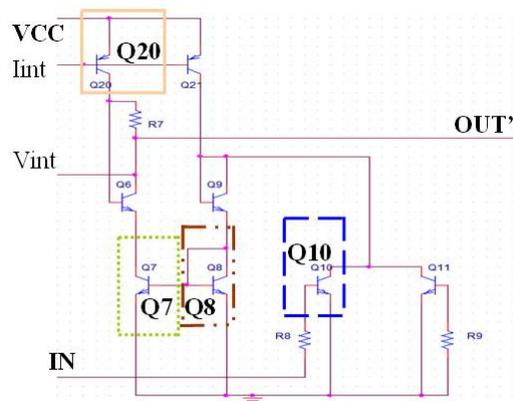


Figure III-24 : Extrait du schéma électrique d'un bloc responsable du pilotage de l'amplificateur de puissance dans un CI RF mixte. Ce bloc contient des composants sensibles à la stimulation photo-thermique laser, localisés à l'aide de la technique DVM.

3.1.4. Simulations électriques

Pour valider la sensibilité naturelle des zones localisées à l'aide de la technique DVM, nous avons lancé des simulations électriques sur le bloc responsable du pilotage de l'amplificateur de puissance. Ces simulations ont été faites à l'aide du logiciel OrCAD utilisant les modèles *Spice* standards pour lesquels les paramètres de la fabrication de la puce électronique n'ont pas été pris en compte. La configuration électrique a été la même que lors de l'analyse DVM. Pour simuler le phénomène photo-thermique induit dans le bloc analysé, nous avons augmenté localement et successivement la température de chaque composant localisé précédemment lors de l'application de la technique DVM. Nous nous sommes intéressés plus particulièrement au décalage temporel induit sur le front montant du signal de sortie *OUT*. Les résultats obtenus sont présentés sur la figure III-25. Une courbe *REF* correspond au signal *OUT* lorsque le laser est éteint, tous les composants sont alors à la même température. Les courbes Q8, Q20, Q10 et Q7 correspondent à la propagation du signal *OUT* lorsque le faisceau laser balaye au dessus des transistors bipolaires Q8, Q20, Q10 et Q7. Lorsque nous regardons le front montant du signal *OUT*, nous remarquons que le passage du faisceau laser au-dessus des transistors Q20 et Q8 induit une avance sur le front montant du signal de sortie. Par contre, le passage du faisceau laser au-dessus des transistors Q7 et Q10 induit un retard sur le front montant du signal de sortie *OUT*. De plus, les simulations montrent que le décalage temporel du signal de sortie *OUT* est le plus élevé lors du balayage des transistors Q8 et Q7.

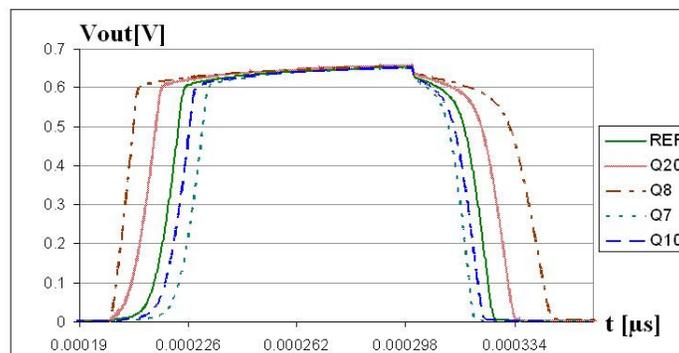


Figure III-25 : Simulations électriques transitoires reflétant l'influence de la stimulation photo-thermique laser ($\lambda=1340\text{nm}$) sur le bloc du pilotage de l'amplificateur de puissance en fonctionnement dynamique.

La comparaison des résultats expérimentaux de la figure III-23 à ceux issus des simulations ci-dessus se trouve dans le tableau III-3. Nous pouvons constater une bonne correspondance entre ceux-ci malgré l'utilisation dans les simulations de modèles du premier ordre dans lesquels l'impact thermique local n'est pris en compte que pour certains paramètres. Les résultats de simulations, même s'ils ne sont pas quantitatifs, fournissent les informations essentielles et indispensables pour analyser les cartographies laser. Quant au décalage temporel sur le front montant du signal que nous avons mesuré et simulé, nous remarquons une bonne correspondance au niveau du signe de variation (anticipation ou retard) et au niveau de l'ampleur relative de cette variation ; les résultats expérimentaux et les simulations ont montré que le décalage temporel était le plus important lors de l'échauffement des transistors Q7 et Q8.

Transistor stimulé	Signe de la variation induite dans le signal V_{out}		Accord
	Simulations	Expérimentations	
Q7	-	-	√
Q8	+	+	√
Q10	-	-	√
Q20	+	+	√

Tableau III-3 : Récapitulatif des résultats de simulations et des résultats expérimentaux du décalage temporel induit par stimulation photo-thermique pour le bloc du pilotage de l'amplificateur de puissance ; + signal avancé, - signal retardé.

Cette étude valide que notre méthodologie sur des CI complexes est envisageable et montre qu'elle peut être mise en œuvre relativement simplement. Cette méthodologie s'avère très prometteuse pour les cas complexes d'analyse de défaillances.

3.2. Cas d'étude 2

3.2.1. Présentation du CI analysé et de son mode de défaillance

Le deuxième cas d'étude est une analyse de défaillance effectuée sur un circuit mixte en développement, fabriqué en technologie 0,25nm et destiné au marché automobile (Freescale Semiconductor). Ce circuit contient trois couches de métal ainsi qu'une couche de cuivre et est composé d'environ 20 000 transistors. A cause d'un accès limité

aux zones actives de certains blocs par la face avant, la localisation de défauts a été effectuée par la face arrière.

Le circuit était défaillant uniquement en mode fonctionnel et uniquement à une température élevée (à partir de 100°C). Ce type de défaut est classé comme un défaut du type *soft* car il apparaît seulement dans certaines conditions bien spécifiques (ici, la température élevée). Grâce au diagnostic électrique, un signal erroné a été identifié à la sortie d'un bloc responsable du transfert des données (Fig.III-26).

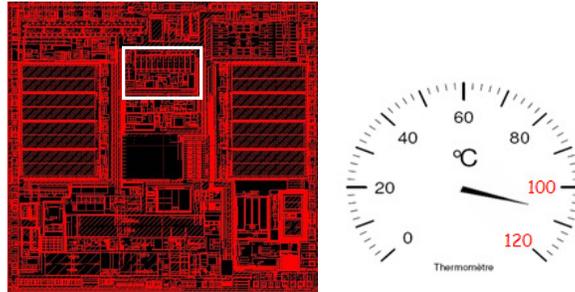


Figure III-26 : Layout du circuit analysé (un niveau de métal) avec un bloc encadré, responsable du transfert des données, qui a été identifié comme défaillant lors du diagnostic électrique en température.

Les paramètres influençant directement la température étaient la tension d'alimentation du circuit V_{bat} ainsi que la fréquence f_{Tx} à laquelle les données étaient transmises. En augmentant la température graduellement, un retard anormal a été mesuré dans le signal de sortie du bloc de transfert des données avant la disparition complète de la réponse. Pour minimiser le risque d'endommagement du circuit dans la suite d'analyse de défaillance, nous nous sommes focalisés sur ce comportement en particulier ; la température utilisée pour stimuler le défaut est la plus basse que possible.

3.2.2. Configuration électrique expérimentale

La figure III-27 présente un *setup* électrique utilisé lors de la localisation des zones sensibles/défaillantes à l'aide d'une technique DVM basée sur la stimulation par faisceau laser. Le circuit analysé est ouvert par la face arrière, alimenté ($V_{\text{bat}}=8,2\text{V}$) et configuré via un microcontrôleur. Sa température est fixée à 96°C et contrôlée par une tête thermique. Le signal carré de 2,5V cadencé à 10kHz est envoyé par le générateur de fonction sur l'entrée *Tx* du bloc précédemment localisé et responsable du transfert des

données. Le signal périodique de sortie de ce bloc Rx , synchrone avec le signal d'entrée, est envoyé sur le convertisseur temps-amplitude (TAC). Le décalage temporel entre les fronts montants des signaux Tx et Rx est mesuré pour chaque position du faisceau laser balayant le circuit en fonctionnement. Comme le circuit analysé est sensible à la température, le faisceau laser de longueur d'onde égale à 1340nm est utilisé afin d'induire le phénomène photo-thermique. Le décalage temporel est ensuite converti linéairement en niveau de tension grâce au TAC et envoyé sur le système de traitement d'image. Chaque variation de ce décalage est représentée sur une cartographie par un changement du niveau de gris pour le pixel sur lequel la mesure a été faite.

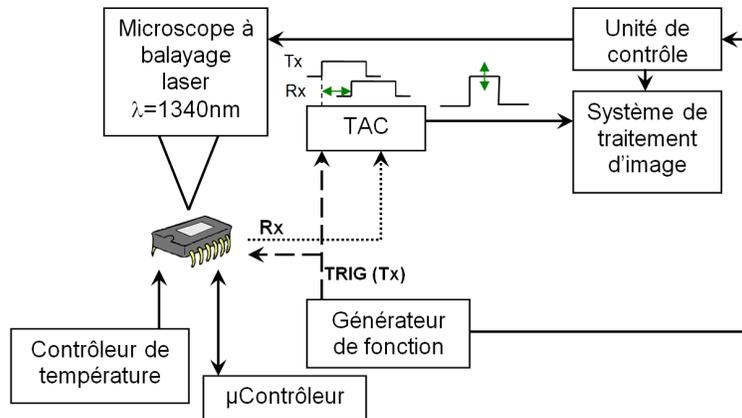


Figure III-27 : Setup électrique utilisé lors d'une analyse DVM (ang. Delay Variation Mapping) effectuée sur un CI mixte en développement pour l'application automobile, défaillant à une température élevée.

3.2.3. Résultats expérimentaux

La figure III-28 présente les résultats obtenus à l'aide du *setup* précédemment décrit. La zone analysée correspond à un des sous-blocs, localisé lors du diagnostic électrique. Nous avons observé que la sensibilité des composants se trouvant dans ce sous-bloc variait en fonction de la valeur de la puissance du faisceau laser utilisé. Cette évolution de la topologie en fonction de la température a été notée uniquement dans ce sous-bloc. Trois cartographies différentes ont été enregistrées pour trois valeurs de puissance différentes du faisceau laser : 10mW (Fig.III-28a), 20mW (Fig.III-28b) et 34mW (Fig.III-28c). La couleur noire désigne les zones où aucune variation du décalage temporel entre les signaux Tx et Rx n'a été mesurée lorsque le faisceau laser balayait ces zones. La couleur blanche et les différents niveaux de gris désignent les zones où une variation positive du

décalage temporel a été mesurée lorsque le faisceau laser balayait ces zones (signal Rx est retardé).

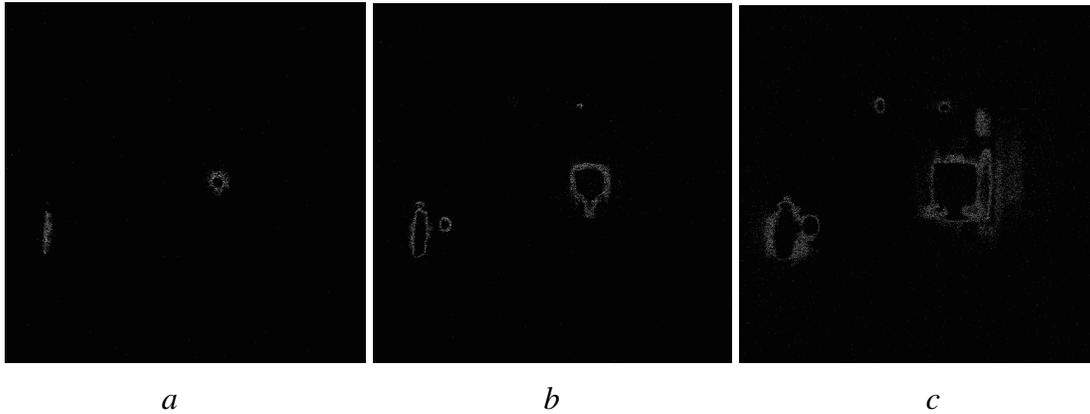


Figure III-28 : Localisation des zones sensibles dans un circuit en développement (application automobile) à l'aide d'une technique dynamique de stimulation par faisceau laser DVM (ang. Delay Variation Mapping). Tous les composants sont localisés dans un sous-bloc du bloc pré-localisé lors du diagnostic électrique. Trois cartographies laser ont été enregistrées pour des puissances laser appliquées différentes ($\lambda=1340\text{nm}$) :
 a. $P=10\text{mW}$, b. $P=20\text{mW}$, c. $P=34\text{mW}$.

Les composants sensibles au balayage par le faisceau laser de longueur d'onde égale à 1340nm sont identifiés en superposant la cartographie DVM avec l'image de la zone observée de la puce électronique (Fig.III-29). Un transistor bipolaire Q4, deux transistors NMOS M15 et M16 ainsi qu'une résistance R4 ont été précisément localisés.

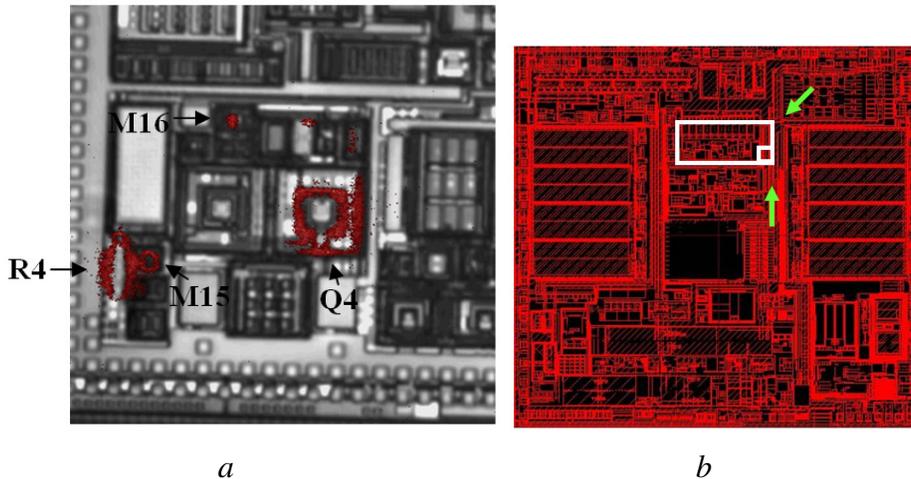


Figure III-29 : Localisation des zones sensibles dans un circuit en développement pour l'application automobile, défaillant en température : a. superposition de la cartographie DVM et de l'image laser réfléchiée de la zone observée, b. layout du circuit analysé avec un carré correspondant à la zone présentée dans a.

La figure II-30 présente un extrait simplifié du schéma électrique qui contient des composants sensibles localisés sur la figure III-29. Cette localisation bien précise ne permet néanmoins pas d'indiquer le composant qui est responsable du dysfonctionnement du circuit à température élevée. Les simulations électriques sont alors indispensables afin de trouver la source du problème.

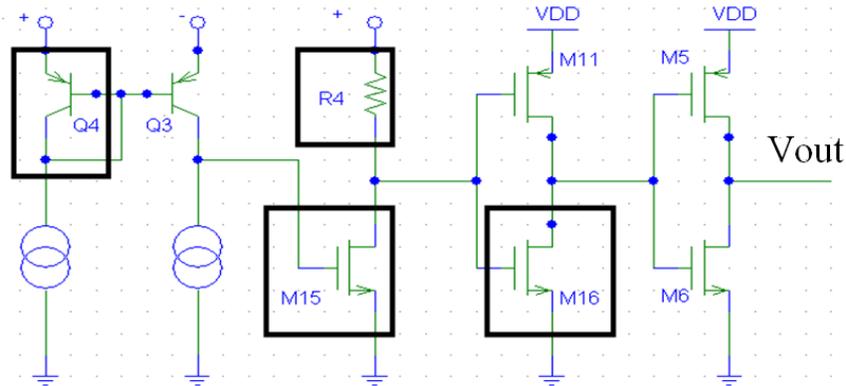


Figure III-30 : Extrait simplifié du schéma électrique d'un sous-bloc du bloc responsable du transfert des données dans un CI mixte en développement pour l'application automobile. Les carrés noirs entourent les composants sensibles au changement de la température localisés à l'aide de la technique DVM.

3.2.4. Simulations électriques

Pour simuler le comportement électrique du circuit auquel la stimulation par faisceau laser thermique a été appliquée, nous avons utilisé le logiciel *Cadence*. Ces simulations ont été faites uniquement sur le sous-bloc présenté sur la figure III-31 où nous avons enregistré la sensibilité variable des composants en fonction de la température. La configuration électrique demeure inchangée par rapport à l'analyse DVM. Comme les signaux VDD, V⁺ et V⁻ sont des signaux internes, nous les avons générés de la façon suivante : VDD = 2,5V, V⁺ = 5V. Un signal carré périodique de 0V-5V à 10kHz a été envoyé sur V⁻. La propagation du signal a été observée dans les nœuds V1, V2, V3 et Vout pour la température ambiante de 25°C (Fig.III-32a) et pour la température élevée de 100°C (Fig.III-32b). Le signal devrait changer d'état simultanément dans ces quatre nœuds, quelque soit la valeur de la température.

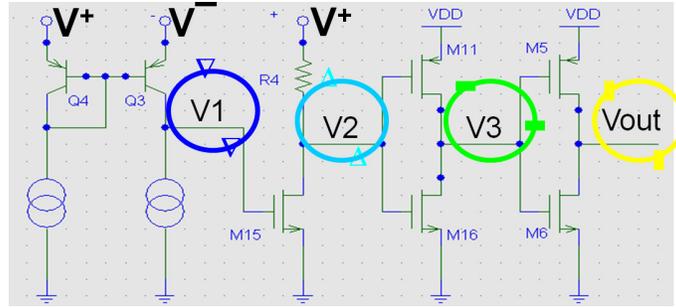


Figure III-31 : Schéma électrique simplifié du sous-bloc localisé lors de l'analyse DVM et simulé en température. Le signal dans les nœuds V1, V2, V3 et Vout a été observé.

A température ambiante, le changement d'état s'est fait correctement (Fig.III-32a). A température élevée, le signal dans le nœud V3 bascule avec du retard (Fig.III-32b). Par conséquent, le signal dans le nœud Vout change également d'état avec du retard. Nous pouvons également remarquer que le signal dans le nœud V2 est dégradé. Son niveau bas atteint 0,9V au lieu de 0,4V. De plus, le basculement d'état dans ce nœud n'est pas aussi rapide qu'à température ambiante. En conclusion, les basculements du signal dans les nœuds V3 et Vout qui normalement ont lieu pour un seuil d'à peu près 1V, sont retardés.

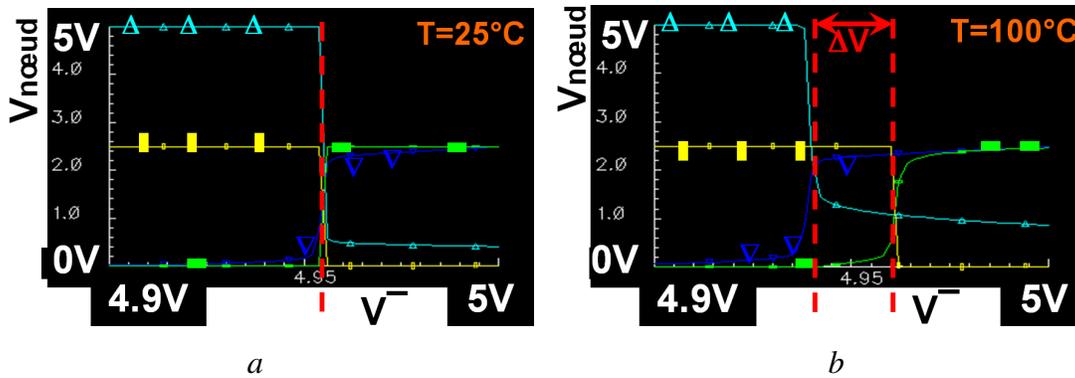


Figure III-32 : Simulations électriques du phénomène thermique induit dans le sous-bloc localisé lors de l'analyse DVM. La propagation du signal ($V_{nœud}$: V1, V2, V3, Vout) lorsque la température du sous-bloc est fixée à a. 25°C et b. 100°C.

V1: ▽, V2: ▲, V3: ■, Vout: ■

Le transistor M15 qui se trouvait dans le sous-bloc localisé grâce à la technique laser DVM a été identifié comme à l'origine de la défaillance (Fig.III-33). Ses propriétés empêchaient le fonctionnement correct du sous-bloc localisé et donc du circuit entier à température élevée. La résistance R_{ds} de ce transistor a été trop sensible à la température.

Ce transistor NMOS a été sous-dimensionné. Ce cas d'étude est un exemple de défaut *soft* du type « design ». Suite à cette analyse, une action corrective a été menée au niveau de la conception du bloc. Cette étude a montré que l'application de notre méthodologie dans le cas d'analyse complexe de défaillance a bel et bien une valeur ajoutée et permet de cibler très précisément un certain type de défauts non accessibles par les techniques conventionnelles.

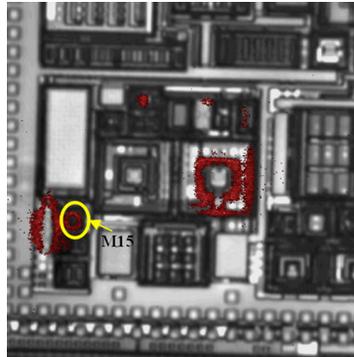


Figure III-33: Localisation du transistor responsable du dysfonctionnement du circuit suite à l'application de la méthodologie développée. Le transistor M15 a été mal dimensionné et par conséquent sa résistance R_{ds} a été trop sensible à la température (défaut de type « design »).

4. CONCLUSIONS

Dans le chapitre III, nous avons vu que les modèles proposés dans le chapitre précédent permettent de prévoir le comportement des structures de base soumises à la stimulation photo-thermique ou photoélectrique laser. A travers les miroirs de courant et les *levels shifter*, les structures de base des CI mixtes, nous avons pu corréler les résultats expérimentaux aux résultats issus des simulations électriques.

Ceci confirme que les modèles simplifiés, plus faciles à utiliser lors des simulations électriques par le fait que les paramètres des transistors sur lesquels nous jouons sont accessibles dans tous les simulateurs, permettent la compréhension du comportement des blocs de base soumis à la stimulation par faisceau laser.

Finalement, à l'aide de nos cas d'étude, nous avons démontré que la méthodologie proposée permet l'analyse des cartographies complexes et peut contribuer à la localisation des défauts *soft* apparaissant de plus en plus souvent dans les CI mixtes. En

utilisant cette méthodologie, nous pouvons localiser le défaut plus facilement avec un gain de temps non négligeable.

Lors de l'analyse des résultats expérimentaux, nous avons observé qu'un manque de corrélation entre les simulations et les cartographies n'indique pas nécessairement une zone défailante ou marginale. Il est important de s'assurer que les simulations et les mesures sont effectuées dans les mêmes conditions. Comme nous avons pu le voir, il est plus aisé de comprendre pourquoi les résultats ne corrélerent pas sur une structure de test simple. Pour les circuits complexes cela peut être plus difficile.

La simplicité des modèles de transistors proposés facilite leur utilisation. Les hypothèses simplificatrices nous ayant conduit à ces modèles ne nous permettent que des analyses qualitatives. Néanmoins, pour certains CI, une modification de certaines hypothèses serait nécessaire, comme par exemple dans le cas des circuits composés de transistors dont la taille peut varier significativement. Dans ce cas, l'hypothèse à revoir concerne la variation de température induite par le phénomène photo-thermique que l'on considère fixe quelque soit la taille du transistor. Lors des simulations, il serait intéressant de prendre en compte de l'influence de la taille du transistor sur le phénomène photo-thermique. Cela nous permettrait d'améliorer la fiabilité de nos résultats de simulation en leur apportant plus de réalisme.

Nous avons vu dans ce chapitre l'application des techniques DLS à l'aide de deux bancs de mesure différents. Le premier permet l'acquisition de cartographies à partir d'un vaste choix de paramètres. Les résultats ainsi obtenus sont moins précis, néanmoins ce *setup* est très intéressant car nous pouvons facilement mesurer différents paramètres. Le deuxième banc de mesure permet uniquement l'analyse du décalage temporel induit sur le front montant ou descendant du signal lors de la stimulation par faisceau laser du composant électronique. La résolution temporelle de mesure étant plus élevée, cette solution est plus précise mais nous sommes limités à ces deux paramètres uniquement. Un axe de recherche intéressant serait d'étudier une solution, plus performante, qui permettrait d'augmenter la précision et la vitesse des mesures. Il existe déjà des travaux

en cours proposant de caractériser des CI numériques à l'aide des techniques dynamiques paramétriques de stimulation laser dont le but est de détecter ses marginalités lors de sa qualification [DEY09]. Ce concept peut très bien s'adapter pour les circuits mixtes ou analogiques avec une plage de paramètres observés plus large.

CONCLUSION ET PERSPECTIVES

Les travaux effectués lors de cette thèse ont permis de répondre pour la première fois à la problématique liée à la localisation de défauts *soft* dans les CI avancés mixtes et analogiques, où les techniques basées sur la stimulation par faisceau laser ont été utilisées. Plus précisément, une nouvelle méthodologie non destructive d'analyse de cartographies laser a été développée et implémentée. Elle est maintenant opérationnelle à Freescale Semiconductor.

Ces cartographies, qui auparavant étaient beaucoup moins compliquées à analyser, sont devenues difficiles à interpréter à cause des nombreuses zones sensibles détectées sur un CI en fonctionnement dynamique. Cette tendance est une conséquence du développement des CI qui suit la demande du marché. L'augmentation du nombre de composants dans un CI, la forte intégration des blocs analogiques et numériques dans une puce électronique et un nombre important de fonctions exécutées de plus en plus complexes, ont été à l'origine d'apparition de défauts *soft*. Ces défauts sont principalement localisés à l'aide des techniques dynamiques paramétriques de stimulation par faisceau laser (xVM) qui sont les mieux adaptées aux produits mixtes et analogiques. Cependant, les cartographies laser effectuées sur ce type des produits comportent plusieurs zones sensibles qui peuvent correspondre à un comportement anormal mais aussi à un comportement normal du CI. Par conséquent, le diagnostic électrique et l'application des techniques basées sur la stimulation par faisceau laser ne permettent plus de localiser le défaut précisément mais permettent néanmoins de le pré-localiser. Afin de localiser le défaut plus précisément à partir de ces cartographies laser, nous avons effectué des simulations électriques uniquement sur les blocs pré-localisés, en prenant en compte le phénomène, photo-thermique ou photoélectrique. La solution proposée consiste à corrélérer les cartographies laser avec les résultats de ces simulations.

Après avoir modélisé l'action du faisceau laser sur des composants élémentaires (transistors, résistances...), il est relativement facile d'intégrer cette méthodologie dans le *flow* d'analyse de défaillance.

La valeur ajoutée par l'utilisation de la nouvelle méthodologie est incontestable : une augmentation du taux de réussite dans la localisation de défauts *soft* sur les produits

mixtes ou analogiques. Ces défauts *soft* sont présents sur les puces renvoyées par le client (suite à des défauts de fabrication ou une mauvaise utilisation du composant) mais aussi sur les puces en développement (suite à une erreur de *design*). Un des axes de recherche intéressant est l'application de cette nouvelle méthodologie sur les CI lors de leur qualification. Ceci permettrait en effet de caractériser l'évolution de la sensibilité de ces CI aux phénomènes photo-thermique et photoélectrique lors de leur vieillissement. Ce procédé mettrait en exergue certaines faiblesses et marginalités qui, lors de l'utilisation du produit, peuvent causer des défauts *soft*, *hard* ou révéler des défauts latents. Pour cette caractérisation, il serait intéressant de disposer d'un choix de paramètres plus larges ne se limitant pas à ceux abordés dans ce manuscrit. En effet, en fonction du paramètre mesuré lors de la stimulation du circuit mixte ou analogique par le faisceau laser, nous n'allons pas nécessairement localiser les mêmes zones sensibles. Une information importante sur une faiblesse du CI n'est pas nécessairement révélée pour l'ensemble des paramètres mesurables. Par conséquent, il serait souhaitable d'élargir la méthodologie présentée aux autres paramètres tels que le spectre, le niveau de bruit, le temps de cycle, etc. Il s'agit de simuler les variations induites de ces paramètres en utilisant les modèles de transistors étudiés dans ce manuscrit (interaction faisceau laser - CI) et de valider leurs évolutions à l'aide de résultats expérimentaux. Certains travaux, menés lors de cette thèse, ont déjà prouvé la pertinence d'observer ces différents paramètres lorsque le CI est balayé par le faisceau laser continu (publication 1). Les travaux de développement sur les techniques d'acquisition de paramètres multiples (multi-xVM ; x- paramètre choisi) sont actuellement menés au sein du laboratoire du CNES et du laboratoire IMS.

La détection des défauts latents est particulièrement intéressante pour les applications à risque ou à coût très élevé, par exemple dans le domaine du spatial. Certains travaux sur les CI numériques ont d'ailleurs déjà été menés au sein du laboratoire du CNES [DEY09].

REFERENCES

- [AW91] S.E. Aw, H.S. Tan, C.K. Ong « Optical Absorption Measurements of band-gap shrinkage in moderately and heavily doped silicon », *J.Phys. : Condens. Matter*, 3, pp.8213-8223, 1991.
- [BAR96] D.L. Barton et al. « Infrared Light Emission from Semiconductor Devices », *ISTFA*, pp.9-17, 1996.
- [BAR05] M. de la Bardonnie and al. « The effectiveness of OBIRCH based fault isolation for sub-90nm CMOS technologies », *ISTFA*, pp.49-58, 2005.
- [BEA03] F. Beaudoin « Localisation de défaut par la face arrière des circuits intégrés », manuscrit de thèse de l'Université de Bordeaux I, N°2605, 2003.
- [BER92] H. Bergner, K. Hempel, A. Krause and U. Stamm « Application of the time-resolved optical-beam-induced current method to the investigation of n-metal-oxide-semiconductor inverters », *Journal of Applied Physics*, vol. 71, n°6, pp.3010-3018, 1992.
- [BIN86] G. Binning, C.F. Quate, Ch. Geber « Atomic Force Microscope », *Phys.Rev. Letters*, Vol. 56 No.9, pp.930, 1986.
- [BRA06] K.S. Brahma, J. Heinig, A. Glowacki, R. Leihkauf, C. Boit « Distinction of Photo-Electric and Thermal Effects in a MOSFET by 1064 nm Laser Stimulation », *IEEE, IPFA*, pp.333-339,2006.
- [BRE02] O. Breitenstein, J.P. Rakotoniaina, F. Altmann, J. Shultz, G. Linse « Fault localization and functional testing of Ics by lock-in thermography », *ISTFA*, pp.29-36, 2002.

[BRE03] O. Breitenstein, M. Langenkamp « Lock-in thermography: basics and use for functional diagnostics of electronic components », Springer, pp.7-9, 2003.

[BRU02] Michael R. Bruce et al, « Soft Defect Localization (SDL) on ICs », ISTFA, pp.21-27, 2002.

[BUC88] S. Buchner, A. Knudson, K. Kang, A.B. Cambell « Charge collection from focused picosecond laser pulses », Nuclear Science, Vol.35, No.6, pp.1517-1522, Dec. 1988.

[BUR84] D.J. Burns et al. « Reliability/design assessment by internal node timing margin analysis using laser photocurrent injection », IRPS, pp.76-82, 1984.

[CAM97] A.N. Campbell, K.A. Peterson, D.M. Fleetwood, J.M. Soden « Effects of focused ion beam irradiation on MOS transistors », IRPS, pp.72-81, 1997.

[CHA98] Mansun Chan et al. « A robust and physical BSIM3 non-quasi-static transient and AC small-signal model for circuit simulation », Electron Devices, IEEE Transactions Vol.45, Issue 4, pp.834-841, 1998.

[CHI00] J.M. Chin, J.C.H. Phang, D.S.H. Chan, C.E. Soh, G. Gilfeather «Single Contact Optical Beam Induced Currents (SCOBIC) – A New Failure Analysis Technique », IRPS, pp.420-424, 2000.

[CHR07] J. Christofferson, K. Maize, Y. Ezzahri, J. Shabani, X. Wang, and A. Shakouri « Microscale and nanoscale thermal characterization techniques », THETA, pp.3-9, 2007.

[COL94] E.I. Cole Jr, J.M. Soden et al., « Novel Failure Analysis Techniques Using Photon Probing With a Scanning Optical Microscope », IRPS, pp.388-398, 1994.

[COL99] E.I. Cole Jr. et al., « TIVA and SEI Developments for Enhanced Front and Backside Interconnection Failure Analysis », *Microelectronic Reliability*, Vol. 39, pp.991-996, 1999.

[COL01] E.I. Cole et al., « Resistive Interconnection Localization », *ISTFA*, pp.43-57, 2001.

[COX82] I.J. Cox, J.R. Sheppard, T. Wilson « Improvement in resolution by nearly confocal microscopy », *Applied Optics*, Vol.21(5), pp.778-781, 1982.

[DEY09] A. Deyine, K. Sanchez, P. Perdu, F. Battistella, D. Lewis « Improved integrated circuits qualification using Dynamic Laser Stimulation techniques », *IRPS*, pp.260-265, 2009.

[DOU08] A. Douin « Contribution à la modélisation et au développement de techniques de test et d'analyse dynamiques de CI par faisceau laser pulsé », manuscrit de thèse de l'Université de Bordeaux I, n° 3564, 2008.

[EIL99] T. Eiles, G.L. Woods, V.R. Rao « Optical probing of VLSI ICs from the silicon backside », *ISTFA*, pp.27, 1999.

[ESS06] F. Essely, N. Guitard, F. Darracq, V. Pouget, M. Bafleur, P. Perdu, A. Touboul and D. Lewis, « Optimizing Pulsed OBIC Technique for ESD Defect Localization », *IEEE, IPFA*, pp.270-275, 2006.

[FAL03] R. A. Falk et al., « New Application of Thermal Laser Signal Injection Microscopy (T-LSIM) », *ISTFA*, pp.25-35, 2003.

[FOU86] J.M. Fouchet, A. Perez-Mas « *Electronique pratique* », Editeur : Dunod, 1986.

[GER93] J.Gervais, « Mesure du coefficient d'absorption optique dans le silicium multicristallin de type P pour photopiles solaires », J.Phys. III, Vol.3, pp.1489-1495, 1993.

[HAR66] H. Hara, Y. Nishi « Free carrier absorption in p-type silicon », J. Phys. Soc. Japan, Vol.21, pp.1222, 1966.

[HEI87] H. K. Heinrich, D. M. Bloom, B. R. Hemenway, K. McGroddy, U. Keller, « Noninvasive Optical Sheet Charge Density Probe for Silicon Integrated Circuits », IEEE Transactions on Electron Devices vol. 33 (11), pp.1860, 1987.

[HEN08] E. Hendarto, S.L. Toh, P.K. Tan, Y.W. Goh, J.L. Cai, Y.Z. Ma, Z.H. Mai, J. Lam, J. Sudijono « Investigation on Focused Ion Beam Induced Damage on Nanoscale SRAM by Nanoprobng », ISTFA, pp. 445-448, 2008.

[JUS94] R. Juskaitis, N.P. Rea, T. Wilson « Semiconductor laser confocal microscopy », Applied Optics, Vol.33(4), pp.578-583, 1994.

[KAS97] S. Kasap « Thermoelectric effects in Metals : Thermocouples », e-booklet ; Department of Electrical Engineering, University of Saskatchewan, Canada ; <http://materials.usask.ca/samples/Thermoelectric-Seebeck.pdf>.

[KAS98] J.A. Kash, J.C. Tsang, D.R. Knebel, D. Vallett « Non-invasive Backside Failure Analysis of Integrated Circuits by Time-dependent Light Emission : Picosecond Imaging Circuit Analysis », ISTFA, pp.483-488, 1998.

[KEL58] L.V. Keldysh « The effect of a strong electric field on the optical properties of insulating crystals », Soviet Physics JETP 34, pp.788-790, 1958.

[KHU86] N. Khurana, C. L. Chiang « Analysis of Product Hot Electron Problems by Gated Emission Microscopy », Proceeding IRPS, IEEE, pp.189-194, 1986.

- [KIL59] J. Kilby US patent #3138743 for miniaturized electronic circuits.
- [KNA04] K. A. Knauss, S. I. Woods, A. Orozco « Current Imaging using Magnetic Field Sensors », Microelectronics Failure Analysis Desk Reference 5th ed., pp.303-311, 2004.
- [LEH08] O. Lehmann « Flüssige Kristalle und die Theorien des Lebens », Verlag Johann Ambrosius Barth, Leipzig, 1908.
- [LIN06] Hung-Sung Lin, Wen-Tung Chang, Chun-Lin Chen, Tsui-Hua Huang, Vivian Chiang, Chun-Ming Chen « A Study of Asymmetrical Behaviour in Advanced Nano SRAM Devices », IPFA, pp.63-66, 2006.
- [LIU05] Weidong Liu et al. « BSIM3v3.3 MOSFET Model Users' Manual », Department of Electrical Engineering and Computer Sciences University of California, Berkeley, CA 94720, 2005.
- [MOR04] D. McMorrow, S. Buchner, W. Lotshaw, J.S. Melinger, M. Maher and M. Savage « Demonstration of Single-Event Effects induced by Through Wafer Two Photon Absorption », IEEE Transactions on Nuclear Science, Vol.51, n° 6, pp.3553-3557, 2004.
- [NAT02] N. Nataray, T. Eiles, P. Pardy, H. Deslandes, W. Lo « Liquid immersion lens technology applied to laser voltage probing of 130nm process technology devices », J. Vac. Sci. Technol. B Vol. 20, Issue 6, pp.3067-3070, 2002.
- [NIK97] K. Nikawa and S. Inoue « New Capabilities of OBIRCH Method for Fault Localization and Defect Detection », ATS, pp.214-219, 1997.
- [NAR05] C. De Nardi, R. Desplats, P. Perdu, F. Beaudoin, J. Gauffier « EEPROM Failure Analysis Methodology: Can Programmed Charges Be Measured Directly by Electrical Techniques of Scanning Probe Microscopy? », ISTFA, pp.256-261, 2005.

[NIK97] K. Nikawa and S. Inoue « New Capabilities of OBIRCH Method for Fault Localization and Defect Detection », ATS, pp.214-219, 1997.

[NOY59] R. Noyce: US patent #2981877 for silicon based integrated circuit.

[OSM95] A. Osman, M. Osman, N. Dogan, and M. Imam, « An extended tanh law MOSFET model for high temperature circuit simulation », JSSC, pp.147-150, 1995.

[PAL01] M. Palaniappan et al. « New Signal Detection Methods for Thermal Beam Induced Phenomenon », ISTFA, pp.171-177, 2001.

[PAN98] M. Paniccia, T. Eiles, V.R.M. Rao, W.M. Yee « Novel Optical Waveform Probing Technique for Flip Chip Packaged Microprocessors », ITC, pp.740, 1998.

[POU98] V. Pouget et al, « Elaboration of a New Pulsed Laser System for SEE Testing », IEEE International On-Line Testing Workshop, Capri, 1998.

[POU00] V. Pouget « Simulation expérimentale par impulsions laser ultra-courtes des effets des radiations ionisantes sur les Circuits Intégrés », manuscrit de thèse de l'Université de Bordeaux I, n° 2250, 2000.

[RAM03] E. Ramsay and D. Reid « Investigation of the two-photon optical beam induced current effect in silicon integrated circuits », Optics Communications, Vol.221, pp. 427-433, 2003.

[REV08] A. Reverdy, P. Perdu, H. Murray, M. de la Bardonnie, P. Poirier « Fast and Rigorous Use of Thermal Time Constant to Characterize Back End of the Line Test Structure in Advanced Technology », Microelectronics Reliability, Vol.48, Is. 8-9, pp.1279-1284 , 2008.

[ROW03] J. A. Rowlette et al, « Critical Timing Analysis in Microprocessors Using Near-IR Laser Assisted Device Alteration (LADA) », ITC, pp.264-273, 2003.

[SAN05] K. Sanchez et al, « Delay Variation Mapping induced by dynamic laser stimulation », IEEE International, pp.305-311, 2005.

[SAN05] K. Sanchez et al. « Dynamic Laser Delay Variation Mapping (DVM) Implementations and Applications », ISTFA, pp.106-114, 2005.

[SAN07] K. Sanchez et al., « Phase Variation Mapping, a Dynamic Laser Stimulation Technique with Picosecond Timing Resolution », IRPS, pp.534-541,2007.

[SAN07] K. Sanchez « Développement et application de techniques d'analyse par stimulation dynamique laser pour la localisation de défauts et le diagnostic de CI », manuscrit de thèse de l'Université de Bordeaux I, n°3370, 2007.

[SAR87] M. Saritas, H.D. McKell, « Absorption coefficient of Si in the wavelength region between 0.80-1.16 μ m », J. of Applied Physics, Vol.61, pp.4923-4925, 1987.

[SCH08] C. Schmidt, F. Altmann, C. Grosse, A. Lindner, V. Gottschalk « Lock-in Thermography for 3-dimensional localization of electrical defects inside complex packaged devices », ISTFA, pp.102-107, 2008.

[SOR87] R.A. Soref, B.R. Bennett « Electrooptical effects in silicon », IEEE Journal of Quantum Electronics, Vol.QE-23, No.1, pp.123-129, 1987.

[SPI57] W. Spitzer, H.Y. Fan « Infrared absorption in n-type silicon », Phys. Rev. Vol.108, pp.268-271, 1957.

[STE06] F. Stellari, A. Tosi, P. Song « Switching time extraction of CMOS gates using Time Resolved Emission (TRE) », IPFA, pp.566-573, 2006.

[TAM84] S. Tam, C. Hu, « Hot-electron-induced photon and photocarrier generation in silicon MOSFET's », IEEE Trans. on Electron Dev 31, pp.1264-1273, 1984.

[VAL02] D. P. Vallett « Scanning SQUID Microscopy for Die Level Fault Isolation », ISTFA, pp.391-396, 2002.

[WAN71] R. Wang et al. « Threshold Voltage Variations with Temperature in MOS Transistors », Electron Devices, IEEE Transactions Vol.18, Issue 6, pp.386-388, 1971.

[WIL87] T. Wilson and E. M. MacCabe « Theory of optical beam induced current images of defects in Semiconductors », J. Appl. Phys. 61(1), pp.191-195, 1987.

[ZEG07] B. Van Zeghbroeck « Principles of Semiconductor Devices », Boulder, 2007.

PUBLICATIONS

1. M.Sienkiewicz, K.Sanchez, P.Perdu, A.Firiti, O.Crepel, D.Lewis « Failure Localization & Design Debug on Mixed-Mode ICs by using the Dynamic Laser Stimulation Techniques », ISTFA, pp.86-92, 2007.
2. M.Sienkiewicz, P.Perdu, A.Firiti, O.Crepel, D.Lewis « Failure Analysis enhancement by evaluating the Thermal Laser Stimulation impact on analog ICs », IPFA (IEEE), pp.30-35, 2008.
3. M.Sienkiewicz, P.Perdu, K.Sanchez, A.Firiti, O.Crepel, D.Lewis « Failure Analysis enhancement by evaluating the Photoelectric Laser Stimulation impact on mixed-mode ICs », ESREF, Microelectronics Reliability Journal, pp. 1529-1532, 2008.
4. M.Sienkiewicz, S.Brulé, P.Perdu, A.Firiti, O.Crepel « Novel application of the OBIRCh amplifier for timing failure localization », ISTFA, pp.233-237, 2008.
5. M.Sienkiewicz, K.Sanchez, P.Perdu, A.Firiti, O.Crepel, D.Lewis « Methodology to support laser-localized soft defects on analog and mixed-mode advanced ICs », IRPS (IEEE), pp.322-326, 2009.
6. M.Sienkiewicz, K.Sanchez, L.Cattaneo, P.Perdu, A.Firiti, O.Crepel, D.Lewis « Development of laser-based Variation Mapping techniques - another way to increase the successful analysis rate on analog & mixed-mode ICs », ISTFA, pp.278-282, 2009.